

# GaN FET 向け 100V、低 $I_Q$ の同期整流式昇圧コントローラ

## 特長

- ▶ GaN FET 向けに全面的に最適化された GaN 駆動テクノロジー
- ▶ 出力電圧：最大 100V
- ▶ 広い  $V_{IN}$  範囲：4V~60V、起動後は 1V の低電圧で動作
- ▶ キャッチ/クランプ/ブートストラップ・ダイオード不要
- ▶ 内蔵のスマート・ブートストラップ・スイッチにより、ハイサイド・ドライバ用電源の過充電を防止
- ▶ 抵抗により調整可能なデッド・タイム
- ▶ 分割出力ゲート・ドライバにより、オン/オフ時のドライバ強度が調整可能
- ▶ 調整可能で正確なドライバ電圧と UVLO
- ▶ 低い動作  $I_Q$ ：15 $\mu$ A
- ▶ プログラム可能な周波数（100kHz~3MHz）
- ▶ 同期可能な周波数（100kHz~3MHz）
- ▶ スペクトラム拡散周波数変調
- ▶ 28ピン（4mm × 5mm）、サイド・ウェットプル、QFN パッケージ
- ▶ オートモーティブ・アプリケーション向けの AEC-Q100 に適合

## アプリケーション

- ▶ オートモーティブ用および工業用電源システム
- ▶ 防衛アビオニクス（航空電子機器）および医療用システム
- ▶ 電気通信用電源システム

## 代表的なアプリケーション回路

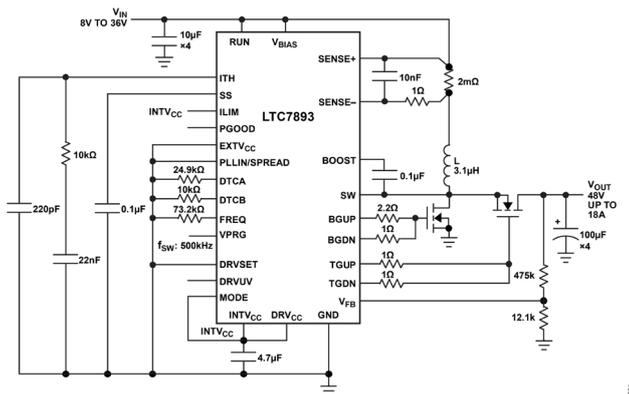


図 1. GaN FET を駆動する、高効率、48V<sub>OUT</sub> 出力の昇圧レギュレータ

## 概要

高性能の昇圧 DC/DC スイッチング・レギュレータ・コントローラ LTC<sup>®</sup>7893 は、あらゆる N チャンネル同期窒化ガリウム (GaN) 電界効果トランジスタ (FET) のパワー段を最大 100V の出力電圧から駆動できます。LTC7893 は、これまで GaN FET を使用する際に直面していた多くの課題を解決します。LTC7893 を使用すると、シリコン金属酸化膜半導体電界効果トランジスタ (MOSFET) ソリューションと比べてアプリケーション設計が簡素化すると同時に、保護ダイオードやその他の外付け部品の追加が不要になります。

内蔵のスマート・ブートストラップ・スイッチにより、デッド・タイム時の BOOST ピンから SW ピンのハイサイド・ドライバ電源への過充電を防止して、上側 GaN FET のゲートを保護できます。外部抵抗を使用して LTC7893 のデッド・タイムを最適化することで、マージンを確保したり、アプリケーションをカスタマイズして効率を高め、高周波動作を可能にしたりすることもできます。

LTC7893 のゲート駆動電圧を 4V~5.5V の間で正確に調節できるため、性能の最適化や、様々な GaN FET あるいはロジック・レベル MOSFET の使用が可能です。LTC7893 を昇圧コンバータ・レギュレータの出力からバイアスする場合、起動後であれば入力電源電圧が 1V という低い値でも動作できます。

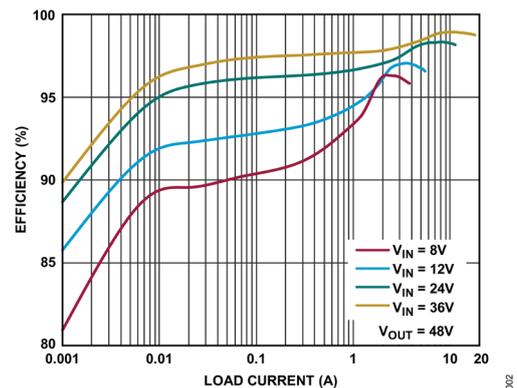


図 2. 図 1 の  $V_{OUT}$  の効率と電力損失の関係

## 目次

特長	1
アプリケーション	1
概要	1
代表的なアプリケーション回路	1
改訂履歴	3
仕様	4
絶対最大定格	8
ピン配置およびピン機能の説明	9
代表的な性能特性	12
機能図	17
動作原理	17
メイン制御ループ	17
電力およびバイアスの供給 ( $V_{BIAS}$ 、 $EXTV_{CC}$ 、 $DRV_{CC}$ 、 $INTV_{CC}$ )	18
ハイサイド・ブートストラップ・コンデンサ	18
デッド・タイム制御 (DTCA ピンおよび DTCA ピン)	18
スタートアップとシャットダウン (RUN ピンおよび SS ピン)	18
軽負荷時の動作: Burst Mode 動作、パルススキッピング・モード、または強制連続モード (MODE ピン)	19
周波数の選択、スペクトラム拡散、フェーズロック・ループ (FREQ ピンおよび PLLIN/SPREAD ピン)	20
出力過電圧保護	20
パワー・グッド	20
アプリケーション情報	21
インダクタ値の計算	21
インダクタ・コアの選択	21
電流検出方式の選択	22
値の小さな抵抗による電流検出	22
インダクタの DCR による電流検出	23
動作周波数の設定	25
軽負荷時動作モードの選択	26
デッド・タイム制御 (DTCA ピンおよび DTCA ピン)	27
DTCx ピンをグラウンドに接続 (適応型デッド・タイム制御)	27
DTCx ピンを抵抗を介して GND に接続	28
パワーFET の選択	29
$C_{IN}$ と $C_{OUT}$ の選択	29
出力電圧の設定	30

RUN ピンと低電圧ロックアウト .....	31
ソフトスタート (SS ピン) .....	31
INTV <sub>CC</sub> レギュレータ (OPTI-DRIVE) .....	32
上側 FET ドライバの電源 (C <sub>B</sub> ) .....	34
最小オン時間に関する考慮事項 .....	34
フォルト状態：過熱保護 .....	34
フェーズロック・ループと周波数同期 .....	34
効率に関する考慮事項 .....	35
過渡応答のチェック .....	36
設計例 .....	37
PCB ボード・レイアウト時のチェックリスト .....	38
PCB レイアウトのデバッグ .....	39
代表的なアプリケーション .....	41
関連製品 .....	45
外形寸法 .....	46
オーダー・ガイド .....	47

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/24	初版発行	-

## 仕様

表 1. 電気的特性

(特に指定のない限り、仕様値は  $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{\text{BIAS}} = 12\text{V}$ 、 $\text{RUN} = 5\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{\text{CC}} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$ 、 $\text{DTCA}$  および  $\text{DTCB} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
<b>Input Supply</b>						
Bias Input Supply Operating Range	$V_{\text{BIAS}}$		4		100	V
Boost Converter Input Supply Operating Range	$V_{\text{IN}}$	$V_{\text{BIAS}} \geq 4\text{V}$	1		60	V
Output Voltage Operating Range	$V_{\text{OUT}}$		1.2		100	V
<b>Controller Operation</b>						
Regulated Feedback Voltage <sup>1</sup>	$V_{\text{FB}}$	$V_{\text{BIAS}} = 4\text{V to } 100\text{V}$ , ITH Voltage = 0.6V to 1.2V VPRG = floating, $T_A = 25^{\circ}\text{C}$	1.188	1.2	1.212	V
		VPRG = floating	1.182	1.2	1.218	V
		VPRG = 0V	23.45	24	24.55	V
		VPRG = $\text{INTV}_{\text{CC}}$	27.38	28	28.62	V
Feedback Current <sup>1</sup>		VPRG = floating, $T_A = 25^{\circ}\text{C}$	-50	0	+50	nA
		VPRG = 0V or $\text{INTV}_{\text{CC}}$		2		$\mu\text{A}$
Feedback Overvoltage Threshold		Relative to $V_{\text{FB}}$ , $T_A = 25^{\circ}\text{C}$	7	10	13	%
Transconductance Amplifier <sup>1</sup>	$g_m$	ITH = 1.2V, Sink and Source Current = $5\mu\text{A}$		1.8		mMho
Maximum Current Sense Threshold	$V_{\text{SENSE(MAX)}}$	$V_{\text{FB}} = 1.1\text{V}$ , $\text{SENSE}^+ = 12\text{V}$ ILIM = 0V	21	26	32	mV
		ILIM = floating	45	50	56	mV
		ILIM = $\text{INTV}_{\text{CC}}$	67	75	83	mV
SENSE <sup>-</sup> Pin Current	$I_{\text{SENSE}^-}$	$\text{SENSE}^- = 12\text{V}$ , $T_A = 25^{\circ}\text{C}$	-1		+1	$\mu\text{A}$
SENSE <sup>+</sup> Pin Current	$I_{\text{SENSE}^+}$	$\text{SENSE}^+ < 3\text{V}$		1		$\mu\text{A}$
		$3.3\text{V} \leq \text{SENSE}^+ < \text{INTV}_{\text{CC}} - 0.5\text{V}$		75		$\mu\text{A}$
		$\text{SENSE}^+ > \text{INTV}_{\text{CC}} + 0.5\text{V}$		725		$\mu\text{A}$
Soft-Start Charge Current		SS = 0V	9.5	12	14.5	$\mu\text{A}$

(特に指定のない限り、仕様値は  $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{\text{BIAS}} = 12\text{V}$ 、 $\text{RUN} = 5\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{\text{CC}} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$ 、 $\text{DTCA}$  および  $\text{DTCB} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
RUN Pin ON Threshold		RUN rising	1.15	1.20	1.25	V
RUN Pin Hysteresis				120		mV

#### DC Supply Current

$V_{\text{BIAS}}$ Shutdown Current		RUN = 0V		1.1		$\mu\text{A}$
$V_{\text{BIAS}}$ Sleep Mode Current		SENSE <sup>+</sup> < 3.2V, EXTV <sub>CC</sub> = 0V		15		$\mu\text{A}$
Sleep Mode Current <sup>2</sup>						
$V_{\text{BIAS}}$ Current		SENSE <sup>+</sup> $\geq$ 3.2V, EXTV <sub>CC</sub> = 0V		5		$\mu\text{A}$
$V_{\text{BIAS}}$ Current		SENSE <sup>+</sup> $\geq$ 3.2V, EXTV <sub>CC</sub> $\geq$ 4.8V		1		$\mu\text{A}$
EXTV <sub>CC</sub> Current		SENSE <sup>+</sup> $\geq$ 3.2V, EXTV <sub>CC</sub> $\geq$ 4.8V		6		$\mu\text{A}$
SENSE <sup>+</sup> Current		SENSE <sup>+</sup> $\geq$ 3.2V		10		$\mu\text{A}$
Pulse-Skipping (PS) or Forced Continuous Mode (FCM), $V_{\text{BIAS}}$ or EXTV <sub>CC</sub> Current <sup>2</sup>				2		mA

#### Gate Drivers

TGx or BGx On Resistance		DRVSET = INTV <sub>CC</sub> Pull-Up Pull-Down		1.0 1.0		$\Omega$ $\Omega$
BOOST to DRV <sub>CC</sub> Switch On Resistance		DRVSET = INTV <sub>CC</sub>		6		$\Omega$
TGx or BGx Transition Time <sup>3</sup>		Rise Time Fall Time		25 15		ns ns
BGx Off to TGx On Adaptive Delay Time <sup>4</sup>		DTCA = 0V		15		ns
TGx Off to BGx On Adaptive Delay Time <sup>4</sup>		DTCB = 0V		15		ns
BGx Off to TGx On Open-Loop Delay <sup>4</sup>		DTCA = 10k $\Omega$ DTCA = 50k $\Omega$ DTCA = 100k $\Omega$		7 25 40		ns ns ns

(特に指定のない限り、仕様値は  $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{BIAS} = 12\text{V}$ 、 $\text{RUN} = 5\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$ 、 $\text{DTCA}$  および  $\text{DTCB} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
TGx Off to BGx On Open-Loop Delay <sup>4</sup>		DTCB = 10k $\Omega$		7		ns
		DTCB = 50k $\Omega$		25		ns
		DTCB = 100k $\Omega$		40		ns
BGx Minimum On-Time <sup>5</sup>	$t_{\text{ON(MIN)}}$			100		ns
Maximum Duty Factor for BGx		$V_{\text{FREQ}} = 0\text{V}$		93		%

**INTV<sub>CC</sub> Low Dropout (LDO) Linear Regulators**

INTV <sub>CC</sub> Voltage for V <sub>BIAS</sub> and EXTV <sub>CC</sub> LDOs		EXTV <sub>CC</sub> = 0V for V <sub>BIAS</sub> LDO, EXTV <sub>CC</sub> = 12V for EXTV <sub>CC</sub> LDO					
		DRVSET = INTV <sub>CC</sub>	5.2	5.5	5.7	V	
		DRVSET = 0V	4.8	5.0	5.2	V	
		DRVSET = 64.9k $\Omega$	4.5	4.75	5.0	V	
DRV <sub>CC</sub> Load Regulation		DRV <sub>CC</sub> load current = 0mA to 100mA, $T_A = 25^{\circ}\text{C}$		1	3	%	
Undervoltage Lockout	UVLO	DRV <sub>CC</sub> Rising					
		DRVUV = INTV <sub>CC</sub>	4.8	5.0	5.2	V	
		DRVUV = 0V	3.6	3.8	4.0	V	
		DRVUV = floating	4.2	4.4	4.6	V	
		DRV <sub>CC</sub> Falling					
		DRVUV = INTV <sub>CC</sub>	4.55	4.75	4.95	V	
		DRVUV = 0V	3.4	3.6	3.8	V	
		DRVUV = floating	4.0	4.18	4.4	V	
EXTV <sub>CC</sub> LDO Switchover Voltage EXTV <sub>CC</sub> Rising		DRVUV = INTV <sub>CC</sub> or floating, $T_A = 25^{\circ}\text{C}$	5.75	5.95	6.15	V	
		DRVUV = 0V, $T_A = 25^{\circ}\text{C}$	4.6	4.76	4.9	V	
EXTV <sub>CC</sub> LDO Switchover Hysteresis EXTV <sub>CC</sub> Falling		DRVUV = INTV <sub>CC</sub> or floating		390		mV	
		DRVUV = 0V		220		mV	

**Spread Spectrum Oscillator and Phase-Locked Loop**

Fixed Frequencies	$f_{\text{OSC}}$	PLLIN/SPREAD = 0V				
		FREQ = 0V, $T_A = 25^{\circ}\text{C}$	320	370	420	kHz
		FREQ = INTV <sub>CC</sub>	2.0	2.25	2.5	MHz
		FREQ = 374k $\Omega$		100		kHz

(特に指定のない限り、仕様値は  $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (最小値および最大値)、 $T_A = 25^{\circ}\text{C}$  (代表値)、 $V_{BIAS} = 12\text{V}$ 、 $\text{RUN} = 5\text{V}$ 、 $\text{VPRG} = \text{フロート}$ 、 $\text{EXTV}_{CC} = 0\text{V}$ 、 $\text{DRVSET} = 0\text{V}$ 、 $\text{DRVUV} = 0\text{V}$ 、 $\text{DTCA}$  および  $\text{DTCB} = 0\text{V}$  における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
		FREQ = 75k $\Omega$ , $T_A = 25^{\circ}\text{C}$ FREQ = 12.4k $\Omega$	450	500 3	550	kHz MHz
Synchronizable Frequency Range	$f_{\text{SYNC}}$	PLLIN/SPREAD = External Clock	0.1		3	MHz
PLLIN Input High Level			2.2			V
PLLIN Input Low Level					0.5	V
Spread Spectrum Frequency Range (Relative to $f_{\text{OSC}}$ )		PLLIN/SPREAD = $\text{INTV}_{CC}$ Minimum Frequency Maximum Frequency		0 20		% %

**PGOOD Outputs**

PGOOD Voltage Low		PGOOD = 2mA, $T_A = 25^{\circ}\text{C}$		0.2	0.4	V
PGOOD Leakage Current		PGOOD = 5V, $T_A = 25^{\circ}\text{C}$	-1	0	+1	$\mu\text{A}$
PGOOD Trip Level ( $V_{\text{FB}}$ with Respect to Set Regulated Voltage)		$T_A = 25^{\circ}\text{C}$ $V_{\text{FB}}$ Rising Hysteresis $V_{\text{FB}}$ Falling Hysteresis	7 -13	10 1.6 -10 1.6	13 -7	% % % %
PGOOD Delay for Reporting a Fault				25		$\mu\text{s}$

- <sup>1</sup> LTC7893 は帰還ループでテストされています。このループでは ITH 電圧 ( $V_{\text{ITH}}$ ) を仕様規定された電圧にサーボ制御して、得られた帰還電圧 ( $V_{\text{FB}}$ ) を測定しています。
- <sup>2</sup> SENSE<sup>+</sup>のバイアス電流は、 $I_{\text{VBIAS}} = I_{\text{SENSE}^+} \times V_{\text{BIAS}} / (V_{\text{OUT}} \times \eta)$  ( $\eta$  は効率) の式に従ってバイアス電源に反映されます。
- <sup>3</sup> 立上がり時間と立下がり時間は、10%と90%のレベルで測定しています。特に指定のない限り、遅延時間は50%のレベルで測定しています。
- <sup>4</sup> TGxの立下がりからBGxの立上がりまで、およびBGxの立下がりからTGxの立上がりまでの遅延時間は、TGxとBGxの立上がり閾値と立下がり閾値が約1Vのときに測定しています。図40および図41を参照してください。
- <sup>5</sup> インダクタのピーク to ピーク・リップル電流に対して仕様規定される最小オン時間条件は、最大負荷電流 ( $I_{\text{MAX}}$ ) の40%以上です (最小オン時間に関する考慮事項のセクションを参照)。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

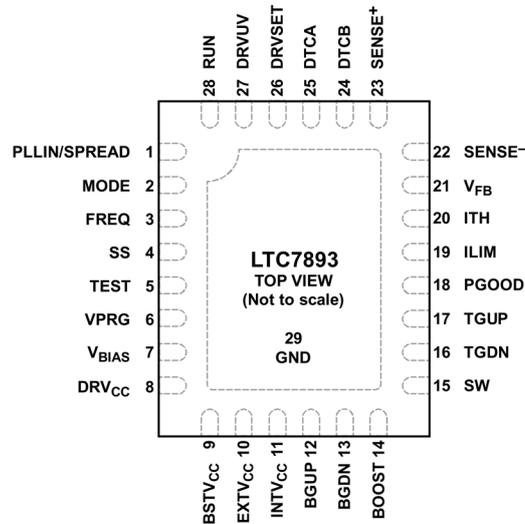
表 2. 絶対最大定格

PARAMETER	RATING
Bias Input Supply ( $V_{\text{BIAS}}$ )	-0.3V to 100V
RUN	-0.3V to 100V
BOOST	-0.3V to 106V
SW	-5V to 100V
BOOST to SW	-0.3V to 6V
TGUP, TGDN <sup>1</sup>	Not applicable
BGUP, BGDN <sup>1</sup>	Not applicable
EXTV <sub>CC</sub>	-0.3V to 30V
DRV <sub>CC</sub> , INTV <sub>CC</sub> , BSTV <sub>CC</sub>	-0.3V to 6V
$V_{\text{FB}}$	-0.3V to 65V
PLLIN/SPREAD, FREQ	-0.3V to 6V
SS	-0.3V to 6V
ITH	-0.3V to 6V
DRVSET, DRVUV	-0.3V to 6V
MODE, ILIM, VPRG	-0.3V to 6V
PGOOD	-0.3V to 6V
DTCA, DTCB	-0.3V to 6V
SENSE <sup>+</sup> , SENSE <sup>-</sup>	-0.3V to 65V
SENSE <sup>+</sup> to SENSE <sup>-</sup> Continuous	-0.3V to +0.3V
SENSE <sup>+</sup> to SENSE <sup>-</sup> <1ms	-100mA to 100mA
Operating Junction Temperature Range <sup>2</sup>	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C

<sup>1</sup> これらのピンには電圧も電流も印加しないでください。容量性負荷にのみ接続する必要があります。それ以外の場合、恒久的な損傷が生じるおそれがあります。

<sup>2</sup> LTC7893 は、 $-40^\circ\text{C}$ ~ $125^\circ\text{C}$  の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。なお、ここに示す仕様に見合った最大周囲温度は、具体的な動作条件とボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 ( $T_J$ ,  $^\circ\text{C}$ ) は、次式を使って周囲温度 ( $T_A$ ,  $^\circ\text{C}$ ) と消費電力 ( $P_D$ , ワット) から計算します:  $T_J = T_A + (P_D \times \theta_{JA})$ 。ここで、 $\theta_{JA}$  はパッケージの熱抵抗で、28ピン (4mm × 5mm)、サイド・ウェットアップ、クラウド・フラット・ノー・リード (QFN) パッケージの場合、 $43^\circ\text{C}/\text{W}$  に相当します。

ピン配置およびピン機能の説明



NOTES  
1. EXPOSED PAD (PIN 29) IS GND, MUST BE SOLDERED TO PCB. 003

図 3. ピン配置

表 3. 端子説明

端子	名称	説明
1	PLLIN/SPREAD	位相検出器／スペクトラム拡散への外部同期入力ケーブル。外部クロックが PLLIN/SPREAD に入力されると、フェーズロック・ループにより BGx の立上がり信号が外部クロックの立上がりエッジに同期されます。外部クロックに同期させない場合、この入力を INTV <sub>CC</sub> に接続すると、発振器のスペクトラム拡散ディザリングが有効になり、GND に接続すると、スペクトラム拡散ディザリングが無効になります。
2	MODE	モード・セレクト入力。この入力により、LTC7893 の軽負荷時の動作が決まります。MODE を GND に接続すると、Burst Mode <sup>®</sup> の動作が選択されます。MODE がフロート状態の場合も、GND に接続された 100kΩ の内部抵抗によって、Burst Mode 動作が選択されます。MODE を INTV <sub>CC</sub> に接続すると、連続インダクタ電流動作になります。MODE を 100kΩ の抵抗を介して INTV <sub>CC</sub> に接続すると、パルススキッピング動作が選択されます。
3	FREQ	内部電圧制御発振器（VCO）の周波数制御ピン。FREQ を GND に接続すると、370kHz の周波数に固定されます。FREQ を INTV <sub>CC</sub> に接続すると、2.25MHz の周波数に固定されます。FREQ と GND の間に抵抗を接続すると、100kHz～3MHz の範囲で周波数を設定できます。FREQ の容量は最小限に抑えてください。
4	SS	外部ソフトスタート入力。SS は、V <sub>FB</sub> 電圧を 1.2V または SS ピンの電圧のいずれか低い方に安定化します。SS には 12μA の内部プルアップ電流源が接続されています。SS と GND の間に接続するコンデンサにより、最終の安定化出力電圧までのランプ上昇時間が設定されます。ランプ上昇時間は、10nF の静電容量ごとに 1ms です。
5	TEST	テスト・ピン。このピンは PCB の GND にハンダ付けしてください。
6	VPRG	出力電圧制御ピン。このピンは、外付け帰還抵抗で調整可能な出力モードにするか、28V または 24V の固定出力モードにするかを設定します。VPRG をフロート状態にすると、外付けの抵抗分圧器を用いて出力を 1.2V～100V に設定でき、V <sub>FB</sub> は 1.2V に安定化されます。VPRG を INTV <sub>CC</sub> または GND に接続すると、V <sub>FB</sub> の内部抵抗分圧器を通じてそれぞれ、28V または 24V に出力が設定されます。

7	V <sub>BIAS</sub>	主電源ピン。V <sub>BIAS</sub> とGNDの間にバイパス・コンデンサを接続する必要があります。
8	DRV <sub>CC</sub>	ゲート・ドライバ電源ピン。ゲート・ドライバはDRV <sub>CC</sub> から給電されます。DRV <sub>CC</sub> をINTV <sub>CC</sub> まで、INTV <sub>CC</sub> バイパス・コンデンサへの配線パターンとは別の配線パターンで接続します。
9	BSTV <sub>CC</sub>	ブートストラップ・ダイオード・アノード接続ピン。BSTV <sub>CC</sub> ピンとBOOSTピンの間にオプションでショットキー・ダイオードを外付けすると、DRV <sub>CC</sub> とBOOSTの間にある7Ωのスイッチ抵抗のほとんどをバイパスできます。
10	EXTV <sub>CC</sub>	DRV <sub>CC</sub> に接続された内蔵LDOレギュレータへの外部電源入力。このLDOレギュレータはINTV <sub>CC</sub> に電力を供給し、EXTV <sub>CC</sub> がEXTV <sub>CC</sub> 切替え電圧より高いときは常に内部のV <sub>BIAS</sub> LDOレギュレータをバイパスします。 <b>電力およびバイアスの供給 (V<sub>BIAS</sub>、EXTV<sub>CC</sub>、DRV<sub>CC</sub>、INTV<sub>CC</sub>) のセクションとINTV<sub>CC</sub>レギュレータ (OPTI-DRIVE) のセクションにおけるEXTV<sub>CC</sub>の接続を参照してください。</b> EXTV <sub>CC</sub> は30Vを超えないようにしてください。EXTV <sub>CC</sub> LDOレギュレータを使用しない場合は、EXTV <sub>CC</sub> をGNDに接続します。
11	INTV <sub>CC</sub>	内部LDOレギュレータの出力。INTV <sub>CC</sub> の電圧レギュレーション・ポイントはDRVSETピンで設定します。INTV <sub>CC</sub> は、4.7μF~10μFのセラミック・コンデンサまたは他の等価直列抵抗 (ESR) の低いコンデンサでGNDとデカップリングする必要があります。
12	BGUP	下側FET用大電流ゲート・ドライバ・プルアップ。BGUPはDRV <sub>CC</sub> にプルアップします。BGUPを下側FETのゲートに直接接続すると、ゲートの立上がりエッジでのゲート駆動の遷移速度が最大になります。BGUPと下側FETゲートの間に抵抗を接続すると、ゲートの立上がりのスルー・レートを調整できます。BGUPは、ターンオフ時における下側FETゲートのケルビン検出としても機能します。
13	BGDN	下側FET用大電流ゲート・ドライバ・プルダウン。BGDNはGNDにプルダウンします。BGDNを下側FETのゲートに直接接続すると、ゲートの立下がりエッジでのゲート駆動の遷移速度が最大になります。BGDNと下側FETゲートの間に抵抗を接続すると、ゲートの立下がりのスルー・レートを調整できます。BGDNは、ターンオン時における下側FETゲートのケルビン検出としても機能します。
14	BOOST	上側のフローティング・ドライバに供給するブートストラップ電源。BOOSTピンとSWピンの間にコンデンサを接続します。下側FETがオンになると、内部スイッチがDRV <sub>CC</sub> からBOOSTピンに電源を供給します。BOOSTピンの電圧振幅はDRV <sub>CC</sub> から(V <sub>OUT</sub> + DRV <sub>CC</sub> )までです。
15	SW	スイッチ・ノードのインダクタへの接続部。
16	TGDN	上側FET用大電流ゲート・ドライバ・プルダウン。TGDNはSWにプルダウンします。TGDNを上側FETのゲートに直接接続すると、ゲートの立下がりエッジでのゲート駆動の遷移速度が最大になります。TGDNと上側FETゲートの間に抵抗を接続すると、ゲートの立下がりのスルー・レートを調整できます。
17	TGUP	上側FET用大電流ゲート・ドライバ・プルアップ。TGUPはBOOSTにプルアップします。TGUPを上側FETのゲートに直接接続すると、ゲートの立上がりエッジでのゲート駆動の遷移速度が最大になります。TGUPと上側FETゲートの間に抵抗を接続すると、ゲートの立上がりのスルー・レートを調整できます。
18	PGOOD	パワー・グッドを示す、オープン・ドレインのロジック出力。PGOODは、V <sub>FB</sub> の電圧が設定値の±10%以内でない場合、GNDにプルダウンされます。

19	ILIM	電流コンパレータの検出電圧範囲入力。ILIM を GND または INTV <sub>CC</sub> に接続するか、ILIM をフロート状態にすることで、最大電流検出閾値を3つのレベル（それぞれ 25mV、75mV、50mV）のいずれかに設定できます。
20	ITH	エラー・アンプの出力およびスイッチング・レギュレータの補償ポイント。電流コンパレータの作動閾値は、この制御電圧に応じて増加します。
21	V <sub>FB</sub>	エラー・アンプの帰還入力。VPRG がフロート状態の場合、V <sub>FB</sub> ピンは、リモート・センシングされた帰還電圧を、出力端子間に接続された外付け抵抗分圧器から受け取ります。VPRG を GND または INTV <sub>CC</sub> に接続した場合、V <sub>FB</sub> ピンはリモート・センシングされた出力電圧を直接受け取ります。
22	SENSE <sup>-</sup>	差動電流コンパレータへの負側 (-) 入力。ITH ピンの電圧および SENSE <sup>+</sup> ピンと SENSE <sup>-</sup> ピンの間の制御されたオフセットは、電流センス抵抗 (R <sub>SENSE</sub> ) と組み合わせて電流トリップ閾値を設定します。
23	SENSE <sup>+</sup>	差動電流コンパレータへの正側 (+) 入力。SENSE <sup>+</sup> ピンの電圧が INTV <sub>CC</sub> より高いときは、SENSE <sup>+</sup> ピンが電流コンパレータに電流を供給します。SENSE <sup>+</sup> ピンの電圧が 3.2V 以上の場合は、スリープ・モードでの自己消費電流のほとんどを V <sub>BIAS</sub> の代わりに供給して、入力換算の自己消費電流を更に低減します。
24	DTCB	上側ゲート・オフから下側ゲート・オンまでの遅延用デッド・タイム制御ピン。DTCB を GND に接続すると、約 15ns の適応型遅延が設定されます。DTCB と GND の間に 10kΩ~200kΩ の抵抗を接続すると、上側ゲート・オフから下側ゲート・オンまでの非適応型（オープンループ）デッド・タイム遅延が 7ns~60ns の範囲で設定されます。
25	DTCA	下側ゲート・オフから上側ゲート・オンまでの遅延用デッド・タイム制御ピン。DTCA を GND に接続すると、約 15ns の適応型遅延が設定されます。DTCA と GND の間に 10kΩ~200kΩ の抵抗を接続すると、下側ゲート・オフから上側ゲート・オンまでの非適応型（オープンループ）デッド・タイム遅延が 7ns~60ns の範囲で設定されます。
26	DRVSET	INTV <sub>CC</sub> のレギュレーション設定ピン。DRVSET は、INTV <sub>CC</sub> LDO リニア・レギュレータのレギュレーション・ポイントを設定します。DRVSET を GND に接続すると INTV <sub>CC</sub> は 5V に設定されます。DRVSET を INTV <sub>CC</sub> に接続すると INTV <sub>CC</sub> は 5.5V に設定されます。DRVSET と GND の間に抵抗 (43kΩ~100kΩ) を接続すると、4V~5.5V の範囲で電圧を設定できます。この抵抗と 20μA の内部ソース電流により、INTV <sub>CC</sub> LDO レギュレータがレギュレーション・ポイントを設定するために使用する電圧が生成されます。
27	DRVUV	DRV <sub>CC</sub> UVLO および EXTV <sub>CC</sub> の切替え設定ピン。DRVUV は、表 1 に示すように、INTV <sub>CC</sub> UVLO および EXTV <sub>CC</sub> の立上がりおよび立下がりの切替え閾値を指定します。
28	RUN	コントローラの実行制御入力。RUN を 1.08V 未満にすると、コントローラのスイッチングが無効化されます。RUN を 0.7V 未満にすると LTC7893 はシャットダウンされ、自己消費電流が約 1μA に減少します。RUN ピンを V <sub>BIAS</sub> に接続すると常時オン動作になります。
29	GND (EPAD)	グラウンド（露出パッド）。定格の電気的性能および熱性能を得るため、露出パッドは PCB のグラウンドにハンダ処理する必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

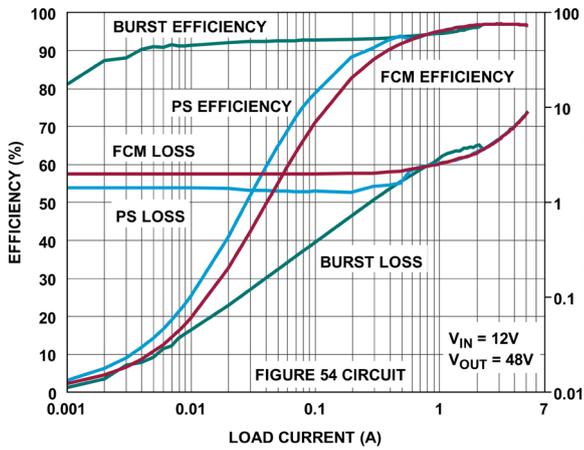


図 4. 効率および電力損失と負荷電流の関係

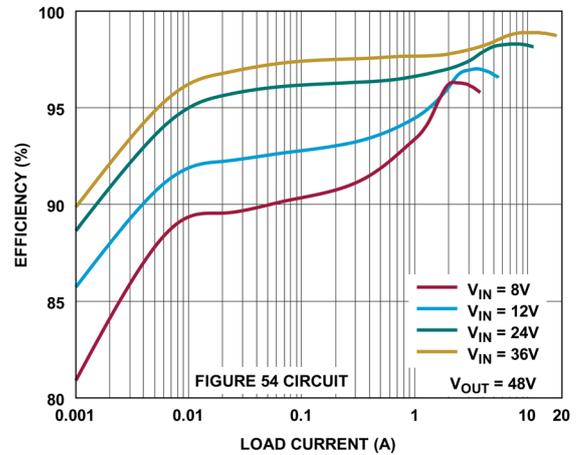


図 5. 効率と負荷電流の関係

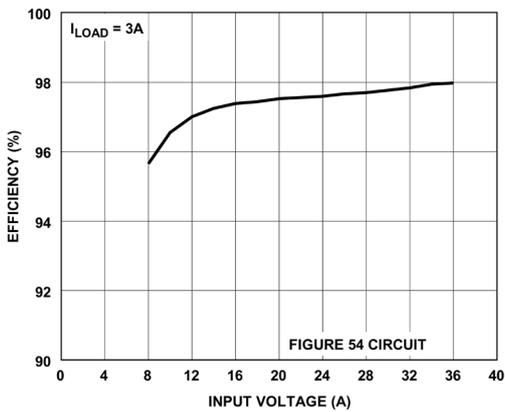


図 6. 効率と入力電圧の関係

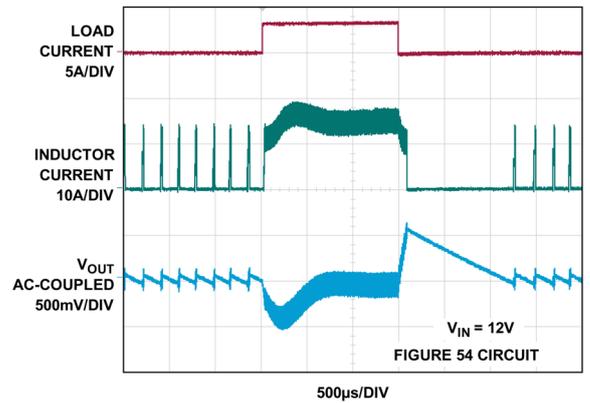


図 7. 負荷ステップ (Burst Mode 動作)

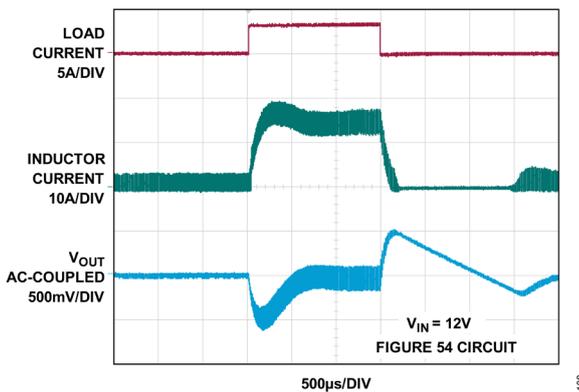


図 8. 負荷ステップ (パルススキッピング・モード)

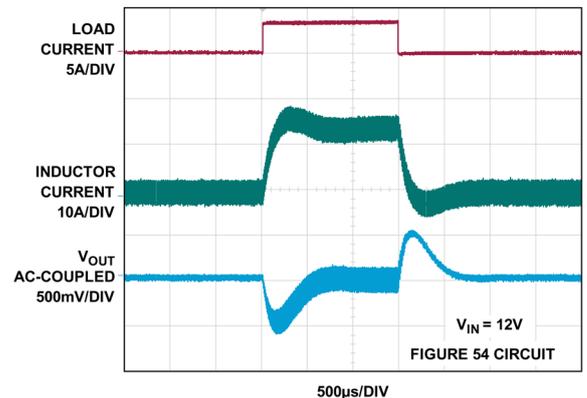


図 9. 負荷ステップ (強制連続モード)

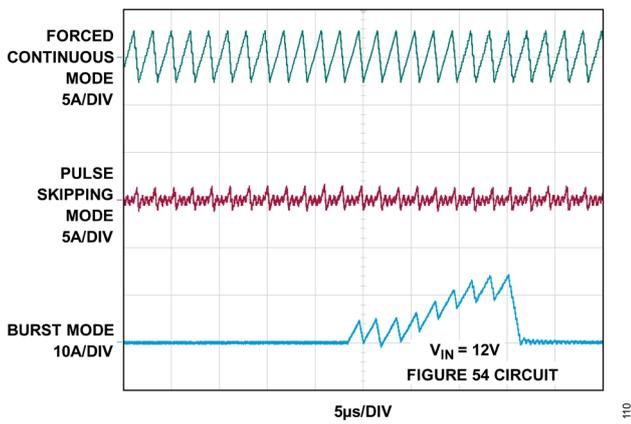


図 10. 軽負荷時のインダクタ電流

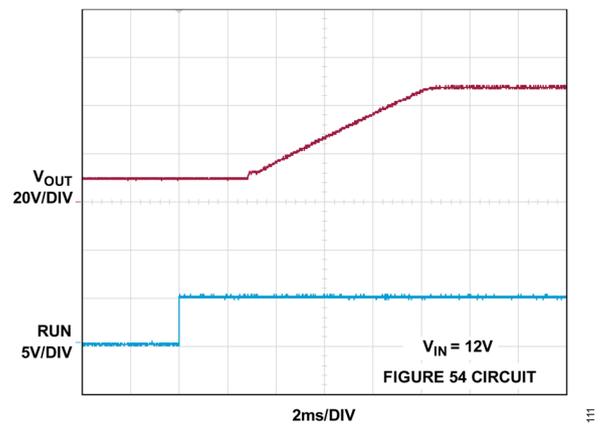


図 11. ソフトスタート

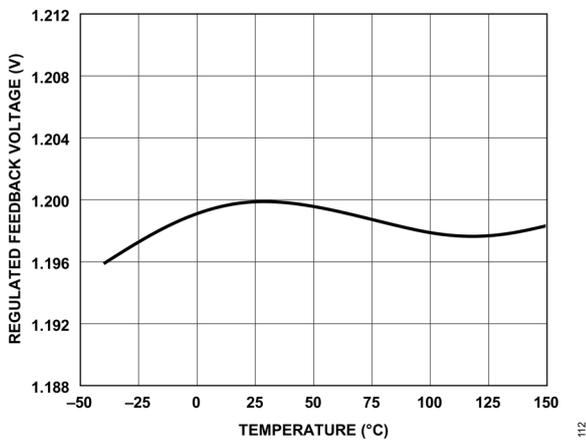


図 12. レギュレーション帰還電圧と温度の関係

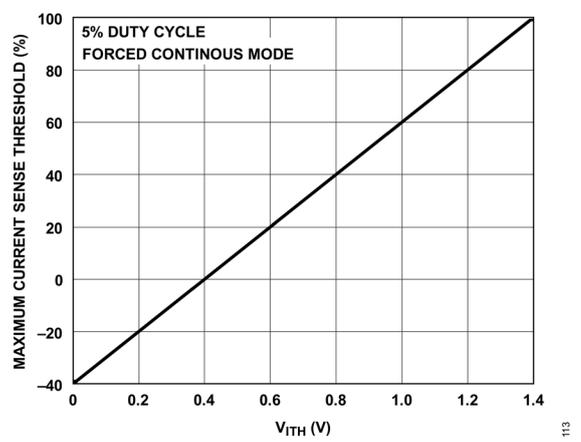


図 13. 強制連続モードでの  $V_{SENSE(MAX)}$  基準の最大電流検出閾値と  $V_{ITH}$  の関係

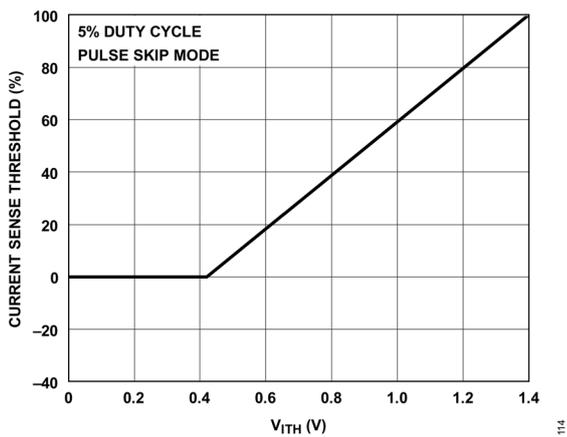


図 14. パルススキッピング・モードでの  $V_{SENSE(MAX)}$  基準の最大電流検出閾値と  $V_{ITH}$  の関係

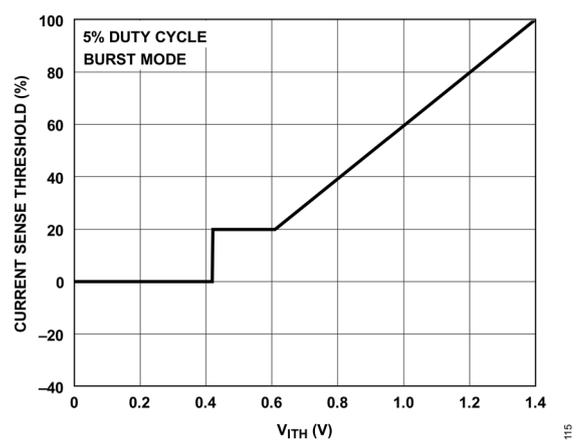


図 15. Burst Mode での  $V_{SENSE(MAX)}$  基準の最大電流検出閾値と  $V_{ITH}$  の関係

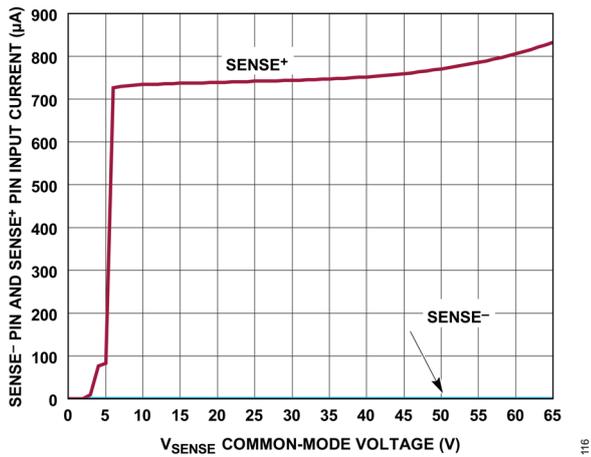


図 16. SENSE+ピンおよび SENSE-ピンの入力バイアス電流と  $V_{SENSE}$  コモンモード電圧の関係

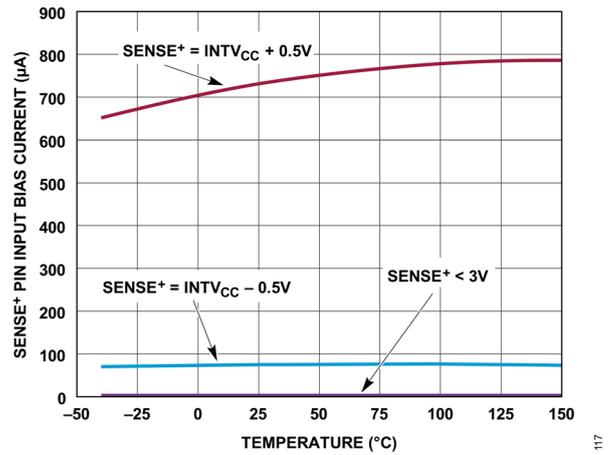


図 17. SENSE+ピンの入力電流と温度の関係

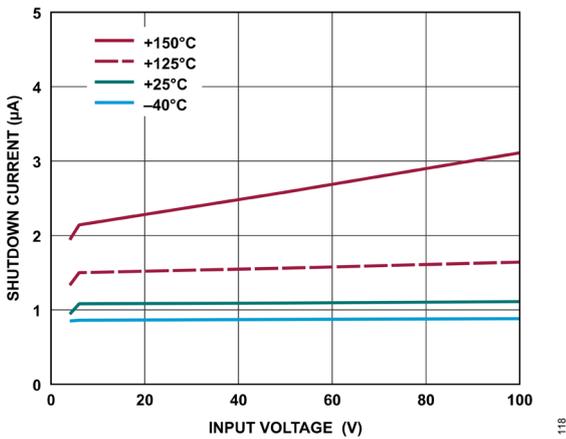


図 18. シャットダウン電流と入力電圧の関係

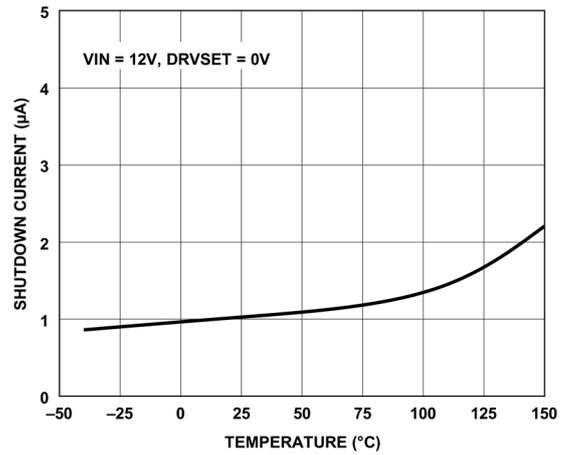


図 19. シャットダウン電流と温度の関係

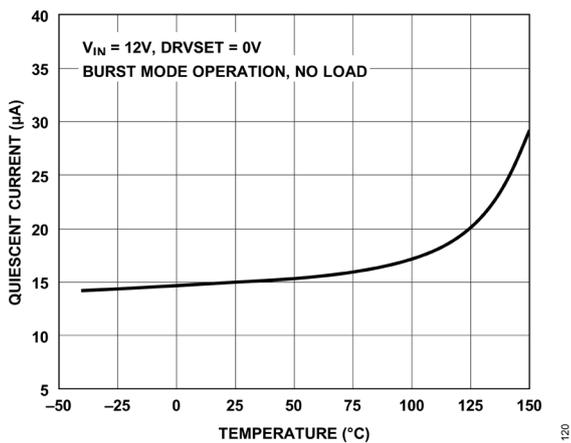


図 20. 静止電流と温度の関係

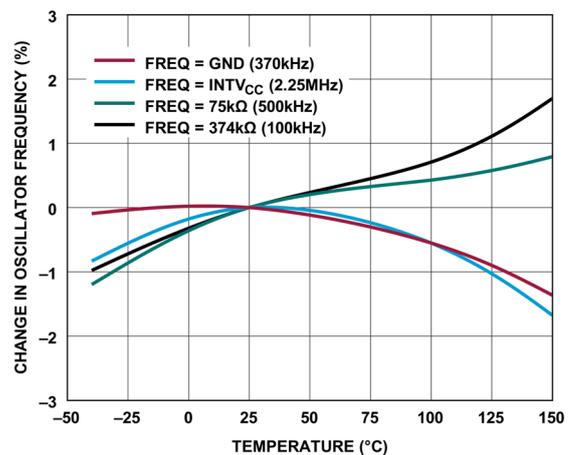


図 21. 発振器周波数と温度の関係

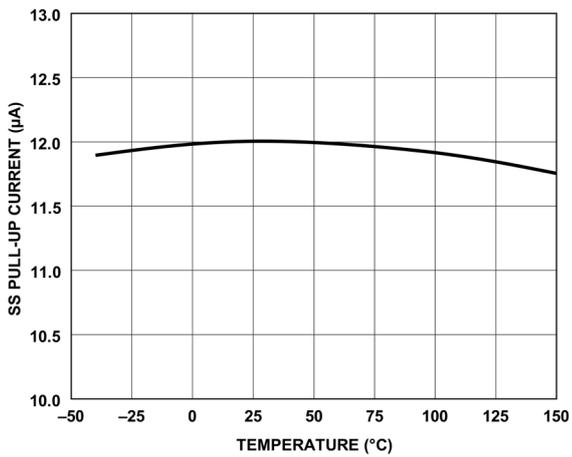


図 22. SS のプルアップ電流と温度の関係

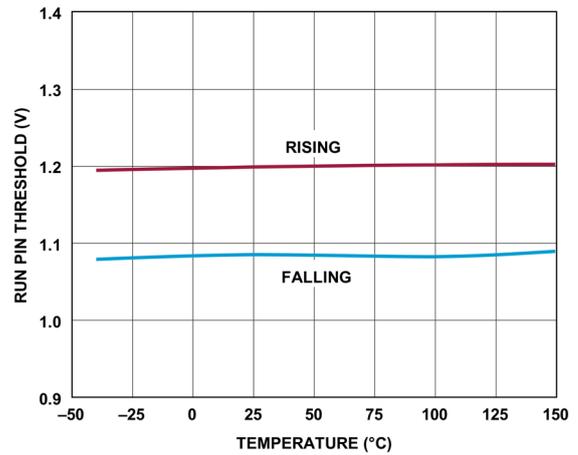


図 23. RUN ピンの閾値と温度の関係

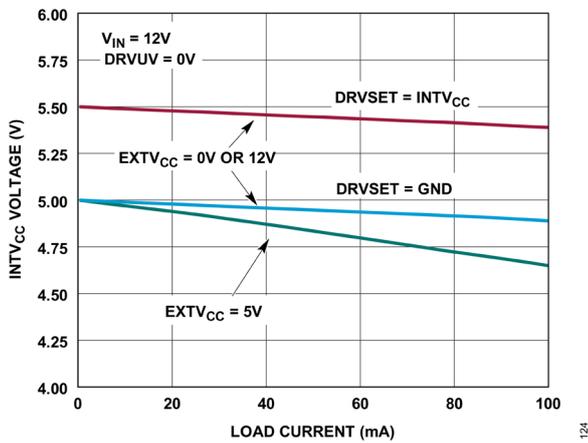


図 24. INTV<sub>CC</sub> 電圧と負荷電流の関係

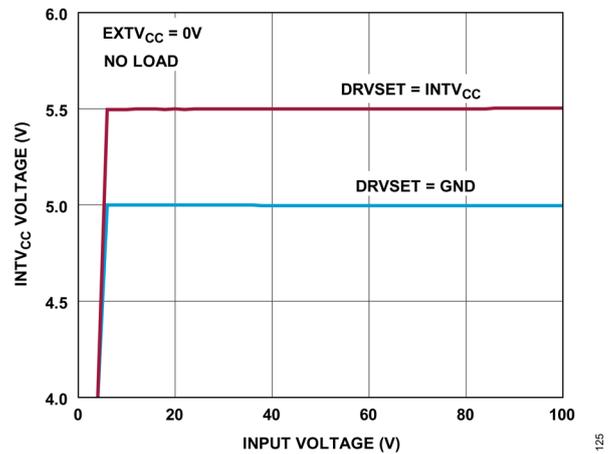


図 25. INTV<sub>CC</sub> 電圧と入力電圧の関係

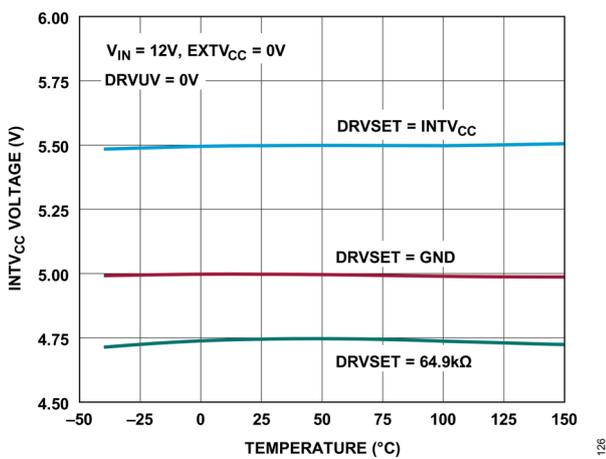


図 26. INTV<sub>CC</sub> 電圧と温度の関係

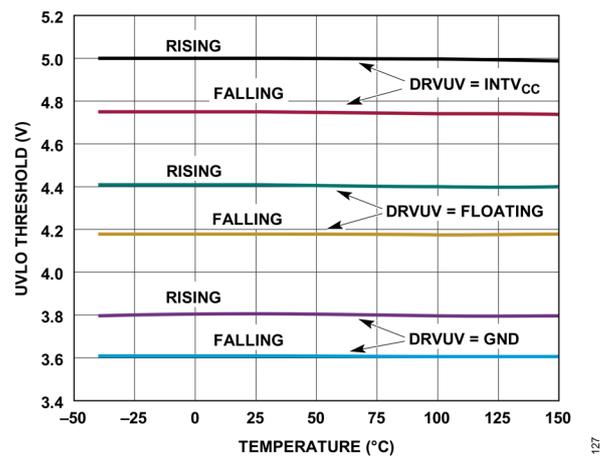


図 27. UVLO の閾値と温度の関係

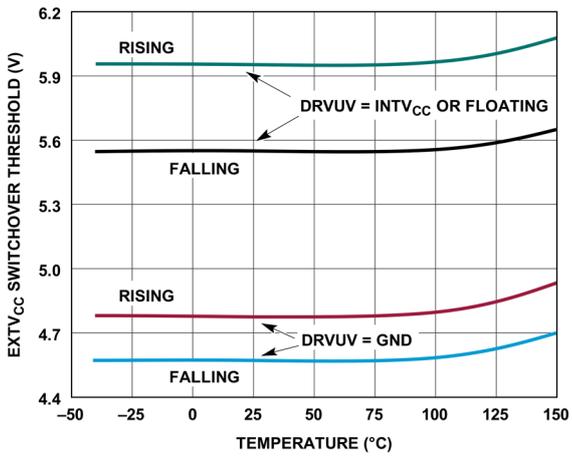


図 28. EXTV<sub>CC</sub> 切替え閾値と温度の関係

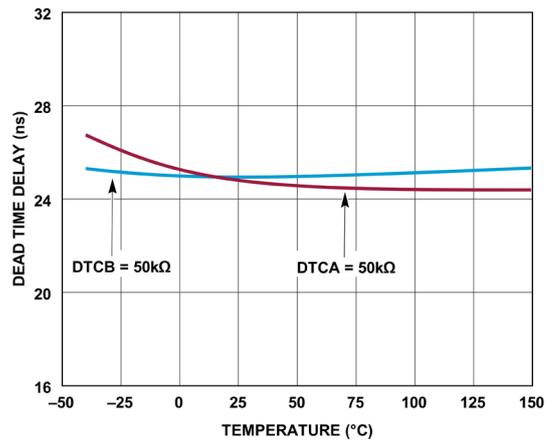


図 29. デッド・タイム遅延と温度の関係

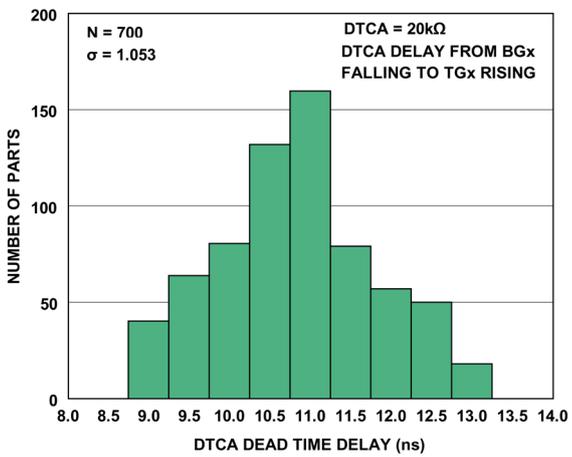


図 30. DTCA = 20kΩ でのデッド・タイム遅延のヒストグラム

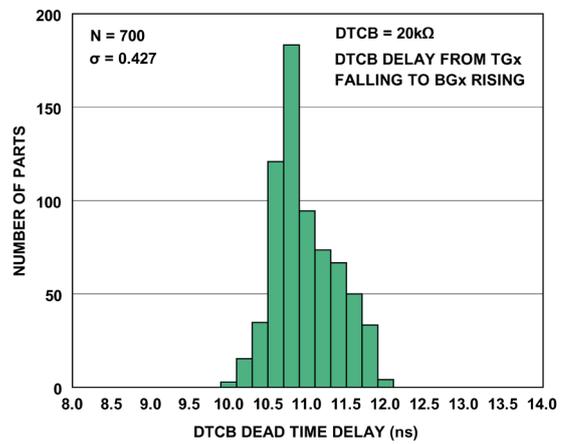


図 31. DTCB = 20kΩ でのデッド・タイム遅延のヒストグラム

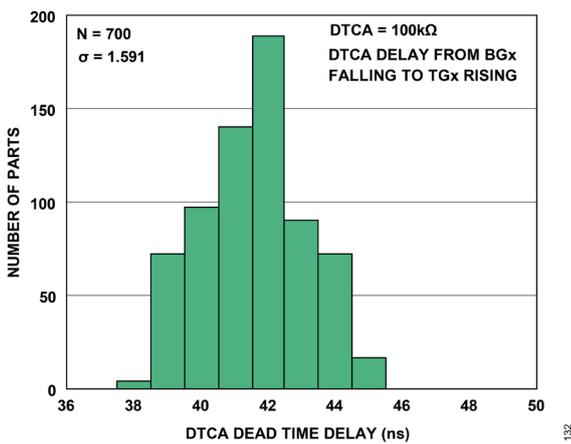


図 32. DTCA = 100kΩ でのデッド・タイム遅延のヒストグラム

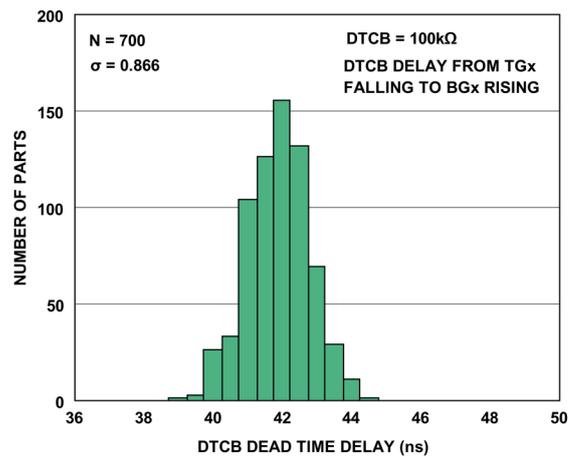


図 33. DTCB = 100kΩ でのデッド・タイム遅延のヒストグラム

機能図

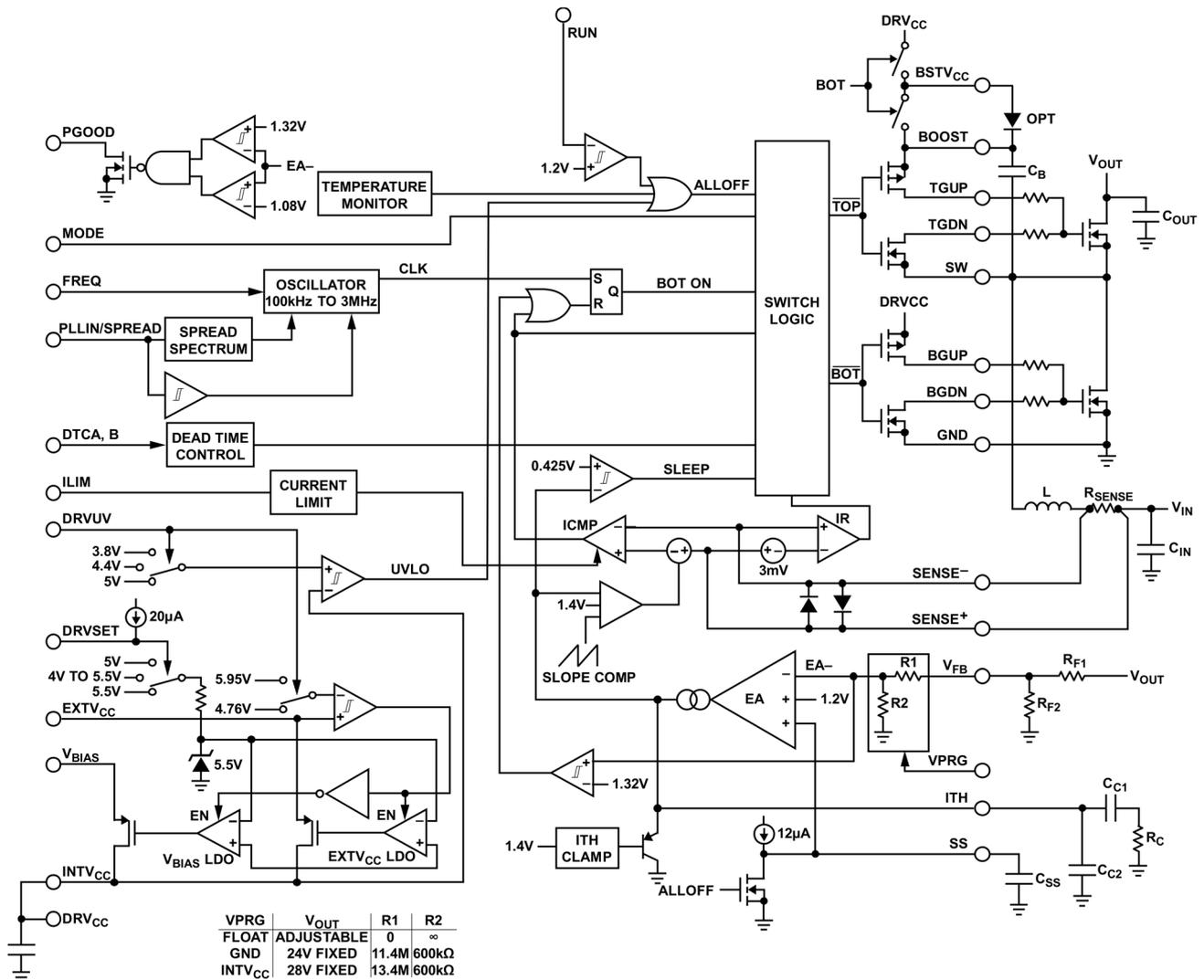


図 34. 機能図

動作原理

メイン制御ループ

LTC7893 は、固定周波数のピーク電流モード・アーキテクチャを採用した同期整流式昇圧コントローラです。通常動作時には、クロックがセット/リセット (SR) ラッチをセットすると外付けの下側 FET がオンになり、インダクタ電流が増加します。メインの電流コンパレータ (ICMP) が SR ラッチをリセットすると、メイン・スイッチがオフになります。サイクルごとに下側 FET がオフになった後、インダクタ電流が反転し始めて電流コンパレータ (IR) がそれを検出するか、または次のクロック・サイクルが始まるまで、上側 FET がオンになってインダクタ電流が減少します。

ICMP が作動してラッチをリセットするピーク・インダクタ電流は、エラー・アンプ (EA) の出力である ITH ピンの電圧によって制御されます。エラー・アンプは、V<sub>FB</sub> ピンの出力電圧帰還信号 (出力電圧 V<sub>OUT</sub> と GND の間に接続した外付け抵抗分圧器で生成) を 1.2V の内部リファレンス電圧と比較します。負荷電流が増加するとリファレンス電圧に対して V<sub>FB</sub> がわずかに低くなるので、平均インダクタ電流が新しい負荷電流に見合った値となるまで、エラー・アンプが ITH 電圧を上昇させます。

## 電力およびバイアスの供給 ( $V_{BIAS}$ 、 $EXTV_{CC}$ 、 $DRV_{CC}$ 、 $INTV_{CC}$ )

$INTV_{CC}$  ピンは、上側と下側の FET ドライバおよびほとんどの内部回路に電力を供給する役割を果たします。FET ドライバ用の電源は  $DRV_{CC}$  ピンから供給されます。このピンはゲート・ドライバに電源を供給するために  $INTV_{CC}$  ピンに接続する必要があります。低ドロップアウト・リニア・レギュレータ (LDO) は  $V_{BIAS}$  ピンと  $EXTV_{CC}$  ピンの両方から利用可能で、 $INTV_{CC}$  に電力を供給します。これは、 $DRVSET$  ピンの制御により 4V~5.5V の範囲で設定できます。 $EXTV_{CC}$  ピンをその切替え電圧より低い電圧に接続した場合、 $V_{BIAS}$  LDO が  $INTV_{CC}$  に電力を供給します。 $EXTV_{CC}$  がその切替え電圧を超えると、 $V_{BIAS}$  LDO レギュレータがオフになり、 $EXTV_{CC}$  LDO がオンになります。 $EXTV_{CC}$  LDO レギュレータは、有効化した場合に  $INTV_{CC}$  に電力を供給します。 $EXTV_{CC}$  ピンを使用すると、高効率の外部電源から  $INTV_{CC}$  に電力を供給できます。

## ハイサイド・ブートストラップ・コンデンサ

各上側 FET ドライバは、フローティング・ブートストラップ・コンデンサ ( $C_B$ ) からバイアスされます。このコンデンサは通常、下側 FET がオンになるたびに、 $BOOST$  と  $DRV_{CC}$  の間の内部スイッチを介して再充電されます。この内部スイッチは、下側 FET がオフのときは常時高インピーダンスであり、デッド・タイム中に  $SW$  が  $GND$  より低い値を示すときは常に、ブートストラップ・コンデンサの過充電を防止します。

入力電圧がその出力に近い電圧まで増加すると、ループがドロップアウト状態に入り、上側 FET を連続的にオンにしようとする可能性があります。下側 FET がブートストラップ・コンデンサを再充電できるだけの頻度でオンにならない場合、上側 FET は完全なエンハンスメント・モードにはならず、場合によっては、コントローラが上側 FET をオンにしようとしても完全にオフになる可能性さえあります。

## デッド・タイム制御 (DTCA ピンおよび DTCB ピン)

LTC7893 のデッド・タイム遅延は、DTCA ピンと DTCB ピンを設定することで、7ns~60ns の範囲で設定できます。DTCA ピンは、下側 FET のターンオンと上側 FET のターンオン ( $SW$  がローからハイに遷移) に関連するデッド・タイムを設定します。DTCB ピンは、上側 FET のターンオフと下側 FET のターンオン ( $SW$  がハイからローに遷移) に関連するデッド・タイムを設定します。

DTCA ピンをグラウンドに接続すると、適応型デッド・タイム制御が設定され、ドライバ・ロジックは、下側 FET がターンオフするのを待ってから上側 FET をターンオンします。適応型デッド・タイム制御により、 $BGx$  の立下がりから  $TGx$  の立上がりまでのデッド・タイムは約 15ns となります。DTCA ピンとグラウンドの間に抵抗を接続すると、下側 FET のターンオンと上側 FET のターンオンの間のオープンループ遅延が設定されます。この遅延は 7ns~60ns の範囲で設定できます。詳細については、[デッド・タイム制御 \(DTCA ピンおよび DTCB ピン\)](#) のセクションを参照してください。

DTCB ピンをグラウンドに接続すると、適応型デッド・タイム制御が設定され、ドライバ・ロジックは、上側 FET がターンオンするのを待ってから下側 FET をターンオンします。適応型デッド・タイム制御により、 $TG$  の立下がりから  $BG$  の立上がりまでのデッド・タイムは約 15ns となります。DTCB ピンとグラウンドの間に抵抗を接続すると、上側 FET のターンオンと下側 FET のターンオンの間のオープンループ遅延が設定されます。この遅延は 7ns~60ns の範囲で設定できます。詳細については、[デッド・タイム制御 \(DTCA ピンおよび DTCB ピン\)](#) のセクションを参照してください。

## スタートアップとシャットダウン (RUN ピンおよび SS ピン)

LTC7893 は RUN ピンを使用してシャットダウンすることができます。RUN ピンの電圧を 1.1V より低くすると、メイン制御ループがシャットダウンします。RUN ピンを 0.7V より低くすると、コントローラと、 $INTV_{CC}$  LDO レギュレータを含むほとんどの内部回路が無効化されます。このシャットダウン状態では、 $V_{BIAS}$  から LTC7893 に流れる電流はわずか 1 $\mu$ A です。

RUN ピンは外部からプルアップするか、ロジックで直接駆動する必要があります。RUN ピンは最大 100V (絶対最大値) まで許容できます。したがって、コントローラが連続的に有効化されてシャットダウンされることのない常時オンのアプリケーションでは、RUN ピンを  $V_{IN}$  または  $V_{BIAS}$  に接続できます。更に、 $V_{IN}$  ピンと RUN ピンの間に抵抗分圧器を接続すれば、高精度の入力低電圧ロックアウトを設定し、調整可能なレベル未満で電源が動作しないようにすることができます。

出力電圧  $V_{OUT}$  の起動は、SS ピンの電圧で制御されます。SS ピンの電圧が 1.2V の内部リファレンス電圧よりも低い場合、LTC7893 は  $V_{FB}$  電圧を 1.2V のリファレンス電圧ではなく SS ピンの電圧に安定化します。この方法により、スタートアップ時に出力電圧を滑らかに上昇させるソフトスタートとして SS ピンを使用できます。SS ピンと GND の間の外付けコンデンサは  $12\mu\text{A}$  の内部プルアップ電流で充電され、これによって SS ピンに電圧ランプが発生します。SS ピンの電圧が 0V から 1.2V (以上) まで直線的に上昇するにつれて、出力電圧  $V_{OUT}$  も、その最終値まで滑らかに上昇します。

### 軽負荷時の動作：Burst Mode 動作、パルススキッピング・モード、または強制連続モード (MODE ピン)

LTC7893 は、軽負荷電流時に、高効率の Burst Mode 動作、固定周波数パルススキッピング・モード、または強制連続動作モードになるように設定できます。

Burst Mode 動作を選択するには、MODE ピンを GND に接続します。強制連続動作を選択するには、MODE ピンを  $INTV_{CC}$  に接続します。パルススキッピング・モードを選択するには、MODE ピンを 1.2V より大きく  $INTV_{CC} - 1.3V$  より小さい DC 電圧に接続します。MODE ピンがフロート状態のときは、接地された  $100k\Omega$  の内部抵抗によって Burst Mode 動作が起動し、MODE ピンを  $100k\Omega$  の外付け抵抗を介して  $INTV_{CC}$  に接続すると、パルススキッピング・モードになります。

コントローラの Burst Mode 動作が有効化されているときは、ITH ピンの電圧が低い値を示している場合でも、インダクタの最小ピーク電流は最大値の約 25% に設定されます。平均インダクタ電流が負荷電流より大きい場合、エラー・アンプは ITH ピンの電圧を低下させます。ITH 電圧が 0.425V を下回ると、内部スリープ信号がハイになり (スリープ・モードが有効化され)、両方の外付け FET がオフになります。すると、ITH ピンがエラー・アンプの出力から遮断され、0.45V を維持します。

スリープ・モードでは内部回路のほとんどがオフになるため、LTC7893 に流れる自己消費電流 ( $I_Q$ ) が減少します。スリープ・モードの場合、LTC7893 に流れる  $I_Q$  はわずか  $15\mu\text{A}$  です。

スリープ・モードでは、負荷電流が出力コンデンサから供給されます。出力電圧が低下するにつれて、エラー・アンプの出力が上昇します。出力電圧が十分に低下すると、ITH ピンがエラー・アンプの出力に再接続され、スリープ信号がローになり、コントローラは内部発振器の次のサイクルで下側 FET をオンにして通常動作を再開します。

コントローラのバースト・モード動作が有効化されていると、インダクタ電流は反転することができません。インダクタ電流がゼロに達する直前に、逆電流コンパレータ (IR) が上側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、コントローラは不連続動作状態で動作します。

強制連続動作の場合、軽負荷時または大きなトランジェント状態時にはインダクタ電流を反転させることができます。ピーク・インダクタ電流は、通常動作と全く同様に、ITH ピンの電圧によって決まります。このモードでは、軽負荷での効率が Burst Mode 動作の場合よりも低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルススキッピング・モードになるように MODE ピンを接続すると、LTC7893 は軽負荷時にパルス幅変調 (PWM) のパルススキッピング・モードで動作します。このモードでは、出力電流が最大設計値の約 1% に低下するまで固定周波数動作が維持されます。軽負荷時には、ICMP は数サイクルの間トリップ状態を維持し、同じサイクル数の間下側 FET をオフしたままにする (つまり、パルスをスキップする) ことがあります。インダクタ電流は反転できません (不連続動作)。強制連続動作と同様、このモードでは、Burst Mode 動作に比べて出力リップルとオーディオ・ノイズが小さくなり、 $R_F$  干渉が減少します。パルススキッピング・モードでは、低電流での効率が強制連続モードより高くなりますが、Burst Mode 動作ほど高くはありません。

強制連続モードやパルススキッピング・モードとは異なり、Burst Mode 動作は外部クロックに同期することができません。そのため、Burst Mode 動作を選択し、スイッチング周波数が PLLIN/SPREAD ピンに印加された外部クロックに同期している場合、LTC7893 は Burst Mode 動作から強制連続モードに切り替わります。

## 周波数の選択、スペクトラム拡散、フェーズロック・ループ (FREQ ピンおよび PLLIN/SPREAD ピン)

LTC7893 のコントローラの自走スイッチング周波数は、FREQ ピンを使って選択します。FREQ を GND に接続すると 370kHz が選択され、FREQ を INTV<sub>CC</sub> に接続すると 2.25MHz が選択されます。FREQ と GND の間に抵抗を接続すると、周波数を 100kHz~3MHz の範囲で設定できます。

スイッチング・レギュレータは、電磁干渉 (EMI) が懸念されるアプリケーションでは特に問題を生じることがあります。EMI 性能を向上するために、LTC7893 はスペクトラム拡散モードで動作できます。このモードは、PLLIN/SPREAD ピンを INTV<sub>CC</sub> に接続することで有効化できます。この機能により、スイッチング周波数は FREQ ピンで設定した周波数~+20% (代表値) の範囲内で変化します。

LTC7893 ではフェーズロック・ループ (PLL) が使用可能で、PLLIN/SPREAD ピンに接続された外部クロック信号源に内部発振器を同期させることができます。LTC7893 の PLL は、外付け下側 FET のターンオンを同期信号の立上がりエッジに一致させます。

PLL の周波数は、外部クロックが入力される前に、FREQ ピンで設定した自走周波数にプリバイアスされます。外部クロック周波数付近でプリバイアスしておく、PLL をわずかに変化させるだけで、外部クロックの立上がりエッジを BGDN の立上がりエッジに同期させることができます。より高速に外部クロックにロックインするには、FREQ ピンを使用して、内部発振器の周波数を外部クロックの周波数前後の値に設定します。LTC7893 の PLL は、周波数が 100kHz~3MHz の外部クロック源に確実にロックするよう設計されています。

PLLIN/SPREAD ピンはトランジスタ・トランジスタ・ロジック (TTL) 互換で、閾値が 1.6V (立上がり) および 1.1V (立下がり) であるため、クロック信号の振幅が 0.5V~2.2V での動作が確保されています。

## 出力過電圧保護

LTC7893 は過電圧コンパレータを備えており、トランジェント・オーバーシュートや、出力過電圧の原因となるその他の深刻な状態から保護します。V<sub>FB</sub> ピンがレギュレーション・ポイントである 1.2V を 10%以上超えると、下側 FET がオフになり、インダクタ電流は逆転でなくなり、出力電圧は低下します。

## パワー・グッド

LTC7893 には、内部 N チャンネル MOSFET のオープン・ドレインに接続されている PGOOD ピンがあります。V<sub>FB</sub> 電圧が 1.2V リファレンスの±10%以内でない場合、MOSFET がオンになり、PGOOD ピンをローにプルダウンします。PGOOD ピンは、RUN ピンがロー (シャットダウン) の場合にもローになります。V<sub>FB</sub> 電圧が±10%の条件内にある場合、MOSFET がオフになり、PGOOD ピンは外付け抵抗によって INTV<sub>CC</sub> などの 6V 以下の電源にプルアップできます。

## アプリケーション情報

図 1 は、LTC7893 の基本的なアプリケーション回路を示しています。外付け部品の選択は主に負荷条件によって決まり、まずインダクタ、電流検出部品、動作周波数、軽負荷時の動作モードの選択から始めます。その後、入出力コンデンサおよびパワーFET で構成される残りのパワー段コンポーネントを選択します。次に、帰還抵抗を選択して、目的の出力電圧を設定します。その後、ソフトスタート、バイアス、ループ補償などに使用する、残りの外付け部品を選択します。

## インダクタ値の計算

動作周波数が高いほど小さな値のインダクタとコンデンサを使用できるという意味で、動作周波数とインダクタの選択には相関関係があります。FET のスイッチング損失とゲート電荷損失のために、一般に周波数が高いほど効率が低下します。このトレードオフに加えて、リップル電流と低電流動作に対するインダクタ値の影響も考慮しなければなりません。インダクタの値は、リップル電流に直接影響を与えます。

連続導通モードでの最大平均インダクタ電流 ( $I_{L(MAX)}$ ) は、最大平均出力電流 ( $I_{OUT(MAX)}$ ) に  $V_{OUT}/V_{IN}$  を乗じた値に等しくなります。つまり、 $I_{L(MAX)} = I_{OUT(MAX)} \cdot V_{OUT}/V_{IN}$  です。最大出力電流は、 $V_{IN}$  が低下するにつれて減少することに注意してください。したがって、 $I_{L(MAX)}$  をどう選択するかは、通常動作時の最小  $V_{IN}$  におけるレギュレーション電圧  $V_{OUT}$  の最大負荷電流により異なります。所定の  $V_{IN}$  に対する負荷電流を超えた場合は、 $I_{L(MAX)} = I_{OUT(MAX)} \cdot V_{OUT}/V_{IN}$  の式が満たされるまで  $V_{OUT}$  は低下します。

昇圧コンバータのインダクタのリップル電流 ( $\Delta I_L$ ) は、式 1 で与えられます。

$$\Delta I_L = \frac{1}{f \cdot L} V_{IN} \left( 1 - \frac{V_{IN}}{V_{OUT}} \right) \quad (1)$$

$\Delta I_L$  が大きな値でもよければ、低い値のインダクタンスを使用できますが、出力電圧リップルが大きくなり、コア損失が大きくなります。リップル電流を設定するための妥当な出発点は  $\Delta I_L = 0.3 \cdot I_{L(MAX)}$  です。昇圧コンバータの最大  $\Delta I_L$  は、 $V_{IN} = 1/2 V_{OUT}$  のときに発生します。

インダクタの値は、2 次的な影響も与えます。必要な平均インダクタ電流が減少すると、ピーク電流が  $R_{SENSE}$  によって決定される電流制限の 25%未滿になった時点で **Burst Mode** 動作への移行が開始されます。インダクタ値を低くする ( $\Delta I_L$  を高くする) と、この遷移はより低い負荷電流で起こるため、低電流動作の値の高い範囲では効率が低下する可能性があります。**Burst Mode** 動作では、インダクタンス値が小さくなるとバースト周波数が低下します。

## インダクタ・コアの選択

$L$  の値が定まったら、インダクタの種類を選択します。高効率レギュレータは、通常、低価格の鉄粉コアに見られるコア損失を許容できないので、より高価なフェライトまたはモリパーマロイのコアを使わざるを得ません。インダクタ値が同じ場合、実際のコア損失はコア・サイズではなく、選択するインダクタンス値に大きく依存します。インダクタンスが大きくなると、コア損失は減少します。しかし、インダクタンスを増加させるには巻き線数を増やす必要があるため、銅損失が増加します。

フェライトを使った設計ではコア損失が非常に小さくなるので、スイッチング周波数が高い場合に適しています。したがって、設計目標を銅損失と飽和防止に集中できます。フェライト・コア材料の飽和は「ハード」です。つまり、ピーク設計電流を超えると急激にインダクタンスが低下します。その結果、インダクタのリップル電流が急激に増加し、それに伴い出力電圧リップルも増加します。コアは飽和させないようにしてください。

## 電流検出方式の選択

LTC7893 はインダクタ DC 抵抗 (DCR) による検出または低抵抗値による検出のいずれかを使うように構成できます。2 つの電流検出方式のどちらを選択するかは、設計においてコスト、消費電力、精度のいずれを主に重視するかで決まります。DCR による検出が普及したのは、高価な電流検出抵抗が不要で、特に大電流のアプリケーションで電力効率が向上するためです。一方、電流検出抵抗を使用すると、コントローラの非常に正確な電流制限値が得られます。他の外付け部品の選択は、 $R_{SENSE}$  ( $R_{SENSE}$  を使用する場合) とインダクタの値の選択から始めます。

SENSE<sup>+</sup>ピンと SENSE<sup>-</sup>ピンは、電流コンパレータへの入力です。これらのピンの共通モード電圧範囲は 0V~65V (絶対最大定格) で、LTC7893 はこの全範囲の入力で動作できます。SENSE<sup>-</sup>ピンは高インピーダンスであり、流れる電流は約 1 $\mu$ A 未満です。このようにインピーダンスが高いため、電流コンパレータをインダクタの DCR による検出に使うことができます。

SENSE<sup>+</sup>ピンのインピーダンスは、共通モード電圧に応じて変化します。INTV<sub>CC</sub> - 0.5V 未満の場合、SENSE<sup>+</sup>ピンは比較的高インピーダンスであり、SENSE<sup>+</sup>から約 75 $\mu$ A の電流が流れます。SENSE<sup>+</sup>ピンが INTV<sub>CC</sub> + 0.5V を超えると、SENSE<sup>+</sup>ピンにはより大きな電流 (約 700 $\mu$ A) が流れます。INTV<sub>CC</sub> - 0.5V と INTV<sub>CC</sub> + 0.5V の間の場合は、電流は小電流から大電流に変化します。SENSE<sup>+</sup>ピンの電圧が 3.2V を超えると、V<sub>BIAS</sub>ではなく V<sub>IN</sub>から内部回路にバイアスが加わるため、SENSE<sup>+</sup>ピンには更に約 75 $\mu$ A の電流が流れ、入力換算電源電流が減少します。

検出ラインに共通するフィルタ部品は LTC7893 の近くに配置し、検出ラインは電流検出素子の下のケルビン接続点まで互いに近づけて配線します (図 35 を参照)。他の場所で電流を検出すると、寄生インダクタンスと容量が電流検出素子に実質的に追加され、センス端子の情報が劣化して、電流制限の設定値が予測不能になることがあります。DCR による検出を使用する場合は (図 37 を参照)、R1 をスイッチング・ノードの近くに配置して、高感度の小信号ノードにノイズが結合しないようにします。

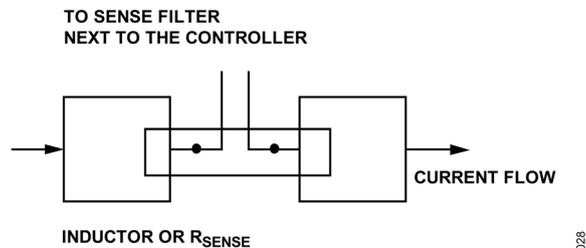


図 35. インダクタまたはセンス抵抗を使用した検出ラインの配置

## 値の小さな抵抗による電流検出

図 36 に、ディスクリット抵抗を使用した代表的な検出回路を示します。 $R_{SENSE}$  は必要な出力電流に基づいて選択します。電流コンパレータの最大閾値  $V_{SENSE(MAX)}$  は 50mV、25mV、または 75mV で、これは ILIM ピンの状態によって決まります。電流コンパレータの閾値電圧により、インダクタのピーク電流が設定されます。

最大インダクタ電流 ( $I_{L(MAX)}$ ) およびリップル電流 ( $\Delta I_L$ ) を用いると (インダクタ値の計算のセクションを参照)、目標とするセンス抵抗値は式 2 で与えられます。

$$R_{SENSE} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (2)$$

アプリケーションが全動作温度範囲にわたって全負荷電流を確実に供給するには、表 1 に示す  $V_{SENSE(MAX)}$  の最小値を選択します。

センス抵抗に寄生インダクタンス (ESL) があると、インダクタ値が小さめ (< 3μH) のアプリケーションや電流が大きめ (> 5A) のアプリケーションでは、電流検出信号に大きな誤差が生じます。この誤差は入力電圧に比例し、ライン・レギュレーションを劣化させたり、ループを不安定化させたりする可能性があります。図 36 に示すように、RC フィルタ (フィルタ抵抗  $R_F$  とフィルタ・コンデンサ  $C_F$ ) を SENSE+ ピンと SENSE- ピンの間に配置することで、この誤差を補正できます。ESL を最も適切に抑えるには、RC フィルタの時定数を  $R_F \times C_F = ESL/R_{SENSE}$  となるように設定します。一般に、1nF~10nF の範囲内になるように  $C_F$  を選択し、それに応じて  $R_F$  を計算します。この誤差を最小限に抑えるため、低 ESL でフットプリントの広い形状の表面実装型センス抵抗を推奨します。メーカーのデータシートで仕様規定されていない場合、ESL は、1206 フットプリントの抵抗器では 0.4nH、1225 フットプリントの抵抗器では 0.2nH と概算できます。

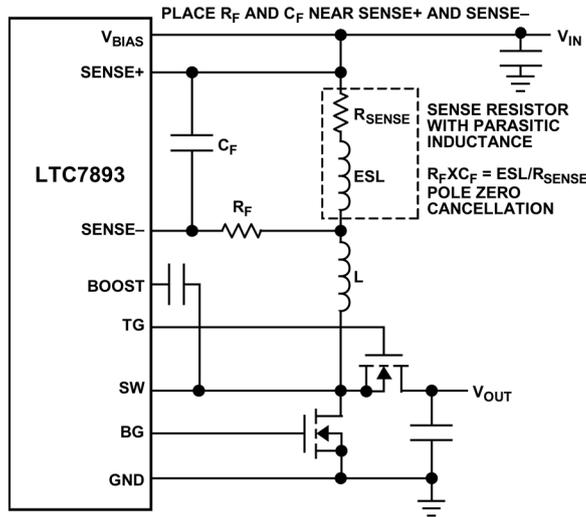
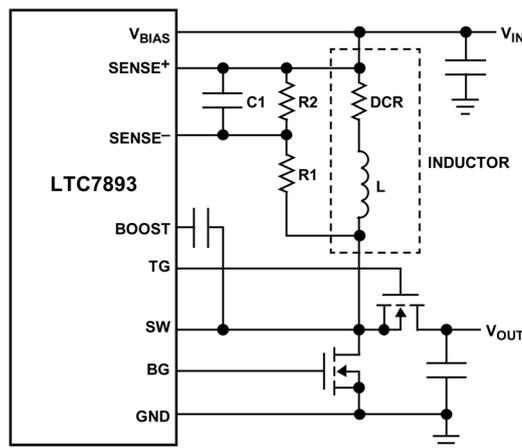


図 36. 抵抗を使用した電流検出

### インダクタの DCR による電流検出

大負荷電流時に可能な限り高い効率を必要とするアプリケーションの場合、図 37 に示すように、LTC7893 はインダクタの DCR 両端の電圧降下を検出できます。インダクタの DCR とは、銅巻線の小さな DC 抵抗値を表し、値の小さい大電流インダクタでは 1mΩ 未満にもなり得ます。このようなインダクタを必要とする大電流アプリケーションでは、センス抵抗による電力損失は、インダクタの DCR による検出に比べると効率が数ポイント低下すると考えられます。



PLACE C1 NEAR SENSE PINS (R1||R2) C1 = L/DCR R<sub>SENSE(EQ)</sub> = DCR/(R1 + R2)  
PLACE R1 NEAR SW NODE

図 37. インダクタの DCR を用いた電流検出 (R<sub>SENSE(EQIV)</sub> は等価検出抵抗)

外部の(R1||R2)×C1の時定数がL/DCRの時定数に等しくなるように選択すると、外付けコンデンサ両端の電圧降下はインダクタのDCR両端の電圧降下にR2/(R1+R2)を乗じたものに等しくなります。R2は、目標とするセンス抵抗値よりもDCRが大きいアプリケーションに対して、センス端子両端の電圧を調整する抵抗です。外付けフィルタ部品を適切な大きさにするには、インダクタのDCRを知る必要があります。DCRは、インダクタンス、容量、抵抗(LCR)メータを用いて測定できます。ただし、DCRの許容誤差は常に同じではなく、温度によって変化します。詳細については、メーカーのデータシートを参照してください。

$I_{L(MAX)}$ および $\Delta I_L$ を用いて(インダクタ値の計算のセクションを参照)、目標とするセンス抵抗値は式3で与えられます。

$$R_{SENSE(EQUIV)} = \frac{V_{SENSE(MAX)}}{I_{L(MAX)} + \frac{\Delta I_L}{2}} \quad (3)$$

アプリケーションが全動作温度範囲にわたって全負荷電流を確実に供給するには、表1に示す $V_{SENSE(MAX)}$ の最小値を選択します。

次に、インダクタのDCRを決めます。メーカーから仕様が提供されている場合は、通常は20°Cで規定されている最大値を使用します。銅抵抗の温度係数(約0.4%/°C)を考慮して、この値を増加させます。インダクタ温度( $T_{L(MAX)}$ )の最大値は控え目に見て100°Cです。最大インダクタDCR( $DCR_{MAX}$ )をセンス抵抗の目標値( $R_D$ )に調整するには、式4で与えられる分圧比を使用します。

$$R_D = \frac{R_{SENSE(EQUIV)}}{DCR_{MAX} \text{ at } T_{L(MAX)}} \quad (4)$$

C1は通常、0.1μF~0.47μFの範囲に入るように選択します。この範囲では、等価抵抗(R1||R2)が約2kΩになるため、SENSE-ピンの約1μAの電流に起因する誤差が低減します。

R1||R2は、室温のインダクタンスと最大DCRによって式5で求められます。

$$R1 \parallel R2 = \frac{L}{(DCR \text{ at } 20^\circ C) \cdot C1} \quad (5)$$

センス抵抗値は、以下に示す式6および式7で与えられます。

$$R1 = \frac{R1 \parallel R2}{R_D} \quad (6)$$

$$R2 = \frac{R1 \times R_D}{1 - R_D} \quad (7)$$

R1の最大電力損失( $P_{LOSS}$ )はデューティ・サイクルに関連して、連続モード時の $V_{IN} = 1/2 V_{OUT}$ で発生し、式8で与えられます。

$$P_{LOSS} \text{ in } R1 = \frac{(V_{OUT} - V_{IN}) \times V_{IN}}{R1} \quad (8)$$

R1の電力定格はR1の $P_{LOSS}$ より大きくなるようにします。軽負荷時に高い効率が必要な場合、DCR検出とセンス抵抗のどちらを使用するかを決定するときには、この電力損失を検討します。軽負荷時の電力損失は、R1によって余分のスイッチング損失が生じるため、センス抵抗の場合よりDCRネットワークの方がわずかに大きくなる可能性があります。ただし、DCRによる検出ではセンス抵抗がないので、導通損失が減少し、重負荷時の効率が高くなります。ピーク効率はどちらの方法でもほぼ同じです。

動作周波数の設定

動作周波数の選択では、効率と部品サイズの間トレードオフがあります。動作周波数が高いと、小型のインダクタと値の小さいコンデンサを使用することができます。低い周波数で動作させるとゲート電荷と遷移損失が減るので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスの値や出力容量を大きくする必要があります。

高電圧アプリケーションでは、遷移損失が電力損失により大きく影響し、スイッチング周波数が 300kHz~900kHz の場合にサイズと効率の間で良好なバランスをとることができます。低電圧アプリケーションは、スイッチング損失が低いという利点があるため、必要に応じて最大 3MHz のスイッチング周波数で動作させることができます。スイッチング周波数は、表 4 に示すように、FREQ ピンと PLLIN/SPREAD ピンで設定します。

表 4. FREQ と PLLIN/SPREAD によるスイッチング周波数の設定

FREQ PIN	PLLIN/SPREAD PIN	FREQUENCY
0V	0V	370kHz
INTV <sub>CC</sub>	0V	2.25MHz
Resistor to GND	0V	100kHz to 3MHz
Any of the Above	External Clock, 100kHz to 3MHz	Phase-locked to external clock
Any of the Above	INTV <sub>CC</sub>	Spread spectrum f <sub>OSC</sub> modulated 0% to +20%

FREQ ピンをグラウンドに接続すると 370kHz が選択され、FREQ を INTV<sub>CC</sub> に接続すると 2.25MHz が選択されます。FREQ とグラウンドの間に抵抗を接続すると、100kHz~3MHz の範囲内で任意の周波数に設定できます。FREQ ピンの抵抗 (R<sub>FREQ</sub>) は、図 38 または式 9 により選択します。

$$R_{FREQ}(\text{in } k\Omega) = \frac{37\text{MHz}}{f_{osc}} \quad (9)$$

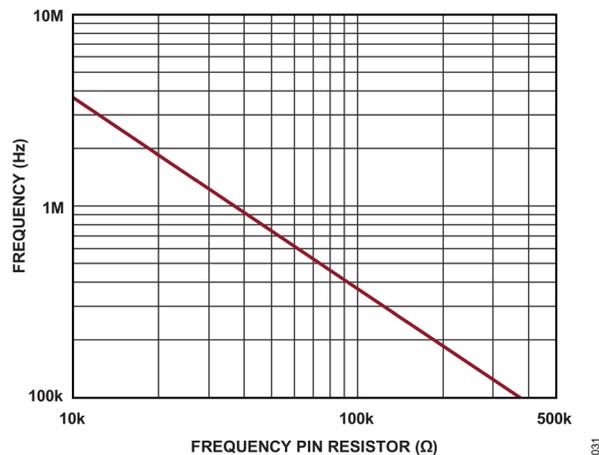


図 38. 発振器周波数と FREQ ピンの抵抗値の関係

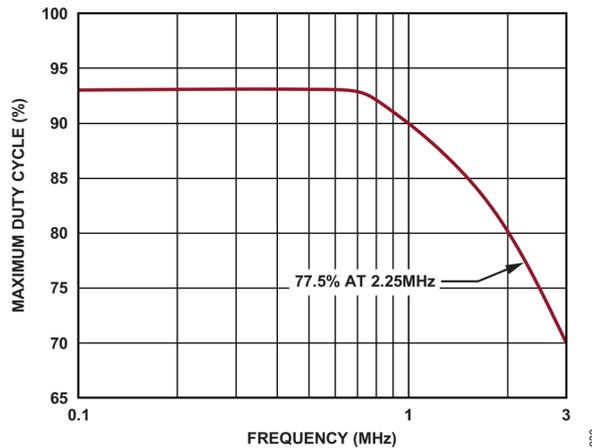


図 39. 最大デューティ・サイクルと動作周波数の関係

動作周波数に関する更なる制約条件は、昇圧コンバータの最大デューティ・サイクルです。最大デューティ・サイクル (DC<sub>MAX</sub>) には図 39 に示すように限界があり、その限界値は、 $DC_{MAX} = (1 - V_{IN(MIN)}/V_{OUT}) \times 100\%$  で近似できます。デューティ・サイクルが DC<sub>MAX</sub> より大きい場合、出力を安定化できなくなり、一定周波数動作が維持されなくなる可能性があります。動作周波数は、昇圧コンバータのデューティ・サイクルが DC<sub>MAX</sub> 未満となるように選択する必要があります。

電磁干渉 (EMI) 性能を向上させるために、PLLIN/SPREAD ピンを INTV<sub>CC</sub> に接続することにより、スペクトラム拡散モードを選択できます。スペクトラム拡散機能を有効化した場合、スイッチング周波数は、FREQ ピンで選択した周波数から+20%までの範囲内で調整されます。スペクトラム拡散モードは、MODE ピンで選択した任意の動作モード (Burst Mode、パルススキッピング、強制連続モード) で使用できます。

また、LTC7893 では PLL が使用可能で、PLLIN/SPREAD ピンに接続された外部クロック信号源に内部発振器を同期させることができます。PLL のロック後、BGDN は外部クロック信号の立上がりエッジで同期されます。詳細については、フェーズロック・ループと周波数同期のセクションを参照してください。

### 軽負荷時動作モードの選択

LTC7893 は、軽負荷電流時に、高効率の Burst Mode 動作、固定周波数パルススキッピング・モード、または強制連続導通モードになるように設定できます。Burst Mode 動作を選択するには、MODE ピンを GND に接続します。強制連続動作を選択するには、MODE ピンを INTV<sub>CC</sub> に接続します。パルススキッピング・モードを選択するには、100kΩ 抵抗を介して MODE ピンを INTV<sub>CC</sub> に接続します。MODE ピンがフロート状態の場合には、このピンからグラウンドへの内部 100kΩ 抵抗によって、Burst Mode が選択されます。PLLIN/SPREAD ピンを介して外部クロックに同期させた場合、パルススキッピング・モードが選択されていれば、LTC7893 はそのモードで動作します。その他の場合は、LTC7893 は強制連続モードで動作します。MODE ピンを用いて軽負荷時動作モードを選択する方法を表 5 に示します。

表 5. MODE ピンを使用した軽負荷時動作モードの選択

MODE PIN	LIGHT-LOAD OPERATING MODE	MODE WHEN SYNCHRONIZED
0V or Floating	Burst Mode	Forced Continuous
100kΩ to INTV <sub>CC</sub>	Pulse-Skipping	Pulse-Skipping
INTV <sub>CC</sub>	Forced Continuous	Forced Continuous

どの軽負荷時動作モードを選択するのが適切かは、それぞれのアプリケーションの条件によって決まります。Burst Mode 動作では、インダクタ電流は反転できません。インダクタ電流がゼロに達する前に、逆電流コンパレータが上側 FET をオフにし、インダクタ電流が反転して負になるのを防ぎます。したがって、レギュレータは不連続動作状態で動作します。更に、負荷電流が少ないと、インダクタ電流はスイッチング周波数より低い周波数でバースト動作を開始し、スイッチングが停止している場合は低消費電流のスリープ・モードに入ります。結果として、軽負荷時に可能な限りの最も高い効率が得られるのは Burst Mode 動作です。

強制連続モードでは、インダクタ電流は軽負荷で反転し、負荷に関係なく同じ周波数でスイッチングします。このモードでは、軽負荷での効率が Burst Mode 動作の場合よりもかなり低下します。ただし、連続動作には出力電圧リップルが小さく、オーディオ回路への干渉が少ないという利点があります。強制連続モードでは、出力リップルは負荷電流に依存しません。

パルススキッピング・モードでは、設計された最大出力電流の約 1% までは固定周波数動作が維持されます。非常に軽い負荷の場合には、PWM コンパレータは数サイクル間トリップ状態を維持し、同じサイクル数の間下側 FET をオフにしたままにする（つまり、パルスをスキップする）ことがあります。インダクタ電流は反転できません（不連続動作）。強制連続動作と同様、このモードでは、Burst Mode 動作に比べて出力リップルとオーディオ・ノイズが小さくなり、 $R_F$  干渉が減少します。パルススキッピング・モードでは、軽負荷時の効率が強制連続モードより高くなりますが、Burst Mode 動作ほど高くはありません。したがって、パルススキッピング・モードは軽負荷時の効率、出力リップル、および EMI の間での妥協点となります。

アプリケーションによっては、システム内の条件に応じて軽負荷時の動作モードを変更することが望ましい場合があります。例えば、システムが動作していない場合は、MODE ピンを 0V に維持することによって、高効率の Burst Mode 動作を選択することができます。システムが起動したら、外部クロックを PLLIN/SPREAD に送信するか、MODE を INTV<sub>CC</sub> に接続して、低ノイズの強制連続モードに切り替えることができます。このようなモード変更を行うと、個々のアプリケーションでそれぞれの軽負荷時動作モードの利点が得られます。

## デッド・タイム制御 (DTCA ピンおよび DTCB ピン)

LTC7893 のデッド・タイム遅延は、DTCA ピンと DTCB ピンの設定により、7ns~60ns の範囲で調整できます。図 40 および図 41 に、各 DTCx ピンの設定に対する TG-SW および BG の波形を示します。DTCx ピンをグラウンドに接続 (適応型デッド・タイム制御) および DTCx ピンを抵抗を介して GND に接続の各セクションでは、TG は上側 FET ゲートで検出される電圧 (TG の立下がり閾値は TGUP ピンで検出) を、BG は下側 FET で検出される電圧 (BG の立上がり閾値は BGDN ピンで、立下がり閾値は BGUP ピンで検出) を表します。DTCA ピンは、下側 FET のターンオフと上側 FET のターンオン (SW がローからハイに遷移) に関連するデッド・タイムを設定します。DTCB ピンは、上側 FET のターンオフと下側 FET のターンオン (SW がハイからローに遷移) に関連するデッド・タイムを設定します。

## DTCx ピンをグラウンドに接続 (適応型デッド・タイム制御)

DTCA ピンと DTCB ピンを GND に接続すると、適応型デッド・タイム制御が設定されます。適応型制御 (図 40 を参照) では、一方の FET がオフになってから他方の FET がオンになるまでのデッド・タイムが測定されます。DTCA ピンを GND に接続すると、BG の立下がりから TG-SW の立上がりまでの遅延が約 15ns に固定されます。DTCB ピンを GND に接続すると、TG-SW の立下がりから BG の立上がりまでの遅延が約 15ns に固定されます。

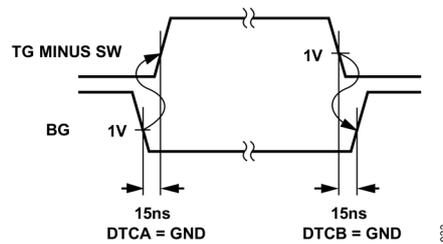


図 40. DTCx ピンを GND に接続 - 適応型デッド・タイム制御

### DTCx ピンを抵抗を介して GND に接続

DTCx ピンと GND の間に抵抗を接続すると、TG - SWのエッジと BGのエッジ間に 7ns~60ns のオープンループ・デッド・タイム遅延が設定されます (図 41 を参照)。DTCA ピンに抵抗を接続すると、BG の立下がりから TG - SW の立上がりまでの間にオープンループ遅延が設定されます。DTCB ピンと GND の間に抵抗を接続すると、TG - SW の立下がりから BG の立上がりまでの間にオープンループ遅延が設定されます。図 42 は、DTCx ピンの抵抗値と TG - SW のエッジと BG のエッジの間に設定される遅延の関係を示しています。この抵抗は 10kΩ 以上 200kΩ 以下にする必要があります。

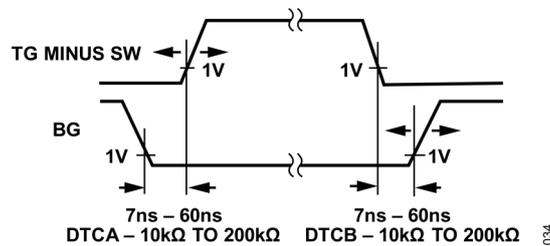


図 41. DTCx ピンを抵抗を介して GND に接続 - 調整型デッド・タイム制御 (非適応型)

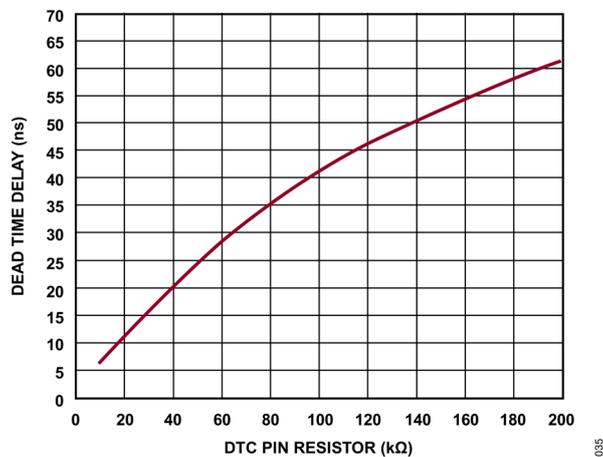


図 42. デッド・タイム遅延と DTCx ピンの抵抗値の関係

DTCx ピンの一方を抵抗で設定している場合、もう一方の DTCx ピンを抵抗で設定していなければ、適切なデッド・タイム制御動作はできません。一方の DTCx ピンを抵抗で設定し、もう一方の DTCx ピンを GND に接続すると、予期しないデッド・タイム遅延が発生する可能性があります。これらの DTCx ピンは、GND に接続するか、抵抗を介して GND に接続するかのいずれかでなくてはなりません。

## パワーFETの選択

LTC7893 のコントローラごとに 2 つの外付けパワーFET を選択する必要があります。1 つは下側（メイン）スイッチ用の N チャンネル FET、もう 1 つは上側（同期）スイッチ用の N チャンネル FET です。ピーク to ピークのゲート駆動レベルは、INTV<sub>CC</sub> のレギュレーション・ポイント（4V~5.5V）によって設定されます。ほとんどの GaN FET は、この INTV<sub>CC</sub> レギュレーション・ウィンドウ内で十分に駆動できます。シリコン MOSFET を使用する場合は、ほとんどのアプリケーションでは、ロジック・レベル閾値の MOSFET を使用する必要があります。FET の BV<sub>DSS</sub> の仕様にも十分注意を払ってください。

パワーFET の選択基準には、オン抵抗（R<sub>DS(ON)</sub>）、ミラー容量（C<sub>MILLER</sub>）、入力電圧、および最大出力電流などがあります。C<sub>MILLER</sub> は、FET メーカーのデータシートに一般に記載されているゲート電荷曲線から概算できます。C<sub>MILLER</sub> は、曲線がほぼ平らな区間の水平軸に沿ったゲート電荷の増分を、FET のドレイン端子とソース端子間の電圧差（V<sub>DS</sub>）の仕様規定されている変化量で割ったものに等しくなります。次に、この結果に、アプリケーションで印加される V<sub>DS</sub> とゲート電荷曲線で規定されている V<sub>DS</sub> との比を乗じます。連続モードで動作している場合の上側 FET と下側 FET のデューティ・サイクルは、式 10 および式 11 で与えられます。

$$\text{Main Switch Duty Cycle} = \frac{V_{\text{OUT}} - V_{\text{IN}}}{V_{\text{OUT}}} \quad (10)$$

$$\text{Synchronous Switch Duty Cycle} = \frac{V_{\text{IN}}}{V_{\text{OUT}}} \quad (11)$$

最大出力電流時における FET の消費電力は、式 12 と式 13 で与えられます。

$$P_{\text{MAIN}} = \frac{(V_{\text{OUT}} - V_{\text{IN}})V_{\text{OUT}}}{V_{\text{IN}}^2} (I_{\text{OUT(MAX)}})^2 \cdot (1 + \delta)R_{\text{DS(ON)}} + \left(\frac{V_{\text{OUT}}^3}{V_{\text{IN}}}\right) \left(\frac{I_{\text{OUT(MAX)}}}{2}\right) \cdot (R_{\text{DR}})(C_{\text{MILLER}}) \cdot \left[\frac{1}{V_{\text{INTVCC}} - V_{\text{THMIN}}} + \frac{1}{V_{\text{THMIN}}}\right] (f) \quad (12)$$

$$P_{\text{SYNC}} = \frac{V_{\text{OUT}}}{V_{\text{IN}}} (I_{\text{OUT(MAX)}})^2 (1 + \delta)R_{\text{DS(ON)}} \quad (13)$$

ここで、

P<sub>MAIN</sub> はメイン・スイッチの消費電力。

δ は R<sub>DS(ON)</sub> の温度依存性（δ ≒ 0.005/°C）。

R<sub>DR</sub> は FET のミラー閾値電圧における実効ドライブ抵抗（R<sub>DR</sub> ≒ 2Ω）。

V<sub>INTVCC</sub> は INTV<sub>CC</sub> 電圧。

V<sub>THMIN</sub> は、FET の最小閾値電圧の代表値。

P<sub>SYNC</sub> は同期スイッチの消費電力。

どちらの FET にも I<sup>2</sup>R 損失（I<sup>2</sup>R は定常状態でオン時における FET の電力損失式）が生じますが、メインの N チャンネル式には、低入力電圧で最も高くなる遷移損失の追加項が含まれます。高入力電圧の場合、大電流時の効率は一般に FET が大きいほど向上します。しかし、低入力電圧の場合は、遷移損失は急速に増加し、C<sub>MILLER</sub> が低く R<sub>DS(ON)</sub> が高いデバイスを使用した方が、効率が高くなる点まで達します。同期 FET の損失は、下側スイッチのデューティ比が低い場合には、入力電圧が高いときに最も大きくなります。

## C<sub>IN</sub> と C<sub>OUT</sub> の選択

昇圧コンバータの入力リップル電流は連続しているので、（出力リップル電流と比較して）相対的に小さくなります。昇圧コンバータの入力コンデンサ（C<sub>IN</sub>）の電圧定格は、最大入力電圧より高い値であることが必要です。セラミック・コンデンサは過電圧状態に対して耐性がありますが、アルミニウム電解コンデンサにはこの耐性がありません。入力コンデンサに過度のストレスを与え得るあらゆる過電圧トランジェントの可能性について、入力電圧の特性を評価するようにしてください。

$C_{IN}$ の値はソース・インピーダンスの関数であり、一般にソース・インピーダンスが高いほど必要な入力容量も大きくなります。必要な入力容量の大きさはデューティ・サイクルによっても大きく影響されます。高いデューティ・サイクルでの動作も行う大出力電流アプリケーションは、DC電流とリップル電流の両方の点で、入力電源に大きな負担を負わせることがあります。

出力容量 ( $C_{OUT}$ ) の選択は出力電圧リップル ( $V_{RIPPLE}$ ) の要件によって決まります。昇圧コンバータの出力電流は不連続です。そのため、 $C_{OUT}$  の選択時には、等価直列抵抗 (ESR) の影響とバルク容量の影響の両方を考慮する必要があります。 $C_{OUT}$  のバルク容量の充放電による  $V_{RIPPLE}$  は、式 14 を用いて次のように与えられます。

$$V_{RIPPLE} = \frac{I_{OUT(MAX)} \cdot (V_{OUT} - V_{IN(MIN)})}{C_{OUT} \cdot V_{OUT} \cdot f} \quad (14)$$

$C_{OUT}$  の ESR での電圧降下によるリップル ( $\Delta V_{ESR}$ ) は、式 15 を用いて次のように与えられます。

$$\Delta V_{ESR} = \left( I_{L(MAX)} + \frac{1}{2} \Delta I_L \right) \cdot ESR \quad (15)$$

ここで、

$\Delta I_L$  はインダクタのリップル電流。

$I_{L(MAX)}$  は最大平均インダクタ電流。

$I_{OUT(MAX)}$  は最大平均出力電流。

$f$  は動作周波数。

ESR と RMS 電流処理の条件を満たすために、複数のコンデンサを並列に配置しなければならない場合があります。乾式タンタル、特殊ポリマー、アルミ電解、セラミックの各コンデンサは、いずれも表面実装パッケージで入手できます。セラミック・コンデンサは優れた低 ESR 特性を備えています。低 ESR で高リップル電流定格のコンデンサ (OS-CON や POSCAP など) が使用できます。

## 出力電圧の設定

LTC7893 の出力電圧は、図 43 および図 44 に示すように、出力の両端に注意深く配置された外付けの帰還抵抗分圧器によって設定します。安定化出力電圧は式 16 により求めます。

$$V_{OUT} = 1.2V \left( 1 + \frac{R_B}{R_A} \right) \quad (16)$$

抵抗  $R_A$  および抵抗  $R_B$  を  $V_{FB}$  ピンのすぐ近くに配置して、PCB の配線パターン長と、高感度の  $V_{FB}$  ノードでのノイズを最小限に抑えます。 $V_{FB}$  の配線パターンは、インダクタや SW の配線パターンなどのノイズ源から離して配線するよう注意してください。周波数応答を改善するには、フィードフォワード・コンデンサ ( $C_{FF}$ ) を使用します。

LTC7893 は、VPRG ピンの制御により、28V または 24V の固定出力に設定できます。図 44 は、固定出力モードの出力電圧を  $V_{FB}$  ピンで検出する方法を示しています。VPRG を INTV<sub>CC</sub> に接続すると  $V_{OUT}$  を 28V に、GND に接続すると 24V に設定できます。VPRG をフロート状態にすると、 $V_{OUT}$  を外付け抵抗を使用して調整可能な出力モードに設定できます。

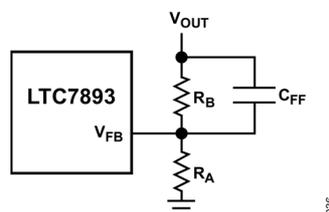


図 43. 調整可能出力電圧の設定

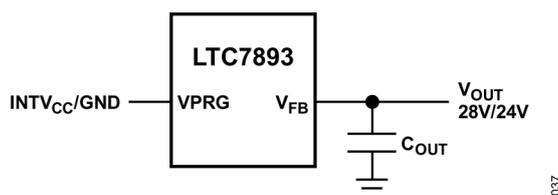


図 44. 28V または 24V の固定出力電圧の設定

## RUN ピンと低電圧ロックアウト

LTC7893 は RUN ピンを使用して有効化します。RUN ピンは立上がり閾値が 1.2V で、120mV のヒステリシスがあります。RUN ピンの電圧を 1.08V 未満にすると、メイン制御ループがシャットダウンして、ソフトスタートがリセットされます。RUN ピンを 0.7V より低くすると、コントローラと、INTV<sub>CC</sub> LDO レギュレータを含むほとんどの内部回路が無効化されます。この状態では、V<sub>BIAS</sub> から LTC7893 に流れる電流はわずか約 1μA です。

RUN ピンは、高インピーダンスであり、外部からプルアップあるいはプルダウンする必要があり、ロジックで直接駆動します。RUN ピンは最大 100V（絶対最大値）まで許容できます。したがって、コントローラを連続的に有効化しシャットダウンさせることのない常時オンのアプリケーションでは、これらのピンを V<sub>IN</sub> に接続できるという利便性があります。RUN ピンはフロート状態にしないでください。

図 45 に示すように、V<sub>IN</sub> とグラウンドの間に抵抗分圧器を接続することにより、RUN ピンを入力電源に対する高精度の UVLO として構成することもできます。

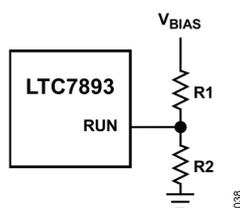


図 45. RUN ピンを UVLO として使用

V<sub>IN</sub> UVLO の閾値は、式 17 および式 18 で計算できます。

$$\text{UVLO RISING} = 1.2\text{V}\left(1 + \frac{R1}{R2}\right) \quad (17)$$

$$\text{ULVO FALLING} = 1.08\text{V}\left(1 + \frac{R1}{R2}\right) \quad (18)$$

R1 および R2 の分圧器を流れる電流は、LTC7893 のシャットダウン、スリープ、およびアクティブ電流に加わります。この電流がアプリケーション回路全体の効率に与える影響を最小限に抑えるように注意してください。シャットダウン時とスリープ時の静止電流に対する影響を低く抑えるために、MΩ 単位の抵抗値が必要になることがあります。

## ソフトスタート (SS ピン)

V<sub>OUT</sub> のスタートアップは SS ピンの電圧で制御されます。SS ピンの電圧が内部リファレンス電圧の 1.2V よりも低い場合、LTC7893 は V<sub>FB</sub> ピン電圧を内部リファレンス電圧ではなく SS ピンの電圧に安定化させます。

ソフトスタートは、SS ピンと GND の間にコンデンサを接続することで有効になります。12μA の内部電流源がこのコンデンサを充電して、SS ピンに直線的なランプ電圧を発生させます。LTC7893 は SS ピンの電圧に応じて帰還電圧（したがって V<sub>OUT</sub>）を安定化するので、V<sub>OUT</sub> は 0V から最終的な安定値まで滑らかに上昇できます。必要なソフトスタート時間 (t<sub>SS</sub>) にするには、ソフトスタート・コンデンサ (C<sub>SS</sub>) を t<sub>SS</sub> × 10nF/msec とするよう選択します。

## INTV<sub>CC</sub> レギュレータ (OPTI-DRIVE)

LTC7893 は 2 つの独立した LDO リニア電圧レギュレータを内蔵しており、EXTV<sub>CC</sub> ピンの電圧と DRVSET および DRVUV ピンの接続に応じて、V<sub>BIAS</sub> ピンまたは EXTV<sub>CC</sub> ピンのいずれかから INTV<sub>CC</sub> ピンに電力を供給します。DRV<sub>CC</sub> ピンは FET ゲート・ドライバ用の電源ピンであり、INTV<sub>CC</sub> ピンに接続する必要があります。V<sub>BIAS</sub> LDO レギュレータと EXTV<sub>CC</sub> LDO レギュレータは、DRVSET ピンの設定に応じて、INTV<sub>CC</sub> を 4V~5.5V の間でレギュレーションします。それぞれの LDO レギュレータは少なくとも 100mA のピーク電流を供給できます。

INTV<sub>CC</sub> ピンは、4.7μF 以上のセラミック・コンデンサをこのピンのできるだけ近くに配置して、バイパスする必要があります。FET ゲート・ドライバが必要とする高周波のトランジエント電流を供給するために、DRV<sub>CC</sub> ピンと GND ピンの隣に更に 1μF のセラミック・コンデンサを配置することを推奨します。

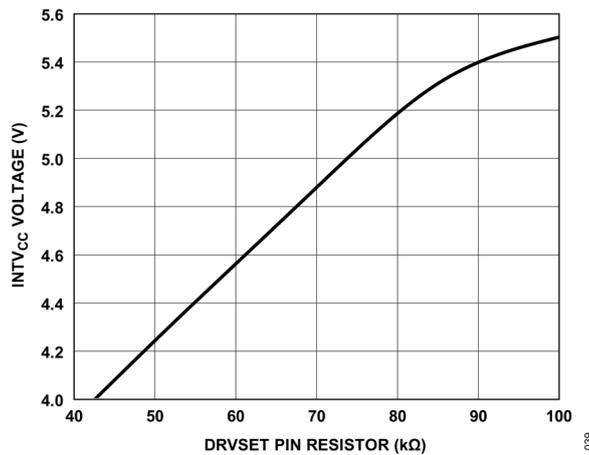
DRVSET ピンは INTV<sub>CC</sub> の電源電圧を設定し、DRVUV ピンは異なる INTV<sub>CC</sub> の UVLO と EXTV<sub>CC</sub> の切替え閾値の電圧を選択します。表 6 は、様々な DRVSET ピンの構成と、各構成に対応する電圧設定を示しています。表 7 は、様々な DRVUV ピンの構成と電圧設定を示しています。DRVSET ピンを INTV<sub>CC</sub> に接続すると INTV<sub>CC</sub> が 5.5V に設定されます。DRVSET ピンを GND に接続すると INTV<sub>CC</sub> が 5.0V に設定されます。DRVSET と GND の間に 43kΩ~100kΩ の抵抗を配置すると、図 46 に示すように、INTV<sub>CC</sub> 電圧が 4V~5.5V に設定されます。

表 6. DRVSET ピンの構成と電圧設定

DRVSET PIN	INTV <sub>CC</sub> VOLTAGE (V)
GND	5.0
INTV <sub>CC</sub>	5.5
Resistor to GND 43kΩ to 100kΩ	4 to 5.5

表 7. DRVUV ピンの構成と電圧設定

DRVUV PIN	INTV <sub>CC</sub> UVLO RISING and FALLING THRESHOLDS (V)	EXTV <sub>CC</sub> SWITCHOVER RISING and FALLING THRESHOLDS (V)
GND	3.8 and 3.6	4.76 and 4.54
Floating	4.4 and 4.18	5.95 and 5.56
INTV <sub>CC</sub>	5 and 4.75	5.95 and 5.56

図 46. INTV<sub>CC</sub> 電圧と DRVSET ピンの抵抗値の関係

大型の FET を高周波で駆動する高入力電圧アプリケーションでは、LTC7893 の最大ジャンクション温度定格を超える可能性があります。ゲート充電電流が支配的になる INTV<sub>CC</sub> 電流は、V<sub>BIAS</sub> LDO レギュレータまたは EXTV<sub>CC</sub> LDO レギュレータのどちらからでも供給できません。EXTV<sub>CC</sub> ピンの電圧が切替え閾値 (DRVUV ピンで指定する 4.76V または 5.95V) 未満の場合は、V<sub>BIAS</sub> LDO レギュレータが有効になります。この場合、IC の消費電力は V<sub>BIAS</sub> × INTV<sub>CC</sub> の電流 (I<sub>INTVCC</sub>) に等しくなります。効率に関する考慮事項のセクションで説明しているように、ゲート充電電流は動作周波数に依存します。ジャンクション温度を推定するには、表 2 に記載されている式を使用します。例えば、周囲温度が 70°C で EXTV<sub>CC</sub> 電源を使用しない場合、LTC7893 の INTV<sub>CC</sub> 電流は、式 19 に示すように、36V の電源では 36mA 未満に制限されます。

$$T_j = 70^\circ\text{C} + (36\text{mA})(36\text{V})(43^\circ\text{C}/\text{W}) = 125^\circ\text{C} \quad (19)$$

最大ジャンクション温度を超えないようにするために、連続導通モード (MODE = INTV<sub>CC</sub>) 動作時の最大 V<sub>BIAS</sub> における入力電源電流を確認してください。

EXTV<sub>CC</sub> に印加された電圧が立上がり切替え閾値を超えると、V<sub>BIAS</sub> LDO レギュレータがオフになり、EXTV<sub>CC</sub> LDO レギュレータが有効化されます。EXTV<sub>CC</sub> が立下がり切替え閾値を超えている限り、EXTV<sub>CC</sub> LDO レギュレータはオンのままです。EXTV<sub>CC</sub> LDO レギュレータは、INTV<sub>CC</sub> 電圧を DRVSET ピンで設定された電圧に安定化しようとします。したがって、EXTV<sub>CC</sub> が DRVSET ピンで設定された電圧より低い間は、LDO レギュレータはドロップアウト状態になり、INTV<sub>CC</sub> 電圧は EXTV<sub>CC</sub> とほぼ等しくなります。EXTV<sub>CC</sub> が設定された電圧より大きい場合 (絶対最大値 30V まで)、INTV<sub>CC</sub> は設定された電圧に安定化されます。EXTV<sub>CC</sub> LDO から規定値以上の電流が必要な場合は、EXTV<sub>CC</sub> ピンと INTV<sub>CC</sub> ピンの間に外付けのショットキー・ダイオードを追加します。この場合は、EXTV<sub>CC</sub> ピンに 6V を超える電圧を印加しないでください。

外部電源から INTV<sub>CC</sub> に給電することで、効率と熱特性が著しく向上します。このためには、INTV<sub>CC</sub> のレギュレーション・ポイントより電圧の高い外部電源に EXTV<sub>CC</sub> ピンを直接接続します。

EXTV<sub>CC</sub> ピンを 8.5V 電源に接続すると、式 19 に示すジャンクション温度は 125°C から式 20 で与えられる温度まで低下します。

$$T_j = 70^\circ\text{C} + (36\text{mA})(8.5\text{V})(43^\circ\text{C}/\text{W}) = 83^\circ\text{C} \quad (20)$$

以下に EXT<sub>VCC</sub> の 3 つの可能な接続方法を示します。

1. EXT<sub>VCC</sub> を接地。この接続では、内部の V<sub>BIAS</sub> LDO レギュレータが INT<sub>VCC</sub> に電力を供給するため、V<sub>BIAS</sub> 電圧が高い場合、効率が最大 10% 以上低下します。
2. EXT<sub>VCC</sub> を V<sub>IN</sub> に直接接続。この接続は、V<sub>IN</sub> が 5V~30V の範囲にあるアプリケーションでの通常の接続であり、V<sub>BIAS</sub> を V<sub>OUT</sub> に接続すると熱特性が大幅に向上します。
3. EXT<sub>VCC</sub> を外部電源に直接接続。5V~30V の外部電源を利用できる場合は、FET のゲート駆動要件に適合していれば、外部電源を使用して EXT<sub>VCC</sub> に電力を供給できます。この電源は、V<sub>BIAS</sub> より高くても低くてもかまいません。ただし、EXT<sub>VCC</sub> 電圧が低いほど効率が高くなります。

## 上側 FET ドライバの電源 (C<sub>B</sub>)

BOOST ピンに接続されている外付けのブートストラップ・コンデンサ (C<sub>B</sub>) は、上側 FET のゲート駆動電圧を供給します。図 34 に示すコンデンサ C<sub>B</sub> は、SW ピンがローで下側 FET がオンになっているときに DR<sub>VCC</sub> から内部スイッチを介して充電されます。内部スイッチのオン抵抗は約 7Ω です。

上側 FET がオンになると、ドライバは C<sub>B</sub> 電圧を目的の FET のゲート・ソース間に印加し、FET をエンハンスして、上側スイッチをオンにします。スイッチ・ノードの電圧 SW は、V<sub>OUT</sub> まで上昇し、BOOST ピンの電圧もこれに追従します。上側 FET がオンのとき、昇圧電圧は、V<sub>BOOST</sub> = V<sub>OUT</sub> + V<sub>INTVCC</sub> で表せるように、出力電圧より高くなります。昇圧コンデンサ C<sub>B</sub> には、上側 FET の全入力容量の 100 倍の値が必要です。代表的なアプリケーションでは、C<sub>B</sub> の値は一般に 0.1μF で十分です。

## 最小オン時間に関する考慮事項

最小オン時間 (t<sub>ON(MIN)</sub>) は、LTC7893 が下側 FET をオンにできる最小時間です。t<sub>ON(MIN)</sub> は、内部タイミング遅延と下側 FET をオンにするのに必要なゲート電荷によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限に近くなる可能性があります。式 21 を満たすように注意してください。

$$t_{\text{ON(MIN)}} < \frac{V_{\text{OUT}} - V_{\text{IN}}}{V_{\text{OUT}} \cdot f} \quad (21)$$

デューティ・サイクルが最小オン時間で対応できる値を下回ると、LTC7893 はサイクルのスキップを開始します。出力電圧は引き続き安定化されますが、リップル電圧および電流は増加します。LTC7893 の最小オン時間は約 100ns です。V<sub>IN</sub> が増加するとそれによってデューティ・サイクルが更に減少するため、より多くのサイクルがスキップされ、LTC7893 は上側 FET を連続的にオンにする可能性があります。下側 FET がブートストラップ・コンデンサを再充電できるだけの頻度でオンにならない場合、上側 FET は完全なエンハンスメント・モードにはならず、場合によっては、LTC7893 が上側 FET をオンにしようとしても完全にオフになる可能性もあります。したがって、LTC7893 は、上側 FET の 100% オン動作を実現することはできません。

## フォルト状態：過熱保護

高温時、または内部消費電力により過剰な自己発熱 (INT<sub>VCC</sub> からグラウンドへの短絡など) が発生した場合、LTC7893 は内蔵の過熱シャットダウン回路によってシャットダウンします。内部ダイ温度が 180°C を超えると、INT<sub>VCC</sub> LDO レギュレータとゲート・ドライバが無効化されます。ダイが冷却されて 160°C まで下がると、LTC7893 は INT<sub>VCC</sub> LDO レギュレータを有効化して、ソフトスタートの起動から動作を再開します。長期間の過剰ストレス (T<sub>J</sub> > 125°C) は、デバイスの性能を低下させたり寿命を縮めたりする可能性があるため、避けてください。

## フェーズロック・ループと周波数同期

LTC7893 は PLL を内蔵しており、下側 FET のターンオンを、PLLIN/SPREAD ピンに印加される外部クロック信号の立上がりエッジに同期させることができます。

FREQ ピンを使って自走周波数を必要な同期周波数の近くに設定することにより、高速フェーズロックを実現することができます。同期の前に、PLL は、FREQ ピンによって設定された周波数にプリバイアスされます。その結果、PLL は微調整を行うだけで、フェーズロックと同期を実現できます。必須ではありませんが、自走周波数を外部クロック周波数の近くに設定すると、PLL がロックする際に発振器が広い周波数範囲を通過するのを防ぐことができます。

外部クロックに同期しているとき、MODE ピンによってパルススキッピング・モードが選択されている場合、LTC7893 はこのモードで動作し、それ以外の場合は強制連続モードで動作します。LTC7893 は、2.2V 以上から 0.5V 以下までスイングする PLLIN/SPREAD ピンに印加される外部クロックに同期するよう設計されています。なお、LTC7893 が同期できる外部クロック周波数は 100kHz~3MHz の範囲のみです。

## 効率に関する考慮事項

スイッチング・レギュレータの効率（パーセント）は、出力電力を入力電力で割った値に 100% を乗じたものです。効率を制限しているのは何か、何を変更すれば最も効率が向上するのかを判定するには、個々の損失を分析することが有効です。パーセント効率は、式 22 で表されます。

$$\% \text{Efficiency} = 100\% - (L1 + L2 + L3 + \dots) \quad (22)$$

ここで、L1、L2、L3 などは、入力電力に対する各損失の割合をパーセンテージで表したものです。

回路内で電力を消費するすべての要素で損失が生じますが、LTC7893 の回路の損失の大部分は、以下に示す主な 4 つの損失要因によって生じます。すなわち、IC の  $V_{\text{BIAS}}$  電流、INTV<sub>CC</sub> レギュレータの電流、 $I^2R$  損失、および下側 FET の遷移損失です。

$V_{\text{BIAS}}$  電流は表 1 に示されている DC 電源電流であり、FET のドライブ電流および制御電流は含まれません。Burst Mode 動作での軽負荷時を除き、 $V_{\text{BIAS}}$  電流で生じる損失は通常は小さな値 (<0.1%) で済みます。

INTV<sub>CC</sub> 電流は、FET のドライブ電流と制御電流の和です。FET のドライブ電流は、パワー FET のゲート容量が切り替わることにより発生します。FET のゲートがローからハイ、そして再度ローに切り替わるたびに、一定量の電荷 (dQ) が INTV<sub>CC</sub> から GND に移動します。その結果生じる dQ/時間量 (dt) が INTV<sub>CC</sub> から流れる電流となり、通常は制御回路の電流よりはるかに大きくなります。連続モードでは、ゲート充電電流 ( $I_{\text{GATECHG}}$ ) = 周波数 (f) × ( $Q_T + Q_B$ ) となります。ここで、 $Q_T$  と  $Q_B$  は、上側 FET と下側 FET のゲート電荷です。

$I^2R$  損失は、入力ヒューズ（使用する場合）、FET、インダクタ、電流センス抵抗、入力と出力のコンデンサの ESR の各 DC 抵抗から予測されます。連続モードでは、L と  $R_{\text{SENSE}}$  に平均出力電流が流れますが、上側 FET と下側 FET の間でチョッピングされます 2 つの FET の  $R_{\text{DS(ON)}}$  がほぼ同じ場合、一方の FET の抵抗に L の抵抗  $R_{\text{SENSE}}$ 、および ESR を加算するだけで、 $I^2R$  損失を求めることができます。

遷移損失は下側 FET にのみあてはまり、しかも、この損失が大きくなるのは高い出力電圧（通常は 20V 以上）または高い周波数（通常は MHz 帯）で動作している場合に限りです。遷移損失は、式 23 を用いて概算できます。

$$\text{TRANSITION LOSS} = (1.7) \frac{V_{\text{OUT}}^3}{V_{\text{IN}}} I_{\text{L(MAX)}} \times C_{\text{MILLER}} \times f \quad (23)$$

ここで、

$I_{\text{L(MAX)}}$  は最大平均インダクタ電流。

$C_{\text{MILLER}}$  はミラー容量。

f は動作周波数。

また、銅のパターンや内部バッテリーの抵抗、などその他の隠れた損失により、ポータブル・システムでは更に5%~10%の効率低下が生じる可能性があります。これらのシステム・レベルの損失を設計段階で盛り込むことが重要です。内部バッテリーとヒューズの抵抗損失は、スイッチング周波数において  $C_{IN}$  に適切な電荷を蓄積し、ESR を小さくすれば最小限に抑えることができます。25W 電源の場合、一般に ESR が最大  $20m\Omega \sim 50m\Omega$  で容量が最小  $20\mu F \sim 40\mu F$  のコンデンサが必要です。インダクタ・コアの損失などその他の損失は、一般には2%未満の損失増にしかありません。

## 過渡応答のチェック

レギュレータのループ応答を確認するには、負荷電流の過渡応答を調べます。スイッチング・レギュレータは、DC (抵抗性) 負荷電流のステップへの応答に数サイクルを要します。負荷ステップが発生すると、 $V_{OUT}$  は  $\Delta I_{LOAD} \times (ESR)$  に等しい大きさだけシフトします。ここで、ESR は  $C_{OUT}$  の等価直列抵抗です。また、 $\Delta I_{LOAD}$  は  $C_{OUT}$  の充放電を開始し、帰還誤差信号を生成して、レギュレータを電流の変化に適応させ、 $V_{OUT}$  を定常値に戻します。この回復期間に、 $V_{OUT}$  をモニタし、安定性に問題があることを示す過度のオーバーシュートやリングが発生かをチェックできます。

OPTI-LOOP 補償が備わっているため、幅広い範囲の出力容量値および ESR 値にわたって過渡応答を最適化できます。ITH ピンを使用できるので、制御ループ動作を最適化できるだけでなく、DC 結合され、AC フィルタを通したクロズド・ループ応答のテスト・ポイントも得られます。このテスト・ポイントにおける DC ステップ、立上がり時間、およびセトリングは、クロズド・ループ応答を正確に反映します。2次特性が支配的なシステムと想定すれば、ITH ピンに現れるオーバーシュートのパーセンテージから位相マージンやダンピング・ファクタを推定できます。ITH ピンの立上がり時間を調べることによって、帯域幅を推定することも可能です。代表的なアプリケーションのセクションに示す ITH の外付けコンポーネントは、ほとんどのアプリケーションで妥当な初期値として使用できます。

ITH に直列に接続された補償用の抵抗 ( $R_C$ ) とコンデンサ ( $C_C$ ) のフィルタにより、支配的なポールとゼロのループ補償が設定されます。これらの値は、最終的な PCB レイアウトが完了し、特定の出力コンデンサの種類と値を決定した後、過渡応答を最適化するために多少 (初期値の 0.5~2 倍) の変更が可能です。ループのゲインと位相は出力コンデンサの種類と値によって決まるので、適切な出力コンデンサを選択する必要があります。立上がり時間を  $1\mu s \sim 10\mu s$  とした、全負荷電流の 20%~80%の出力電流パルスを通すと、帰還ループを壊すことなく出力電圧と ITH ピンの波形が得られ、ループ全体の安定性を判断できます。

パワーFET を出力コンデンサの両端に直接接続し、適切な信号発生器でそのゲートを駆動するのが、現実的な負荷ステップ状態を発生させる実用的な方法です。出力電流のステップ変化によって生じる初期出力電圧ステップは、帰還ループの帯域幅内に収まらない可能性があります。したがって、この信号を用いて位相マージンを決定することはできません。ITH ピンの信号を調べる方が確実なのはこのためです。この信号は帰還ループ内にあり、フィルタを通した補償済みの制御ループ応答です。ループのゲインは  $R_C$  と共に増加し、ループの帯域幅は  $C_C$  の減少と共に増加します。 $R_C$  を  $C_C$  の減少と同じ比率で増加させると、ゼロ周波数は同じに保たれるため、帰還ループの最も重要な周波数範囲で位相のずれが一定に保たれます。出力電圧のセトリングの挙動はクロズド・ループ・システムの安定性に関係しており、実際の全体的電源性能を表します。

大容量の ( $> 1\mu F$ ) 電源バイパス・コンデンサが接続されている負荷で切替えが行われると、更に大きなトランジェントが発生します。放電したバイパス・コンデンサが実質的に  $C_{OUT}$  と並列接続された状態になるため、 $V_{OUT}$  が急激に低下します。抵抗の小さい負荷スイッチを短時間で駆動した場合は、どのようなレギュレータも、この出力電圧の突然のステップ変化を防げるような速度で電流の供給を変更することはできません。 $C_{LOAD}$  と  $C_{OUT}$  の比が 1:50 より大きい場合は、負荷の立上がり時間がおおよそ  $C_{LOAD} \times 25\mu s/\mu F$  に制限されるように、スイッチングの立上がり時間を制御する必要があります。そのため、 $10\mu F$  のコンデンサでは  $250\mu s$  の立上がり時間が必要になり、充電電流は約 200mA に制限されるようになります。

## 設計例

設計例として、公称入力電圧( $V_{IN(NOMINAL)} = 12V$ 、 $V_{IN(MAX)} = 20V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 4A$ 、 $f = 1MHz$ と仮定します。

アプリケーション回路の設計は以下の手順で行います。

- 動作周波数を設定します。周波数は内部のプリセット値ではありません。したがって、FREQ ピンから GND への抵抗が必要であり、その値は式 24 で与えられます。

$$R_{FREQ}(\text{in } k\Omega) = \frac{37MHz}{1MHz} = 37k\Omega \quad (24)$$

- インダクタの値を決定します。最初に、インダクタのリプル電流が 30%であることに基づいて値を選択します。インダクタの値を計算するには、式 25 を使用します。

$$L = \frac{V_{IN}}{f \cdot \Delta I_L} \left( 1 - \frac{V_{IN}}{V_{OUT}} \right) = 2.4\mu H \quad (25)$$

最も厳しい条件のリプル電流は、 $V_{IN}$  が  $(1/2) \cdot V_{OUT}$  のときに発生します。この場合、 $V_{IN} = 12V$  でのリプルは 31%です。

- 最小オン時間が 100ns という条件に違反していないか確認します。最小オン時間となるのは、 $V_{IN(MAX)}$  の場合で、式 26 で表されます。

$$t_{ON(MIN)} < \frac{V_{OUT} - V_{IN(MAX)}}{V_{OUT} \cdot f} = \frac{4V}{24V \cdot 1MHz} = 166ns \quad (26)$$

この時間は最小オン時間の条件を満たすのに十分な値です。最小オン時間の規格を満たしていない場合、LTC7893 は入力電圧が高いときにパルススキップするため、結果として低周波動作になり、インダクタ電流のリプルが期待値より大きくなります。これが望ましくない場合は、周波数を低くして（それに応じてインダクタの値を調整し）、最小オン時間付近の動作にならないようにします。

- $R_{SENSE}$  の抵抗値を選択します。インダクタのピーク電流は、最大 DC 出力電流にインダクタのリプル電流の半分を加えたもので、この場合は  $8A \times (1 + 0.31/2) = 9.24A$  です。次に、 $R_{SENSE}$  抵抗の値は、最大電流検出閾値の最小値 ( $I_{LIM}$  がフロート状態の場合は 45mV) に基づいて、式 27 で与えられます。

$$R_{SENSE} \leq \frac{45mV}{9.24A} \approx 4m\Omega \quad (27)$$

更に余裕を持たせるために、より低い値の  $R_{SENSE}$  を使用することもできます。ただし、インダクタの飽和電流は  $V_{SENSE(MAX)}/R_{SENSE}$  以上の余裕を持たせません。ここで、 $V_{SENSE(MAX)}$  にはその最大値である 55mV を使用します。

- 帰還抵抗を選択します。1%の抵抗で  $R_A = 5k\Omega$  および  $R_B = 95.3k\Omega$  を選択すると、出力電圧は 24.07V になります。選択した抵抗値により、帰還分圧器の電流は  $24.07V / (5k\Omega + 95.3k\Omega) = 240\mu A$  となります。
- FET を選択します。特定のアプリケーションでの FET の性能を評価する最善の方法は、ベンチ上で回路を構築してテストすることであり、これは LTC7893 の評価用ボードを用いて容易に実行できます。ただし、アプリケーションについて根拠に基づく推定をしておくと、FET を最初を選択する際に役立ちます。これは大電流、低電圧のアプリケーションなので、 $I^2R$  損失の方が下側 FET の遷移損失よりも支配的になる可能性が高まります。したがって、ゲート電荷の少ない FET ではなく、 $R_{DS(ON)}$  の小さい FET を選択して、複合損失項を最小限に抑えます。上側 FET には遷移損失が発生しないため、その電力損失は、通常  $I^2R$  損失が主体となります。この理由から、上側 FET を選択するときは、まず  $R_{DS(ON)}$  が小さくなるように、その後、下側 FET よりゲート電荷が多くなるように選択するのが一般的です。

シリコン MOSFET を使用する場合、ゲート駆動電圧は 5.5V ( $INTV_{CC}$ ) に制限されているため必ずロジック・レベル閾値の MOSFET を選択するようにします。

7. 出力コンデンサを選択します。C<sub>OUT</sub>は、出力の方形波電流をフィルタできるように選択します。最大出力電流ピークは式 28 により求めます。

$$I_{OUT(PEAK)} = I_{OUT(MAX)} \times \left(1 + \frac{RIPPLE\%}{2}\right) = 4 \times \left(1 + \frac{31\%}{2}\right) = 4.62A \quad (28)$$

低 ESR (5mΩ) のコンデンサの使用を推奨します。このコンデンサは、出力電圧リップルを 23.1mV に制限します (ESR がリップルの支配要因であると仮定)。

8. バイアス電源の部品を決定します。INTV<sub>CC</sub> レギュレーション電圧より高く、V<sub>IN</sub> より低い電源 (例えば 8.5V 電源) が別に使用できる場合は、その電源を EXT<sub>V</sub>CC に接続すると効率が向上できます。ソフトスタートを 6.7ms にする場合は、SS ピンのコンデンサとして 0.1μF を選択します。バイアス部品の最初の推定値として、INTV<sub>CC</sub> の容量 (C<sub>INTVCC</sub>) = 4.7μF、昇圧電源コンデンサ (C<sub>B</sub>) = 0.1μF を選択します。
9. アプリケーション固有のパラメータを決めて設定します。軽負荷時の効率と固定周波数動作の間の兼ね合いに基づいて、MODE ピンを設定します。固定周波数、スペクトラム拡散、フェーズロック周波数のどれにするかに基づいて、PLLIN/SPREAD ピンを設定します。RUN ピンを使用してレギュレータ動作の最小入力電圧を制御することも、RUN ピンを V<sub>IN</sub> に接続して常時オン動作にすることもできます。最初の見積もりとして、代表的なアプリケーションに記載してある ITH 補償コンポーネントを使用し、過渡応答の安定性を確認してから、必要に応じて修正します。必要なデッド・タイム遅延に合わせて DTCA ピンおよび DTCB ピンを設定します。

## PCB ボード・レイアウト時のチェックリスト

図 47 は、連続モードで動作している同期整流式昇圧コンバータの様々な分岐に現れる電流波形を示しています。

プリント回路基板のレイアウト時には、以下のチェックリストを使用してデバイスが正しく動作するようにします。

1. 上側および下側の N チャンネル FET (MTOP および MBOT) と高周波 (セラミック) C<sub>OUT</sub> コンデンサを、**代表的なアプリケーション**のセクションに示すように、互いに 1cm 以内の距離に配置します。
2. TGUP の配線パターンと TGDN の配線パターンと一緒に配線し、できるだけ上側 FET ゲートの近くで接続します。BGDN の配線パターンと BGUP の配線パターンと一緒に配線し、できるだけ下側 FET ゲートの近くで接続します。ゲート抵抗を使用する場合は、抵抗の接続を FET ゲートのできるだけ近くで接続します。TGUP および TGDN を上側 FET ゲートから離して接続し、BGUP および BGDN を下側 FET ゲートから離して接続すると、LTC7893 の適応型デッド・タイム制御の動作に悪影響を及ぼす可能性があります。
3. IC の GND ピンと C<sub>INTVCC</sub> の GND の帰還路は、1 つにまとめた C<sub>OUT</sub> の負端子に戻す必要があります。下側 N チャンネル FET と C<sub>IN</sub> コンデンサで形成される経路は、リード線と PCB 配線パターンの長さを短くします。出力コンデンサの負端子と入力コンデンサの負端子をできるだけ近づけ、コンデンサを互いに隣接させて、ループから離します。
4. LTC7893 の V<sub>FB</sub> ピンの抵抗分圧器を、C<sub>OUT</sub> の正端子と信号の GND に接続します。抵抗分圧器は V<sub>FB</sub> ピンの近くに配置して、高感度の V<sub>FB</sub> ノードへのノイズ結合を最小限に抑えます。帰還抵抗を入力コンデンサからの大電流入力経路に沿って配置しないでください。
5. SENSE<sup>-</sup> と SENSE<sup>+</sup> のリード線は、PCB 配線パターン間隔を最小にして一緒に配線します。可能な場合は、これらのパターンを 1 つの内層上で高周波のスウィッチング・ノードから離して配線します。SENSE<sup>+</sup> と SENSE<sup>-</sup> の間のフィルタ・コンデンサは、できるだけデバイスに近づけて配置します。センス抵抗にはケルビン接続を使って高精度の電流検出を確保します。
6. INTV<sub>CC</sub> のデカップリング・コンデンサは、INTV<sub>CC</sub> ピンと電源 GND ピンの間に IC の近くで接続します。このコンデンサは FET ドライバの電流ピークを伝送します。ノイズ性能を向上させるために、DRV<sub>CC</sub> ピンと GND ピンに隣接して 1μF のセラミック・コンデンサを追加します。

7. スイッチング・ノード (SW)、トップ・ゲート・ノード (TGUP/TGDN)、および昇圧ノード (BOOST) を、敏感な小信号ノード、特に他のチャンネルの電圧および電流の検出帰還ピンから離します。これらのノードはすべて、信号が大きく高速で移動します。したがって、これらのノードは LTC7893 の出力側に配置し、PCB パターンの占有面積を最小限にします。
8. 改良型のスター・グラウンド手法を使用します。つまり、PCB の入力コンデンサおよび出力コンデンサと同じ側にある低インピーダンスで広い銅領域を中心的な接地点とし、ここに INTV<sub>CC</sub> デカップリング・コンデンサの基部、帰還抵抗分圧器の基部、およびデバイスの GND ピンを接続します。

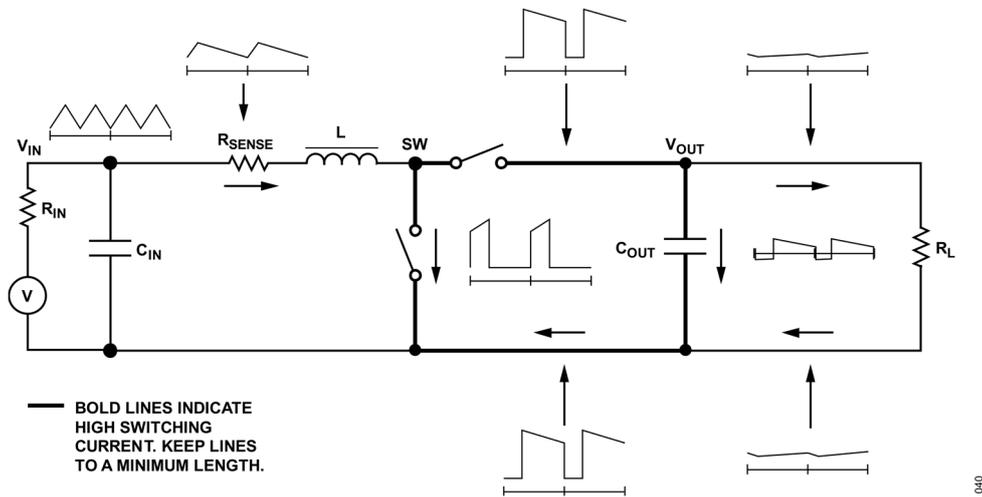


図 47. 分岐電流波形

### PCB レイアウトのデバッグ

一度に1つずつコントローラを起動します。回路のテスト中にインダクタの電流をモニタするには、DC~50MHzの電流プローブを使用します。出力スイッチング・ノード (SW ピン) をモニタして、オシロスコープを内部発振器に同期させ、実際の出力電圧も調べます。アプリケーションで予想される動作電圧および電流範囲で、適切な性能が達成されていることをチェックします。動作周波数は、入力電圧範囲においてドロップアウトまで維持され、出力負荷が低電流動作閾値 (通常、バースト・モード動作では設計最大電流レベルの 25%) 未満に低下するまで維持されます。

適切に設計された低ノイズの PCB を用いれば、デューティ・サイクルのパーセンテージがサイクル間で変動することはありません。低調波の周期でデューティ・サイクルが変動する場合、電流検出入力または電圧検出入力にノイズを拾っているか、またはループ補償が適当でない可能性があります。レギュレータの帯域幅を最適化する必要がない場合、ループを過補償にすると不適切な PCB レイアウトに対処できます。各コントローラの性能を確認した後、両方のコントローラを同時にオンにしてください。特に動作が困難な領域は、一方のコントローラ・チャンネルが電流コンパレータのトリップ・ポイントに近付いているときに、もう一方のチャンネルがその上側 FET をオンにした場合です。これは、内部クロックの位相により、どちらのチャンネルでもデューティ・サイクルが 50%の前後で生じ、軽微なデューティ・サイクル・ジッタが発生する可能性があります。

V<sub>BIAS</sub> をその公称レベルから低下させ、最大デューティ・サイクル時のレギュレータ動作を確認します。出力をモニタしながら更に V<sub>BIAS</sub> を下げて動作を確認し、低電圧ロックアウト回路の動作をチェックします。

問題があるのは出力電流が大きいときのみ、または入力電圧が高いときのみであるかどうかを調べます。入力電圧が高かつ出力電流が小さいときに問題が発生する場合は、BOOST、SW、TGx、場合によっては BGx と、ノイズの影響を受けやすい電圧ピンおよび電流ピンとの間に容量性結合がないかを調べます。IC のピンに隣接して、電流検出ピンの両端にコンデンサを配置します。このコンデンサは、高周波容量性結合による差動ノイズの混入の影響を最小限に抑えるのに役立ちます。入力電圧が低く電流出力負荷が大きいときに問題が生じる場合は、C<sub>IN</sub>、上側 FET、下側 FET のそれぞれと、高感度の電流検出および電圧検出パターンとの誘導性結合を調べます。更に、これらの部品とデバイスの GND ピンとの間にある、共通 GND 経路の電圧ピックアップも調べます。

電流検出のリード線を逆方向に接続した場合、その他の点ではスイッチング・レギュレータが正しく動作するため、かえって見逃すおそれのある問題が生じます。このような不適切な接続状態でも出力電圧は維持されますが、電流モード制御の利点は得られません。電圧ループの補償の方が部品選択による影響にはるかに敏感です。この動作は、電流センス抵抗を一時的に短絡することで調べることができます。この状態でもレギュレータは出力電圧の制御を維持します。

代表的なアプリケーション

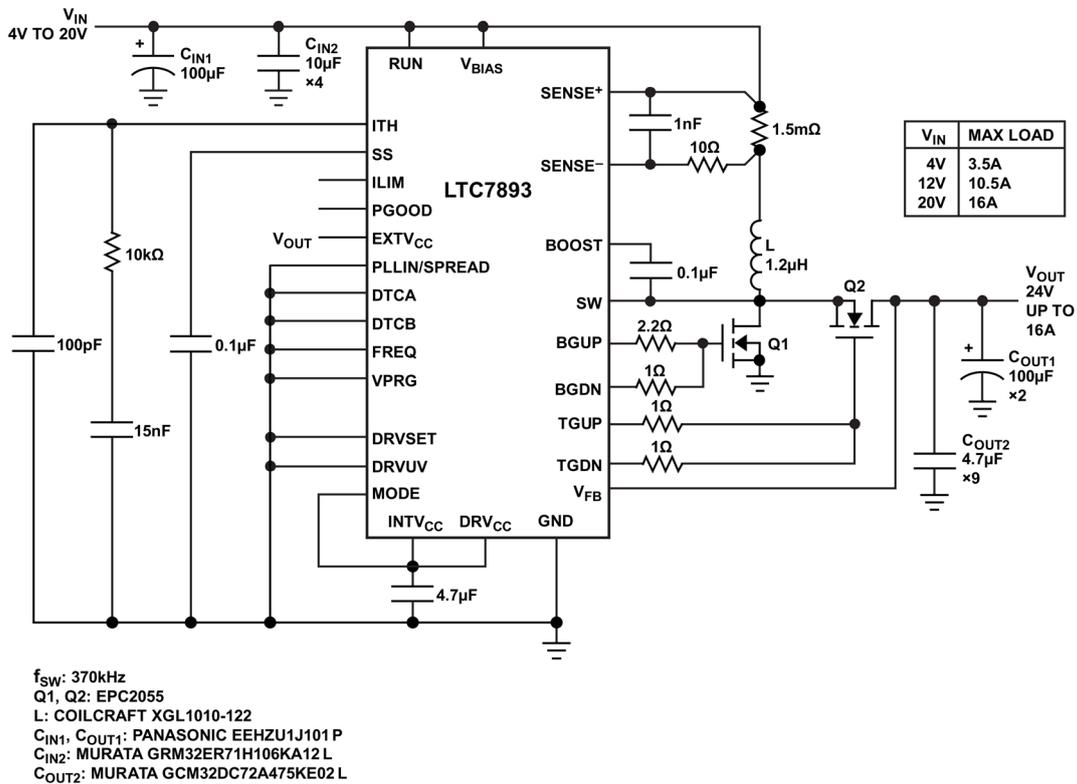


図 48. GaN FET を使用する、高効率、24V<sub>OUT</sub> の昇圧レギュレータ

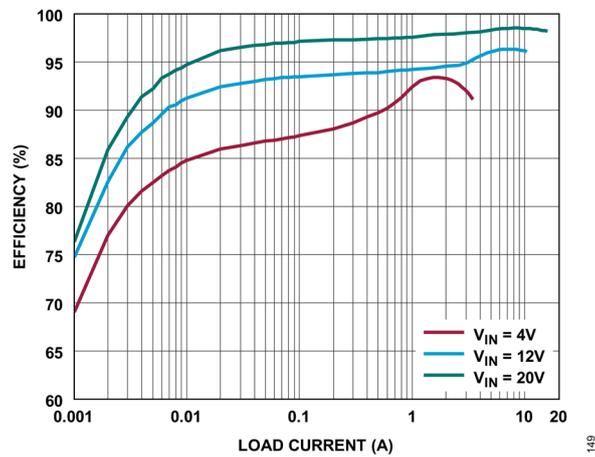
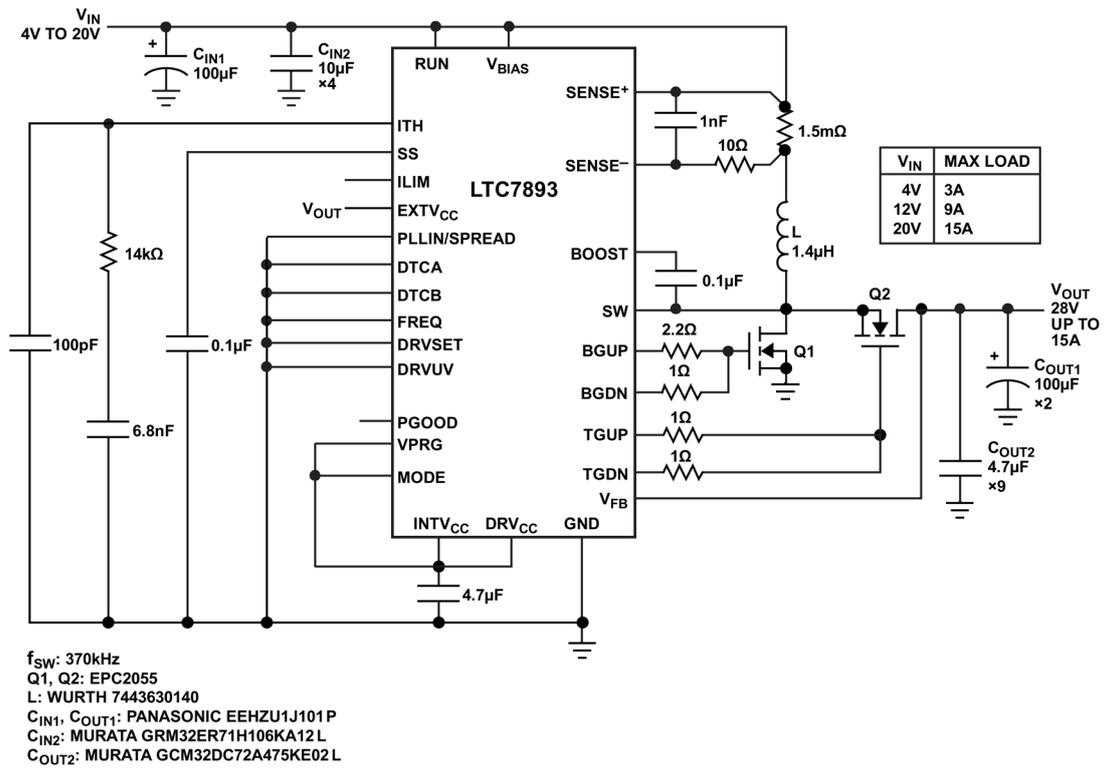


図 49. 図 48 の V<sub>OUT</sub> の効率と負荷電流の関係



042

図 50. GaN FET を使用する、高効率 28V<sub>OUT</sub> の昇圧レギュレータ

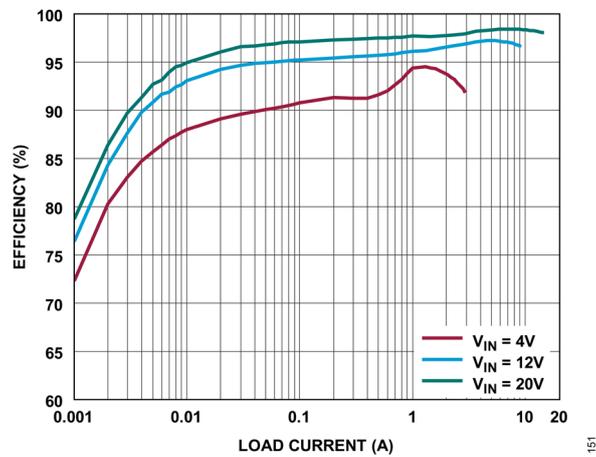
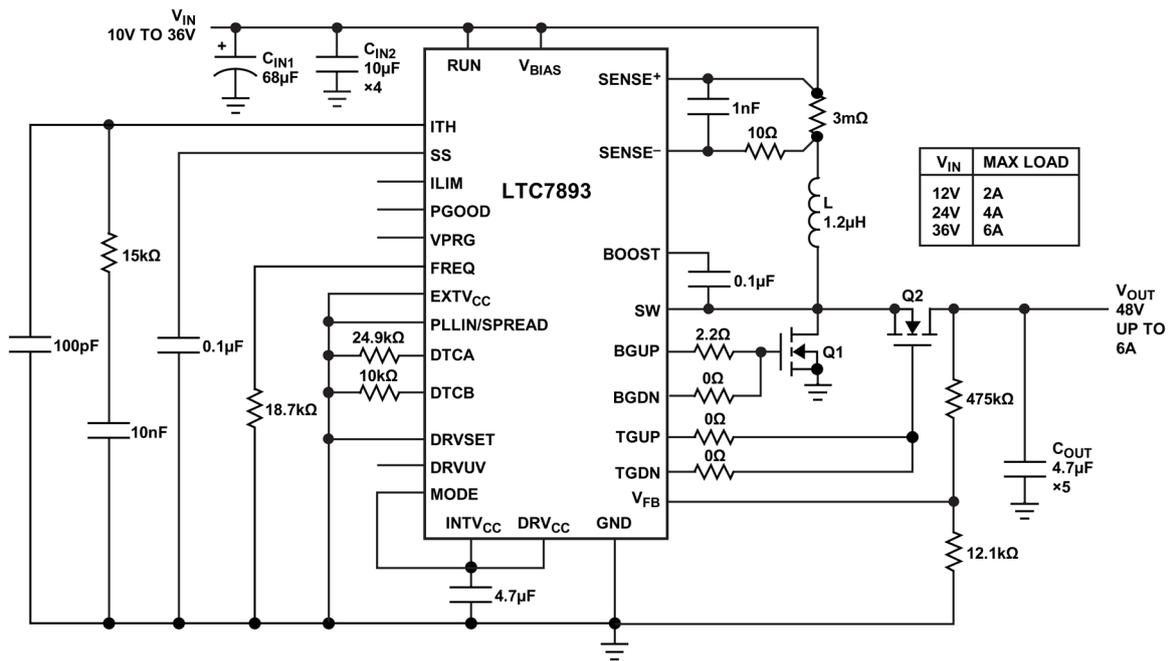


図 51. 図 50 の V<sub>OUT</sub> の効率と負荷電流の関係



f<sub>sw</sub>: 2MHz  
 L: COILCRAFT XGL6060-122  
 Q1, Q2: EPC2204  
 C<sub>IN1</sub>: PANASONIC EEHZC1J680P  
 C<sub>IN2</sub>: MURATA GRM32ER71H106KA12L  
 C<sub>OUT</sub>: MURATA GCM32DC72A475KE02L

図 52. GaN FET を使用する、高周波数 (2MHz) 48V<sub>OUT</sub> の昇圧レギュレータ

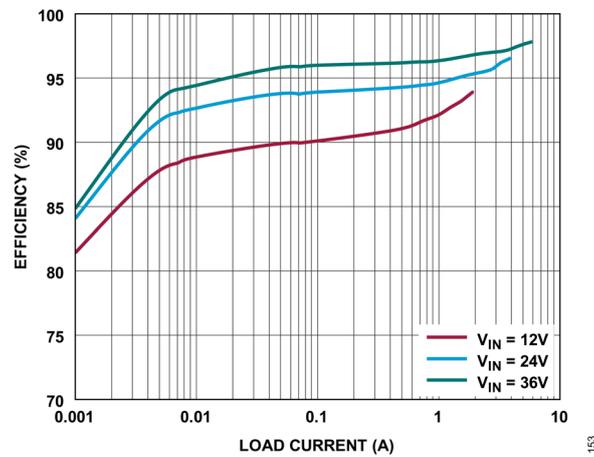
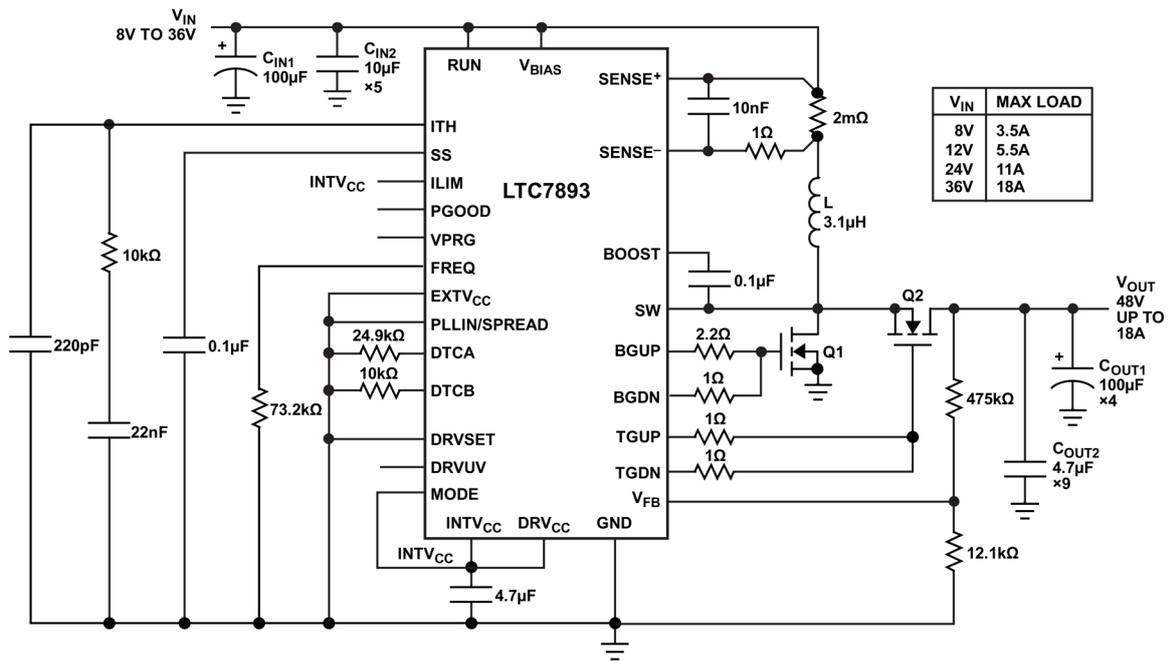


図 53. 図 52 の V<sub>OUT</sub> の効率と負荷電流の関係



f<sub>sw</sub>: 500kHz  
 Q1, Q2: EPC2088  
 L: WURTH 7443630310  
 C<sub>IN1</sub>, C<sub>OUT1</sub>: PANASONIC EEH2U1J101 P  
 C<sub>IN2</sub>: MURATA GRM32ER71H106KA12 L  
 C<sub>OUT2</sub>: MURATA GCM32DC72A475KE02 L

図 54. GaN FET を使用する、高効率 48V<sub>OUT</sub> の昇圧レギュレータ

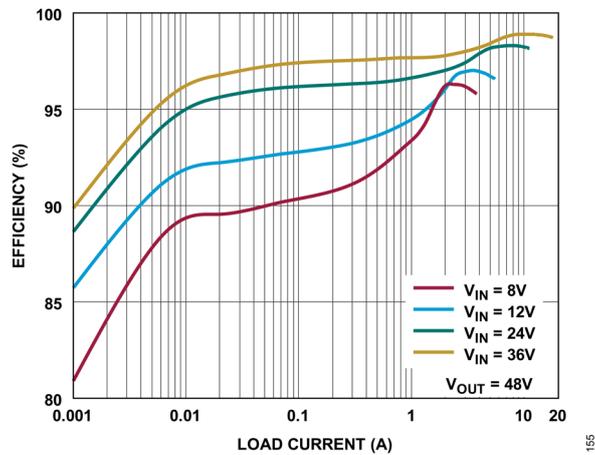


図 55. 図 54 の V<sub>OUT</sub> の効率と負荷電流の関係

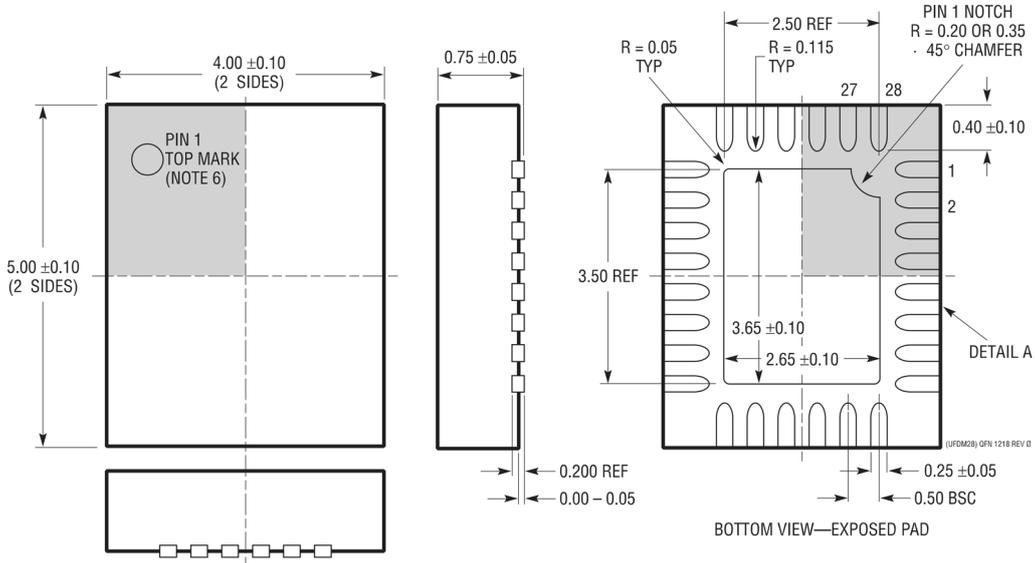
## 関連製品

製品番号	説明	注釈
LTC3786	低 $I_Q$ 同期整流式昇圧 DC/DC コントローラ	4.5V (起動後は最低 2.5V で動作) $\leq V_{IN} \leq 38V$ 、 $V_{OUT}$ : 最大 60V、固定動作周波数 : 50kHz~900kHz、3mm × 3mm QFN-16、MSOP-16E
LTC3769	低 $I_Q$ 同期整流式昇圧 DC/DC コントローラ	4.5V (起動後は最低 2.3V で動作) $\leq V_{IN} \leq 60V$ 、 $V_{OUT}$ : 最大 60V、 $I_Q = 28\mu A$ 、固定動作周波数 : 50kHz~900kHz、4mm × 4mm QFN-24、TSSOP-20
LTC3784	シングル出力 2 相低 $I_Q$ 、同期整流式昇圧 DC/DC コントローラ	4.5V (起動後は 2.5V まで動作) $\leq V_{IN} \leq 60V$ 、 $V_{OUT}$ : 最大 60V、PLL 固定周波数 : 50kHz~900kHz、 $I_Q = 28\mu A$
LTC3788/ LTC3788-1	デュアル出力同期整流式昇圧 DC/DC コントローラ	4.5V (起動後は最低 2.5V で動作) $\leq V_{IN} \leq 38V$ 、 $V_{OUT}$ : 最大 60V、固定動作周波数 : 50kHz~900kHz、5mm × 5mm QFN-32、SSOP-28
LTC3787/ LTC3787-1	シングル出力 2 相低 $I_Q$ の同期整流式昇圧 DC/DC コントローラ	4.5V (起動後は最低 2.5V で動作) $\leq V_{IN} \leq 38V$ 、 $V_{OUT}$ : 最大 60V、固定動作周波数 : 50kHz~900kHz、4mm × 5mm QFN-28、SSOP-28
LTC3897	入出力保護機能付き多相同期整流式昇圧 DC/DC コントローラ	4.5V $\leq V_{IN} \leq 65V$ 、75V ピーク、 $V_{OUT}$ : 最大 60V、PLL 固定周波数 : 75kHz~550kHz、 $I_Q = 55\mu A$ 、TSSOP-38、5mm × 7mm、QFN-38
LTC3862/ LTC3862-1/ LTC3862-2	多相シングル出力デュアル・チャンネルの昇圧 DC/DC コントローラ	2.5V $\leq V_{IN} \leq 36V$ 、ゲート駆動電圧 : 5V または 10V、75kHz~500kHz、TSSOP-24、SSOP-24、5mm × 5mm QFN-24
LTC7840	2 相デュアル出力非同期整流式昇圧 DC/DC コントローラ	5.5V $\leq V_{IN} \leq 60V$ 、 $V_{OUT}$ の最大値は外付け部品に依存、PLL 固定周波数 : 50kHz~425kHz、昇圧/SEPIC/フライバックが可能な柔軟なトポロジ
LTC7804	PassThru 機能付きの 40V、低 $I_Q$ 、3MHz 同期整流式昇圧コントローラ	4.5V $\leq V_{IN} \leq 40V$ 、 $V_{OUT}$ : 最大 40V、固定動作周波数 : 100kHz~3MHz、3mm × 3mm QFN-16
LTC7806	PassThru 機能付きの 40V、低 $I_Q$ 、3MHz 多相同期整流式昇圧コントローラ	4.5V $\leq V_{IN} \leq 40V$ 、 $V_{OUT}$ : 最大 40V、固定動作周波数 : 100kHz~3MHz、4mm × 5mm QFN-28
LTC7841	PMBus インターフェース付き多相同期整流式昇圧コントローラ	4.5V $\leq V_{IN} \leq 60V$ 、 $V_{OUT}$ : 最大 60V、固定動作周波数 : 75kHz~850Hz、5mm × 6mm QFN-36

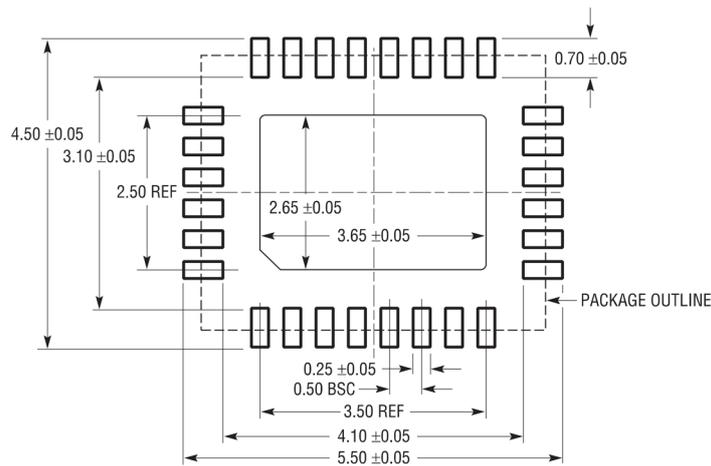
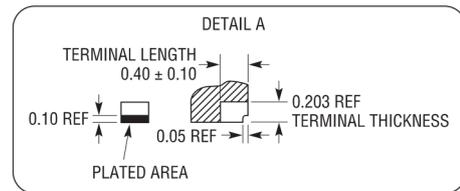
外形寸法



**UFDM Package**  
**28-Lead Plastic Side Wettable QFN (4mm × 5mm)**  
 (Reference DWG # 05-08-1682 Rev 0)



- NOTE:
1. DRAWING NOT TO SCALE
  2. ALL DIMENSIONS ARE IN MILLIMETERS
  3. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
  4. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE



## オーダー・ガイド

表 8. オーダー・ガイド

LEAD FREE FINISH	TAPE AND REEL	PART MARKING	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LTC7893AUFDM#PBF	LTC7893AUFDM#TRPBF	LTC7893	28-Lead QFN (4mm x 5mm, Plastic Side Wettable)	-40°C to 125°C
<b>AUTOMOTIVE PRODUCTS*</b>				
LTC7893AUFDM#WPBF	LTC7893AUFDM#WTRPBF	LTC7893	28-Lead QFN (4mm x 5mm, Plastic Side Wettable)	-40°C to 125°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。

**テープ&リールの仕様。**一部のパッケージは指定された販売チャンネルを通じて 500 個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

\*このデバイスの各バージョンは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造工程により提供されています。これらのモデルは「#W」という末尾記号で指定されます。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報や、これらのモデルの具体的な自動車信頼性レポートについては、アナログ・デバイセズの販売代理店にご相談ください。

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。