

5mm × 8mm LQFNで実現する SilentMOS スマート電力段

特長

- 140Aのピーク出力電流
- SilentMOS™ スマート電力段
 - 低EMI/EMCのSilent Switcher®2アーキテクチャを採用
 - 超低SW電圧オーバーシュート
 - 最大2MHzの周波数
- V_{IN} = 最大16V
- 1MHz、1.8V_{OUT}で最大94%の効率
- 昇圧ダイオードおよびコンデンサとパワー・スイッチを内蔵
- 正確なスイッチ電流モニタリング
- パワー MOSFET 過電流保護
- 入力過電圧およびバイアス低電圧保護
- 過熱フラグによる熱監視
- 3.3V/5V 互換3ステートPWM入力
- 5mm × 8mm LQFN パッケージ

アプリケーション

- 大電流サーバーおよびワークステーション
- ネットワーク/テレコム・マイクロプロセッサ電源
- 小型フォーム・ファクタのPOLコンバータ

概要

LTC®7051-1 モノリシック電力段は、低抵抗ハーフブリッジ・パワー・スイッチを備えた高速ドライバと包括的なモニタリングおよび保護回路を、電気的および熱的に最適化されたパッケージに全て内蔵しています。この電力段は、適切な高周波数コントローラを使用して、最高水準の効率と過渡応答を備えた、コンパクトな高電流電圧レギュレータ・システムを形成します。

SilentMOS 技術は、第2世代のSilent Switcher 2アーキテクチャを利用しており、高いスイッチング周波数で効率を最大化すると同時にEMIおよびスイッチ・ノード電圧オーバーシュートの両方を低減しています。

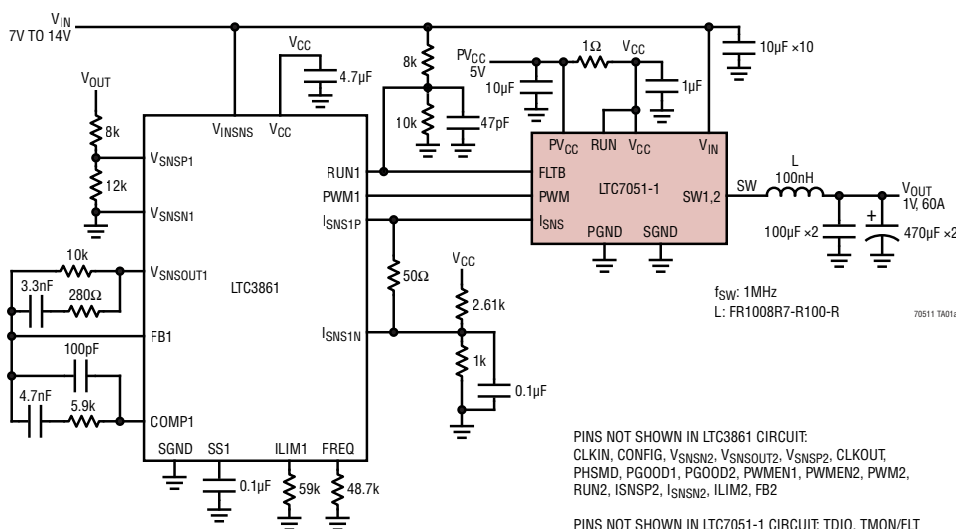
高速電流検出によりスイッチ電流情報が低遅延で提供されるため、厳しい電流バランシングと即時過電流保護が可能です。

熱強化型パッケージを通じて、65A 定格の電流出力能力が実現されています。

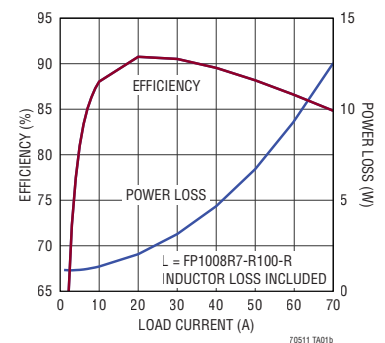
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。第9525351号を含む米国特許により保護されています。

標準的応用例

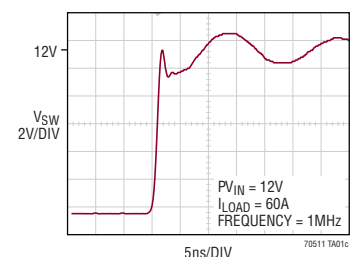
12V_{IN}、1V/60A_{OUT}、1MHzのデュアルフェーズPOLコンバータ



12V_{IN}/1V_{OUT}の効率



1MHz 時の V_{SW} 波形



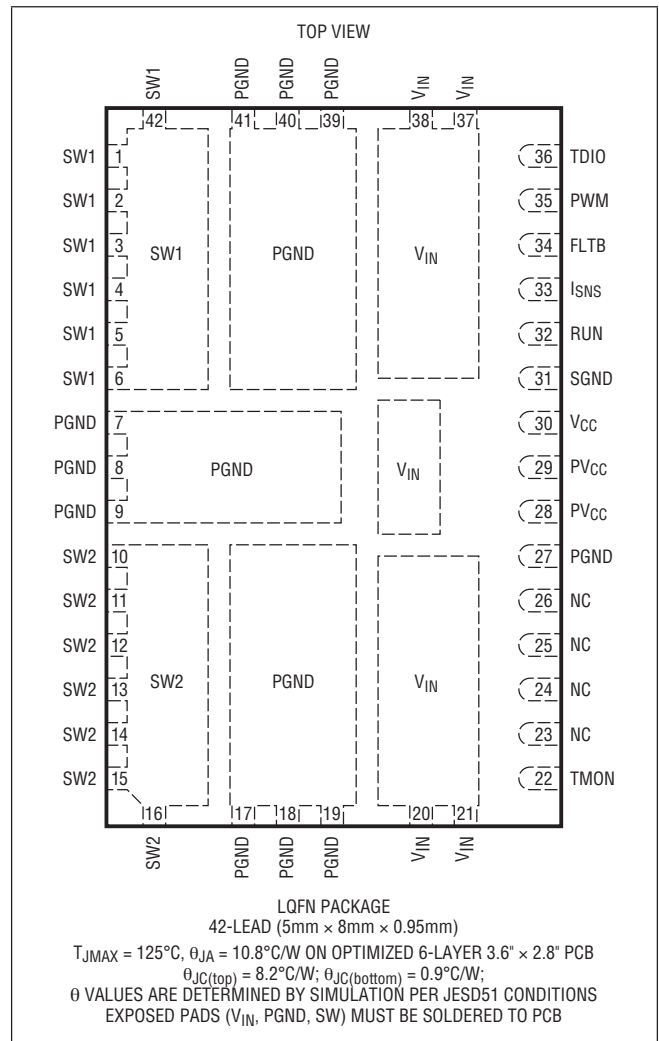
LTC7051-1

絶対最大定格

(Note 1)

V_{IN} DC 電圧-0.3V~19V
V_{IN} トランジェント電圧-0.3V~25V
SW の電圧-0.3V~25V DC
SW の電圧 (20ns)-2V~25V
PV_{CC} 、 V_{CC} の電圧-0.3V~6V
RUN-0.3V~($V_{CC} + 0.3V$)
PWM-0.3V~($V_{CC} + 0.3V$)
I_{SNS}-0.3V~($V_{CC} + 0.3V$)
FLT B-0.3V~($V_{CC} + 0.3V$)
TDIO 電圧 / 電流-0.3V/-5mA
絶対最大ジャンクション温度125°C
保管温度-55°C~150°C
最大リフロー (パッケージ・ボディ) 温度260°C

ピン配置



発注情報

製品番号	部品マーキング	仕上げコード	パッド仕上げ	パッケージ・タイプ	MSL レーティング	温度範囲
LTC7051AV-1#PBF	70511	e4	Au (RoHS)	LQFN (QFN フットプリント の積層パッケージ)	3	-40°C~125°C

• 更に広い動作温度範囲で規定されたデバイスについては、弊社または弊社代理店にお問い合わせください。
* パッドまたはボールの仕上げコードは IPC/JEDEC J-STD-609 に依ります。

製品番号末尾が PBF となっている製品は RoHS および WEEE に準拠しています。

• 推奨される LGA および BGA PCB のアセンブリおよび製造手順

• LGA および BGA のパッケージ図面とトレイ図面

電氣的特性

●は、仕様規定された温度範囲に適用される仕様を示しています。それ以外の場合、特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Power Input Supply Range		●			16	V
	V_{IN} Overvoltage Lockout Threshold	V_{IN} Rising	●	17.7		18.7	V
	V_{IN} Overvoltage Lockout Hysteresis				1		V
	V_{IN} Overvoltage Lockout Delay	(Note 3)			1		μs
	V_{IN} Shutdown Current	$V_{IN} = 12\text{V}$, $\text{RUN} = 0$			25		μA
V_{CC}	V_{CC} Input Supply Range		●	4.5	5	5.5	V
$V_{CC}(\text{UVLO})$	V_{CC} Undervoltage Lockout Threshold	V_{CC} Rising	●	4.05	4.15	4.25	V
V_{UVLO_HYST}	V_{CC} Undervoltage Lockout Hysteresis				0.2		V
$I_{VCC}(\text{SD})$	V_{CC} Supply Current in Shutdown	$\text{RUN} = 0$			14		μA
I_{VCC_active}	V_{CC} Supply Current in Active	$\text{RUN} = 5\text{V}$, $\text{PWM} = \text{Float}$			2.5		mA
PV_{CC}	Driver Input Supply Range		●	4.5	5	5.5	V
$PV_{CC}(\text{UVLO})$	PV_{CC} Undervoltage Lockout Threshold	PV_{CC} Rising	●	3.9	4.0	4.1	V
PV_{UVLO_HYST}	PV_{CC} Undervoltage Lockout Hysteresis				0.35		V
$I_{PVCC}(\text{SD})$	PV_{CC} Supply Current in Shutdown	$\text{RUN} = 0$			300		μA
I_{PVCC_active}	PV_{CC} and V_{CC} Supply Current in Active	$\text{RUN} = 5\text{V}$, $\text{PWM} = \text{Float}$			2.5		mA
t_{UVLO}	Undervoltage Time Lockout Delay, from V_{CC} and PV_{CC} to SW Low	PV_{CC} , V_{CC} Rising $\text{RUN} = 5\text{V}$ $\text{PWM} = 0$ (Note 3)			1		μs

RUN Input

V_{IH_RUN}	RUN High Threshold	RUN Rising	●	2.2	2.45	2.7	V
V_{RUN_HYS}	RUN Hysteresis				0.2		V
R_{PD_RUN}	EN Pull-Down Resistor				30		k Ω
T_{d_RUNH}	Propagation Delay for RUN Low to High	From RUN Low \geq High to SW = 0, $\text{PWM} = 0$ (Note 3)			12		μs
T_{d_RUNL}	Propagation Delay for RUN High to Low	From RUN High \geq Low to SW High Z, $\text{PWM} = 0$ (Note 3)				0.1	μs

PWM Input

V_{IH_PWM}	PWM High Threshold		●			2.7	V
V_{IL_PWM}	PWM Low Threshold		●	0.8			V
V_{TR_PWM}	PWM Tri-State Range		●	1.5		2.1	V
V_{PWM_HYS}	PWM Hysteresis	Active to Tri-State or Tri-State to Active			300		mV
R_{PD_PWM}	PWM Pull-Down Resistor	To SGND			9.6		k Ω
R_{PU_PWM}	PWM Pull-Up Resistor	To V_{CC}			18.8		k Ω
$t_{PWMHI-SW}$	Delay Time, PWM High to SW High	No Fault Condition (Note 3)			10		ns
$t_{PWMLO-SW}$	Delay Time, PWM Low to SW Low	No Fault Condition (Note 3)			10		ns
$t_{Tri_Lo_Delay}$	Tri-State to Low Propagation Delay	PWM Going Low to SW Going Low			20		ns
$t_{Tri_Hi_Delay}$	Tri-State to High Propagation Delay	PWM Going High to SW Going High			30		ns
t_{Tri_Hold}	Active to Tri-State Delay Time	PWM Going to High Z to SW High Z (Note 3)			20		ns
t_{PWM_MINON}	PWM Minimum ON-Time				20		ns
V_{PWM_FLOAT}	PWM Floating Voltage		●	1.6	1.7	1.8	V

LTC7051-1

電気的特性

●は、仕様規定された温度範囲に適用される仕様を示しています。それ以外の場合、特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ISNS Output						
A _{IMON}	Current Sense Gain (I _{MON} /I _{OUT})	V _{ISNS} = 1.5V I _{OUT} = 5A to 25A, PWM = 0	8.5	10	11.5	μA/A
I _{SNS}	Overall Accuracy	I _{OUT} = 50A, V _{ISNS} = 1.5V, PWM = 0, Accuracy at Trim		500 ±40		μA
		I _{OUT} = -10A, V _{ISNS} = 1.5V, PWM = 0 (Note 3)		100		μA
V _{IMON}	IMON Operational Voltage Range		● 1.2		2.0	V
FLTB Output						
R _{FLTB-PD}	Fault Bar Open-Drain Pull-Down Resistance	FLTB Low			1	kΩ
TMON/FLT Output						
A _{TMON}	Thermal Monitor Gain	0°C < T _J < 150°C (Note 3)		8		mV/°C
V _{TMON}	Thermal Monitor Voltage	T _J = 0°C (Note 3)		0.6		V
		T _J = 25°C	780	800	825	mV
		T _J = 125°C (Note 3)		1.6		V
OTP	Overtemperature Protection Accuracy	(Note 3)		150		°C
OTP_Hys	Overtemperature Hysteresis	(Note 3)		40		°C
I _{SOURCE_TMON}	Thermal Monitor Maximum Source Current	T _J = 25°C, T _{MON} Forced at 0V	650			μA
I _{SINK_TMON}	Thermal Monitor Maximum Sink Current	T _J = 25°C, T _{MON} Forced at 1.28V			45	μA
V _{Tdiode}	Tdiode Forward Voltage Drop	T _J = 25°C, I _F = 0.1mA		678		mV
	Tdiode Voltage Drop Temperature Coefficient	I _F = 0.1mA (Note 3)		-1.8		mV/°C
SW Node						
V _{SW_Float}	SW Floating Voltage	V _{IN} = 12V, RUN = 5V		0.7		V
R _{SW-PGND}	SW Pull-Down Resistance			0.6		kΩ
Overcurrent Limits						
I _{OC}	Positive Overcurrent Threshold	PWM = H	160	180	200	A
I _{NC}	Negative Overcurrent Threshold	PWM = L		-90		A
t _{Blank_OC}	Positive Overcurrent Blanking Time	PWM = H (Note 3)		22		ns
t _{Blank_NC}	Negative Overcurrent Blanking Time	PWM = L (Note 3)		55		ns
I _{ZCP}	Positive Zero Current Threshold			10		A
I _{ZCN}	Negative Zero Current Threshold			-16		A

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTC7051A-1は、-40°C~125°Cの動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱インピーダンス定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度(T_J, °C)は、次式を使って周囲温度(T_A, °C)と消費電力(P_D, ワット)から計算します。

$$T_J = T_A + (P_D \cdot \theta_{JA})$$

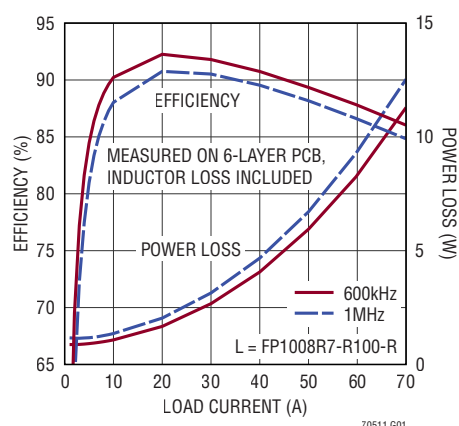
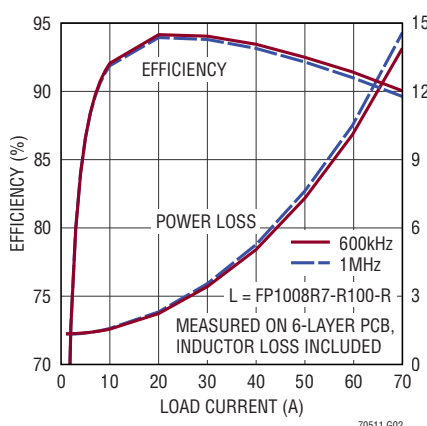
ここで、 θ_{JA} (°C/W)はパッケージの熱抵抗です。

Note 3: このパラメータについてはテストは行われていませんが、設計により性能が確保されています。

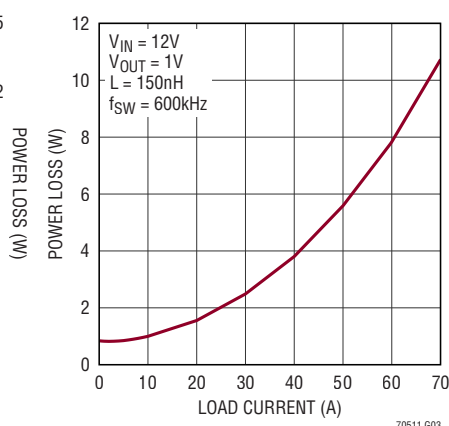
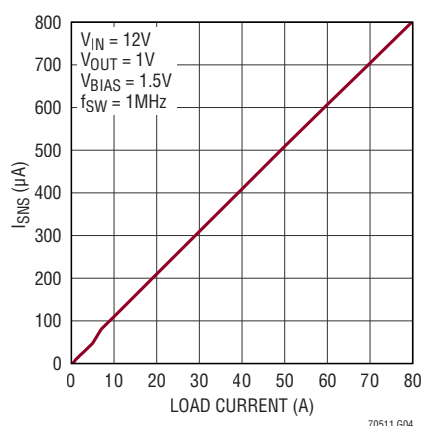
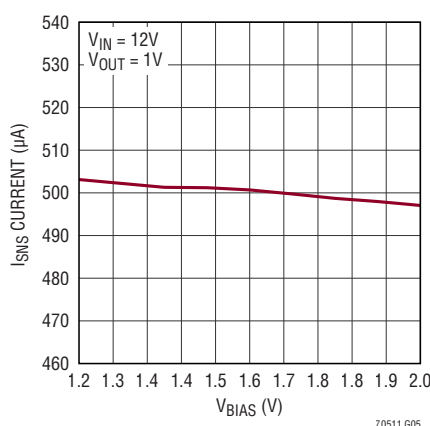
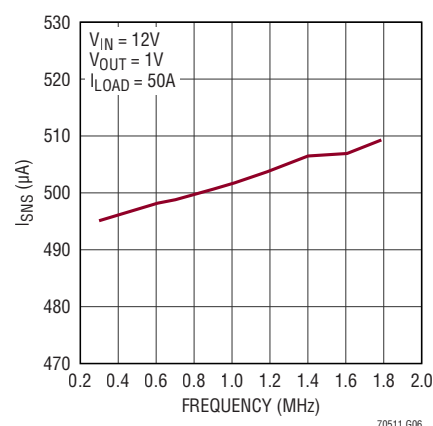
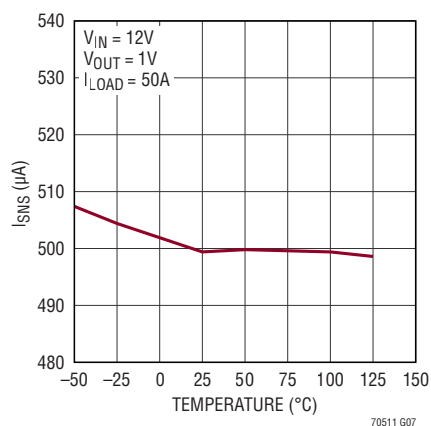
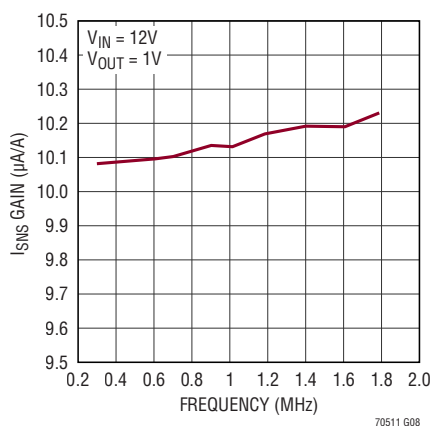
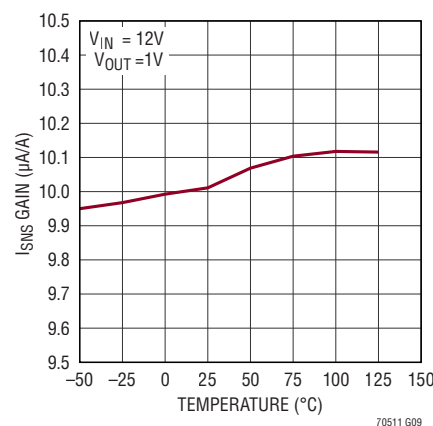
Note 4: デバイスのピンに流れ込む電流はすべて正です。デバイスのピンから流れ出す電流はすべて負です。特に指定のない限り、全ての電圧はグラウンド基準です。

Note 5: LTC7051A-1は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を内蔵しています。過熱保護機能が作動した場合、ジャンクション温度は125°Cを超えています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ 。12V_{IN}/1V_{OUT}の効率12V_{IN}/1.8V_{OUT}の効率

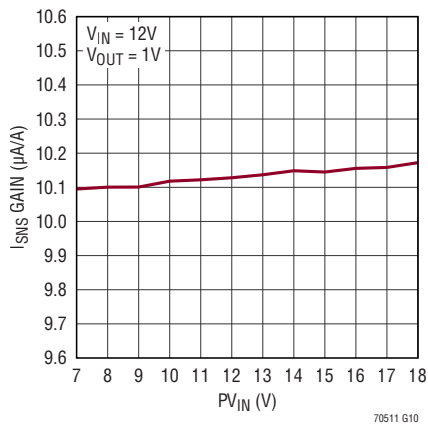
LTC7051-1の消費電力と負荷の関係

I_{SN}と負荷の関係I_{SN}電流とV_{BIAS}の関係I_{SN}と周波数の関係I_{SN}と温度の関係I_{SN}ゲインと周波数の関係I_{SN}ゲインと温度の関係

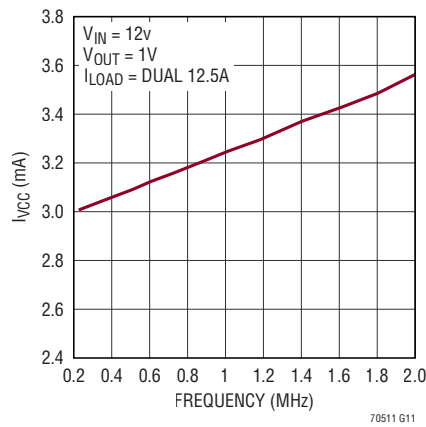
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}_0$

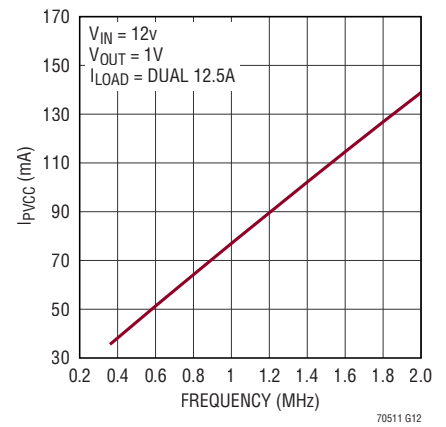
I_{SNS} ゲインと PV_{IN} の関係



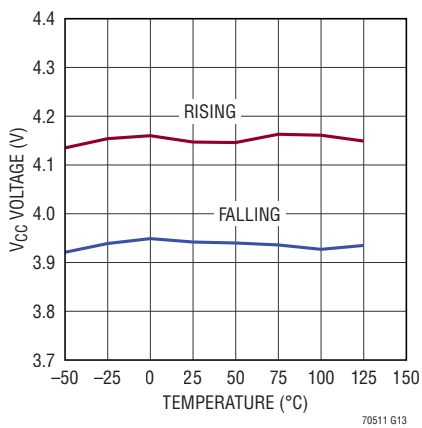
I_{VCC} と周波数の関係



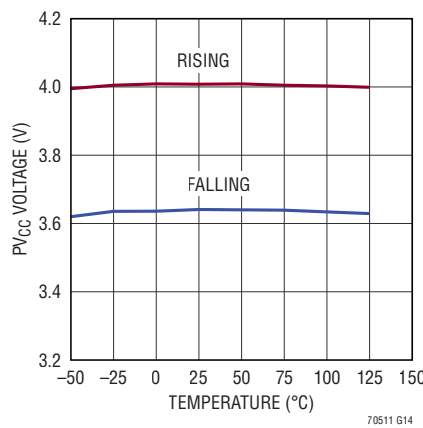
I_{PVCC} と周波数の関係



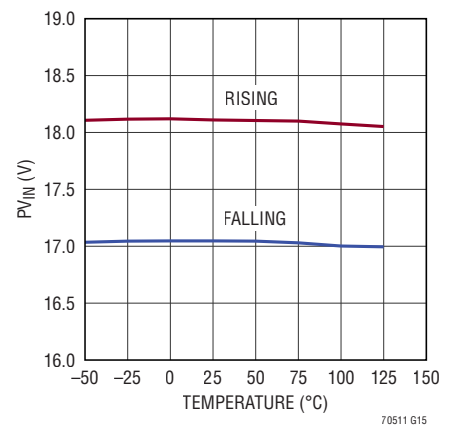
V_{CC} UVLO と温度の関係



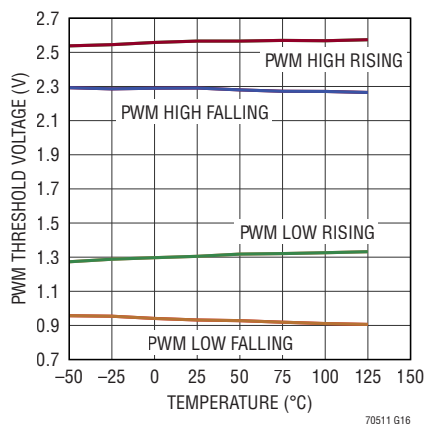
PV_{CC} UVLO と温度の関係



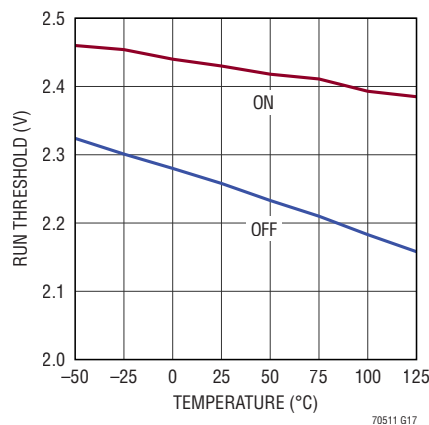
PV_{IN} OVLO と温度の関係



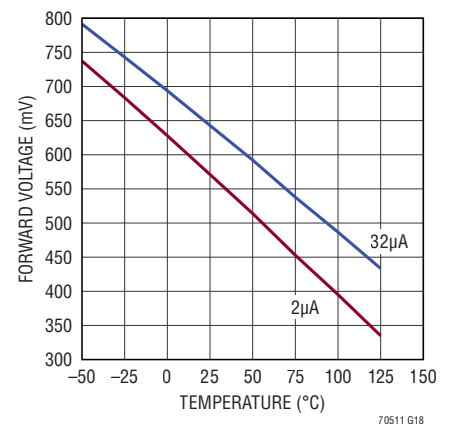
PWM 閾値と温度の関係



RUN 閾値と温度の関係



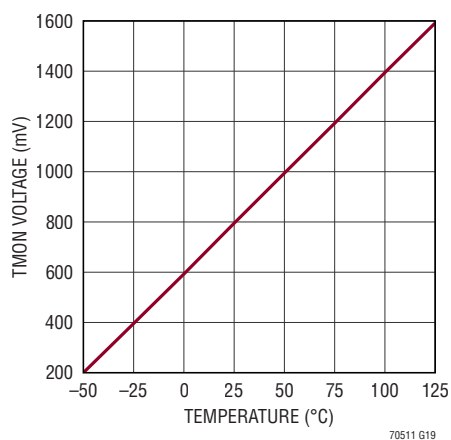
T_{DIODE} 順電圧と温度の関係



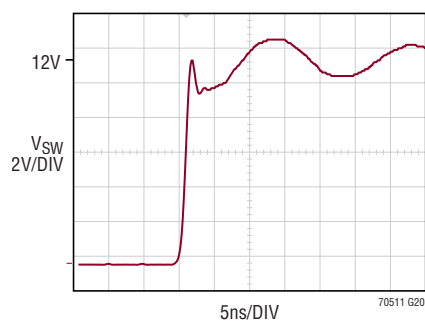
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $PV_{CC} = V_{CC} = 5\text{V}$ 。

TMONと温度の関係



スイッチング時の立上がりエッジ



$PV_{IN} = 12\text{V}$
 $I_{LOAD} = 60\text{A}$
FREQUENCY = 1MHz

ピン機能

FLT B : フォルト・バー・ピン。このオープンドレイン・ピンは、チップやチャンネルがOCやOCNなどのフォルト状態になった場合に、プルダウンされます。

ISNS : 電流検出ピン。このピンは、SWノードの電流の1/100,000に相当する瞬時電流をソース(正の場合)またはシンク(負の場合)します。

PGND : 出力段グラウンド。このピンは、ロー・サイドNチャンネルFETを通じてSWに接続されています。ドライバへの給電も行います。

PVCC : 5Vドライバ電源。このピンは、ロー・サイドのゲート・ドライバに直接給電し、ハイ・サイドのゲート・ドライバには、SWを基準電圧とする内蔵ブートストラップ電源を介して給電します。このピンは、10 μ Fのセラミック・コンデンサを使用しチップのできる限り近くでPGNDにバイパスします。

PWM : PWM入力ピン。RUNがハイに駆動されている場合、SWの公称動作はこのピンのハイ、ロー、高インピーダンスの各状態に追従します。公称3VのCMOSロジック・レベルは3V~5VのCMOS信号で駆動できます。高インピーダンス状態の場合、抵抗分圧器により電圧が1.7Vに維持されます。

RUN : 動作ピン。このピンがハイに駆動されているとチャンネルがイネーブルされます。RUNがローの場合はSWノードが高インピーダンス状態になります。

SGND : 回路のグラウンド。

SW1, SW2 : 電力段スイッチ・ノード。電力段の出力であるこのノードは、ハイ・サイドNチャンネルFETを通じてV_{IN}に接続され、ロー・サイドNチャンネルFETを通じてPGNDに接続されています。これらのSWピンはPCBで接続する必要があります。

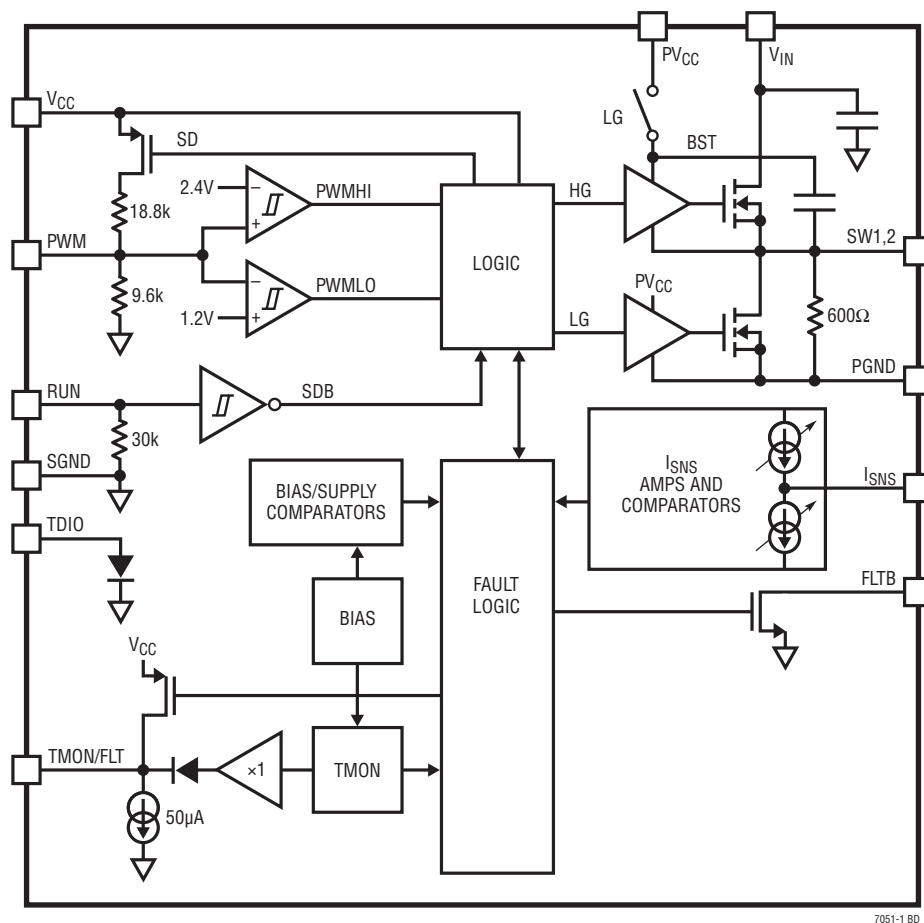
TDIO : 温度ダイオード・ピン。このピンは、ダイ温度を測定するために使用するリファレンス・ダイオードを介してSGNDに接続されています。

TMON/FLT : 温度モニタ／フォルト・ピン。このピンは、SGNDを基準として、8mV/°Cのゲインで0°C~150°Cのダイ温度に対応して0.6V~1.8Vの電圧を発生します。150°Cを超える場合は、このピンはハイにプルアップされ、過熱(OT)フォルトを指示します。このピンの電流シンク能力は限定されています。そのため、複数の同様のピンを連結し、最高温度もしくは単一のOTフォルトを検出することができます。

VCC : 5V電源。このピンは、1 μ Fのセラミック・コンデンサを使用しチップのできる限り近くでSGNDにバイパスします。

VIN : 出力段電源。このピンは、ハイ・サイドNチャンネルFETを通じてSWに接続されています。

ブロック図



動作

過電流フォルト状態

ハイ・サイドFETがオンの場合、その時点のSW電流(SWから供給される正味電流)が180Aを超えると、過電流(OC)コンパレータが動作し、内部OC状態をセットします。これが生じると、PWMのピン状態に関係なく、ハイ・サイドFETがオフになり、ロー・サイドFETがオンになります。これはSW電流が10Aに減少するまで続き、その時点でOC状態がリセットされます。通常のPWMHIとハイ・サイドFETの動作およびPWMLOとロー・サイドFETの動作は再開します。

ロー・サイドFETがオンの場合、その時点のSW電流(SWに供給される正味電流)が-90A未満になると、OCNコンパレータが動作します。これが生じると、PWMのピン状態に関係なく、ロー・サイドFETがオフになり、ハイ・サイドFETがオンになります。これはSW電流が-16Aに増加するまで続き、その時点でOCN状態がリセットされます。通常のPWMHIとハイ・サイドFETの動作およびPWMLOとロー・サイドFETの動作は再開します。過電流状態のトリガとリセットの様子を図3に示します。

OCとOCNのいずれの状態でも、FLTBBはプルダウンされます。

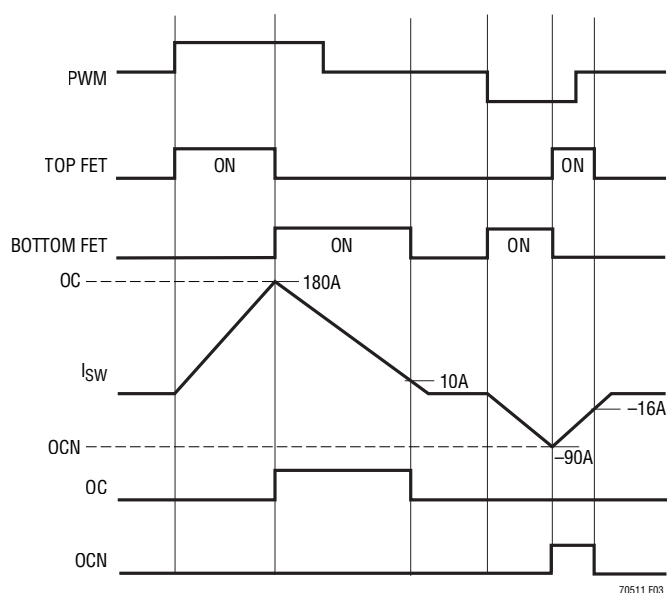


図3. 過電流状態

アクティブ・ダイオード・モード

大電流(>10A)が V_{IN} からSWに向けてトップFETを流れている状態でPWMがハイから高インピーダンス状態になると、トップFETがオフ、ボトムFETがオンになり、電流が徐々に低下し終わるまでこの状態を続けます。大電流($\geq 16A$)がSWから V_{IN} に向けてトップFETを流れている状態でPWMがハイから高インピーダンス状態になると、トップFETは電流が徐々に低下し終わるまでオフにはなりません。

同様に、大電流($\geq 16A$)がSWからPGNDに向けてボトムFETを流れている状態でPWMがローから高インピーダンス状態になると、ボトムFETがオフ、トップFETがオンになり、電流が徐々に低下し終わるまで自由に流れます。大電流(>10A)がPGNDからSWに向けてボトムFETを流れている状態でPWMがハイから高インピーダンス状態になると、ボトムFETは電流が徐々に低下し終わるまでオフにはなりません。

アプリケーション情報

電源シーケンス

LTC7051-1の V_{CC} と PV_{CC} は、 V_{IN} が加えられる前にバイアスしておき、 V_{IN} が消失してからパワーダウンの必要があります。RUNピンの電圧は V_{CC} の電圧を超えることのないようにしてください。LTC7051-1のバイアスを正しく行い、LTC7051-1のRUNピンをプルアップしてからPWMコントローラをイネーブルするようにしてください。

フォルト管理

LTC7051-1のフォルト管理とシャットダウン・モードを表1に示します。オープンドレイン出力FLTBピンをコントローラのRUNピンに接続すれば、BST・SW間低電圧フォルトの場合を除き、LTC7051-1がフォルト状態になった場合にコントローラが起動してコンバータを再始動させることのないようにできます。

表1. フォルト管理とシャットダウン・モードの概要

	FLTB	RESPOND TO PWM	TMON
V_{IN} OVLO	Low	No, Both FETs Off When $I_{SW} = 0$	Report Temperature
V_{CC} UVLO	Low	No, Both FETs Immediate Off	Floating
PV_{CC} UVLO	Low	No, Both FETs Off When $I_{SW} = 0$.	Report Temperature
Positive OC	Low	No, Top FET Immediate Off	Report Temperature
Negative OC	Low	No, Bottom FET Immediate Off	Report Temperature
Overtemperature	Low	Yes	Pull Up to V_{CC} .
BST-to-SW UV	High	Ignore PWMHI	Report Temperature
RUN Shutdown	Low	No, Both FETs Immediate Off	Floating

電流検出および電流制限

I_{SNS} では、SW電流の1/100,000の電流が流入／流出します。 I_{SNS} 電流をリアルタイムのSW電流を反映する差動電圧信号に変換できるよう、コントローラの最大電流検出信号範囲に依じて適切な抵抗を選択してください。この抵抗は、電流シンク／ソース能力のある低インピーダンスの共通モード電圧でバイアスする必要があります。最大の正電流および負電流時に I_{SNS} ピンの電圧が仕様規定された範囲にあり、ゲイン(I_{SNS}/I_{SW})が一定となるようにしてください。

LTC7051-1の一般的なアプリケーション回路の1つを、このデータシートの最初のページに示します。LTC7051-1は、高周波数で高電流電圧のレギュレータ・アプリケーションに最適化されています。外付け部品の選択は負荷条件によって大きく左右されますが、最初にスイッチング周波数 f_{SW} とインダクタLを選択します。インダクタが決まれば、入力コンデンサ、 C_{IN} 、出力コンデンサ、 C_{OUT} を選択することができます。 I_{SNS} の抵抗は、電流制限値を設定するために選択します。

周波数の選択

スイッチング周波数の選択は、効率と部品サイズの間の兼ね合いによって決まります。低い周波数で動作させるとFETのスイッチング損失が減るので効率が改善されますが、出力リップル電圧を低く保つには、インダクタンスや容量の値を大きくする必要があります。スイッチング周波数を選択する場合、最大入力電圧時のハイ・サイドのオン時間がLTC7051-1の最小オン時間 $t_{ON(MIN)}$ (LTC7051-1がトップFETをオンにできる最小の時間間隔)より長くなるようにしてください。この時間は、内部タイミング遅延、パワー段のタイミング遅延、トップFETをオンにするのに必要なゲート電荷によって決まります。デューティ・サイクルの低いアプリケーションではこの最小オン時間制限に近づく可能性があります(式1参照)。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN} \cdot f_{SW}} \quad (1)$$

入力コンデンサ

LTC7051-1は、低インピーダンスの電源プレーンを介して V_{IN} 電源に接続する必要があります。セラミック入力コンデンサをパッケージのできるだけ近くに配置します。コンデンサのサイズと数は、以下のように計算されるリップル電流に伴う温度上昇に適したものにしてください。

降圧コンバータの場合、スイッチングのデューティ・サイクルは式2によって見積もることができます。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (2)$$

アプリケーション情報

各出力のインダクタのリップル電流を考えなければ、入力コンデンサのRMS電流は式3で概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで η は電源セクションの推定効率です。

インダクタの選択

必要な入力電圧と出力電圧が与えられると、インダクタ値と動作周波数 f_{OSC} から直接、インダクタのピークtoピーク・リップル電流が決まります(式4)。

$$I_{RIPPLE} = \frac{V_{OUT}}{V_{IN}} \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \cdot L} \right) \quad (4)$$

リップル電流が小さくなると、インダクタのコア損失、出力コンデンサのESR損失、および出力電圧リップルが減少します。このように、周波数が低くリップル電流が小さい場合に最も効率の高い動作が得られます。ただし、これを達成するには大きなインダクタが必要になります。妥当な出発点は、 $I_{OUT(MAX)}$ の約40%のリップル電流を選択することです。最大リップル電流は、入力電圧が最大のときに発生することに注意してください。リップル電流が仕様規定された最大値を超えることがないようにするため、インダクタは式5に従って選択します。

$$L \geq \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \cdot I_{RIPPLE}} \right) \cdot \frac{V_{OUT}}{V_{IN}} \quad (5)$$

インダクタンスの値が定まったら、インダクタの種類を選択する必要があります。インダクタ値が同じ場合、コア損失はコア・サイズではなく、選択したインダクタンスに大きく依存します。インダクタンスが増加すると、コア損失は減少します。しかし、インダクタンスを増加させるには巻き線数を増やす必要があるため、銅損失が増加します。フェライトを使用した設計ではコア損失が極めて小さく、高いスイッチング周波数に適しているため、設計目標を銅損失と飽和の防止に集中することができます。フェライト・コア材料の飽和はハードです。つまり、ピーク設計電流を超えるとインダクタンスが急激に低下します。その結果、インダクタのリップル電流が急

激に増加し、それに伴い出力電圧リップルも増加します。コアは決して飽和させないでください。

出力コンデンサ

LTC7051-1は、高周波数スイッチングおよび低出力電圧リップル・ノイズに適した設計となっています。C_{OUT}で定義されるバルク出力コンデンサは、出力電圧リップルとトランジェントに関する条件を満たすために、等価直列抵抗(ESR)が十分に小さいものを選択します。C_{OUT}には、低ESRのタンタル・コンデンサ、低ESRのポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。1MHzの場合、出力容量の代表的な範囲は500 μ F～1000 μ Fです。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。

バイパス処理とグラウンディング

LTC7051-1では、スイッチングが高速(ナノ秒の単位)でAC電流が大量(アンペアの単位)のため、PV_{CC}およびV_{CC}の各電源に対してバイパス処理を適切に行うことが必要です。部品配置とPCBパターン配線に慎重さを欠くと、過度なリングングやアンダーシュート／オーバーシュートが生じるおそれがあります。LTC7051-1から最高の性能を引き出すためには次の手順を実行します。

- V_{CC}ピンとSGNDピンの間、および、PV_{CC}ピンとPGNDピンの間にバイパス・コンデンサをできるだけ近付けて取り付けます。パターンはできるだけ短くして、リード線のインダクタンスを低減します。
- 低インダクタンス、低インピーダンスのグラウンド・プレーンを使用して、グラウンドの電圧降下や浮遊容量を低減します。グラウンドの電圧降下があると信号の完全性が損なわれます。
- 電源／グラウンドの配線は慎重に設計します。大量の負荷スイッチング電流がどこから流れ、どこに流れていくかを把握します。入力ピンと出力パワー段のグラウンドのリターン・パスは別々にしてください。
- LTC7051-1のパッケージ裏面にある露出パッドを基板にハンダ処理してください。裏面の露出パッドと銅箔基板との間で熱的に十分な接触を確保できないと、熱抵抗ははるかに大きくなります。

アプリケーション情報

PCBレイアウト

LTC7051-1は電力密度が大きく、高速高周波数動作であるため、性能を最大限に発揮するには、PCBのレイアウトと構成が適切であることが重要です。

最低限、PCBは4層構造とし、少なくともトップ層とボトム層には2オンスの銅を使用してください。トップ層とボトム層では、 V_{IN} 領域とPGND領域ができるだけ大きな連続面である必要があります。少なくとも1つの内部層(できれば2番目の層)は、連続したPGND面である必要があります。

パッケージの露出パッド下には銅の充填ビアを使用し、トップPCB層とボトムPCB層を接続します。 $\theta_{JCbottom}$ は 1°C/W 未満です。銅充填ビア以外の場合、 θ_{JA} は大きく悪化します。

インダクタのパッドはパッケージにできるだけ近付けて配置してください。パターンはできるだけ短く幅広にします。可能ならば、SWのパターンは敏感なパターンに影響しないよう、2番目の層を共用します。

推奨PCBレイアウトを図4bに示します。

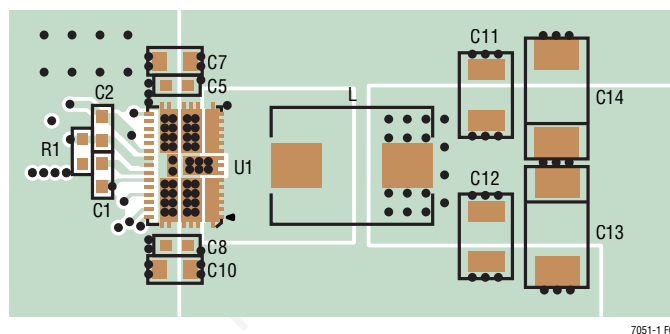
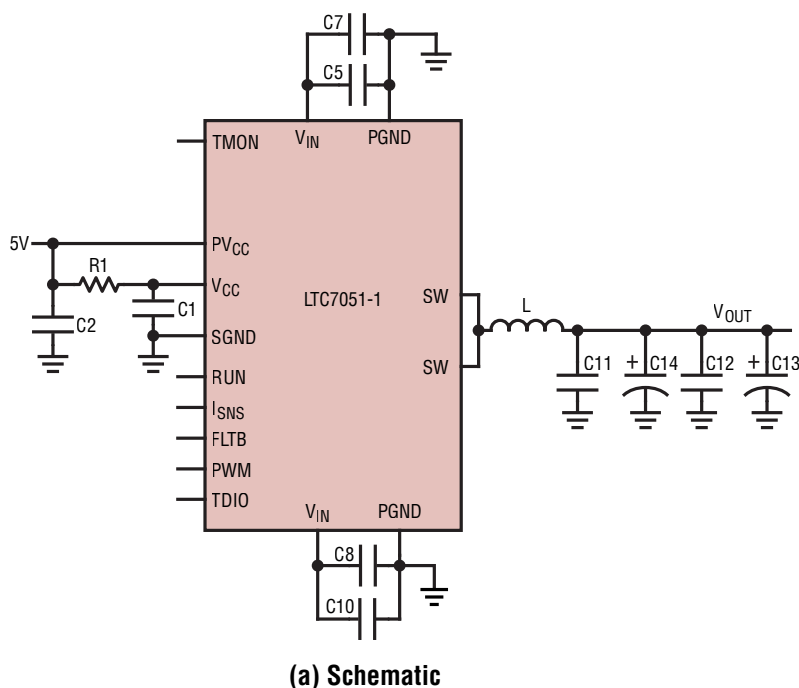


図 4.

パッケージの説明

LQFN Package
42-Lead (5mm × 8mm × 0.95mm)
(Reference LTC DWG # 05-08-1571 Rev B)

