

大電力の優先順位付け PowerPath コントローラ

特長

- 広い動作電圧範囲: 0V~36V (60Vを許容)
- 大出力電流アプリケーションで大型の外付けNチャンネルMOSFETを駆動
- 突入電流を高精度で制限
- 最も優先順位の高い有効な電源を出力負荷に接続
- チャンネルの優先順位をリアルタイムで変更
- ±2%の0V、UV入力コンパレータ
- 電流制限タイムアウトをチャンネルごとに個別に調整可能
- 調整可能な入力検証時間
- 高速切替えによりV_{OUT}の低下を最小限に抑制
- 36ピン5mm×6mm QFNおよびSSOPパッケージ

アプリケーション

- 高信頼性システム
- サーバー・ベースのバックアップ・システム
- 産業用ハンドヘルド計測器
- バッテリー・バックアップ・システム

概要

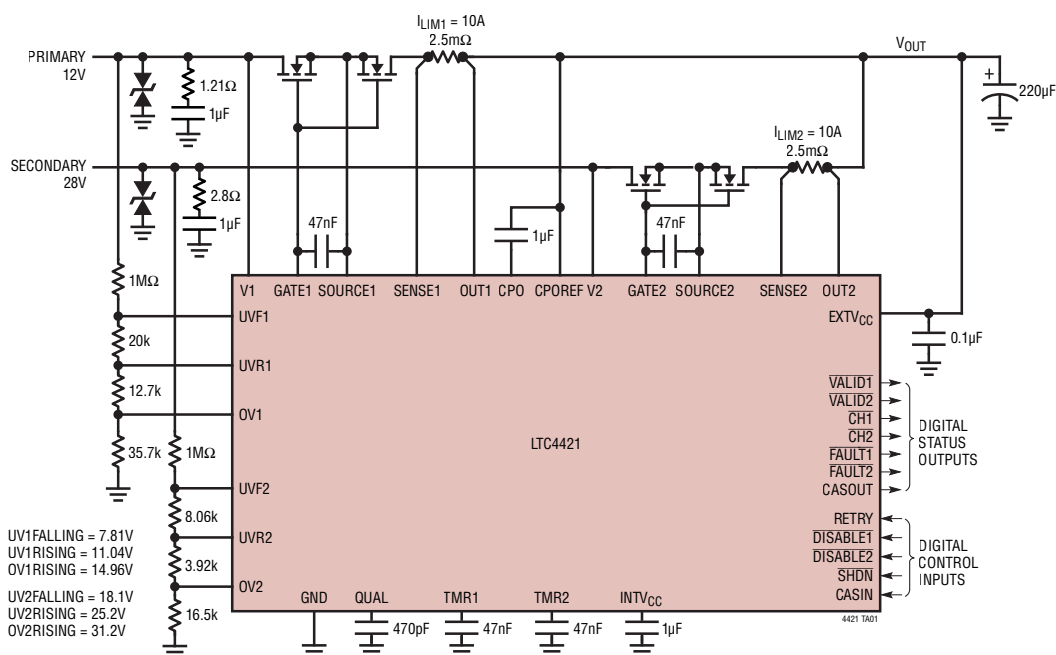
LTC[®]4421は、ユーザ定義の優先順位と有効性に基づいて、2つの入力電源のうち1つを共通の出力に接続します。定義により、V1に接続された電源の方が高い優先順位になりますが、この設定は動的に変更できます。外部抵抗分圧器により、有効な電圧範囲を制限する低電圧および過電圧閾値が設定されます。

強力なゲート・ドライバが大型の外付けNチャンネルMOSFETを素早く切り替えます。高速切替え回路により、チャンネル切替え時の出力電圧の低下を最小限に抑えつつ、逆電流と相互導通を防止します。高速コンパレータは、入力の短絡を検出すると、NチャンネルMOSFETを素早くオフにして中断を最小限に抑えます。

外部検出抵抗により、最大突入電流と電流制限電流が設定されます。電流制限時、LTC4421は、NチャンネルMOSFETのゲートを制御して検出抵抗両端の電圧を25mVに安定化します。検出抵抗の電圧がユーザ設定可能な時間の間25mVに安定化された場合、そのチャンネルは遮断され、障害がセットされます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC4421

絶対最大定格

(Notes 1, 2)

電源電圧

V1、V2、EXTV _{CC}	-10V~60V
OUT1、OUT2、CPOREF	-10V~45V

入力電圧

DISABLE1、DISABLE2、SHDN	-0.3V~60V
CASIN	-0.3V~6V
SENSE1、SENSE2、SOURCE1、SOURCE2	-10V~45V
UVF1、UVF2、UVR1、UVR2、OV1、OV2	-0.3V~60V
RETRY、TMR1、TMR2、QUAL	-0.3V~INTV _{CC} +0.3V

出力電圧

VALID1、VALID2、CH1、CH2、 FAULT1、FAULT2、CPO	-0.3V~60V
INTV _{CC}	-0.3V~6V

GATE1、GATE2 (Note 3)	-0.3V~CPO
CASOUT	-0.3V~6V

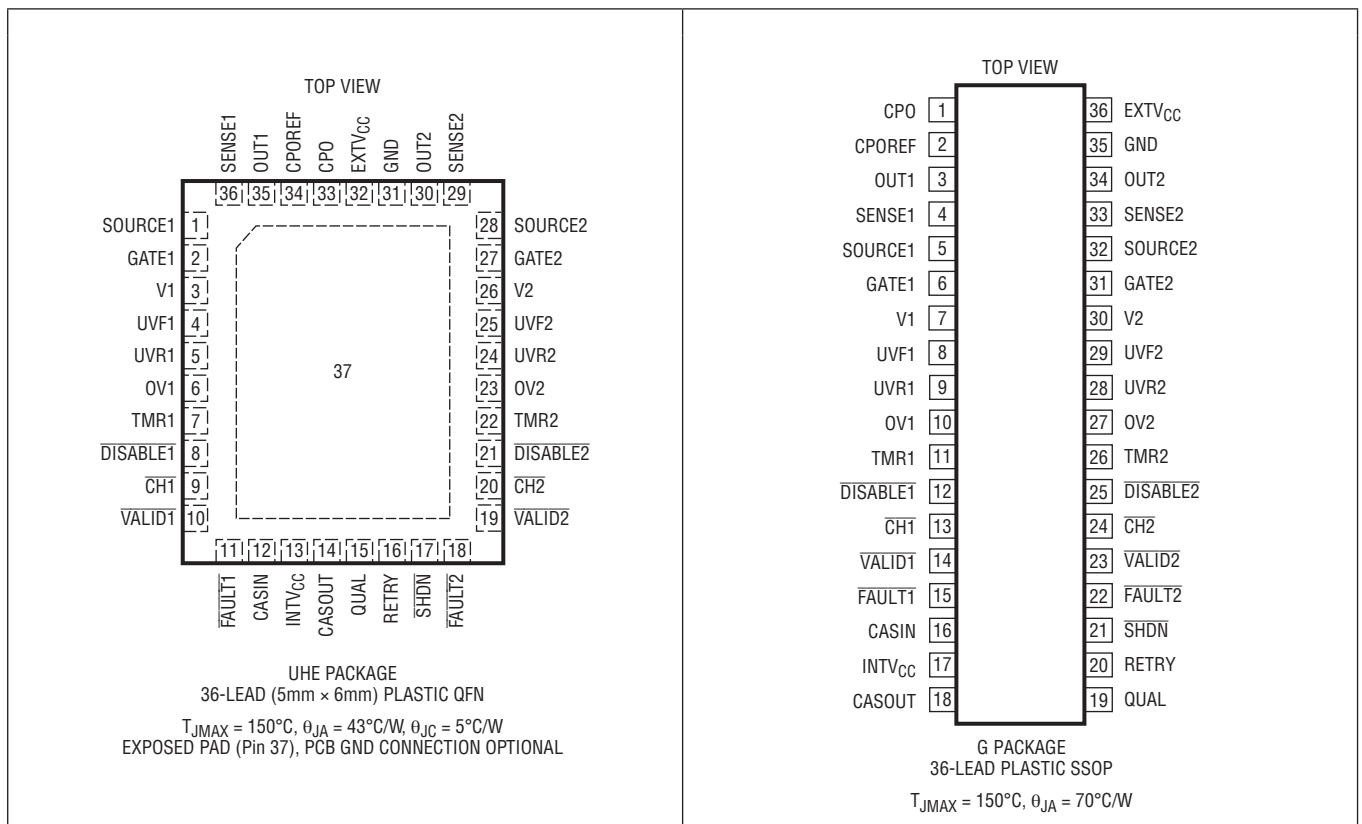
出力電流

FAULT1、FAULT2、CH1、CH2、VALID1、VALID2、 CASOUT	5mA
--	-----

動作周囲温度範囲

LTC4421C	0°C~70°C
LTC4421I	-40°C~85°C
LTC4421H	-40°C~125°C
保存温度範囲	-65°C~150°C

ピン配置



発注情報

チューブ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC4421CG#PBF	LTC4421CG#TRPBF	LTC4421G	36-Lead Plastic SSOP	0°C~70°C
LTC4421IG#PBF	LTC4421IG#TRPBF	LTC4421G	36-Lead Plastic SSOP	-40°C~85°C
LTC4421HG#PBF	LTC4421HG#TRPBF	LTC4421G	36-Lead Plastic SSOP	-40°C~125°C
LTC4421CUHE#PBF	LTC4421CUHE#TRPBF	4421	36-Lead Plastic QFN	0°C~70°C
LTC4421IUHE#PBF	LTC4421IUHE#TRPBF	4421	36-Lead Plastic QFN	-40°C~85°C
LTC4421HUHE#PBF	LTC4421HUHE#TRPBF	4421	36-Lead Plastic QFN	-40°C~125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。ピンの条件の詳細については、LTC4421 データシートの表記のセクションを参照。特に指定がない限り、 $V_1 = 12\text{V}$ 、 $V_2 = 13\text{V}$ 、 $\text{EXTV}_{\text{CC}} = \text{CPOREF} = \text{OUT1} = \text{OUT2} = \text{SENSE1} = \text{SENSE2} = 11\text{V}$ 、 $\text{OV1} = \text{OV2} = \text{TMR1} = \text{TMR2} = 0\text{V}$ 、 $\text{UVR1} = \text{UVR2} = \text{UVF1} = \text{UVF2} = \text{DISABLE1} = \text{DISABLE2} = \text{SHDN} = \text{RETRY} = \text{CASIN} = 4\text{V}$ 、 $\text{CPO} = 23.5\text{V}$ 、 $\text{QUAL} = \text{INTV}_{\text{CC}}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	V1, V2 Operating Voltage Range	(Note 4)	●	3.0	36	V	
$V_{\text{INT(UVL)}}$	INTV _{CC} Undervoltage Lockout Threshold Voltage		●	2	2.3	2.6	V
$\Delta V_{\text{INT(HYS)}}$	INTV _{CC} Undervoltage Lockout Hysteresis			70		mV	
V_{INTVCC}	INTV _{CC} Output Voltage	$I_{\text{INTVCC}} = 0\mu\text{A}$	●	3.3	3.9	4.5	V
ΔV_{INTVCC}	INTV _{CC} Voltage Change from Zero to Full Load	$I_{\text{INTVCC}} = 0$ to $-500\mu\text{A}$	●	-35	-85	-200	mV
$V_{\text{CPO(UVL)}}$	CPOGOOD Threshold Voltage	CPO-CPOREF	●	5.7	6.7	7.7	V
$V_{\text{CPO(HYS)}}$	CPOGOOD Hysteresis			1.4		V	
$I_{\text{CC(TOT)}}$	Total Input Supply Current	V1, V2, OUT1, OUT2, EXTV _{CC} , CPOREF	●	0.53	1	mA	
$I_{\text{CC(SHDN)}}$	Total Input Supply Current in Shutdown	V1, V2, EXTV _{CC}	●	5.4	12	μA	
$I_{\text{CC(PRIO)}}$	Input Supply Current of Highest Priority Valid Supply	Measure I(EXTV _{CC})	●	360	750	μA	
$I_{\text{CC(VMAX)}}$	Input Supply Current of Highest Voltage Input Supply	Measure I(V2)	●	25	50	μA	
$I_{\text{CC(CPOREF)}}$	CPOREF Charge Pump Supply Current	CPOREF = 11V	●	160	300	μA	

プライオリタイズ制御 (V1、V2、SENSE1、SENSE2、GATE1、GATE2、SOURCE1、SOURCE2、OUT1、OUT2)

$\Delta V_{\text{G(OFF)}}$	External N-Channel MOSFET Off Threshold Voltage	(GATE1 - V1), (GATE2 - V2), GATE Falling	●	0	-0.6	-1.5	V
ΔV_{REV}	Input to Output Reverse Voltage Connect Threshold	(V1 - OUT1), (V2 - OUT2), OUT1, OUT2 Falling	●	0	40	80	mV
$\Delta V_{\text{GATE(CL)}}$	External N-Channel MOSFET Gate Drive, (GATE - CPOREF)	CPOREF = 3.2V, EXTV _{CC} = 3.0V, I = 0, -1 μA CPOREF = 12V, 36V, I = 0, -1 μA	● ●	9 10	10.8 11.6	14 14	V V
$I_{\text{SOURCE, HLD}}$	SOURCE Hold Current	SOURCE = 12V, Channel Off	●	2.5	5	10	μA
$I_{\text{SOURCE, OFF}}$	SOURCE Fast Off Current	SOURCE = 12V, Channel Off	●	0.7	1.6	3.2	mA
$I_{\text{GATE(ON)}}$	GATE On Pull-Up Current	V(SENSE) - V(OUT) = 0V, GATE = 16V, OUT = 10V, V1 = V2 = 12V	●	-8	-16.5	-26	mA
$I_{\text{GATE(OFF, FWD)}}$	GATE Off Pull-Down Current, Large Forward Sense Voltage	V(SENSE) - V(OUT) = 100mV, GATE = 16V, OUT = 10V, V1 = V2 = 12V	●	30	54	124	mA

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。ピンの条件の詳細については、LTC4421 データシートの表記のセクションを参照。特に指定がない限り、 $V_1 = 12\text{V}$ 、 $V_2 = 13\text{V}$ 、 $\text{EXTV}_{\text{CC}} = \text{CPOREF} = \text{OUT1} = \text{OUT2} = \text{SENSE1} = \text{SENSE2} = 11\text{V}$ 、 $\text{OV1} = \text{OV2} = \text{TMR1} = \text{TMR2} = 0\text{V}$ 、 $\text{UVR1} = \text{UVR2} = \text{UVF1} = \text{UVF2} = \overline{\text{DISABLE1}} = \overline{\text{DISABLE2}} = \text{SHDN} = \text{RETRY} = \text{CASIN} = 4\text{V}$ 、 $\text{CPO} = 23.5\text{V}$ 、 $\text{QUAL} = \text{INTV}_{\text{CC}}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$I_{\text{GATE(OFF,REV)}}$	GATE Off Pull-Down Current, Negative Sense Voltage	$V(\text{SENSE}) - V(\text{OUT}) = -50\text{mV}$, $\text{GATE} = 16\text{V}$, $\text{OUT} = 10\text{V}$, $V_1 = V_2 = 12\text{V}$	●	30	50	92	mA
ΔV_{SNS}	Current Limit Sense Voltage, $\Delta V_{\text{SNS}} = (\text{SENSE} - \text{OUT})$	$\text{OUT} = 1\text{V}, 12\text{V}, 32\text{V}$ $\text{EXTV}_{\text{CC}} = 3.0\text{V}$, $\text{OUT} = 1\text{V}$	● ●	20 20	25 25	30 30	mV mV
$\Delta V_{\text{SNS,FLD}}$	Current Limit Sense Voltage in Foldback, $\Delta V_{\text{SNS,FLD}} = (\text{SENSE} - \text{OUT})$	$\text{OUT} = 0\text{V}$	●	7.5	12.5	17.5	mV
$V_{\text{FLD,TH}}$	Foldback Threshold Voltage	OUT1	●	380	480	580	mV
$V_{\text{FLD,HYST}}$	Foldback Hysteresis				50		mV
$V_{\text{SNSDIS,FWD}}$	Forward Overcurrent Disconnect Voltage	$\text{SENSE} - \text{OUT}$, Rising			50		mV
$V_{\text{SNSDIS,REV}}$	Reverse Current Disconnect Voltage	$\text{SENSE} - \text{OUT}$, Falling			-30		mV
I_{SNS}	SENSE Input Current	$\text{SENSE} = \text{OUT} = 12\text{V}$	●			± 1	μA
$t_{\text{G(SWITCH)}}$	Gate Break-Before-Make Time	$C_{\text{GATE}} = 47\text{nF}$	●		10.3	15	μs
$t_{\text{PG(DIS, OFF)}}$	Gate Turn-Off Delay from $\overline{\text{DISABLE}}$	Falling $\overline{\text{DISABLE}}$ to Gate $< 12\text{V}$	●		1.4	2.7	μs
$t_{\text{PG(DIS, ON)}}$	Gate Turn-On Delay from $\overline{\text{DISABLE}}$	Rising $\overline{\text{DISABLE}}$ to Gate $> 12\text{V}$	●		1.3	2.1	μs
$t_{\text{PG(CAS)}}$	CASIN to CASOUT Propagation Delay	High-to-Low			1		μs
$t_{\text{PG(DIS, CAS)}}$	$\overline{\text{DISABLE}}$ to CASOUT Propagation Delay	$\overline{\text{DISABLE}}$ High-to-Low			2.8		μs

電流制限タイマー (TMR1、TMR2)

$I_{\text{TMR(UP)}}$	TMR Pull-Up Current		●	-3	-6	-9	μA
$I_{\text{TMR(DN)}}$	TMR Pull-Down Current		●	1	2	3	μA
$t_{\text{TMR,FLT}}$	TMR Fault Time	$C_{\text{TMR}} = 10\text{nF}$	●	550	830	1250	μs
%TMR(COOL)	TMR Cool Down Ratio to Fault Time				0.1		%

OV、UV 保護回路 (OV1、OV2、UVF1、UVF2、UVR1、UVR2、QUAL)

$V_{\text{TH,OVUV}}$	OV, UV Threshold Voltage	OV Rising, UVF Falling, UVR Rising	●	490	500	510	mV
$V_{\text{HYST,OV}}$	OV Hysteresis		●	40	50	60	mV
$I_{\text{LK,OVUV}}$	UVR, UVF, OV Input Leakage Current	$V = 0.5\text{V}$	●			± 10	nA
$I_{\text{QUAL,SRC}}$	QUAL Source Current		●	-1	-2	-3	μA
$I_{\text{QUAL,SNK}}$	QUAL Sink Current		●	1	2	3	μA
t_{VALID}	OV, UV Validation Time	$\text{QUAL} = \text{INTV}_{\text{CC}}$ $C_{\text{QUAL}} = 470\text{pF}$	● ●	1.75 5	5 7.5	8 11	μs μs
t_{INVALID}	OV, UV Invalidation Filter Time	Overdrive = 50mV	●	1.75	5	8	μs

デジタル入力 ($\overline{\text{DISABLE1}}$ 、 $\overline{\text{DISABLE2}}$ 、SHDN、CASIN、RETRY)

V_{TH}	Rising Threshold Voltage		●	0.5	1.0	1.5	V
V_{HYST}	Hysteresis Voltage				150		mV
$I_{\text{LK,HV}}$	Input Leakage Current	$V = 36\text{V}$, $\overline{\text{DISABLE}}$, $\overline{\text{SHDN}}$	●		± 0.1	± 1	μA
$I_{\text{LK,LV}}$	Input Leakage Current	$V = 5.5\text{V}$, CASIN Retry = INTV_{CC}	● ●		± 0.1 ± 0.1	± 1 ± 1	μA μA
I_{CASIN}	CASIN Pull-Up Current	CASIN = 0V	●	2.5	5	10	μA

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。ピンの条件の詳細については、LTC4421 データシートの表記のセクションを参照。特に指定がない限り、 $V_1 = 12\text{V}$ 、 $V_2 = 13\text{V}$ 、 $\text{EXTV}_{\text{CC}} = \text{CPOREF} = \text{OUT1} = \text{OUT2} = \text{SENSE1} = \text{SENSE2} = 11\text{V}$ 、 $\text{OV1} = \text{OV2} = \text{TMR1} = \text{TMR2} = 0\text{V}$ 、 $\text{UVR1} = \text{UVR2} = \text{UVF1} = \text{UVF2} = \overline{\text{DISABLE1}} = \overline{\text{DISABLE2}} = \overline{\text{SHDN}} = \text{RETRY} = \text{CASIN} = 4\text{V}$ 、 $\text{CPO} = 23.5\text{V}$ 、 $\text{QUAL} = \text{INTV}_{\text{CC}}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
デジタル出力 (CH1、CH2、VALID1、VALID2、FAULT1、FAULT2、CASOUT)						
$V_{\text{OL,HV}}$	Output Voltage Low, CH, VALID, FAULT	$I = 1\text{mA}$, $V_1 = V_2 = \text{EXTV}_{\text{CC}} = 3.0\text{V}$ $I = 3\text{mA}$, $V_1 = V_2 = \text{EXTV}_{\text{CC}} = 3.0\text{V}$	●	185	450	mV
$I_{\text{OH,HV}}$	Open Drain, Output High Leakage Current	$V = 36\text{V}$, CH, VALID, FAULT	●		± 1	μA
$V_{\text{CASO,OH}}$	CASOUT Output High Voltage	$I = -1\mu\text{A}$, $\overline{\text{SHDN}} = 0\text{V}$	●	2	3.4	V
$V_{\text{CASO,OL}}$	CASOUT Output Low Voltage	$I = 1\text{mA}$	●	85	200	mV
I_{CASO}	CASOUT Pull-Up Current	CASOUT = 1V	●	-11	-22	μA
$I_{\text{LK,CASO}}$	CASOUT Leakage Current	CASOUT = 5.5V	●		± 1	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に影響を与える恐れがある。

Note 2: 注記がない限り、ピンに流れ込む電流は全て正であり、全ての電圧はGNDを基準にしている。

Note 3: GATE1とGATE2をCPOより高い電圧に駆動しないこと。CPOより高い電圧に駆動すると、CPOに過剰な電圧がかかることがある。

Note 4: $V_2 \geq 3.0\text{V}$ または $\text{EXTV}_{\text{CC}} \geq 3.0\text{V}$ の場合、 V_1 は0Vまで動作できる。同様に、 $V_1 \geq 3.0\text{V}$ または $\text{EXTV}_{\text{CC}} \geq 3.0\text{V}$ の場合、 V_2 は0Vまで動作できる。

LTC4421 データシートの表記

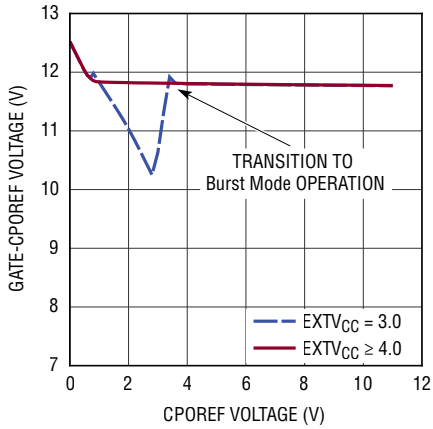
LTC4421は、各入力電源の監視と出力への接続の制御専用に1チャンネルあたり13本のピンを使用します。名前の末尾が「1」のピンはチャンネル1のピンで、末尾が「2」のピンはチャンネル2のピンです。これらのピンのうち1つを指すピン名の末尾に数字がない場合、説明は両方のチャンネルのピンに適用されます。例えば、「TMRとグラウンドの間にコンデンサ C_{TMR} を接続する」とは、「TMR1ピンとグラウンドの間にコンデンサ C_{TMR1} を接続する」および「TMR2ピンとグラウンドの間にコンデンサ C_{TMR2} を接続する」という意味です。

末尾に数字のない複数のピン名に言及している場合、1つのチャンネルの機能の説明が両方のチャンネルに適用されます。これには以下の場合があります。

- 2本のピンの相互接続: 「 $\overline{\text{FAULT}}$ を $\overline{\text{DISABLE}}$ に接続する」とは、「 $\overline{\text{FAULT1}}$ を $\overline{\text{DISABLE1}}$ に接続する」および「 $\overline{\text{FAULT2}}$ を $\overline{\text{DISABLE2}}$ に接続する」という意味です。
- 差動電圧への言及: 「SENSEからOUTへ」とは、「SENSE1からOUT1へ」および「SENSE2からOUT2へ」という意味です。
- 因果関係: 「 $V_1 \sim V_2$ 電源が検証されると、 $\overline{\text{VALID}}$ ピンはローになる」とは、「 V_1 電源が検証されると、 $\overline{\text{VALID1}}$ ピンはローになる」および「 V_2 電源が検証されると、 $\overline{\text{VALID2}}$ ピンはローになる」という意味です。

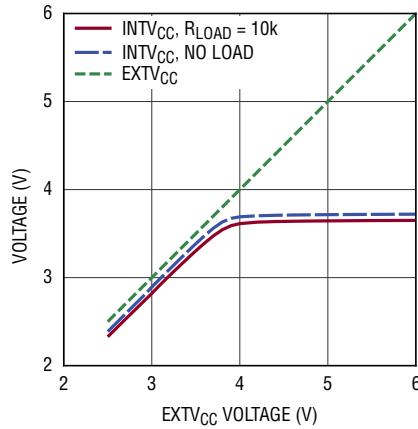
代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{EXTV}_{\text{CC}} = 11\text{V}$ 。

GATE 駆動電圧と CPOREF の電圧



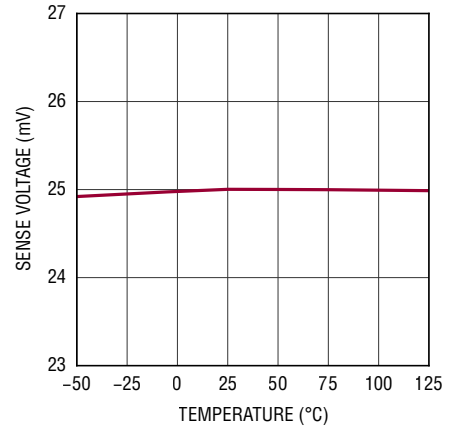
4421 G01

INTV_{CC} の電圧と EXTV_{CC} の電圧



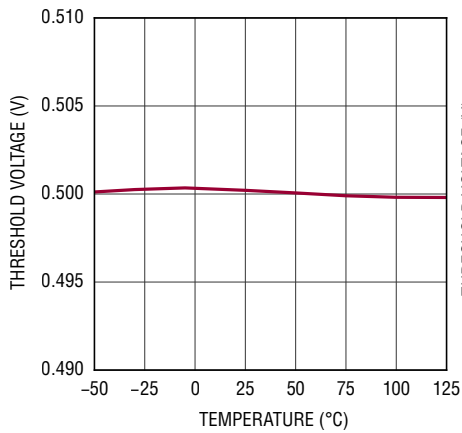
4421 G02

SENSE の電圧と温度



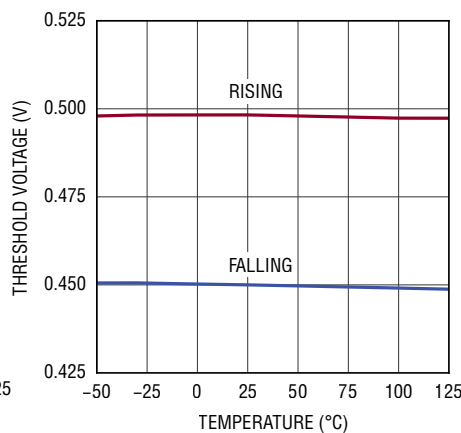
4421 G03

低電圧閾値と温度



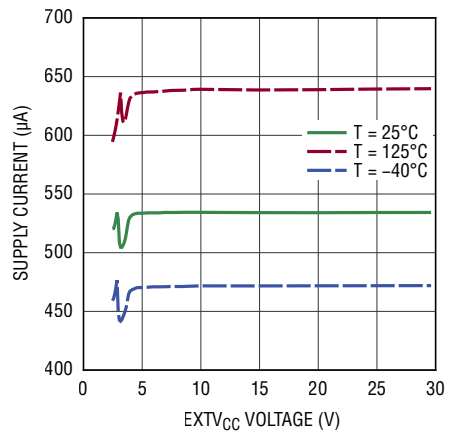
4421 G04

過電圧閾値と温度



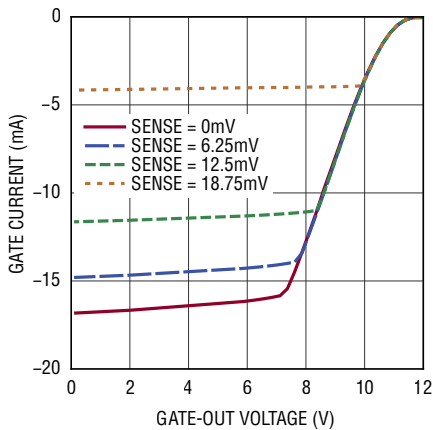
4421 G05

全電源電流と EXTV_{CC} の電圧



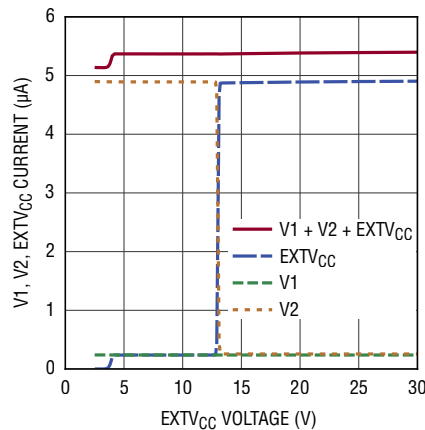
4421 G06

GATE オン・プルアップ電流と GATE 電圧



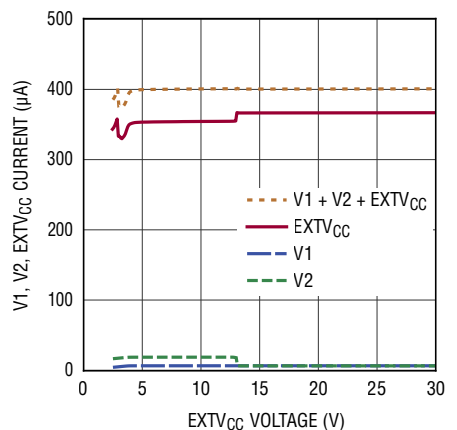
4421 G07

シャットダウン電流と EXTV_{CC} の電圧 (V1 = 12V, V2 = 13V)



4421 G08

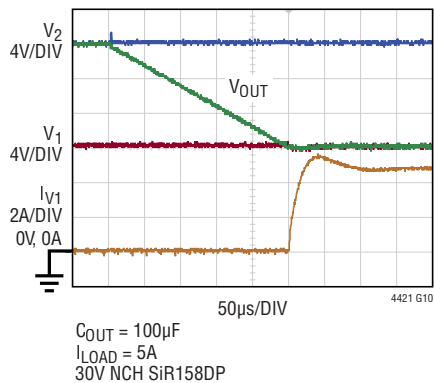
電源電流と EXTV_{CC} の電圧 (V1 = 12V, V2 = 13V)



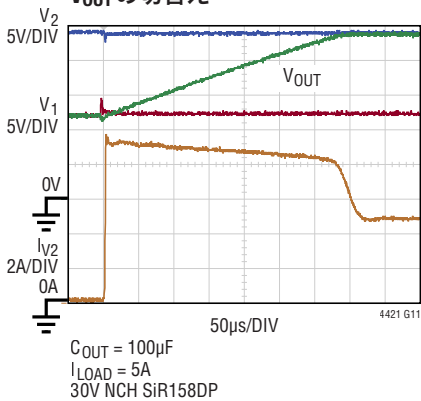
4421 G09

代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{EXTV}_{\text{CC}} = 11\text{V}$ 。

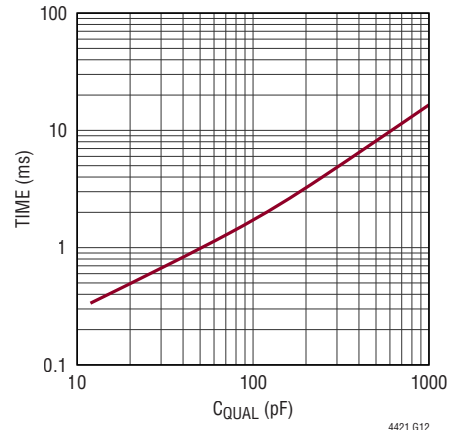
高電圧から低電圧への
 V_{OUT} の切替え



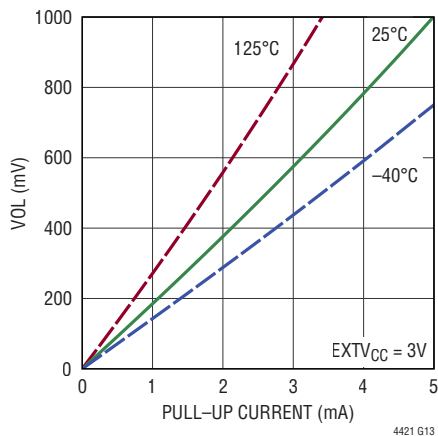
低電圧から高電圧への
 V_{OUT} の切替え



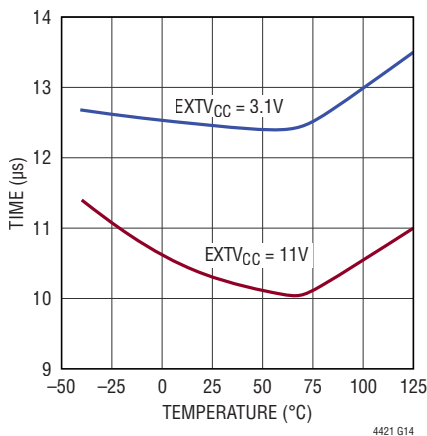
OV、UV 検証時間と QUAL の容量



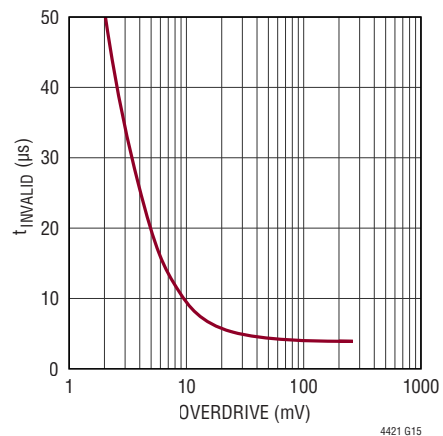
VALID、CH、FAULT の
出力ロー電圧とプルアップ電流



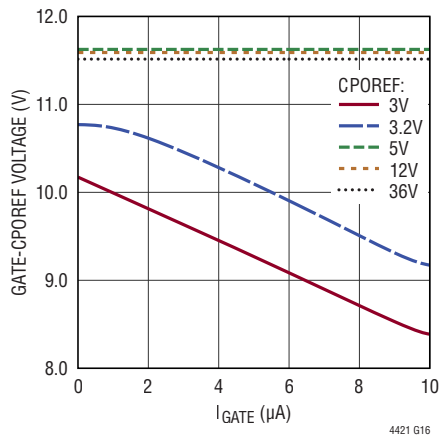
GATE のブレーク・ビフォア・
メーク時間と温度



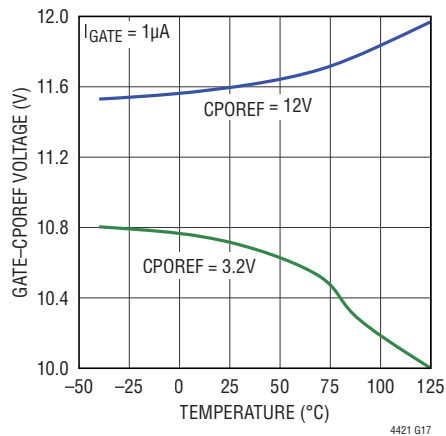
OV、UV 伝搬遅延と
オーバードライブ



GATE 駆動電圧と GATE 電流



GATE 駆動電圧と温度



ピン機能

CASIN : カスケード接続用のデジタル入力。カスケード接続する場合、より優先順位の高いLTC4421のCASOUTに接続します。使用しない場合は、INTV_{CC}に接続するか、1Vより高い電源電圧に駆動します。

CASOUT : カスケード接続用のデジタル出力。カスケード接続する場合、より優先順位の低いLTC4421のCASINに接続します。使用しない場合は、開放のままにしておいてください。

CH1 : 電圧電源インジケータ出力。このオープンドレイン出力は、V1が出力電圧を供給しているときはローになり、V1が出力電圧を供給していないときはハイになります。36V以下の電源には、プルアップ抵抗を接続してプルアップを提供します。使用しない場合はグラウンドに接続するか、開放のままにしておいてください。

CH2 : 電圧電源インジケータ出力。このオープンドレイン出力は、V2が出力電圧を供給しているときはローになり、V2が出力電圧を供給していないときはハイになります。36V以下の電源には、プルアップ抵抗を接続してプルアップを提供します。使用しない場合はグラウンドに接続するか、開放のままにしておいてください。

CPO : チャージ・ポンプ出力。これはGATEピンにオーバードライブを供給するチャージ・ポンプの出力です。CPOとCPOREFの間にはセラミック・コンデンサを接続します。このコンデンサの値は、GATE補償コンデンサの容量に1つのチャンネルのバックtoバック外部NチャンネルMOSFETのゲート容量を加えた値の10倍以上にする必要があります。(CPO-CPOREF)の電圧がCPOGOODのスレッシュホールド電圧V_{CPO(UVL)}より低い場合、入力電源は出力に電力を供給できません。CPOコンデンサの充電に必要な時間に起因する起動時の遅延の詳細については、動作のセクションを参照してください。

CPOREF : チャージ・ポンプのリファレンス出力。これはGATEピンにオーバードライブを供給するチャージ・ポンプのリファレンス・ポイントです。短いPCBパターンを使用して、システムの出力電圧に接続します。OUT1またはOUT2検出抵抗のケルビン接続には接続しないでください。

DISABLE1、DISABLE2 : 入力遮断および電流制限障害リセット用のデジタル入力。V1、V2入力電源は、電圧が1Vより低い場合は出力電圧に電力を供給できません。電流制限障害の後にDISABLEをローに駆動してからハイに駆動すると、電流制限タイマー回路がリセットされ、対応するFAULTピンがハイになります。DISABLEピンを対応するFAULTピンに接続すると、デバイスは自動再試行モードに設定されま

す。それぞれの再試行の間には、電流制限障害時間の1024倍の長さのクールダウン時間があります。詳細については、アプリケーション情報を参照してください。使用しない場合は、INTV_{CC}に接続するか、1Vより高い電源電圧に駆動します。

EXTV_{CC} : 優先順位の高い外部電源入力。EXTV_{CC}が2.45Vを超えると、内部LDOはEXTV_{CC}から低電圧電源レールを生成し、低電圧の内部回路に電力を供給します。LTC4421のI_{CC}の大部分はEXTV_{CC}から流れます。EXTV_{CC}は3.0V~36Vの範囲の電源電圧に接続します。EXTV_{CC}を出力電圧(OUT1またはOUT2)に接続すると、この出力電圧がLTC4421に内部バイアス電流を供給します。使用しない場合はグラウンドに接続します。この場合、LDOは他の電源から電力供給されます。

FAULT1、FAULT2 : 電流制限障害インジケータ対応する入力に過電流障害が発生すると、これらのオープンドレイン出力はローになり、クールダウン・サイクルの間ローのままになります。36V以下の電源には、プルアップ抵抗を接続してプルアップを提供します。使用しない場合はグラウンドに接続するか、開放のままにしておいてください。

GATE1、GATE2 : 外付けNチャンネルMOSFETのゲート駆動ピン。これらのピンは、外付けバックtoバックNチャンネルMOSFETのゲートに接続します。チャージ・ポンプは、最大12V高くした電圧でこれらのピンを駆動します。各GATEピンと対応するMOSFETのソースの間にコンデンサを接続して、電流制限レギュレーション・ループを補償します。

GND : デバイスのグラウンド。

INTV_{CC} : 内部低電圧電源のデカップリング出力。内部LDOは、低電圧レールを生成して低電圧の内部回路に電力を供給します。最大500μAの外部電流を供給できます。このピンとグラウンドの間に1μF以上のコンデンサを接続し、バイパスを提供します。このピンには、2.3Vの低電圧ロックアウト・スレッシュホールド電圧があります。

OUT1、OUT2 : 出力電圧検出。LTC4421は、接続している電源よりもOUTが少なくとも35mV低くなるまで、入力電源が対応するOUTに接続できないようにします。これらのピンとSENSEピンを組み合わせて使用し、入力電源の電流制限値を設定することもできます。OUTは、検出抵抗の出力側にケルビン接続で直接接続します。

OV1、OV2 : 過電圧コンパレータの入力。0.5Vを超える立上がり電圧が入力されると、過電圧事象が発生します。OV1およ

ピン機能

びOV2をそれぞれV1およびV2とグラウンドの間の抵抗分圧器に接続して、過電圧閾値を設定します。使用しないOV1およびOV2ピンの接続については、アプリケーション情報のセクションを参照してください。

QUAL: OV、UV 評価タイマー。このピンとグラウンドの間にコンデンサC_{QUAL}を接続すると、OV、UV 評価時間を16ms/nFに設定します。あるいは、このピンをINTV_{CC}に接続すると、3.5μsのデフォルト時間に設定されます。このピンは開放のままにしないでください。

RETRY: 電流制限障害後の再試行用のデジタル入力。電流制限障害によって入力が遮断された後、このピンの電圧が1Vより高くなると、LTC4421は入力を出力に最大6回再接続します。それぞれの再接続の間にはクールダウン期間があります。6回の再接続のそれぞれで電流制限障害が発生した場合、入力のDISABLEピンがトグルされるまで、LTC4421は入力を遮断されたままにします。詳細については、アプリケーションのセクションを参照してください。使用しない場合はグラウンドに接続します。このピンは開放のままにしないでください。

SENSE1、SENSE2: 電流検出非反転入力。電流制限レギュレーション回路は、GATEピンを制御して、SENSEとOUTの間の検出電圧を25mVまでに制限します。OUT1の電圧が0.45Vより低くなった場合、レギュレーション電圧は25mVから12.5mVに下げられます。SENSE1、SENSE2は、検出抵抗の入力側にケルビン接続で直接接続します。

SHDN: 出力を遮断して低電流モードに設定するためのデジタル入力シャットダウン。このピンの電圧が1Vより低くなると、すべての外付けMOSFETはオフになり、両方のチャンネルが無効化され、LTC4421は低電流モードに移行します。CASOUTはハイになり、カスケード接続されたシステム内の優先順位の低いLTC4418が出力に電力を供給できるようになります。シャットダウン・コンパレータと低電圧レール・ジェネレータを除くすべての回路はデバイアスされ、総デバイス電流は6μAまで低減されます。SHDNが1Vより高い電圧に戻っても、OVおよびUVコンパレータが再認証されるまで、外付けMOSFETはオフのままになります。使用しない場合、INTV_{CC}に接続します。

SOURCE1、SOURCE2: 外付けバックtoバックNチャンネルMOSFETの共通ソースへの接続。開放のままにするか、外付けMOSFETのソースに接続します。入力電源が出力に接続されていない時に、チャンネル切替え時間を最小限に抑えるため、5μAのプルダウン電流により、MOSFETをコンダクション領域の境界にバイアスします。MOSFETのソースとグラウンドの間に抵抗を追加すると、MOSFETのV_{GS}バイアス電圧が高くなり、切替え時間が短縮されます。

TMR1、TMR2: 電流制限障害タイマー。各TMRピンとグラウンドの間にコンデンサを接続して、過電流障害が発生するまでの電流制限の持続時間を83ms/μFに設定します。障害が発生すると、外付けNチャンネルMOSFETはオフになり、対応するFAULTピンがローになります。LTC4421は、過電流障害の発生後にラッチオフして無制限に自動再試行するように設定することも、自動的に6回再試行するように設定することもできます。詳細については、アプリケーション情報を参照してください。

UVR1、UVR2: 立上がり電圧の低電圧コンパレータ入力。OVピンの電圧が0.5Vより低い場合、0.5Vより高い立上がり入力電圧は有効と見なされます。UVR1およびUVR2をそれぞれV1およびV2とグラウンドの間の抵抗分圧器に接続して、立上がり低電圧閾値を設定します。デバイスが正しく動作するように、UVRスレッシュホールド電圧は、対応するUVFスレッシュホールド電圧より高い値に設定してください。使用しないUVR1およびUVR2ピンの接続については、アプリケーション情報のセクションを参照してください。

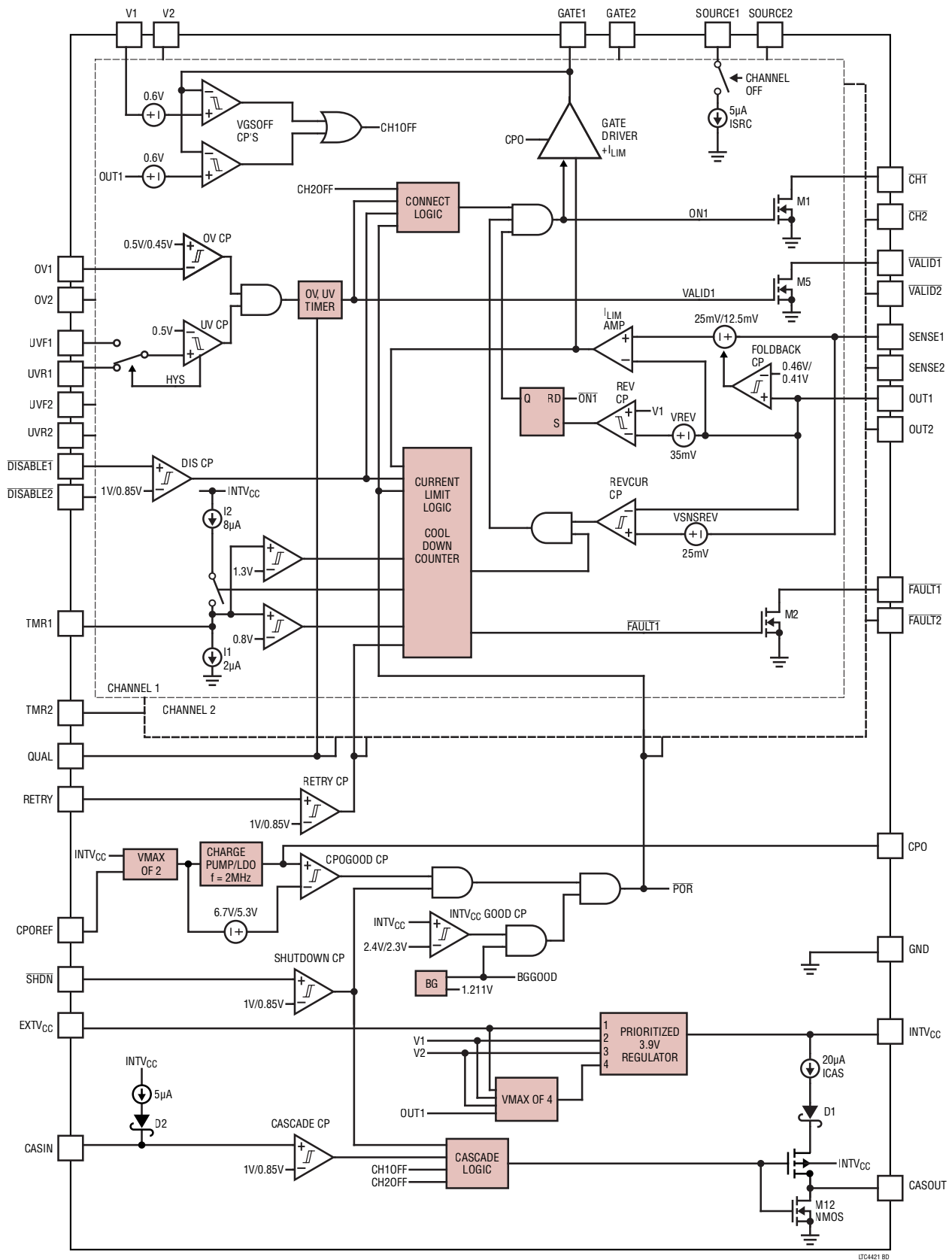
UVF1、UVF2: 立下がり電圧の低電圧コンパレータ入力。0.5Vより低い立下がり電圧が入力されると、低電圧事象が発生します。UVF1およびUVF2をそれぞれV1およびV2とグラウンドの間の抵抗分圧器に接続して、立下がり低電圧閾値を設定します。デバイスが正しく動作するように、UVRスレッシュホールド電圧は、対応するUVFスレッシュホールド電圧より高い値に設定してください。使用しないUVF1およびUVF2ピンの接続については、アプリケーション情報のセクションを参照してください。

V1、V2: 入力電源電圧。通常、V1とV2は3.0V~36Vの範囲の入力電源電圧に接続されますが、他の3.0V以上の電源電圧がLTC4421に電力を供給している場合、それぞれの電源は0Vまで動作可能です。通常動作では、V1が優先順位の高い方の電源で、V2が優先順位の低い方の電源です。

VALID1、VALID2: 電圧有効インジケータ出力。対応するV1、V2入力が、必要とされる評価時間の間OV、UV範囲内にあった場合、これらのオープンドレイン出力はローになります。36V以下の電源には、プルアップ抵抗を接続してプルアップを提供します。使用しない場合はグラウンドに接続するか、開放のままにしておいてください。

露出パッド(37番ピン、UHEパッケージのみ): 露出パッドは開放のままでも、デバイスのグラウンドに接続してもかまいません。

ブロック図



LTC4421 BD

動作

LTC4421は、ユーザ定義の優先順位と有効性に基づいて、外付けNチャンネルMOSFETを駆動して2つの入力電源のうち1つを共通の出力に接続する優先順位付けPowerPath™コントローラです。定義により、V1に接続された電源が高い優先順位、V2に接続された電源が低い優先順位になりますが、この設定は動的に変更できます。V1の電圧は、V2の電圧より低くても、同じでも、高くてもかまいません。

電源投入時に、LTC4421が正しく機能するのに必要なバイアス電圧が得られるまで、入力電源の検証と出力への接続ができないようにします。ブロック図によると、LTC4421は、INTV_{CC}の電圧が2.3V (V_{INT(UVL)})を超え(これはコンパレータINTV_{CC} GOOD CPによって検出される)、バンドギャップ・リファレンス電圧が最終的なレギュレーション値に達し(これはBGGOOD信号によって示される)、CPOの電圧がCPOREFの電圧とINTV_{CC}の電圧のうち高い方より6.7V (V_{CPO(UVL)})高くなるまで(これはコンパレータCPOGOOD CPによって検出される)、OV、UV検証と出力への接続ができないようにします。CPOとCPOREFの間に1μFのコンデンサを接続した場合、チャージ・ポンプ/LDO回路が6.7Vに充電されるまでに数百ミリ秒かかることがあります。充電時間を短縮する方法については、アプリケーション情報を参照してください。

電源投入の完了後、LTC4421は、高精度の過電圧(OV CP)および低電圧(UV CP)コンパレータに接続された抵抗分圧器によってV1とV2の電圧をモニタします。UVRピンとUVFピンは、それぞれUVコンパレータの立上がりおよび立下がり低電圧閾値を設定します。入力電圧がQUALピンによって設定された時間(t_{VALID})の間OV、UVの電圧範囲内にあった場合、入力電圧は有効と見なされ、出力に電力を供給できるようになります。入力電源電圧がOV/UVの範囲外になり、3.5μs (t_{INVALID})以上にわたって範囲外に留まった場合、その電源は出力から遮断されます。オープンドレインの出力ステータス・ピンは、チャンネルの有効性および出力への接続ステータスに関する情報を提供します。VALID₁とVALID₂は、それぞれV1とV2が有効になったときにローになります。CH₁とCH₂は、それぞれV1とV2がV_{OUT}に電力を供給しているときにローになります。

GATE DRIVER回路は、外付けNチャンネルMOSFETに強力なソース電流とシンク電流を供給し、出力に対して入力電源を接続および遮断します。MOSFETをオンにするとき、GATE DRIVERはCPOピンから電流をソースし、GATEの電圧をCPOの電圧まで引き上げます。チャージ・ポンプは、CPOの電圧をCPOREFの電圧より12V (V_{GATE(CL)})高い値に安定化し、V_{GS}の電圧を12V高くしてMOSFETに供給します。チャンネルが有効でなくなったとき、優先順位の高い方のチャンネルが優先される時、またはコンパレータREVCUR CPが外付け検出抵抗の両端に-25mV (V_{SNSDIS,REV})の逆電圧を検出したときは、強力なシンク電流によって外付けMOSFETを素早くオフにします。このような逆電圧は、出力に電力を供給している入力電源が短絡した場合に発生します。外付けNMOSのゲートは高速で充電および放電されるため、電源を高速で切り替えることができ、出力側の電圧低下は最小限に抑えられます。

チャンネルの遷移時に、モニタ回路はブレーク・ビフォア・メイク・アーキテクチャを使用して、2つの入力電源間の相互導通と出力からの逆電流を防止します。2つのV_{GS}コンパレータ(VGSOFF CP)は、遮断するチャンネルのゲート・ピン電圧(GATE1またはGATE2)をモニタします。GATEの電圧が、オフになるチャンネルの入力電圧または出力電圧より600mV (V_{GS(OFF)})低くなると、V_{GS}コンパレータは外付けNチャンネルMOSFETがオフになったと判断して、他のチャンネルが出力に接続できるようにします。V_{GS}コンパレータの出力はオフ状態にラッチされます。チャンネルがオンに戻るように命令されると、ラッチはリセットされます。

チャンネル切替え時に出力から入力への逆導通を防止するために、リバース・コンパレータ(REV CP)は、接続するV1、V2電源とそれに対応するOUT1、OUT2出力をモニタします。REVコンパレータは、接続する電源より出力が35mV (V_{REV})低くなるまで、出力に接続できないようにします。接続はラッチされ、チャンネルを遮断するように命令されるとリセットされます。

動作

電流制限アンプ ($I_{LIM AMP}$) は、SENSEピンとOUTピンの間の電圧差を利用して負荷電流をモニタします。アンプとゲート・ドライバは連携して動作し、アクティブな制御ループ内でGATE-SOURCE間の電圧を下げることで、負荷に流れる電流を制限します。SENSE-OUT間の差動電圧は、25mV (ΔV_{SNS}) に安定化されます。SENSEとOUTの間に配置される外付け検出抵抗により、各チャンネルの電流制限値を設定します。フォールドバック・コンパレータ (FOLDBACK CP) は、OUT1の電圧が低いときにSENSE-OUT間の差動電圧を25mV (ΔV_{SNS}) から12.5mV ($\Delta V_{SNS,FLD}$) に下げて消費電力を低減します。フォールドバック・コンパレータの立上がりおよび立下がりスレッショールド電圧は、それぞれ460mVと410mVです。チャンネル上のSENSE-OUT間の電圧が、TMRピンによって設定された時間、電流制限を超えた場合、LTC4421は電流制限障害を生成します。更に、電流制限を超えるパルス出力負荷電流がデューティ・サイクル25%以上で発生する場合、その電流は時間の経過と共に集積され、電流制限障害を発生させます。

電流制限障害が発生すると、LTC4421はチャンネルを遮断してFAULTピンをローに駆動し、電流制限障害が発生したことを示します。電流障害の発生後、DISABLEがローに駆動されると、タイムアウト時間の1024倍の長さのクールダウン期間が開始されます。DISABLEが再びハイに駆動されるとクールダウン期間が終了し、FAULTがハイにリセットされ、出力に再接続できるようになります。あるいは、電流制限障害の発生時にRETRYとDISABLEがいずれもハイになっていた場合、LTC4421は1回目の障害の発生後に最大6回再接続を試みます。それぞれの試行の間に、電流制限障害時間の1024倍の長さのクールダウン期間があります。

DISABLE1とDISABLE2がローに駆動されると、それぞれV1とV2が出力への電力供給から遮断されます。複数のLTC4421のCASINピンとCASOUTピンで、多数の入力電源に優先順位を付けることができます。DISABLE1、

DISABLE2およびCASIN入力は、1V (V_{TH}) の閾値と150mV ($V_{TH,HYST}$) のヒステリシスを持つコンパレータに接続されます。DISABLE、FAULT2およびVALID2ピンを使用してリアルタイムで入力電源の優先順位を再定義し、有効なバックアップ電源が利用可能になるまで1次電源入力が出力に電力を供給できないようにする回路については、アプリケーション情報のセクションを参照してください。

SHDNをローに駆動すると、デバイスは外付けNチャンネルMOSFETをオフにして低電流状態に移行し、V1とV2を無効化します。INTV_{CC}レール・ジェネレータとシャットダウン・コンパレータ以外のすべての回路はデバイアスされます。全内部バイアス電流は6 μ Aまで劇的に削減され、消費電力を低減します。INTV_{CC}の電圧は3Vに低下し、V1、V2、EXTV_{CC}およびOUT1のうち最も高い電圧から電力供給されます。CASOUTピンはハイに駆動され、カスケード接続アプリケーション内にある優先順位の低いLTC4421がV_{OUT}に電力を供給できるようになります。

SHDNがハイに駆動されると、LTC4421はすべての回路を再び動作させます。有効な入力が出力に接続するまでに数百ミリ秒かかることがあります。これは、外部チャージ・ポンプ・コンデンサC_{CP0}が6.7Vに充電されるまで接続が許可されないためです。

LTC4421には、デバイスの低電圧部に電力を供給する、内部で生成される低電圧レール (INTV_{CC}) があります。デバイスの静止電流の大半はINTV_{CC}によって供給されるため、INTV_{CC}電源が優先され、優先順位の低い電源から流れる電流は最小限に抑えられます。INTV_{CC}レールは、4つの優先順位付き電源のうち1つから電力供給されます。これらの電源は、優先度の順番に、EXTV_{CC}、V1、およびV2です。これら3つの入力がいずれも有効でない場合、INTV_{CC}は、V1、V2、EXTV_{CC}およびOUT1のうち最も高い電圧によって電力供給されます。

アプリケーション情報

はじめに

高可用性システムは、複数の入力電源を使用して単一の共通出力に電力を供給します。ACアダプタやバッテリーなどの個々の電源の接続がどこかの時点で遮断されると、出力電力の制御が他の電源に移されるため、そのときに出力電力が途絶えないようにする必要があります。これらのシステムは一般にOR接続パワー・ダイオードを使用しており、最も高い入力電源電圧が常に出力に電力を供給します。LTC4421は、利用可能な電源のうち最も優先順位の高いものから（優先順位の低い電源より低電圧であっても）出力に電力を供給します。電源の切替え時に出力電圧の低下を最小限に抑え、逆電流が流れるのを防止します。図1に示す

LTC4421の標準的なアプリケーション回路では、1次入力電源は12Vで、2次入力電源は28Vです。外付け部品の選択については、以下のセクションで詳しく説明します。

有効な動作電源範囲の設定

LTC4421の入力電源が有効と見なされるには、ユーザ定義の時間の間、ユーザ定義の電圧範囲内にとどまる必要があります。有効な電圧範囲は、入力電源とグラウンドの間に接続される抵抗分圧器によって設定されます。UV立上がり閾値(V_{UVRISE})、UV立下がり閾値(V_{UVFALL})、およびOV立上がり閾値(V_{OVRISE})の3種類のスレッシュホールド電圧を設定できます。OV立下がり閾値は、内部ヒステリシスに

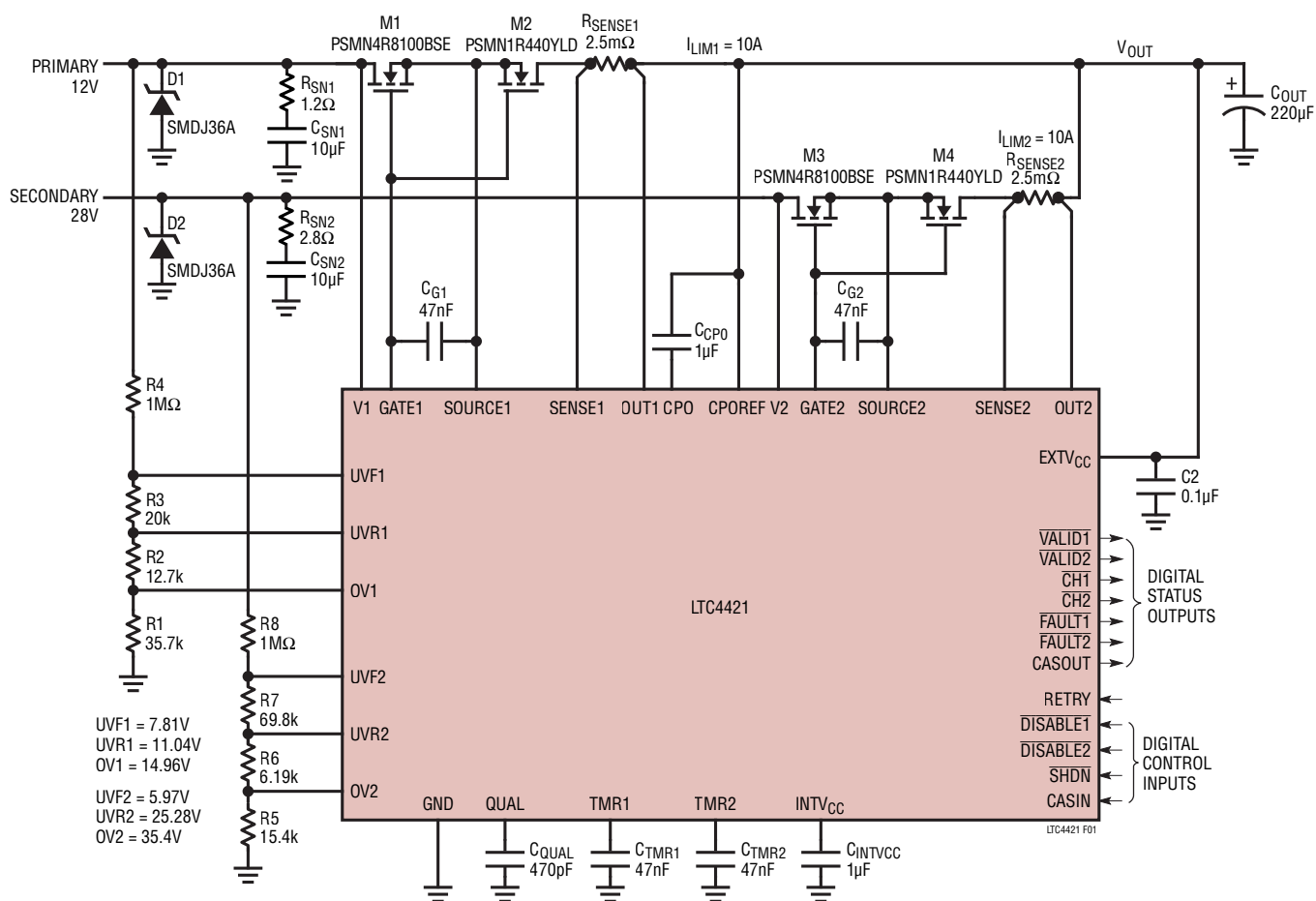


図1. LTC4421の代表的なアプリケーション回路

アプリケーション情報

よってOV 立上がり閾値より10% 低くなるように設定されます。500mVのコンパレータ閾値を使用する場合、抵抗値は式1～式5に示すように計算できます。

$$R_{TOTAL} = R1 + R2 + R3 + R4 \tag{1}$$

$$R1 = \frac{(0.5 \cdot R_{TOTAL})}{V_{OVR1SE}} \tag{2}$$

$$R2 = \left(\frac{V_{OVR1SE}}{V_{OVR1FALL}} - 1 \right) \cdot R1 \tag{3}$$

$$R3 = \left(\frac{V_{OVR1SE}}{V_{OVR1FALL}} - 1 \right) \cdot \left(\frac{V_{OVR1SE}}{V_{OVR1SE}} \right) \cdot R1 \tag{4}$$

$$R4 = R1 \cdot \left(\frac{V_{OVR1SE}}{0.5} - 1 \right) - R3 - R2 \tag{5}$$

抵抗値を設定する際は、入力電源電圧の許容誤差、抵抗の許容誤差、500mVリファレンスの±2%の誤差、UVR、UVFおよびOVピンの最大±10nAのもれ電流を考慮に入れます。チャンネルを永続的に無効化するには、OV、UVRおよびUVFをグラウンドに接続します。

チャンネルがオンになるときは、比較的大きな突入電流によって、入力電源の抵抗とPCBパターンおよびケーブルの寄生抵抗に電圧降下が発生します。この電圧降下によってUV障害が発生し、UVモーターボートティングと呼ばれる現象を引き起こす可能性があります。この現象は、入力電源と出力の接続と遮断が繰り返されるものです。UVモーターボートティングが発生すると、部品の損傷、望ましくない動作や不規則な動作につながる恐れがあります。UVモーターボートティングを防ぐには、 V_{OVR1SE} と $V_{OVR1FALL}$ をできるだけ大きく離れた場所に設定することでヒステリシスを最大化し、突入電流発生時のチャンネルの遮断を防止します。理想的には、最も厳しい入力抵抗 $R_{SRC,MAX}$ を定量化し、 $(V_{OVR1SE} - V_{OVR1FALL})$ が $(I_{LIM} \cdot R_{SRC,MAX})$ より大きくなるように設定します。ここで、 I_{LIM} は電流制限です。OVヒステリシスは、OVスレッシュホールド電圧より10%高い値に固定されています。

精度を向上させるには、チャンネルごとに1個の抵抗分圧器を使用してUVFおよびUVR閾値を設定し、2個目の抵抗分圧器を使用してOV閾値を設定します。計算を容易にするには、1チャンネルあたり3つの抵抗分圧器ストリングを(1つはOV、1つはUVF、1つはUVR用として)使用します。ただし、チャンネル上でUVR閾値が常にUVF閾値より高くなるように、UVRとUVFの電圧閾値を近い値に設定する場合は、UVRとUVFを別々のストリングに分けずに同じストリングを使用してください。チャンネル1を例にして、図2に抵抗分圧器のさまざまな使い方を示します。

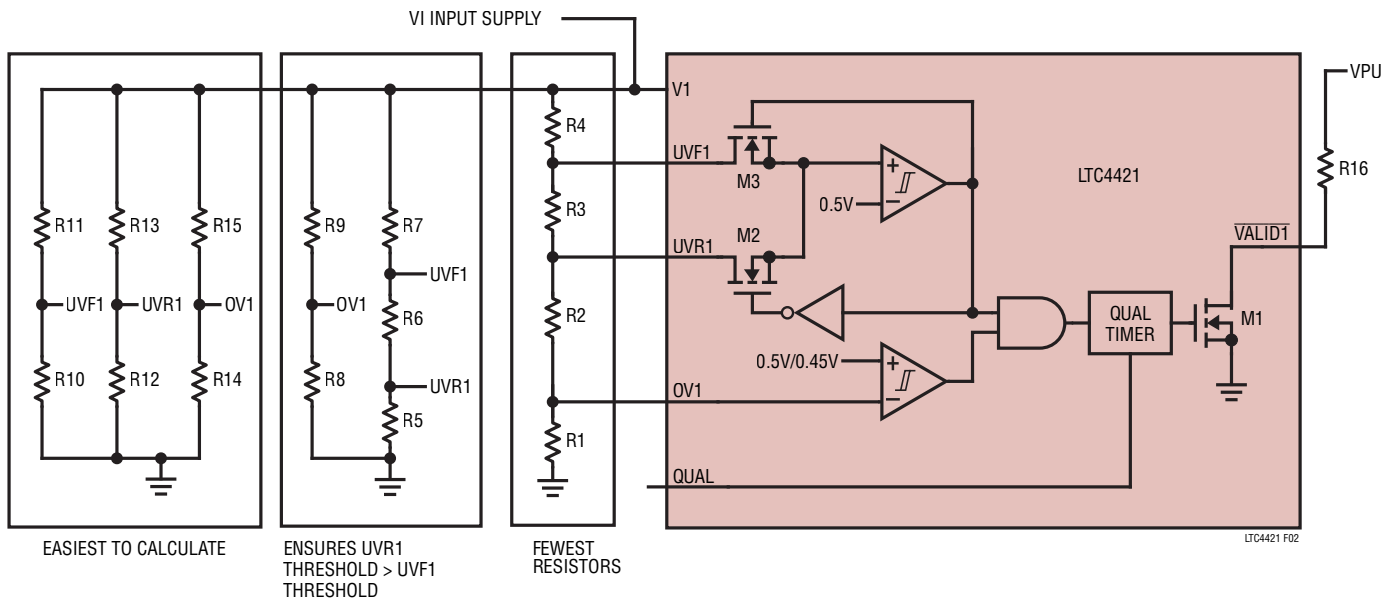


図2. OV、UVRおよびUVFスレッシュホールド電圧の設定に使用する抵抗分圧器の3つのオプション

アプリケーション情報

電流制限のレギュレーションと電流制限値の設定

LTC4421は、各入力電流制限値を個別に設定可能です。所定のチャンネルについて、LTC4421はSENSEピンとOUTピン間の最大電圧を25mV (ΔV_{SNS})に安定化します。SENSEとOUTの間に検出抵抗 R_{SENSE} を接続して設定される電流制限値 I_{LIM} は、式6で与えられます。

$$I_{LIM} = \frac{25mV}{R_{SENSE}} \quad (6)$$

入力電源がドロップアウトしてUVモーターボートイングが発生させることがないように、入力電源が I_{LIM} より大きい電流をソースできることを確認してください。電流制限の許容誤差を考慮に入れて、出力の充電時に出力コンデンサに十分な充電電流を供給できるように、標準的な1%の抵抗値を使用して R_{SENSE} を選択し、 I_{LIM} は最大出力負荷電流 $I_{LOAD(MAX)}$ より少なくとも25%大きい値に設定します。

I_{LIM} と C_{OUT} により、出力電圧の立ち上がりレートを設定します。

出力の最小立ち上がりレートは、式7で示されます。

$$\frac{dV_{OUT}}{dt}(\min) = \frac{(I_{LIM} - I_{LOAD(MAX)})}{C_{OUT}} \quad (7)$$

式7は、出力電圧は最大出力負荷電流条件で充電中であるため、 C_{OUT} の充電に利用できるのは、設定された電流制限電流と最大DC負荷電流の差だけであることを仮定していま

す。過電流障害タイムアウトが発生する前に出力が完全に充電されるように、 I_{LIM} を設定する必要があります。

LTC4421は、ステップ式の電流制限フォールドバック機能を搭載しています。フォールドバック・コンパレータは、OUT1ピンの電圧をモニタして、OUT1の電圧が低くなると電流制限レギュレーション電圧を25mV (ΔV_{SNS})から12.5mV ($\Delta V_{SNS,FLD}$)に下げ、電流制限を2分の1にカットして消費電力を低減します。コンパレータの立ち上がりおよび立ち下がりスレッシュホールド電圧は、それぞれ460mV ($V_{FLD,TH}$)と410mVです。OUT1の電圧が最初に0Vからパワーアップされる時、OUT1が460mVを超えるまで電流制限レギュレーション電圧は12.5mVに抑えられ、460mVを超えた時点で25mVに上げられます。出力電圧が460mVより低い場合は、出力が確実にパワーアップするように、最大出力負荷電流がフォールドバック電流制限より小さいことを確認してください。OUT1の電圧が最初に電力を供給された後、(例えば入力または出力の短絡が原因で)放電される時は、OUT1の電圧が410mVより低くなるまで電流制限レギュレーション電圧は25mVであり、410mVより低くなった時点で12.5mVに下げられます。

高精度が得られるように、 R_{SENSE} 端子とLTC4421のSENSEピンおよびOUTピンの間にはケルビン接続を使用します。低インダクタンスの検出抵抗を選択して、電流制限レギュレーション・ループの安定性に対する検出抵抗の影響を最小限に抑えます。両方のチャンネルの電流制限値が同じ場合は、図3に示すように、1つの検出抵抗を使用できます。

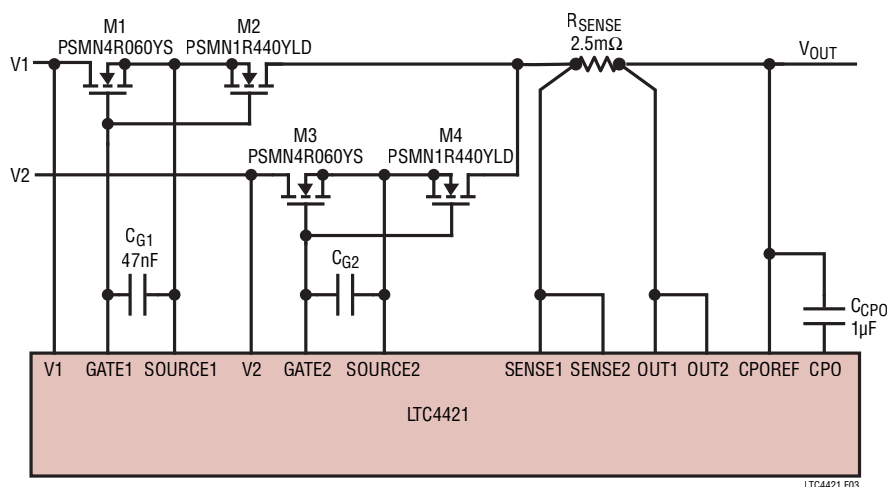


図3. 1つの検出抵抗 R_{SENSE} を使用して両方のチャンネルについて同じ電流制限を設定する

アプリケーション情報

出力コンデンサの選択

LTC4421は、2つの入力電源の間で出力への接続を切り替える際に、ブレーク・ビフォア・メイク回路を利用してチャンネル1が完全に出力から遮断されたのを確認してからチャンネル2をオンにします。これにより、出力を介して1つの入力からもう1つの入力へ電流が流れること(相互導通と呼ばれる現象)を防ぎます。その結果、切替え中にどちらの電源も出力に電力を供給しないデッド・タイムが生じます。

出力容量 C_{OUT} を選択して、切替え中に出力負荷電流を供給し、出力電圧のステップと低下を最小限に抑える必要があります。チャンネル1が遮断されると、 C_{OUT} の等価直列抵抗 R_{ESR} に流れる負荷電流が原因で、出力側に電圧ステップが発生します。電圧ステップの大きさは式8で与えられます。

$$V_{STEP} = (I_{LOAD} \cdot R_{ESR}) \quad (8)$$

デッド・タイムが続く間、 C_{OUT} が負荷電流によって放電されるのに伴って出力電圧が低下します。電圧低下の最大値は式9で与えられます。

$$V_{DROOP} = \frac{(I_{LOAD(MAX)} \cdot t_{G(SWITCH),MAX})}{C_{OUT}} \quad (9)$$

出力電圧の低下を最小限に抑えることと、出力の0Vからフル充電までの時間を最小限に抑えることのトレードオフが最適化されるように、 C_{OUT} を設定します。 $V_{DROOP(MAX)}$ はできるだけ高い値に設定します。通常、 $V_{DROOP(MAX)}$ は $0.1 \cdot V_{OUT}$ 以下であれば許容されます。通常は、最大負荷電流1Aあたり $10\mu F \sim 50\mu F$ の出力容量を使用すると、妥当なトレードオフが得られます。

図4に、5Aの出力負荷電流で $220\mu F$ の出力コンデンサ($100m\Omega$ の R_{ESR})を使用するシステムについて、切替え時の出力電圧波形を示します。チャンネル1がオフになると、 $220\mu F$ コンデンサによって5Aの負荷電流が供給されます。 $100m\Omega$ の R_{ESR} に5Aの電流が流れ、 $V_{STEP} = 500mV$ になります。ESRステップに続き、チャンネル2がオンに切り替わるまで、出力は $dV/dt = 5A/220\mu F$ のレートで放電されます。

出力電流が大きい場合、ESRが非常に低いコンデンサを選択して、 V_{STEP} を最小限に抑える必要があります。また、コンデンサ・メーカーが提供する容量とDCバイアス電圧の曲線および容量と温度の曲線を参照し、 C_{OUT} の温度係数と電圧係数を考慮に入れてください。

出力電圧の最大充電時間の計算

出力が低電圧側から高電圧側にチャージされる場合はいつでも電流制限がかかります。その結果、充電中は過電流障害タイマーが作動します。出力の最大充電時間 $t_{(CHG,MAX)}$ を計算し、過電流障害時間 $t_{TMR,FLT}$ を $t_{(CHG,MAX)}$ より大きい値に設定する必要があります。最大充電時間は式10で与えられます。

$$t_{(CHG,MAX)} = \frac{(C_{OUT} \cdot V_{IN,MAX})}{(I_{LIM} - I_{LOAD,CHG})} \quad (10)$$

ここで、 $V_{IN,MAX}$ は最大入力電圧で、 $I_{LOAD,CHG}$ は C_{OUT} の充電時に流れる最大DC負荷電流です。最も厳しい条件は、 $I_{LOAD,CHG} = I_{LOAD,MAX}$ の場合です。可能であれば、出力を最初に0Vから充電するときは出力負荷電流をオフにして、 $I_{LOAD,CHG} = 0$ にします。図5のアプリケーション回路は、出

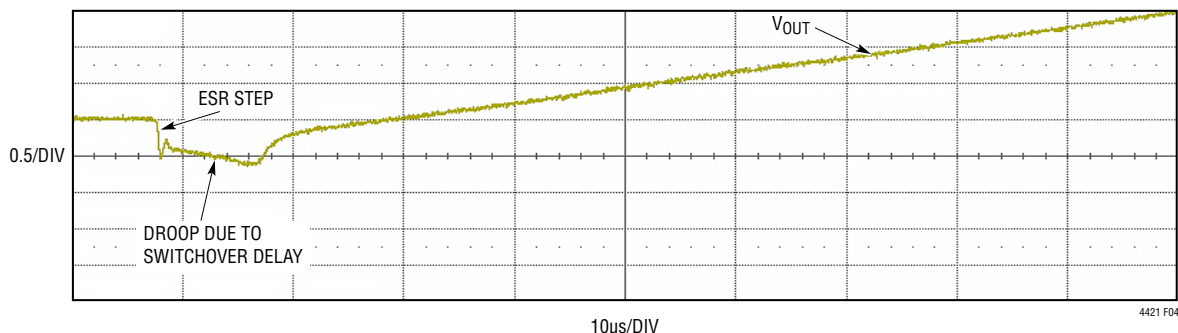


図4. チャンネル切替え時の出力電圧ESRのステップおよび直線放電

アプリケーション情報

力側に LTC2965 電圧モニタを使用して、 V_{OUT} が 9V を超えるまで出力 DC/DC コンバータをディスエーブルします。 V_{OUT} がいったん 9V を超えると、 V_{OUT} が 1V 未満に低下するまで、DC/DC コンバータはイネーブルのままになります。

Nチャンネル MOSFET の選択

LTC4421 は N チャンネル MOSFET を駆動して、入力電源電圧からの電流と出力負荷電流を導通または遮断します。MOSFET の重要な機能は次のとおりです。

1. BV_{DSS} 、絶対最大ドレイン-ソース電圧
2. $V_{GS,MAX}$ 、絶対最大 V_{GS} 電圧
3. $V_{GS(TH)}$ 、スレッシュホールド電圧
4. $R_{DS(ON)}$ 、オン抵抗
5. SOA、安全動作領域

入力が 0V のときに出力が最大電源電圧になる（あるいは、出力が 0V のときに入力が最大電源電圧になる）さまざまなシナリオが存在するため、許容される最大ドレイン-ソース電圧 (BV_{DSS}) は、すべての電源電圧より高くなければなりません。また、 BV_{DSS} は、電圧トランジェント圧縮 (TVS) ダイオード D1 および D2 のクランプ電圧より高くなければなりません。入力寄生インダクタンスが大きい電源には、付加的な予防措置が必要ことがあります。詳細については、入出力の短絡と電源トランジェント保護のセクションを参照してください

い。LTC4421 の 14V の最大ゲート駆動電圧を処理できるように、 $V_{GS,MAX} = \pm 20V$ の MOSFET を選択します。

バック to バック MOSFET がオンになり、電流を出力に流すとき、出力の充電に伴って入力側 MOSFET に大きなドレイン-ソース電圧が発生することがあります。ただし、ボディ・ダイオードがオンになるため、出力側 MOSFET のドレイン-ソース電圧は約 1V に制限され、出力側 MOSFET は常にトライオードで動作します。その結果、入力側 MOSFET にははるかに厳しい SOA 条件が課せられます。出力側には、入力側よりも SOA が小さく $V_{GS(TH)}$ が低い MOSFET を使用して、MOSFET 内の電力損失を最小限に抑えることができます。

選択した MOSFET は、 $t_{TMR,FLT}$ より長い時間、出力短絡に耐えられる必要があります。出力短絡の間、LTC4421 は電流制限レギュレーション回路を使用して短絡電流を安定化し、過電流障害タイマーを作動させます。設定された $t_{TMR,FLT}$ 時間を超えて短絡が持続すると、LTC4421 は MOSFET をオフにします。最も厳しい条件は、出力に抵抗性短絡が発生し、出力電圧 (V_{SHORT}) がフォールドバック・コンパレータの下がりスレッシュホールド電圧 (410mV) より高い電圧にとどまる場合です。この場合、短絡中の電力は式 11 で与えられます。

$$POWER \approx V_{IN} \cdot I_{LIM} = \frac{(V_{IN} \cdot 25mV)}{R_{SENSE}} \quad (11)$$

ここで、 V_{IN} は入力電圧で、 $V_{IN} \gg V_{SHORT}$ です。

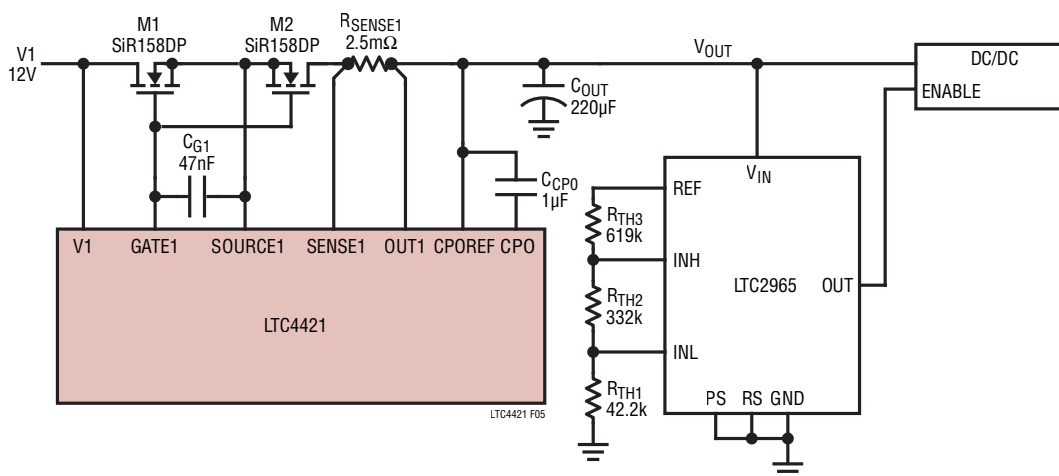


図5. 負荷電流をオフに保持。LTC2965の電圧モニタは V_{OUT} が9Vを超えるまでDC/DC出力負荷電流をオフにする

アプリケーション情報

電力の計算後、MOSFET メーカーのデータシートのSOA曲線を参照します。SOA曲線は通常は25°Cで仕様規定されるため、式12に示すように、最大動作周囲温度 T_A を考慮に入れて調整する必要があります。

$$SOA(T_A) = SOA(25^\circ\text{C}) \cdot \frac{(T_{JMAX} - T_A)}{(T_{JMAX} - 25^\circ\text{C})} \quad (12)$$

ここで、 T_{JMAX} はMOSFETの最大許容ジャンクション温度です。推奨MOSFETの大半は T_{JMAX} が175°Cです。したがって、 $T_A = 85^\circ\text{C}$ の場合はSOA曲線のY軸の値に0.6を掛けます。 $T_A = 125^\circ\text{C}$ の場合は0.333を掛けます。

MOSFETのデータシートには、通常は5~6本のSOA曲線群が記載されていることに注意してください。それぞれの曲線に対して次の曲線は時間が10倍になっています(例えば、100 μs 、1ms、10msなど)。MOSFETが式11の電力を処理できるように、 $t_{TMR,FLT}$ より高い曲線のうち最も $t_{TMR,FLT}$ に近いものを選ぶのが無難でしょう。

出力がグラウンドにハード短絡しているために、出力電圧が410mVを下回る場合、LTC4421はステップ・フォールドバック機能を実行し、短絡電流を(したがって、電力を)2分の1に低減します。その結果、LTC4421のMOSFETのSOAマージンは、抵抗性短絡よりもハード短絡の方が大きくなります。このセクションに概要を示す手順に従い、選択したMOSFETのメーカーのデータシートに記載のSOA曲線を使用して、アプリケーションでの適合性を確認してください。

過電流障害と再試行

LTC4421は、出力短絡や過大な負荷電流から保護する調整可能な電流制限回路を備えています。電流制限回路が作動している時間が、TMRピンによって設定された時間より長くなると、過電流障害が発生します。出力負荷電流が I_{LIM} より小さい場合、LTC4421はTMRピンの電圧をそのピンのDC TMRパーキング電圧にプリバイアスします。LTC4421は、出力電流を I_{LIM} に安定化する場合、TMRピンから6 μA をソースして外付けTMRコンデンサを充電します。TMRピンの電圧がTMRパーキング電圧より500mV高くなると、過電流障害が発生します。FAULTオープンドレイン出力プルダウン・ピンがローにラッチされ、入力出力から遮断されます。TMRとグラウンドの間にコンデンサ C_{TMR} を接続し、式13を使用して過電流障害時間 $t_{TMR,FLT}$ を設定します。

$$t_{TMR,FLT} = C_{TMR} \cdot 83[\mu\text{s/nF}] \quad (13)$$

設定された電流制限を超えるパルス電流負荷が、25%を超えるデューティ・サイクルで発生する場合、その電流は時間の経過と共に集積され、電流制限障害を発生させることに注意してください。

過電流障害が発生した後の機能は、DISABLE、FAULT、およびRETRYの各ピンの設定によって決まります。図6に、RETRYピンがローに設定され、FAULTIが100k抵抗によって電源電圧にプルアップされ、デジタル信号によってDISABLEIを駆動する場合、チャンネル1に発生する過電流障害のタイミング図を示します。わかりやすいように、V2には入力電源を接続していません。

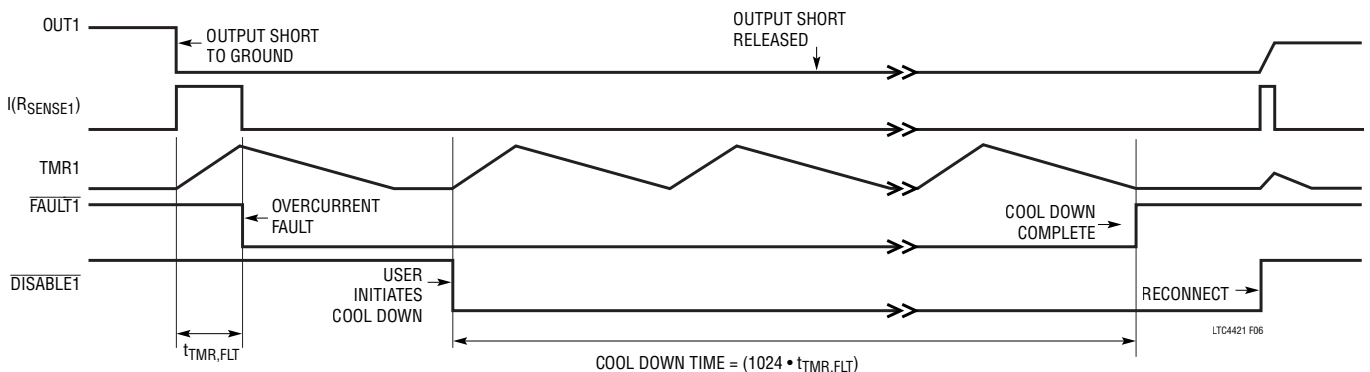


図6. チャンネル1の過電流障害発生後の手動再試行。条件:RETRY = 0V、DISABLEIを駆動し、出力短絡はクールダウン時間中に解放される

アプリケーション情報

出力電圧 $OUT1$ がグラウンドに短絡すると、LTC4421 は検出抵抗に流れる電流 $I(R_{SENSE1})$ を制限し、同時に $TMR1$ ピンから $6\mu A$ をソースして C_{TMR1} コンデンサを充電します。短絡発生後に $t_{TMR,FLT}$ の時間が経過すると、上記のように過電流障害が発生し、LTC4421 は $\overline{FAULT1}$ をローに駆動します。 $\overline{FAULT1}$ がローになっていることを検出し、 $\overline{DISABLE1}$ をローに駆動してクールダウン・サイクルを開始します。

この例では、波形に示すように、短絡はクールダウン・サイクル中に解放されます。V1 は出力から遮断されているため、短絡が解放されても出力電圧は低いままで。クールダウンの終わりに、 $\overline{FAULT1}$ がハイに解放され、入力が出力に再接続できるようになります。 $\overline{DISABLE1}$ をハイに駆動すると、チャンネル1の入力が出力に再接続されます。出力の短絡が解消されたため、出力は正常にパワーアップし、障害はそれ以上発生しません。**注：クールダウン・サイクル中の任意の時点で $\overline{DISABLE1}$ をローからハイに駆動すると、クールダウン・サイクルが非同期で終了し、出力に再接続できるようになります。クールダウン・サイクルを途中で終了すると、MOSFET のクールダウンに十分な時間をとれなくなり、それ以降の過電流障害時間が TMR ピンによって設定された時間より大幅に短くなるため、クールダウン・サイクルを途中で終了しないことを強く推奨します。**

図7に、 $RETRY = 0V$ に設定して $\overline{FAULT1}$ ピンを $\overline{DISABLE1}$ に接続した場合の機能を示します。この場合、 $\overline{DISABLE1}$ を駆動しません。過電流障害が発生すると、 $\overline{FAULT1}$ ピンはローになります。 $\overline{FAULT1}$ は $\overline{DISABLE1}$ に接続されているため、 $\overline{DISABLE1}$ もローになり、クールダウン・サイクルが開始されます。クールダウン・サイクルの終わりに、LTC4421 は $\overline{FAULT1}$ をハイに解放します。これによって $\overline{DISABLE1}$ はハイに駆動され、V1 入力電源は出力に再接続します。このプロセスを「自動再試行」と呼びます。出力の短絡が解消されるまで、このプロセスが無制限に繰り返されます。この例では、2回目のクールダウン・サイクル中に出力の短絡が解放されたため、出力電圧は3回目の接続で正常にパワーアップします。

図8に、 $\overline{DISABLE1}$ がハイになり、 $\overline{FAULT1}$ は $\overline{DISABLE1}$ に接続されずに $100k$ 抵抗を使用して電源電圧にプルアップされ、 $RETRY$ がハイに設定される場合の機能を示します。この例では、出力を永続的に短絡状態のままにします。この場合 LTC4421 は、1回目の過電流障害の発生後に V1 電源を6回再接続します。各回の再接続の結果として過電流障害が発生し、クールダウン・サイクルがそれに続きます。合計7回の障害の後、 $\overline{DISABLE1}$ がローにトグルされて次にハイにトグルされるまで、LTC4421 は入力を出力から遮断されたままにします。

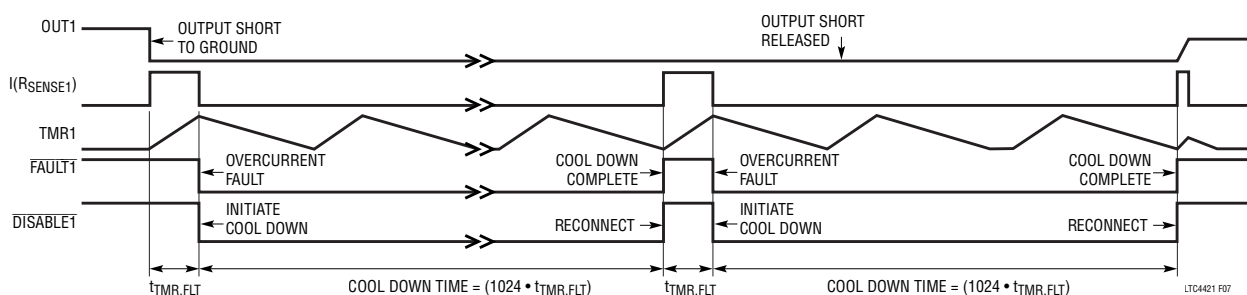


図7. チャンネル1の過電流障害発生後の自動再試行。条件： $RETRY = 0V$ 、 $\overline{FAULT1}$ は $\overline{DISABLE1}$ に接続され、出力短絡は2回目のクールダウン時間中に解放される

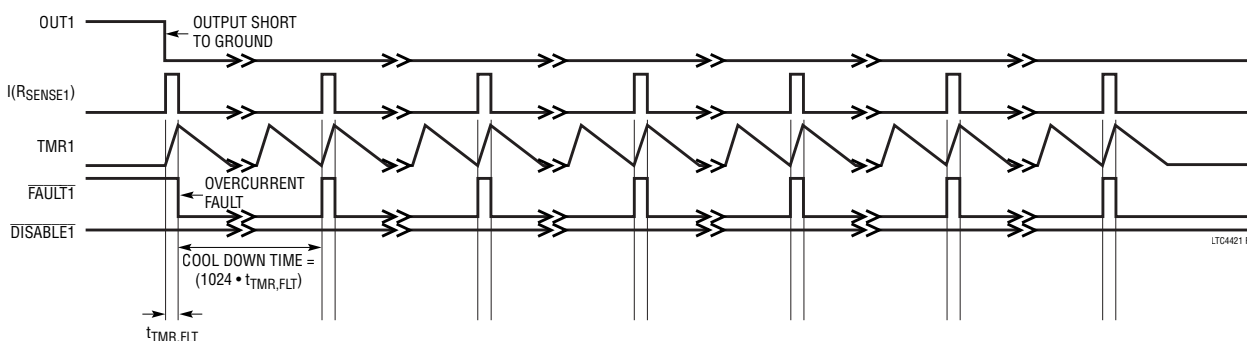


図8. チャンネル1の過電流障害発生後の6回の再試行。条件： $RETRY = 3V$ 、 $\overline{DISABLE1} = 4V$ 、出力短絡は解放されない

アプリケーション情報

過電流障害時間は、チャンネルごとに個別に設定できます。既に説明したように、出力が0Vから最大入力電圧まで確実に充電されるように、過電流障害時間を設定します。チャンネル1に電流制限障害が発生するたびに、(チャンネル2が有効であると仮定すると)チャンネル2は出力に電力を供給できるようになります。チャンネル2は、チャンネル1の障害がクリアされるまで出力に電力を供給します。

チャンネルの入力電源が無効になるか、 $\overline{\text{DISABLE}}$ がローになるか、より優先順位の高い電源が有効になった場合、そのチャンネルの6回のRETRYカウンタはリセットされます。このカウンタは、INTV_{CC}がINTV_{CC} GOODスレッシュホールド電圧より低くなり、CPOがCPOGOODスレッシュホールド電圧より低くなった場合にもリセットされます。RETRYピンをローにトグルした後でハイにトグルした場合も、カウンタはリセットされます。

MOSFETのSOA条件を満たすためのアプリケーション回路の反復計算

選択したMOSFETが、初期電流制限および出力コンデンサの値によって課されるSOA条件を満たさない場合は、以下の手順を実行してください。

1. MOSFETのSOA条件を満たすように、 $t_{\text{TMR,FLT}}$ を小さくします。そのためには、式10で得られる $t_{\text{(CHG,MAX)}}$ を小さくして、 $t_{\text{TMR,FLT}} > t_{\text{(CHG,MAX)}}$ になるようにする必要があります。これを行う1つの方法は、 C_{OUT} を小さくすることです。それと引き替えに、チャンネル切替え時の出力電圧の低下が大きくなります。
2. 電流制限 I_{LIM} を大きくすることにより、 $t_{\text{TMR,FLT}}$ と $t_{\text{(CHG,MAX)}}$ を小さくします。この方法が有益なのは、 $t_{\text{(CHG,MAX)}}$ を小さくすることによるSOAの拡大によるメリットが、MOSFETの消費電力の増加によるSOAの縮小のメリットよりも大きい場合に限られます。例えば、 $I_{\text{LIM}} = 11\text{A}$ 、 $I_{\text{LOAD,CHG}} = 10\text{A}$ と仮定します。式14を使用します。

$$t_{\text{(CHG,MAX)}} = \frac{(C_{\text{OUT}} \cdot V_{\text{IN,MAX}})}{11\text{A} - 10\text{A}} = \frac{(C_{\text{OUT}} \cdot V_{\text{IN,MAX}})}{1\text{A}} \quad (14)$$

I_{LIM} を11Aから20Aに大きくした場合、新しい結果は式15によって与えられます。

$$t_{\text{(CHG,MAX)}} = \frac{(C_{\text{OUT}} \cdot V_{\text{IN,MAX}})}{20\text{A} - 10\text{A}} = \frac{(C_{\text{OUT}} \cdot V_{\text{IN,MAX}})}{10\text{A}} \quad (15)$$

$t_{\text{(CHG,MAX)}}$ が10分の1になるため、 $t_{\text{TMR,FLT}}$ を10分の1にすることができます。 I_{LIM} を2倍にすることにより、出力短絡中の最大電力は2倍になりますが、 $t_{\text{(CHG,MAX)}}$ が10分の1になるため、SOAストレスの純減が実現されます。入力電源が、 I_{LIM} の新しい大きな値よりも大きな電流をソースできることを確認してください。また、新しい I_{LIM} によってUVモーターポーティングが発生しないことを確認してください。

3. SOAが大きいMOSFETを選択します。 BV_{DSS} が高いMOSFETは、通常はSOA性能も高いため、 BV_{DSS} が高いMOSFETを探してください。

チャージ・ポンプおよびゲート・ドライバ回路

ゲート駆動電圧は、CPOに電力を供給するチャージ・ポンプ回路によって供給されます。GATEピンの電圧と出力電圧の曲線は、代表的な性能特性のセクションに記載されています。出力電圧が4Vより低い場合、最小ゲート駆動電圧は9Vです。出力電圧が5Vより高い場合、ゲート駆動電圧は10V以上です。バースト・モード・コンパレータにより、ゲート駆動電圧が14Vを超えることを防ぎます。

入力電源が無効になると、LTC4421は50mAのプルダウン電流を使用してGATEピンの電圧をグラウンド近くまで下げます。電源が有効であるがオフにされた場合、ゲート・ドライバ・パーキング回路は、GATE電圧をチャンネルの入力電圧と出力電圧のうち低い方より1V低い電圧に安定化します。これをGATEパーキング電圧と呼びます。LTC4421は、SOURCEピンから5 μA をシンクして外付けMOSFETをスレッシュホールド電圧にバイアスし、 ΔV_{GS} を最小限に抑えます。これにより、MOSFETが再びオンになったときのチャンネル切替え時のターンオン時間が最小限に抑えられます。可能であれば、出力MOSFETには閾値の低いMOSFETを選択し、オフになっているチャンネルの入力電源の代わりに V_{OUT} からのSOURCE電流が優先的に流れるようにします。また、SOURCEとグラウンドの間に抵抗を追加して電流を増やし、これによって V_{GS} を高くします。

CPOチャージ・ポンプ・コンデンサの選択

CPOとCPOREFの間に貯蔵コンデンサ C_{CPO} を接続し、MOSFETを素早くオンにするのに必要な充電機能を提供します。推奨値は、1つのチャンネルの2個のバックtoバックMOSFETの入力 C_{ISS} 容量に、電流制限ループの安定化のために追加されるディスクリートGATE-SOURCEコンデン

アプリケーション情報

サC_Gを加えた値の約10倍です。大きいC_{CP0}コンデンサを選択すると、内部チャージ・ポンプによる充電にその分長い時間がかかるため、最初の入力電源のパワーアップから出力への初回の接続までの遅延が長くなります。小さいコンデンサを選択すると、C_{CP0}はC_GおよびMOSFETのC_{ISS}容量と電荷を共有するため、チャンネルのターンオン時の電圧降下が大きくなります。チャージ・ポンプの所与の限られた充電能力で、80Hz(代表値)より高いレートで連続的にチャンネルを切り替えると、最終的にC_{CP0}コンデンサの電荷が枯渇し、両方の入力出力から遮断されます。この時点で、チャージ・ポンプはC_{CP0}コンデンサを6.7Vより高い電圧に充電し、これで入力が出力に再接続できるようになります。このプロセスが繰り返されます。

アナログ電流制限ループの安定性

アクティブな電流制限ループは、外付けMOSFETのゲートとソースの間にコンデンサC_Gを追加することによって補償されます。47nFのC_Gを選択すると、すべての推奨MOSFETで安定性を確保できます。更に、コンデンサC_{SN}と直列の抵抗R_{SN}で構成されるスナバを、入力電源とグラウンドの間に追加します。R_{SN}は、式16を使用して選択します。

$$R_{SN} = \frac{V_{IN}}{I_{LIM}} \quad (16)$$

ここで、V_{IN}は最大入力電源電圧、I_{LIM}はR_{SENSE}によって設定されている電流制限です。C_{SN}を10μFに設定すると、すべてのアプリケーションで有効に機能します。入力インダクタンスが小さく、出力負荷電流が小さいアプリケーションでは、C_{SN}の値を1μFまで小さくしてもかまいません。

有効性の評価時間の設定

QUALピンは、電源が有効と見なされるためにOV、UV電圧範囲内にとどまる必要がある時間の長さを設定します。QUALとグラウンドの間にコンデンサC_{QUAL}を接続し、式17を使用して検証時間:を設定します。

$$t_{VALID} = C_{QUAL} \cdot 16[\text{ms/nF}] \quad (17)$$

ここで、t_{VALID}は検証時間です。両方のチャンネルの検証時間が同一であることに注意してください。3.5μsの固定された評価時間に設定するには、コンデンサをグラウンドに接続する代わりに、QUALをINTV_{CC}に接続します。

可能であれば、評価時間は10ms以上に設定してください。これにより、LTC4421のゲート・ドライバ・パーキング回路は、V1入力電圧を活線挿入するとき、GATE1の電圧をGATEパーキング電圧にプリバイアスすることができます。これにより、チャンネル2からチャンネル1へ切り替える際に切替え時間が短縮され、出力電圧の低下が小さくなります。

オプションのチャージ・ポンプ・プリチャージ回路

LTC4421は、外部C_{CP0}コンデンサがCPOREFとINTV_{CC}の電圧のうち高い方より6.7V(V_{CPO(UVL)})高い電圧に充電されるまで、入力電源の検証と出力への電力供給を許可しません。標準的な1μFのC_{CP0}コンデンサを使用した場合、チャージ・ポンプの電圧が6.7Vまで充電されるのに数百ミリ秒かかることがあります。入力電源が12V以上の場合、図9に示す回路を使用してCPOピンをプリチャージすることにより、この時間を短縮できます。12Vツェナー・ダイオードZ1とNPNトランジスタQ1を使用して、CPOをグラウンドより約10.8V高い電圧に素早く充電できます。V1、V2の電圧が12Vより低い場合、この回路は、V1とV2の電圧のうち高い方より約1.8V低い電圧にCPOをプリチャージします。ダイオードD3は、入力電源がV_{OUT}に接続されるときに逆電流が流れるのを防ぎ、CPOを9Vより高い電圧に上昇させます。ダイオードD1およびD2はダイオードOR回路を形成し、V1とV2の入力電源電圧のうち高い方からZ1とQ1に電力を供給します。

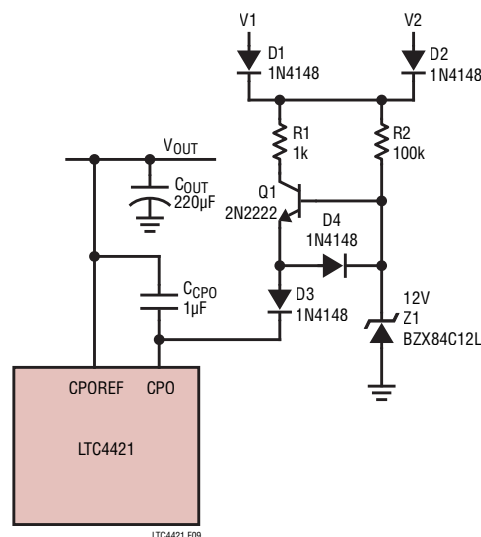


図9. オプションのCPOプリチャージ。入力電源V1とV2のうち高い方の電圧でCPOの電圧をプリチャージし、システムのパワーアップ時間を短縮する

アプリケーション情報

優先順位の低い電源から流れるバイアス電流を最小限に抑制

LTC4421の電源電流の大部分は、利用可能な電源のうち最も優先順位の高いものから流れ、優先順位の低い電源から流れる電流は最小限に抑えられます。 $\overline{\text{SHDN}}$ がハイで、 EXTV_{CC} がシステムの出力電圧に接続されている場合、LTC4421は、出力に電力を供給している電源から600 μA を消費します。他の電源からの消費電流はわずか10 μA ~26 μA です。 $\overline{\text{SHDN}}$ がローの場合は、V1、V2、 EXTV_{CC} およびOUT1のうち最も高い電圧から6 μA (代表値)が流れ、その他の電圧の低いピンそれぞれの電源電流はわずか250nAです。

デジタル・ステータス出力 $\overline{\text{VALID1}}$ 、 $\overline{\text{VALID2}}$ 、 $\overline{\text{CH1}}$ 、 $\overline{\text{CH2}}$

LTC4421には、システム・ステータス情報を提供するオープンドレインのプルダウン・デジタル出力があります。V1およびV2入力電源が検証されると、対応する $\overline{\text{VALID1}}$ および $\overline{\text{VALID2}}$ ピンがローになります。入力電源が出力電圧に接続されると、対応する $\overline{\text{CH1}}$ および $\overline{\text{CH2}}$ ピンがローになります。これらのピンと INTV_{CC} の間に大きい値のプルアップ抵抗を接続して、ロジック・ハイを供給します。 INTV_{CC} から流れる最大電流が500 μA を超えないように注意してください。これらのプルダウン出力は低消費電力のLEDを駆動することができますが、その場合はLED電流が必要とされるため、 INTV_{CC} へのプルアップはできません。LEDを使用する場合は、最大36Vの電源電圧からプルアップに電力を供給してください。

さまざまなアプリケーション回路で、これらの出力と $\overline{\text{DISABLE}}$ ピンを組み合わせると、時間の経過と共にV1とV2の優先順位を変更することができます。例えば、 $\overline{\text{CH2}}$ を $\overline{\text{DISABLE1}}$ に接続した場合の動作を考えます。V2は、一度出力に接続されると、V1の有効性に関係なく、出力に電力を供給し続けます。V2は優先順位の高い電源になりましたが、それは出力に接続された後だけです。この構成は、2次電源への切替え後、1次電源に再接続する前に、2次電源を完全に放電するまで動作させることが望ましいシステムで使用できます。電源投入時に適切に動作させるには、チャンネル1がチャンネル2より前に有効になる必要があります。

図10では、V2が有効で、イネーブルされ、過電流障害がラッチされていない場合は、常にロジック・ゲートU1およびU2がチャンネル1をディスエーブルします。チャンネル1をディスエーブルすると、V1は出力から遮断され、V2が出力に接続

できるようになります。この構成では、V1とV2の優先順位が永続的に入れ替わり、常にV2が優先順位の高い入力になります。

図11では、インバータU1を使用して、論理的に反転された $\overline{\text{VALID2}}$ 信号を $\overline{\text{DISABLE1}}$ に接続しています。この構成は、チャンネル2が無効な場合、チャンネル1は出力に接続できないようにします。1次電源の故障時に出力に電力を供給する有効な2次電源が利用可能でない限り、1次入力に出力に電力を供給することは許されません。

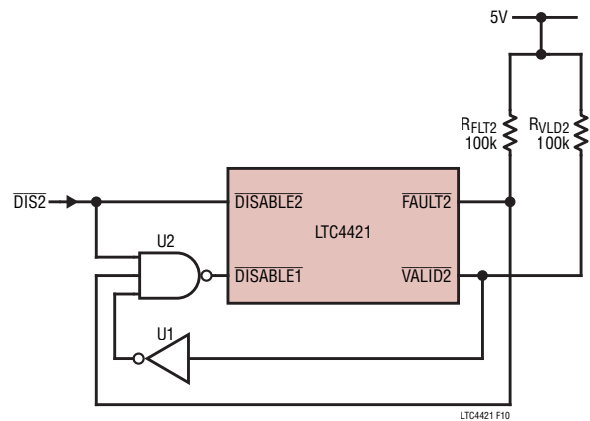


図10. 優先順位の入れ替え。2つの外部ロジック・ゲートを使用してチャンネル1とチャンネル2の優先順位を入れ替える

入出力の短絡と電源トランジェント保護

出力に電力を供給している入力電源がグラウンドに短絡した場合、LTC4421は、検出抵抗を流れる逆電流を検出します。検出抵抗両端の逆電圧が30mVを超えると、LTC4421は短絡したチャンネルのGATEピンから50mAをシンクして

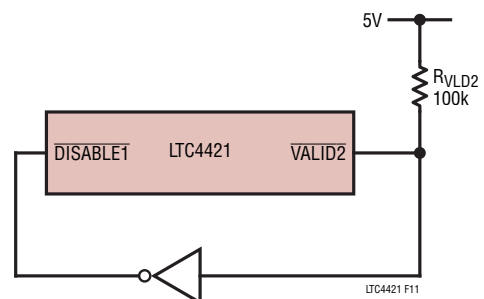


図11. 有効な2次電源が必要。有効な2次電源が利用可能にならない限り、1次入力電源が出力に電力を供給できないようにする

アプリケーション情報

NチャンネルMOSFETをオフにし、入力を出力から遮断します。それでも入力が有効であるとすると、出力電圧が入力より35mV低くなったときに再接続が実行されます。

出力がグラウンドに短絡した場合、電流制限ループが安定化するまで、検出抵抗両端の電圧が25mVを超えることがあります。検出抵抗両端の順方向電圧が50mVを超えると、LTC4421はGATEピンから50mAをシンクして、NチャンネルMOSFETの V_{GS} を素早く低下させます。検出抵抗両端の電圧が25mVより低くなると、50mAのシンク電流はオフになります。

出力がグラウンドに短絡した場合、電流制限回路は電流を I_{LIM} に安定化します。電流制限回路が作動している時間が、TMRピンによって設定された時間より長くなると、電流制限障害が発生します。入力は出力から遮断され、FAULTがローに駆動されます。

入力および出力インダクタンスが大きい場合、短絡事象およびチャンネル・ターンオフ時の電流の急速な変化が原因で生じる過渡電圧が、入出力ピンの絶対最大定格を超えたり、外付けMOSFETの BV_{DSS} 制限に違反したりする可能性があります。このようなトランジェントを最小限に抑えるには、広いPCBパターンと厚いパターンめっきを使用して、電源パターンのインダクタンスを小さくします。PCBの外部で

は、電源ワイヤとグラウンド・ワイヤをより合わせてインダクタンスを最小限に抑えます。入力スナバはチャンネル・ターンオフ時の入力誘導性エネルギーの消費を助けますが、それでも図12に示すように、電圧トランジェント圧縮(TVS)ダイオードD1を使用してピーク入力電圧をクランプする必要があります。電圧トランジェント圧縮ダイオードを選択するときは、逆スタンドオフ電圧(V_R)がアプリケーションの動作電圧以上であり、ピーク・パルス電流(I_{PP})がピーク・トランジェント電圧をソース・インピーダンスで割った値より大きく、定格 I_{PP} での最大クランピング電圧(V_{CLAMP})がLTC4421の絶対最大定格および外付けMOSFETの BV_{DSS} より低いことを確認します。LTC4421のV1およびV2の絶対最大電圧定格は、電源側の誘導性電圧スパイクに対して最大60Vまで耐えることができます。各種のTVSを使用して、最大36Vの V_R 定格と最大60Vの V_{CLAMP} 定格に対応することができます。

カスケード接続

複数のLTC4421をカスケード接続して、3つ以上の入力電源に優先順位を付けることができます。3つまたは4つの電源に優先順位を付けるには、図13に示すように、2個のLTC4421のOUTピンを相互接続し、優先順位の高いマスタLTC4421のCASOUTを、優先順位の低いスレーブLTC4421のCASINに接続します。

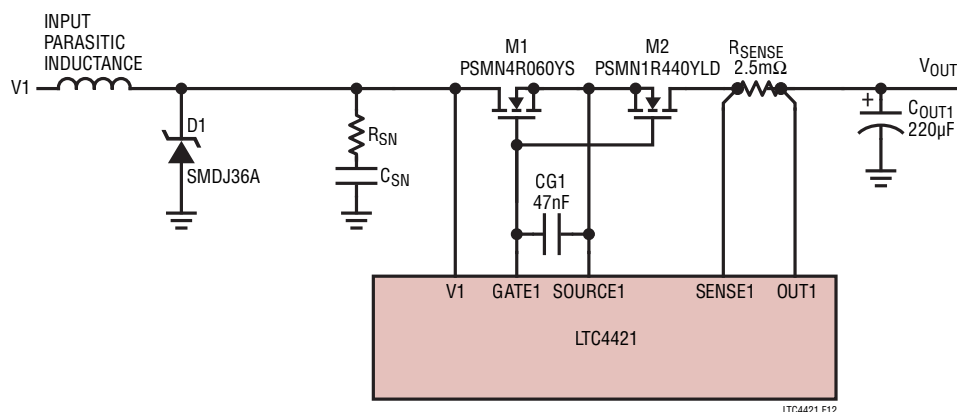


図12. 電源電圧トランジェント圧縮回路

アプリケーション情報

両方のマスタ入力電源が無効な場合、マスタはCASOUTピンをハイに駆動する前に、両方の電源を出力から遮断したことを確認します。これにより、スレーブが出力に電力を供給できるようになる前に、出力からマスタ入力に戻る逆電流の経路は確実にブロックされます。マスタLTC4421は、20 μ A電流源を使用してCASOUTをINTV_{CC}までプルアップし、スレーブLTC4421が優先順位の高い方の有効な電源を出力に接続できるようにします。

スレーブが出力に電力を供給しているとき、マスタの入力のうち1つが有効になると、マスタは有効なチャンネルを出力に同時に接続し、CASOUTピンをローに駆動して、スレーブの入力を強制的に遮断させます。相互導通を防ぐために、マスタのCASOUTとスレーブのCASINの間の接続はできるだ

け短くしてください。これにより、接続の容量が最小限に抑えられ、スレーブ・チャンネルのターンオフ時の遅延も最小限に抑えられます。

この手法を拡張して、必要なだけの数の入力電源に優先順位を付けることができます。追加の優先順位の低い各LTC4421のOUTピンを共通の出力電圧に接続し、CASINピンを優先順位が1つ高いLTC4421のCASOUTピンに接続します。マスタLTC4421のCASINピンをローに駆動すると、システムのすべての入力電源が遮断されることに注意してください。マスタのDISABLE1およびDISABLE2ピンをローに駆動すると、マスタの入力は出力から遮断され、スレーブLTC4421が出力に接続できるようになります。

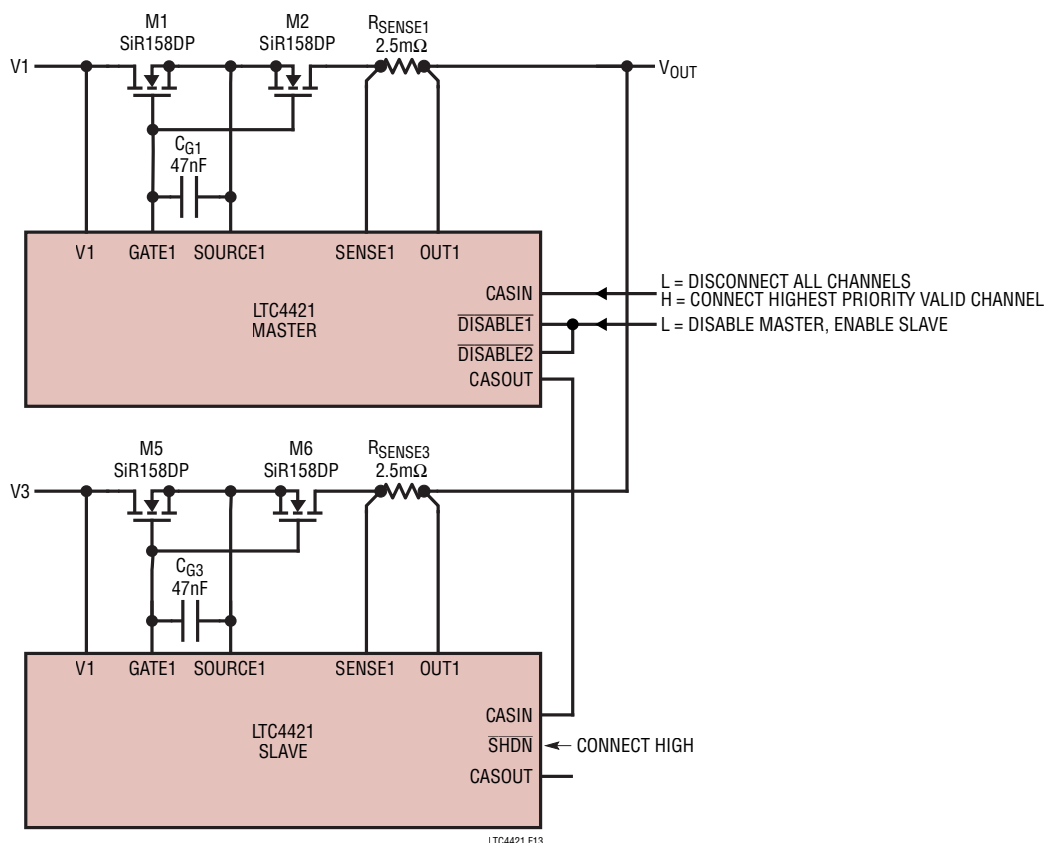


図13. 2個のLTC4421をカスケード接続して4つの入力電源に優先順位を付けるアプリケーション。(わかりやすいように、マスタおよびスレーブのV2電力経路は省略)

アプリケーション情報

設計例

設計例として、図14に示す仕様の回路を取り上げます。わかりやすいように、各チャンネルに同じ仕様(同じ部品値)を使用します。アプリケーションの定格は、12Vの入力電圧、8Aの最大出力負荷電流、UV 立上がり = 11V、UV 立下がり = 8V、OV 立上がり = 15V、切替え時の最大出力電圧降下 = 1.2V (入力電源電圧の10%)です。最低および最高動作周囲温度は、それぞれ-40°Cおよび85°Cです。

最初に、(式6から得られる)式18に示すように、電流制限を16Aに設定して、フルDC負荷電流の条件で出力電圧を妥当な時間内に充電できるようにします。

$$R_{\text{SENSE}} = \frac{25\text{mV}}{16\text{A}} = 1.5625\text{m}\Omega \quad (18)$$

この値に最も近い検出抵抗の標準値は1.5mΩであり、電流制限は16.7Aになります。

$R_{\text{ESR}} = 50\text{m}\Omega$ の電解出力コンデンサを選択します。切替え中の電圧ステップは、(式8から得られる)式19によって与えられます。

$$V_{\text{STEP}} = (8\text{A} \cdot 50\text{m}\Omega) = 400\text{mV} \quad (19)$$

切替え中の総出力電圧降下を1.2V未満に保つには、最大電圧低下を800mV以下にする必要があります。したがって、出力コンデンサの値は、(式9から得られる)式20によって与えられます。

$$C_{\text{OUT}} \geq \frac{(8\text{A} \cdot 15\mu\text{s})}{800\text{mV}} = 150\mu\text{F} \quad (20)$$

余裕を確保して $C_{\text{OUT}} = 220\mu\text{F}$ を選択します。

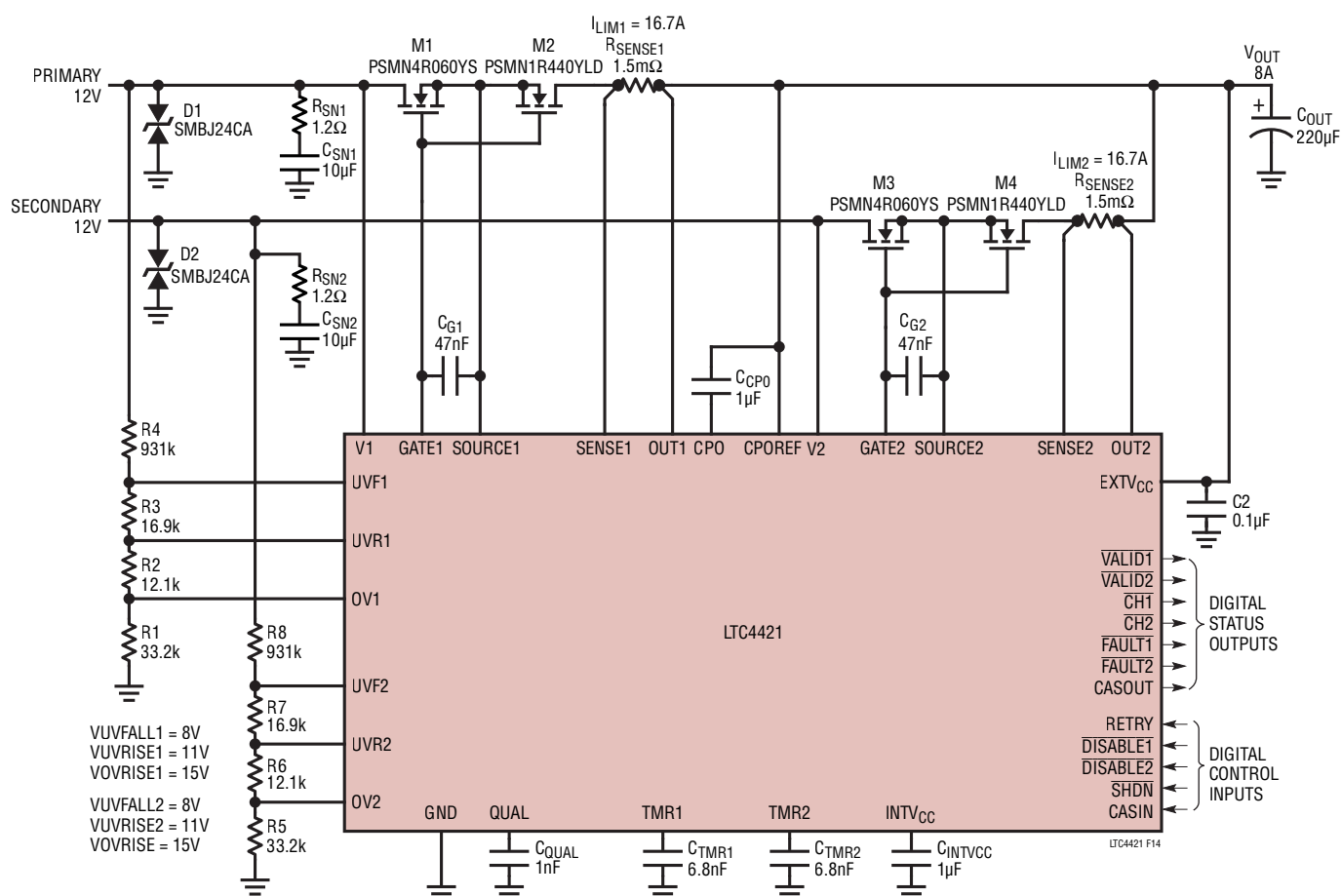


図14. デュアル12V、8Aアプリケーション回路の設計例

アプリケーション情報

次に、(式10から得られる)式21に示すように、最大DC負荷電流で出力電圧を0Vから12Vに充電するのにかかる時間を計算します。

$$t_{\text{CHG(MAX)}} = \frac{(220\mu\text{F} \cdot 12\text{V})}{(16.7\text{A} - 8\text{A})} = 303\mu\text{s} \quad (21)$$

過電流障害のタイムアウトがトリガされる前に出力が完全に充電されるように、 $t_{\text{TMR,FLT}} = 450\mu\text{s}$ に設定される C_{TMR1} を選択します。(式13から得られる)式22を参照してください。

$$C_{\text{TMR1}} = \left(\frac{450\mu\text{s}}{83[\mu\text{s}/\text{nF}]} \right) = 5.4\text{nF} \quad (22)$$

最も近い標準値を使用して、許容誤差を考慮に入れて6.8nFを選択します。これにより、 $t_{\text{TMR,FLT}} = 564\mu\text{s}$ が得られます。

短絡発生時の消費電力は、(式11から得られる)式23によって与えられます。

$$\text{Power} = (12\text{V} \cdot 16.7\text{A}) = 200\text{W} \quad (23)$$

PSMN4R060YSのデータシートに記載されているSOA曲線によると、このMOSFETは25°C、12Vで1msの間720Wに耐えます。最大動作温度に合わせたSOAのデレイトイングは、(式12から得られる)式24によって与えられます。

$$\text{SOA}(85^\circ\text{C}) = 720\text{W} \cdot \frac{(175 - 85)}{(175 - 25)} = 432\text{W at 1ms} \quad (24)$$

この例の過電流障害は、200Wが564μs続いた時点でタイムアウトになります。したがって、この条件は満たしています。

次に、47nFのコンデンサ C_{G1} と C_{G2} を選択して、それぞれチャンネル1とチャンネル2の電流制限レギュレーション・ループを補償します。D1とD2は双方向電圧トランジェント圧縮(TVS)ダイオードであり、チャンネルのターンオフ時に40Vより低い入力電圧をクランプし、LTC4421とNチャンネルMOSFETを保護します。

OV、UVモニタリング抵抗は、総分圧抵抗が1MΩ~2MΩになるものを選択し、低消費電力と良好な過渡応答時間の両方を確保します。式1~式4を使用して、最も近い1%の精度の標準抵抗値に切り上げて、式25によってR1~R4を計算します。

$$\text{Choose } R1 + R2 + R3 + R4 = 1000\text{k}\Omega \quad (25)$$

式2から、 $R1 = (0.5/15) \cdot 1000\text{k}\Omega = 33.3\text{k}\Omega$ です。この値に最も近い標準抵抗値は33.2kΩです。

式3から、 $R2 = (15/11-1) \cdot 33.2\text{k}\Omega = 12.07\text{k}\Omega$ です。この値に最も近い標準値は12.1kΩです。

式4から、 $R3 = (11/8-1) \cdot (15/11) \cdot 33.2\text{k}\Omega = 16.98\text{k}\Omega$ です。この値に最も近い標準値は16.9kΩです。

式5から、 $R4 = (15/0.5-1) \cdot 33.2\text{k}\Omega - 12.1\text{k}\Omega - 16.9\text{k}\Omega = 933.8\text{k}\Omega$ です。この値に最も近い標準値は931kΩです。

式17から、 C_{QUAL} は1nFに設定され、OV、UV検証時間は16msに設定されます。これにより、LTC4421はGATE1の電圧をプリチャージする時間を確保して、V2が出力に電力を供給しているときにV1入力電源が挿入された場合のターンオン時間を最小限に抑えることができます。

PCBレイアウトに関する検討事項

正確な電流検出が行えるように、検出抵抗にはケルビン接続を推奨します。検出抵抗のPCBレイアウトは、バランスのとれた対称的なレイアウトにして、配線ミスを最小限に抑えてください。更に、検出抵抗とパワーMOSFETのPCBレイアウトには、適切な温度管理手法を組み込んで、デバイスの消費電力を最適化する必要があります。大電流アプリケーションでは、小さな抵抗が急速に大きくなります。1オンスの銅には約530μΩ/平方のシート抵抗があることに注意してください。パターンが適切な温度に保たれる、1オンスの銅箔の最小パターン幅は、1Aあたり0.02インチ(1Aあたり0.5mm)です。1Aあたり0.03インチ(1Aあたり0.8mm)以上の幅にすることを推奨します。

ノイズ耐性を改善するには、OV、UV、UVF抵抗分圧器をLTC4421の近くに配置し、GNDピンおよび入力電源ピンへのパターンを短く保ちます。 C_{INTVCC} (INTVCCピンのバイパス・コンデンサ)をLTC4421にできるだけ近づけて、INTVCCとGNDの間に配置することも重要です。 C_{CPO} (チャージ・ポンプの貯蔵コンデンサ)は、LTC4421にできるだけ近づけて、CPOピンとCPOREFピンの間に配置します。電圧トランジェント圧縮ダイオードD1およびD2は、LTC4421の近くに配置し、幅の広いパターンを使って入力電源とグラウンドの間に接続します。図15に、2層基板での推奨PCBレイアウトを示します。

アプリケーション情報

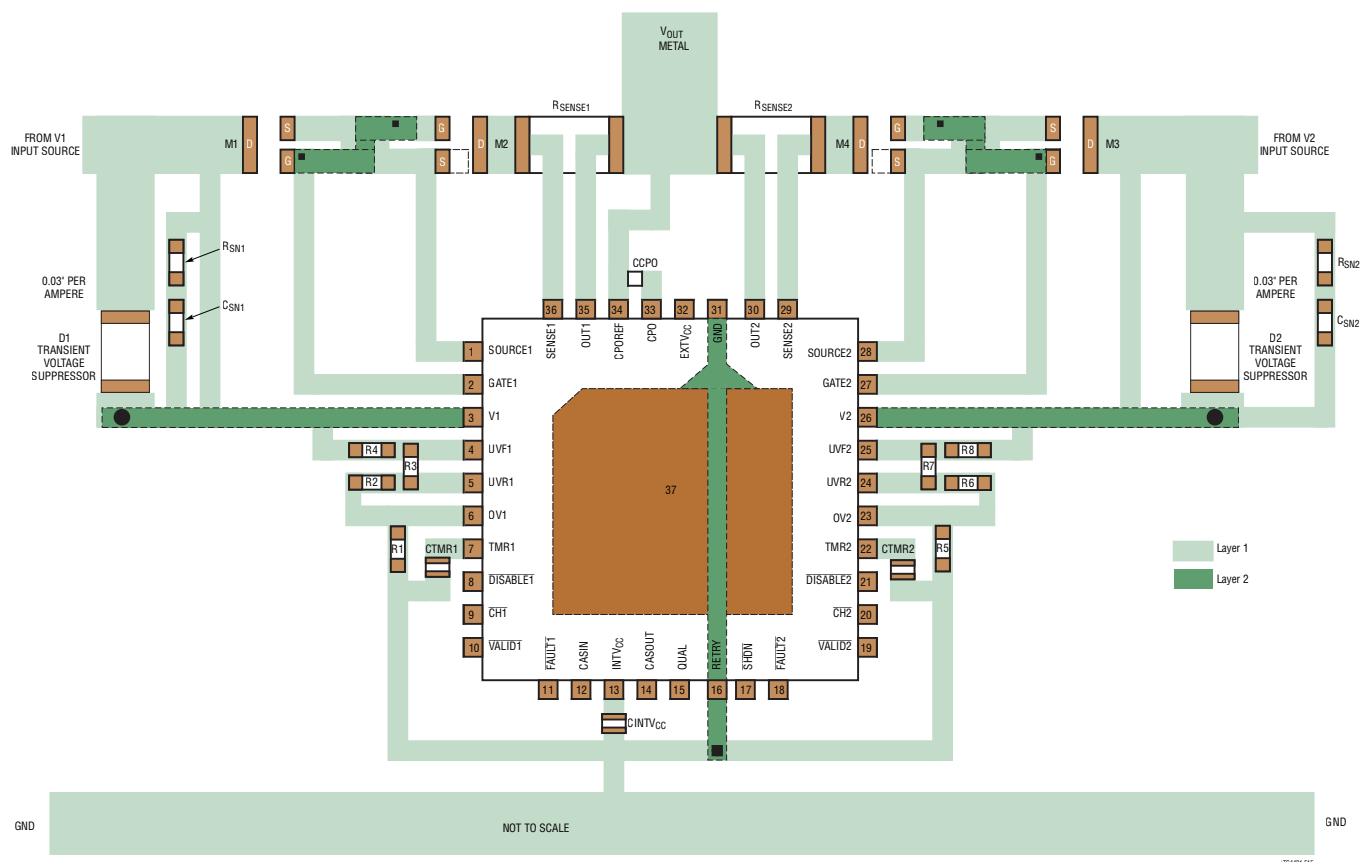


図15. 推奨される2層PCBレイアウト

接続解除時の入力ホールドアップの防止

図16には、ケルビン・センス付きバックプレーン・コネクタが含まれています。OVおよびUV閾値を設定する抵抗分圧ネットワークが、ケルビン・センスに接続されています。OV1、UVF1、またはUVR1ピンにはホールドアップ・コンデンサがないため、V1に電力を供給している電源を遮断すると、ほぼ同時にUV障害が発生します。出力の放電レートはUV障害時間に比べて非常に遅いため、出力電圧がわずかしか放電されないうちに、UV障害が発生します。ケルビン・センス接続がなかったとすると、入力電源が遮断されたとき、抵抗分圧器はM1のドレインに接続されたままになります。出力、OV1、UVF1およびUVR1ピンの電圧はすべて、出力の放電によって決まるレートで低下し、出力電圧がUVF1のスレッシュホールド電圧より低くなるまで、チャンネルは遮断されません。

SOAダブル

複数のLTC4421を使用して、図17に示すように、それぞれの入力から出力への並列MOSFET経路を制御できます。この構成は非常に大電流のアプリケーションで効果的であり、各MOSFETのSOAの負担と負荷電流を流す負担を2分の1にカットできます。LTC4421 #1はマスタとして動作し、OV、UV、障害および逆電流を含むすべてのモニタリング機能を実行します。LTC4421 #2は、 $\overline{\text{VALIDI2}}$ および $\overline{\text{VALIDI22}}$ 信号をローに駆動して正常にパワーアップされたことを示した後、LTC4421 #1に対するスレーブとして動作し、LTC4421 #1の指令で外付けMOSFETをオンおよびオフします。LTC4421 #1の $\overline{\text{CH1}}$ および $\overline{\text{CH2}}$ 出力を、インバータU3およびU4を介してLTC4421 #2の $\overline{\text{DISABLEI1}}$ および $\overline{\text{DISABLEI2}}$ 入力にそれぞれ接続すると、2個のLTC4421のチャンネルのターンオンとターンオフが同期します。NORゲートU1およびU2は、LTC4421 #2の入力が検証されるまで、LTC4421 #1がMOSFETをオンにできないようにします。これにより、LTC4421 #2がMOSFETをオンにできないときに、LTC4421 #1がMOSFETをオンにすることはありません。

アプリケーション情報

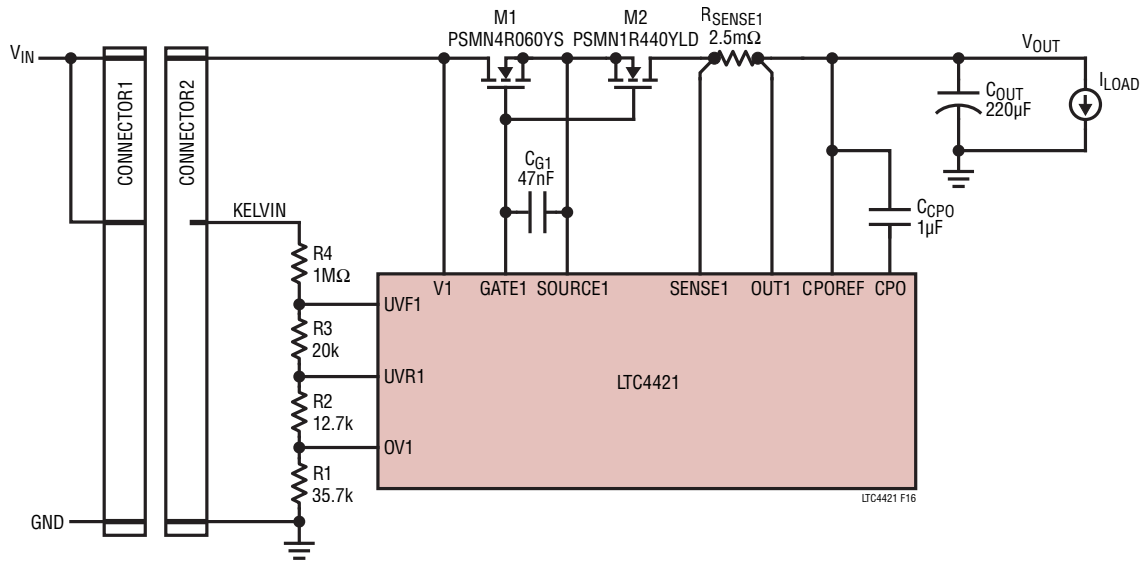


図 16. スタガード・コネクタを使用してOVおよびUVピンをV_{OUT}からデカップリングし、接続解除時の入力のホールドアップを防止

アプリケーション情報

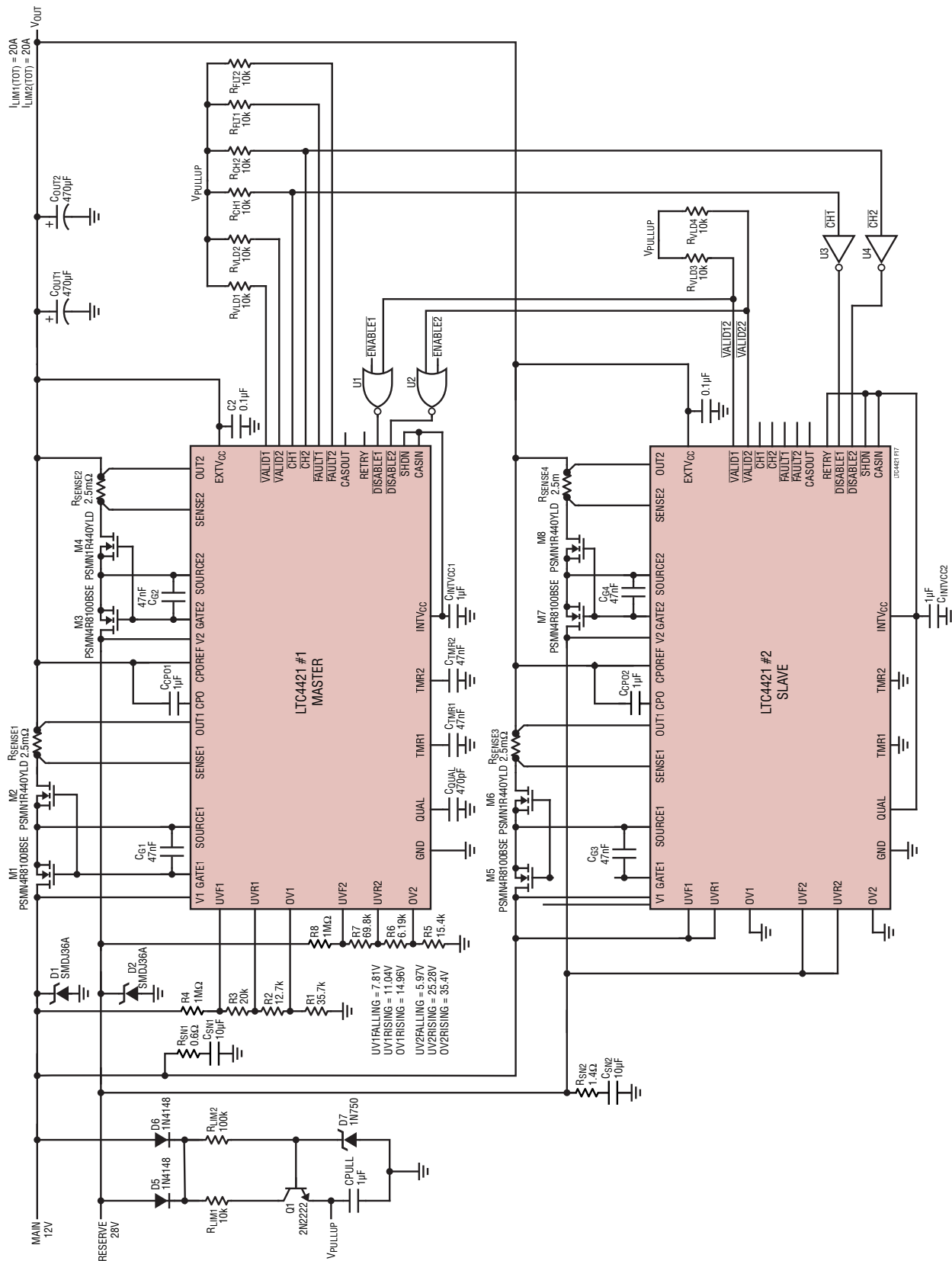
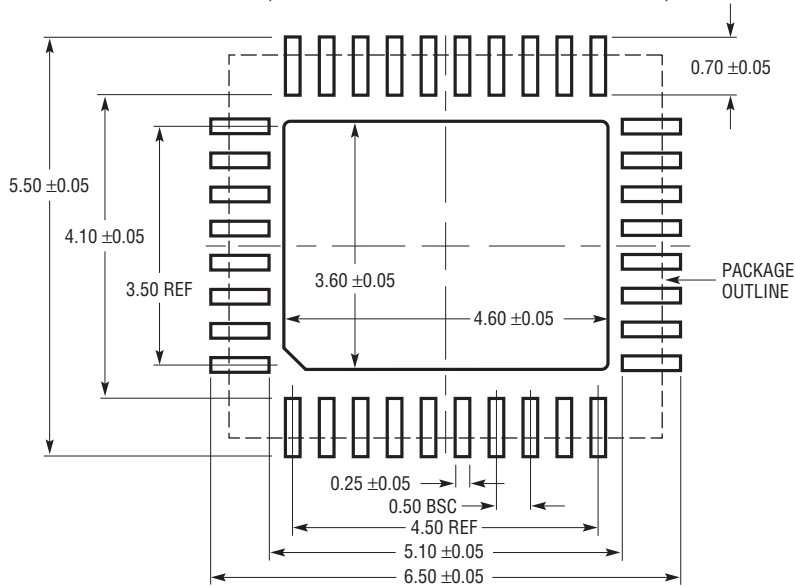


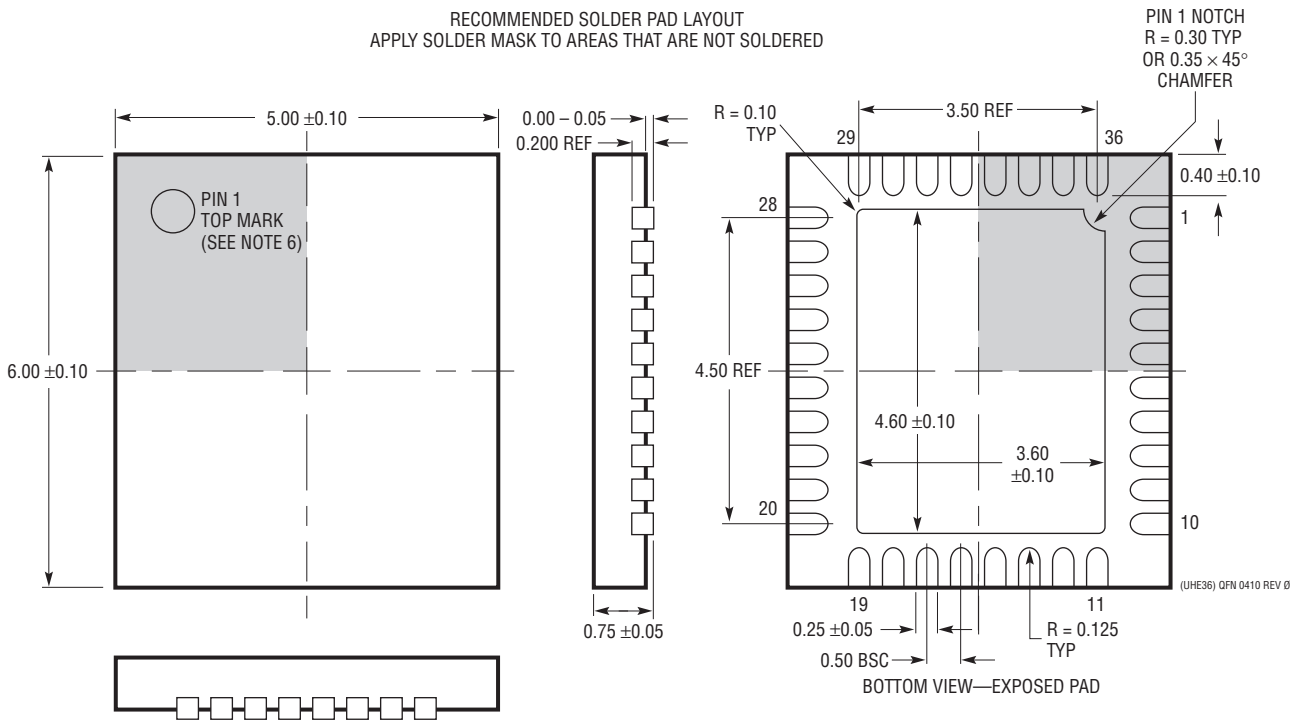
図 17. 50A ダブドラ。大電流アプリケーションで 2 個の LTC4421 をマスター/スレーブ構成で使用し、電流と SOA の負担を並列 MOSFET のペアに分割

パッケージ

UHE Package
36-Lead Plastic QFN (5mm × 6mm)
 (Reference LTC DWG # 05-08-1876 Rev 0)



RECOMMENDED SOLDER PAD LAYOUT
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



注：

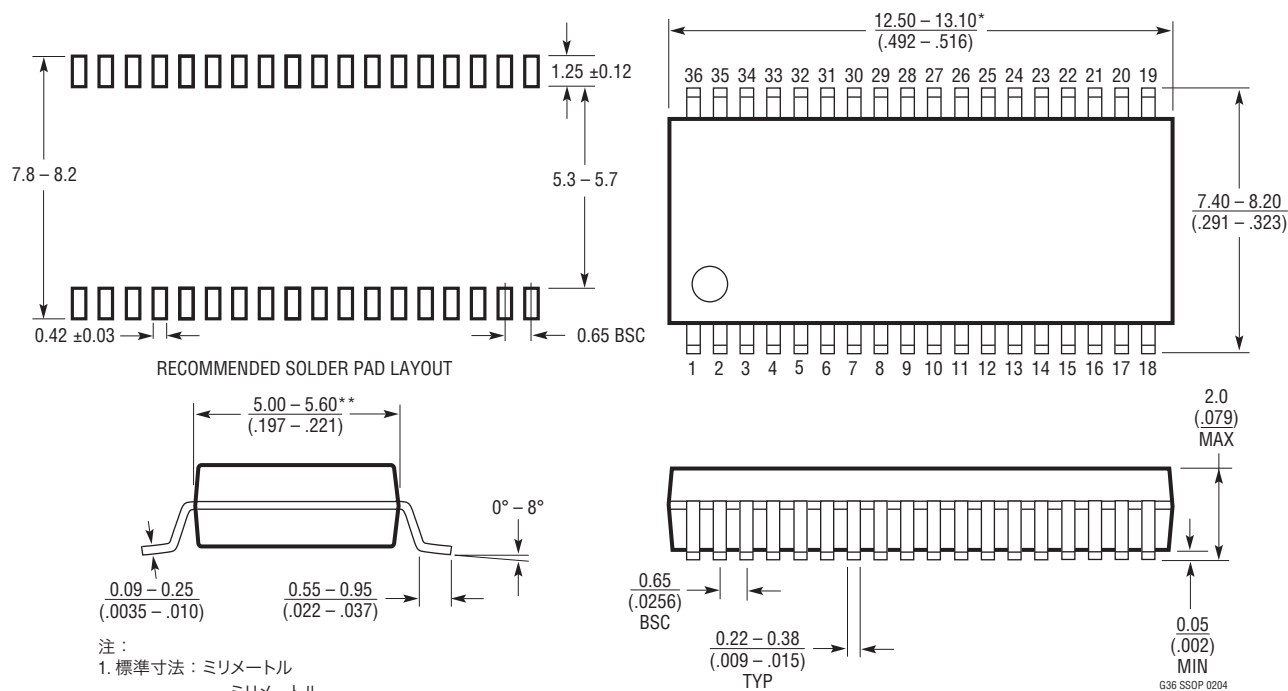
1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法の単位はミリメートル

4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリ（存在する場合）はどの側でも 0.20mm を超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

(UHE36) QFN 0410 REV 0

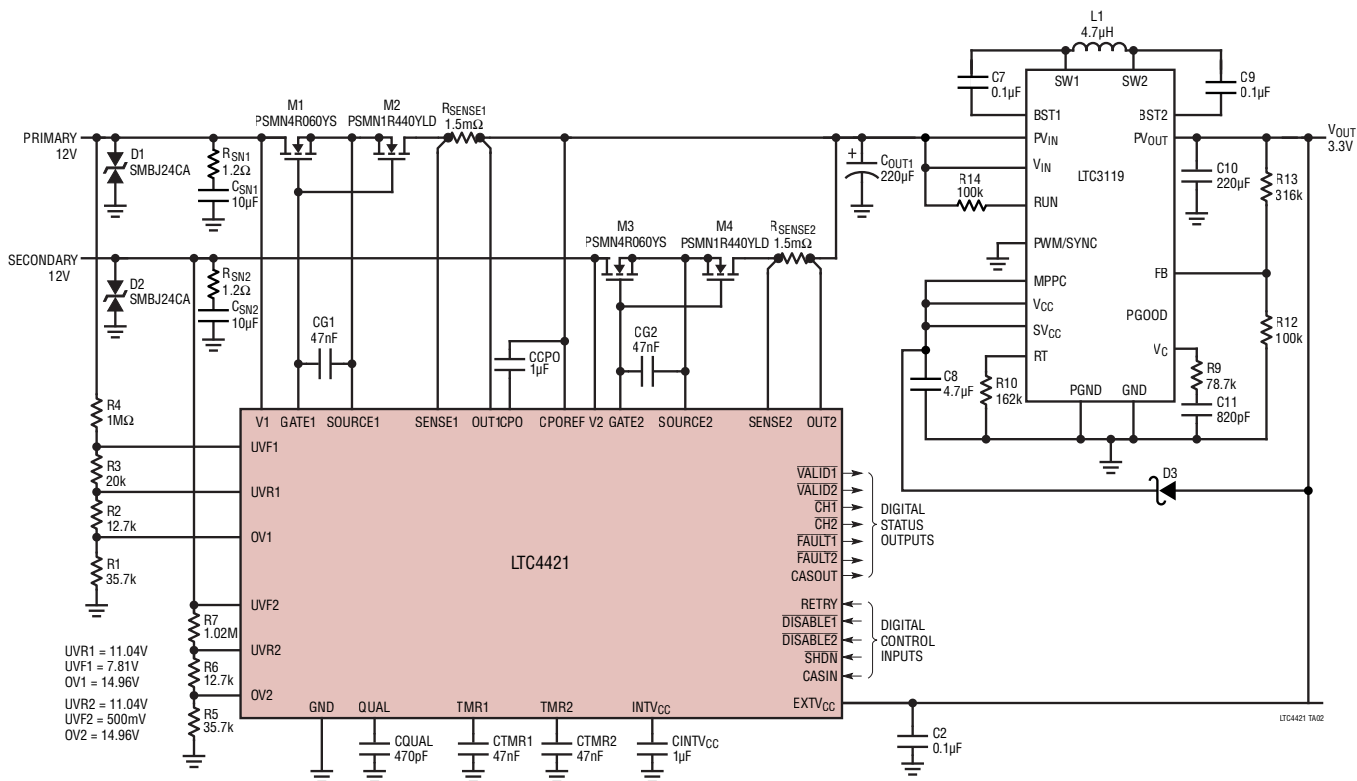
パッケージ

G Package
36-Lead Plastic SSOP (5.3mm)
 (Reference LTC DWG # 05-08-1640)



標準的応用例

EXTV_{CC} への電力供給に LTC3119 を使用し、2次電源は最低 500mV まで動作可能



関連製品

製品番号	説明	注釈
LTC4417	トリプル優先順位付け PowerPath コントローラ	動作電圧: 2.5V~36V、外付け P チャンネル MOSFET、逆バッテリー接続からの保護: -42V
LTC4418	デュアル優先順位付け PowerPath コントローラ	動作電圧: 2.5V~40V、外付け P チャンネル MOSFET、逆バッテリー接続からの保護: -42V
LTC4419	デュアル優先順位付け PowerPath コントローラ	1.8V~18V 動作、0.5A スイッチ、未使用シール
LTC4420	デュアル優先順位付け PowerPath コントローラ	1.8V~18V 動作、0.5A スイッチ、未使用シール、バックアップ遮断
LTC4411	シングル 2.6A 理想ダイオード	2.6V~5.5V 動作、R _{ON} : 140mΩ、I _Q : 40μA
LTC4358	シングル 5A 理想ダイオード	9V~26.5V 動作、R _{ON} : 20mΩ、I _Q : 780μA
LTC4413	デュアル 2.6A 理想ダイオード	2.5V~5.5V 動作、R _{ON} : 140mΩ、I _Q : 25μA
LTC4415	デュアル 4A 理想ダイオード	1.7V~5.5V 動作、R _{ON} : 50mΩ、I _Q : 44μA