

デジタル・パワー・システム・マネージメント機能を備えた
9A/16V デュアル・チャンネル PolyPhase 降圧 Silent Switcher 2

特長

- ▶ **Silent Switcher® 2** アーキテクチャ：コンパクトで効率的な低 EMI のソリューションを実現
- ▶ PMBus/I²C シリアル・インターフェース
 - ▶ テレメトリ・リードバック：V_{OUT}、I_{OUT}、V_{IN}、ダイ温度、フォルト
 - ▶ 電圧、電流制限、デジタル・ソフトスタート／ストップ、シーケンシング、UV/OV、位相、周波数（最大 4MHz）、ループ補償をプログラム可能
 - ▶ フォルト・イベント・ログ機能を備えた EEPROM を内蔵
- ▶ 設定抵抗によって重要パラメータを設定し、プログラムを行うことなくデバイスを動作させることが可能
- ▶ 0.6V～1.375V での出力電圧精度：全温度範囲で±0.25%
- ▶ 最大 8 相での PolyPhase® 負荷分担
- ▶ 広い V_{IN} 範囲：最小 2.9V（EXTV_{CC} 使用時は 1.5V）、最大 16V
- ▶ 1MHz、12V_{IN}、3.3V_{OUT} で 94% 以上のピーク効率
- ▶ V_{OUT} 範囲：0.4V～5.5V（最大 85% × V_{IN}）
- ▶ V_{OUT} の差動リモート検出
- ▶ 外部周波数同期
- ▶ 36 ピン（4mm × 5mm）LQFN パッケージ

アプリケーション

- ▶ 通信、ストレージ、および産業システム
- ▶ データ・センターおよびソリッドステート駆動電源

代表的なアプリケーション回路

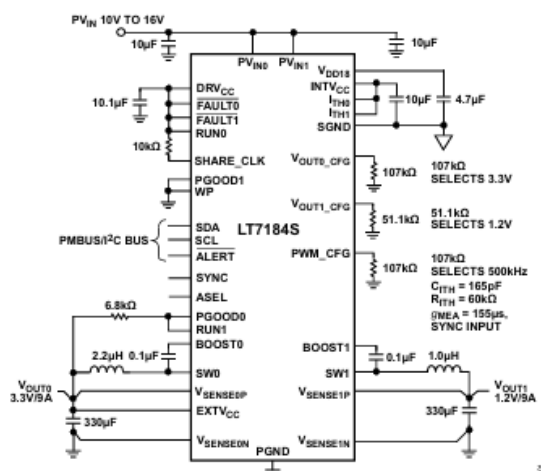


図 1. LT7184S の代表的なアプリケーション

概要

LT7184S はデュアル出力のモノリシック PolyPhase DC/DC 同期整流式降圧レギュレータです。両方のチャンネルから最大 7A の連続電流を同時に供給でき、どちらのチャンネルも -8A ~ +9A の負荷に対応します。第 2 世代の Silent Switcher®アーキテクチャを採用した LT7184S は、オーバーシュートの小さい高速でクリーンなスイッチング・エッジを提供する V_{IN} バイパス・コンデンサを内蔵しており、高いスイッチング周波数で高効率を実現しながら電磁干渉 (EMI) 放射を最小限に抑えます。I²C ベースの PMBus 1.3 準拠シリアル・インターフェースにより、デバイス機能を制御し、システム・モニタリング用のテレメトリ情報を提供することができます。LT7184S には、LTpowerPlay®グラフィカル・ユーザ・インターフェース・ツールを使用できます。出力電圧、周波数、位相、デバイス・アドレスは抵抗を使って設定でき、プログラミングなしでデバイスを動作させることが可能です。設定内容は、シリアル・インターフェースを介して EEPROM に書き込み、または保存することもできます。最小オン時間が 25ns (代表値) のオン時間制御式の谷電流モード・アーキテクチャにより、低出力電圧時の高スイッチング周波数動作が可能となり、優れた過渡応答を実現すると共に全体的なソリューション・サイズを小さく抑えます。

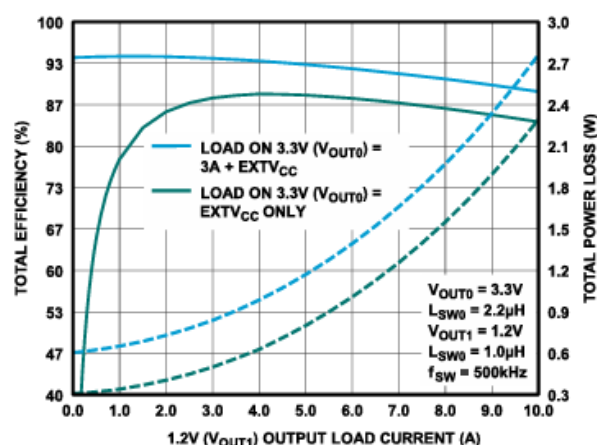


図 2. LT7184S/12V_{IN} の代表的なアプリケーションの効率

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

©2024 Analog Devices, Inc. All rights reserved.

本社／〒105-7323 東京都港区東新橋 1-9-1 東京汐留ビルディング 23F

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー10F

名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー38F

目次

特長.....	1
アプリケーション.....	1
概要.....	1
代表的なアプリケーション回路.....	1
改訂履歴.....	3
絶対最大定格.....	4
熱抵抗.....	5
ESD に関する注意.....	5
仕様.....	6
ピン配置およびピン機能の説明.....	12
代表的な性能特性.....	16
ブロック図.....	21
動作原理.....	22
概要.....	22
スイッチング・レギュレータの制御ループ.....	23
ソフトスタート.....	23
EEPROM.....	23
パワーアップおよび初期化.....	24
シャットダウン.....	24
警告とフォルトの処理.....	25
FAULT ピン.....	26
PGOOD ピン.....	26
ALERT ピン.....	26
フォルト・イベント・ログ.....	26
アプリケーション情報.....	28
抵抗設定ピンの使用法.....	28
出力電圧の設定.....	28
スイッチング周波数と位相.....	29
PolyPhase による負荷分担.....	31
ASEL ピンによるデバイス・アドレス選択.....	33
動作周波数のトレードオフ.....	33
最小オン時間と最小オフ時間に関する考慮事項.....	34
プログラマブルな電流制限.....	34
インダクタの選択.....	35
入力コンデンサと出力コンデンサ.....	36
プログラマブルな PWM 制御ループ補償.....	36
制御ループ・モデル.....	37
ソフトウェアで設定可能なシーケンシング.....	39
イベントベースのシーケンシング.....	39
LTPowerPlay の GUI.....	39
ボード・レイアウト時の考慮事項.....	40
熱に関する考慮事項.....	41

代表的なアプリケーション 42

PMBus コマンドの概要 44

 PMBus/I²C シリアル・インターフェースの概要..... 44

外形寸法..... 51

オーダー・ガイド..... 51

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/24	初版発行	-

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 1. 絶対最大定格

PARAMETER	RATING
PV_{IN0}, PV_{IN1}	-0.3V to +20V
Average PV_{IN} Input Supply Current ²	3A
$EXTV_{CC}$	-0.3V to +6V
$V_{SENSE0P}, V_{SENSE1P}$	-0.3V to +6V
$V_{SENSE0N}, V_{SENSE1N}$	-0.3V to +0.3V
I_{TH0}, I_{TH1}	-0.3V to +6V
SYNC, PWM_CFG, WP, SHARE_CLK, $\overline{\text{ALERT}}$, SDA, SCL, $\overline{\text{FAULT0}}$, $\overline{\text{FAULT1}}$, RUN0, RUN1, PGOOD0, PGOOD1, ASEL, V_{OUT0_CFG} , and V_{OUT1_CFG}	-0.3V to +6V
BOOST0 with respect to SW0	-0.3V to +6V
BOOST1 with respect to SW1	-0.3V to +6V
Operating Junction Temperature ^{3, 4, 5}	-40°C to +150°C
T_J	150°C
Storage Temperature Range	-65°C to +150°C
Maximum Peak Re-flow (Package Body) Temperature	260°C

- 1 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。
- 2 LT7184S の各 PV_{IN} ピンへの平均入力電流は、 PV_{IN} の入力電圧、負荷電流を流すための設定済み出力電圧、および効率の関数で、次式で表されます。

$$I_{PVIN} = \frac{V_{OUT} \times I_{OUT}}{PV_{IN} \times \text{Efficiency}}$$

出力電圧と出力電流は、 PV_{IN} の入力電流が LT7184S の最大平均電流定格を超えないよう設定できます。LT7184S の最大平均入力電流定格を超過すると、デバイスの信頼性と寿命に影響を与える場合があります。

- 3 LT7184S は、 $-40^\circ\text{C} \sim +150^\circ\text{C}$ の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高いと動作寿命が低下します。 125°C を超えるジャンクション温度では、動作寿命がディレーティングされます。これらの仕様に適合する最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因と共に、特定の動作条件によって決まります。
- 4 LT7184S は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。この保護機能が作動するときは、ジャンクション温度が最大定格値を超えています。仕様規定された最大動作ジャンクション温度を超えてデバイスを連続動作させると、デバイスの寿命が短くなります。
- 5 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性および寿命に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

表 2. 熱抵抗

PACKAGE TYPE	θ_{JA} ³	θ_{JC-TOP} ⁴	$\theta_{JC-BOTTOM}$ ⁴	UNIT
LQFN ¹	31.0	29.2	2.6	(°C/Watt)
LQFN ²	19.9	29.2	2.6	(°C/Watt)

- 1 テスト条件 1：熱抵抗は、114mm x 76mm で厚さ 1.6mm の 2S2P JEDEC FR-4 PCB を 1 立方フィートの密閉容器内で使用した場合についてシミュレーションした値。
- 2 テスト条件 2：熱抵抗は、静止状態の空气中でデモ用ボードを用いた場合についてシミュレーションした値。
- 3 θ_{JA} は、自然対流下でのジャンクションと周囲環境の間の熱抵抗です。
- 4 θ_{JC-TOP} および $\theta_{JC-BOTTOM}$ は、自然な熱伝導下でのジャンクションとケースの間の熱抵抗です。

ESD に関する注意

	ESD（静電放電）の影響を受けやすいデバイスです。 帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	--

仕様

表 3. 電気的特性

(代表値は $T_A = 25^\circ\text{C}$ での値。特に指定のない限り、最小値および最大値の仕様は動作温度範囲全体に適用されます。)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLY					
Channel 0 Input Supply Range	$\text{EXTV}_{\text{CC}} < 3.0$	2.9		16	V
Channel 0 Input Supply Range with EXTV_{CC}	$3\text{V} \leq \text{EXTV}_{\text{CC}} \leq 5.5\text{V}$	1.5		16	V
Channel 1 Input Supply Range	$\text{PV}_{\text{IN}0} \geq 2.9\text{V}$ or $3\text{V} \leq \text{EXTV}_{\text{CC}} \leq 5.5\text{V}$	1.5		16	V
Optional EXTV_{CC} Input Supply Range		3		5.5	V
$\text{EXTV}_{\text{CC}} + \text{PV}_{\text{IN}0} + \text{PV}_{\text{IN}1}$ Quiescent Current, both Channels Switching	$\text{EXTV}_{\text{CC}} = 4\text{V}$, $f_{\text{SW}} = 1\text{MHz}$, $\text{PV}_{\text{IN}0} = \text{PV}_{\text{IN}1} = 12\text{V}$, No Load, $T_A = 25^\circ\text{C}$		44		mA
$\text{EXTV}_{\text{CC}} + \text{PV}_{\text{IN}0}$ Current, Shutdown	Shutdown, $T_A = 25^\circ\text{C}$		7.4		
Initialization Time ¹	With CFG Pins Enabled (Default), $T_A = 25^\circ\text{C}$		13		ms
	CFG Pins Ignored, $T_A = 25^\circ\text{C}$		10		ms
SWITCHING REGULATORS					
V_{OUT} Range	$\text{PV}_{\text{IN}} \geq 6.5\text{V}$	0.4		5.5	V
	$\text{PV}_{\text{IN}} < 6.5\text{V}$	0.4		$0.85 \times \text{PV}_{\text{IN}}$	V
V_{OUT} Set-Point Accuracy	High-Performance, Low V_{OUT} Mode, $0.6\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$	-0.25		0.25	%
	$0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$	-0.5		0.5	%
V_{OUT} Set-Point Resolution			1		mV
$V_{\text{SENSE}0\text{P}}$, $V_{\text{SENSE}1\text{P}}$ Input Resistance	Switcher (SWR0 or SWR1) Enabled, or 250 Ω Pull-Down Disabled, $T_A = 25^\circ\text{C}$		30		k Ω
Error Amplifier Transconductance Programming Resolution			3		bits
Error Amplifier Transconductance ($g_{\text{m}(\text{MAX})}$)	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$, Includes Internal V_{OUT} Feedback Divider		1240		μS
Error Amplifier Transconductance ($g_{\text{m}(\text{MIN})}$)	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$, Includes Internal V_{OUT} Feedback Divider		155		μS
Error Amplifier Transconductance (g_{m} step size)	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$, Includes Internal V_{OUT} Feedback Divider		155		μS

(代表値は $T_A = 25^\circ\text{C}$ での値。特に指定のない限り、最小値および最大値の仕様は動作温度範囲全体に適用されます。)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Error Amplifier Transconductance ($g_{m(\text{MAX})}$)	High-Performance, Low V_{OUT} Mode, $0.6\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider		5000		μS
Error Amplifier Transconductance ($g_{m(\text{MIN})}$)	High-Performance, Low V_{OUT} Mode, $0.6\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider		625		μS
Error Amplifier Transconductance (g_m step size)	High-Performance, Low V_{OUT} Mode, $0.6\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider		625		μS
Internal Compensation Resistor Programming Resolution	Internal Compensation (I_{TH} connected to INTV_{CC})		3		Bits
Internal Compensation Capacitor Programming Resolution	Internal Compensation (I_{TH} connected to INTV_{CC})		3		Bits
Positive Inductor Valley Current Limit: ($I_{\text{LIM-POS}}$) ² (Sourcing Output Current)	I_{LIM} Range 0	3.4	4	4.5	A
	I_{LIM} Range 1	6.0	7	7.5	A
	I_{LIM} Range 2	7.8	9	10	A
	I_{LIM} Range 3	7.8	9	10	A
Negative Inductor Valley Current Limit ($I_{\text{LIM-NEG}}$) ² (Sinking Output Current)	I_{LIM} Range 0	-4	-3.5	-3.0	A
	I_{LIM} Range 1	-6.5	-6	-5.5	A
	I_{LIM} range 2	-8.5	-7.5	-6.5	A
	I_{LIM} Range 3	-10	-9	-8	A
Minimum On-Time ($t_{\text{MIN-ON}}$)	$I_{\text{LOAD}} = +1\text{A}$, $\text{FASTSLEW} = 1$		25	40	ns
Minimum Off-Time ($t_{\text{MIN-OFF}}$)			85	125	ns
POWER FETs					
On-Resistance ($R_{\text{DS-ON}}$)	Top Switch		25		$\text{m}\Omega$
	Bottom Switch		7		$\text{m}\Omega$
SW Leakage	$PV_{\text{IN}} = 16\text{V}$, $V_{\text{SW}} = 0\text{V}$, 16V , $T_A = 25^\circ\text{C}$	-20		20	μA
OUTPUT VOLTAGE SUPERVISORS					
V_{OUT} Undervoltage (UV) Fault/Warning Programming Range	$T_A = 25^\circ\text{C}$	0.36		5.5	V
V_{OUT} Overvoltage (OV) Fault/Warning Programming Range	$T_A = 25^\circ\text{C}$	0.4		6	V
V_{OUT} UV/OV Fault/Warning Threshold Accuracy	V_{OUT} UV/OV Threshold $< 0.6\text{V}$	-12		12	mV
	V_{OUT} UV/OV Threshold $\geq 0.6\text{V}$	-2		2	%
V_{OUT} UV/OV Fault/Warning Programming Step-Size			4		mV

(代表値は $T_A = 25^\circ\text{C}$ での値。特に指定のない限り、最小値および最大値の仕様は動作温度範囲全体に適用されます。)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OUT} UV/OV Fault/Warning Time	$V_{OUT} = 10\text{mV}$ Beyond Threshold			25	μs
INPUT VOLTAGE SUPERVISORS					
ON Threshold Programming Range	PV_{IN} rising, $T_A = 25^\circ\text{C}$	1.4		16	V
OFF Threshold Programming Range	PV_{IN} falling, $T_A = 25^\circ\text{C}$	1.35		16	V
ON/OFF Threshold Programming Step Size			25		mV
ON/OFF Threshold Set Point Accuracy	$V_{IN_ON/OFF} \leq 5\text{V}$	-100		100	mV
	$5\text{V} \leq V_{IN_ON/OFF} \leq 20\text{V}$	-2		2	%
PV_{IN} Overvoltage Lockout Threshold	PV_{IN0} or PV_{IN1} Rising	17.26	17.6	17.94	V
	PV_{IN0} or PV_{IN1} Falling	16.26	16.7	17.14	V
OSCILLATOR AND PHASE-LOCKED LOOP					
SYNC Input Frequency Range		500		4000	kHz
Switching Frequency Programmable Range	$T_A = 25^\circ\text{C}$	500		4000	kHz
Switching Frequency Set Point Accuracy		-7.5		7.5	%
Switching Phase Programming Range		0		345	deg
Switching Phase Programmable Resolution			15		deg
TELEMETRY READBACK					
Telemetry Measurement Period, All Except Die Temperature	Standard Telemetry Mode		6.5		ms
Telemetry Measurement Period, All except Die Temperature	Low-Frequency Telemetry		110		ms
Telemetry Measurement Period, Die Temperature			26		ms
OUTPUT VOLTAGE READBACK					
READ_VOUT Accuracy	High-Performance Low- V_{OUT} Mode, $0.6\text{V} \leq V_{OUT} \leq 1.375\text{V}$	-0.2		0.2	%
	$0.4\text{V} < V_{OUT} < 5.5\text{V}$	-0.4		0.4	%
PV_{IN0}, PV_{IN1} INPUT VOLTAGE READBACK					
READ_VIN Accuracy	$1.5\text{V} \leq PV_{IN} \leq 3.0\text{V}$	-30		30	mV
	$3.0\text{V} \leq PV_{IN} \leq 16\text{V}$	-1		1	%

(代表値は $T_A = 25^\circ\text{C}$ での値。特に指定のない限り、最小値および最大値の仕様は動作温度範囲全体に適用されます。)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT CURRENT READBACK					
READ_IOUT Accuracy ²	$I_{\text{OUT}} = 0\text{A to } 4\text{A}, V_{\text{OUT}}/V_{\text{IN}} \leq 0.25,$ $500\text{kHz} \leq f_{\text{SW}} \leq 2\text{MHz}$	-350		350	mA
	$I_{\text{OUT}} = 4\text{A to } 8\text{A}, V_{\text{OUT}}/V_{\text{IN}} \leq 0.25,$ $500\text{kHz} \leq f_{\text{SW}} \leq 2\text{MHz}$	-8.75		8.75	%
	$I_{\text{OUT}} = 0\text{A to } 4\text{A}, V_{\text{OUT}}/V_{\text{IN}} > 0.25$	-600		600	mA
	All other conditions $4 \leq I_{\text{OUT}} \leq 8\text{A}$	-15		15	%
FREQUENCY READBACK					
READ_FREQUENCY Accuracy	$f_{\text{SW}} < 600\text{kHz}, T_A = 25^\circ\text{C}$	-30		30	kHz
	$f_{\text{SW}} \geq 600\text{kHz}, T_A = 25^\circ\text{C}$	-5		5	%
ELECTRICALLY ERASABLE PROGRAMMABLE READ-ONLY MEMORY (EEPROM) CHARACTERISTICS⁴					
Retention		10			years
Endurance		10,000			writes
Mass Write Time (STORE_USER_ALL)			250	500	ms
DIGITAL INPUTS: RUNN, FAULTN, PGOODN, SHARE_CLK, SCL, SDA, ALERT, WP					
Input High Threshold (V_{IH})			1.1	1.35	V
Input Low Threshold (V_{IL})		0.8	0.9		V
Hysteresis (V_{HYS})			200		mV
Leakage Current	Applied Voltage = 0V, 5.5V, $T_A = 25^\circ\text{C}$			± 10	μA
Input Capacitance ⁵	$T_A = 25^\circ\text{C}$			10	pF
DIGITAL CLOCK INPUT: SYNC					
Peak-To-Peak Input Voltage Swing	Sync Input Mode	1.4		5.5	V
Rise Time	Sync Input Mode			25	ns
Duty Cycle	Sync Input Mode	30		70	%
DIGITAL CLOCK OUTPUT: SYNC					
Output High Voltage (V_{OH})	SYNC Output Mode	1.6	1.88	1.98	V
Output Low Voltage (V_{OL})	SYNC Output Mode			0.2	V
Output Impedance	SYNC Output Mode		60		Ω
CURRENT-LIMITED OPEN-DRAIN OUTPUTS: RUNN, FAULTN					
Pull-Down Current	Applied Voltage = 0.4V to 5.5V	1	1.5	2	mA
OPEN-DRAIN OUTPUTS: PGOODN, SHARE_CLK					
Output Low Voltage	$I = 6\text{mA}$			0.4	V
DIGITAL I/O: SCL, SDA, ALERT					
	Data Output Hold-Time	0		450	ns

1 RESTORE_USER_ALL または MFR_RESET コマンドの発行から TON_DELAY タイマーが始動できるまで、あるいは、PV_{IN0} もしくは EXT_{VCC} の印加から TON_DELAY タイマーが始動できるまでの遅延。

2 LT7184S スイッチング・レギュレータは谷電流モード制御を使用するので、仕様に規定された電流制限値は、インダクタ電流波形の谷部分に対応します。谷電流制限値は、 V_{OUT}/L および FREQUENCY_SWITCH に伴って変動し、デューティサイクルが 50%未満の場合は確実に適用されます。仕様規定された電流制限値は、 $V_{\text{OUT}}/L = 2\text{V}/\mu\text{H}$ および FREQUENCY_SWITCH = 1000 の場合のものです。最大負荷電流は正負荷の場合にはこれより大きく、谷電流値にインダクタ・リップル電流の 1/2 を加えた値に等しくなります。最大負荷電流は負負荷の場合にはこれより小さく、谷電流値からインダクタ・リップル電流の 1/2 を引いた値に等しくなります。詳細については、[アプリケーション情報](#)のセクションおよび代表的な性能特性を参照してください。

- 3 READ_IOUT は、 I_{sw} が 100% のデューティサイクルで同期スイッチを流れる最大定格電流での製品テスト・モードでテストされています。アプリケーションにおいては、READ_IOUT は同期スイッチを流れる電流の測定値をサンプリングして計算されます。
- 4 EEPROM の書換え回数は、設計、特性評価、および統計的プロセス制御との関連付けによって裏付けられています。データ保持寿命は、ウェハ・レベルでの高温ベークによって製品テストされています。最小データ保持時間仕様は、EEPROM のサイクル回数が最小書換え回数仕様値未満のデバイスに適用されます。
- 5 設計、特性評価、および統計的プロセス制御との関連付けによって裏付けられています。

表 4. I²C/PMBus のタイミング

PARAMETER	SYMBOL	MIN	MAX	UNITS
Serial Bus Operating Frequency	f_{SCL}	10	1000	kHz
Bus Free Time Between Stop and Start	t_{BUF}	500		ns
Hold Time After Repeated Start Condition	t_{HD-STA}	260		ns
Repeated Start Condition Setup Time	t_{SU-STA}	260		ns
Stop Condition Setup Time	t_{SU-STO}	260		ns
Data Input Setup Time	t_{SU-DAT}	50		ns
Data Input Hold Time	t_{HD-DAT}	0		ns
Data Output Hold Time		0	450	ns
Bus Timeout	$t_{TIMEOUT}$	25	35	ms
Serial Clock Low Period	t_{LOW}	0.5	10000	μ s
Serial Clock High Period	t_{HIGH}	260		ns

ピン配置およびピン機能の説明

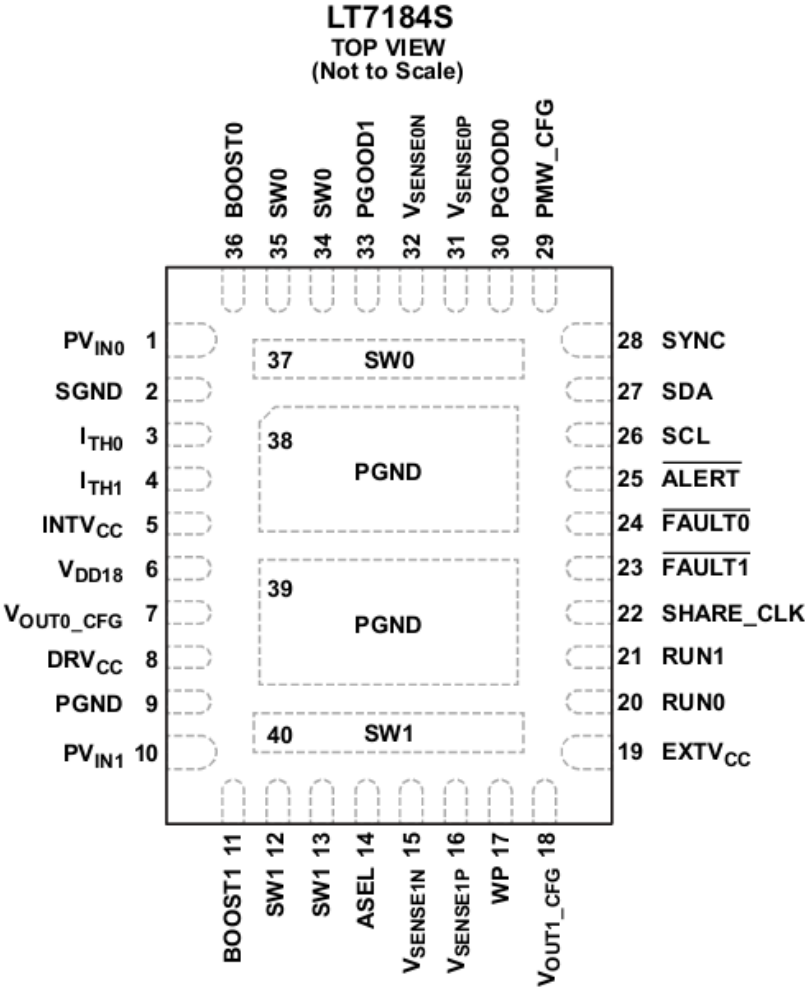


図 3. ピン配置

表 5. ピンの説明

ピン番号	名称	説明
1	PV_{IN0}	チャンネル 0 および内部 LDO レギュレータの電源入力。このピンは、PCB 最上層の LT7184S にできるだけ近い位置で、 $4.7\mu F$ 以上の低 ESR コンデンサを使って SGND にバイパスする必要があります。 $EXTV_{CC} < 3V$ の場合、内部 LDO レギュレータ (DRV_{CC} 、 $INTV_{CC}$ 、 V_{DD18} 用) は PV_{IN0} から電力を引き出します。
2	SGND	信号グラウンド。 I_{TH0} および I_{TH1} の補償ネットワークへのリターン、並びに $INTV_{CC}$ および V_{DD18} の電源ピンへのリターンは、SGND ピンのできるだけ近くで絶縁グラウンド・リターンに接続する必要があります。このピンは、LT7184S パッケージの内部で PGND と接続されています。アプリケーションの PCB においては、SGND の絶縁グラウンド・リターンを複数の場所で PGND に接続することはしないでください。PolyPhase アプリケーションでは、SGND ノードと I_{THN} ノードを PolyPhase 構成の各 IC に対称に接続する必要があります。

ピン番号	名称	説明
3	I _{TH0}	チャンネル 0 のエラー・アンプ出力およびスイッチング・レギュレータ補償。チャンネル 0 のレギュレータ・ループの周波数応答を補償するには、I _{TH0} と SGND の間に適切な外付け部品を接続します。チャンネル 0 の内部補償を選択する場合は、INTV _{CC} に接続してください。
4	I _{TH1}	チャンネル 1 のエラー・アンプ出力およびスイッチング・レギュレータ補償。チャンネル 1 のレギュレータ・ループの周波数応答を補償するには、I _{TH1} と SGND の間に適切な外付け部品を接続します。チャンネル 1 の内部補償を選択する場合は、INTV _{CC} に接続してください。
5	INTV _{CC}	内部 3V LDO レギュレータのバイパス。この LDO レギュレータ出力は内部回路に電源電流を供給します。このピンは、PCB 最上層のデバイスにできるだけ近い位置で、10μF 以上の低 ESR セラミック・コンデンサを使って SGND にバイパスする必要があります。INTV _{CC} ピンには外部回路を使って負荷をかけないでください。
6	V _{DD18}	内部 1.8V レギュレータのバイパス。このピンは、PCB 最上層の LT7184S にできるだけ近い位置で、4.7μF 以上の低 ESR セラミック・コンデンサを使って SGND にバイパスする必要があります。V _{DD18} ピンには外部回路から負荷をかけないでください。
7	V _{OUT0_CFG}	チャンネル 0 の出力電圧設定。16 個ある出力電圧設定点の中から 1 つを選択するには、 アプリケーション情報 のセクションの表 7 に従って V _{OUT0_CFG} と GND (SGND または PGND) の間に 1% 抵抗を接続します。フロート状態のままにするか V _{DD18} に接続すると、LT7184S は、EEPROM 内にプログラムされた VOUT_COMMAND の値を使用して出力電圧設定点を設定します。V _{OUT0_CFG} ピンは、起動時にのみ読み出されます。
8	DRV _{CC}	内部 3.5V LDO レギュレータのバイパス。DRV _{CC} レギュレータはパワー FET ドライバの電源電流を供給します。このピンは、PCB 最上層の LT7184S のできるだけ近くで 100nF 以上の低 ESR セラミック・コンデンサを使って PGND にバイパスし、さらに、10μF の低 ESR バルク・セラミック・コンデンサで PGND にバイパスする必要があります。DRV _{CC} ピンには外部回路から負荷をかけないでください。ただし、SHARE_CLK ピンのプルアップ抵抗や、RUN0 ピン、RUN1 ピン、FAULT0 ピンあるいは FAULT1 ピンのプルアップ抵抗については、必ずしもこの限りではありません。
9, Exposed pads 38, 39	PGND	電源グラウンド。PV _{IN1} 入力バイパス・コンデンサの (-) 端子と、出力コンデンサ (C _{OUT0} および C _{OUT1}) の (-) 端子を、低インピーダンスの接続でこれらのピンに接続してください。PCB は、PGND への接続の電気的インピーダンスと熱抵抗が小さくなるように設計する必要があります。
10	PV _{IN1}	チャンネル 1 の電源入力。このピンは、PCB 最上層の LT7184S にできるだけ近い位置で、4.7μF 以上の低 ESR コンデンサを使って PGND にバイパスする必要があります。
11	BOOST1	チャンネル 1 の昇圧フローティング・ドライバ電源。PCB の最上層のみを使い、BOOST1 と SW1 の間のできるだけ LT7184S に近い位置に、0.1μF の昇圧コンデンサを接続します。このピンの通常動作時の電圧振幅は、DRV _{CC} から PV _{IN1} + DRV _{CC} までです。
12, 13, Exposed pad 40	SW1	チャンネル 1 の内部パワー・スイッチの出力。これらのピンは互いに接続し、チャンネル 1 のインダクタと BOOST1 コンデンサに接続してください。このノードは、チャンネル 1 の最大負荷電流に対応できるサイズにする必要があり、その他の全ての PCB の金属部から離して配置します。
14	ASEL	シリアル・バスのアドレス設定ピン。16 個あるシリアル・バス・インターフェース・アドレスの中から 1 つを選択するには、ASEL とグラウンド (SGND または PGND) の間に 1% 抵抗を接続します。ASEL ピンは、起動時にのみ読み出されます。ASEL ピンがフロート状態のままになっている場合、工場出荷時のデフォルトの 7 ビット・デバイス・アドレスは 0x4F です。ASEL ピンが接地されている場合、工場出荷時のデフォルトのデバイス・アドレスは 0x40 です。

ピン番号	名称	説明
15	V _{SENSE1N}	出力電圧の負側センス入力。チャンネル 1 の出力電圧検出のグラウンド・ポイントに接続します。
16	V _{SENSE1P}	出力電圧の正側センス入力。チャンネル 1 の出力電圧の検出ポイントに接続します。
17	WP	書込み保護ピン。このピンがハイの場合は、PAGE、OPERATION、MFR_EE_UNLOCK、CLEAR_FAULTS コマンドのみを書き込むことができます。STATUS コマンドのそれぞれのビットに 1 を書き込むことによって、個々のフォルト・ビットをクリアしてください。
18	V _{OUT1_CFG}	チャンネル 1 の出力電圧設定、または PolyPhase 設定。PWM_CFG ピンが PolyPhase 用に設定されていない場合は、V _{OUT1_CFG} とグラウンド (SGND または PGND) の間にある 1%抵抗が、 アプリケーション情報のセクションの表 7 に従って電圧設定点として選択されます。PWM_CFG ピンが PolyPhase 用に設定されている場合は、V _{OUT0_CFG} に基づいてチャンネル 1 の出力がチャンネル 0 と同じ値に設定され、V _{OUT1_CFG} とグラウンドの間にある 1%抵抗が、 アプリケーション情報のセクションの表 10 に従って PolyPhase 構成を選択します。V _{OUT1_CFG} ピンは、LT7184S の起動時に読み出されます。
19	EXTV _{CC}	オプションの電源入力。3V~5.5V に接続した場合、このピンは DRV _{CC} 、INTV _{CC} 、V _{DD18} の各電源を使用するために使われます。レギュレータ出力の 1 つが 3V 以上を出力するように設定されている場合は、電力損失を小さくするために、その出力を EXTV _{CC} に接続することができます。このピンをレギュレータ出力に接続しない場合は、LT7184S にできるだけ近い位置に 0.1μF 以上のローカル・バイパス・セラミック・コンデンサを接続します。
20	RUN0	チャンネル 0 のレギュレータ・イネーブル入力。ロジック・ハイでチャンネル 0 のレギュレータが有効化されます。RUN0 ピンは、他のレギュレータとのシーケンシングを容易にするために、POR 時とリセット時に 1.5mA (代表値) の電流でプルダウンされますが、別のデバイスのデジタル出力によってハイにオーバードライブすることもできます。入力電源が存在する場合、このピンを DRV _{CC} に直接接続して、レギュレータ動作を有効化できます。
21	RUN1	チャンネル 1 のレギュレータ・イネーブル入力。ロジック・ハイでチャンネル 1 のレギュレータが有効化されます。RUN0 ピンは、他のレギュレータとのシーケンシングを容易にするために、POR 時とリセット時に 1.5mA (代表値) の電流でプルダウンされますが、別のデバイスのデジタル出力によってハイにオーバードライブすることもできます。入力電源が存在する場合、このピンを DRV _{CC} に直接接続して、レギュレータ動作を有効化できます。
22	SHARE_CLK	双方向オープン・ドレイン・シーケンスの時間ベース共有クロック。公称 100kHz です。PolyPhase または時間ベースのシーケンシングが採用されている場合に、複数のアナログ・デバイス製品間でレギュレータ出力の起動とシャットダウンを揃えるために使用します。SHARE_CLK を複数のデバイス間で接続してシーケンシングを同期させる場合は、1.6V~5.5V へのプルアップ抵抗が必要です。時間ベースのシーケンシングを使用しない場合は、SHARE_CLK ピンをフロート状態にします。このピンは、ダイオードおよび 100kΩ の抵抗を通じて、チップ内の V _{DD18} にプルアップされます。
23	$\overline{\text{FAULT1}}$	入力ノオープン・ドレイン出力。LT7184S は、マスクされていないフォルトがチャンネル 1 のレギュレータに発生すると、1.5mA (代表値) で $\overline{\text{FAULT1}}$ ピンをプルダウンします。別のデバイスが $\overline{\text{FAULT1}}$ ピンをプルダウンすると、LT7184 のチャンネル 1 レギュレータは直ちにオフになります。PolyPhase 構成を使用している場合は、全ての PolyPhase チャンネルの $\overline{\text{FAULTN}}$ ピンを互いに接続してください。PolyPhase 構成を使用している場合、あるいは $\overline{\text{FAULTN}}$ ピンのレポートまたは共有が必要な場合は、6.8kΩ 以上の抵抗を使って 1.6V~5.5V へプルアップする必要があります。FAULT1 ピン機能が不要な場合は、 $\overline{\text{FAULT1}}$ ピンを直接 DRV _{CC} に接続することができます。
24	$\overline{\text{FAULT0}}$	$\overline{\text{FAULT0}}$ のフォルト入力ノオープン・ドレイン出力。LT7184S は、マスクされていないフォルトがチャンネル 0 レギュレータに発生すると、1.5mA (代表値) で $\overline{\text{FAULT0}}$ ピンをプルダウンします。別のデバイスが $\overline{\text{FAULT0}}$ ピンをプルダウンすると、LT7184 のチャンネル 0 レギュレータは直ちにオフになります。PolyPhase 構成を使用している場合は、全ての PolyPhase チャンネルの $\overline{\text{FAULTN}}$ ピンを互いに接続してください。PolyPhase 構成を使用している場合、あるいはフォルト・ピンのレポートまたは共有が必要な場合は、6.8kΩ 以上の抵抗を使って 1.6V~5.5V へプルアップする必要があります。 $\overline{\text{FAULT0}}$ ピン機能が不要な場合は、 $\overline{\text{FAULT0}}$ ピンを直接 DRV _{CC} に接続することができます。

ピン番号	名称	説明
25	$\overline{\text{ALERT}}$	オープン・ドレインのアラート出力。 $\overline{\text{ALERT}}$ ピン機能を使用する場合は、1.6V～5.5V へのプルアップ抵抗が必要です。 $\overline{\text{ALERT}}$ ピン機能を使用しない場合は、このピンをグラウンドに接続できます。
26	SCL	シリアル・バス・クロック入出力。クロック・ストレッチングを有効化した場合は、LT7184S の SCL をローに保持することができます（PMBus 速度が 400kHz～1MHz の場合のみ）。PMBus/I ² C を動作させるには、1.6V～5.5V へのプルアップ抵抗が必要です。シリアル・バス動作の必要がない場合は、SCL をグラウンドに接続できます。
27	SDA	シリアル・バス・データ入出力。PMBus/I ² C を動作させるには、1.6V～5.5V へのプルアップ抵抗が必要です。シリアル・バス動作の必要がない場合は、SDA をグラウンドに接続できます。
28	SYNC	外部クロック同期入出力。外部クロックを使って駆動した場合、内部フェーズ・ロック・ループ（PLL）は外部クロックの立上がりエッジでスイッチング・レギュレータ出力に同期します。出力として設定した場合（MFR_SYNC_CONFIG_LT7184 のビット 0 を 1 に設定）、LT7184S は、FREQUENCY_SWITCH コマンドによって設定されたスイッチング・クロック周波数で SYNC ピン出力を駆動します。この場合の電圧振幅は 0V～V _{DD18} です。
29	PWM_CFG	PWM 設定抵抗ピン。周波数、位相、モードの各設定を選択するには、 アプリケーション情報のセクションの表 9 に従って、PWM_CFG とグラウンド（SGND または PGND）の間に 1%抵抗を接続します。PWM_CFG ピンは、LT7184S の起動時に読み出されます。詳細については、 アプリケーション情報のセクション を参照してください。
30	PGOOD0	チャンネル 0 のパワーグッド・インジケータ出力。チャンネル 0 のレギュレータ出力が OV/UV フォルト閾値の範囲外にある場合、チャンネル 0 が無効化された場合、およびオン／オフ・シーケンシング中の場合は、PGOOD0 がローにプルダウンされます。PGOOD0 出力は内部設定タイマーによってデグリッチされます。PGOOD0 ピン機能を使用しない場合、このピンはグラウンドに接続できます。
31	V _{SENSE0P}	出力電圧の正側センス入力。チャンネル 0 の出力電圧の検出ポイントに接続します。
32	V _{SENSE0N}	出力電圧の負側センス入力。チャンネル 0 の出力電圧検出のグラウンド・ポイントに接続します。
33	PGOOD1	チャンネル 1 のパワーグッド・インジケータ出力。チャンネル 0 のレギュレータ出力が OV/UV フォルト閾値の範囲外にある場合、チャンネル 1 が無効化された場合、およびオン／オフ・シーケンシング中の場合は、PGOOD1 がローにプルダウンされます。PGOOD1 出力は内部設定タイマーによってデグリッチされます。PGOOD1 ピン機能を使用しない場合、このピンはグラウンドに接続できます。
34, 35, Exposed pad 37	SW0	チャンネル 0 の内部パワー・スイッチの出力。これらのピンは互いに接続し、チャンネル 0 のインダクタと BOOST0 コンデンサに接続してください。このノードは、チャンネル 0 の最大負荷電流に対応できるサイズにする必要があり、その他の全ての PCB の金属部から離して配置します。
36	BOOST0	チャンネル 0 の昇圧フローティング・ドライバ電源。PCB の最上層のみを使い、BOOST0 と SW0 の間のできるだけ LT7184S に近い位置に、0.1μF の昇圧コンデンサを接続します。このピンの通常動作時の電圧振幅は、DRV _{CC} から PV _{IN0} + DRV _{CC} までです。

代表的な性能特性

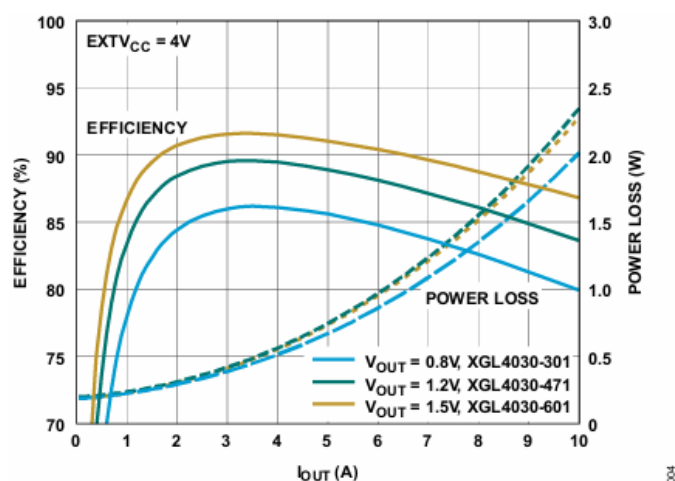
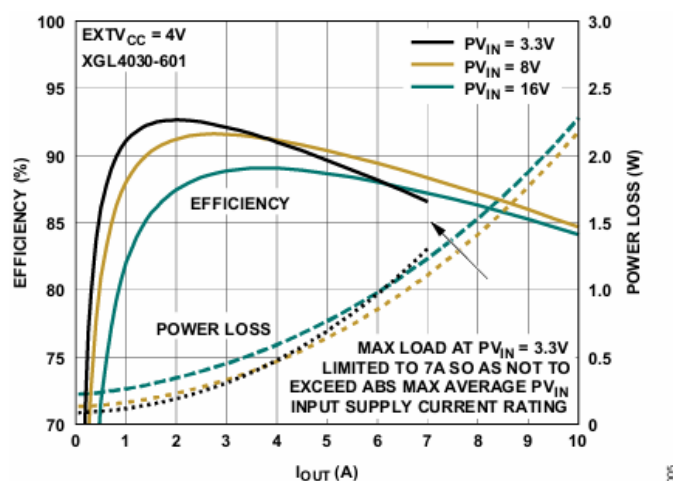
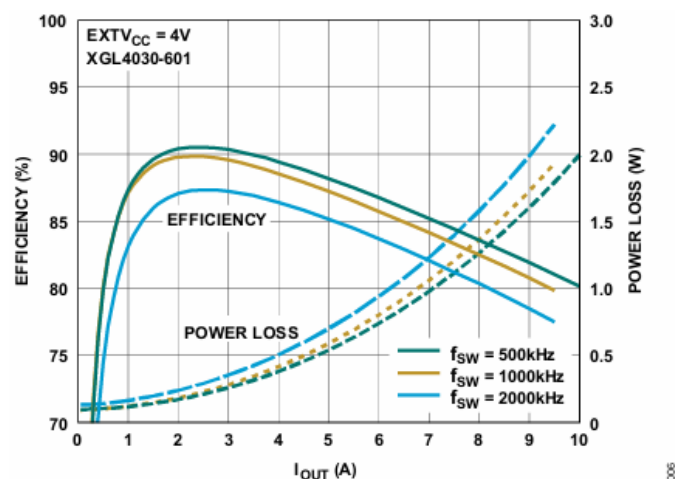
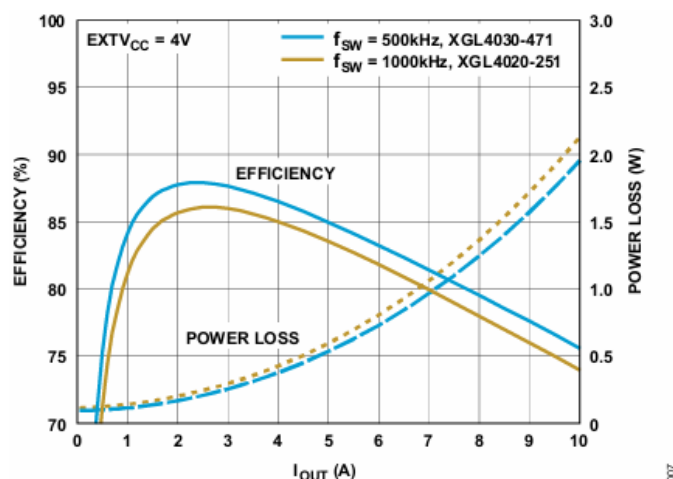
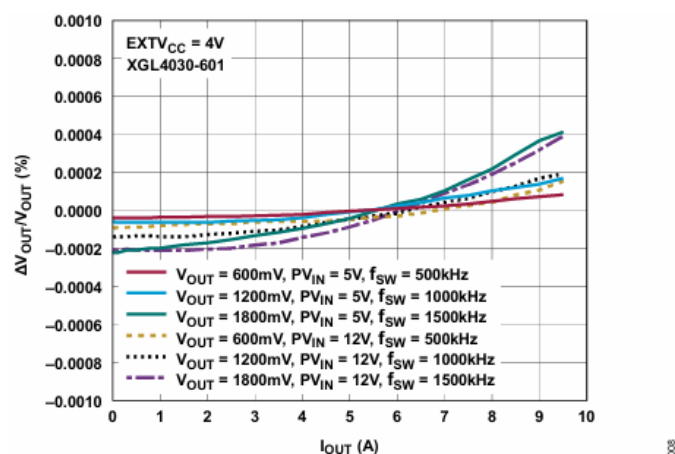
図 4. 様々な V_{OUT} に対する $PV_{IN} = 12V$, $f_{SW} = 1000kHz$ での効率および電力損失図 5. 様々な PV_{IN} に対する $V_{OUT} = 1.2V$, $f_{SW} = 1000kHz$ での効率および電力損失図 6. 様々な f_{SW} における $PV_{IN} = 5V$, $V_{OUT} = 0.8V$ での効率および電力損失図 7. 様々な f_{SW} における $PV_{IN} = 5V$, $V_{OUT} = 0.6V$ での効率および電力損失

図 8. 負荷レギュレーション

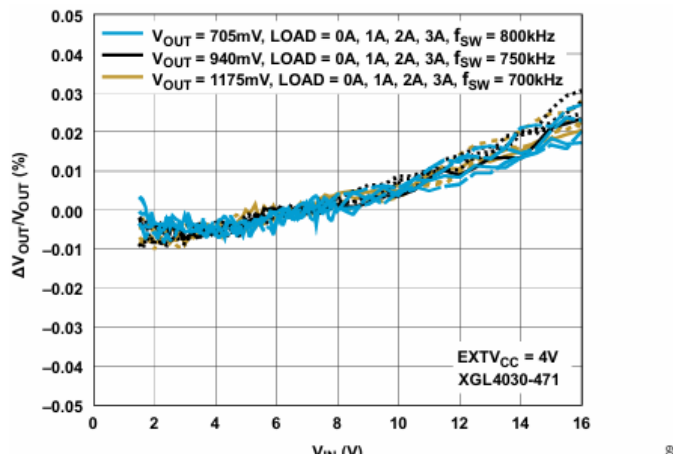


図 9. ライン・レギュレーション

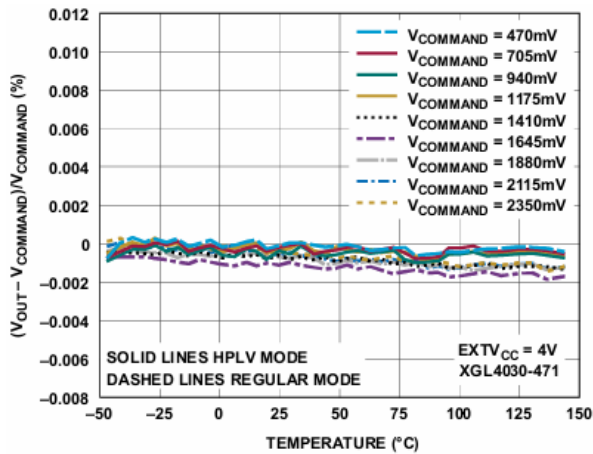


図 10. 温度レギュレーション: $(V_{OUT} - V_{COMMAND})/V_{COMMAND}$ (%) と温度の関係

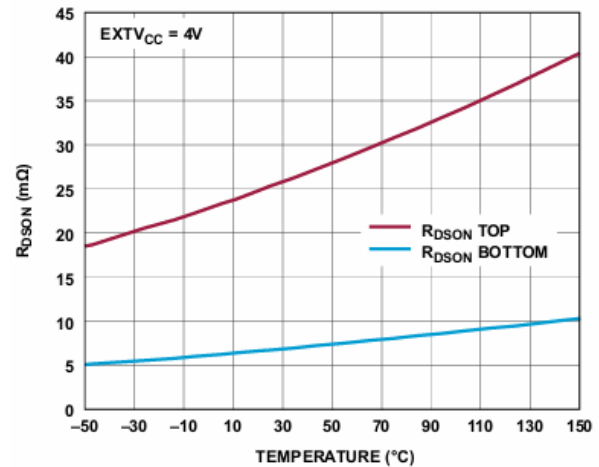


図 11. オン抵抗と温度の関係

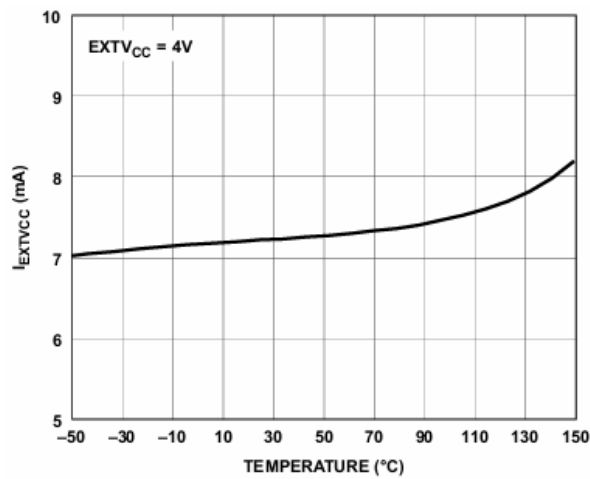


図 12. シャットダウン時の I_{EXTVCC} と温度の関係

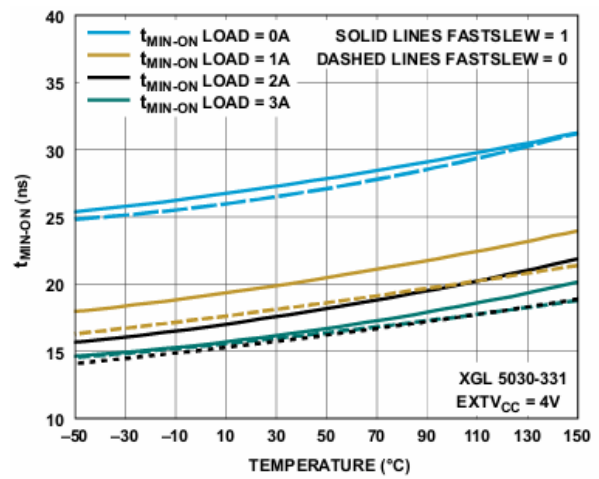


図 13. t_{MIN-ON} と温度の関係

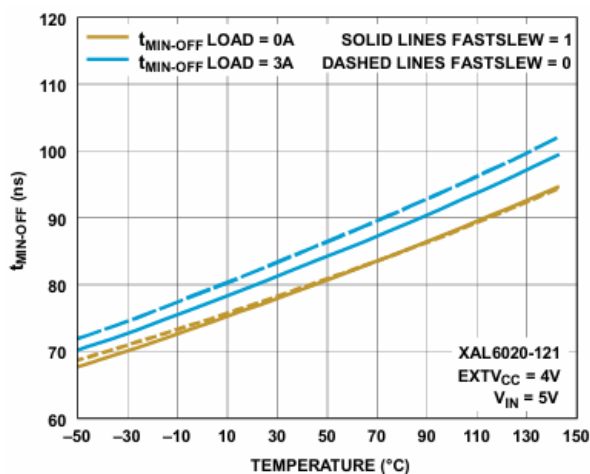


図 14. $t_{MIN-OFF}$ と温度の関係

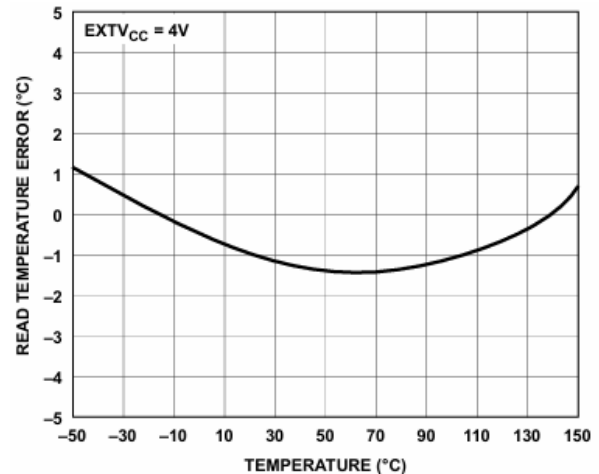


図 15. READ_TEMPERATURE 誤差と温度の関係

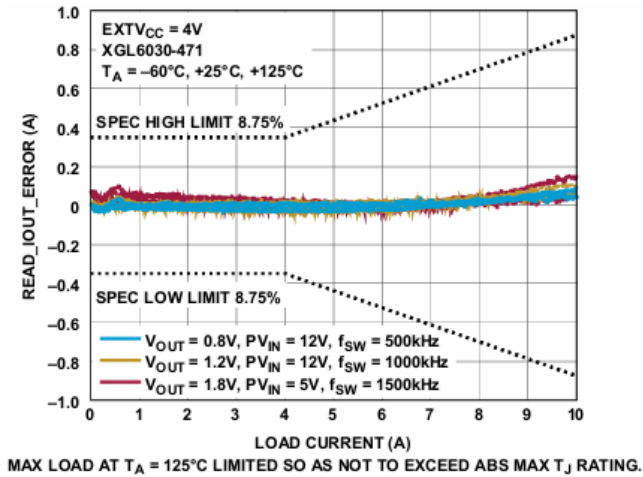


図 16. READ_IOUT 誤差と I_{OUT} の関係

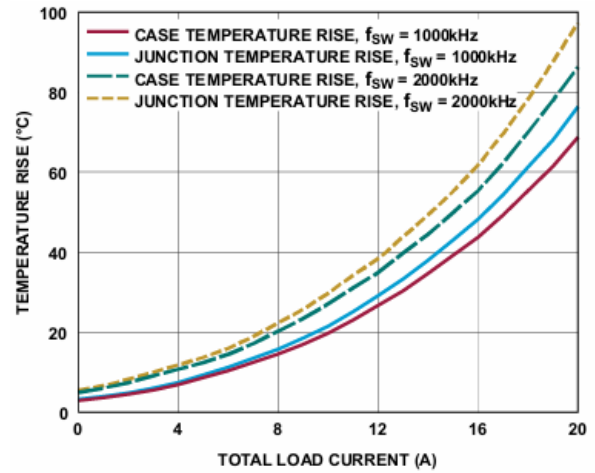


図 17. 温度上昇と合計負荷電流の関係

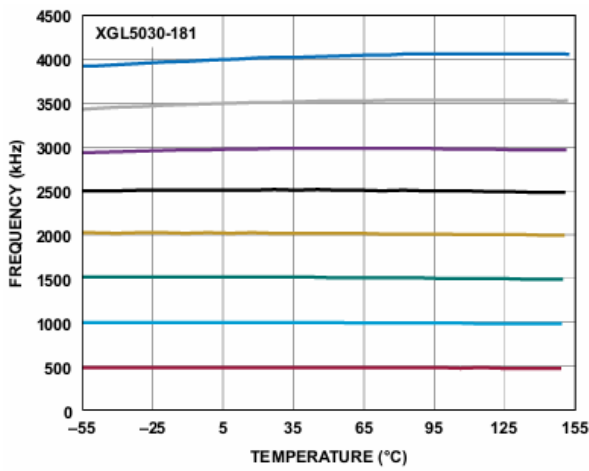


図 18. f_{SW} と温度の関係

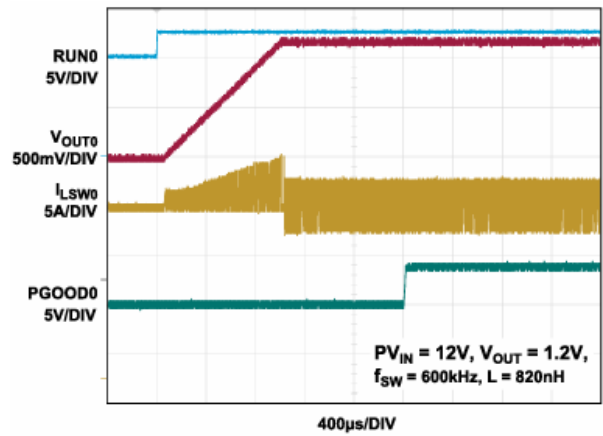


図 19. 無負荷でのソフトスタート

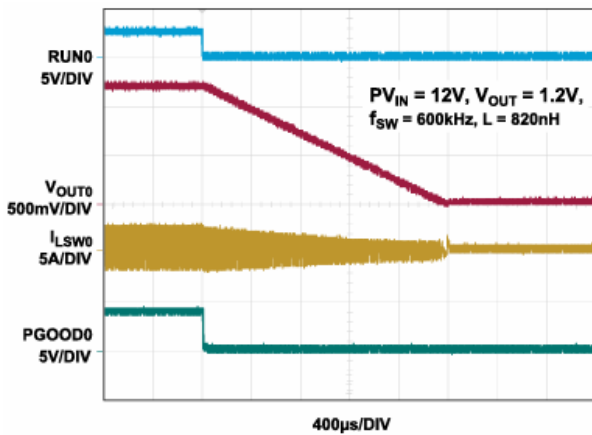


図 20. 無負荷でのソフトストップ

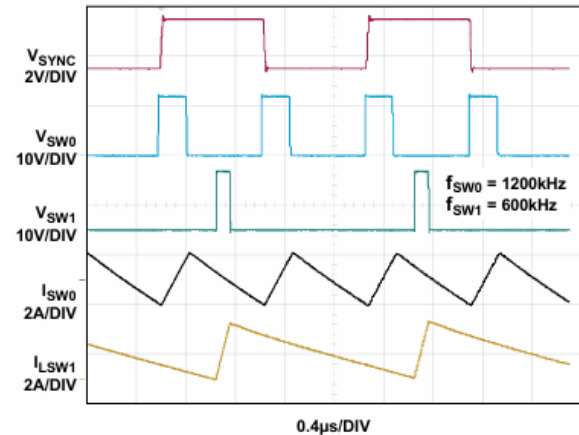


図 21. 図 45 のアプリケーションの SYNC 波形 ($EXTV_{CC} = V_{OUT0}$ 、 $V_{OUT1} = 0.8V$ 、 $I_{OUT1} = 1A$)

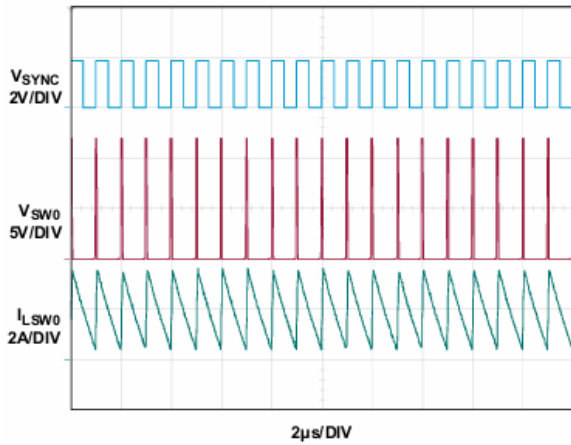


図 22. 連続導通 ($PV_{IN} = 12V$ 、 $V_{OUT} = 0.75V$ 、 $L_{SW} = XGL4020-251$ 、2A 負荷)

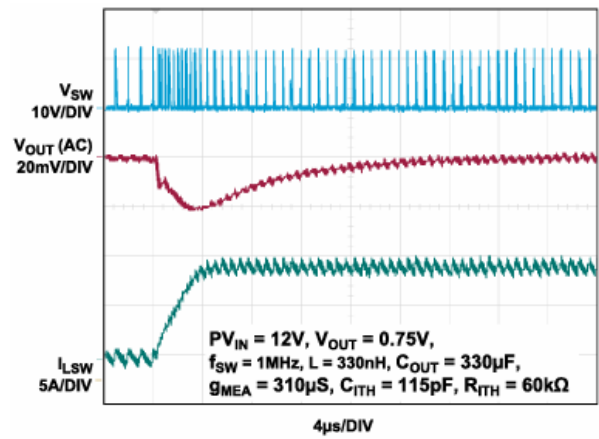


図 23. 9A の負荷ステップ (デフォルトの内部補償、 $V_{OUT} = 0.75V$)

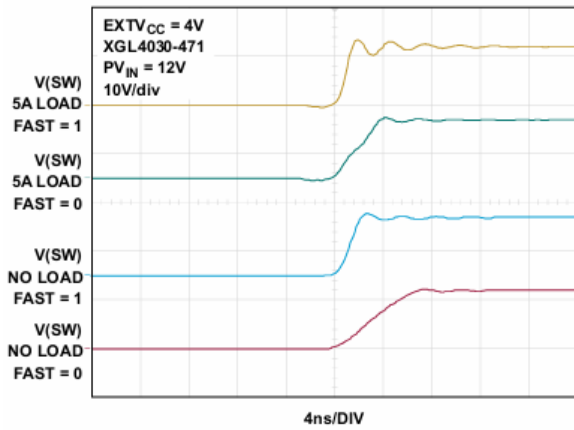


図 24. SW の立上がり波形 ($V_{OUT} = 1.2V$)

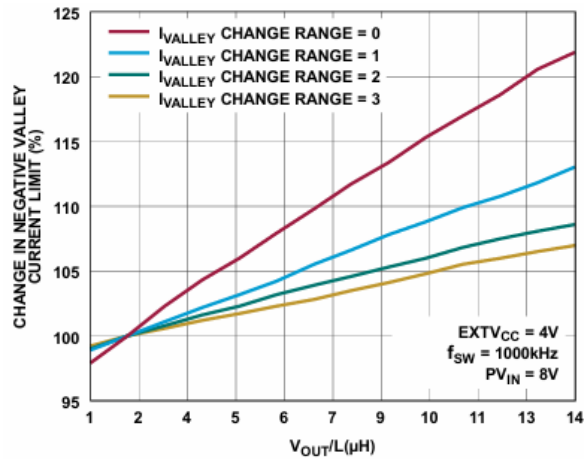


図 26. 負側の谷電流制限値の変化と V_{OUT}/L の関係

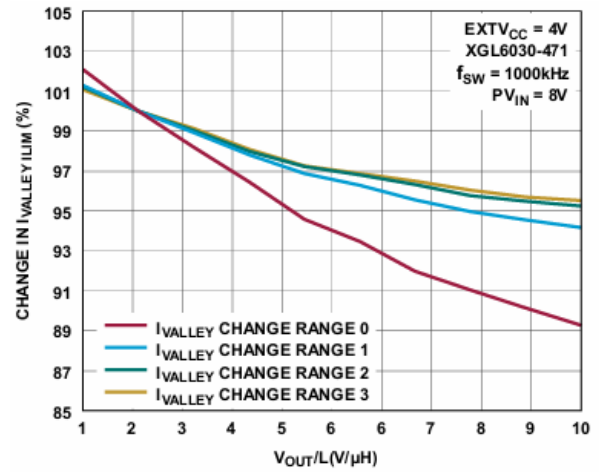


図 25. 正側の谷電流制限値の変化と V_{OUT}/L の関係

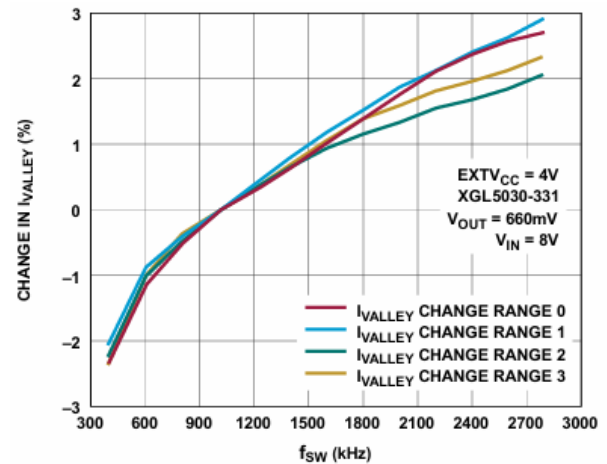


図 27. 谷電流制限値の変化と f_{SW} の関係

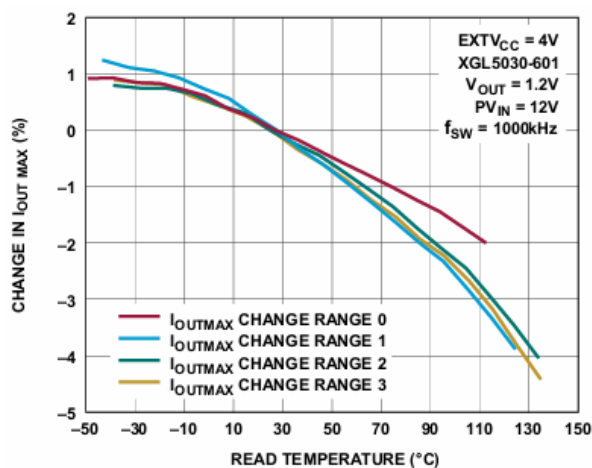


図 28. 最大出力電流の変化と温度の関係

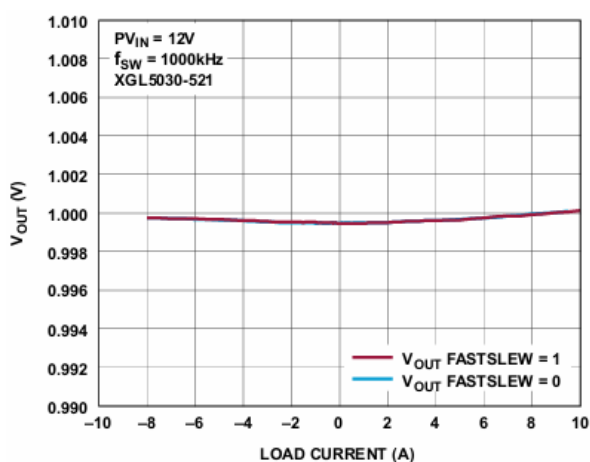
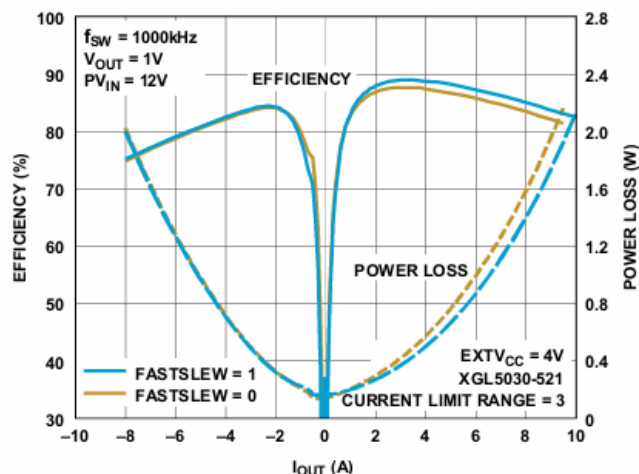
図 30. $V_{OUT} = 1V$ での負荷レギュレーション（全負荷の範囲）

図 29. 効率および電力損失（全負荷の範囲）

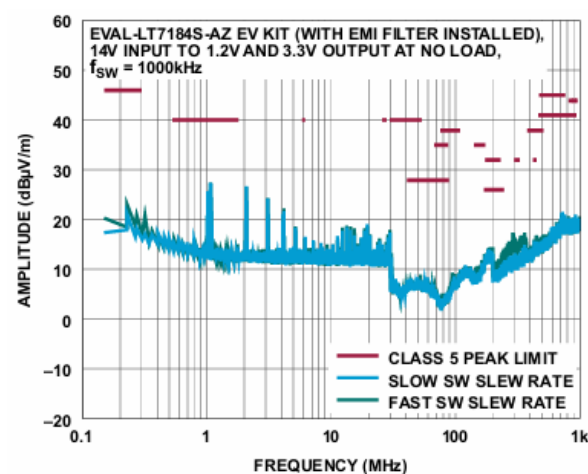


図 31. 無負荷時の放射 EMI 性能（CISPR25 放射妨害波テスト、クラス 5 ピーク限界値）

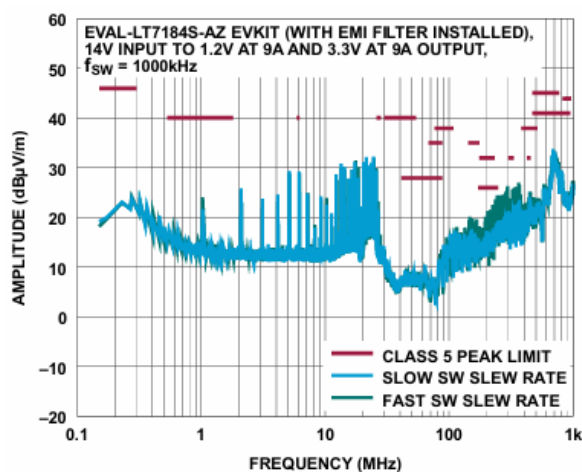


図 32. 全負荷時の放射 EMI 性能（CISPR25 放射妨害波テスト、クラス 5 ピーク限界値）

ブロック図

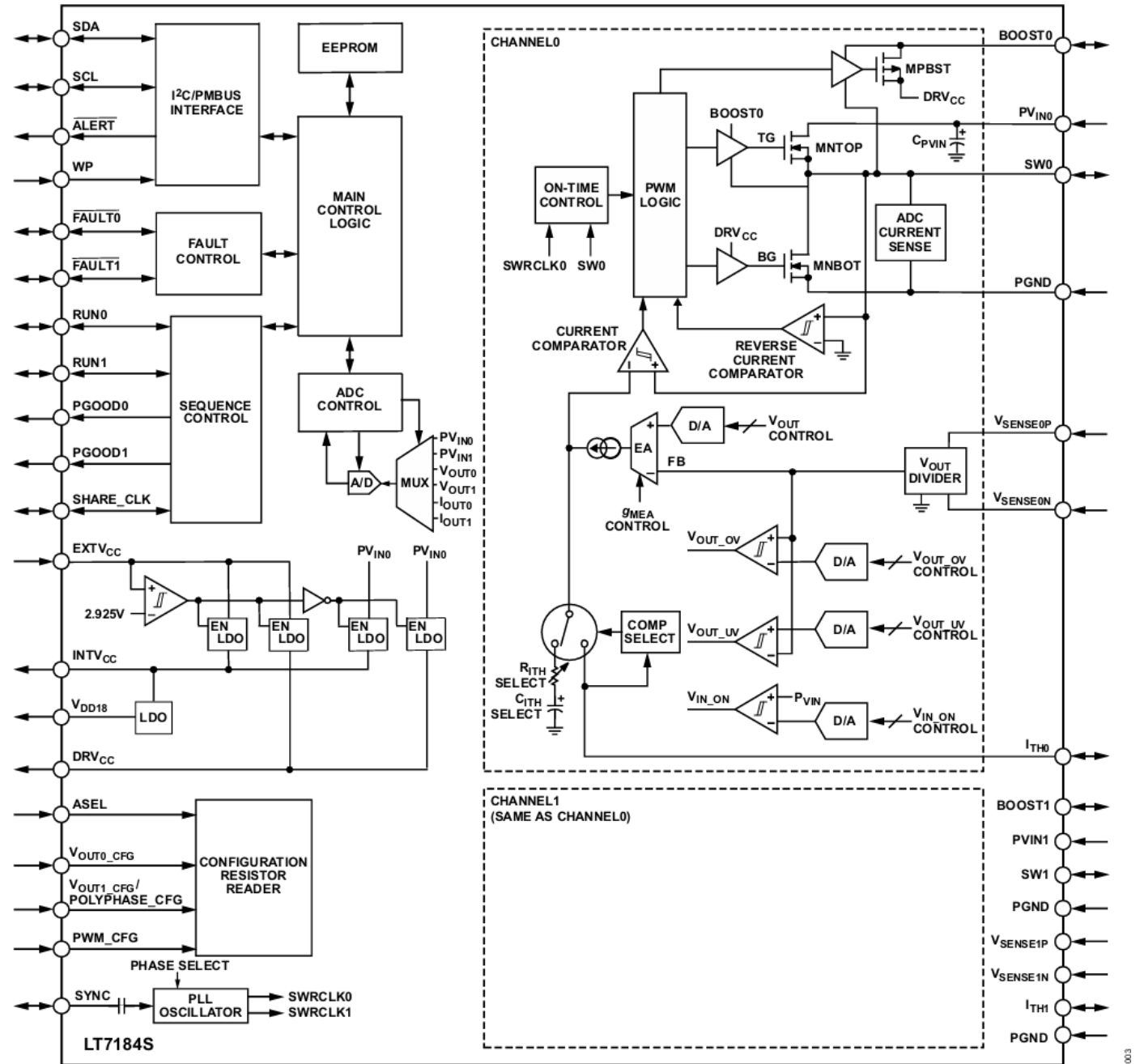


図 33. LT7184S の機能ブロック図

動作原理

概要

LT7184S は、デュアル出力のモノリシック PolyPhase DC/DC 同期整流式降圧レギュレータです。LT7184S の「S」は、第 2 世代の Silent Switcher®技術が採用されていることを表しています。この技術は高速でクリーンなスイッチング・エッジを実現し、全体的なソリューション・サイズを小さくして効率を改善すると共に、EMI 放射を最小限に抑えます。I²C ベースのシリアル・インターフェースは、最大 1MHz のバス速度をサポートする PMBus 1.3 に対応しています。

主な機能は以下のとおりです。

- ▶ プログラマブルな出力電圧。
- ▶ プログラマブルな電流制限値。
- ▶ プログラマブルなスイッチング周波数。
- ▶ プログラマブルな出力過電圧／低電圧フォルト閾値および警告閾値。
- ▶ プログラマブルなオン／オフ遅延時間。
- ▶ プログラマブルな出力立上がり／立下がり時間。
- ▶ プログラマブルな制御ループ補償。
- ▶ プログラマブルな入力低電圧閾値。
- ▶ 各チャンネル専用のパワーグッド出力ピン。
- ▶ 同期 PolyPhase 動作（2、3、4、6、または 8 相）用のフェーズ・ロック・ループ（PLL）。
- ▶ 入力および出力電圧、出力電流、ダイ温度のテレメトリ。
- ▶ V_{OUT} の完全差動リモート検出。
- ▶ 誤り訂正符号（ECC）付き不揮発性設定メモリ（NVM）。
- ▶ 不揮発性のイベントベース・フォルト・ログ。
- ▶ 主要動作パラメータ用の外付け設定抵抗（オプション）。
- ▶ 複数のデバイスを同期させる時間ベース・インターコネクト（オプション）。
- ▶ 内部設定を書込みから保護する WP ピン。
- ▶ 設定抵抗または NVM を使用するスタンダアロン動作。

フォルトおよび警告を処理するための様々なメカニズムが使用できます。フォルトおよび警告の検出機能は以下のとおりです。

- ▶ 出力低電圧／過電圧フォルトおよび警告。
- ▶ 内部過熱フォルトおよび警告。
- ▶ 通信、メモリ、ロジック（CML）のフォルト。
- ▶ 入力過電圧フォルトおよび低電圧警告。
- ▶ 出力過電圧フォルトおよび警告。
- ▶ 内部リファレンス・フォルト。
- ▶ 双方向 FAULT ピンを介した外部フォルト検出。

フォルトまたは警告の発生を示すための専用の ALERT ピンを備えています。

また、個々のステータス・コマンドを使用してフォルトと警告をレポートし、特定のイベントを確認することができます。

LT7184S の FAULT ピンを用いることで、チャンネル間や、LTC3880、LTC2974、LTC2978、LTC4676 μ Module®などを含む他のアナログ・デバイス製パワー・システム・マネージメント製品との間で、フォルト情報を共有することができます。フォルトのレポートとシャットダウンの動作は、FAULT ピンと MFR_FAULT_PROPAGATE_LT7184S コマンドを使って自由に設定できます。フォルトは個別にマスク可能で、レギュレータ出力を再試行（ラッチ解除）するかラッチ・オフするようにフォルト応答をプログラムできます。

スイッチング・レギュレータの制御ループ

LT7184S は、オン時間制御式の谷電流モード・アーキテクチャを採用しています。通常動作時には、オン時間制御回路によって決定される時間だけ、内蔵の上側パワーMOSFET（金属酸化膜半導体 FET）がオンになります。上側パワーMOSFET がオフになると、谷電流コンパレータがトリップしてオン時間制御回路が動作を再開し次のサイクルが開始されるまで、下側パワーMOSFET がオンになります。インダクタ電流は、オンになっているときの下側パワーMOSFET での電圧低下を検出することによって決定されます。ITHN ピンの電圧は、インダクタの谷電流に対応するコンパレータ閾値を設定します。エラー・アンプ（EA）は、出力電圧と内部リファレンス D/A コンバータ（DAC）出力を比較することによって I_{TH} 電圧を調整します。負荷電流が増大すると内部リファレンスに対して出力電圧が低下し、それにより、平均インダクタ電流と平均負荷電流が一致するまで I_{TH} 電圧が上昇します。

SYNC ピンに外部クロック信号が供給されている場合、内部フェーズ・ロック・ループ（PLL）が発振器周波数をその外部クロック信号に同期させます。外部クロックが供給されていない場合は、スイッチング周波数は FREQUENCY_SWITCH コマンドによって設定されます。このコマンドは、設定抵抗を使って初期化できます（詳細については[アプリケーション情報](#)のセクションを参照）。

ソフトスタート

LT7184S は、パルススキッピング・モード（PSM）と強制連続モード（FCM）の 2 つのパルス幅変調（PWM）動作モードが可能です。パルススキッピング・モードは、出力電圧が設定されたレギュレーション電圧まで上昇するソフトスタート時にのみ使用されます。PSM 動作（すなわち、不連続動作）の間、インダクタ電流は反転できません。インダクタ電流がゼロに達すると、逆電流コンパレータが下側スイッチをオフにし、インダクタ電流が負になって出力を放電するのを防ぎます。不連続動作時は、パワーMOSFET はオフのままで、出力コンデンサが負荷電流を供給します。ソフトスタートのランプアップに伴って内部リファレンス電圧が上昇して V_{SENSE} 電圧を超えるか、負荷が V_{SENSE} 電圧を放電することにより、 I_{TH} 電圧がゼロ電流レベルを上回って次のサイクルを開始すると、LT7184S は再びスイッチ動作を行います。

起動に必要な全ての条件が満たされ、OPERATION コマンドまたは RUN ピンのプルアップによってチャンネルが有効化されると、ソフトスタートのランプアップが開始されます。ソフトスタートのランプアップ時間は TON_RISE コマンドで設定され、デフォルトは 1ms です。ソフトスタートのランプアップは、プログラマブルな遅延（TON_DELAY、デフォルトは 0ms）後に始まります。出力電圧が設定されたレギュレーション電圧（VOUT_COMMAND）に達すると、PGOOD フラグがセットされ、動作モードは自動的に強制連続モード（FCM）に切り替わります。

FCM は、インダクタに常に電流が流れ、平均出力電流がリップル電流未満になるとスイッチング・サイクルの一部で電流がゼロ未満に反転し、上側または下側パワーMOSFET のいずれかが常時オンになっているモードで、連続導通モード（CCM）とも呼ばれます。この一定オン時間電流モード・アーキテクチャでは、インダクタの谷電流は常に I_{TH} ノードの電圧で決まります。 I_{TH} ノードの電圧は、負荷に応じて 0.6V~1.5V の範囲で変動し、 I_{TH} 電圧が約 980mV の場合負荷電流はゼロになります。内部補償を使用するように設定されている（ I_{TH} ピンを INT_{VCC} に接続している）場合、 I_{TH} ノードは、 I_{THN} ピンとは無関係になります。起動時に補償ネットワークが I_{THN} ピンに接続されている場合は、LT7184S はユーザが提供する補償を用いてループの動的性能を制御します。適切な動作のためには、補償ネットワーク部品を選択する際に注意が必要です。

EEPROM

LT7184S は、不揮発性のユーザ設定とフォルト・ログ情報を保存するための EEPROM を内蔵しています。

内蔵 EEPROM の完全性は ECC によって保護され、パワーオン後、リセット後、RESTORE_USER_ALL コマンド実行後は、巡回冗長検査（CRC）計算を使ってチェックされます。無効な CRC が検出された場合は ALERT ピン、SHARE_CLK ピン、PGOOD ピン、RUN ピンがローになり、問題が解消されるまで両方の出力チャンネルが無効化されたままになります。

バルク EEPROM プログラミングを含む効率的なシステム内 EEPROM のプログラミングの詳細については、LT7184S PMBus/I²C リファレンス・マニュアルを参照するか、アナログ・デバイセズにお問い合わせください。

パワーアップおよび初期化

LT7184S は、スタンダアロンの電源シーケンシングと、制御されたターンオンおよびターンオフ動作が可能で、1つの入力電源または2つの独立した入力電源 (PV_{IN0} と PV_{IN1}) で動作します。LT7184S の消費電力を減らすために、EXTV_{CC} は外部の 3V~5.5V 電源を使って駆動するか、3V~5.5V を供給する LT7184S の出力に接続することができます。EXTV_{CC} が 3V~5.5V に接続されている場合、サポートされる PV_{IN0} の入力動作範囲は 1.5V~16V です。EXTV_{CC} を用いない場合、PV_{IN0} の動作範囲は 2.9V~16V です。PV_{IN1} の動作範囲は 1.5V~16V です。チャンネル 1 を動作させるには、PV_{IN1} と、EXTV_{CC} または PV_{IN0} に電源を供給する必要があります。EXTV_{CC}、PV_{IN0}、PV_{IN1} には、LT7184S の電源シーケンシングを気にすることなく、任意の順番で供給できます。

LT7184S は、PV_{IN0} または EXTV_{CC} に電源を供給した時点、もしくは MFR_RESET または RESTORE_USER_ALL コマンドが送信された時点で初期化されます。初期化ステップにおいて、LT7184S は EEPROM の設定や抵抗設定ピンを読み出して、PMBus コマンドの初期状態を設定します。

初期化中、両チャンネルの V_{SENSE}PIN と V_{SENSE} PIN に対して連続性のテストが行われます。短時間だけ弱い電流を用いて V_{SENSE}PIN をプルアップおよびプルダウンし、V_{SENSE} PIN にはプルダウンのみを行います。いずれかの V_{SENSE} PIN が高インピーダンスであることが分かった場合、両方のチャンネルに対し MFR_DISABLE_OUTPUT がアサートされます。これにより、V_{SENSE} 接続がオープンになった場合にシステムが過電圧になるのを確実に防止できます。また、初期化中、PGOODN PIN と SHARE_CLK はローに保持され、RUNN PIN が 1.5mA (代表値) でプルダウンされて、 $\overline{\text{FAULTN}}$ PIN は高インピーダンス状態になります。

CFG 抵抗設定ピンが有効化されている場合、LT7184S は設定レジスタの値に基づいて一定のコマンドを初期化します。これは EEPROM の設定よりも優先されます。抵抗設定ピンは、工場出荷時のデフォルトでは有効化されています。CFG PIN を無効化するには、EEPROM 内の MFR_CONFIG_ALL_LT7184S のビット 6 をクリアします。詳細については、[アプリケーション情報のセクションにある抵抗設定ピンの使用法](#)のセクションを参照してください。設定抵抗に基づいて初期化されないコマンドについては、EEPROM または工場出荷時のデフォルトによって初期値が決定されます。

LT7184S の初期化には 13ms (代表値) を要します。CFG PIN が無効化されている場合 (EEPROM 内の MFR_CONFIG_ALL_LT7184S のビット 6 が 1 に設定されている場合)、初期化時間は 10ms (代表値) に短縮されます。

初期化が完了すると、コンパレータが PV_{IN0} と PV_{IN1} をモニタします。チャンネルを動作させるには、PV_{IN} 電圧が、そのチャンネルのプログラマブルな V_{IN_ON} 閾値を超えていなければなりません。デフォルトでは、PV_{IN0} が PAGE0 の V_{IN_ON} を超えるまで、あるいは PV_{IN0} が V_{IN_OFF} 未満に低下すると、SHARE_CLK がローに保持されます。デフォルトでは、PV_{IN1} は SHARE_CLK に影響しません。デフォルト動作では、SHARE_CLK がローになると両方のチャンネルがオフになり、その状態が保持されます。この動作の設定方法については、LT7184S PMBus/T²C リファレンス・マニュアルに記載されている MFR_CHAN_CONFIG_LT7184S コマンドの説明を参照してください。

POR の初期化が完了してそのチャンネルの PV_{IN} 電位が V_{IN_ON} 閾値を最初に超えた時点で、LT7184S は RUN PIN のプルダウン電流 (代表値 1.5mA) を停止します。

シャットダウン

LT7184S は、直ちにターンオフするか、シーケンス・オフするか、いずれかにプログラムできます。

シーケンス・オフする場合、LT7184S は、ターンオフ遅延が経過するまで待機してからソフトストップ・ランプを実行し、この過程でレギュレーション目標電圧がゼロまでランプダウンします。ターンオフ遅延は TOFF_DELAY コマンドによって設定し、デフォルトは 0ms です。目標電圧ランプダウン時間は TOFF_FALL コマンドによって設定し、デフォルトは 2ms です。

シーケンス・オフは、OPERATION コマンドを 0x40 に設定した場合、もしくは RUN PIN をデアサートして ON_OFF_CONFIG のビット 0 を 0 に、ビット 2 を 1 に設定した場合に実行されます。

直ちにターンオフすると、レギュレータはインダクタ電流を速やかに 0 までランプダウンして、その後にスイッチングを停止します。この場合の出力電圧は、負荷電流と、V_{SENSE}PIN と V_{SENSE} の間に接続されている 260Ω の内部プルダウン抵抗にのみ基づいて低下します。以下のいずれかの場合、デバイスは直ちにシャットダウンされます。

- ▶ PV_{IN} が V_{IN_OFF} 閾値未満に低下した場合。
- ▶ OPERATION コマンドをクリアして 0x00 にし、ON_OFF_CONFIG のビット 3 を 1 に設定した場合。
- ▶ フォルト状態が発生したことによって出力がオフになった場合。

- ▶ RUNN ピンがデアサートされた場合で、なおかつ RUN ピンがデアサートされた場合は直ちにデバイスがシャットダウンされるように ON_OFF_CONFIG が設定されている場合 (ON_OFF_CONFIG のビット 0 およびビット 2 が共に 1 に設定)。
- ▶ そのチャンネルの $\overline{\text{FAULTN}}$ ピンが外部からローにプルダウンされた場合 (MFR_FAULT_RESPONSE が 0x00 にクリアされている場合を除く)。
- ▶ SHARE_CLK が失われた場合 (MFR_CHAN_CONFIG_LT7184S のビット 2 がクリアされた場合を除く)。

警告とフォルトの処理

LT7184S は、フォルト状態と警告状態の有無について継続的にシステムをモニタします。フォルト応答は、VOUT_UV_FAULT_RESPONSE や VOUT_OV_FAULT_RESPONSE などの該当する FAULT_RESPONSE コマンドを使って設定できます。設定可能なフォルト応答は以下のとおりです。

- ▶ 動作を続行 (無視)。
- ▶ 直ちにシャットダウンし、フォルト状態が解消されると再試行。
- ▶ 直ちにシャットダウンしてラッチ・オフ。

このセクションのこれ以降では、工場出荷設定のデフォルトの警告およびフォルトの動作を説明します。表 6 を参照してください。フォルトおよび警告動作の設定の詳細については、LT7184S PMBus/T²C リファレンス・マニュアルを参照してください。全てのフォルトと警告は、PMBus の STATUS コマンドで示されます。

出力電圧、出力電流、または温度に関する警告が発生した場合は、LT7184S は $\overline{\text{ALERT}}$ ピンをローにプルダウンし、該当する STATUS コマンドの対応ビットをセットしますが、そのチャンネルは動作を継続します。

出力が VOUT_UV_FAULT_LIMIT 未満に低下した場合、LT7184S は以下のように応答します。

- ▶ そのチャンネルの PGOODN ピンをローにプルダウン。
- ▶ ALERT ピンをローにプルダウン。
- ▶ STATUS_VOUT、STATUS_BYTE、STATUS_WORD の各コマンドの VOUT_UV フォルト・ビットをセット。
- ▶ 最大谷電流を制限しながらチャンネルの動作を継続。

出力過電圧または入力過電圧によるフォルトが発生した場合、LT7184S は以下のように応答します。

- ▶ フォルトが発生したチャンネルを直ちにシャットダウン。
- ▶ そのチャンネルの $\overline{\text{FAULTN}}$ ピンと PGOODN ピンをローにプルダウン。
- ▶ $\overline{\text{ALERT}}$ ピンをローにプルダウン。
- ▶ 該当する STATUS コマンドの対応インジケータ・ビットをセット。
- ▶ 10ms (MFR_RETRY_DELAY によって定義される時間) 経過後にフォルト状態が解消されている場合は、チャンネルが再起動を試行。

過熱によるフォルトが発生した場合、LT7184S は以下のように応答します。

- ▶ 両方のチャンネルを直ちにシャットダウン。
- ▶ 両方のチャンネルの $\overline{\text{FAULTN}}$ ピンと PGOODN ピンをローにプルダウン。
- ▶ $\overline{\text{ALERT}}$ ピンをローにプルダウン。
- ▶ 該当する STATUS コマンドの過熱 (OT) ビットをセット。
- ▶ ADC の測定した温度が過熱閾値未満だった場合は、チャンネルの再起動を試行。

LT7184S は、ADC を使って、プライマリ内部電圧リファレンスとセカンダリ内部電圧リファレンスの比較を周期的に行います。異常が検出された場合、LT7184S は以下のように応答します。

- ▶ 両方のチャンネルを直ちにシャットダウン。
- ▶ $\overline{\text{FAULTN}}$ ピン、PGOODN ピン、 $\overline{\text{ALERT}}$ ピンをローにプルダウン。
- ▶ STATUS コマンドの内部リファレンス・フォルト・ビットをセット。
- ▶ (温度ドリフトなどによって) リファレンスが回復した場合、RESTORE_USER_ALL または MFR_RESET コマンドを受信した場合、もしくは PV_{IN0} と EXTV_{CC} 両方の入力電源が遮断された場合を除いて、両方のチャンネルをオフ状態に保持。

FAULT ピン

対応する FAULT_RESPONSE コマンドがレギュレータ出力をシャットダウンするようにプログラムされ、なおかつ MFR_FAULT_PROPAGATE_LT7184S コマンドがオープン・ドレインFAULTNピンにフォルトを伝搬するようにプログラムされている場合は、フォルトが発生するとFAULTNピンがローにプルダウンされます。

LT7184S がFAULTNピンをプルダウンすると、このピンは、以下のいずれかが発生するまでローに保持されます

- ▶ 再試行するように設定されたフォルトの場合、チャンネルは再試行をする。
- ▶ フォルト発生チャンネルを一度無効化してから再び有効化する。
- ▶ RESTORE_USER_ALL コマンドまたは MFR_RESET コマンドを受信する。
- ▶ PV_{IN0}および EXT_{VCC} の両方の入力電源を遮断する。

FAULTNピンは、LT7184S による外部フォルトへの応答方法を提供するための入力として使用することもできます。チャンネルの FAULTNピンを外部からローにプルダウンすると、そのチャンネルは直ちにターンオフされます。これにより、複数のパワー・システム・マネージメント製品間でフォルトを連携させることができます。

PGOOD ピン

対応するチャンネルがソフトスタートおよびソフトストップ時に何らかの理由でオフになるか、出力電圧が VOUT_UV_FAULT_LIMIT 未満あるいは VOUT_OV_FAULT_LIMIT 以上になると、オープン・ドレイン PGOODN ピンがそれぞれローにプルダウンされます。

ALERT ピン

SMBALERT_MASK コマンドは、LT7184S がどの警告インジケータとフォルト・インジケータによってオープン・ドレインALERTピンをプルダウンするかを設定します LT7184S がALERTピンをプルダウンすると、このピンは以下のいずれかが発生するまでローに保持されます。

- ▶ フォルト発生チャンネルを一度無効化してから再び有効化する。
- ▶ CLEAR_FAULTS、RESTORE_USER_ALL、MFR_RESET のいずれかのコマンドを受信する。
- ▶ マスクされていない全てのステータス・ビットが、各ビットに 1 を書き込むことによってクリアされる。
- ▶ LT7184S が PMBus アラート応答アドレス (ARA) 時にそのアドレスを正常に送信する。
- ▶ PV_{IN0}および EXT_{VCC} の両方の入力電源を遮断する。

フォルト・イベント・ログ

レギュレータ出力をオフするように設定されたフォルト状態が発生した場合は、EEPROM のフォルト・ログにイベントが書き込まれます。そのフォルトに先行する警告やフォルトで、出力をオフするように設定されていないものは、イベント書込み時に全てサブイベントとして書き込まれます。それぞれのイベントとサブイベントは、タイムスタンプと共に書き込まれます。フォルト・ログには、最大 3 個のフォルト・オフ・イベントが保存されます。フォルト・ログは、MFR_FAULT_LOG コマンドによって読み込むことができます。また、MFR_FAULT_LOG_CLEAR コマンドを書き込むことによって EEPROM からクリアできます。フォルト・ログ機能はデフォルトで有効化されていますが、MFR_CONFIG_ALL コマンドのビット 7 をクリアすることによって無効化できます。詳細については、LT7184S PMBus/I²C リファレンス・マニュアルに記載されている MFR_FAULT_LOG コマンドの説明を参照してください。

表 6. 工場出荷時デフォルトの警告とフォルトの挙動

WARNING OR FAULT TYPE ¹	DETECTION METHOD	DEFAULT THRESHOLD	DEFAULT REGULATOR RESPONSE	DEFAULT PIN RESPONSE		
				PGOODN	FAULTN	ALERT
V _{OUT} UV Warning	V _{SENSE} comparator	VOUT_COMMAND - 6.5%	Continue operation			Pull low
V _{OUT} OV Warning	V _{SENSE} comparator	VOUT_COMMAND + 7.5%	Continue operation			Pull low
V _{OUT} UV Fault	V _{SENSE} comparator	VOUT_COMMAND - 7%	Continue operation	Pull low		Pull low

WARNING OR FAULT TYPE ¹	DETECTION METHOD	DEFAULT THRESHOLD	DEFAULT REGULATOR RESPONSE	DEFAULT PIN RESPONSE		
				PGOODN	FAULTN	ALERT
V _{OUT} OV Fault	V _{SENSE} comparator	VOUT_COMMAND + 10%	Shutdown and retry	Pull low	Pull low	Pull low
V _{IN} OV Fault	PV _{IN} comparator	17.6V	Shutdown and retry	Pull low	Pull low	Pull low
V _{IN} UV Warning	ADC	-1V (disabled)	Continue operation			Pull low
OT Warning	ADC	140°C	Continue operation			Pull low
OT Fault	ADC	160°C	Shutdown and retry	Pull low	Pull low	Pull low
IOUT Overcurrent (IOUT_OC) Warning	ADC	I _{AVG} > 9A	Continue operation			Pull low
IOUT_OC Fault	I _{TH} comparator	V _{ITH} ≥ 1.6V ²	Continue operation	Pull low	Pull low	Pull low
Turn-On Time (TON_MAX) Fault	V _{SENSE} comparator and timer	5ms without exceeding VOUT_UV_FAULT_LIMIT	Continue operation	Pull low		Pull low
Turn-Off Time (TOFF_MAX) Warning	ADC and timer	0 (Disabled)	N/A			
Pin Configuration Error ³	I/O	N/A	Lock off until the next reset	Pull low	Pull low	Pull low
EEPROM Error	CRC, ECC	N/A	Lock off until the next reset	Pull low		Pull low
Internal Reference Fault	ADC and second reference	±5%	Shutdown and retry	Pull low	Pull low	Pull low
PMBus/I ² C Communications Error (CML)	Logic	N/A	N/A			Pull low

1 閾値と応答の設定を含む詳細については、LT7184S PMBus/I²C リファレンス・マニュアルを参照してください。

2 IOUT_OC_FAULT 谷電流閾値は、MFR_PWM_MODE_LT7184S のビット [10:9] で制御されます。IOUT_OC アナログ・コンパレータは、これらのビットで設定された谷電流制限値の 95%（代表値）で作動します。

3 初期化中にピン設定エラーが検出された場合、デバイスは以下のピンをローにプルダウンします：FAULT0、FAULT1、RUN0、RUN1、SHARE_CLK、PGOOD0、PGOOD1、ALERT。

アプリケーション情報

抵抗設定ピンの使用法

LT7184S には 4 個の抵抗設定ピンがあり、それぞれが $\pm 1\%$ 抵抗 1 個を使って重要な動作パラメータを選択します。抵抗設定ピンは、ASEL、VOUT0_CFG、VOUT1_CFG、PWM_CFG です。これらの各ピンと GND の間の抵抗は、パワーアップ時や、RESTORE_USER_ALL コマンドまたは MFR_RESET コマンドの実行時に測定されます。それぞれの抵抗設定ピンの機能を以下のセクションに示します。

EEPROM で MFR_CONFIG_ALL_LT7184S コマンドのビット 6 が 1 に設定されている場合、VOUT0_CFG、VOUT1_CFG、PWM_CFG の設定抵抗は無視されますが、ASEL の抵抗は常に有効です。ASEL 設定抵抗の選択を含むシリアル・インターフェース・デバイス・アドレスの設定については、LT7184S PMBus/I²C リファレンス・マニュアルに記載されている MFR_ADDRESS コマンドの説明を参照してください。

出力電圧の設定

VOUT_COMMAND で、チャンネルが有効化されている場合の出力電圧を指定します。VOUT_COMMAND は、表 7 の値に基づき、VOUT0_CFG ピンと VOUT1_CFG ピンの抵抗を使って初期化できます。VOUT0_CFG と GND の間にある抵抗が、チャンネル 0 を設定します。チャンネル 1 がチャンネル 0 から独立した出力として設定されている場合は、VOUT1_CFG と GND の間にある抵抗がチャンネル 1 を設定します。PolyPhase 構成が選択されている場合（PWM_CFG と GND の間に $5.6\text{k}\Omega \pm 10\%$ の抵抗を 1 個接続）、VOUT0_CFG はチャンネル 0 と 1 の両方を設定し、VOUT1_CFG は PolyPhase 動作を設定するように転用されます。

表 7. VOUTN_CFG ピンの設定抵抗の選択

RESISTOR VALUE (±1%) ¹	OUTPUT VOLTAGE SET POINT (V) ²	V _{OUT} RANGE MODE ³	REGULATOR ENABLE ⁴
Floating or V _{DD18} ⁵	Initialized from NVM (Default 0.5V)	Initialized from NVM (Default full V _{OUT} range)	Initialized from NVM
124kΩ	5V	Full V _{OUT} range, Supports 0.4V ≤ V _{OUT} ≤ 5.5V	Regulator is enabled if RUN is asserted high. (OPERATION = 0x80, ON_OFF_CONFIG initialized from NVM, default requires OPERATION = 0x80 and RUN pin asserted)
107kΩ	3.3V		
93.1kΩ	2.5V		
80.6kΩ	1.8V		
69.8kΩ	1.5V		
60.4kΩ	1.35V		
51.1kΩ	1.2V	High-performance low-V _{OUT} mode if set in NVM. Offers enhanced accuracy and transient response for 0.6V ≤ V _{OUT} ≤ 1.375V	
43.2kΩ	1.1V		
36.5kΩ	1.0V		
30.9kΩ	0.9V		
25.5kΩ	0.85V		
21kΩ	0.8V		
16.5kΩ	0.75V		
11.8kΩ	0.7V		
6.65kΩ	0.6V		
0 (GND)	Initialized from NVM (default 0.5V)	Initialized from NVM (default full V _{OUT} range)	Regulator disabled and RUN pin ignored.

- 1 PWM_CFG ピンを $5.6k\Omega \pm 10\%$ の抵抗に接続して PolyPhase 動作を選択した場合は (表 9 参照)、V_{OUT1_CFG} 設定抵抗が周波数と位相を含む PWM 設定を制御します (表 10 参照)。
- 2 出力電圧設定点は VOUT_COMMAND で制御されます。
- 3 V_{OUT} 範囲モードの選択は、MFR_PWM_MODE_LT7184S のビット 1 で制御します。ビット値が 1 の場合、高性能低 V_{OUT} モードが選択されます。このビットが 1 に設定されている場合は、出力電圧を 1.375V を超える値には設定できません。
- 4 PMBus ON_OFF_CONFIG コマンドは、RUN ピンと PMBus OPERATION コマンドのどちらでレギュレータを有効化するかを選択します。
- 5 V_{OUTN_CFG} ピンがオープンになっている場合、または V_{DD18} に接続されている場合は、EEPROM から VOUT_COMMAND がロードされて出力電圧を決定します。デフォルトの EEPROM 設定では、電圧設定抵抗が取り付けられている場合を除き、レギュレータを無効化した状態で初期化が行われます。出力電圧の初期化に抵抗設定ピンが使われている場合は、VOUT_COMMAND のパーセンテージに基づいて以下のコマンドが初期化されます。

表 8. 抵抗設定ピン使用時のコマンド初期化デフォルト値

COMMAND	DEFAULT % of VOUT_COMMAND
VOUT_OV_FAULT_LIMIT	+10%
VOUT_OV_WARN_LIMIT	+7.5%
VOUT_MAX	+7.5%
VOUT_MARGIN_HIGH	+5%
VOUT_MARGIN_LOW	-5%
VOUT_UV_WARN_LIMIT	-6.5%
VOUT_UV_FAULT_LIMIT	-7%

スイッチング周波数と位相

PWM スwitchング周波数は、内部発振器を使用するか、SYNC ピンに外部クロックを加えることによって設定できます。内部フェーズ・ロック・ループ (PLL) は、クロックが内部供給か外部供給かにかかわらず、このタイミング・リファレンスに PWM 制御を同期させます。内部発振器の周波数は、FREQUENCY_SWITCH コマンドによって設定します。MFR_PWM_PHASE_LT7184S コマンドは、各チャンネルの位相を設定します。

SYNC ピンは柔軟な多目的入出力ピンで、クロック入力または出力として使用することができます。LT7184S は、出力ドライバとして設定されている場合や、入力クロックを無視するようにプログラムされている場合を除き、PWM スwitchングを SYNC の外部クロック入力に同期させます。外部クロック信号が失われた場合、LT7184S は内部発振器を使って PWM 動作を続行します。外部クロックを使用する場合は、FREQUENCY_SWITCH コマンドをプログラムするか、設定抵抗を使って内部発振器周波数を外部クロック周波数と同じ値に設定することを推奨します。これにより、外部クロックが失われた場合でも、PWM スwitchング周波数を適切な値に維持することができます。LT7184S は、MFR_SYNC_CONFIG_LT7184S のビット 1 に 1 を書き込むことによって、外部クロックを無視するようにプログラムできます。

入力クロック周波数が 625kHz 未満の場合は、500kHz の PWM 周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が 625kHz~1.25MHz の場合は、1MHz の PWM 周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が 1.25MHz~2.5MHz の場合は、2MHz の PWM 周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が 2.5MHz を超える場合は、4MHz の PWM 周波数を選択する設定抵抗を使用することを推奨します。

LT7184S は、MFR_SYNC_CONFIG_LT7184S のビット 0 を 1 に設定することによって、SYNC ピンから他のデバイスへ同期クロック出力を供給するように設定できます。SYNC 出力クロックが有効な場合、LT7184S は、SYNC ピンを振幅が 0V~1.88V (代表値) で周波数が FREQUENCY_SWITCH でプログラムされた値の矩形波として駆動し、MFR_PWM_PHASE_LT7184S コマンドで設定された値だけ PWM 出力の位相を進めます。出力として設定できるのは、SYNC に接続された 1 つのデバイスのみです。クロックが SYNC に印加されている場合は、MFR_PWM_PHASE_LT7184S コマンドが、SYNC の立上がりエッジと、そのチャンネルの SW の立上がりエッジ間の位相関係を指定します。

MFR_PWM_MODE_LT7184S のビット 15 を 1 に設定することで、LT7184S の各チャンネルのスイッチング周波数を個別に、SYNC クロック周波数または FREQUENCY_SWITCH 周波数の 2 倍の値にプログラムすることができます。ビット 15 が 1 に設定された場合にスイッチング周波数が 4MHz を超えることがないよう、FREQUENCY_SWITCH コマンドは 2MHz に制限されます。FREQUENCY_SWITCH コマンドを 2MHz を超える値に設定した場合、ビット 15 は 1 に設定できなくなります。2 倍のスイッチング周波数をプログラムした場合、SYNC ピンには 2MHz を超える周波数のクロックを印加しないでください。

表 9. PWM_CFG ピン設定抵抗の選択⁸

RESISTOR VALUE (±1%)	PWM FREQUENCY ^{1,2}	PWM PHASE ³		POLYPHASE FOLLOWER/ LEADER ⁴	INTERNAL COMPENSATION ⁵			SYNC CLOCK OUTPUT or INPUT ⁷
		CH0	CH1		C _{ITH}	R _{ITH}	g _{MEA}	
Floating or V _{DD18}	Initialized from NVM (default 1MHz)	Initialized from NVM (default 0°)	Initialized from NVM (default 180°)	Initialized from NVM (default 0 Leader)	Initialized from NVM (default 165pF)	Initialized from NVM (default 14kΩ)	Initialized from NVM (default 310μS)	Initialized from NVM (default Input)
124kΩ	500kHz	0°	180°	0 (Leader)	165pF	60kΩ	155μs	0 (Input)
80.6kΩ	1.5MHz				145pF	10kΩ	465μs	
51.1kΩ	2MHz				145pF	10kΩ	465μs	
30.9kΩ	4MHz				95pF	10kΩ	930μs	
107kΩ	500kHz	90°	270°		165pF	60kΩ	155μs	
69.8kΩ	1MHz				165pF	14kΩ	310μs	
43.2kΩ	2MHz				145pF	10kΩ	465μs	
5.6KΩ ±10%	PolyPhase configuration: PWM Configuration is controlled by the V _{OUT1_CFG} pin, as shown in Table 10 . In this configuration, V _{OUT} for both channels is initialized to the value specified by the V _{OUT0_CFG} resistor.							

- 1 SYNC クロックが存在しない場合、PWM スwitchング周波数設定点は FREQUENCY_SWITCH で制御します。
- 2 外部同期クロックと設定抵抗を使用する場合は、内部 PWM スwitchング周波数が入力クロック周波数と同程度の値になるように設定抵抗を選択してください。
- 3 定常 PWM スwitchング位相は、MFR_PWM_PHASE_LT7184S で制御します。
- 4 POLYPHASE® フォロワ／リーダー・モードは、MFR_CHAN_CONFIG_LT7184S のビット 8 で制御します。このビットの値を 1 にするとフォロワ・モードが選択されます。
- 5 内部補償は I_{TH} ピンを INTV_{CC} に接続することで選択します。PWM_CFG 抵抗値が 124kΩ 以下の場合は、外部補償を使用すると g_{MEA} が最大値に設定されます（高性能低 V_{OUT} モードで 5.0ms、標準モードで 1.24ms）。内部補償の場合、C_{ITH} は MFR_PWM_MODE_LT7184S のビット[8:6]で制御し、R_{ITH} は MFR_PWM_MODE_LT7184S のビット[5:3]で、g_{MEA} は MFR_PWM_MODE_LT7184S のビット[13:11]で制御します。NVM の設定で高性能低 V_{OUT} モードが選択されている場合、エラー・アンプのトランスコンダクタンス（g_{MEA}）は約 4 倍になります。

- 6 MFR_SYNC_CONFIG_LT7184S のビット 0 を 1 に設定すると、SYNC ピンはクロック出力になります。
- 7 MFR_PWM_MODE_LT7184S のビット[13:11]の NVM デフォルトは 0b001 で、これは高性能低 V_{OUT} モードの場合は $g_{MEA} = 1250\mu s$ に相当し、標準モードの場合は $g_{MEA} = 310\mu s$ に相当します。内部補償か外部補償かは問いません。
- 8 PWM_CFG 抵抗の選択は、電源投入時にデバイスのルックアップ機能によって実行されます。表 9 に示すように、PWM_CFG 抵抗の選択には 1%抵抗のみを使用します。あるいは、PMBus コマンドと NVM を用いてデバイスをプログラムします。

PolyPhase による負荷分担

複数の LT7184S チャンネルを並列に接続することによって、バランスのとれた PolyPhase 負荷分担ソリューションを実現できます。LT7184S のアナログ電流モード制御アーキテクチャは、PolyPhase チャンネル間での負荷分担をバランスのとれたものにします。

関係する I_{THN} 、 $\overline{FAULTN}$ 、 $PVIN$ 、 V_{SENSEP} 、 $V_{SENSEIN}$ の各ピンは全ての PolyPhase チャンネル間で互いに接続し、SYNC ピンおよび SHARE_CLK ピンは全ての PolyPhase デバイス間で互いに接続する必要があります。PWM スイッチング位相は $360/n$ 度ずつ区切ります。ここで、 n は PolyPhase アレイ内の位相数です。PolyPhase では、1 つのデバイス (LT7184S または外部クロック源) だけが共通 SYNC ノードのクロックを駆動するように設定する必要があります。

PolyPhase アレイでは、1 つの LT7184S チャンネルだけをリーダー (leader) として設定 (MFR_CHAN_CONFIG_LT7184S のビット 8 を 0 に設定) し、他の全ての PolyPhase チャンネルをフォロワ (follower) として設定 (ビット 8 を 1 に設定) する必要があります。

MFR_CONFIG_ALL_LT7184S のビット 6 が CFG ピンを見捨てるように設定されていない場合、PolyPhase モードは、PWM_CFG とグラウンドの間に $5.6k\Omega \pm 10\%$ の抵抗を接続することによって選択できます。抵抗設定オプションは、2、3、4、または 6 相の PolyPhase ソリューションに対応できます。PWM_CFG に $5.6k\Omega$ の抵抗を接続した場合、チャンネル 1 の $V_{OUT_COMMAND}$ は V_{OUT0_CFG} 抵抗に基づいてチャンネル 0 と同じ値に設定され、表 10 に示すように V_{OUT1_CFG} 抵抗が PolyPhase 構成を選択します。2、4、または 6 相動作の場合は、最大 3 個の LT7184S デバイスの PWM_CFG ピンを 1 つの $5.6k$ 抵抗に接続することができます。図 34 に 4 相動作に設定された 2 個の LT7184S デバイスを示します。8 相の PolyPhase アレイでは、代表的なアプリケーションのセクションに示すように、PWM_CFG 設定抵抗が個別に必要です。6 相を超えるアレイでは少なくとも一部のデバイスに PMBus プログラミングが必要です。すなわち、大きな PolyPhase アレイでは各チャンネルに対し、PolyPhase フォロワ・モードを設定し (MFR_CHAN_CONFIG_LT7184S のビット 8)、該当の位相を選択します (MFR_PWM_PHASE_LT7184S)。

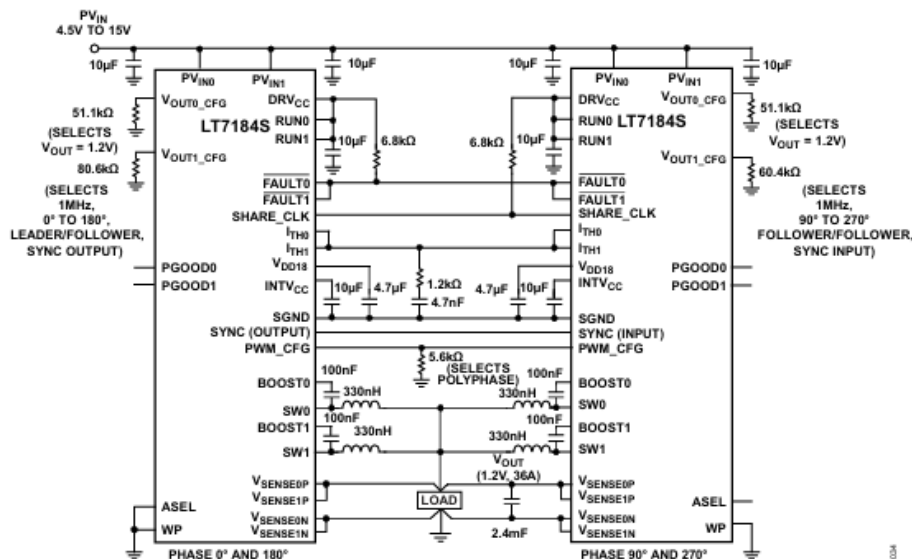


図 34. 4 相 PolyPhase 1.2V/36A レギュレータ

表 10. PolyPhase 動作時の VOUT1_CFG ピン用設定抵抗の選択

RESISTOR VALUE (±1%) ¹	PWM FREQUENCY ²	PWM PHASE ³		POLYPHASE® FOLLOWER ⁴		SYNC CLOCK: OUTPUT / INPUT ⁵	
		CH0	CH1	CH0	CH1		
Floating or V _{DD18}	Initialized from NVM (default 1MHz)	Initialized from NVM (default 0°)	Initialized from NVM (default 180°)	Initialized from NVM (default 0, leader)		Initialized from NVM (default 0, input)	
124kΩ	500kHz	0°	180°	0 (leader)	1 (follower)	1 (output)	
80.6kΩ	1MHz						
36.5kΩ	2MHz						
16.5kΩ	4MHz						
107kΩ	500kHz					0 (input)	
69.8kΩ	1MHz						
30.9kΩ	2MHz						
11.8kΩ	4MHz						
93.1kΩ	500kHz	90°	270°	1 (follower)	1 (follower)		
60.4kΩ	1MHz						
25.5kΩ	2MHz						
6.65kΩ	4MHz						
51.1kΩ	1MHz	120°	240°			1 (output)	
21.0kΩ	2MHz						
43.2kΩ	1MHz	60°	300°			0 (input)	
0kΩ (GND)	2MHz						

1 表 10 は、PWM_CFG が 5.6k Ω の設定抵抗に接続されている場合にのみ適用されます。それ以外の場合は、V_{OUT1_CFG} が表 7 に従ってチャンネル 1 の出力電圧を制御します。

2 SYNC 入力クロックが存在しない場合、PWM スイッチング周波数は FREQUENCY_SWITCH と MFR_PWM_MODE_LT7184S のビット 15 で制御します。

3 定常 PWM スイッチング位相は、MFR_PWM_PHASE_LT7184S で制御します。

4 POLYPHASE[®] フォロワ・モードは、MFR_CHAN_CONFIG_LT7184S のビット 8 で制御します。このビットの値が 1 の場合はフォロワ・モードが選択され、0 の場合はリーダー・モードが選択されます。1 つのチャンネルしかリーダーにできません。

5 MFR_SYNC_CONFIG_LT7184S のビット 0 を 1 に設定すると、SYNC ピンはクロック出力になります。

ASEL ピンによるデバイス・アドレス選択

MFR_ADDRESS コマンド・バイトと ASEL ピンは、PMBUS の 7 ビットのデバイス・アドレスを設定します。このコマンドの値を 0x80 に設定すると、デバイスのアドレス指定が無効化されます。グローバル・デバイス・アドレスの 0x5A と 0x5B を非アクティブにすることはできません。ASEL ピンがフロート状態になっているか、V_{DD18} に接続されている場合は、デバイスは MFR_ADDRESS の全ての値を使用します。抵抗が表 10 に従って接続されている場合は、デバイス・アドレスの 4 個の LSB は ASEL の抵抗値によって決まります。

MFR_ADDRESS を読み出すと、常に、EEPROM からロードされた値あるいは PMBSus 書込みによって書き込まれた値が返されます。MFR_ADDRESS から読み出される値は、ASEL ピンの影響を受けません。MFR_CONFIG_ALL_LT7184S が他の抵抗設定ピンを無視するよう設定されている場合でも、LT7184S は ASEL ピンを無視しません。デバイス・アドレスの 3 つの MSB である[6:4]は、常に、MFR_ADDRESS の[6:4]で決まります。

表 11. ASEL 設定抵抗とデバイス・アドレスの LSB

ASEL Resistor	PMBus Device Address
Floating or V _{DD18}	EEPROM
124kΩ	0x4F
107kΩ	0x4D
93.1kΩ	0x4D
80.6kΩ	0x4C
69.8kΩ	0x4B
60.4kΩ	0x4A
51.1kΩ	0x49
43.2kΩ	0x48
36.5kΩ	0x47
30.9kΩ	0x46
25.5kΩ	0x45
21.0kΩ	0x44
16.5kΩ	0x43
11.8kΩ	0x42
6.65kΩ	0x41
0 (grounded)	0x40

動作周波数のトレードオフ

動作周波数の選択は、効率、部品サイズ、および入力電圧範囲のトレードオフになります。高周波数動作の利点はインダクタとコンデンサの値を小さくできることですが、主な欠点は、最小オン時間と最小オフ時間を避けるために、効率と最大入力電圧が低下することです。

最小オン時間と最小オフ時間に関する考慮事項

最小オン時間 $t_{ON(MIN)}$ は、上側パワー-MOSFET をオン状態にすることのできる最小時間です。この時間は、入出力の電圧、スイッチング周波数、出力負荷電流の関数で、通常、LT7184S が対応できる最小値は、1A 負荷時で約 25ns です。連続導通モード時の最大スイッチング周波数は、最も厳しい条件での最小オン時間制限によって次のようになります。

$$f_{SW MAX} = \frac{V_{OUT}}{V_{IN} \times 40ns} \quad (1).$$

ここで、40ns は無負荷で最大ジャンクション温度 150°C という最も厳しい条件における $t_{ON(MIN)}$ の上限値に相当し、 $f_{SW(MAX)}$ はサポートされている最大のスイッチング周波数です。 $t_{ON(MIN)}$ に対して許容される周波数より高い周波数が設定された場合は、LT7184S の谷電流制御アーキテクチャが出力電圧のレギュレーションを維持し、スイッチング周波数はプログラムされた値より低い値になります。これは多くのアプリケーションで受け入れ得る結果なので、この制約が決定的な重要性を持つことはまずありません。出力過電圧を引き起こすことのない設計では、高いスイッチング周波数を使うことができます。しかし、周波数同期が必要な場合は（例えば PolyPhase アプリケーションの場合）、 f_{SW} を、40ns の最大 $t_{ON(MIN)}$ とアプリケーションの最大 PV_{IN} および最小 V_{OUT} で実現可能な最大値以下に設定する必要があります。なお、 $t_{ON(MIN)}$ は負荷電流と共に減少し、負の負荷と共に増加する点に注意してください。

最小オフ時間 $t_{OFF(MIN)}$ は、LT7184S が下側パワー-MOSFET をターンオンして電流コンパレータをトリップさせ、下側パワー-MOSFET を再びオフに戻すことのできる最小時間です。この時間の代表値は約 85ns です。最小オフ時間によって、最大デューティサイクルが $t_{ON}/(t_{ON}+t_{OFF(MIN)})$ となります。 V_{OUT}/PV_{IN} の比が、例えば入力電圧の低下などによって最大デューティサイクルを超えた場合は、出力電圧がレギュレーション範囲を外れます。

$t_{OFF(MIN)}$ の制限によって出力電圧がレギュレーション範囲を外れるのを防ぐためには、スイッチング周波数を次式以下に設定します。

$$f_{SW} \leq \frac{\left(1 - \frac{V_{OUT (MAX)}}{V_{IN (MIN)}}\right)}{120ns} \quad (2).$$

アプリケーションの最小入力電圧および最大出力電圧に基づきます。なお、式 2 の 120ns は、最大ジャンクション温度 150°C における LT7184S の最大 $t_{OFF(MIN)}$ に相当します。

プログラマブルな電流制限

LT7184S の電流制限は、図 35 と図 36 に示すように、インダクタ電流リップル波形の谷を基準に出力電流を制限することによって機能します。図 35 に示すように、正の谷電流制限作動時（出力電流を負荷に供給）のインダクタ谷電流は $I_{LIM-POS}$ 、平均出力電流は $I_{LIM-POS} + \Delta I_L/2$ 、ピーク・インダクタ電流は $I_{LIM-POS} + \Delta I_L$ です（ ΔI_L はインダクタのリップル電流）。 $I_{LIM-POS}$ に達した場合は、 I_{OUT_OC} フォルトを示す STATUS ビットがセットされます。LT7184S PMBus/I²C リファレンス・マニュアルに記載されている STATUS コマンドの説明を参照してください。

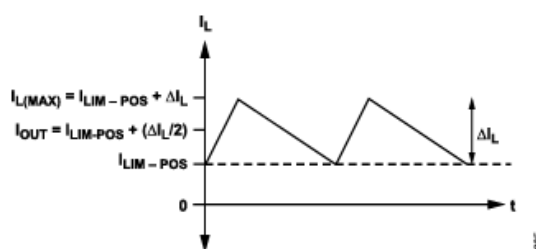


図 35. $I_{LIM (POS)}$

図 36 に示すように、負の谷電流制限となった場合（出力が外部からプルアップされることによって出力電流をシンク）のインダクタ谷電流は $I_{LIM-NEG}$ 、平均出力電流は $I_{LIM-NEG} + \Delta I_L/2$ 、ピーク・インダクタ電流は $I_{LIM-NEG} + \Delta I_L$ です。

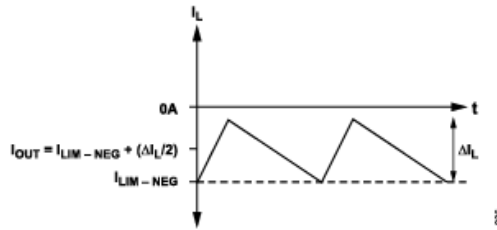


図 36. ILIM(NEG)

LT7184S には、谷電流制限に関して 4 つの設定があります。電流制限の選択は、表 12 に示すように MFR_PWM_MODE_LT7184S のビット[10:9]で制御します。工場出荷時のデフォルト電流制限設定は、正の谷電流制限が 9A（代表値）、負の谷電流制限が -7.5A（代表値）です。なお、電流制限の選択を変更すると変調器の電流検出ゲイン（ dI_{OUT}/dV_{ITH} ）も変化するので、制御ループの補償を最適化するにはこの点も考慮する必要があります。谷電流制限は、 V_{OUT}/L （V/μH）と動作周波数の影響を受けます。詳細については、[代表的な性能特性](#)のセクションを参照してください。

表 12. 谷電流制限の選択：MFR_PWM_MODE_LT7184S のビット[10:9]

VALUE	POSITIVE VALLEY CURRENT LIMIT: $I_{LIM-POS}$ (TYP)	NEGATIVE VALLEY CURRENT LIMIT: $I_{LIM-NEG}$ (TYP)	CURRENT SENSE TRANSCONDUCTANCE: $g_{M(MOD)} = dI_{OUT}/dV_{ITH}$ (TYP)
3	9A	-9A	20.0 A/V
2 (default)	9A	-7.5A	18.33 (A/V)
1	7A	-6A	14.44 (A/V)
0	4A	-3.5A	8.33 (A/V)

インダクタの選択

アプリケーションの入力電圧と出力電圧が与えられている場合、式 3 に示すように、リップル電流はインダクタ値と動作周波数によって決まります。

$$\Delta I_L = \frac{V_{OUT}}{f_{SW} \times L} \left(1 - \frac{V_{OUT}}{PV_{IN}} \right) \quad (3)$$

リップル電流が小さければインダクタの損失と出力コンデンサの ESR 損失が小さくなり、出力電圧リップルも小さくなります。最も効率の高い動作は、周波数が低くリップル電流が小さい場合に得られます。しかし、これを実現するには大きいインダクタが必要です。

妥当な出発点は、 $I_{OUT(MAX)}$ （最大約 4A）の約 50% のリップル電流を選択することです。リップル電流が仕様規定されている最大値を超えないようにするために、インダクタンスは次式に従って選択します。

$$L = \frac{V_{OUT}}{f_{SW} \times \Delta I_{L, MAX}} \left(1 - \frac{V_{OUT}}{PV_{IN}} \right) \quad (4).$$

インダクタ・リップル電流（ ΔI_L ）と負の最大負荷電流（ $I_{LOADNEGMAX}$ ）は、負の最大インダクタ谷電流制限が電気的特性（表 3 参照）に示す負の最大谷電流制限（最も小さい負の値）を上回るように選ぶ必要があります。そうでない場合、出力過電圧となります。

$$I_{LOADNEGMAX} - \Delta I_L / 2 \geq I_{LIM_NEG(MAX)} \quad (5)$$

例えば、電流制限範囲が 2（負の電流制限の代表値が -7.5A（最大値 -6.5A））でリップル電流が 2A の場合、LT7184S が対応できる負の最大負荷は -5.5A です。これより大きな負の電流負荷は出力過電圧になる恐れがあります。負の負荷で動作する場合、電流は出力電圧 V_{OUT} でシンクされ、 PV_{IN} 入力ピンから出力されます。 PV_{IN} に接続する電源は、この過剰な電流を吸収できなくてはなりません。そうでない場合、 PV_{IN} で過電圧が発生します。

また、インダクタは、飽和電流（通常は I_{SAT} で表される）が電流制限で動作した場合の最大ピーク電流（次式）より大きいものを選ぶ必要があります。

$$I_{L(PEAK MAX)} = I_{LIM_POS} + \Delta I_L \quad (6)$$

過熱や効率低下を防ぐために、インダクタは、その実効電流定格値がアプリケーションの予想最大出力負荷より大きいものを選ぶ必要があります。できれば、インダクタの実効値定格が、電流制限時の平均インダクタ電流に対応していることが望まれます。

$$I_{L(AVG MAX)} = I_{LIM(POS)} + \frac{\Delta I_L}{2} \quad (7)$$

インダクタの電流定格が、式 7 に示す $I_{L(AVG MAX)}$ に対応していない場合は、その定格に適した電流制限を選択するか、出力電圧が $V_{OUT_UV_FAULT_LIMIT}$ 未満に低下した場合にそのチャンネルを無効化するように $V_{OUT_UV_FAULT_RESPONSE}$ コマンドを設定します。 $V_{OUT_UV_FAULT_RESPONSE}$ のデフォルト設定は、 V_{OUT_UV} フォルト状態が存在する間、谷電流制限で動作を続行するようになっています。最大限の効率を実現するには、インダクタの直列抵抗（DCR または ESR）を最小限に抑えると共に、高周波アプリケーション向けのコア材を使用したインダクタを選ぶ必要があります。

入力コンデンサと出力コンデンサ

スイッチング・レギュレータの出力電源と入力電源には、共に低 ESR のセラミック・コンデンサを使用してください。過熱や印加電圧に対して最良の性能を実現するには、X5R または X7R セラミック・コンデンサを推奨します。選択したコンデンサの電圧定格がアプリケーションの最大電圧を確実に上回るようにしてください。

PV_{IN} ピンは低 ESL、低 ESR のセラミック・コンデンサを 2 つの PV_{IN} ピンのできるだけ近くに接続してデカップリングし、リターン経路を表 7 に示す適切なグラウンド・リターン・ピンに接続し、バルク・セラミック・コンデンサで入力リップル電流に対応します。

出力コンデンサの推奨値については、このデータシートの代表的なアプリケーションのセクションを参照してください。出力コンデンサの値は、動作周波数、補償（ g_{MEA} および補償ネットワークの R_{ITH} と C_{ITH} ）、電流制限の設定など、選択した動作条件の全域で安定性を維持できるように選択する必要があります、これによってモジュレータのトランスコンダクタンスが決まります。

プログラマブルな PWM 制御ループ補償

図 37 と図 38 に示すように、LT7184S は内部または外部の PWM 制御ループ補償をサポートしています。単相アプリケーションの場合は、チャンネルの I_{TH} ピンを $INTV_{CC}$ に接続することによって内部補償を選択します。PolyPhase 動作には外部補償が必要で、全ての PolyPhase チャンネルの I_{TH} ピンを 1 つの外部補償ネットワークに接続する必要があります。

制御ループ補償は、 $MFR_PWM_MODE_LT7184S$ コマンドを使ってプログラムできます。内部補償と外部補償のいずれの場合でも、表 13 に示すように、 $MFR_PWM_MODE_LT7184S$ のビット[13:11]を使って LT7184S の PWM エラー・アンプのトランスコンダクタンスを調整することができます。内部補償を選択した場合は、表 14 に示すように、 $MFR_PWM_MODE_LT7184S$ のビット[5:3]を使って、LT7184S の内部 PWM ループ補償抵抗 R_{ITH} を 5kΩ～60kΩ（代表値）の範囲で非線形インクリメントで調整することができます。内部補償コンデンサ C_{ITH} は、表 15 に示すように、 $MFR_PWM_MODE_LT7184S$ のビット[8:6]を使って 95pF～165pF（代表値）の範囲で 10pF のインクリメントで調整することができます。

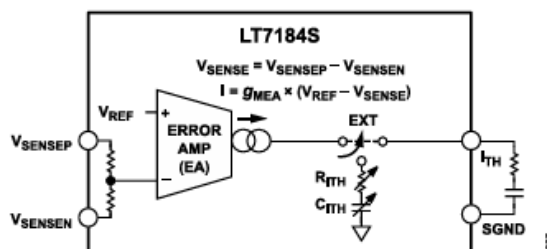


図 37. 外部補償

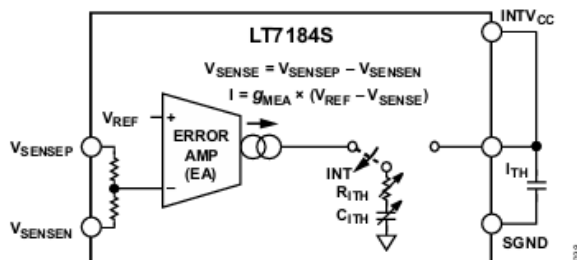


図 38. プログラマブルな内部補償

制御ループ・モデル

図 39 に、LT7184S レギュレータの等価回路モデルを示します。エラー・アンプは、有限の出力インピーダンスとプログラマブル・ゲイン（表 13 の R_{EA} と g_{MEA} ）を持つ、トランスコンダクタンス・アンプです。エラー・アンプの約 220fF の入力容量は、約 24k Ω のテブナン等価抵抗を持つ入力帰還分圧器と共に寄生の極を形成します。変調器、パワー・スイッチ電流検出、およびインダクタで構成される電源セクションは、帯域幅が約 13MHz の RC ネットワーク（ R_{MOD} 、 C_{MOD} ）と、それに続くトランスコンダクタンス・アンプ $g_{M(MOD)}$ （表 12 参照）としてモデル化されています。出力コンデンサ C_{OUT} はこの電流を積分し、 I_{TH} ノードの容量（ C_{ITH} 、内蔵の場合、表 15 参照）はエラー・アンプの出力電流を積分するため、ループには 2 つの主極があることに注意してください。ゼロが必要ですが、これは C_{ITH} と直列に接続した抵抗 R_{ITH} （内蔵の場合、表 14 参照）によって得られます。インダクタ値が大きすぎず、ループのクロスオーバー周波数がスイッチング周波数 f_{SW} より十分低い限り、この単純なモデルは適切に機能します。PolyPhase アプリケーションをモデル化する場合、エラー・アンプを互いに結合し、 I_{THN} ノードを 1 つの外部補償ネットワークに接続する必要があります。外部補償ネットワークを用いる場合、グラウンドとの間の容量 C_{PARA} を制限するために外部 I_{TH} ネットワークのレイアウトには注意が必要です。

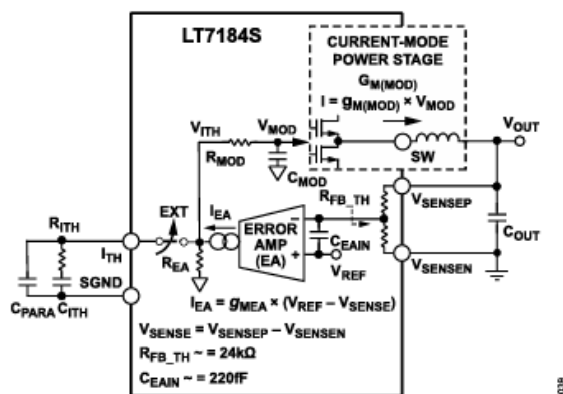


図 39. 制御ループ・モデル

表 13. プログラマブルなエラー・アンプ・トランスコンダクタンス : g_{MEA}/R_{EA}

MFR_PWM_MODE_LT7184S BITS [13:11]	Full V_{OUT} RANGE MODE	HIGH PERFORMANCE LOW- V_{OUT} MODE
7	1240 μ S/18M Ω	5000 μ S/4.6M Ω
6	1085 μ S/21M Ω	4375 μ S/5.3M Ω
5	930 μ S/25M Ω	3750 μ S/6.2M Ω
4	775 μ S/30M Ω	3125 μ S/7.4M Ω
3	620 μ S/37M Ω	2500 μ S/9.3M Ω
2	465 μ S/50M Ω	1875 μ S/12M Ω
1	310 μ S/75M Ω	1250 μ S/18M Ω
0	155 μ S/150M Ω	625 μ S/37M Ω

表 14. プログラマブルな内部補償リード抵抗 : R_{ITH}

MFR_PWM_MODE_LT7184S BITS[5:3]	INTERNAL R_{ITH} VALUE
7	60k Ω
6	42k Ω
5	29k Ω
4	20k Ω
3	14k Ω
2	10k Ω
1	7k Ω
0	5k Ω

表 15. プログラマブルな内部補償コンデンサ : C_{ITH}

PFR_PWM_MODE_LT7184S BITS[8:6]	INTERNAL C_{ITH} VALUE
7	165pF
6	155pF
5	145pF
4	135pF
3	125pF
2	115pF
1	105pF
0	95pF

ソフトウェアで設定可能なシーケンシング

時間ベースでシーケンシングを行う場合は、システムのパワーアップおよびパワーダウン・シーケンスをソフトウェアで設定することができます。時間ベースのシーケンシングを行うには、TON_DELAY をプログラムして、ソフトスタート・ランプがシーケンス内の正しいポイントで開始されるように、各チャンネルを個別に遅延させます。シーケンスは、OPERATION コマンドまたは RUN ピンを使って、全てのチャンネルに同時に指示を与えた時点で開始されます。同様に、ターンオフ・シーケンシングは TOFF_DELAY コマンドを使って調整します。

複数のアナログ・デバイsez製品間で時間ベースのシーケンシングを使用するときは、デバイスの SHARE_CLK ピンを 1.6V~5.5V へのプルアップ抵抗に接続することを推奨します。

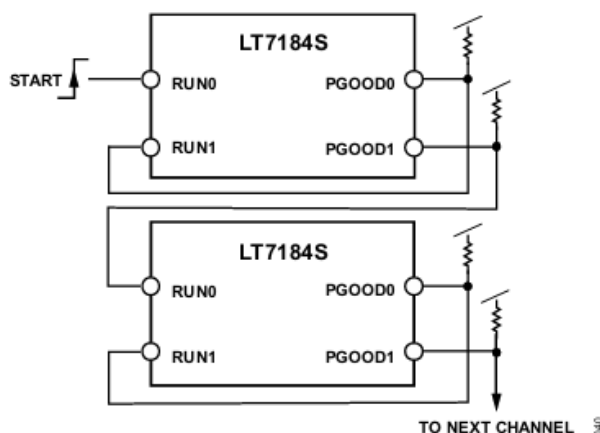


図 40. イベントベースのシーケンシング

イベントベースのシーケンシング

イベントベースでシーケンシングを行う場合は、システムのパワーアップおよびパワーダウン・シーケンスをハードウェアで設定することができます。

図 40 に示すように、1 つのレギュレータの PGOODN ピンを、シーケンス内の次のレギュレータの RUNN ピンに接続します。LT7184S は、チャンネルのソフトスタート・ランプが完了して、その出力電圧が VOUT_UV_FAULT_LIMIT で設定された値を超えるまで、PGOODN ピンをローに保持します。

LTPowerPlay の GUI

LTPowerPlay は、LT7184S を含むアナログ・デバイsezのデジタル・パワー・システム・マネージメント製品をサポートする、Windows ベースの強力な開発環境です。LTPowerPlay は、デモ・ボードまたはユーザ・アプリケーション・ボードに接続することによって、アナログ・デバイsez製品を評価するために使用できます。LTPowerPlay はオフライン・モード（ハードウェアなしの状態）で使用して、複数の構成ファイルを作成することもできます。これらのファイルは、保存して後で再ロードすることができます。LTPowerPlay は、システムの立ち上げ時に、電源のプログラムや調整を行ったり、電源に関する問題を診断したりするための貴重な診断情報を提供します。LTPowerPlay は、アナログ・デバイsezの DC1613A USB-I²C/SMBus/PMBus アダプタを利用して、LT7184S デモ・ボードを含む様々なターゲットの 1 つと通信を行います。アプリケーションでは、DC1613A の 3.3V V_{CCIO} 電源を LT7184S の EXT_{VCC} ピンに接続することで、PVIN を加えずにプログラミングを行うことができます。LTPowerPlay ソフトウェアは、最新のデバイス・ドライバとドキュメントによってリビジョンを最新状態に保つための、自動更新機能も備えています。また、いくつかのチュートリアル・デモを含む、多数のコンテキスト・ヘルプも使用できます。詳細については、LTpowerPlay を参照してください。

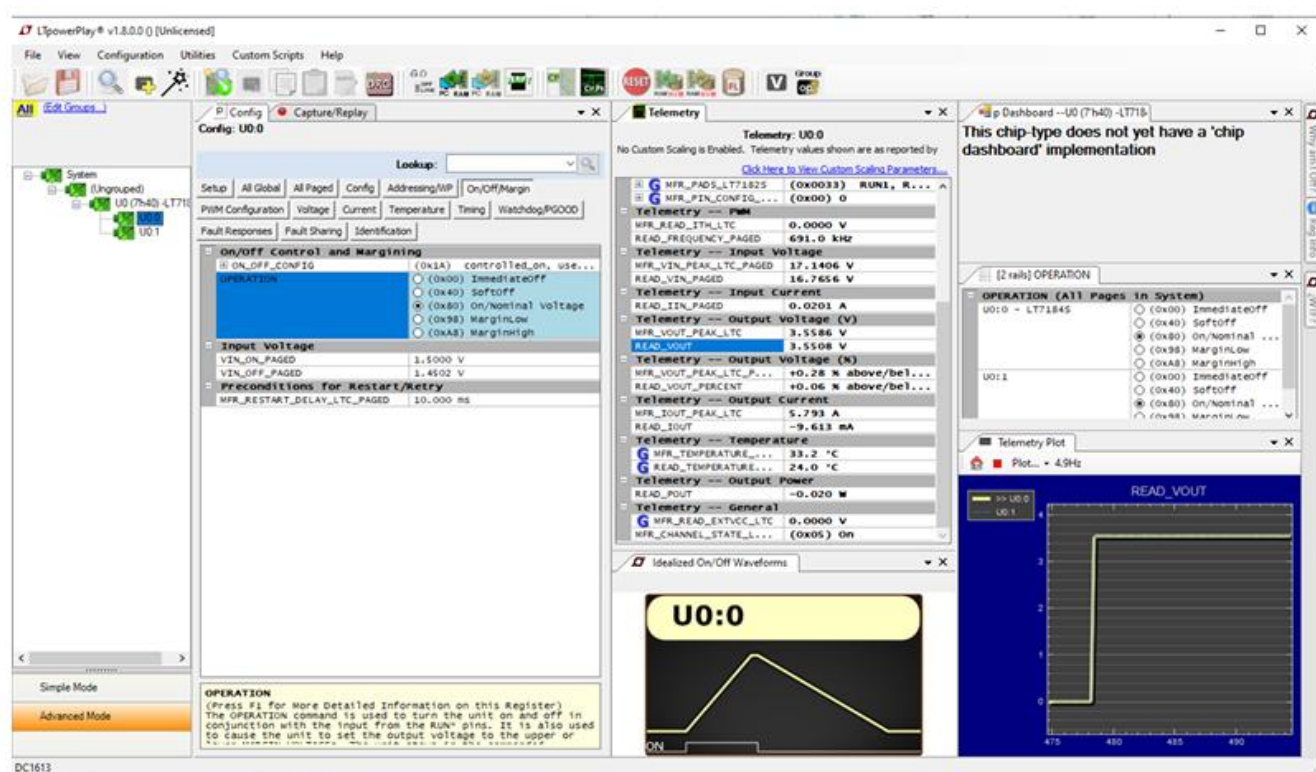


図 41. LTPowerPlay の GUI

ボード・レイアウト時の考慮事項

LT7184S の PV_{IN} ピンと PGND ピン、および入力コンデンサには大きいスイッチ電流が流れるので、注意が必要です。また、 PV_{IN} ピンと PGND (または SGND) ピンに隣接させてコンデンサを配置することにより、入力コンデンサによって形成されるループをできるだけ小さくする必要があります。

入力コンデンサ、インダクタ、出力コンデンサは回路基板の同じ側に配置します。また、それらの接続は同じ層で行う必要があります。切れ目のないグラウンド・プレーンを、LT7184S および PV_{IN} コンデンサ、インダクタ、出力コンデンサ、昇圧コンデンサを含むアプリケーション回路の下、表面層に最も近い層に局部的に配置します。SGND は、SGND ピンに隣接する 1 点だけで PCB グラウンドに接続する必要があります。SGND と PGND は LT7184S のパッケージ内で接続されています。

SW と BOOST のノードはできるだけ小さくする必要がありますが、SW の金属部は、全負荷電流に対応できるように設定する必要があります。隣接する GND やその他の信号ノードから SW と BOOST までの間隔を広げて容量を減らします。

詳細および PCB 設計ファイルについては、LT7184S PMBus/I²C リファレンス・マニュアルを参照してください。

熱に関する考慮事項

LT7184S パッケージの良好な放熱を実現するには、PCB のレイアウトに注意を払う必要があります。パッケージ底面にあるグラウンド・ピンは、グラウンド・プレーンにハンダ付けする必要があります。グラウンド・ピンは、LT7184S の下にある広い銅のグラウンド・プレーンにサーマル・ビアで接続してください。グラウンド・プレーンは LT7184S が発生する熱を拡散します。ビアを追加すれば、熱抵抗を更に小さくすることができます。最大負荷電流は、周囲温度が上昇してジャンクション温度が最大ジャンクション温度定格値に近づくのに伴ってデレーティングする必要があります。

LT7184S の温度上昇が最も大きくなるのは、非常に高負荷、高 PV_{IN} 、高スイッチング周波数の状態で動作させた場合です。与えられたアプリケーションにおけるケース温度が高すぎる場合は、 PV_{IN} 、スイッチング周波数、負荷電流のいずれかを減らせば、温度を許容可能なレベルまで下げることができます。

LT7184S の内部ジャンクション温度は、READ_TEMPERATURE_1 コマンドによってレポートされます。内部の READ_TEMPERATURE 値がプログラマブルな OT_WARN_LIMIT を超えると、STATUS_TEMPERATURE_OT 警告ビットがセットされます。内部の READ_TEMPERATURE 値がプログラマブルな OT_FAULT_LIMIT を超えると、STATUS_TEMPERATURE_OT フォルト・フラグがセットされます。LT7184S は、過熱フォルトが発生した場合にラッチ・オフまたは再起動するようプログラムできます。ただし、STATUS_TEMPERATURE_OT 警告フラグとお STATUS_TEMPERATURE_OT フォルト・フラグをリセットするには、CLEAR_FAULTS コマンドを発行するか、あるいは、OPERATION コマンド、RUN ピン、または EXT V_{CC} および PV_{IN0} 電源をサイクルする必要があります。

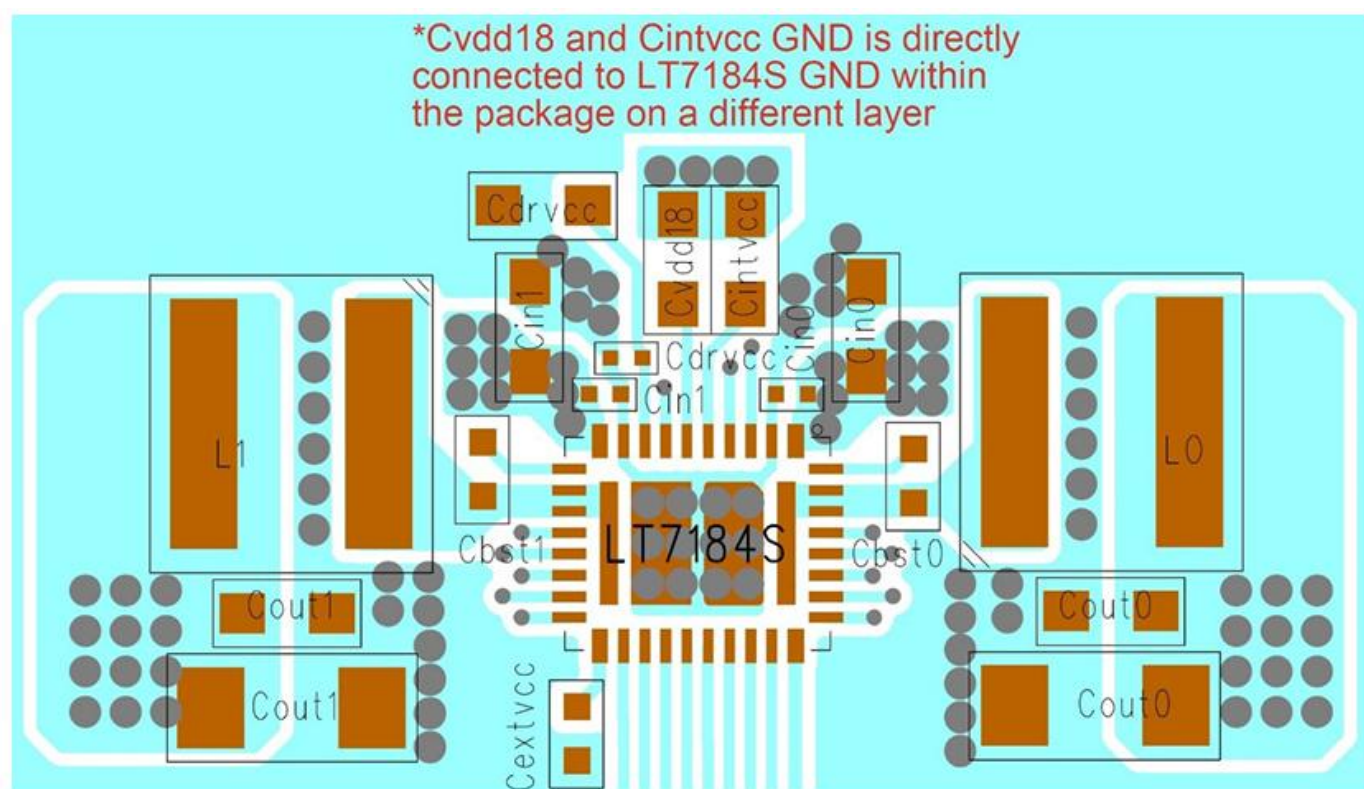


図 42. 推奨 PCB レイアウト

代表的なアプリケーション

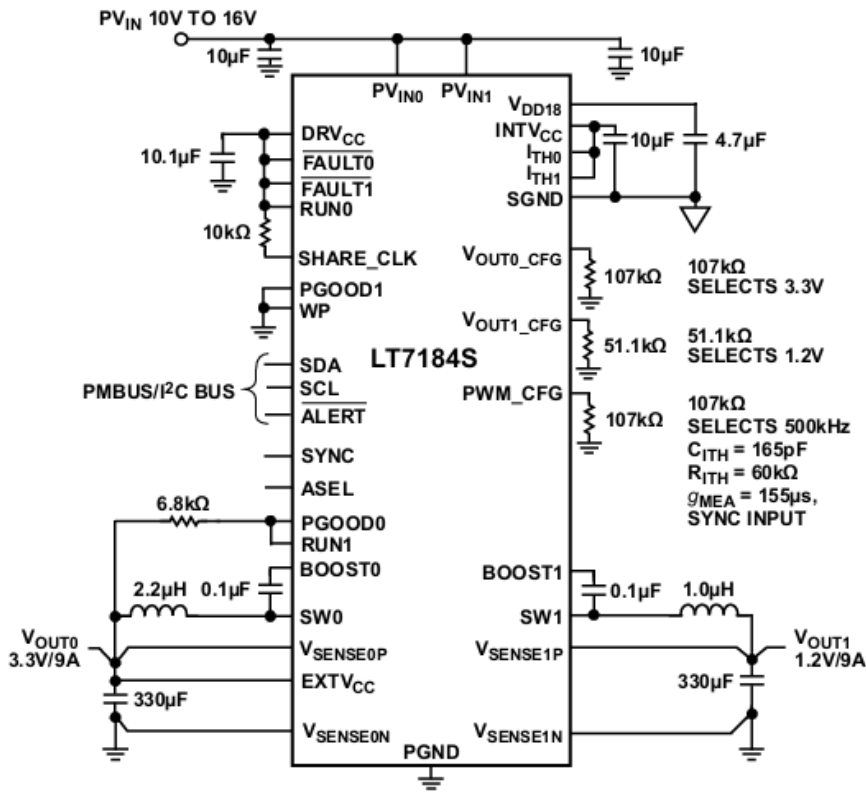
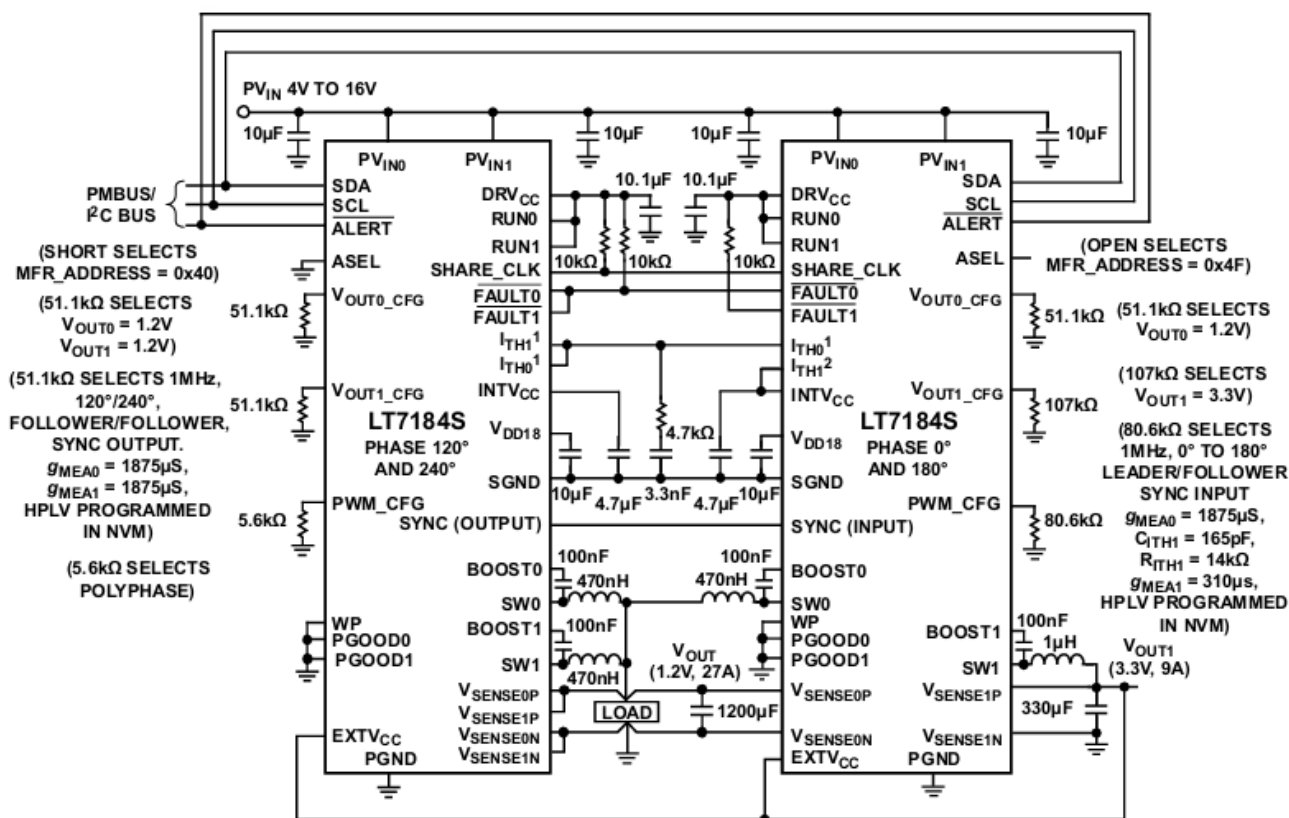


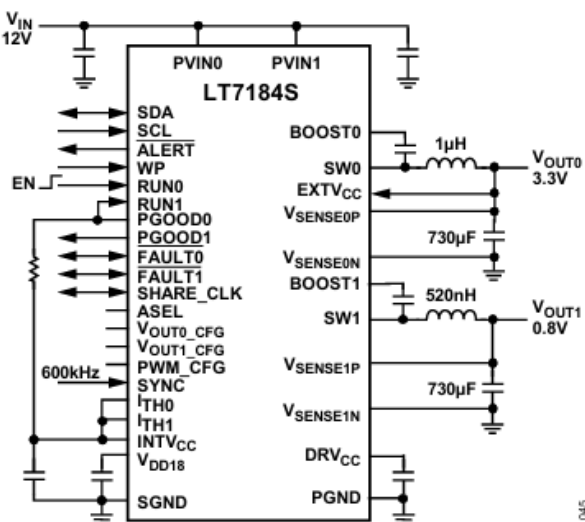
図 43. ピンストラップ出力シーケンシングのデュアル・レギュレータ



¹EXTERNAL COMPENSATION
²INTERNAL COMPENSATION

044

図 44. 3 相 PolyPhase 1.2V/27A 1MHz レギュレータと単相 3.3V/9A 1MHz レギュレータ



045

図 45. デュアル・レギュレータ ($V_{OUT0} = 3.3V$, $f_{SW0} = 1200kHz$, $V_{OUT1} = 0.8V$, $f_{SW1} = 600kHz$)

PMBus コマンドの概要

PMBus/I²C シリアル・インターフェースの概要

このデータシートでは、LT7184S のシリアル・インターフェースを介して利用できる主要機能の概要を示しますが、全ての機能を網羅しているわけではありません。関連文書の LT7184S PMBus/I²C リファレンス・マニュアルを参照してください。このマニュアルには、使用可能なデジタル機能の詳細な説明が記載されています。サポートしている PMBus コマンドについては表 16 を参照してください。データ・フォーマットを示す略号についての説明は、このコマンドの概要の末尾に記載されています。「デフォルト値」欄に示す浮動小数点値は半精度 IEEE 浮動小数点値です。

ページ指定コマンドは選択したチャンネルのテレメトリを制御し、レポートします。詳細については、PMBUS 仕様のリビジョン 1.3.1 を参照してください。

表 16. PMBus コマンドの概要

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
PAGE	0x00	Provides integration with multiple PMBus devices.	R/W Byte	N	Register			0x00
OPERATION	0x01	Operating mode control. On/Off, margin high, and margin low.	R/W Byte	Y	Register		Y	0x80
ON_OFF_CONFIG	0x02	RUN pin and PMBus on/off command configuration.	R/W Byte	Y	Register		Y	0x1E
CLEAR_FAULTS	0x03	Clear any fault bits that have been set.	Send Byte	N				
PAGE_PLUS_WRITE	0x05	Write a command directly to a specified page.	W Block	N				
PAGE_PLUS_READ	0x06	Read a command directly from a specified page.	Block R/W	N				
ZONE_CONFIG	0x07	Assigns the current page to the specified zone number for ZONE_WRITE operations.	W Word	Y	Register		Y	0xFEFE
ZONE_ACTIVE	0x08	Selects the active zone for ZONE_WRITE operations.	W Word		Register			0xFEFE
WRITE_PROTECT	0x10	Level of protection provided by the device against accidental changes.	R/W Byte	N	Register		Y	0x00
STORE_USER_ALL	0x15	Store user operating memory to EEPROM.	Send Byte	N				
RESTORE_USER_ALL	0x16	Restore user operating memory from EEPROM.	Send Byte	N				
CAPABILITY	0x19	Summary of PMBus optional communication protocols supported by this device.	R Byte	N	Register			0xD8
QUERY	0x1A	Asks if a given command is supported and what data formats are supported.	Block R/W	N	Register			
SMBALERT_MASK	0x1B	Asks if a given command is supported and what data formats are supported.	Block R/W	N	Register		Y	

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
VOUT_MODE	0x20	Output voltage format and exponent.	R Byte	N	Register			0x60
VOUT_COMMAND	0x21	Nominal output voltage set point.	R/W Word	Y	IEEE or UL16	V	Y	0.5V (0x3800)
VOUT_MAX	0x24	The upper limit on the commanded output voltage.	R/W Word	Y	IEEE or UL16	V	Y	0.537V (0x384c)
VOUT_MARGIN_HIGH	0x25	Margin high output voltage set point.	R/W Word	Y	IEEE or UL16	V	Y	0.525V (0x3833)
VOUT_MARGIN_LOW	0x26	Margin low output voltage set point.	R/W Word	Y	IEEE or UL16	V	Y	0.475V (0x379A)
VOUT_TRANSITION_RATE	0x27	Rate the output voltage changes when V_{OUT} is commanded to a new value.	R/W Word	Y	IEEE or L11	V/ms	Y	0.25V/ms (0x3400)
FREQUENCY_SWITCH	0x33	Switching frequency of the regulator.	R/W Word	N	IEEE or L11	kHz	Y	1000.0 (0x63D0)
VIN_ON	0x35	Input voltage at which the unit should start power conversion.	R/W Word	Y	IEEE or L11	V	Y	Ch0:1.5V (0x3E00) Ch1:1.4V (0x3D9A)
VIN_OFF	0x36	Input voltage at which the unit should stop power conversion.	R/W Word	Y	IEEE or L11	V	Y	Ch0:1.45V (0x3DCD) Ch1:1.35V (0x3D66)
VOUT_OV_FAULT_LIMIT	0x40	Output overvoltage fault limit.	R/W Word	Y	IEEE or L11	V	Y	0.55V (0x3866)
VOUT_OV_FAULT_RESPONSE	0x41	Action to be taken by the device when an output overvoltage fault is detected.	R/W Byte	Y	Register		Y	0xB8
VOUT_OV_WARN_LIMIT	0x42	Output overvoltage warning limit.	R/W Word	Y	IEEE or L11	V	Y	0.537V (0x384C)
VOUT_UV_WARN_LIMIT	0x43	Output undervoltage warning limit.	R/W Word	Y	IEEE or L11	V	Y	0.467V (0x3779)
VOUT_UV_FAULT_LIMIT	0x44	Output undervoltage fault limit	R/W Word	Y	IEEE or L11	V	Y	0.465V (0x3771)
VOUT_UV_FAULT_RESPONSE	0x45	Action to be taken by the device when an output undervoltage fault is detected.	R/W Byte	Y	Register		Y	0x00
IOUT_OC_FAULT_RESPONSE	0x47	Action to be taken by the device when an output over the current fault is detected.	R/W Byte	Y	Register		Y	0x00
IOUT_OC_WARN_LIMIT	0x4A	Output overcurrent warning limit.	R/W Word	Y	IEEE or L11	A	Y	11.0A (0x4980)

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
OT_FAULT_LIMIT	0x4F	Internal overtemperature fault limit.	R/W Word	N	IEEE or L11	C	Y	160.0C (0x5900)
OT_FAULT_RESPONSE	0x50	Action to be taken by the device when an internal overtemperature fault is detected.	R/W Byte	N	Register		Y	0xC0
OT_WARN_LIMIT	0x51	Internal overtemperature warning limit.	R/W Word	N	IEEE or L11	C	Y	140.0C (0x5860)
VIN_OV_FAULT_RESPONSE	0x56	Action to be taken by the device when an input overvoltage fault is detected.	R/W Byte	Y	Register		Y	0xB8
VIN_UV_WARN_LIMIT	0x58	Input supply undervoltage warning limit.	R/W Word	Y	IEEE or L11	V	Y	-1.0V (0xBC00)
IIN_OC_WARN_LIMIT	0x5D	Input supply overcurrent warning limit.	R/W Word	Y	IEEE or L11	A	Y	9.0A (0x4880)
TON_DELAY	0x60	Time from RUNN and/or Operation command till an output rail turns on.	R/W Word	Y	IEEE or L11	ms	Y	0.0ms (0x0000)
TON_RISE	0x61	Time from when the output starts to rise until the output voltage set point reaches the V_{OUT} commanded value.	R/W Word	Y	IEEE or L11	ms	Y	1.0ms (0x3C00)
TON_MAX_FAULT_LIMIT	0x62	Maximum time from the start of TON_RISE for V_{OUT} to cross the $V_{OUT_UV_FAULT_LIMIT}$.	R/W Word	Y	IEEE or L11	ms	Y	5.0ms (0x4500)
TON_MAX_FAULT_RESPONSE	0x63	Action to be taken by the device when a TON_MAX_FAULT event is detected.	R/W Byte	Y	Register		Y	0x00
TOFF_DELAY	0x64	Time from RUNN and/or Operation command to the start of the TOFF_FALL ramp.	R/W Word	Y	IEEE or L11	ms	Y	0.0ms (0x0000)
TOFF_FALL	0x65	Time from when the output starts to fall until the output reaches zero volts.	R/W Word	Y	IEEE or L11	ms	Y	2.0ms (0x4000)
TOFF_MAX_WARN_LIMIT	0x66	Maximum allowed time after TOFF_FALL is completed for the output voltage to fall below the MFR_DISCHARGE_THRESHOLD.	R/W Word	Y	IEEE or L11	ms	Y	0.0ms (0x0000)
STATUS_BYTE	0x78	One-byte summary of the unit's fault condition.	R/W Byte	Y	Register			
STATUS_WORD	0x79	Two-byte summary of the unit's fault condition.	R/W Word	Y	Register			

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
STATUS_VOUT	0x7A	Output voltage fault and warning status.	R/W Byte	Y	Register			
STATUS_IOUT	0x7B	Output current fault and warning status.	R/W Byte	Y	Register			
STATUS_INPUT	0x7C	Output current fault and warning status.	R/W Byte	Y	Register			
STATUS_TEMPERATURE	0x7D	Internal temperature fault and warning status for READ_TEMPERATURE_1.	R/W Byte	N	Register			
STATUS_CML	0x7E	Communications and memory fault and warning status.	R/W Byte	N	Register			
STATUS_MFR_SPECIFIC	0x80	Manufacturer-specific fault and state information	R/W Byte	Y	Register			
READ_VIN	0x88	Measured Input supply voltage.	R Word	Y	IEEE or L11	V		
READ_IIN	0x89	Calculated input supply current.	R Word	Y	IEEE or L11	A		
READ_VOUT	0x8B	Measured output voltage.	R Word	Y	IEEE or UL1	V		
READ_IOUT	0x8C	Measured output current.	R Word	Y	IEEE or L11	A		
READ_TEMPERATURE_1	0x8D	Measured internal temperature.	R Word	N	IEEE or L11	C		
READ_FREQUENCY	0x95	Measured PWM switching frequency.	R Word	Y	IEEE or L11	kHz		
READ_POUT	0x96	Calculated output power.	R Word	Y	IEEE or L11			
PMBUS_REVISION	0x98	PMBus revision is supported by this device. The current revision is 1.3.	R Byte	N	Register			0x33
MFR_ID	0x99	The manufacturer ID is in ASCII.	R Block	N	ASCII			ADI
MFR_MODEL	0x9A	The part number is in ASCII.	R Block	N	ASCII			LT7184S
MFR_REVISION	0x9B	Part revision number.	R Block	N				
MFR_SERIAL	0x9E	Unique part serial number.	R Block	N				
IC_DEVICE_ID	0xAD	Identification of the IC is in ASCII.	R Block	N	ASCII			LT7184S
IC_DEVICE_REV	0xAE	Revision of the IC.	R Block	N				
MFR_EE_UNLOCK	0xAE	Contact factory.						
MFR_EE_ERASE	0xBE	Contact factory.						
MFR_EE_DATA	0xBF	Contact factory.						

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
MFR_USER_DATA_00	0xC9	EEPROM word available for user.	R/W Word	N	Register		Y	0x0000
MFR_USER_DATA_01	0xCA	EEPROM word available for user.	R/W Word	N	Register		Y	0x0000
MFR_USER_DATA_02	0xCB	EEPROM word available for user.	R/W Word	N	Register		Y	0x0000
MFR_USER_DATA_03	0xCC	EEPROM word available for user.	R/W Word	N	Register		Y	0x0000
MFR_READ_EXTVCC	0xCD	Measured $EXTV_{CC}$ voltage, when applied.	R Word	N	IEEE or L11	V		
MFR_READ_ITH	0xCE	Measured I_{TH} voltage, when enabled.	R Word	Y	IEEE or L11	V		
MFR_CHAN_CONFIG_LT7184S	0xD0	Configuration bits that are channel-specific.	R/W Word	Y	Register		Y	Ch0: 0x08D6 Ch1: 0x0856
MFR_CONFIG_ALL_LT7184S	0xD1	General configuration bits. Default to select IEEE half-precision floating-point format.	R/W Word	N	Register		Y	0x0100
MFR_FAULT_PROPAGATE_LT7184S	0xD2	Configuration that determines which faults are propagated to the FAULTN pins.	R/W Word	Y	Register		Y	0xE0D7
MFR_PWM_MODE_LT7184S	0xD4	Configuration for the PWM engine.	R/W Word	Y	Register		Y	0x0DD8
MFR_FAULT_RESPONSE	0xD5	Action to be taken by the device when the channel's FAULTN pin is externally asserted low.	R/W Byte	Y	Register		Y	0xC0
MFR_IOUT_PEAK	0xD7	Report the maximum measured value of READ_IOUT since the last MFR_CLEAR_PEAKS.	R Word	Y	IEEE or L11	A		
MFR_ADC_CONTROL_LT7184S	0xD8	Configures the update rate of the measurements taken by the ADC.	R/W Byte	N	Register		Y	0x00
MFR_RETRY_DELAY	0xDB	Retry interval during fault retry mode.	R/W Word	Y	IEEE or L11	ms	Y	10.0ms (0x4900)
MFR_RESTART_DELAY	0xDC	The minimum time the RUNN pin is held low by the LT7184S	R/W Word	Y	IEEE or L11	ms	Y	10.0ms (0x4900)
MFR_VOUT_PEAK	0xDD	The maximum measured value of READ_VOUT since the last MFR_CLEAR_PEAKS command.	R Word	Y	IEEE or UL16	V		

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
MFR_VIN_PEAK	0xDE	The maximum measured READ_VIN since the last MFR_CLEAR_PEAKS command.	R Word	Y	IEEE or L11	V		
MFR_TEMPERATURE_1_PEAK	0xDF	The maximum measured value of internal temperature since the last MFR_CLEAR_PEAKS command.	R Word	N	IEEE or L11	C		
MFR_CLEAR_PEAKS	0xE3	Clears all peak values.	Send Byte	N				
MFR_DISCHARGE_THRESHOLD	0xE4	The output voltage used to determine output has decayed sufficiently to re-enable the channel.	R/W Word	Y	IEEE or L11	V	Y	0.2V (0x3266)
MFR_PADS_LT7184S	0xE5	Digital status of the I/O pads.	R Word	N	Register			
MFR_ADDRESS	0xE6	Sets the 7-bit I ² C address byte.	R/W Word	N	Register		Y	0x4F
MFR_SPECIAL_ID	0xE7	ID Code used by the manufacturer.	R Word	N	Register			0x1C1D
MFR_FAULT_LOG_TIMESTAMP_MSBS	0xE8	Sets the fault log time stamp upper 13 bits, clears lower 32 (read and write first).	R/W 32	N				
MFR_FAULT_LOG_TIMESTAMP_LSBS	0xE9	Sets the fault log time stamp lower by 32 bits.	R/W 32	N				
MFR_FAULT_LOG_STORE	0xEA	Force a fault log entry to be written	Send Byte	N				
MFR_FAULT_LOG_CLEAR	0xEC	Erases all fault log entries, if any.	Send Byte	N				
MFR_FAULT_LOG	0xEE	Read the contents of the fault log, if any.	R Block	N	Register			
MFR_COMMON	0xEF	Manufacturer status bits that are common across multiple Analog Devices' chips.	R Byte	N	Register			
MFR_COMPARE_USER_ALL	0xF0	Compares current command contents with EEPROM	Send Byte	N				
MFR_CHANNEL_STATE	0xF1	Returns the state of the channel.	R Byte	Y	Register			
MFR_PGOOD_DELAY	0xF2	Time output voltage must be between UV and OV before PGOODN transitions high.	R/W Word	Y	IEEE or L11	ms	Y	1.0ms (0x3C00)
MFR_NOT_PGOOD_DELAY	0xF3	Time output voltage must be below UV or above OV before PGOODN transitions low.	R/W Word	Y	IEEE or L11	ms	Y	0.1ms (0x2E66)

COMMAND	CODE	DESCRIPTION	TYPE	PAGED	FORMAT	UNITS	NVM	DEFAULT
MFR_PWM_PHASE_LT7184S	0xF5	Set PWM phase.	R/W Word	Y	IEEE or L11	Degrees	Y	Ch0:0 (0x0000) Ch1:180.0 (0x59A0)
MFR_SYNC_CONFIG_LT7184S	0xF6	SYNC pin input/output configuration.	R/W Byte	N	Register		Y	0x00
MFR_PIN_CONFIG_STATUS	0xF7	Pin configuration fault status.	R Byte	N	Register			
MFR_RAIL_ADDRESS	0xFA	Common address for PolyPhase outputs to adjust common parameters.	R/W Byte	Y	Register		Y	0x80
MFR_DISABLE_OUTPUT	0xFB	Disables regulator outputs until reset.	R/W Byte	N	Register			0x00
MFR_EE_USER_WP	0xFC	Disables commands that write user NVM.	R/W Byte	N	Register		Y	0x00
MFR_RESET	0xFD	Command reset without requiring a power down.	Send Byte	N				

表 17. サポートするデータ・フォーマット

	PMBus		DEFINITION	EXAMPLES
	TERMINOLOGY	SPECIFICATION REFERENCE		
L11	Linear11	Rev 1.3.1 Part II 7.3	Floating point 16-bit data: Value = $Y \times 2^N$ Where N = Exponent = b[14:11] and Y = b[10:0]. Both exponent and fraction are two complement-coded binary integers.	b[15:0] = 0x9807 = $7 \times 2^{-13} = 8.54 \times 10^{-4}$ b[15:0] = 0x7FFE = $-2 \times 2^7 = -256$
UL16	ULinear16	Rev 1.3.1 Part II 8.4.1.1	Fixed point 16-bit data: Value = $Y \times 2^{(-12)}$ Where Y = decimal(b[15:0]), an unsigned integer	b[15:0] = 0x4D80 = $19840 \times 2^{-12} = 4.84375$
Register			Per-bit meaning is defined in the command description in the LT7184S PMBus/I²C Reference Manual .	PMBus STATUS_BYTE command.
IEEE	IEEE-754 Half Precision Floating Point	Rev 1.3.1 Part II 8.4.4	Floating point 16-bit data: for normal values: $Value = (-1)^S \times 2^N \times \left(P + \frac{M}{1024}\right)$ Where: S = b[15]; N = Exponent Bias encoding of b[14:10], if b[14:10] = 0, N = -14, else N = decimal(b[14:10]) - 15; P = 0 if b[14:10] = 0, otherwise P = 1; and M = decimal(b[9:0]).	b[15:0] = 0x8001 = $(-1)^1 \times 2^{-14} (0+1/1024) = -5.97 \times 10^{-8}$ b[15:0] = 0x3E4C = $(-1)^0 \times 2^0 \times (1+588/1024) = 1.57$

外形寸法

PACKAGE DRAWING (OPTION)	PACKAGE TYPE	PACKAGE DESCRIPTION
05-08-7080	LQFN	36-Lead Package

オーダー・ガイド

表 18. オーダー・ガイド

MODEL ¹	TEMPERATURE RANGE	PACKAGE DESCRIPTION	MSL RATING	MARKING CODE
LT7184SRV#PBF	-40°C to 150°C	(4mm x 5mm) 36-Lead LQFN	3	7184S
LT7184SRV#TRPBF	-40°C to 150°C	(4mm x 5mm) 36-Lead LQFN	3	7184S

1 Z = RoHS 適合製品

ここに含まれるすべての情報は現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズ社は、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品は、販売状況および在庫状況に依存します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 6 月 11 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 6 月 11 日

製品名：LT7184S

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 15 頁、表内下から 3 番目の項、Pin33 GOOD1 の説明欄

【誤】

「チャンネル 0 のレギュレータ出力が OV/UV フォルト閾値の範囲外にある場合、チャンネル 1 が無効化された場合、・・・」

【正】

「チャンネル 1 のレギュレータ出力が OV/UV フォルト閾値の範囲外にある場合、チャンネル 1 が無効化された場合、・・・」