

デジタル・パワー・システム・マネージメント機能を備えた 6A/20V デュアル・チャンネル PolyPhase 同期整流式降圧 Silent Switcher 2

特長

- Silent Switcher®2アーキテクチャ:コンパクトで効率的な低EMIのソリューションを実現
- PMBus/I²Cシリアル・インターフェース
 - V_{OUT}、I_{OUT}、V_{IN}、ダイ温度、障害検出を含むテレメトリ・リードバック
 - 電圧、電流リミット、デジタル・ソフトスタート/ストップ、シーケンシング、UV/OV、位相、周波数(最大4MHz)、ループ補償をプログラム可能
 - 障害イベント・ログ機能を備えたEEPROMを内蔵
- 設定抵抗によって重要パラメータを設定し、プログラムを行うことなくデバイスを動作させることが可能
- 0.6V~1.375Vでの出力電圧精度:全温度範囲で±0.25%
- 最大8相でのPolyPhase負荷分担
- 広いV_{IN}範囲:最小2.9V、またはEXTV_{CC}使用時に1.5V
- 1MHz、12V_{IN}、3.3V_{OUT}で最大95%の効率
- V_{OUT}範囲:0.4V~5.5V(最大0.85・V_{IN})
- V_{OUT}の差動リモート検出
- 外部周波数同期
- 40ピン(5mm×7mm)LQFNパッケージ

アプリケーション

- 通信、ストレージ、および産業システム
- データ・センターおよびソリッドステート駆動電源

概要

LT®7182Sはデュアル出力のモノリシックPolyPhase DC/DC同期整流式降圧レギュレータで、両方のチャンネルから最大6Aの連続電流を同時に供給可能で、どちらのチャンネルも最大8Aの負荷に対応できます。LT7182Sは第2世代のSilent Switcher®アーキテクチャが特長で、スイッチング・エッジを高速かつクリーンなものにしてオーバーシュートを小さくするV_{IN}バイパス・コンデンサを内蔵しており、高スイッチング周波数と高効率を実現しながら、EMI放射を最小限に抑えます。

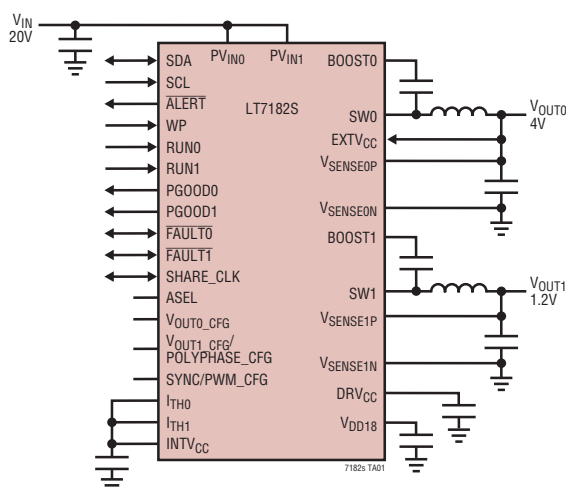
I²CをベースとするPMBus 1.3準拠のシリアル・インターフェースは、デバイス機能を制御したり、システム・モニタリング用のテレメトリ情報を提供したりすることを可能にします。LT7182Sには、LTpowerPlay®グラフィカル・ユーザ・インターフェース・ツールを使用できます。

出力電圧、周波数、位相、およびデバイス・アドレスは抵抗を使って設定できるので、プログラムを行うことなくデバイスを動作させることが可能です。設定内容は、シリアル・インターフェースを介してEEPROMに書き込んだり保存したりすることもできます。

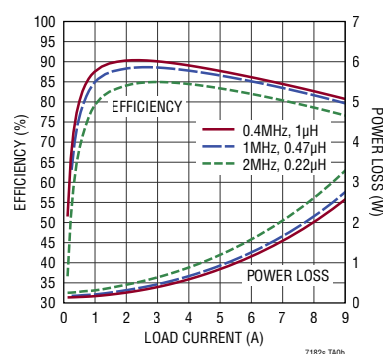
最小オン時間が20ns(代表値)のオン時間制御式谷電流モード制御アーキテクチャが、低出力電圧時の高スイッチング周波数動作を可能にし、優れた過渡応答を実現すると共に、全体的なソリューション・サイズを小さく抑えます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。第8823345号を含む米国特許により保護されています。

標準的応用例



12V_{IN}、1.2V_{OUT}時の効率



目次

特長.....1

アプリケーション1

標準的応用例1

概要.....1

絶対最大定格.....3

発注情報.....3

ピン配置.....3

電気的特性.....4

代表的な性能特性.....8

ピン機能.....11

ブロック図14

動作.....15

 概要15

 スイッチング・レギュレータの制御ループ.....15

 軽負荷電流動作.....16

 EEPROM16

 パワーアップと初期化.....16

 ソフトスタート17

 シャットダウン17

 警告と障害の処理.....17

アプリケーション情報.....20

 抵抗設定ピンの使用法20

 出力電圧の設定.....20

 スイッチング周波数と位相.....21

 プログラマブルな電流リミット.....25

 インダクタの選択.....26

 入力コンデンサと出力コンデンサ.....27

 プログラマブルなPWM制御ループ補償.....27

 ソフトウェアによる設定が可能なシーケンシング.....28

 イベントベースのシーケンシング.....28

 LTpowerPlay GUI.....28

PMBus コマンドの概要.....29

 PMBus/I²C シリアル・インターフェースの概要.....29

ボード・レイアウト時の考慮事項.....34

 レイアウト時の考慮事項.....34

 熱に対する考慮事項.....34

標準的応用例35

パッケージの説明.....37

標準的応用例38

関連製品.....38

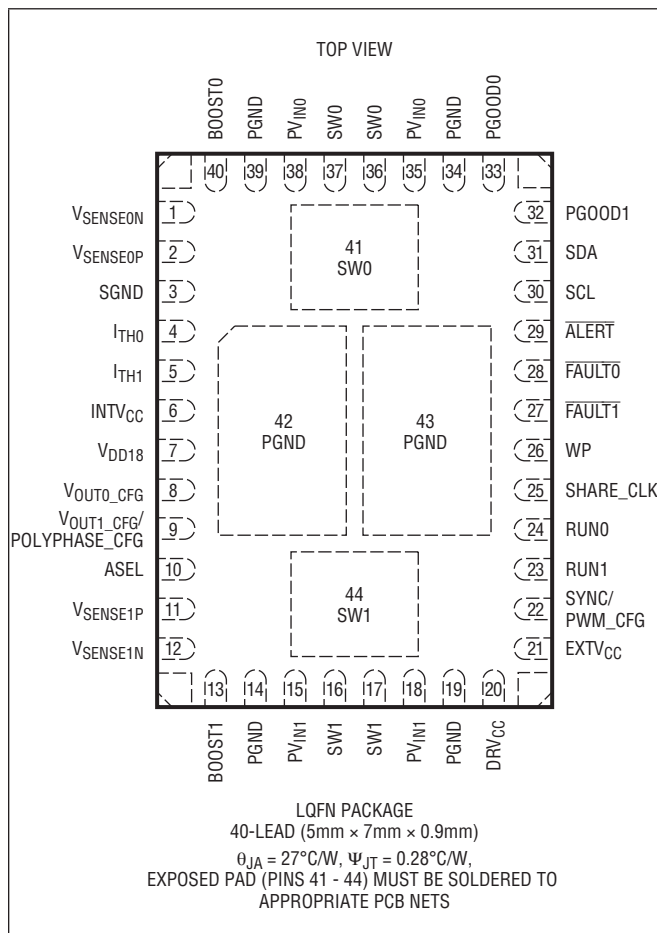
関連文書の LT7182S PMBus/I²C リファレンス・マニュアルも合わせて参照してください。このリファレンス・マニュアルには、PMBus コマンド、シリアル・デバイス・アドレスの選択、物理インターフェースの詳細を含むデジタル機能の詳しい説明が記載されています。

絶対最大定格

(Note 1)

PVIN0、PVIN1	−0.3V〜25V
EXTVCC	−0.3V〜6V
VSENSE0P、VSENSE1P	−0.3V〜6V
VSENSE0N、VSENSE1N	−0.3V〜0.3V
ITH0、ITH1	−0.3V〜6V
SYNC/PWM_CFG、WP、SHARE_CLK、 ALERT、SDA、SCL、FAULT0、FAULT1、RUN0、 RUN1、PGOOD0、PGOOD1	−0.3V〜6V
動作ジャンクション温度 (Note 2)	
LT7182SR	−40°C〜150°C
ABSMAX T _J	150°C
保存温度範囲	−65°C〜150°C
最大ピーク・リフロー (パッケージ・ボディ) 温度	260°C

ピン配置



発注情報

部品番号	パッドまたはボール 仕上げ	部品マーキング*		パッケージ タイプ	MSL レーティング	温度範囲 (Note 2)
		デバイス	仕上げコード			
LT7182SRV#PBF	Au (RoHS)	7182S	e4	LQFN	3	−40°C〜150°C

* パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609によります。温度グレードは出荷時のコンテナのラベルに示されています。

** LQFNはQFNフットプリントの積層パッケージを表します。LT7182SパッケージのXY寸法は、標準の5mm × 7mm QFNパッケージと同じです。

- 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
- LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は $T_A = 25^\circ\text{C}$ での値です。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Supply						
Channel 0 Input Supply Range	$\text{EXTV}_{\text{CC}} = 0\text{V}$	●	2.9		20	V
Channel 0 Input Supply Range with EXTV_{CC}	$3\text{V} \leq \text{EXTV}_{\text{CC}} \leq 5.5\text{V}$	●	1.5		20	V
Channel 1 Input Supply Range	$\text{PV}_{\text{IN0}} \geq 2.9\text{V}$ or $\text{EXTV}_{\text{CC}} \geq 3\text{V}$	●	1.5		20	V
Optional EXTV_{CC} Input Supply Range		●	3		5.5	V
$\text{EXTV}_{\text{CC}} + \text{PV}_{\text{IN0}} + \text{PV}_{\text{IN1}}$ Quiescent Current Both channels switching	$f_{\text{SW}} = 1\text{MHz}$, Forced Continuous Mode, $V_{\text{IN}} = 12\text{V}$, No Load			21		mA
Sleep (Pulse Skip Mode) or Shutdown				7		mA
Initialization Time (Delay from RESTORE_USER_ALL, MFR_RESET, or Application of PV_{IN0} or EXTV_{CC} , Until TON_DELAY Timer Can Begin)	With CFG Pins Enabled (Default) CFG Pins Ignored			13 10		ms ms
Switching Regulator						
V_{OUT} Range	$\text{PV}_{\text{IN}} > 6.1\text{V}$ $\text{PV}_{\text{IN}} \leq 6.1\text{V}$	● ●	0.4 0.4		5.5 $0.85 \cdot V_{\text{IN}}$	V V
V_{OUT} Set Point Accuracy	High-Performance Low- V_{OUT} Mode, $0.6\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$ $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$	● ●	-0.25 -0.5		0.25 0.5	% %
V_{OUT} Set-Point Resolution				1		mV
V_{SENSE0P} , V_{SENSE1P} Input Resistance	$V_{\text{SENSE0N}} = V_{\text{SENSE1N}} = 0\text{V}$			30		k Ω
Error Amplifier Transconductance Programming Resolution				3		bits
Error Amplifier Transconductance $g_{\text{m(MAX)}}$	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$. Includes Internal V_{OUT} Feedback Divider			300		μS
Error Amplifier Transconductance $g_{\text{m(MIN)}}$	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$. Includes Internal V_{OUT} Feedback Divider			37.5		μS
Error Amplifier Transconductance g_{m} Step Size	Full V_{OUT} Range Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 5.5\text{V}$. Includes Internal V_{OUT} Feedback Divider			37.5		μS
Error Amplifier Transconductance $g_{\text{m(MAX)}}$	High-Performance Low- V_{OUT} Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider			1.2		mS
Error Amplifier Transconductance $g_{\text{m(MIN)}}$	High-Performance Low- V_{OUT} Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider			150		μS
Error Amplifier Transconductance g_{m} Step Size	High-Performance Low- V_{OUT} Mode, $0.4\text{V} \leq V_{\text{OUT}} \leq 1.375\text{V}$, Includes Internal V_{OUT} Feedback Divider			150		μS
Max Programmable Internal Compensation Resistor $R_{\text{ITH(MAX)}}$	Internal Compensation (I_{TH} Tied to INTV_{CC}) (Note 5)			120		k Ω
Min Programmable Internal Compensation Resistor $R_{\text{ITH(MIN)}}$	Internal Compensation (I_{TH} Tied to INTV_{CC}) (Note 5)			5		k Ω
Internal Compensation Capacitor Programming Resolution	Internal Compensation (I_{TH} Tied to INTV_{CC})			3		bits
Internal Compensation Capacitor $C_{\text{ITH(MAX)}}$	Internal Compensation (I_{TH} Tied to INTV_{CC})			80		pF
Internal Compensation Capacitor $C_{\text{ITH(MIN)}}$	Internal Compensation (I_{TH} Tied to INTV_{CC})			10		pF
Internal Compensation Capacitor C_{ITH} Step Size	Internal Compensation (I_{TH} Tied to INTV_{CC})			10		pF

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は $T_A = 25^\circ\text{C}$ での値です。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Positive Inductor Valley Current Limit ILIM-POS (Note 6) (Sourcing Output Current)	ILIM Range 0	●	2.3	3	3.7	A
	ILIM Range 1	●	3.5	4.5	5.5	A
	ILIM Range 2	●	5	6.5	8	A
	ILIM Range 3	●	6.5	8.5	10.5	A
Negative Inductor Valley Current Limit ILIM-NEG (Note 6) (Sinking Output Current)	ILIM Range 0	●	-3	-2.3	-1.6	A
	ILIM Range 1	●	-4.4	-3.4	-2.4	A
	ILIM Range 2	●	-5	-4	-3	A
	ILIM Range 3		-5.5	-4.25	-3	A
Power FET On-Resistance						
Main Switch (Top)				48		mΩ
Synchronous Switch (Bottom)				17		mΩ
SW Leakage	$V_{IN} = 20V, V_{SW} = 0V, 20V$		-120		120	μA
Minimum On-Time	$I_{LOAD} = 1A$	●		20	40	ns
Minimum Off-Time		●		60	100	ns
Output Voltage Supervisors						
V_{OUT} Undervoltage (UV) Fault/Warning Programming Range			0.36		5.5	V
V_{OUT} Overvoltage (OV) Fault/Warning Programming Range			0.4		6	V
V_{OUT} UV/OV Fault/Warning Threshold Accuracy	V_{OUT} UV/OV Threshold $< 0.6V$	●	-12		12	mV
	V_{OUT} UV/OV Threshold $\geq 0.6V$	●	-2		2	%
V_{OUT} UV/OV Fault/Warning Programming Step Size				4		mV
V_{OUT} UV/OV Fault/Warning Time	$V_{OUT} = 10mV$ Beyond Threshold	●			25	μs
Input Voltage Supervisors						
ON Threshold Programming Range			1.4		20	V
OFF Threshold Programming Range			1.35		20	V
ON/OFF Threshold Programming Step Size				25		mV
ON/OFF Threshold Set Point Accuracy	$V_{IN_ON/OFF} \leq 5V$	●	-100		100	mV
ON/OFF Threshold Set Point Accuracy	$5V \leq V_{IN_ON/OFF} \leq 20V$	●	-2		2	%
V_{IN} Overvoltage Lockout Threshold	V_{IN} Rising	●	22	23.3		V
	V_{IN} Falling		21	22.3		V
Oscillator and Phase Locked Loop						
SYNC/PWM_CFG Pin Input Frequency Range		●	0.4		4	MHz
Switching Frequency Programming Range			0.4		4	MHz
Switching Frequency Set Point Accuracy		●	-7.5		7.5	%
Switching Phase Programming Range			0		345	degrees
Switching Phase Programming Resolution				15		degrees
Telemetry Readback						
Telemetry Measurement Period, All Except Die Temperature				6.5		ms
Telemetry Measurement Period, Die Temperature				26		ms
Output Voltage Readback						
READ_VOUT Accuracy	High-Performance Low- V_{OUT} Mode, $0.6V \leq V_{OUT} \leq 1.375V$	●	-0.15		0.15	%
READ_VOUT Accuracy	$0.4V < V_{OUT} < 5.5V$	●	-0.35		0.35	%

電気的特性

- は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は $T_A = 25^\circ\text{C}$ での値です。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PV_{IN0}, PV_{IN1} Input Voltage Readback						
READ_VIN Accuracy	V _{IN} = 1.5V to 2.5V V _{IN} = 2.5V to 20V	● ●	-25 -1		25 1	mV %
Output Current Readback						
READ_IOUT Accuracy	I _{OUT} = 0A to 4A, (V _{OUT} /V _{IN}) ≤ 0.5 I _{OUT} = 4A to 8A, (V _{OUT} /V _{IN}) ≤ 0.5 I _{OUT} = 0A to 4A, (V _{OUT} /V _{IN}) > 0.5 I _{OUT} = 4A to 8A, (V _{OUT} /V _{IN}) > 0.5	● ● ● ●	-200 -5 -600 -15		200 5 600 15	mA % mA %
Input Current Readback						
READ_IIN Accuracy	I _{IIN} = 0A to 1A, I _{IIN} = 1A to 5A	● ●	-250 -25		250 25	mA %
Frequency Readback						
READ_FREQUENCY Accuracy	f _{SW} ≤ 400kHz f _{SW} ≥ 400kHz		-20 -5		20 5	kHz %
EEPROM Characteristics						
Retention	(Note 4)	●	10			years
Endurance	(Note 4)	●	10,000			writes
Mass Write Time (STORE_USER_ALL)		●		250	500	ms
Digital Inputs RUN0, RUN1, FAULT0, FAULT1, PGOOD0, PGOOD1, SHARE_CLK, SCL, SDA, ALERT, WP						
Input High Threshold (V _{IH})		●		1.1	1.35	V
Input Low Threshold (V _{IL})		●	0.8	0.9		V
Hysteresis (V _{HYS})			50	200	400	mV
Leakage Current	Applied Voltage = 0V, 5.5V				±10	μA
Input Capacitance					10	pF
Digital Clock Input SYNC/PWM_CFG						
Peak-to-Peak Input Voltage Swing	SYNC Input Mode	●	1.6		5.5	V
Rise Time	SYNC Input Mode				25	ns
Duty Cycle	SYNC Input Mode		30		70	%
Digital Clock Output SYNC/PWM_CFG						
Output High Voltage	SYNC Output Mode	●	1.6	1.88	1.98	V
Output Low Voltage	SYNC Output Mode	●		0	0.1	V
Current-Limited Open-Drain Output RUN0, RUN1, FAULT0, FAULT1						
Pulldown Current	Applied Voltage = 0.4V to 5.5V	●	1	1.5	2	mA
Open-Drain Outputs PGOOD0, PGOOD1, SHARE_CLK						
Output Low Voltage	I = 6mA	●			0.4	V
Digital I/O SCL, SDA, ALERT						
Output Low Voltage	I = 20mA	●			0.4	V

電気的特性

- は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は $T_A = 25^\circ\text{C}$ での値です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
I²C/PMBus Timing							
f _{SCL}	Serial Bus Operating Frequency		●	10		1000	kHz
t _{BUF}	Bus Free Time Between Stop and Start		●	500			ns
t _{HD:STA}	Hold Time After repeated Start Condition		●	260			ns
t _{SU:STA}	Repeated Start Condition Setup Time		●	260			ns
t _{SU:STO}	Stop Condition Setup Time		●	260			ns
t _{SU:DAT}	Data Input Setup Time		●	50			ns
t _{HD:DAT}	Data Input Hold Time		●	0			ns
	Data Output Hold Time		●	0		450	ns
t _{TIMEOUT}	Bus Timeout		●	25		35	ms
t _{LOW}	Serial Clock Low Period		●	0.5		10000	μs
t _{HIGH}	Serial Clock High Period		●	260			ns

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LT7182SR は -40°C ~ 150°C の動作ジャンクション温度範囲での動作が仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下し、このような寿命の低下はジャンクション温度が 125°C を超えると始まります。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件との組み合わせによって決まります。

Note 3: LT7182S は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を内蔵しています。この保護機能が動作するのは、ジャンクション温度が最大定格値を超えるおそれがある場合です。仕様に規定された最大動作ジャンクション温度を超えてデバイスを連続動作させると、寿命が短くなります。

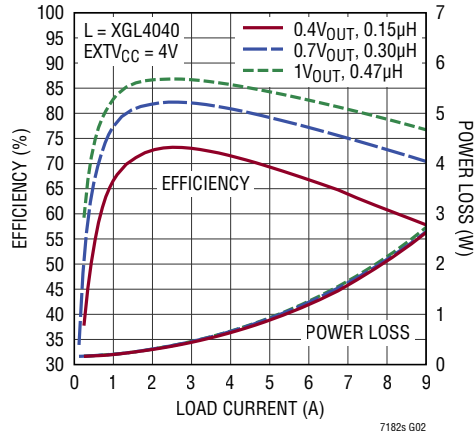
Note 4: EEPROM の書換え回数は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。データ保持寿命は、ウェーハ・レベルでの高温ピークによって出荷テストされています。最小データ保持時間仕様は、EEPROM のサイクル回数が最小書換え回数仕様値未満のデバイスに適用されます。

Note 5: 内部補償を選択した場合は (I_{TH} を $INTV_{CC}$ に接続)、非直線的なインクリメントで 8 つの内部抵抗値を使用できます。LT7182S PMBus/I²C リファレンス・マニュアルに記載されている MFR_PWM_MODE_LT7182S コマンドの説明を参照してください。

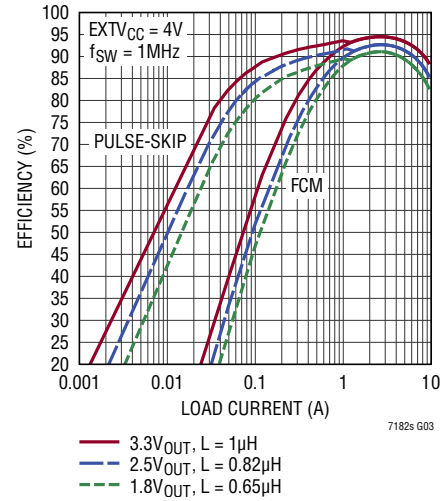
Note 6: LT7182S スイッチング・レギュレータは谷電流モード制御を使用するので、仕様に規定された電流リミットは、インダクタ電流波形の谷部分に対応します。最大負荷電流はこれより大きく、谷電流リミットにインダクタ・リップル電流の 1/2 を加えた値に等しくなります。詳細については、[アプリケーション情報](#) のセクションを参照してください。

代表的な性能特性

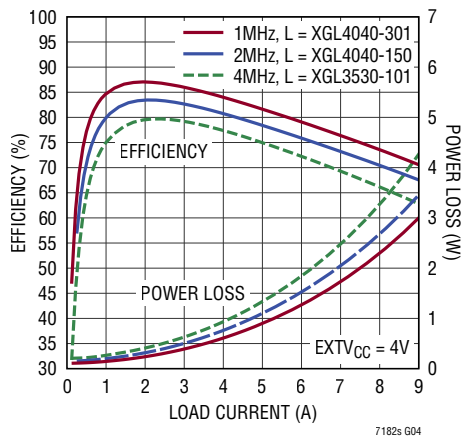
12V_{IN}での効率($f_{SW} = 1\text{MHz}$ 、異なる V_{OUT})



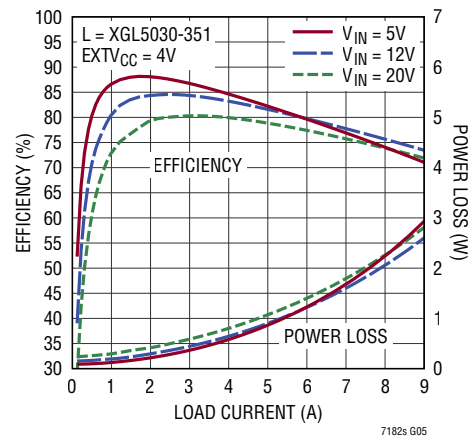
12V_{IN}で V_{OUT} を変化させた場合の低負荷時効率



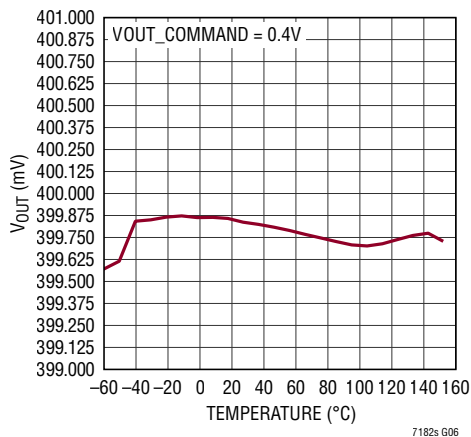
5V_{IN}、0.8V_{OUT}での効率(異なる f_{SW})



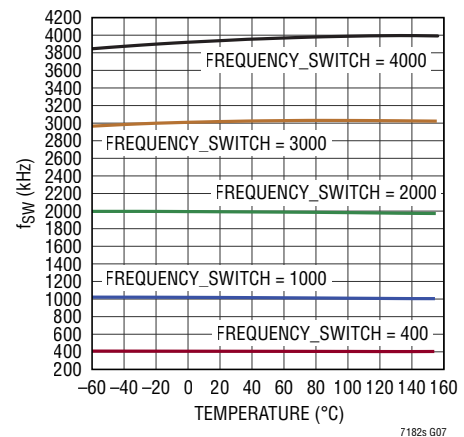
0.8V_{OUT}での効率($f_{SW} = 1\text{MHz}$ 、様々な V_{IN})



V_{OUT} と温度の関係

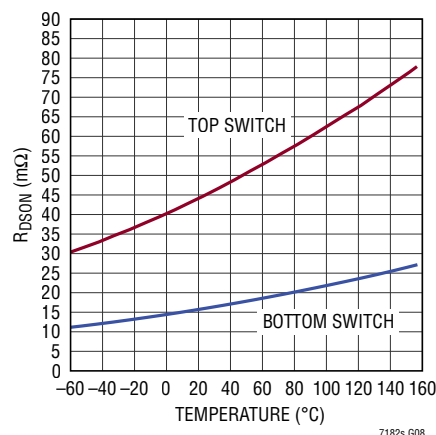


f_{SW} と温度の関係

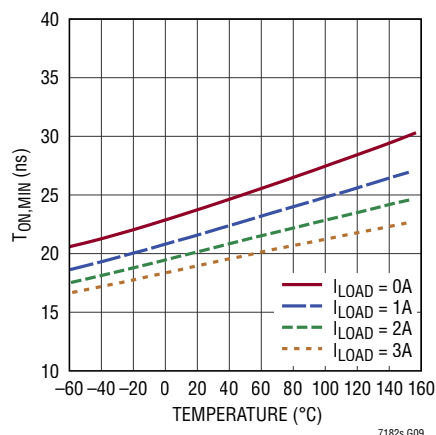


代表的な性能特性

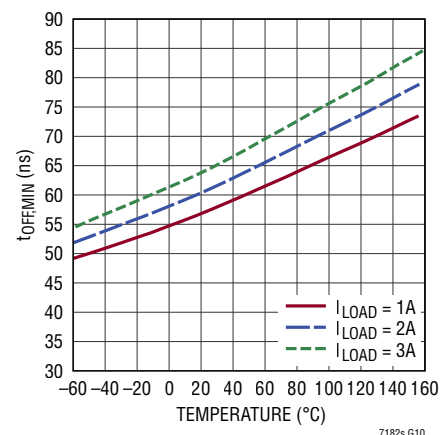
スイッチの $R_{DS(on)}$ と温度の関係



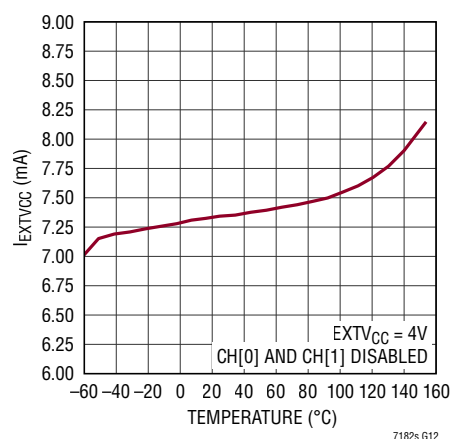
最小オン時間



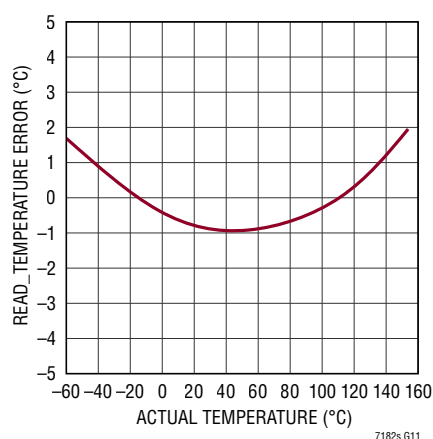
最小オフ時間



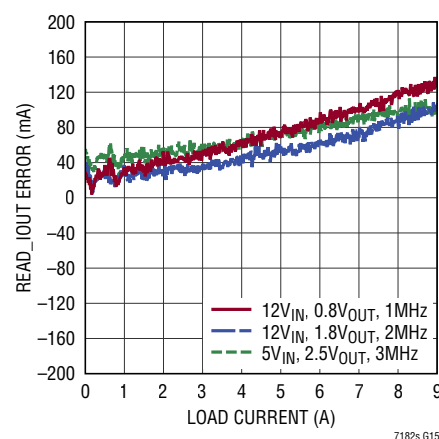
EXTV_{CC} アイドル電流と温度の関係



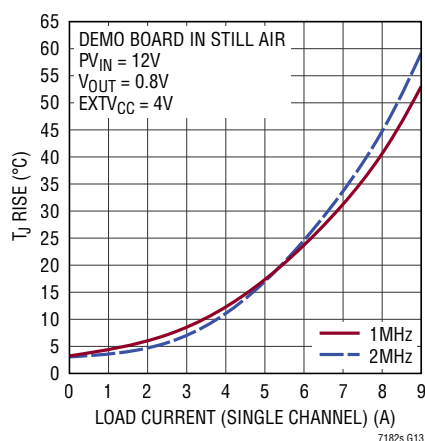
READ_TEMPERATURE 誤差と温度の関係



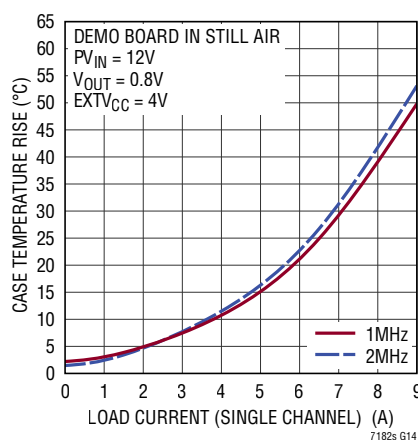
READ_I_{OUT} 誤差と I_{OUT} の関係



T_J の上昇と負荷の関係

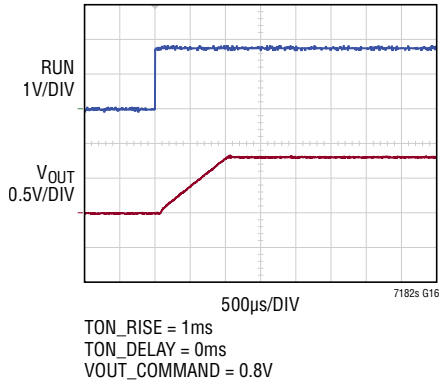


ケース温度の上昇

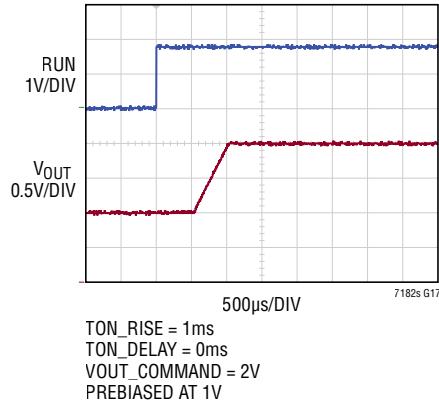


代表的な性能特性

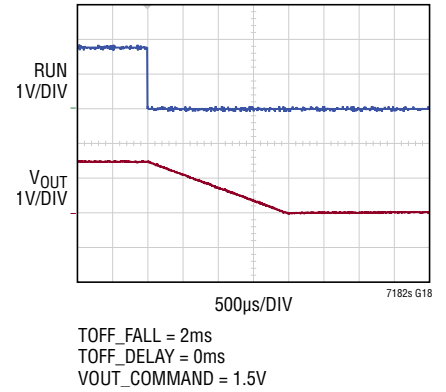
ソフトスタート・ランプ



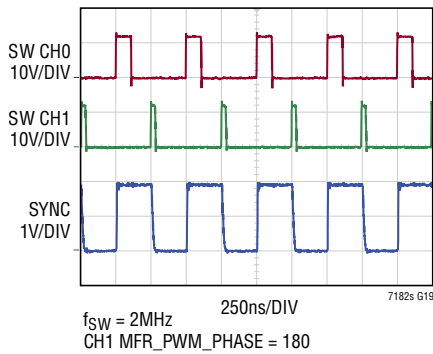
負荷をプリバイアスした場合の
起動



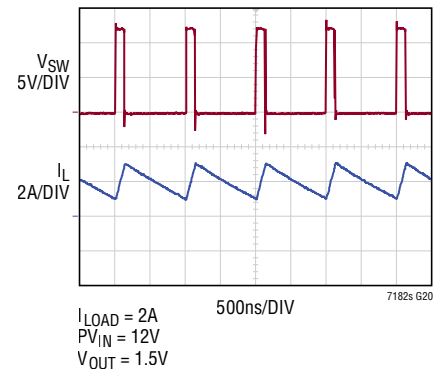
ソフトオフ・ランプ



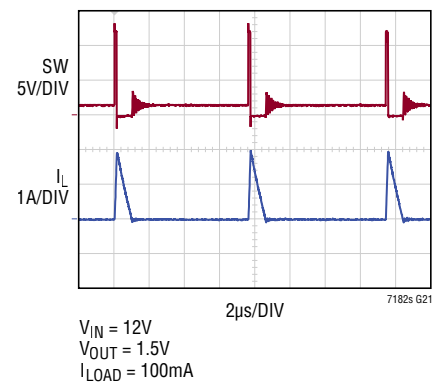
SW ノードと SYNC 出力



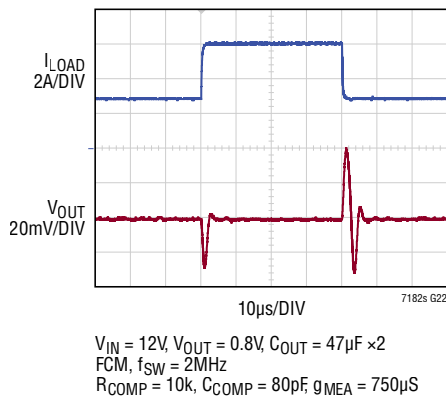
連続導通モード時の
スイッチング波形



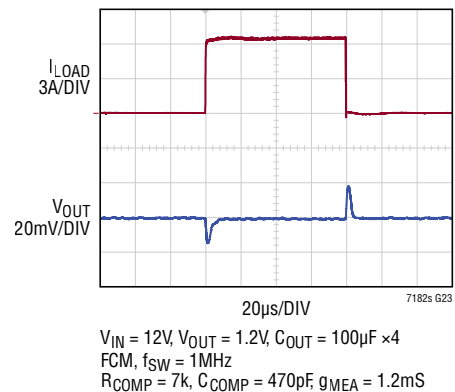
パルススキップ・モード時の
スイッチング波形



過渡応答: 負荷電流ステップ変化 3A~6A、内部補償



過渡応答: デュアル位相ステップ変化 0A~6A、外部補償



ピン機能

VSENSE0N、VSENSE1N (ピン1、ピン12) : 出力電圧の負の検出入力。これらのピンは出力電圧のグラウンド検出ポイントに接続します。

VSENSE0P、VSENSE1P (ピン2、ピン11) : 出力電圧の正の検出入力。これらのピンは出力電圧の検出ポイントに接続します。

SGND (ピン3) : 信号グラウンド。このピンは、LT7182S直下の基板のグラウンドに1箇所だけで接続する必要があります。

ITH0、ITH1 (ピン4、ピン5) : エラー・アンプ出力とスイッチング・レギュレータの補償ポイント。レギュレータ・ループの周波数応答を補償するには、これらのピンとSGNDの間に適切な外付け部品を接続します。チャンネルの内部補償を選択する場合は、ITHピンをINTV_{CC}に接続してください。

INTV_{CC} (ピン6) : 内部3V LDOレギュレータのバイパス。このレギュレータは内部回路に電源電流を供給します。このピンは、デバイスのできるだけ近くに10μF以上の低ESRセラミック・コンデンサを接続して、SGNDにバイパスする必要があります。INTV_{CC}ピンには外部回路から負荷をかけないでください。

V_{DD18} (ピン7) : 内部1.8Vレギュレータのバイパス。このピンは、4.7μF以上の低ESRセラミック・コンデンサを使って、グラウンド(SGNDまたはPGND)にバイパスする必要があります。V_{DD18}ピンには外部回路から負荷をかけないでください。

V_{OUT0_CFG} (ピン8) : チャンネル0の出力電圧設定。16個ある出力電圧設定点の中から1つを選択するには、[アプリケーション情報のセクションの表2](#)に従ってV_{OUT0_CFG}とグラウンド(SGNDまたはPGND)の間に1%抵抗を接続します。フロート状態のままにするかV_{DD18}に接続すると、LT7182Sは、EEPROM内にプログラムされたV_{OUT_COMMAND}の値を使用します。V_{OUT0_CFG}ピンは、LT7182Sの起動時またはリセット時に読み出されます。

V_{OUT1_CFG}/POLYPHASE_CFG (ピン9) : チャンネル1の出力電圧設定、またはPolyPhase設定。SYNC/PWM_CFGピンがPolyPhase用に設定されていない場合は、V_{OUT1_CFG}/POLYPHASE_CFGとグラウンド(SGNDまたはPGND)の間にある1%抵抗が、[アプリケーション情報のセクションの表2](#)に従って電圧設定点を選択します。SYNC/PWM_CFGピンがPolyPhase用に設定されている場合は、V_{OUT0_CFG}に基づいてチャンネル1の出力がチャンネル0と同じ値に設定され、V_{OUT1_CFG}/POLYPHASE_CFGとSGNDの間にある1%抵抗が、[アプリケーション情報のセクションの表4](#)に従ってPolyPhase構成を選択します。V_{OUT1_CFG}/POLYPHASE_CFGピンは、LT7182Sの起動時またはリセット時に読み出されます。

ASEL (ピン10) : シリアル・バスのアドレス設定。16個あるシリアル・バス・インターフェース・アドレスの中から1つを選択するには、ASELとグラウンド(SGNDまたはPGND)の間に1%抵抗を接続します。LT7182S PMBus/I²Cリファレンス・マニュアルに記載されているMFR_ADDRESSの説明を参照してください。ASELピンは、LT7182Sの起動時またはリセット時に読み出されます。ASELピンがフロート状態のままになっている場合、工場出荷時のデフォルトの7ビット・デバイス・アドレスは0x4Fです。ASELピンが接地されている場合、工場出荷時のデフォルトのデバイス・アドレスは0x40です。

BOOST1 (ピン13) : 昇圧されたフローティング・ドライバ電源。PCBの最上層を使い、BOOST1とSW1の間できるだけICに近い位置に、0.1μFの昇圧コンデンサを接続します。このピンの通常動作時の電圧振幅は、DRV_{CC}からPVIN1+DRV_{CC}までです。

PGND (ピン14、19、34、39、露出パッド・ピン42、43) : 電源グラウンド。PVIN0およびPVIN1入力バイパス・コンデンサの(−)端子と、出力コンデンサC_{OUT0}およびC_{OUT1}の(−)端子を、低インピーダンスの接続でこれらのピンに接続してください。PCBは、電源グラウンドへの接続の電氣的インピーダンスと熱的インピーダンスが小さくなるように設計する必要があります。

ピン機能

PVIN1 (ピン 15、18) : チャンネル 1 の電源入力。これらのピンは互いに接続し、4.7 μ F 以上の低 ESR コンデンサを使って、LT7182S にできるだけ近い位置でバイパスする必要があります。

SW1 (ピン 16、17、露出パッド・ピン 44) : チャンネル 1 内部電源スイッチの出力。これらのピンは互いにまとめて、チャンネル 1 のインダクタと BOOST1 コンデンサに接続してください。優れた性能を実現するには、PCB 上でのこのノードの面積をできるだけ小さくする必要があります。

DRVCC (ピン 20) : 内部 3.5V LDO レギュレータのバイパス。このレギュレータはパワー FET ドライバの電源電流を供給します。このピンは、PCB の最上層を使い、デバイスのできるだけ近くに 10 μ F 以上の低 ESR セラミック・コンデンサを接続して、PGND にバイパスする必要があります。DRVCC ピンには外部回路から負荷をかけないでください。ただし、SHARE_CLK ピンのプルアップ抵抗、または RUN0 ピン、RUN1 ピン、FAULT0 ピンあるいは FAULT1 ピンのプルアップ抵抗、もしくはその両方については、必ずしもこの限りではありません。

EXTVCC (ピン 21) : オプションの電源入力。3V~5.5V の電圧源に接続した場合、このピンは DRVCC、INTVCC、および VDD18 の各電源を使用するために使われます。レギュレータ出力の 1 つが 3V 以上の VOUT に設定されている場合は、電力損失を小さくするために、その VOUT を EXTVCC に接続することができます。このピンをレギュレータ出力に接続しない場合は、LT7182S のできるだけ近い位置に 0.1 μ F 以上のローカル・バイパス・セラミック・コンデンサを接続します。

SYNC/PWM_CFG (ピン 22) : 外部クロック同期入出力または PWM 設定、もしくはその両方。外部クロックを使って駆動した場合、内部フェーズ・ロック・ループ (PLL) は外部クロックの立上がりエッジでスイッチング・レギュレータ出力に同期します。このピンをクロック入力として使用する場合は、設定抵抗を無視するように EEPROM がプログラムされていない限り (MFR_CONFIG_ALL_LT7182S のビット 6 をセット)、クロック源と直列に 1.5nF の AC カップリング・コンデンサを挿入する必要があります。設定抵抗を無視するように EEPROM がプログラムされている場合は、クロッ

ク源を直接接続できます。出力として設定した場合 (MFR_SYNC_CONFIG_LT7182S のビット 0 をセット)、LT7182S は、FREQUENCY_SWITCH によって設定されたスイッチング・クロック周波数で SYNC/POWM_CFG ピン出力を駆動します。この場合の電圧振幅は 0V~1.88V です (代表値)。周波数、位相、およびモードの設定を選択するには、[アプリケーション情報のセクションの表 3](#) に従って、SYNC/PWM_CFG とグラウンド (PGND または SGND) の間に 1% 抵抗を接続します。SYNC/PWM_CFG ピンは、LT7182S の起動時またはリセット時に読み出されます。詳細については、[アプリケーション情報](#)を参照してください。

RUN0、RUN1 (ピン 24、ピン 23) : レギュレータ・イネーブル入力。ロジック・ハイでレギュレータをイネーブルします。RUN0 ピンと RUN1 ピンは、他のレギュレータとのシーケンシングを容易にするために、POR 時とリセット時に 1.5mA (代表値) の電流でプルダウンされますが、別のデバイスのデジタル出力によってハイにオーバードライブできます。入力電源が存在する場合、これらのピンは、レギュレータをイネーブルするために DRVCC に直接接続できます。

SHARE_CLK (ピン 25) : 双方向オープンドレイン・シーケンスの時間ベース共有クロック。公称 100kHz。PolyPhase または時間ベースのシーケンシングが採用されている場合に、複数のアナログ・デバイセズ製品間でレギュレータ出力の起動とシャットダウンを揃えるために使用します。SHARE_CLK 機能を使用する場合は、1.6V から 5.5V へのプルアップ抵抗が必要です。PolyPhase も時間ベースのシーケンシングも必要ない場合は、両方のチャンネルで MFR_CHAN_CONFIG_LT7182S のビット 2 がゼロに設定されていれば (SHARE_CLK を無視)、SHARE_CLK をグラウンドに接続することができます。

WP (ピン 26) : 書き込み保護入力。このピンがハイのときは、PAGE、OPERATION、MFR_EE_UNLOCK、および CLEAR_FAULTS コマンドだけを書き込むことができます。STATUS コマンドのそれぞれのビットに 1 を書き込むことによって、個々の障害ビットをクリアしてください。

ピン機能

FAULT0、FAULT1 (ピン 28、ピン 27) : 障害入力／オープンドレイン出力。LT7182S は、マスクされていない障害がレギュレータに発生すると、1.5mA (代表値) でこのピンをプルダウンします。別のデバイスが **FAULT** ピンをプルダウンすると、LT7182S レギュレータは直ちにオフになります。PolyPhase 構成が使われている場合は、すべての PolyPhase チャンネルの **FAULT** ピンを互いに接続してください。PolyPhase 構成が使われている場合、あるいは **FAULT** ピンのレポートまたは共有が求められる場合は、6.8k 以上のプルアップ抵抗を使って 1.6V から 5.5V へプルアップする必要があります。**FAULT** ピン機能が不要な場合は、**FAULT** ピンを直接 **DRVCC** に接続することができます。

ALERT (ピン 29) : オープンドレイン・アラート出力。**ALERT** ピン機能を使用する場合は、1.6V から 5.5V へのプルアップ抵抗が必要です。**ALERT** ピン機能が不要な場合、このピンはグラウンドに接続できます。

SCL (ピン 30) : シリアル・バス・クロック入出力。クロック・ストレッチングをイネーブルした場合は、LT7182S の SCL をローに保持することができます (PMBus 速度が 400kHz ~ 1MHz の場合のみ)。PMBus/I²C を動作させるには、1.6V から 5.5V へのプルアップ抵抗が必要です。シリアル・バス動作の必要がない場合は SCL をグラウンドに接続できます。

SDA (ピン 31) : シリアル・バス・データ入出力。PMBus/I²C を動作させるには、1.6V から 5.5V へのプルアップ抵抗が必要です。シリアル・バス動作が必要ない場合は SDA をグラウンドに接続できます。

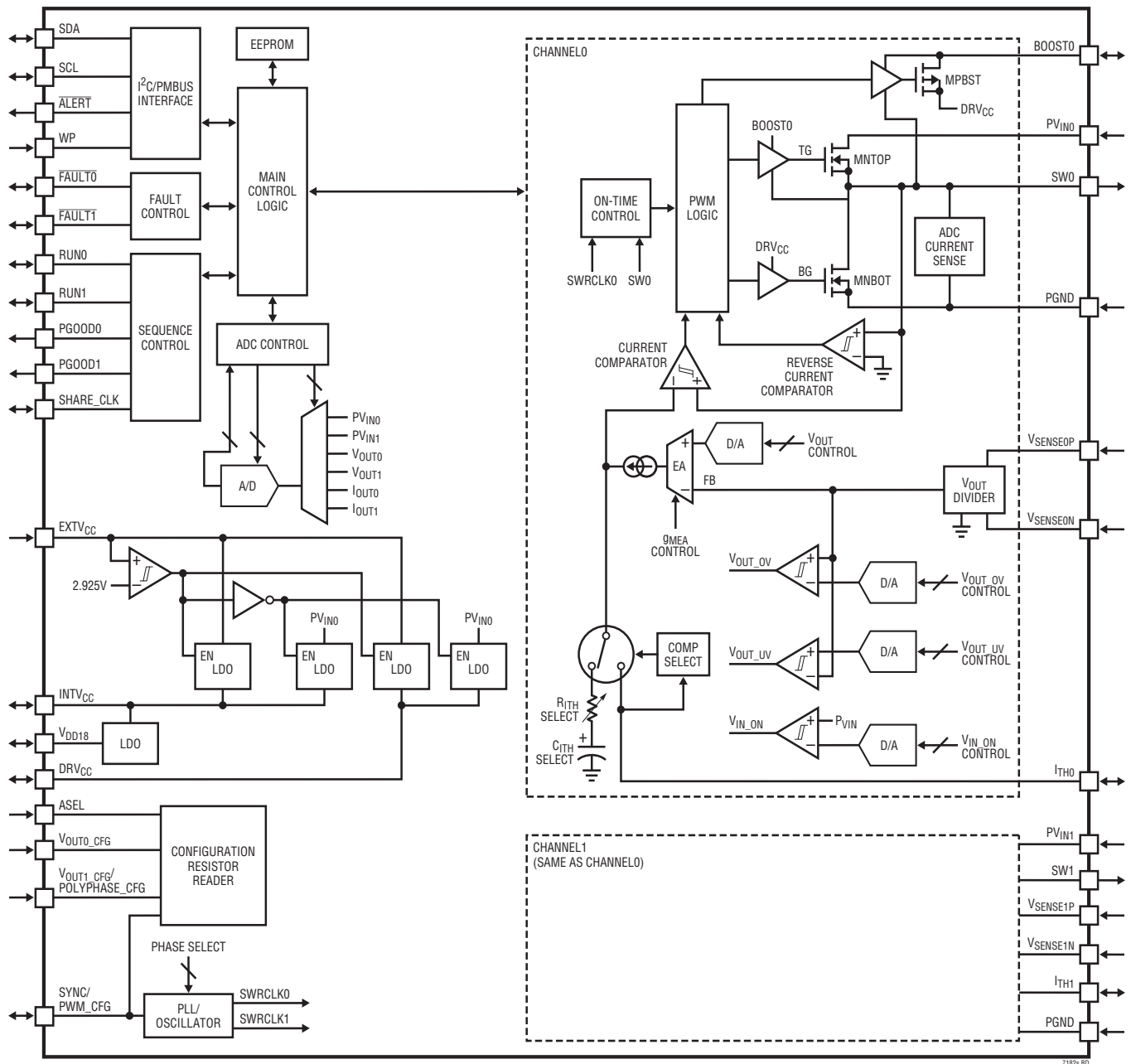
PGOOD0、PGOOD1 (ピン 33、ピン 32) : パワーグッド・インジケータのオープンドレイン出力。レギュレータ出力が OV/UV 閾値範囲外にある場合、チャンネルがディスエーブルされた場合、およびオン／オフ・シーケンシング中の場合は、PGOOD がローにプルダウンされます。PGOOD 出力は内部設定タイマーによってデグリッチされます。PGOOD ピン機能を使用する場合は、1.6V から 5.5V へのプルアップ抵抗が必要です。PGOOD ピン機能を使わない場合、これらのピンは PGND に接続できます。

PVIN0 (ピン 35、38) : チャンネル 0 および内部 LDO レギュレータの電源入力。これらのピンは互いにまとめて、4.7μF 以上の低 ESR コンデンサを使って、LT7182S にできるだけ近い位置で PGND にバイパスする必要があります。EXTVCC < 3V の場合、内部 LDO レギュレータ (**DRVCC**、**INTVCC**、および **VDD18** 用) の電源は **PVIN0** から供給されます。

SW0 (ピン 36、37、露出パッド・ピン 41) : チャンネル 0 内部電源スイッチの出力。これらのピンは互いにまとめて、チャンネル 0 のインダクタと **BOOST0** コンデンサに接続してください。優れた性能を実現するには、PCB 上でのこのノードの面積をできるだけ小さくする必要があります。

BOOST0 (ピン 40) : 昇圧されたフローティング・ドライバ電源。PCB の最上層を使い、**BOOST0** と **SW0** の間のできるだけ IC に近い位置に、0.1μF の昇圧コンデンサを接続します。このピンの通常動作時の電圧振幅は、**DRVCC** から **PVIN0+DRVCC** までです。

ブロック図



7182S BD

動作

概要

LT7182Sは、デュアル出力のモノリシックPolyPhase DC/DC同期整流式降圧レギュレータです。LT7182Sの「S」は、第2世代のSilent Switcercer技術が採用されていることを表しています。この技術は高速でクリーンなスイッチング・エッジを実現し、全体的なソリューション・サイズを小さくして効率を改善すると共に、EMI放射を最小限に抑えます。I²Cベースのシリアル・インターフェースは、最大1MHzのバス速度をサポートするPMBus 1.3と互換です。

主な機能には以下が含まれます。

- プログラマブルな出力電圧
- プログラマブルな電流リミット
- プログラマブルなスイッチング周波数
- プログラマブルな出力過電圧／低電圧障害閾値および警告閾値
- プログラマブルなオン／オフ遅延時間
- プログラマブルな出力立ち上がり／立ち下がり時間
- プログラマブルな制御ループ補償
- プログラマブルな入力低電圧閾値
- 各チャンネル専用のパワーグッド・ピン
- 同期PolyPhase動作のフェーズ・ロック・ループ(2、3、4、6、または8相)
- 入力および出力電圧／電流、およびダイ温度テレメトリ
- V_{OUT}の完全差動リモート検出
- ECC機能付きの不揮発性構成メモリ
- 不揮発性のイベントベース障害ログ
- 重要動作パラメータ用の外付け設定抵抗(オプション)
- 複数のデバイスを同期する時間ベース・インターコネクト(オプション)
- 内部設定を書込みから保護するWPピン
- 設定抵抗または不揮発性構成メモリを使用するスタンダアロン動作

障害および警告を処理するための様々なメカニズムが使用できます。障害および警告の検出機能には以下が含まれています。

- 出力低電圧／過電圧障害および警告
- 内部過熱障害および警告
- 通信、メモリ、またはロジック(CML)障害
- 入力過電圧障害および低電圧警告
- 出力過電圧障害および警告
- 平均入力過電流警告
- 内部リファレンス障害
- 双方向FAULTピンを介した外部障害検出

障害または警告が発生したことを示すために、専用のALERTピンを備えています。

また、個々のステータス・コマンドを使用して障害と警告をレポートし、特定のイベントを確認することができます。

LT7182SのFAULTピンは、チャンネル間や、LTC3880、LTC2974、LTC2978、LTC4676 μModule[®]などを含む他のアナログ・デバイス製パワー・システム・マネージメント製品との間で、障害情報を共有することを可能にします。

障害のレポートとシャットダウンの動作は、FAULTピンとMFR_FAULT_PROPAGATE_LT7182Sコマンドを使って自由に設定できます。障害は個別にマスク可能で、レギュレータ出力を再試行(ラッチ解除)するかラッチオフするように障害応答をプログラムできます。

スイッチング・レギュレータの制御ループ

LT7182Sは、オン時間制御式の谷電流アーキテクチャを採用しています。通常動作時には、オン時間制御回路によって決定される時間だけ、内蔵の上側パワーMOSFETがオンになります。上側パワーMOSFETがオフになると、谷電流コンパレータがトリップしてオン時間制御回路が動作を再開することにより次のサイクルが開始されるまで、下側パワーMOSFETがオンになります。インダクタ電流は、下側パワーMOSFETがオンになっているときにMOSFETでの電圧低下を検出することによって決定されます。I_{TH}ピンの電圧は、インダクタの谷電流に対応するコンパレータ閾値を設定します。エラー・アンプ(EA)は、出力電圧と内部リファレンス

動作

DAC 出力を比較することによって I_{TH} 電圧を調整します。負荷電流が増大すると内部リファレンスに対する出力電圧が低下し、それにより、平均インダクタ電流と平均負荷電流が一致するまで I_{TH} 電圧が上昇します。

SYNC/PWM_CFG ピン上に外部クロック信号が存在する場合、内部フェーズ・ロック・ループ (PLL) は、発振器周波数をその外部クロック信号に同期します。外部クロックが供給されていない場合、スイッチング周波数は FREQUENCY_SWITCH コマンドによって設定されます。このコマンドは、設定レジスタを使って初期化できます (詳細については [アプリケーション情報](#) のセクションを参照)。

軽負荷電流動作

LT7182S には 2 つの PWM 動作モード、つまりパルススキップ・モードと連続導通モードがあります。PWM 動作モードは MFR_PWM_MODE_LT7182S コマンドのビット 0 によって選択しますが、このコマンドは、[表 3](#) と [表 4](#) に示すように設定レジスタを使って初期化できます。ソフトスタート時には常にパルススキップ・モードが使われます。

一方のチャンネルでパルススキップ・モードをイネーブルした場合、インダクタ電流を反転することはできません。逆電流コンパレータは、インダクタ電流が 0 になる直前に下側スイッチをオフにし、電流が反転して負になるのを防ぎます。両方のパワー MOSFET はオフのままになり、 I_{TH} 電圧がゼロ電流閾値を超えて次のサイクルが開始されるまで、出力コンデンサが負荷電流を供給します。

強制連続モード (FCM) では、軽負荷時または過渡状態時にインダクタ電流を反転できます。インダクタの谷電流は I_{TH} ピンの電圧によって決まります。このモードでは、軽負荷時の効率がパルススキップ・モードより低下します。しかし、連続導通モードでは出力リップルが小さくなってスイッチング周波数が一定に保たれ、過渡応答も速くなります。

EEPROM

LT7182S は、ユーザ構成設定と障害ログ情報を保存するための EEPROM を内蔵しています。

内蔵 EEPROM の完全性は誤り訂正符号 (ECC) によって保護され、パワーオン・リセット後や RESTORE_USER_ALL コマンド実行後は CRC 計算を使ってチェックされます。無効な CRC が検出された場合は ALERT ピン、SHARE_CLK ピン、PGOOD ピン、および RUN ピンがローになり、問題が解消さ

れるまで両方の出力チャンネルがディスエーブルされたままになります。

効率的なバルク EEPROM プログラミングを含む効率的なシステム内 EEPROM プログラミングの詳細については、LT7182S PMBus/I²C リファレンス・マニュアルを参照するか、アナログ・デバイセズへお問い合わせください。

パワーアップと初期化

LT7182S は、スタンドアロンの電源シーケンシングと、制御されたターンオンおよびターンオフ動作が可能で、1 つの入力電源または 2 つの独立した入力電源 (PV_{IN0} と PV_{IN1}) で動作します。LT7182S の消費電力を減らすために、EXTV_{CC} は外部の 3V~5.5V 電源を使って駆動するか、3V~5.5V を供給する LT7182S の出力に接続することができます。EXTV_{CC} を 3V~5.5V に接続した場合に使用できる PV_{IN0} の入力範囲は 1.5V~20V で、EXTV_{CC} を使用しない場合の PV_{IN0} の動作範囲は 2.9V~20V です。PV_{IN1} の動作範囲は 1.5V~20V です。チャンネル 1 を動作させるには、PV_{IN1} と、EXTV_{CC} または PV_{IN0} のどちらかに電源を供給する必要があります。EXTV_{CC}、PV_{IN0}、PV_{IN1} は、LT7182S の電源シーケンシングを気にすることなく、任意の順番で供給することができます。

LT7182S は、PV_{IN0} または EXTV_{CC} に電源を供給した時点、もしくは MFR_RESET または RESTORE_USER_ALL コマンドが送信された時点で初期化されます。初期化ステップにおいて、LT7182S は EEPROM の設定や抵抗設定ピンを読み出して、PMBus コマンドの構成初期状態を設定します。

初期化中、PGOOD ピンと SHARE_CLK はローに保持され、RUN ピンが 1.5mA (代表値) でプルダウンされて、FAULT ピンは高インピーダンス状態になります。

CFG 抵抗設定ピンがイネーブルされている場合、LT7182S は設定レジスタの値に基づいて一定のコマンドを初期化します。これは EEPROM の設定より優先されます。抵抗設定ピンは、工場出荷時のデフォルトによってイネーブルされます。CFG ピンをディスエーブルするには、EEPROM 内の MFR_CONFIG_ALL_LT7182S のビット 6 をクリアします。詳細については、[アプリケーション情報](#) のセクションの [抵抗設定ピンの使用法](#) を参照してください。設定抵抗に基づいて初期化されないコマンドについては、EEPROM または工場出荷時のデフォルトによって初期値が決定されます。

動作

LT7182Sの初期化には13ms(代表値)を要します。CFGピンがディセーブルされている場合(EEPROM内のMFR_CONFIG_ALL_LT7182Sのビット6が1に設定されている場合)、初期化時間は10ms(代表値)に短縮されます。

初期化が完了すると、コンパレータがPV_{IN0}とPV_{IN1}をモニタします。チャンネルを動作させるには、PV_{IN}電圧が、プログラム可能なV_{IN_ON}閾値を超えていなければなりません。デフォルトでは、PV_{IN0}がPAGE 0のV_{IN_ON}を超えるまで、あるいはPV_{IN0}がV_{IN_OFF}未満に低下するまで、SHARE_CLKがローに保持されます。デフォルトでは、PV_{IN1}はSHARE_CLKに影響しません。デフォルト動作では、SHARE_CLKがローになると両方のチャンネルがオフになり、その状態が保持されます。この動作の設定方法については、LT7182S PMBus/I²Cリファレンス・マニュアルに記載されているMFR_CHAN_CONFIG_LT7182Sコマンドの説明を参照してください。

PORの初期化が完了してそのチャンネルのPV_{IN}電位がV_{IN_ON}閾値を最初に超えた時点で、LT7182SはRUNピンのプルダウン電流(代表値1.5mA)を停止します。

ソフトスタート

起動に必要なすべての条件が満たされてチャンネルがインネーブルされると、LT7182Sは、コマンドで指定されたターンオン遅延が経過するまで待機してから、コマンド指定電圧設定点まで対象出力電圧をランプアップします。ソフトスタートの立ち上がり時間はTON_RISEコマンドで設定し、デフォルトは1msです。ターンオン遅延はTON_DELAYによって設定し、工場出荷時のデフォルトは0msです。LT7182SのPWMは、ソフトスタート時には常にパルススキップ・モードを使用します。これにより、レギュレータはプリバイアスされた負荷状態で起動できるようになります。強制連続導通モードを選択した場合(MFR_PWM_MODE_LT7182Sのビット0を0にクリア)、そのチャンネルは、コマンドで指定された電圧設定点に達した後で連続導通モードへ遷移します。

シャットダウン

LT7182Sは、直ちにターンオフするようにプログラムするか、シーケンス・オフするようにプログラムできます。

シーケンス・オフする場合、LT7182Sは、ターンオフ遅延が経過するまで待機してからソフトストップ・ランプを実行し、この過程でレギュレーション対象電圧がゼロまでランプダウンします。ターンオフ遅延はTOFF_DELAYコマンドによって設定し、デフォルトはゼロです。対象電圧ランプダウン時間はTOFF_FALLによって設定し、デフォルトは2msで

す。デフォルトでは、チャンネルは強制連続導通モードでランプダウンします。ランプオフ動作はMFR_PWM_MODE_LT7182Sを使って設定できます。

シーケンス・オフは、OPERATIONを0x40に設定した場合、もしくはRUNピンをデアサートしてON_OFF_CONFIGのビット0を0に、ビット2を1に設定した場合に実行されます。

直ちにターンオフする場合は、レギュレータがインダクタ電流をできるだけ速やかに0までランプダウンして、その後にスイッチングを停止します。この場合の出力電圧は、負荷電流とオプションの内部250Ωプルダウンだけに基づいて低下します。内部250Ωプルダウンは、MFR_CHAN_CONFIG_LT7182Sのビット6をクリアすることによってディセーブルできます。以下の場合、デバイスは直ちにシャットダウンされます。

- PV_{IN}がV_{IN_OFF}閾値未満に低下した場合
- OPERATIONコマンドをクリアして0x00にし、ON_OFF_CONFIGのビット3を1に設定した場合
- 障害状態が発生したことによって出力がオフになった場合
- RUNピンがデアサートされた場合で、なおかつRUNピンがデアサートされた場合は直ちにデバイスがシャットダウンされるようにON_OFF_CONFIGが設定されている場合(ON_OFF_CONFIGのビット0と2が共に1にセット)
- そのチャンネルのFAULTピンが外部的にローにプルダウンされた場合(MFR_FAULT_RESPONSEが0x00にクリアされた場合を除く)
- SHARE_CLKが失われた場合(MFR_CHAN_CONFIG_LT7182Sのビット2がクリアされた場合を除く)

警告と障害の処理

LT7182Sは、障害状態と警告状態の有無について継続的にシステムをモニタします。

障害応答は、VOUT_UV_FAULT_RESPONSEやVOUT_OV_FAULT_RESPONSEなどの該当するFAULT_RESPONSEコマンドを使って設定します。設定可能な障害応答は以下のとおりです。

- 動作を続行(無視)
- 直ちにシャットダウンし、障害状態が解消された場合は再試行

動作

- 直ちにシャットダウンしてラッチオフ

このセクションの残りの部分では、工場出荷時のデフォルトの警告および障害動作を説明します。表1を参照してください。

障害および警告動作設定の詳細については、LT7182S PMBus/I²Cリファレンス・マニュアルを参照してください。

すべての障害と警告は、PMBusのSTATUSコマンドで示されます。

出力電圧、出力電流、または温度に関係する警告が発生した場合は、LT7182Sは $\overline{\text{ALERT}}$ ピンをローにプルダウンし、該当するSTATUSコマンドの対応ビットをセットしますが、そのチャンネルは動作を継続します。

出力電圧がVOUT_UV_FAULT_LIMIT未満に低下した場合、LT7182Sは以下のように応答します。

- そのチャンネルのPGOODピンをローにプルダウン
- $\overline{\text{ALERT}}$ ピンをローにプルダウン
- STATUS_VOUT、STATUS_BYTE、およびSTATUS_WORDコマンドのVOUT_UV障害ビットをセット
- 最大谷電流を制限しながらチャンネルの動作を継続

出力過電圧または入力過電圧による障害が発生した場合、LT7182Sは以下のように応答します。

- 障害が発生したチャンネルを直ちにシャットダウン
- そのチャンネルの $\overline{\text{FAULT}}$ ピンとPGOODピンをローにプルダウン
- $\overline{\text{ALERT}}$ ピンをローにプルダウン
- 該当するSTATUSコマンドの対応インジケータ・ビットをセット
- 10ms (MFR_RETRY_DELAYによって定義される時間) 経過後に障害状態が解消されている場合は、チャンネルが再スタートを試行

過熱による障害が発生した場合、LT7182Sは以下のように応答します。

- 両方のチャンネルを直ちにシャットダウン
- 両方のチャンネルの $\overline{\text{FAULT}}$ ピンとPGOODピンをローにプルダウン
- $\overline{\text{ALERT}}$ ピンをローにプルダウン

- 該当するSTATUSコマンドの過熱(OT)ビットをセット
- ADCの測定した温度が過熱閾値未満だった場合は、チャンネルの再スタートを試行

LT7182Sは、ADCを使い、プライマリ内部電圧リファレンスとセカンダリ内部電圧リファレンスの比較を周期的に行います。異常が検出された場合、LT7182Sは以下のように応答します。

- 両方のチャンネルを直ちにシャットダウン
- $\overline{\text{FAULT}}$ ピン、PGOODピン、 $\overline{\text{ALERT}}$ ピンをローにプルダウン
- STATUSコマンドの内部リファレンス障害ビットをセット
- リファレンスが回復した場合(例えば温度ドリフトによって)、RESTORE_USER_ALLまたはMFR_RESETコマンドを受信した場合、もしくはPV_{IN0}とEXTV_{CC}両方の入力電源が遮断された場合を除いて、両方のチャンネルをオフ状態に保持

$\overline{\text{FAULT}}$ ピン

対応するFAULT_RESPONSEコマンドがレギュレータ出力をシャットダウンするようにプログラムされ、なおかつMFR_FAULT_PROPAGATE_LT7182Sコマンドがオープンドレイン $\overline{\text{FAULT}}$ ピンに障害を伝搬するようにプログラムされている場合は、障害が発生すると $\overline{\text{FAULT}}$ ピンがローにプルダウンされます。

LT7182Sが $\overline{\text{FAULT}}$ ピンをプルダウンすると、このピンは、以下のいずれかが発生するまでローに保持されます

- 再試行を行うように設定された障害の場合、チャンネルは再試行を行う
- 障害発生チャンネルを一度ディスエーブルしてから再びイネーブルする
- RESTORE_USER_ALL、またはMFR_RESETコマンドを受信する
- PV_{IN0}とEXTV_{CC}両方の入力電源を遮断する

$\overline{\text{FAULT}}$ ピンは、LT7182Sによる外部障害への応答方法を提供するための入力として使用することもできます。チャンネルの $\overline{\text{FAULT}}$ ピンを外部からローにプルダウンすると、そのチャンネルは直ちにターンオフされます。これは、複数のパワー・システム・マネージメント製品間で障害を連携させることを可能にします。

動作

PGOODピン

ソフトスタートおよびソフトストップ時に何らかの理由でチャンネルがオフになるか、出力電圧がVOUT_UV_FAULT_LIMIT未満になると、対応するオープンドレインPGOODピンがそれぞれローにプルダウンされます。

ALERTピン

SMBALERT_MASK コマンドは、LT7182Sがどの警告インジケータと障害インジケータによってオープンドレインALERTピンをプルダウンするかを設定します

LT7182SがALERTピンをプルダウンすると、このピンは以下のいずれかが発生するまでローに保持されます。

- 障害発生チャンネルを一度ディスエーブルしてから再びイネーブルする
- CLEAR_FAULTS、RESTORE_USER_ALL、またはMFR_RESET コマンドを受信する
- マスクされていないすべてのステータス・ビットが、各ビットに1を書き込むことによってクリアされる

- LT7182SがPMBus ARA のときに、そのアドレスを正常に送信する

- PVIN0とEXTVCC両方の入力電源を遮断する

障害イベント・ログ

レギュレータ出力をオフするように設定された障害状態が発生した場合は、EEPROMの障害ログにイベントが書き込まれます。その障害に先行する警告や障害で、出力をオフするように設定されていないものは、イベント書き込み時にすべてサブイベントとして書き込まれます。それぞれのイベントとサブイベントは、タイムスタンプと共に書き込まれます。障害ログには、最大3個の障害オフ・イベントが保存されます。障害ログは、MFR_FAULT_LOG コマンドによって読み込むことができます。また、MFR_FAULT_LOG_CLEAR コマンドを書き込むことによってEEPROMからクリアできます。障害ログ機能はデフォルトでイネーブルされていますが、MFR_CONFIG_ALLのビット7をクリアすることによってディスエーブルできます。

詳細については、LT7182S PMBus/I²Cリファレンス・マニュアルに記載されているMFR_FAULT_LOG コマンドの説明を参照してください。

表 1. 出荷時デフォルトの警告および障害動作 (Note 1)

WARNING OR FAULT TYPE	DETECTION METHOD	DEFAULT THRESHOLD	DEFAULT REGULATOR RESPONSE	DEFAULT PIN RESPONSE		
				PGOOD	FAULT	ALERT
VOUT UV Warning	Comparator	VOUT_COMMAND -6.5%	Continue Operation			Pull Low
VOUT OV Warning	Comparator	VOUT_COMMAND +7.5%	Continue Operation			Pull Low
VOUT UV Fault	Comparator	VOUT_COMMAND -7%	Continue Operation	Pull Low		Pull Low
VOUT OV Fault	Comparator	VOUT_COMMAND +10%	Shutdown and Retry	Pull Low	Pull Low	Pull Low
VIN OV Fault	Comparator	23.3V	Shutdown and Retry	Pull Low	Pull Low	Pull Low
VIN UV Warning	ADC	-1.0V (Disabled)	Continue Operation			Pull Low
Overtemperature (OT) Warning	ADC	140°C	Continue Operation			Pull Low
OT Fault	ADC	160°C	Shutdown and Retry	Pull Low	Pull Low	Pull Low
IOUT Overcurrent (IOUT_OC) Warning	ADC	I _{AVG} > 8A	Continue Operation			Pull Low
IOUT OC Fault	Valley Comparator	I _{VALLEY} > 6.5A (Note 2)	Continue Operation			
Turn-On Time (tON_MAX) Fault	Comparator and Timer	5ms without Exceeding VOUT_UV_FAULT_LIMIT	Continue Operation	Pull Low		Pull Low
Turn-Off Time (tOFF_MAX) Warning	ADC and Timer	0 (Disabled)	N/A			
Pin Configuration Error (Note 3)	I/O	N/A	Lock Off Until Next Reset	Pull Low	Pull Low	Pull Low
EEPROM Error	CRC, ECC	N/A	Lock Off Until Next Reset	Pull Low		Pull Low
Internal Reference Fault	ADC and 2nd Reference	±5%	Shutdown and Retry	Pull Low	Pull Low	Pull Low
PMBus/I ² C Communication Error (CML)	Logic	N/A	N/A			Pull Low

Note 1. 閾値と応答の設定を含む詳細については、LT7182S PMBus/I²Cリファレンス・マニュアルを参照してください。

Note 2. IOUT_OC_FAULT 谷電流閾値は、MFR_PWM_MODE_LT7182Sのビット[10:9]で制御します。

Note 3. 初期化中にピン設定エラーが検出された場合、デバイスは以下のピンをローにプルダウンします: FAULT0、FAULT1、RUN0、RUN1、SHARE_CLK、PGOOD0、PGOOD1、およびALERT。

アプリケーション情報

抵抗設定ピンの使用法

LT7182Sには4個の抵抗設定ピンがあり、それぞれが±1%抵抗1個を使って重要な動作パラメータを選択します。抵抗設定ピンは、ASEL、V_{OUT0_CFG}、V_{OUT1_CFG}/POLYPHASE_CFG、およびSYNC/PWM_CFGです。抵抗設定ピンは、パワーアップ時と、RESTORE_USER_ALLまたはMFR_RESETコマンドの実行時に測定されます。それぞれの抵抗設定ピンの機能を以下に示します。

EEPROMでMFR_CONFIG_ALL_LT7182Sコマンドのビット6が1に設定されている場合、CFGピン(V_{OUT0_CFG}、V_{OUT1_CFG}/POLYPHASE_CFG、およびSYNC/PWM_CFG)の設定抵抗は無視されますが、ASELの抵抗は常に有効です。

ASEL設定抵抗の選択を含むシリアル・インターフェース・デバイス・アドレスの設定については、LT7182S PMBus/I²Cリ

ファレンス・マニュアルに記載されているMFR_ADDRESSコマンドの説明を参照してください。

出力電圧の設定

チャンネルがイネーブルされている場合は、PMBusコマンドVOUT_COMMANDが出力電圧を指定します。

VOUT_COMMANDコマンドは、表2の値に基づき、V_{OUT0_CFG}ピンとV_{OUT1_CFG}/POLYPHASE_CFGピンの抵抗を使って初期化することができます。V_{OUT0_CFG}とSGNDの間にある抵抗が、チャンネル0を設定します。チャンネル1がチャンネル0からの独立出力として設定されている場合は、V_{OUT1_CFG}/POLYPHASE_CFGピンとSGNDの間にある抵抗がチャンネル1を設定します。PolyPhase構成が選択されている場合(SYNC/PWM_CFGとグラウンドの間に5.6k±10%の抵抗を1個接続)、V_{OUT0_CFG}はチャンネル0と1の両方を設定します。

表 2. V_{OUTn_CFG} ピン設定抵抗の選択 (Note 1)

RESISTOR VALUE (±1%)	OUTPUT VOLTAGE SET POINT (V) (Note 2)	V _{OUT} RANGE MODE (Note 3)	REGULATOR ENABLE (Note 4)
Floating or V _{DD18}	Initialized from NVM (Default 0.5V)	Initialized from NVM (Default full V _{OUT} range).	Initialized from NVM (By default, regulator is enabled if RUN pin is asserted high.)
124kΩ	5	Full V _{OUT} range. Supports 0.4V ≤ V _{OUT} ≤ 5.5V.	Regulator is enabled if RUN is asserted high. (OPERATION = 0x80, ON_OFF_CONFIG initialized from NVM, default requires OPERATION = 0x80 and RUN pin asserted.)
107kΩ	3.3		
93.1kΩ	2.5		
80.6kΩ	1.8		
69.8kΩ	1.5		
60.4kΩ	1.35		
51.1kΩ	1.2		
43.2kΩ	1.1	High-performance Low-V _{OUT} range. Offers enhanced accuracy and transient response for V _{OUT} ≤ 1.375V.	
36.5kΩ	1		
30.9kΩ	0.9		
25.5kΩ	0.85		
21kΩ	0.8		
16.5kΩ	0.75		
11.8kΩ	0.7		
6.65kΩ	0.6		
0 (SGND)	Initialized from NVM (Default 0.5V)	Initialized from NVM (default full V _{OUT} range)	Regulator disabled and RUN pin ignored.

Note 1. 表3に従ってSYNC/PWM_CFGピンを5.6kΩ±10%の抵抗に接続してPolyPhase動作を選択した場合は、表4に従い、V_{OUT1_CFG}/POLYPHASE_CFG設定抵抗が周波数と位相を含むPWM設定を制御します。

Note 2. 出力電圧設定点はVOUT_COMMANDで制御します。

Note 3. V_{OUT}範囲モードの選択は、MFR_PWM_MODE_LT7182Sのビット1で制御します。値を1にすると、高性能低V_{OUT}モードが選択されます。

Note 4. PMBus ON_OFF_CONFIGコマンドは、RUNピンとPMBus OPERATIONコマンドのどちらでレギュレータをイネーブルするかを選択します。

アプリケーション情報

V_{OUTn_CFG} ピンがオープンになっている場合または V_{DD18} に接続されている場合は、EEPROM から VOUT_COMMAND コマンドがロードされて出力電圧を決定します。デフォルトの EEPROM 設定では、電圧設定抵抗が取り付けられている場合を除き、レギュレータをディスエーブルした状態で初期化が行われます。

出力電圧の初期化に抵抗設定ピンが使われている場合は、VOUT_COMMAND のパーセンテージに基づいて以下のコマンドが初期化されます。

• VOUT_OV_FAULT_LIMIT	+10%
• VOUT_OV_WARN_LIMIT	+7.5%
• VOUT_MAX	+7.5%
• VOUT_MARGIN_HIGH	+5%
• VOUT_MARGIN_LOW	-5%
• VOUT_UV_WARN_LIMIT	-6.5%
• VOUT_UV_FAULT_LIMIT	-7%

スイッチング周波数と位相

PWM スwitchング周波数は、内部発振器を使用するか、SYNC/PWM_CFG ピンに外部クロックを加えることによって設定できます。内部フェーズ・ロック・ループ (PLL) は、クロックが内部供給か外部供給にかかわらず、このタイミング・リファレンスに PWM 制御を同期します。内部発振器の周波数は、FREQUENCY_SWITCH コマンドによって設定します。MFR_PWM_PHASE_LT7182S コマンドは、各チャンネルの位相を設定します。

SYNC/PWM_CFG ピンは柔軟な多目的入出力ピンで、設定抵抗入力として、あるいはクロック入力または出力として使用することができます。

SYNC/PWM_CFG とグラウンド (PGND または SGND) の間に接続した抵抗は、表 3 に従って PWM 設定 (周波数、位相、および動作モードを含む) を初期化するために使用できます。単相および 2 相アプリケーションにおける PWM 設定抵抗接続の例については、図 1 を参照してください。これらの例では、外部同期入力や出力のクロックは不要です。PWM_CFG 抵抗の選択肢については表 2 を参照してください。

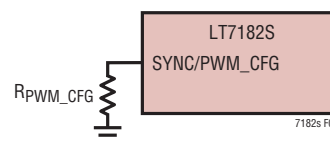


図1. 外部クロックを使わないPWM抵抗設定

LT7182S は、出力ドライバとして設定されている場合や、入力クロックを無視するようにプログラムされている場合を除き、自動的に PWM スwitchングを SYNC/PWM_CFG の外部クロック入力に同期します。SYNC/PWM_CFG ピンに外部同期クロックが使われている場合、LT7182S は両方のチャンネルで自動的に強制連続モードを使用します。外部クロック信号が失われた場合、LT7182S は内部発振器を使って PWM 動作を続行します。外部同期クロックを使用する場合は、FREQUENCY_SWITCH コマンドをプログラムするか、設定抵抗を使って内部発振器周波数を外部クロック周波数と同様の周波数値に設定することを推奨します。これにより、外部クロックが失われた場合でも、PWM スwitchング周波数を適切な値に維持することができます。LT7182S は、MFR_SYNC_CONFIG_LT7182S のビット 1 に 1 を書き込むことによって、外部クロックを無視するようにプログラムできます。

LT7182S は、MFR_SYNC_CONFIG_LT7182S のビット 0 を 1 に設定することによって、SYNC/PWM_CFG ピンから他のデバイスへ同期クロック出力を供給するように設定できます。

SYNC/PWM_CFG 出力クロックをイネーブルすると、LT7182S は、SYNC/PWM_CFG ピン を、FREQUENCY_SWITCH でプログラムされた周波数と 0~1.88V (代表値) の振幅を持つ矩形波として駆動します。SYNC の位相は、PWM 出力の位相より、MFR_PWM_PHASE_LT7182S で設定された値だけ進んだ位相となります。出力として設定できるのは、SYNC/PWM_CFG に接続された 1 つのデバイスだけです。

SYNC/PWM_CFG のクロックがアクティブになっているときは、MFR_PWM_PHASE_LT7182S コマンドが、SYNC/PWM_CFG の立上がりエッジと、そのチャンネルの SW の立上がりエッジ間の位相関係を指定します。

SYNC/PWM_CFG 設定抵抗と同期クロック入力機能の両方を使用する場合は、図 2 に示すようにクロック源と LT7182S の間に 1.5nF のコンデンサを配置して、クロック信号を AC カップリングする必要があります。この場合は、クロック信号が抵抗設定機能に干渉しないようにするために、LT7182S の初期化時にクロック信号を非アクティブにしてください。AC カップリングしたクロック源出力のインピーダンスが 50Ω 未満の場合は、クロック源と直列に 50Ω の抵抗を追加する必要があります。PWM_CFG 抵抗の選択については表 2 を参照してください。

アプリケーション情報

表 3. SYNC/PWM_CFG ピン設定抵抗の選択

RESISTOR VALUE (±1%)	PWM FREQUENCY (Notes 1, 2)	PWM PHASE (Note 3)		PWM MODE (Note 4)	PolyPhase FOLLOWER/ LEADER (Note 5)	INTERNAL COMPENSATION (Note 6)			SYNC/PWM_ CFG CLOCK OUTPUT OR INPUT (Note 8)
		Ch 0	Ch 1			INTERNAL C _{ITH}	INTERNAL R _{ITH}	INTERNAL g _{MEA}	
162kΩ	Initialized from NVM (Default 1MHz)	Initialized from NVM (Default 0°)	Initialized from NVM (Default 180°)	Initialized from NVM (Default FCM)	Initialized from NVM (Default 0, Leader)	Initialized from NVM (Default 80pF)	Initialized from NVM (Default 20kΩ)	Initialized from NVM (Note 7)	Initialized from NVM (Default 0, Input)
124kΩ	500kHz	0°	180°	FCM	0 (Leader)	80pF	20kΩ	150μS	0 (Input)
80.6kΩ	1MHz					80pF	40kΩ		
51.1kΩ	2MHz					80pF	40kΩ		
30.9kΩ	4MHz					60pF	40kΩ		
107 kΩ	500kHz	90°	270°			80pF	20kΩ		
69.8kΩ	1MHz					80pF	40kΩ		
43.2kΩ	2MHz					80pF	40kΩ		
93.1kΩ	500kHz					80pF	20kΩ		
60.4kΩ	1MHz	0°	180°	Pulse-skip		80pF	40kΩ		
36.5kΩ	2MHz					80pF	40kΩ		
Clock Active Throughout POR and Reset	Measured at POR/Reset	0°	180°	FCM	NVM (Default 0, Leader)	(Note 9)			
5.6kΩ ±10%	PolyPhase Configuration Select: PWM Configuration is controlled by the V _{OUT1_CFG} /POLYPHASE_CFG pin, as indicated in Table 4. In this configuration, V _{OUT} for both channels is initialized to the value specified by the V _{OUT0_CFG} resistor.								

5.6k $\Omega \pm 10\%$ PolyPhase Configuration Select: PWM Configuration is controlled by the $V_{OUT1_CFG}/POLYPHASE_CFG$ pin, as indicated in Table 4. In this configuration, V_{OUT0} for both channels is initialized to the value specified by the V_{OUT0_CFG} resistor.

- Note 1. SYNC/PWM_CFG 入力クロックが存在しない場合、PWM スイッチング周波数設定点は FREQUENCY_SWITCH で制御します。
- Note 2. 外部同期クロックと設定抵抗の両方を使用する場合は、1.5nF の直列コンデンサでクロック源を AC カップリングする必要があります。また、LT7182S の初期化中はクロック源を非アクティブにする必要があります。設定抵抗の値は、内部 PWM スイッチング周波数を入力クロックと同様の値に設定できるようなものを選んでください。
- Note 3. 定常 PWM スイッチング位相は、MFR_PWM_PHASE_LT7182S で制御します。
- Note 4. PWM モードは、MFR_PWM_MODE_LT7182S のビット 0 で制御します。値を 1 にするとパルススキップ・モードがイネーブルされます。
- Note 5. PolyPhase フォロワ／リーダー・モードは、MFR_CHAN_CONFIG_LT7182S のビット 8 で制御します。値を 1 にするとフォロワ・モードが選択されます。
- Note 6. 内部補償は、 I_{TH} を $INTV_{CC}$ に接続することによって選択します。PWM_CFG 抵抗値が 124k Ω 以下の場合は、外部補償を使用すると g_{MEA} が最大値に設定されます (高性能低 V_{OUT} モードで 1.2mS、標準モードで 300 μ S)。内部補償の場合、 C_{ITH} は MFR_PWM_MODE_LT7182S のビット [8:6] で制御し、 R_{ITH} は MFR_PWM_MODE_LT7182S のビット [5:3] で、 g_{MEA} は MFR_PWM_MODE_LT7182S のビット [13:11] で制御します。
- Note 7. MFR_PWM_MODE_LT7182S ビット [11:9] の NVM デフォルトは 0b011 で、これは高性能低 V_{OUT} モードの場合は $g_{MEA} = 600\mu$ S に相当し、標準モードの場合は $g_{MEA} = 150\mu$ S に相当します。内部補償か外部補償かは問いません。
- Note 8. MFR_SYNC_CONFIG_LT7182S のビット 0 を 1 に設定すると、SYNC/PWM_CFG ピンはクロック出力になります。
- Note 9. LT7182S の POR / リセット時に外部クロックが検出されると、内部補償パラメータ C_{ITH} と R_{ITH} は、測定された外部クロック周波数に基づいて選択されます。

- 400kHz~625kHz: $R_{ITH} = 20k\Omega$, $C_{ITH} = 80pF$
- 625kHz~1.25MHz: $R_{ITH} = 40k\Omega$, $C_{ITH} = 80pF$
- 1.25MHz~2.5MHz: $R_{ITH} = 40k\Omega$, $C_{ITH} = 80pF$
- 2.5MHz~4MHz: $R_{ITH} = 40k\Omega$, $C_{ITH} = 60pF$

アプリケーション情報

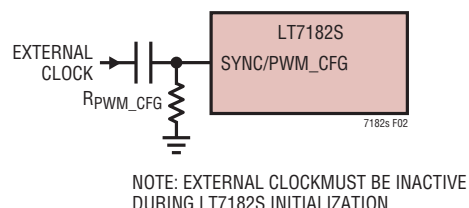


図2. PWM抵抗の設定と外部同期クロック

入力クロック周波数が400kHz～625kHzの場合は、500kHzのPWM周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が625kHz～1.25MHzの場合は、1MHzのPWM周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が1.25MHz～2.5MHzの場合は、2MHzのPWM周波数を選択する設定抵抗を使用することを推奨します。入力クロック周波数が2.5MHz～4MHzの場合は、4MHzのPWM周波数を選択する設定抵抗を使用することを推奨します。

SYNC/PWM_CFGピンをクロック入力または出力としてのみ使用し、CFGピンをディスエーブルするためにEEPROMのMFR_CONFIG_ALL_LT7182Sのビット6に1が書き込まれている場合は、設定抵抗やACカップリング・コンデンサは不要です。

初期化時にSYNC/PWM_CFGピンに常時外部クロックが加えられている場合で、CFGピン機能がディスエーブルされていない場合、LT7182Sはクロック周波数を測定し、それを最も近い100kHz単位の値に丸めた上で、FREQUENCY_SWITCHをその周波数に初期化します。この場合、チャンネル0のMFR_PWM_PHASEは0°、チャンネル1のそれは180°に初期化されて、強制連続モードが選択されます。CFGピン機能がディスエーブルされている場合を除き、SYNC/PWM_CFGに加えられる外部クロックは、LT7182Sの初期化プロセス全体を通じ、常時アクティブまたは非アクティブのどちらかにしておく必要があります。初期化中にクロックのアクティブ／非アクティブが変化すると（例えば初期化が開始されてから完了するまでの間にクロックが開始されると）、周波数測定が不正確になって、そのためにLT7182SによるFREQUENCY_SWITCHの初期化が不正確になったり、ピン設定障害が発生したりすることがあります。ピン設定障害の詳細については、LT7182S PMBus/I²Cリファレンス・マニュアルに記載されているMFR_PIN_CONFIG_STATUSの説明を参照してください。

PolyPhaseによる負荷分担

複数のLT7182Sチャンネルを並列に接続することによって、バランスのとれたPolyPhase負荷分担ソリューションを実現することができます。LT7182Sのアナログ電流モード制御アーキテクチャは、PolyPhaseチャンネル間での負荷分担をバランスのとれたものにします。

関係するI_{TH}、 $\overline{\text{FAULT}}$ 、PV_{IN}、V_{SENSE}P、およびV_{SENSE}NピンはすべてのPolyPhaseチャンネル間で互いに接続し、SYNC/PWM_CFGピンとSHARE_CLKピンはすべてのPolyPhaseデバイス間で互いに接続する必要があります。位相は360°/n°ずつ区切ります。ここで、nはPolyPhaseアレイ内の位相数です。PolyPhase構成では、1つのデバイス(LT7182Sまたは外部クロック源)だけがSYNC/PWM_CFGのクロックを駆動するように設定する必要があります。

PolyPhaseアレイでは、1つのLT7182Sチャンネルだけをリーダー (leader) として設定 (MFR_CHAN_CONFIG_LT7182Sのビット8を0に設定) し、他のすべてのPolyPhaseチャンネルをフォロワ (follower) として設定 (値を1に設定) する必要があります。

MFR_CONFIG_ALL_LT7182Sのビット6がCFGピンを無視するように設定されていない場合、PolyPhaseモードは、SYNC/PWM_CFGとグラウンドの間に5.6k ±10%の抵抗を接続することによって選択できます。抵抗設定オプションは、2、3、4、または6相のPolyPhaseソリューションに対応しています。SYNC/PWM_CFGに5.6kの抵抗を接続した場合、チャンネル1のVOUT_COMMANDはVOUT_{0_CFG}抵抗に基づいてチャンネル0と同じ値に設定され、表4に示すようにVOUT_{1_CFG}/POLYPHASE_CFG抵抗がPolyPhase構成を選択します。2、4、または6相動作の場合は、図3に示すように、最大3個のLT7182SデバイスのSYNC/PWM_CFGピンをまとめて、1つの5.6k抵抗に接続することができます。2つのLT7182Sデバイスを3相動作と単相動作に設定するには、標準的応用例のセクションに示すように個別のSYNC/PWM_CFG設定抵抗を使って、デバイス間に1.5nFのACカップリング・コンデンサを1個置く必要があります。8相以上を使うPolyPhaseアレイでは、PolyPhaseフォロワ・モードを設定して(MFR_CHAN_CONFIG_LT7182Sのビット8)適切な位相を選択する(MFR_PWM_PHASE_LT7182S)のために、少なくともそのいくつかのデバイスについてPMBusのプログラミングを行う必要があります。

アプリケーション情報

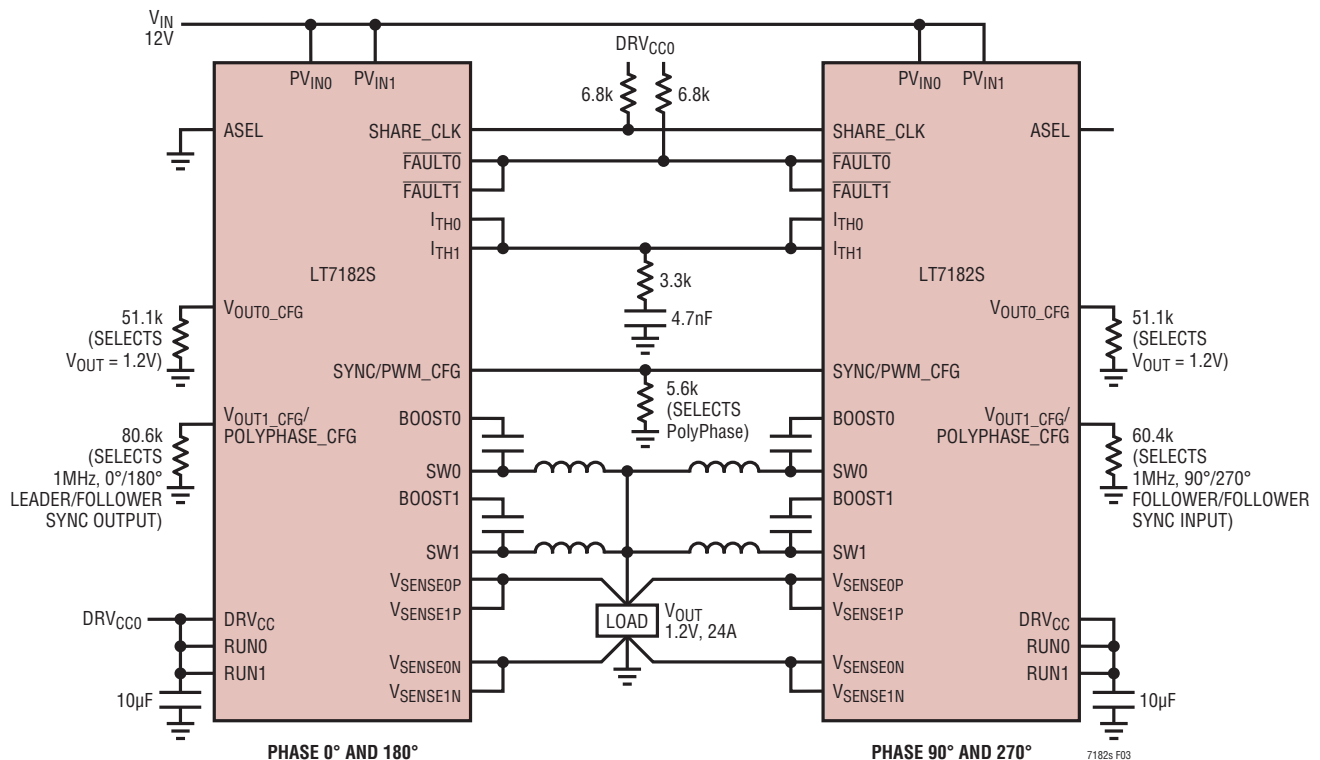


図3. 1.2V、1MHz、24Aの4相PolyPhaseレギュレータの例(抵抗設定ピンを使用、外部クロックなし)

動作周波数のトレードオフ

動作周波数の選択は、効率、部品サイズ、および入力電圧範囲のトレードオフになります。高周波数動作の利点はインダクタとコンデンサの値を小さくできることですが、主な欠点は効率が低いことです。

最小オン時間と最小オフ時間に関する考慮事項

最小オン時間 $t_{ON(MIN)}$ は、上側パワーMOSFETをオン状態にすることのできる最小時間です。この時間は出力負荷の関数であり、通常は1Aの負荷で約20nsです。連続導通モード時の最大スイッチング周波数は、最も厳しい条件での最小オン時間リミットによって次のようになります。

$$f_{SW(MAX)} = \frac{V_{OUT}}{V_{IN} \cdot 40ns} \quad (1)$$

ここで、40nsは無負荷で最大ジャンクション温度150°Cという最も厳しい条件における $t_{ON(MIN)}$ の上限値に相当し、 $f_{SW(MAX)}$ はサポートされている最大のスイッチング周波数です。 $t_{ON(MIN)}$ に対して許容される周波数より高い周波数が設定された場合は、LT7182Sの谷電流制御アーキテクチャ

が出力電圧のレギュレーションを維持し、スイッチング周波数は、プログラムされた値より低い値になります。これは多くのアプリケーションで受け入れ得る結果なので、この制約が決定的な重要性を持つことはまずありません。設計には、出力過電圧を引き起こすことなく高いスイッチング周波数を使うことができます。しかし、周波数同期が必要な場合は(例えばPolyPhaseの場合)、 f_{SW} を、40nsの最大 $t_{ON(MIN)}$ とアプリケーションの最大 V_{IN} および最小 V_{OUT} で実現可能な最大値以下に設定する必要があります。

最小オフ時間 $t_{OFF(MIN)}$ は、LT7182Sが下側パワーMOSFETをターンオンして電流コンパレータをトリップさせ、下側パワーMOSFETを再びオフに戻すことのできる最小時間です。通常、この時間は約60nsです。最小オフ時間によって、最大デューティ・サイクルは $t_{ON}/(t_{ON} + t_{OFF(MIN)})$ となります。 V_{OUT}/V_{IN} の比が、例えば入力電圧の低下などによって最大デューティ・サイクルを超えた場合は、出力電圧がレギュレーション範囲を外れます。

アプリケーション情報

表 4. PolyPhase 動作時の VOUT1_CFG/POLYPHASE_CFG ピン用設定抵抗の選択 (Note 1)

RESISTOR VALUE (±1%)	PWM FREQUENCY (Note 2)	PWM PHASE (Note 3)		PWM MODE (Note 4)	PolyPhase FOLLOWER (Note 5)		SYNC/PWM_CFG CLOCK OUTPUT OR INPUT (Note 6)
		Ch 0	Ch 1		Ch 0	Ch 1	
Floating or V _{DD18}	Initialized from NVM (Default 1MHz)	Initialized from NVM (Default 0°)	Initialized from NVM (Default 180°)	0 (Forced Continuous Mode)	Initialized from NVM (Default 0, Leader)		Initialized from NVM (Default 0, Input)
124kΩ	500kHz	0°	180°		0 (Leader)	1 (Follower)	1 (Output)
80.6kΩ	1MHz						
36.5kΩ	2MHz						
16.5kΩ	4MHz						
107kΩ	500kHz						
69.8kΩ	1MHz						
30.9kΩ	2MHz	90°	270°		1 (Follower)	1 (Follower)	0 (Input)
11.8kΩ	4MHz						
93.1kΩ	500kHz						
60.4kΩ	1MHz						
25.5kΩ	2MHz						
6.65kΩ	4MHz						
51.1kΩ	1MHz	120°	240°		1 (Follower)	1 (Follower)	1 (Output)
21.0kΩ	2MHz						
43.2kΩ	1MHz	60°	300°		1 (Follower)	1 (Follower)	0 (Input)
0Ω (Grounded)	2MHz						

Note 1. 表 4 は、SYNC/PWM_CFG が 5.6kΩ の設定抵抗に接続されている場合のみ適用されます。それ以外の場合は、VOUT1_CFG/POLYPHASE_CFG が Table 2 に従ってチャネル 1 の出力電圧を制御します。

Note 2. SYNC/PWM_CFG 入力クロックが存在しない場合、PWM スイッチング周波数は FREQUENCY_SWITCH で制御します。

Note 3. 定常 PWM スイッチング位相は、MFR_PWM_PHASE_LT7182S で制御します。

Note 4. PWM モードは、MFR_PWM_MODE_LT7182S のビット 0 で制御します。値を 1 にするとパルススキップ・モードがイネーブルされます。

Note 5. PolyPhase フォロワ・モードは、MFR_CHAN_CONFIG_LT7182S のビット 8 で制御します。値を 1 にするとフォロワ・モードが選択されます。

Note 6. MFR_SYNC_CONFIG_LT7182S のビット 0 を 1 に設定すると、SYNC/PWM_CFG ピンはクロック出力になります。

t_{OFF(MIN)} の制限により出力電圧が低下してレギュレーション範囲を外れてしまわないようにするには、アプリケーションの最小入力電圧と最大出力電圧に基づき、スイッチング周波数を下に示す値以下に抑える必要があります。

$$f_{sw} \leq \frac{1 - \frac{V_{OUT(MAX)}}{V_{IN(MIN)}}}{100ns} \quad (2)$$

100ns は、LT7182S の最大 t_{OFF(MIN)} に相当します。

プログラマブルな電流リミット

LT7182S の電流リミットは、図 4 と図 5 に示すように、インダクタ電流リップル波形の谷を基準に出力電流を制限することによって機能します。

図 4 に示すように、正の谷電流リミット作動時 (出力電流を負荷に供給) のインダクタ谷電流は I_{LIM-POS}、平均出力電流は I_{LIM-POS} + ΔI_L/2、ピークインダクタ電流は I_{LIM-POS} + ΔI_L です (ΔI_L はインダクタのリップル電流)。I_{LIM-POS} に達した場合は、IOUT_OC 障害を示す STATUS ビットがセットされます。LT7182S PMBus/I²C リファレンス・マニュアルに記載されている STATUS コマンドの説明を参照してください。

アプリケーション情報

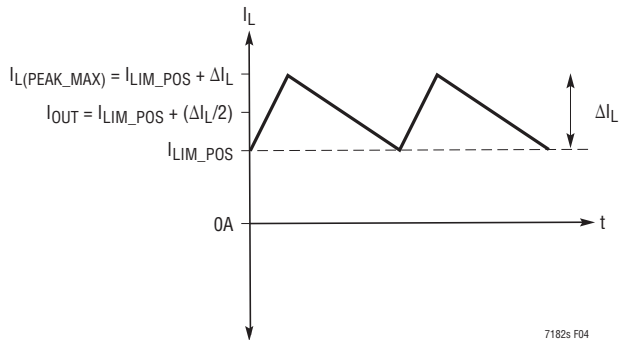


図4. 正の谷電流リミット

図5に示すように、負の谷電流リミットとなった場合(出力が外部的にプルアップされることによって出力電流をシンク)のインダクタ谷電流は I_{LIM_NEG} 、平均出力電流は $I_{LIM_NEG} + \Delta I_L/2$ 、ピークインダクタ電流は $I_{LIM_NEG} + \Delta I_L$ です。

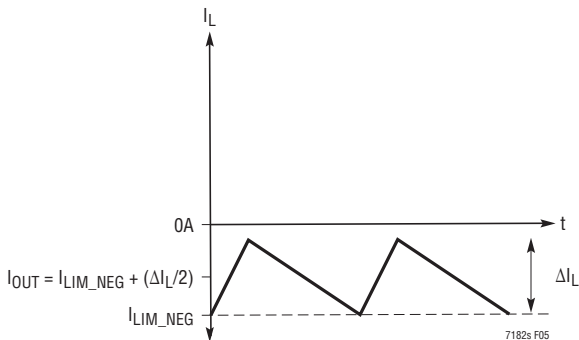


図5. 負の谷電流リミット

LT7182Sには、谷電流リミットに関して4つの設定があります。電流リミットの選択は、表5に示すようにMFR_PWM_MODE_LT7182Sのビット[10:9]で制御します。工場出荷時のデフォルト電流リミット設定は、正の谷電流リミットが6.5A(代表値)、負の谷電流リミットが-4.5A(代表値)です。電流リミットの選択を変更すると変調器の電流検出ゲイン(dI_{OUT}/dV_{ITH})も変化するので、制御ループの補償時にはこの点も考慮する必要があります。

表5. 谷電流リミットの選択、MFR_PWM_MODE_LT7182Sのビット[10:9]

VALUE	POSITIVE VALLEY CURRENT LIMIT I_{LIM_POS} (Typ)	NEGATIVE VALLEY CURRENT LIMIT I_{LIM_NEG} (Typ)	CURRENT SENSE TRANSCONDUCTANCE dI_{OUT}/dV_{ITH} (Typ)
3	8.5A	-4.25A	14.2A/V
2 (Default)	6.5A	-4A	11.7A/V
1	4.5A	-3.4A	8.8A/V
0	3A	-2.3A	5.9A/V

インダクタの選択

アプリケーションの入力電圧と出力電圧が与えられている場合、リップル電流はインダクタ値と動作周波数によって決まります。

$$\Delta I_L = \frac{V_{OUT}}{f_{SW} \cdot L} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (3)$$

リップル電流が小さければインダクタの損失と出力コンデンサのESR損失が小さくなり、出力電圧リップルも小さくなります。最大効率の動作は、低周波数でリップル電流が小さいときに得られます。しかし、これを実現するには大きいインダクタが必要です。

妥当な出発点として、 $I_{OUT(MAX)}$ の約50%のリップル電流を選択します。リップル電流が仕様規定された最大値を超えないようにするには、次式に従ってインダクタンスを選択する必要があります。

$$L = \frac{V_{OUT}}{f_{SW} \cdot \Delta I_L(MAX)} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (4)$$

インダクタは、インダクタ電流リップルが電氣的特性の表に示す負の最大谷電流リミット(最も小さい負の値)の2倍未満となるように選ぶ必要があります。2倍を超えると出力過電圧となります。

$$\Delta I_L \leq 2 \cdot I_{LIM_NEG(MAX)} \quad (5)$$

また、飽和電流(通常は I_{SAT} で表される)が、電流リミットで動作した場合の最大ピーク電流(次式)より大きいものを選ぶ必要があります。

$$I_{L(PEAK_MAX)} = I_{LIM_POS} + \Delta I_L \quad (6)$$

アプリケーション情報

過熱や効率低下を防ぐために、インダクタは、その実効電流定格値がアプリケーションの予想最大出力負荷より大きいものを選ぶ必要があります。できれば、インダクタのRMS定格が、電流リミット時の平均インダクタ電流に対応していることが望まれます。

$$I_{L(AVG,MAX)} = I_{LIM(POS)} + \frac{\Delta I_L}{2} \quad (7)$$

インダクタの電流定格が、[表7](#)に示す $I_{L(AVG,MAX)}$ に対応していない場合は、その定格に適した電流リミットを選択するか、出力電圧が $V_{OUT_UV_FAULT_LIMIT}$ 未満に低下した場合はそのチャンネルをディスエーブルするように $V_{OUT_UV_FAULT_RESPONSE}$ コマンドを設定します。 $V_{OUT_UV_FAULT_RESPONSE}$ のデフォルト設定は、 V_{OUT} UV障害状態が存在する間、谷電流リミットで動作を続行するようになっています。

最大限の効率を実現するには、インダクタ直列抵抗(DCR)を最小限に抑えると共に、高周波アプリケーション向けのコア材を使用したインダクタを選ぶ必要があります。

入力コンデンサと出力コンデンサ

スイッチング・レギュレータの出力電源と入力電源には、共に低ESRのセラミック・コンデンサを使用してください。温度や入力電圧の変動に対して最良の性能を実現するには、X5RまたはX7Rセラミック・コンデンサを推奨します。

コンデンサの推奨値については、このデータシートの[標準的応用例](#)のセクションを参照してください。

プログラマブルなPWM制御ループ補償

[図6](#)と[図7](#)に示すように、LT7182Sは内部または外部PWM制御ループ補償をサポートしています。単相アプリケーションの場合は、チャンネルの I_{TH} ピンを $INTV_{CC}$ に接続することによって内部補償を選択します。PolyPhase動作には外部補償が必要で、すべてのPolyPhaseチャンネルの I_{TH} ピンを1つの外部補償回路に接続する必要があります。

制御ループ補償パラメータは、 $MFR_PWM_MODE_LT7182S$ コマンドを使ってプログラムできます。内部補償

または外部補償時には、[表6](#)に示すように、 $MFR_PWM_MODE_LT7182S$ のビット[13:11]を使ってLT7182S PWMエラー・アンプのトランスコンダクタンスを調整することができます。内部補償を選択した場合は、[表7](#)に示すように $MFR_PWM_MODE_LT7182S$ のビット[5:3]を使い、LT7182Sの内部PWMループ補償抵抗 R_{ITH} を5kから120k(代表値)までの非線形インクリメントで調整することができます。内部補償コンデンサ C_{ITH} は、[表8](#)に示すように、 $MFR_PWM_MODE_LT7182S$ のビット[8:6]を使い、10pFから80pF(代表値)までの10pFインクリメントで調整することができます。

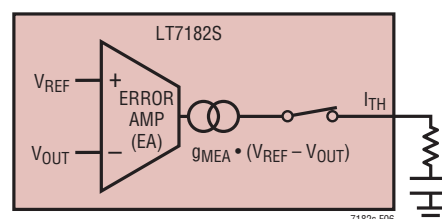


図6. プログラム可能な g_{MEA} による外部補償

表6. プログラマブルなエラー・アンプ・トランスコンダクタンス g_{MEA}

MFR_PWM_MODE_LT7182S BITS [13:11]	FULL V_{OUT} RANGE MODE	HIGH- PERFORMANCE LOW- V_{OUT} MODE
7	300 μ S	1.2mS
6	262.5 μ S	1.05mS
5	225 μ S	900mS
4	187.5 μ S	750 μ S
3	150 μ S	600 μ S
2	112.5 μ S	450 μ S
1	75 μ S	300 μ S
0	37.5 μ S	150 μ S

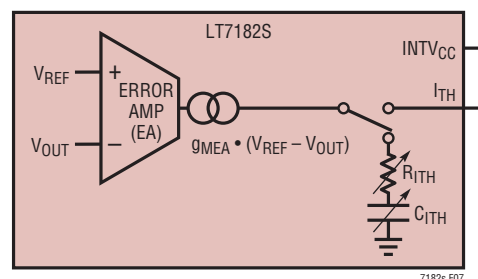


図7. プログラム可能な内部補償

アプリケーション情報

表7. プログラマブルな内部補償リード抵抗 R_{ITH}

MFR_PWM_MODE_LT7182S BITS [5:3]	INTERNAL R_{ITH} VALUE
7	120k Ω
6	100k Ω
5	80k Ω
4	60k Ω
3	40k Ω
2	20k Ω
1	10k Ω
0	5k Ω

表8. プログラマブルな内部補償コンデンサ C_{ITH}

MFR_PWM_MODE_LT7182S BITS [8:6]	INTERNAL C_{ITH} VALUE
7	80pF
6	70pF
5	60pF
4	50pF
3	40pF
2	30pF
1	20pF
0	10pF

ソフトウェアによる設定が可能なシーケンシング

時間ベースでシーケンシングを行う場合は、システムのパワーアップおよびパワーダウン・シーケンスをソフトウェアで設定することができます。時間ベースのシーケンシングを行うには、TON_DELAYをプログラムして、ソフトスタート・ランプがシーケンス内の正しいポイントで開始されるように、各チャンネルを個別に遅延させます。シーケンスは、OPERATIONコマンドまたはRUNピンを使って、すべてのチャンネルに同時に指示を与えた時点で開始されます。同様に、ターンオフ・シーケンシングはTOFF_DELAYコマンドを使って調整します。

複数のアナログ・デバイセズ製品間で時間ベースのシーケンシングを使用するときは、デバイスのSHARE_CLKピンをまとめて、1.6Vから5.5Vへのプルアップ抵抗に接続することを推奨します。

イベントベースのシーケンシング

イベントベースでシーケンシングを行う場合は、システムのパワーアップおよびパワーダウン・シーケンスをハードウェアで設定することができます。

図8に示すように、1つのレギュレータのPGOODピンを、シーケンス内の次のレギュレータのRUNピンに接続します。

LT7182Sは、チャンネルのソフトスタート・ランプが完了して、その出力電圧がVOUT_UV_FAULT_LIMITで設定された値を超えるまで、PGOODピンをローに保持します。

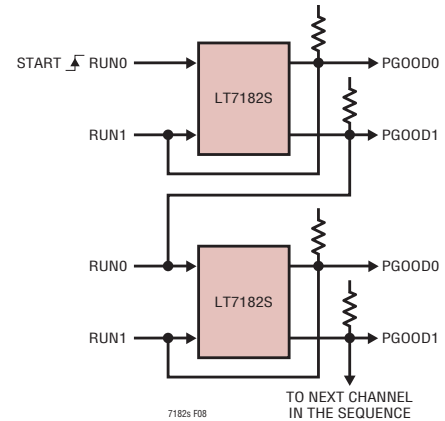


図8. イベントベースのシーケンシング

LTpowerPlay GUI

LTpowerPlayは、LT7182Sを含むアナログ・デバイセズのデジタル・パワー・システム・マネージメント製品をサポートする、Windowsベースの強力な開発環境です。LTpowerPlayは、デモ・ボードまたはユーザ・アプリケーション・ボードに接続することによって、アナログ・デバイセズ製品を評価するために使用できます。LTpowerPlayは、複数の構成ファイルを作成するためにオフライン・モード(ハードウェアなしの状態)で使用することもできます。これらのファイルは、保存して後で再ロードすることができます。LTpowerPlayは、システムの機能確認時に、電源のプログラムや調整を行ったり、電源に関する問題を診断したりするための、貴重な診断情報を提供します。LTpowerPlayは、アナログ・デバイセズのDC1613A USB-I²C/SMBus/PMBusアダプタを利用して、DC2836Aデモ・ボードを含む様々なターゲットと通信を行います。アプリケーションでは、DC1613Aの3.3V V_{CCIO}電源をLT7182SのEXTV_{CC}ピンに接続することで、PV_{IN}を加えずにプログラミングを行うことができます。LTpowerPlayソフトウェアは、最新のデバイス・ドライバとドキュメントのセットによってリビジョンを最新状態に保つための、自動更新機能も備えています。また、いくつかのチュートリアル・デモを含む、充実したコンテキスト・ヘルプも使用できます。詳細については以下のサイトを参照してください。

<https://www.analog.com/jp/ltpowerplay>

アプリケーション情報

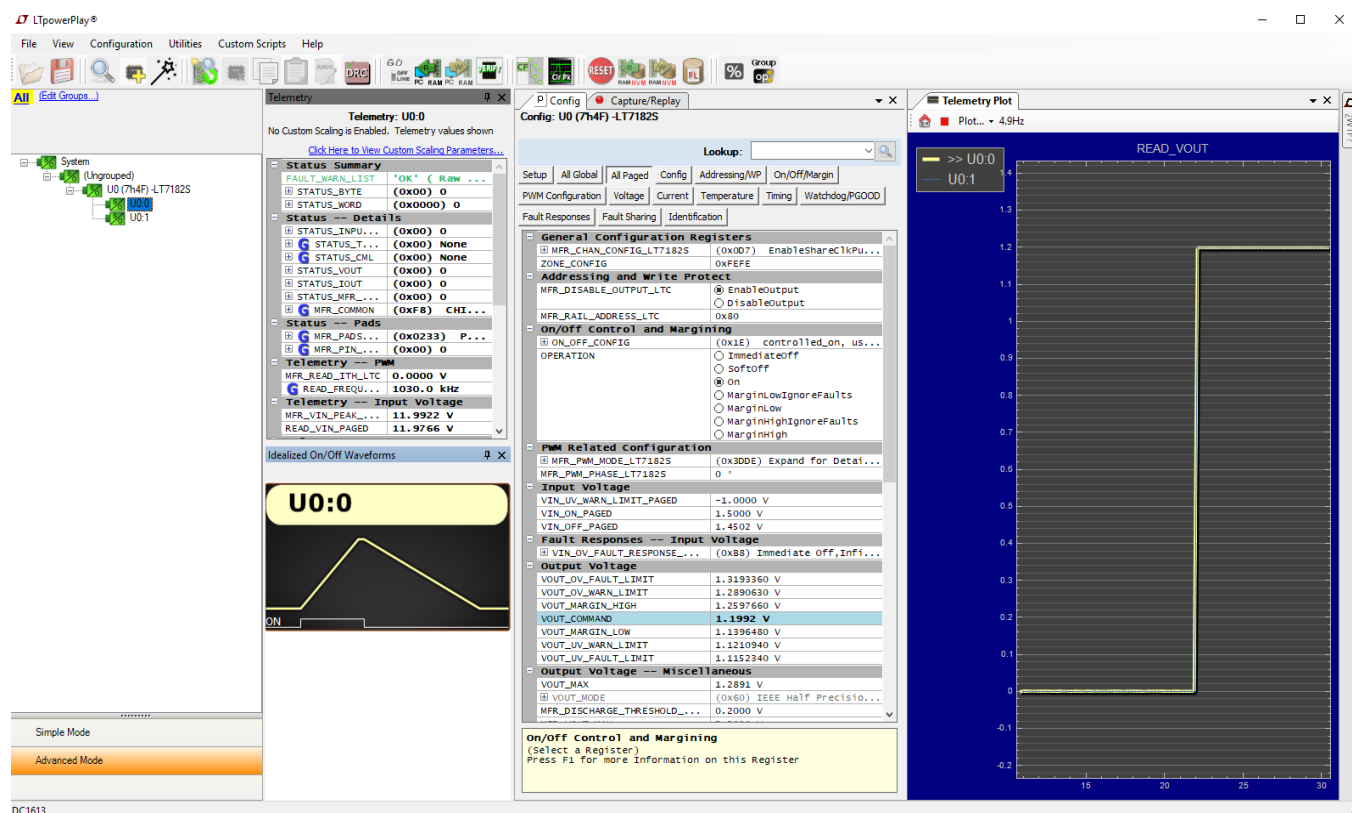


図9. LTpowerPlay GUIのスクリーン・ショット

PMBus コマンドの概要

PMBus/I²C シリアル・インターフェースの概要

このデータシートでは、LT7182S のシリアル・インターフェースを介して利用できる重要機能の概要を示しますが、すべての機能を網羅しているわけではありません。関連文書の LT7182S PMBus/I²C リファレンス・マニュアルには、使用可能なデジタル機能の詳細な説明が記載されています。サポートされている PMBus コマンドを以下の表に示します。

データ・フォーマットを示す略号についての説明は、このコマンド概要の末尾に記載されています。「デフォルト値」欄に示す浮動小数点値は半精度 IEEE 浮動小数点値です。ページ指定コマンドは選択したチャンネルのテレメトリを制御し、レポートします。詳細については、PMBus 仕様のリビジョン 1.3.1 を参照してください。

COMMAND NAME	CMD CODE	DESCRIPTION	TYPE	PAGED	DATA FORMAT	UNITS	EEPROM	DEFAULT VALUE
PAGE	0x00	Provides integration with multi-page PMBUS devices.	R/W Byte	N	Reg			0x00
OPERATION	0x01	Operating mode control. On/off, margin high and margin low.	R/W Byte	Y	Reg		Y	0x80
ON_OFF_CONFIG	0x02	RUN pin and PMBus bus on/off command configuration.	R/W Byte	Y	Reg		Y	0x1E
CLEAR_FAULTS	0x03	Clear any fault bits that have been set.	Send Byte	N				
PAGE_PLUS_WRITE	0x05	Write a command directly to a specified page.	W Block	N				

PMBus コマンドの概要

COMMAND NAME	CMD CODE	DESCRIPTION	TYPE	PAGED	DATA FORMAT	UNITS	EEPROM	DEFAULT VALUE
PAGE_PLUS_READ	0x06	Read a command directly from a specified page.	Block R/W	N				
ZONE_CONFIG	0x07	Assigns current page to specified zone number for ZONE_WRITE operations.	W Word	Y	Reg		Y	0xFEFE
ZONE_ACTIVE	0x08	Selects active zone for ZONE_WRITE operations.	W Word		Reg			0xFEFE
WRITE_PROTECT	0x10	Level of protection provided by the device against accidental changes.	R/W Byte	N	Reg		Y	0x00
STORE_USER_ALL	0x15	Store user operating memory to EEPROM.	Send Byte	N				
RESTORE_USER_ALL	0x16	Restore user operating memory from EEPROM.	Send Byte	N				
CAPABILITY	0x19	Summary of PMBus optional communication protocols supported by this device.	R Byte	N	Reg			0xD8
QUERY	0x1A	Asks if a given command is supported, and what data formats are supported.	Block R/W	N	Reg			
SMBALERT_MASK	0x1B	Masks ALERT activity.	Block R/W	Y	Reg		Y	
VOUT_MODE	0x20	Output voltage format and exponent.	R Byte	N	Reg			0x60
VOUT_COMMAND	0x21	Nominal output voltage set point.	R/W Word	Y	IEEE/UL16	V	Y	0.5 0x3800
VOUT_MAX	0x24	Upper limit on the commanded output voltage.	R/W Word	Y	IEEE/UL16	V	Y	0.537 0x384C
VOUT_MARGIN_HIGH	0x25	Margin high output voltage set point.	R/W Word	Y	IEEE/UL16	V	Y	0.525 0x3833
VOUT_MARGIN_LOW	0x26	Margin low output voltage set point.	R/W Word	Y	IEEE/UL16	V	Y	0.475 0x379A
VOUT_TRANSITION_RATE	0x27	Rate the output changes when V _{OUT} commanded to a new value.	R/W Word	Y	IEEE/L11	V/ms	Y	0.25 0x3400
FREQUENCY_SWITCH	0x33	Switching frequency of the regulator.	R/W Word	N	IEEE/L11	kHz	Y	1000.0 0x63D0
VIN_ON	0x35	Input voltage at which the unit should start power conversion.	R/W Word	Y	IEEE/L11	V	Y	Ch. 0: 1.5 0x3E00 Ch. 1: 1.4 0x3D9A
VIN_OFF	0x36	Input voltage at which the unit should stop power conversion.	R/W Word	Y	IEEE/L11	V	Y	Ch. 0: 1.45 0x3DCD Ch. 1: 1.35 0x3D66
VOUT_OV_FAULT_LIMIT	0x40	Output overvoltage fault limit.	R/W Word	Y	IEEE/L11	V	Y	0.55 0x3866
VOUT_OV_FAULT_RESPONSE	0x41	Action to be taken by the device when an output overvoltage fault is detected.	R/W Byte	Y	Reg		Y	0xB8
VOUT_OV_WARN_LIMIT	0x42	Output overvoltage warning limit.	R/W Word	Y	IEEE/L11	V	Y	0.537 0x384C
VOUT_UV_WARN_LIMIT	0x43	Output undervoltage warning limit.	R/W Word	Y	IEEE/L11	V	Y	0.467 0x3779
VOUT_UV_FAULT_LIMIT	0x44	Output undervoltage fault limit.	R/W Word	Y	IEEE/L11	V	Y	0.465 0x3771
VOUT_UV_FAULT_RESPONSE	0x45	Action to be taken by the device when an output undervoltage fault is detected.	R/W Byte	Y	Reg		Y	0x00
IOUT_OC_FAULT_RESPONSE	0x47	Action to be taken by the device when an output overcurrent fault is detected.	R/W Byte	Y	Reg		Y	0x00
IOUT_OC_WARN_LIMIT	0x4A	Output overcurrent warning limit.	R/W Word	Y	IEEE/L11	A	Y	8.0 0x4800
OT_FAULT_LIMIT	0x4F	Internal overtemperature fault limit.	R/W Word	N	IEEE/L11	C	Y	160.0 0x5900
OT_FAULT_RESPONSE	0x50	Action to be taken by the device when an internal overtemperature fault is detected.	R/W Byte	N	Reg		Y	0xC0
OT_WARN_LIMIT	0x51	Internal overtemperature warning limit.	R/W Word	N	IEEE/L11	C	Y	140.0 0x5860

PMBus コマンドの概要

COMMAND NAME	CMD CODE	DESCRIPTION	TYPE	PAGED	DATA FORMAT	UNITS	EEPROM	DEFAULT VALUE
VIN_OV_FAULT_RESPONSE	0x56	Action to be taken by the device when an input overvoltage fault is detected.	R/W Byte	Y	Reg		Y	0xB8
VIN_UV_WARN_LIMIT	0x58	Input supply undervoltage warning limit.	R/W Word	Y	IEEE/L11	V	Y	-1.0 0xBC00
IIN_OC_WARN_LIMIT	0x5D	Input supply overcurrent warning limit.	R/W Word	Y	IEEE/L11	A	Y	8.0 0x4800
TON_DELAY	0x60	Time from RUN and/or Operation on to output rail turn-on.	R/W Word	Y	IEEE/L11	ms	Y	0.0 0x0000
TON_RISE	0x61	Time from when the output starts to rise until the output voltage reaches the V _{OUT} commanded value.	R/W Word	Y	IEEE/L11	ms	Y	1.0 0x3C00
TON_MAX_FAULT_LIMIT	0x62	Maximum time from the start of TON_RISE for V _{OUT} to cross the VOUT_UV_FAULT_LIMIT.	R/W Word	Y	IEEE/L11	ms	Y	5.0 0x4500
TON_MAX_FAULT_RESPONSE	0x63	Action to be taken by the device when a TON_MAX_FAULT event is detected.	R/W Byte	Y	Reg		Y	0x00
TOFF_DELAY	0x64	Time from RUN and/or Operation off to the start of TOFF_FALL ramp.	R/W Word	Y	IEEE/L11	ms	Y	0.0 0x0000
TOFF_FALL	0x65	Time from when the output starts to fall until the output reaches zero volts.	R/W Word	Y	IEEE/	ms	Y	2.0 0x4000
TOFF_MAX_WARN_LIMIT	0x66	Maximum allowed time, after TOFF_FALL completed, for the unit to decay below MFR_DISCHARGE_THRESHOLD.	R/W Word	Y	IEEE/L11	ms	Y	0.0 0x0000
STATUS_BYTE	0x78	One byte summary of the unit's fault condition.	R/W Byte	Y	Reg			
STATUS_WORD	0x79	Two byte summary of the unit's fault condition.	R/W Word	Y	Reg			
STATUS_VOUT	0x7A	Output voltage fault and warning status.	R/W Byte	Y	Reg			
STATUS_IOUT	0x7B	Output current fault and warning status.	R/W Byte	Y	Reg			
STATUS_INPUT	0x7C	Input supply fault and warning status.	R/W Byte	Y	Reg			
STATUS_TEMPERATURE	0x7D	Internal temperature fault and warning status for READ_TEMPERATURE_1.	R/W Byte	N	Reg			
STATUS_CML	0x7E	Communication and memory fault and warning status.	R/W Byte	N	Reg			
STATUS_MFR_SPECIFIC	0x80	Manufacturer specific fault and state information.	R/W Byte	Y	Reg			
READ_VIN	0x88	Measured input supply voltage.	R Word	Y	IEEE/L11	V		
READ_IIN	0x89	Measured input supply current.	R Word	Y	IEEE/L11	A		
READ_VOUT	0x8B	Measured output voltage.	R Word	Y	IEEE/UL16	V		

PMBus コマンドの概要

COMMAND NAME	CMD CODE	DESCRIPTION	TYPE	PAGED	DATA FORMAT	UNITS	EEPROM	DEFAULT VALUE
READ_IOUT	0x8C	Measured output current.	R Word	Y	IEEE/L11	A		
READ_TEMPERATURE_1	0x8D	Measured internal temperature.	R Word	N	IEEE/L11	C		
READ_FREQUENCY	0x95	Measured PWM switching frequency.	R Word	Y	IEEE/L11			
READ_POUT	0x96	Calculated output power.	R Word	Y	IEEE/L11			
PMBUS_REVISION	0x98	PMBus revision supported by this device. Current revision is 1.3.	R Byte	N	Reg			0x33
MFR_ID	0x99	The manufacturer ID in ASCII.	R Block	N				"ADI"
MFR_MODEL	0x9A	The part number in ASCII.	R Block	N				"LT7182S"
MFR_REVISION	0x9B	Part revision number.	R Block	N				
MFR_SERIAL	0x9E	Unique part serial number.	R Block	N				
IC_DEVICE_ID	0xAD	Identification of the IC in ASCII.	R Block	N				"LT7182S"
IC_DEVICE_REV	0xAE	Revision of the IC.	R Block	N				
MFR_EE_UNLOCK	0xBD	Contact factory.						
MFR_EE_ERASE	0xBE	Contact factory.						
MFR_EE_DATA	0xBF	Contact factory.						
MFR_USER_DATA_00	0xC9	EEPROM word available for user.	R/W Word	N	Reg		Y	0x0000
MFR_USER_DATA_01	0xCA	EEPROM word available for user.	R/W Word	N	Reg		Y	0x0000
MFR_USER_DATA_02	0xCB	EEPROM word available for user.	R/W Word	N	Reg		Y	0x0000
MFR_USER_DATA_03	0xCC	EEPROM word available for user.	R/W Word	N	Reg		Y	0x0000
MFR_READ_EXTVCC	0xCD	Measured EXTV _{CC} voltage, when enabled.	R Word	N	IEEE/L11	V		
MFR_READ_ITH	0xCE	Measured I _{TH} voltage, when enabled.	R Word	Y	IEEE/L11	V		
MFR_CHAN_CONFIG_LT7182S	0xD0	Configuration bits that are channel specific.	R/W Word	Y	Reg		Y	Ch. 0: 0x00D7 Ch. 1: 0x0057
MFR_CONFIG_ALL_LT7182S	0xD1	General configuration bits.	R/W Word	N	Reg		Y	0x0100
MFR_FAULT_PROPAGATE_LT7182S	0xD2	Configuration that determines which faults are propagated to the FAULT pin.	R/W Word	Y	Reg		Y	0xE0D7
MFR_PWM_MODE_LT7182S	0xD4	Configuration for the PWM engine.	R/W Word	Y	Reg		Y	0x1DD4
MFR_FAULT_RESPONSE	0xD5	Action to be taken by the device when the FAULT pin is externally asserted low.	R/W Byte	Y	Reg		Y	0xC0
MFR_IOUT_PEAK	0xD7	Report the maximum measured value of READ_IOUT since last MFR_CLEAR_PEAKS.	R Word	Y	IEEE/L11	A		
MFR_ADC_CONTROL_LT7182S	0xD8	Configures the update rate of the measurements taken by the ADC.	R/W Byte	N	Reg		Y	0x00
MFR_RETRY_DELAY	0xDB	Retry interval during fault retry mode.	R/W Word	Y	IEEE/L11	ms	Y	10.0 0x4900
MFR_RESTART_DELAY	0xDC	Minimum time the RUN pin is held low by the LT7182S.	R/W Word	Y	IEEE/L11	ms	Y	10.0 0x4900
MFR_VOUT_PEAK	0xDD	Maximum measured value of READ_VOUT since last MFR_CLEAR_PEAKS.	R/W Word	Y	IEEE/UL16	V		
MFR_VIN_PEAK	0xDE	Maximum measured value of READ_VIN since last MFR_CLEAR_PEAKS.	R/W Word	Y	IEEE/L11	V		
MFR_TEMPERATURE_1_PEAK	0xDF	Maximum measured value of internal temperature (READ_TEMPERATURE_1) since last MFR_CLEAR_PEAKS.	R/W Word	N	IEEE/L11	C		
MFR_CLEAR_PEAKS	0xE3	Clears all peak values.	Send Byte	N				
MFR_DISCHARGE_THRESHOLD	0xE4	Output voltage used to determine output has decayed sufficiently to re-enable the channel.	R/W Word	Y	IEEE/L11		Y	0.2 0x3266
MFR_PADS_LT7182S	0xE5	Digital status of the I/O pads.	R Word	N	Reg			
MFR_ADDRESS	0xE6	Sets the 7-bit I ² C address byte.	R/W Word	N	Reg		Y	0x4F
MFR_SPECIAL_ID	0xE7	ID code used by manufacturer.	R Word	N	Reg			0x1C1D
MFR_FAULT_LOG_TIMESTAMP_MSBS	0xE8	Sets the fault log timestamp upper 13 bits, clears lower 32 (read and write first)	R/W 32	N				
MFR_FAULT_LOG_TIMESTAMP_LSBS	0xE9	Sets the fault log timestamp lower 32 bits.	R/W 32	N				

PMBus コマンドの概要

COMMAND NAME	CMD CODE	DESCRIPTION	TYPE	PAGED	DATA FORMAT	UNITS	EEPROM	DEFAULT VALUE
MFR_FAULT_LOG_STORE	0xEA	Force a fault log entry to be written.	Send Byte	N				
MFR_FAULT_LOG_CLEAR	0xEC	Erases all fault log entries, if any.	Send Byte	N				
MFR_FAULT_LOG	0xEE	Read contents of fault log, if any.	R Block	N	Reg			
MFR_COMMON	0xEF	Manufacturer status bits that are common across multiple ADI chips.	R Byte	N	Reg			
MFR_COMPARE_USER_ALL	0xF0	Compares current command contents with EEPROM.	Send Byte	N				
MFR_CHANNEL_STATE	0xF1	Returns the state of the channel.	R Byte	Y	Reg			
MFR_PGOOD_DELAY	0xF2	Time output voltage must be between UV and OV before PGOOD transitions high.	R/W Word	Y	IEEE/L11	ms	Y	1.0 0x3C00
MFR_NOT_PGOOD_DELAY	0xF3	Time output voltage must be below UV or above OV before PGOOD transitions low.	R/W Word	Y	IEEE/L11	ms	Y	0.1 0x2E66
MFR_PWM_PHASE_LT7182S	0xF5	Set PWM phase.	R/W Word	Y	IEEE/L11	Degrees	Y	Ch. 0: 0.0 0x0000 Ch. 1: 180.0 0x59A0
MFR_SYNC_CONFIG_LT7182S	0xF6	SYNC pin input/output configuration.	R/W Byte	N	Reg		Y	0x00
MFR_PIN_CONFIG_STATUS	0xF7	Pin configuration fault status.	R Byte	N	Reg			
MFR_RAIL_ADDRESS	0xFA	Common address for PolyPhase outputs to adjust common parameters.	R/W Byte	Y	Reg		Y	0x80
MFR_DISABLE_OUTPUT	0xFB	Disables regulator outputs until reset.	R/W Byte	N	Reg			0x00
MFR_EE_USER_WP	0xFC	Disables commands that write user NVM.	R/W Byte	N	Reg		Y	0x00
MFR_RESET	0xFD	Commanded reset without requiring a power down.	Send Byte	N				

PMBus コマンドの概要

Abbreviations of Supported Data Formats

	PMBus		DEFINITION	EXAMPLE
	TERMINOLOGY	SPECIFICATION REFERENCE		
L11	Linear11	Rev 1.3.1 Part II 7.3	Floating point 16-bit data: value = $Y \cdot 2^N$, where N = b[15:11] and Y = b[10:0], both two's complement binary integers.	b[15:0] = 0x9807 = $7 \cdot 2^{-13} = 8.54 \cdot 10^{-4}$
UL16	ULinear16	Rev 1.3.1 Part II 8.4.1.1	Fixed point 16-bit data: value = $Y \cdot 2^{-12}$, where Y = b[15:0], an unsigned integer.	b[15:0] = 0x4C00 = $19456 \cdot 2^{-12} = 4.75$
Reg			Per-bit meaning defined in command description in the LT7182S PMBus/I ² C Reference Manual	PMBus STATUS_BYTE command.
IEEE	IEEE-754 Half Precision Floating Point	Rev 1.3.1 Part II 8.4.4	Floating point 16-bit data: for normal values, $\text{value} = (-1)^S \cdot 2^{N-15} \cdot \left(1 + \frac{M}{1024}\right)$, where S = b[15], N = b[14:10], M = b[9:0].	$\text{b}[15:0] = 0x4580 = (-1)^0 \cdot 2^{17-15} \cdot \left(1 + \frac{384}{1024}\right) = 5.5$

ボード・レイアウト時の考慮事項

レイアウト時の考慮事項

LT7182S の PV_{IN} ピンと GND ピン、および入力コンデンサには大きいスイッチ電流が流れるので注意が必要です。入力コンデンサによって形成されるループは、PV_{IN} ピンと PGND ピンに隣接させてコンデンサを置くことにより、できるだけ小さくする必要があります。

入力コンデンサは、インダクタや出力コンデンサと共に回路基板の同じ側に配置し、その接続も同じ層上で行います。局所的な切れ目のないグラウンド・プレーンを、表面層に最も近い層にあるアプリケーション回路の下に配置してください。SGND は、SGND ピンに隣接する LT7182S 直下の基板のグラウンドに、1箇所だけで接続する必要があります。

SW および BOOST ノードは、できるだけ小さくする必要があります。

PCB レイアウトに関する詳細と PCB 設計ファイルについては、LT7182S のデモ・ボード・ガイドを参照してください。

熱に対する考慮事項

LT7182S の良好な放熱を実現するには、PCB のレイアウトに注意を払う必要があります。パッケージ底面にあるグラウンド・ピンは、グラウンド・プレーンにハンダ付けする必要があります。このグラウンド・プレーンは、その下にある広い銅層にサーマル・ビアで接続してください。これらの層は LT7182S が発生する熱を拡散します。ビアを追加すれば、更に熱抵抗を小さくすることができます。最大負荷電流は、周囲温度が最大ジャンクション温度定格値に近づくに従ってディレーティングする必要があります。

LT7182S の温度上昇が最も大きくなるのは、高負荷、高 V_{IN}、高スイッチング周波数の状態で動作させた場合です。与えられたアプリケーションにおけるケース温度が高すぎる場合は、V_{IN}、スイッチング周波数、負荷電流のいずれかを減らせば、温度を許容可能なレベルまで下げることが出来ます。

LT7182S の内部ジャンクション温度は、READ_TEMPERATURE_1 コマンドによってレポートされます。

ボード・レイアウト時の考慮事項

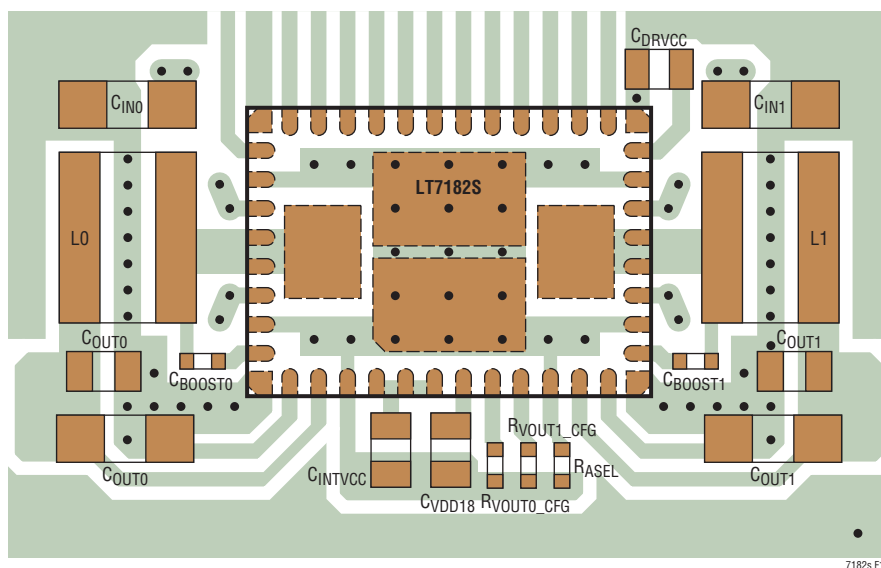
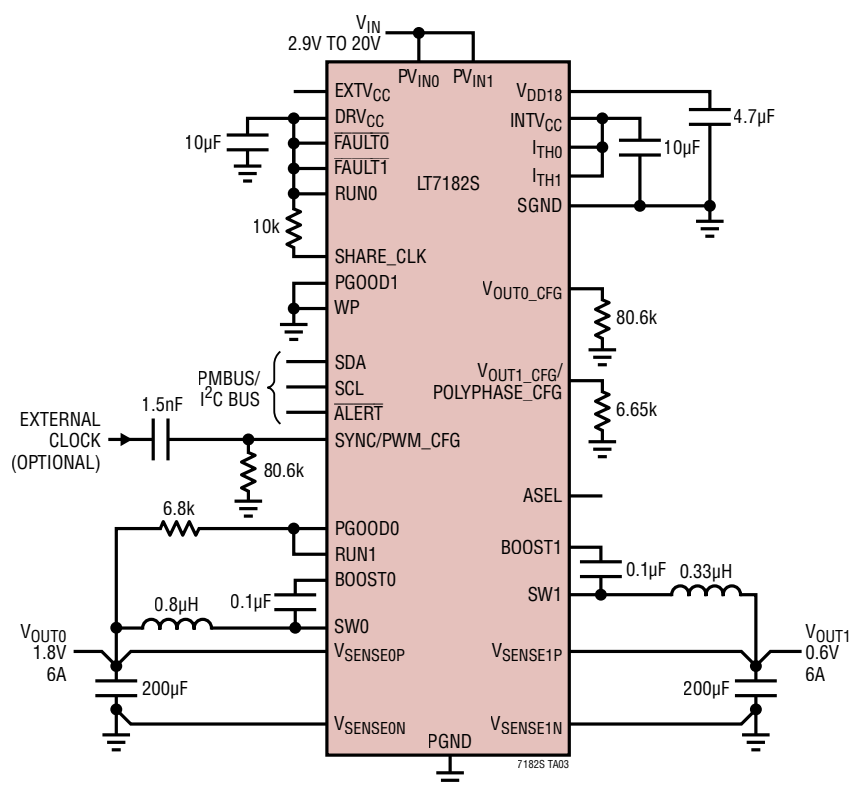


図 10. 推奨PCBレイアウト

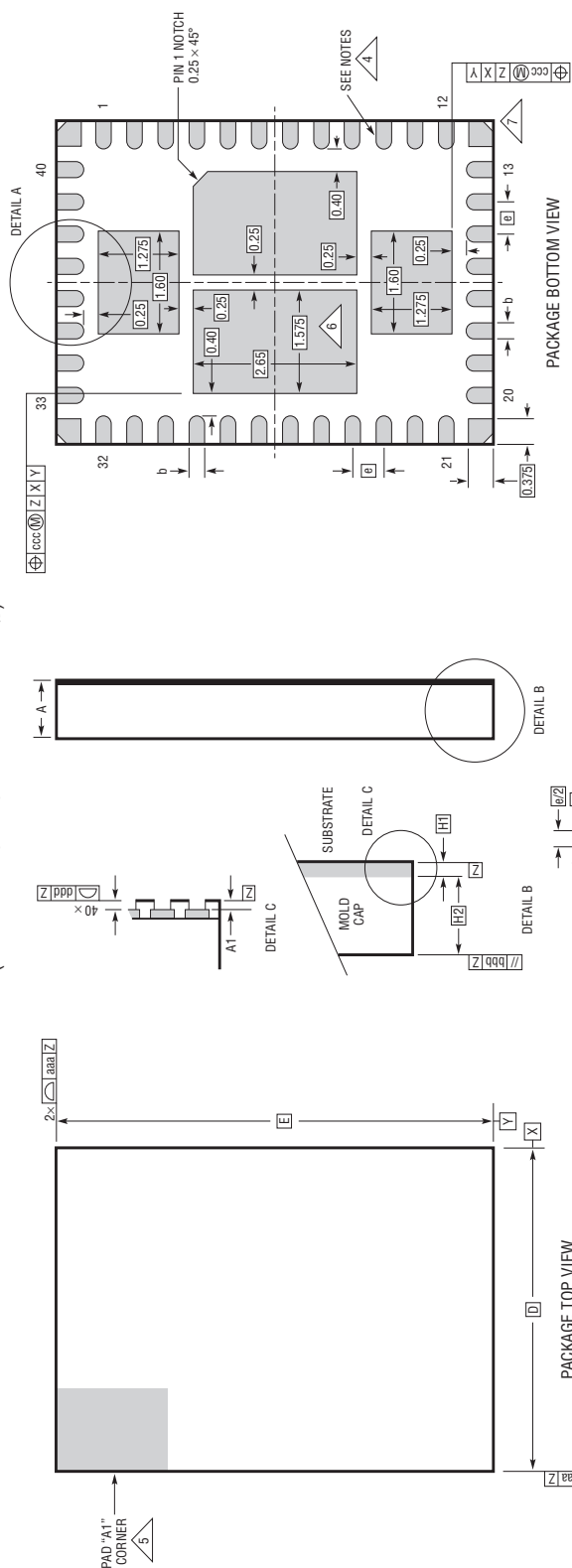
標準的応用例

ピンストラップ出力シーケンシングの1.8V/0.6V 1MHz 6Aレギュレータ



パッケージの説明

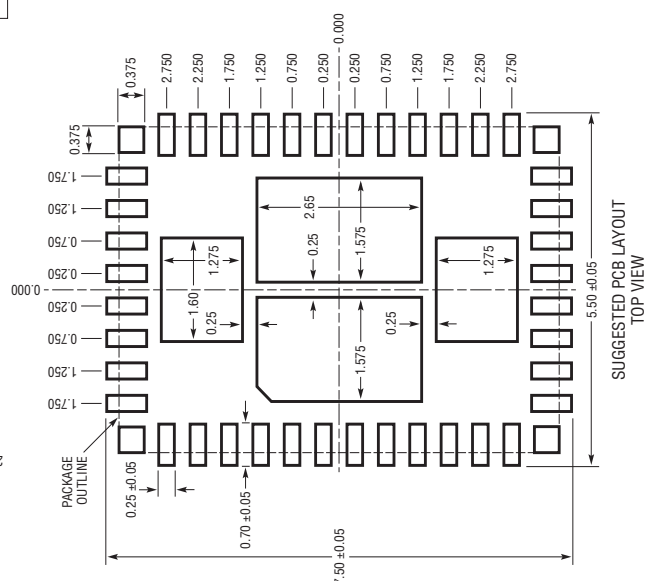
LQFN Package
40-Lead (7mm × 5mm × 0.9mm)
(Reference LTC DWG # 05-08-1607 Rev 0)



NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
2. ALL DIMENSIONS ARE IN MILLIMETERS
3. PRIMARY DATUM - Z- IS SEATING PLANE
4. METAL FEATURES UNDER THE SOLDER MASK OPENING NOT SHOWN SO AS NOT TO OBSCURE THESE TERMINALS AND HEAT FEATURES
5. DETAILS OF PAD #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PAD #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
6. THE EXPOSED HEAT FEATURE IS SEGMENTED AND ARRANGED IN A MATRIX FORMAT. IT MAY HAVE OPTIONAL CORNER RADI ON EACH SEGMENT
7. CORNER SUPPORT PAD CHAMFER IS OPTIONAL

DIMENSIONS					NOTES
S'YMBOL	MIN	NOM	MAX		
A	0.80	0.90	1.00		
A1	0.02	0.03	0.04		
L	0.30	0.40	0.50		
b	0.22	0.25	0.28		
D		5.00			
E		7.00			
e		0.50			
H1		0.20			
H2		0.70			
aaa			0.10		
bbb			0.10		
ccc			0.10		
ddd			0.10		
eee			0.15		
fff			0.08		

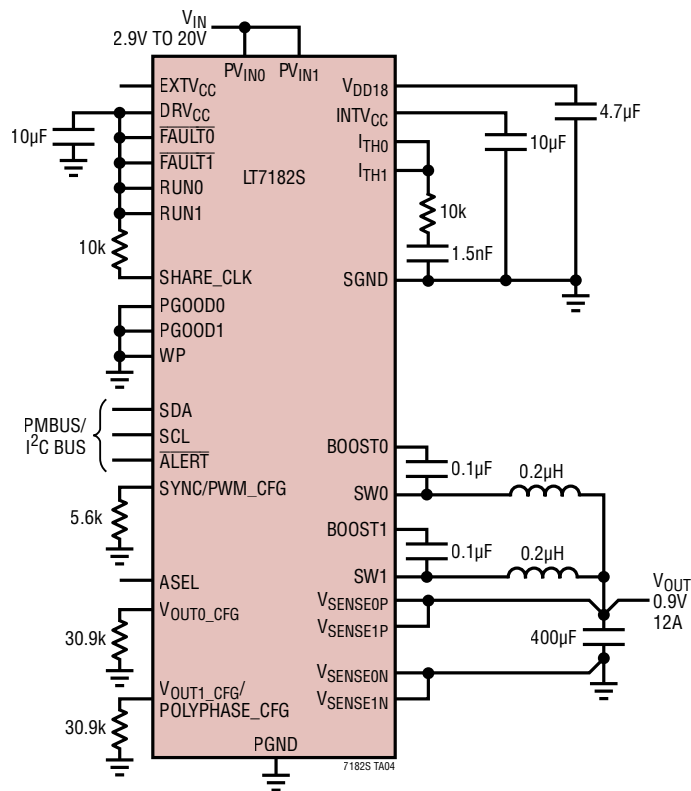


QFN 40 0118 REV Ø

PACKAGE IN TRAY LOADING ORIENTATION

標準的応用例

2相0.9V 2MHz 12Aレギュレータ



関連製品

製品番号	概要	注釈
LT8652S	静止電流16μAのデュアル・チャンネル8.5A 18V同期整流式降圧 Silent Switcher 2	V_{IN} : 3V~18V、 $V_{OUT(MIN)}$ = 0.6V、4mm × 6mm LQFN-32パッケージ
LT8642S	18V/10A同期整流式降圧 Silent Switcher 2	V_{IN} : 3V~18V、 $V_{OUT(MIN)}$ = 0.6V、4mm × 4mm LQFN-24パッケージ
LTC7150S	20V/20A同期整流式降圧 Silent Switcher 2	V_{IN} : 3.1V~20V、 $V_{OUT(MIN)}$ = 0.6V、5mm × 6mm BGA-42パッケージ
LTC7151S	20V/15A同期整流式降圧 Silent Switcher 2	V_{IN} : 3.1V~20V、 $V_{OUT(MIN)}$ = 0.6V、4mm × 5mm LQFN-28パッケージ
LTC3636	デュアル・チャンネルの6A 20Vモノリシック同期整流式降圧レギュレータ	V_{IN} : 3.1V~20V、 $V_{OUT(MIN)}$ = 0.6V、4mm × 5mm QFN-28パッケージ
LT8650S	静止電流6.2μAのデュアル・チャンネル4A 42V同期整流式降圧 Silent Switcher 2	V_{IN} : 3V~42V、 $V_{OUT(MIN)}$ = 0.8V、4mm × 6mm LQFN-32パッケージ
LT8640S	静止電流2.5μAの42V/6A同期整流式降圧 Silent Switcher 2	V_{IN} : 3.4V~42V、 $V_{OUT(MIN)}$ = 0.97V、4mm × 4mm LQFN-24パッケージ
LTC3887	デジタル・パワー・システム・マネージメント機能を搭載したデュアル出力PolyPhase降圧DC/DCコントローラ	4.5V ≤ V_{IN} ≤ 24V、0.5V ≤ V_{OUT} ≤ 5.5V、 V_{OUT} 精度: ±0.5%、EEPROMおよび16ビットADCとのI ² C/PMBusインターフェース
LTM4700	デジタル・パワー・システム・マネージメント機能を備えたデュアル50A/シングル100A降圧DC/DC μModuleレギュレータ	4.5V ≤ V_{IN} ≤ 16V、0.5V ≤ V_{OUT} ≤ 1.8V、 V_{OUT} 精度: ±0.5%、I ² C/PMBusインターフェース、15mm × 22mm × 7.87mm BGAパッケージ、PMBusインターフェース、16mm × 16mm × 5.01mm BGAパッケージ