

5V、±25A 高効率 Silent Switcher® (サイレント・スイッチャ) 2 降圧レギュレータ

特長

- ▶ Silent Switcher®2 アーキテクチャ
 - ▶ 超低 EMI
 - ▶ PCB レイアウト感度の影響を排除
 - ▶ 内蔵バイパス・コンデンサが放射 EMI を低減
- ▶ V_{IN} : 2.7V~5V, PV_{IN} : 1.5V~5V
- ▶ V_{OUT} : 0.5V~0.9 $\cdot V_{IN}$
- ▶ 正確なリファレンス : 全温度範囲で 0.5V \pm 0.8%
- ▶ 内蔵 N-MOSFET : 1.8m Ω /0.7m Ω
- ▶ 15ns の最小オン時間 : 低デューティサイクル動作
- ▶ 差動 V_{OUT} リモート検出
- ▶ 設定可能な固定出力オプシオン
- ▶ プログラマブルな負荷ライン (3つの設定)
- ▶ プログラマブルな電流制限 (3つの設定)
- ▶ プログラマブル、同期可能 : 400kHz~5MHz
- ▶ Discontinuous Mode® (不連続モード、DCM) または強制連続モード (FCM) 動作を選択可能
- ▶ 制御 TON、電流モード : 優れた過渡特性
- ▶ パワー・グッド・ステータス、出力トラッキング、クロック出力
- ▶ スペクトラム拡散動作をサポート
- ▶ PolyPhase 動作 : 2、3、4、6、8、12 相
- ▶ 36 ピン (4mm \times 7mm) 背面露出 LQFN パッケージ

アプリケーション

- ▶ 光学モジュール・アプリケーション
- ▶ 分散型電源システム、サーバー電源
- ▶ ポイントオブロード電源 (ASIC、FPGA、DSP、 μ P)

代表的なアプリケーション回路

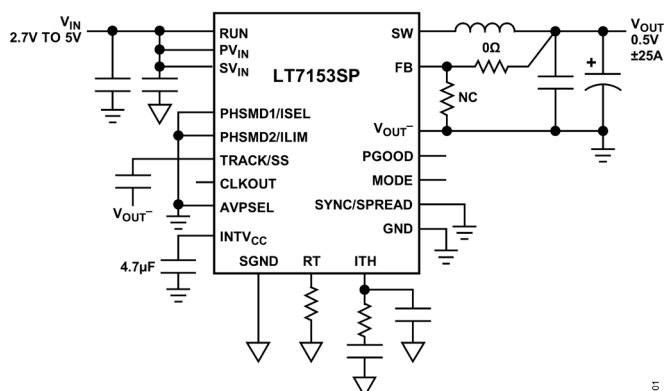


図 1. 0.5V、±25A 降圧レギュレータ

概要

LT7153SP は、負荷に±25A を供給できる高効率モノリシック同期整流式 Silent Switcher® (サイレント・スイッチャ) 2 降圧レギュレータです。独自の固定周波数、オン時間制御、電流モードのアーキテクチャは、高周波数で動作し、高速過渡応答を必要とする高降圧比アプリケーションに最適です。PolyPhase 動作により、複数の LT7153SP レギュレータを位相をずらして動作させることができるため、必要な入力コンデンサと出力コンデンサの量が削減されると共に、並列接続によってより高い出力電流が得られます。動作電源電圧範囲は 2.7V~5V です。

動作周波数は、400kHz~5MHz の範囲で外部抵抗を用いてプログラム可能であり、また、外部クロック信号への同期もできます。高周波機能により、物理的に小さいインダクタとコンデンサを使用できます。

LT7153SP パッケージは、第 2 世代の Silent Switcher アーキテクチャを採用しており、高いスイッチング周波数で高い効率を実現しながら EMI 放出を最小限に抑えることができます。このデバイスには、高周波電流ループを最適化するためのバイパス・コンデンサが内蔵されており、レイアウト感度を低減することで、規定された EMI 性能の実現を容易にしています。また、ヒート・シンクの取り付け用に背面が露出しており、これにより熱性能を大幅に向上させることができます。

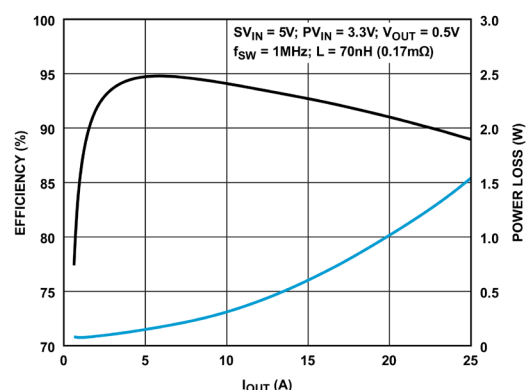


図 2. 効率と電力損失 (1MHz)

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1
アプリケーション	1
概要	1
代表的なアプリケーション回路	1
改訂履歴	3
仕様	4
絶対最大定格	7
ピン配置およびピン機能の説明	8
代表的な性能特性	11
ブロック図	15
動作原理	16
メイン制御ループ	16
低 I_Q シャットダウン (RUN)	16
INTV _{CC} レギュレータとバイパス・コンデンサ	16
調整可能な電流制限	17
過電流保護と短絡保護	17
マルチフェーズ動作	17
パワー・グッド・ステータス出力	17
V _{IN} 過電圧保護	17
選択可能な負荷ライン (AVPSEL)	17
MODE、SYNC、スペクトラム拡散動作	17
アプリケーション情報	18
Silent Switcher アーキテクチャ	18
スイッチング周波数の設定	18
出力電圧の設定	18
ソフトスタートおよび出力電圧 TRACK	19
インダクタの選択	19
入力コンデンサ (C _{IN}) の選択	20
出力コンデンサ (C _{OUT}) の選択	20
入出力セラミック・コンデンサの使用	21
最小オフ時間と最小オン時間に関する考慮事項	21
マルチフェーズ構成	22
ITH 補償	23
過渡応答のチェック	23

熱的条件.....	24
効率に関する考慮事項	24
設計例.....	25
ボード・レイアウト時の考慮事項	26
代表的なアプリケーション	27
外形寸法.....	28
オーダー・ガイド.....	29
関連製品.....	30

改訂履歴

版数	改訂日	説明	改訂ページ
0	05/25	初版発行	–
A	07/25	図番号を図 31 から図 24 に更新	24

仕様

表 1. 電気的特性

(特に指定のない限り、各仕様は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ における値。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Supply Voltage Range	SV _{IN}	-40°C ≤ T _J ≤ 125°C		2.7		5	V
	PV _{IN}			1.5		5	
V _{OUT} Operating Voltage	V _{OUT}	R _{RT} = 100kΩ		0.5		0.9V _{IN}	V
Supply Operating Current ²	I _{Q (ACT)}	Active, No-Load R _{RT} = 100kΩ, MODE/SYNC = 0			1.5	3	mA
Supply Shutdown Current ²	I _{Q (SHDN)}	V _{RUN} = 0V				5	μA
V _{IN} OV Threshold	V _{IN-OV}	Rising			8.0		V
		Falling			7.5		
RUN Threshold	V _{RUN}	Rising		1.13	1.18	1.23	V
	V _{RUN_Hys}	Hysteresis			80		mV
INTV _{cc} Regulated Voltage	V _{INTVCC}	SV _{IN} > 4V		3.45	3.6	3.75	V
INTV _{cc} UVLO	V _{UVLO}	Rising			2.55	2.65	V
		Falling			2.4		
BUCK Regulator Loop							
FB regulation Voltage ³	V _{FB}	ITH = 1V	-40°C ≤ T _J ≤ 125°C	496	500	504	mV
FB Line and Load Regulation ³	ΔV _{FB(LINE+LOAD)}	AVPSEL = 0V	-40°C ≤ T _J ≤ 125°C		0.05	0.3	%
		AVPSEL = Float, ITH > 1V			1		
		AVPSEL = INTV _{cc} , ITH > 1V			1.5		
FB Pin Input Current	I _{FB}	-40°C ≤ T _J ≤ 125°C		-50		50	nA
Error Amplifier gm	GM _(EA)	ITH = 1V		0.85	1	1.15	mS
Minimum On-Time	t _{ON(MIN)}	-40°C ≤ T _J ≤ 125°C			15	25	ns
Minimum Off-Time	t _{OFF(MIN)}				30		ns
Positive Inductor Valley Current Limit ⁴	I _{LIM-POS}	FB = 0.48V		20	25	30	A
Current Threshold vs. ITH Voltage	I _{LIM-ITH}	ITH = 1.3V			25		A
		ITH = 1.0V			0		
		ITH = 0.7V			-25		
Negative Inductor Valley Current Limit	I _{LIM-NEG}	FB = 0.52V			-60		A
Top Power NMOS On Resistance	R _{ON-TOP}	INTV _{cc} = 3.6V			1.8		mΩ
Bottom Power NMOS On Resistance	R _{ON-BOT}	INTV _{cc} = 3.6V			0.7		mΩ
Top Switch Leakage	I _{SW-TOP}	V _{IN} = 5V, V _{SW} = 0V			0.5		μA
Bottom Switch Leakage	I _{BOT-TOP}	V _{IN} = 5V, V _{SW} = 5V			1		μA

(特に指定のない限り、各仕様は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ における値。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Oscillator						
Oscillator Frequency	f _{OSC}	R _{RT} = 232kΩ	0.4			MHz
		R _{RT} = 100kΩ	0.85	1	1.15	
		R _{RT} = 20kΩ	5			
SYNC Input Range	f _{SYNC}	% of programmed frequency	±30			%
MODE, SYNC/SPREAD Threshold	V _{IL(MODE)} V _{IL(SYNC/SPREAD)}	MODE or SYNC/SPREAD LOW	0.3			V
	V _{IH(MODE)} V _{IH(SYNC/SPREAD)}	MODE or SYNC/SPREAD HIGH	1.0			
MODE, SYNC/SPREAD Currents	I _{MODE} I _{SYNC/SPREAD}	MODE = 0, SYNC = 0V	6 14			μA
CLKOUT Threshold	V _{IL(CLKOUT)}	CLKOUT High	V _{INTVCC} - 0.2			V
	V _{IH(CLKOUT)}	CLKOUT Low	0 0.2			
Phasing						
SYNC to Oscillator	ϕ _(SYNC to OSC)	PHSMD1 = 0, PHSMD2 = 0	0			Degree
		PHSMD1 = INTV _{cc} , PHSMD2 = 0	0			
		PHSMD1 = 0, PHSMD2 = INTV _{cc} /2	-30			
		PHSMD1 = INTV _{cc} , PHSMD2 = INTV _{cc} /2	-45			
		PHSMD1 = 0, PHSMD2 = INTV _{cc}	-60			
		PHSMD1 = INTV _{cc} , PHSMD2 = INTV _{cc}	-90			
Oscillator to CLKOUT	ϕ _(OSC to CLKOUT)	PHSMD1 = 0, PHSMD2 = 0	180			Degree
		PHSMD1 = INTV _{cc} , PHSMD2 = 0	120			
		PHSMD1 = 0, PHSMD2 = INTV _{cc} /2	180			
		PHSMD1 = INTV _{cc} , PHSMD2 = INTV _{cc} /2	180			
		PHSMD1 = 0, PHSMD2 = INTV _{cc}	120			
		PHSMD1 = INTV _{cc} , PHSMD2 = INTV _{cc}	180			
AVPSEL, PHSMD1, PHSMD2, Threshold	V _{IH}	AVPSEL, PHSMD1, PHSMD2 High	V _{INTVCC} - 0.2			V
AVPSEL, PHSMD1, PHSMD2 Threshold	V _{IL}	AVPSEL, PHSMD1, PHSMD2 Low	0.2			V
ILIM						
Reduced Max Current Limit	I _{LIM55}	PHSMD1 = INTV _{cc} /2, PHSMD2 = 0	14			A
	I _{LIM70}	PHSMD1 = INTV _{cc} /2, PHSMD2 = INTV _{cc}	18			
Power Good						
PGOOD Over Voltage Threshold	OV	V _{FB} Rising	4	6.5	9	%
		V _{FB} Hysteresis (Falling)	1.5			
PGOOD Under Voltage Threshold	UV	V _{FB} Falling	-9	-6.5	-4	%
		V _{FB} Hysteresis (Rising)	1.5			

(特に指定のない限り、各仕様は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ における値。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
PGOOD Leakage Current	I _{PGOOD}				0.5	μA
PGOOD Pull-Down Resistance	R _{PGOOD}	V _{PG} = 0.1V		5		Ω
PGOOD Delay	P _{G(Delay)}	PGOOD Low to High		6		Cycles
		PGOOD High to Low		25		
Track/Soft-Start						
Source Current	I _{TRACK/SS}	V _{TRACK/SS} = 0V		10	15	μA
Pull-Down Resistance	R _{TRACK/SS}	V _{TRACK/SS} = 0.1V		2500		Ω

¹ LT7153SP は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲における仕様は、設計、特性評価、および統計のプロセス制御との相関付けによって確認されています。LT7153SP の動作は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作ジャンクション温度範囲全体にわたって確保されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。ジャンクション温度 (T_J , $^\circ\text{C}$) は、次式を使って周囲温度 (T_A , $^\circ\text{C}$) と消費電力 (P_D , ワット) から計算します。

$T_J = T_A + (P_D \cdot \theta_{JA})$ 、ここで、 θ_{JA} ($^\circ\text{C/W}$) はパッケージの熱抵抗です。

² 不連続モード時の静止電流には、パワーFET のスイッチング損失は含まれていません。

³ V_{FB} は、仕様規定されている電圧に V_{ITH} をサーボ制御する帰還ループ内で測定されます。

⁴ インダクタは、アプリケーションにおいてピーク・インダクタ電流が 39A を超過しないように選択する必要があります。

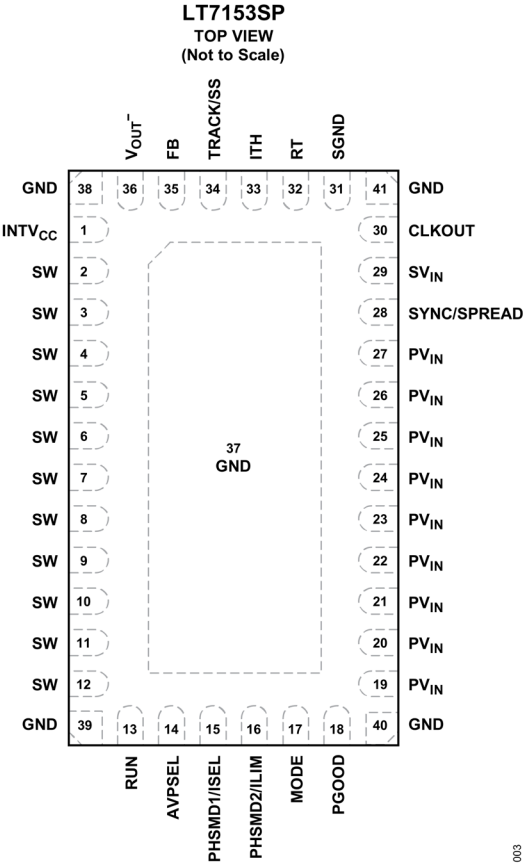
絶対最大定格

表 2. 絶対最大定格

PARAMETER	RATING
SV_{IN} , PV_{IN} , SW	-0.3V to 5.5V
RUN, PGOOD, TRACK	-0.3V to 5.5V
MODE, SYNC/SPREAD	-0.3V to $INTV_{CC} + 0.3V$
FB, ITH, RT	-0.3V to $INTV_{CC} + 0.3V$
PHSMD1/ISEL, PHSMD2/ILIM, CLKOUT, AVPSEL	-0.3V to $INTV_{CC} + 0.3V$
VOUT-	-0.3V to 0.3V
Operating Junction Temperature Range	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Maximum Internal Temperature	125°C
Peak Reflow Solder Body temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ピン配置およびピン機能の説明



LQFN PACKAGE
36-LEAD (4mm x 7mm x 1.02mm)
T_{JMAX} = 125 °C, θ_{JA} = 15.8°C/W (BASED ON DEMOBOARD), θ_{JCtop} = 0.4°C/W, θ_{JCbot} = 3.4°C/W
EXPOSED PAD (PIN 37) AND CORNER PINS (38~41) ARE GND, MUST BE SOLDERED TO PCB

図 3. ピン配置

表 3. 端子説明

端子	名称	説明
1	INTV _{CC}	内部 3.6V レギュレータ出力。内部パワー・ドライバおよび制御回路には、この電圧から給電されます。このピンは、4.7μF 以上の低 ESR セラミック・コンデンサを用いて電源グラウンドとデカップリングします。
2-12	SW	外付けインダクタへのスイッチ・ノードの接続。SW の電圧振幅は、グラウンドからダイオード電圧を差し引いた電圧から PV _{IN} よりダイオード電圧分だけ高い電圧までです。
13	RUN	ロジック制御の RUN 入力。このピンはフロート状態のままにしないでください。ロジック・ハイで降圧レギュレータが起動します。
14	AVPSEL	このピンを使用して 3 通りの負荷ラインから選択します。GND に接続 : 0.2%、フローティング : 1%、INTV _{CC} : 1.5%
15	PHSMD1/ ISEL	位相セクタと ILIM オプションの制御入力。このピンがハイまたはローである場合は、PHSMD2/ILIM ピンの状態との組み合わせで、SYNC と内部発振器の間の位相関係、内部発振器と CLKOUT の位相関係が決定します。このピンを中間レール (1/2 INTV _{CC}) にフロートすると、PHSMD2/ILIM を使用して 3 つの低い ILIM 設定の中から選択できます。
16	PHSMD2/ ILIM	位相セクタと ILIM 設定の制御入力。PHSMD1/ISEL をハイまたはローである場合は、このピンと PHSMD1/ILIM との組み合わせで、SYNC と内部発振器の間の位相関係、内部発振器と CLKOUT の位相関係が決定します。PHSMD1/ISEL を中間レール (1/2 INTV _{CC}) にフロートすると、このピンを使用して 3 つの低い ILIM 設定の中から選択できます。
17	MODE	モード選択ピン。MODE を GND に接続すると、不連続モードで動作します。MODE をフロート状態にするか 1V を超える電圧に接続すると、強制連続モードが選択されます。
18	PGOOD	オープン・ドレイン・ロジックの出力パワー・グッド。FB ピンの電圧が内部 0.5V リファレンスの±6.5% から外れると、PGOOD はグラウンドに引き下げられます。
19-27	PV _{IN}	電源 V _{IN} 。内蔵パワーMOSFET への入力電圧。
28	SYNC/ SPREAD	スペクトラム拡散選択と発振器同期ピン。SYNC/SPREAD を GND に接続するとスペクトラム拡散動作がディスエーブルされ、INTV _{CC} に接続するかフローティングにするとスペクトラム拡散が開始します。外部クロックに接続すると、システム・クロックが外部クロックに同期し、デバイスは強制連続モードになります。
29	SV _{IN}	信号 V _{IN} 。3.6V 内蔵レギュレータへのフィルタ処理された入力電圧。2.2Ω の抵抗と 10μF のセラミック・コンデンサの直列接続を介して SV _{IN} ピンに信号をバイパス接続します。
30	CLKOUT	PolyPhase 動作用のクロック信号出力。SYNC を基準とする CLKOUT の位相は、PHSMD1 ピンと PHSMD2 ピンの状態によって決まります。CLKOUT のピーク to ピーク振幅は INTV _{CC} ~ GND です。位相誤差を低減するため、このピンの寄生容量は最小限にします。RUN がローのとき、このピンはデフォルトでハイになります。
31	SGND	信号グラウンド用のグラウンド。
32	RT	スイッチング周波数の設定ピン。このピンと GND の間に外付け抵抗を接続すると、周波数を 400kHz ~ 5MHz の範囲で設定できます。

33	ITH	エラー・アンプの出力およびスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ閾値は、この電圧と線形に比例します。この電圧の通常の範囲は 0.3V~1.3V です。
34	TRACK/SS	出力トラッキングおよびソフトスタート・ピン。出力電圧の立ち上がり時間を制御できます。V _{OUT-} を基準に 0V~0.5V の範囲の電圧をこのピンに接続すると、内部リファレンス入力をエラー・アンプにバイパスします。それ以外の場合、V _{OUT-} 電圧を基準としてこの電圧に FB ピンがサーボ制御されます。INTV _{CC} ピンからこのピンに 10μA の内部プルアップ電流が流れるため、このピンと V _{OUT-} の間にコンデンサを接続することによりソフトスタート機能を実現できます。
35	FB	降圧レギュレータのエラー・アンプへの帰還入力。帰還抵抗分圧器の midpoint のタップをこのピンに接続します。出力は 0.5V~4.5V の範囲で調節可能です。
36	V _{OUT-}	出力レールの負側リターン。PCB の金属パターンでの電圧降下による誤差を最小化するため、負荷の近くに配置したリモート出力コンデンサの下側端子に直接接続します。
37	GND	露出パッド (EP) 。
38-41		コーナー・グラウンド・ピン。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 3.3\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 。

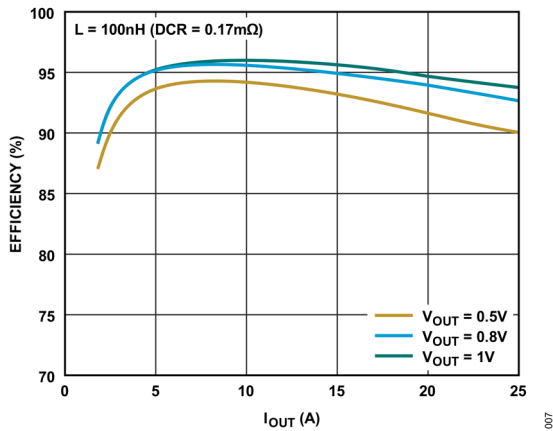


図 4. 効率と負荷電流の関係 (500kHz)

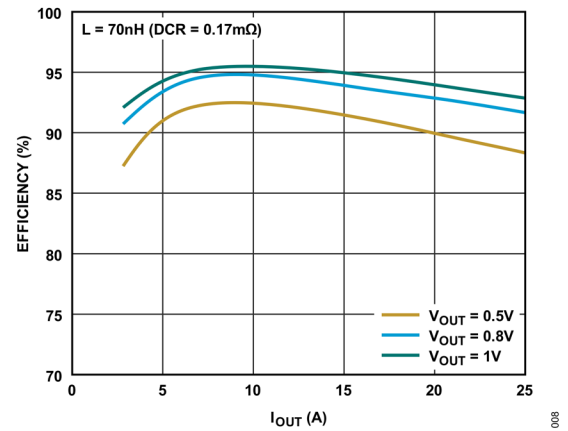


図 5. 効率と負荷電流の関係 (1MHz)

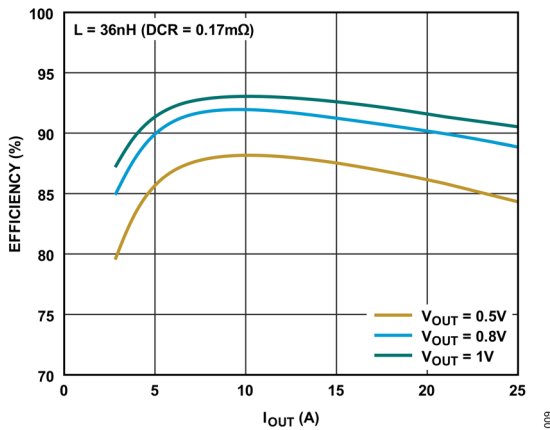


図 6. 効率と負荷電流の関係 (2MHz)

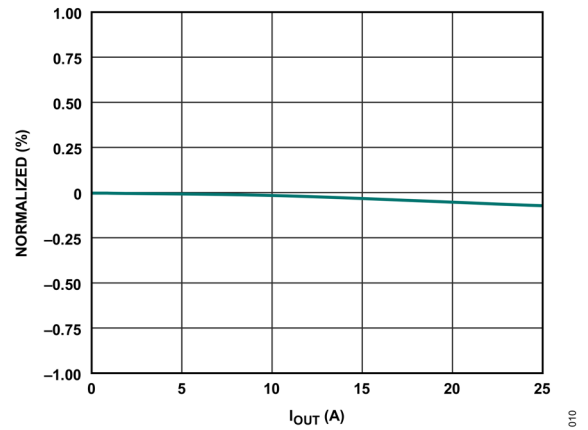


図 7. 負荷レギュレーションと負荷電流の関係

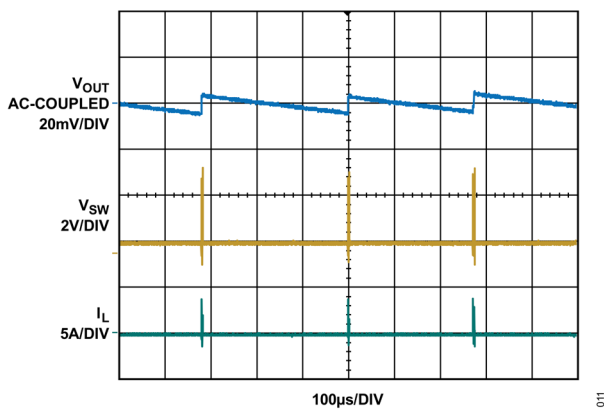


図 8. 不連続モード (DCM) 動作

$V_{IN} = 3.3\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $f_{SW} = 1\text{MHz}$
 $L = 70\text{nH}$ 、 $C_{OUT} = 5 \times 100\mu\text{F}$ 、 $R_{ITH} = 2\text{k}\Omega$ 、 $C_{ITH} = 10\text{nF}$

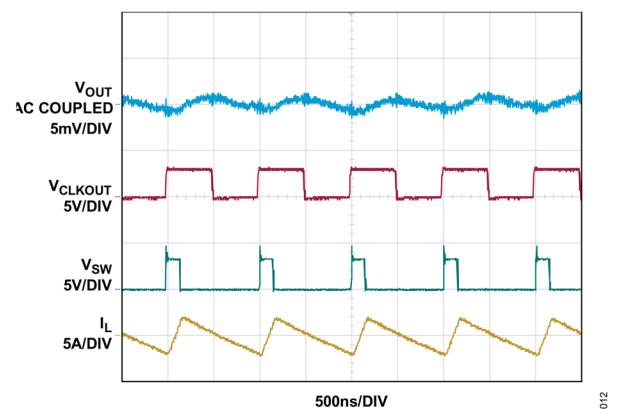


図 9. 強制連続モード (FCM) 動作

$V_{IN} = 3.3\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $f_{SW} = 1\text{MHz}$
 $L = 70\text{nH}$ 、 $C_{OUT} = 5 \times 100\mu\text{F}$ 、 $R_{ITH} = 2\text{k}\Omega$ 、 $C_{ITH} = 10\text{nF}$

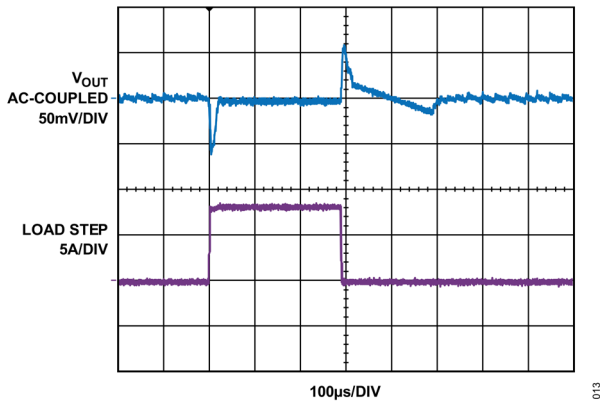


図 10. 過渡応答、DCM

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $I_{OUT} = 50mA \sim 8A$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 2k\Omega$, $C_{ITH} = 10nF$

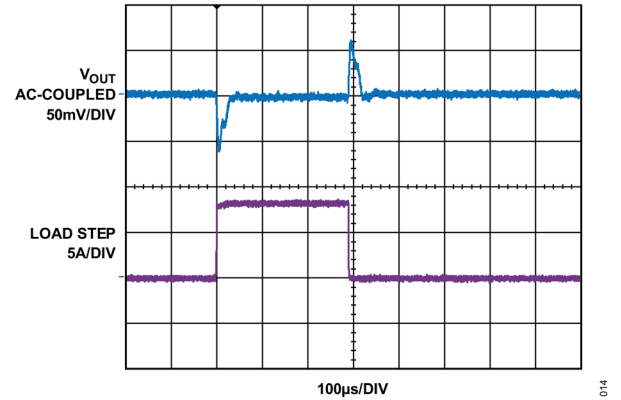


図 11. 過渡応答、FCM

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $I_{OUT} = 50mA \sim 8A$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 2k\Omega$, $C_{ITH} = 10nF$

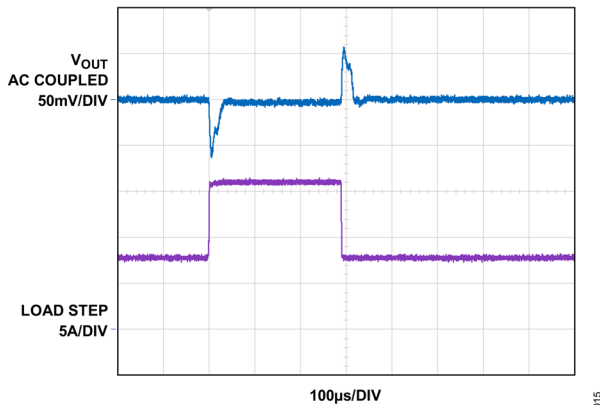


図 12. 過渡応答、FCM

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $I_{OUT} = 8A \sim 16A$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 1k\Omega$, $C_{ITH} = 10nF$

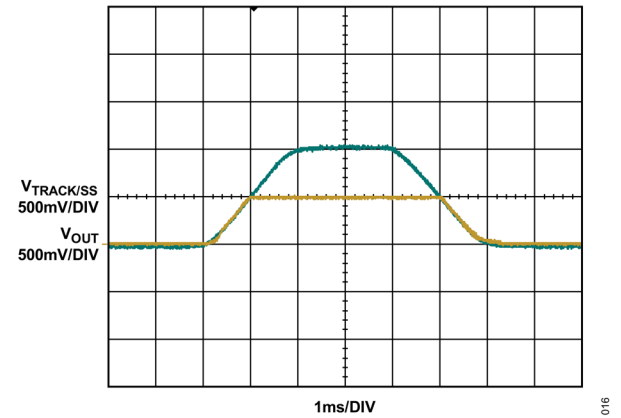


図 13. 出力トラッキング

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $R_{OUT} = 0.1\Omega$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 2k\Omega$, $C_{ITH} = 10nF$

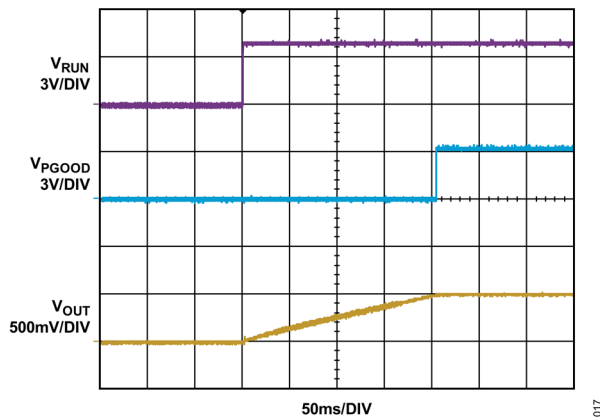


図 14. スタートアップ波形

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $R_{OUT} = 0.1\Omega$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 2k\Omega$, $C_{ITH} = 10nF$
 $CTRACK/SS = 4.7\mu F$

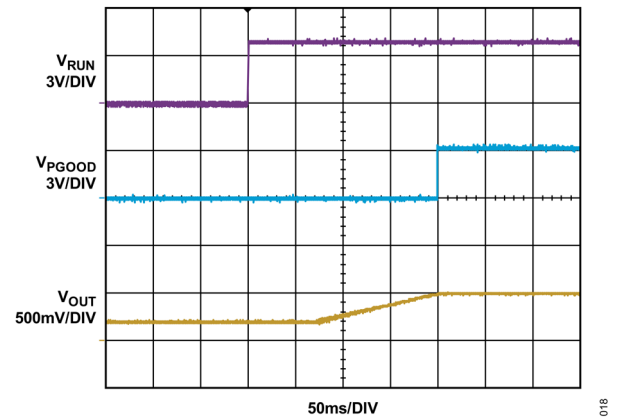


図 15. スタートアップ波形（出力をプリバイアス）

$V_{IN} = 3.3V$, $V_{OUT} = 0.5V$, $R_{OUT} = 0.1\Omega$, $f_{SW} = 1MHz$
 $L = 70nH$, $C_{OUT} = 5 \times 100\mu F$, $R_{ITH} = 2k\Omega$, $C_{ITH} = 10nF$
 $CTRACK/SS = 4.7\mu F$

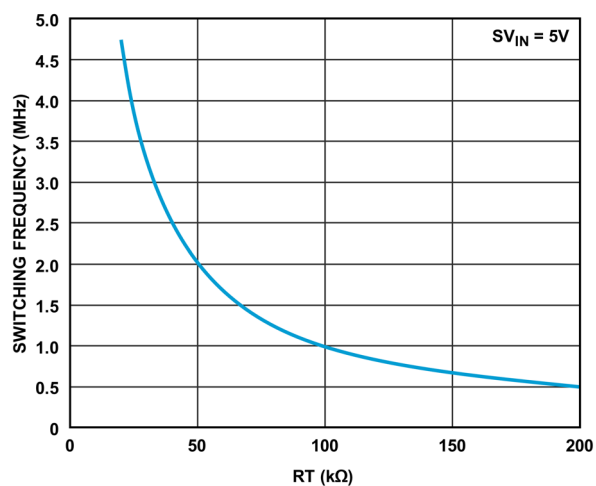


図 16. スイッチング周波数と R_T の関係

019

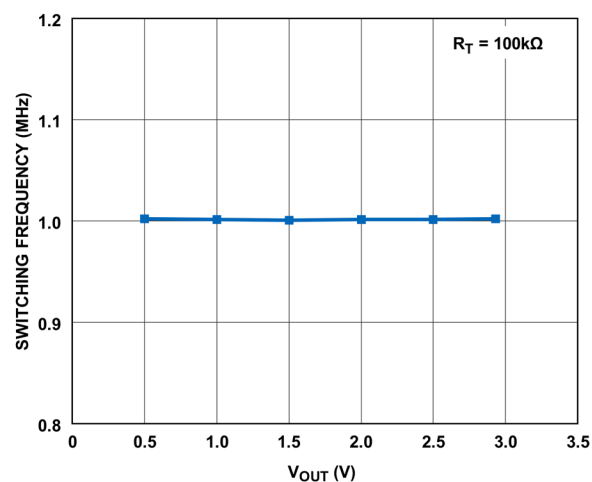


図 17. スイッチング周波数と V_{OUT} の関係

020

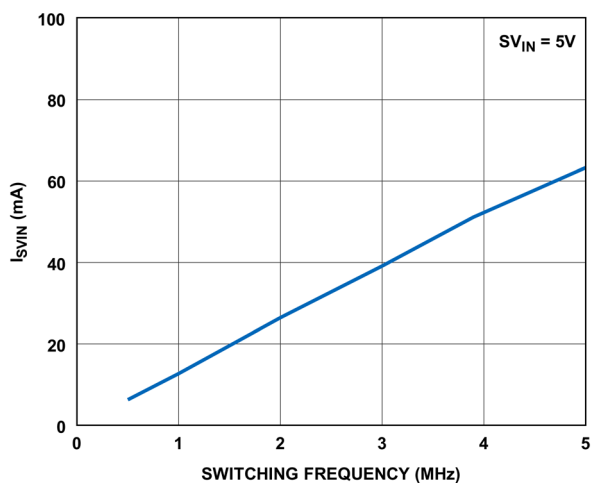


図 18. SV_{IN} 電流とスイッチング周波数の関係、CCM

021

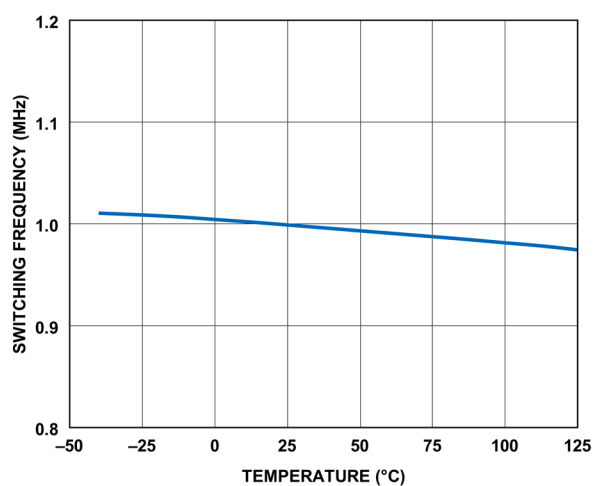


図 19. スイッチング周波数と温度の関係

022

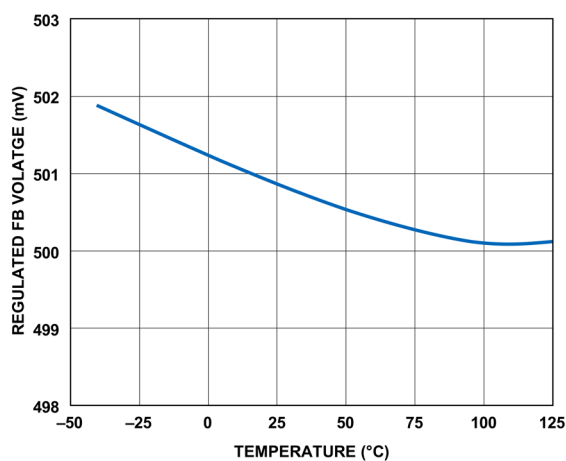


図 20. 安定化 FB 電圧と温度の関係

023

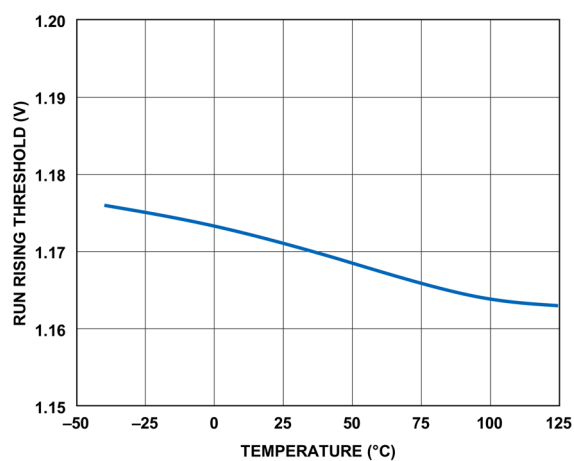


図 21. RUN の立上がり閾値と温度の関係

024

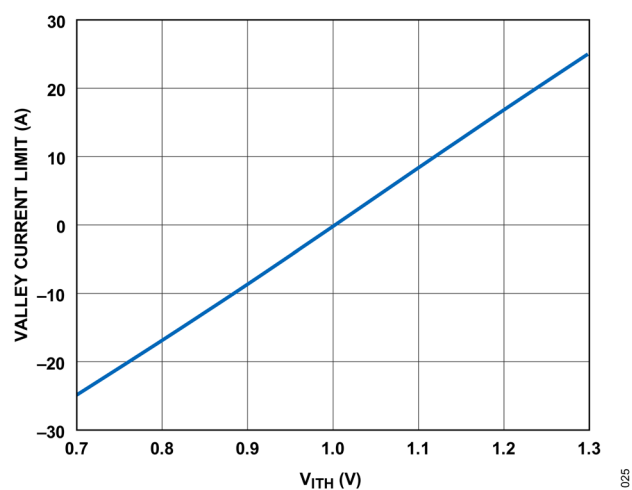


図 22. バレー電流制限値と V_{ITH} の関係

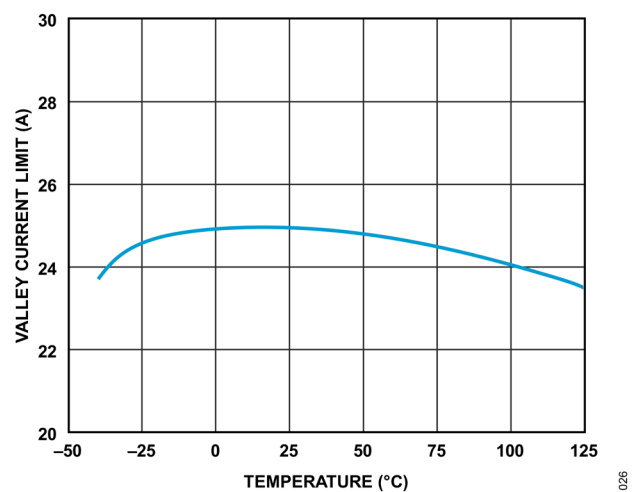


図 23. バレー電流制限値と温度の関係

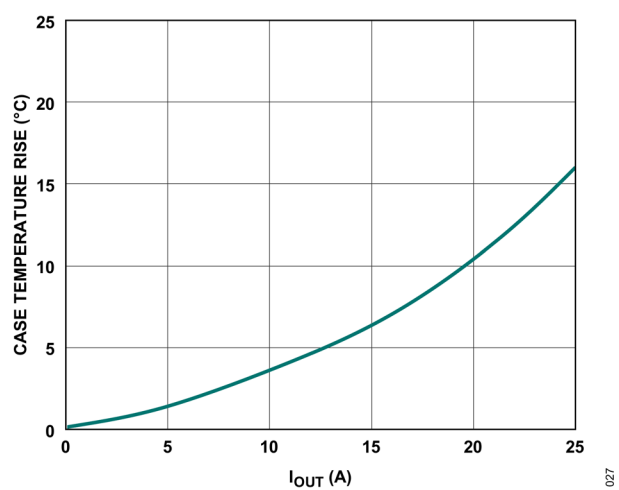


図 24. ケース温度と負荷の関係

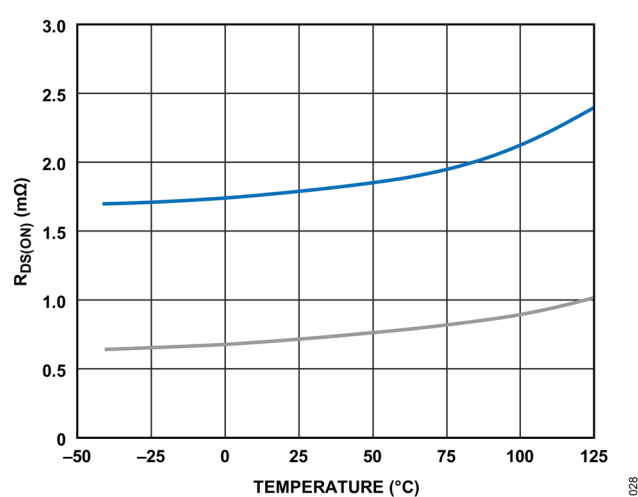


図 25. $R_{DS(ON)}$ と温度の関係

ブロック図

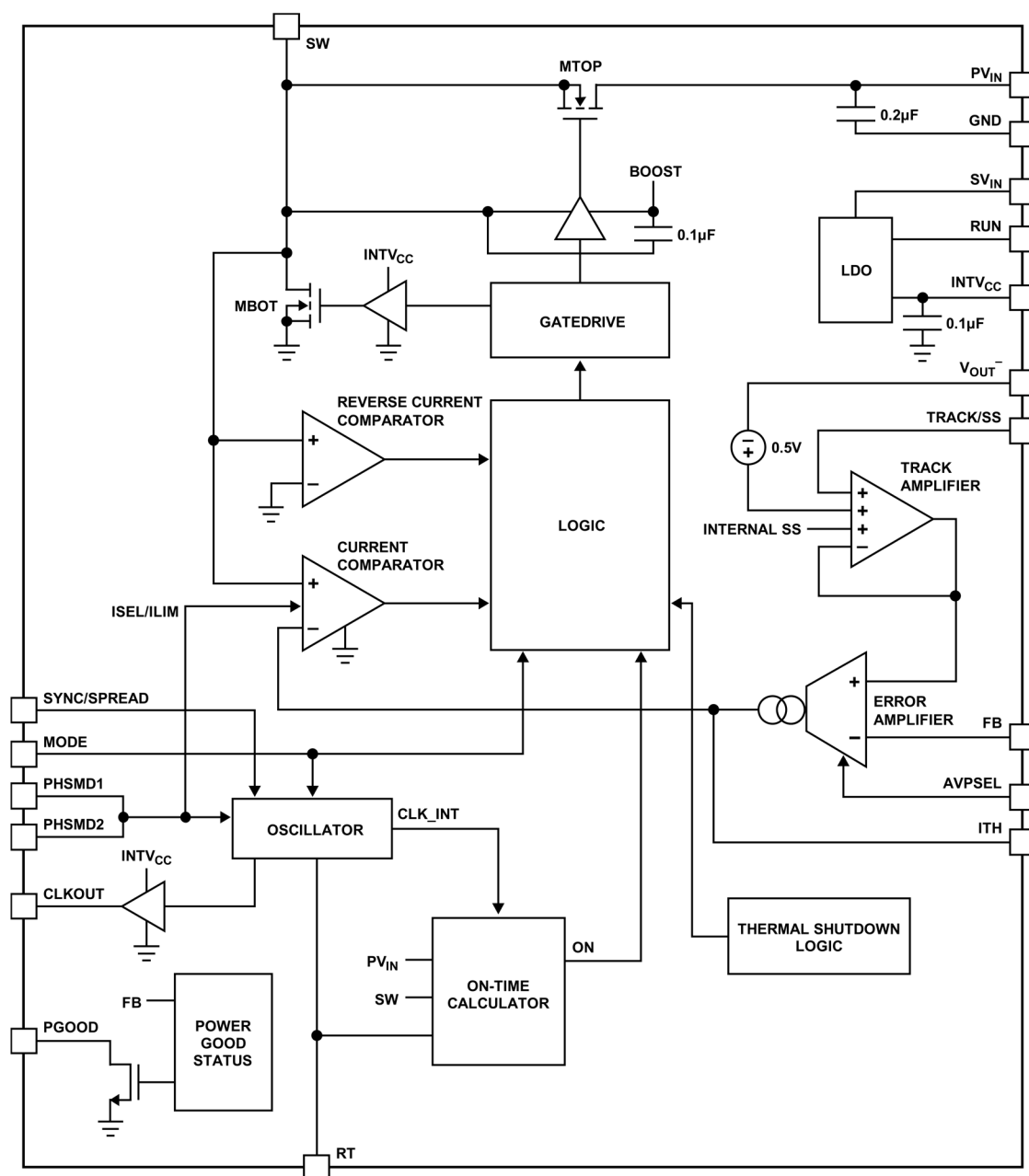


図 26. ブロック図

032

動作原理

メイン制御ループ

LT7153SP は、単一チャンネルの電流モード・モノリシック降圧レギュレータで、 $\pm 25\text{A}$ の出力電流を供給可能です。通常動作では内蔵の上側パワーMOSFET はワンショット・タイマーによって定められた時間だけオンになります（図 26 のブロック図の「ON」信号）。上側パワーMOSFET がオフになると、電流コンパレータ I_{CMP} がトリップし、ワンショット・タイマーを再開して次のサイクルを開始するまで、下側パワーMOSFET がオンになります。インダクタ電流は、下側パワーMOSFET がオンになっているときの MOSFET の SW ノードと GND ノードの電圧降下を検出することによって決定されます。ITH ピンの電圧は、インダクタの谷電流に対応するコンパレータ閾値を設定します。エラー・アンプ EA は、帰還信号 V_{FB} と 0.5V 内部リファレンスを比較することによって、この ITH 電圧を調整します。負荷電流が増加すると、内部リファレンスに対する帰還電圧が低下し、それに伴って平均インダクタ電流が平均負荷電流と一致するまで ITH 電圧が増加します。

負荷電流が小さい場合、インダクタ電流がゼロや負になる場合があります。Burst Mode 動作時には、これは電流反転コンパレータ (I_{REV}) によって検出され、それにより下側パワーMOSFET がシャットオフされます。両方のパワーMOSFET はオフのままになり、ITH 電圧がゼロ電流レベル値を超えて次のサイクルが開始されるまで、出力コンデンサが負荷電流を供給します。連続動作モードが必要な場合は、単に MODE ピンをフロート状態にするか、INTV_{CC} に接続します。

動作周波数は、内部発振器の電流を設定する R_{RT} の値によって決定されます。内部フェーズロック・ループにより、スイッチング・レギュレータのオン時間を内部発振器に追従するようにサーボ制御して、スイッチング周波数を一定に保ちます。クロック信号を SYNC/SPREAD ピンに印加すると、スイッチング周波数を外部クロックに同期させることができます。クロック信号がある場合、レギュレータのデフォルト動作は強制連続動作です。

LT7153SP の「S」は、第 2 世代 Silent Switcher 技術が使われていることを表しています。この IC には、 V_{IN} 、INTV_{CC}、BOOST 用にセラミック・コンデンサが集積されており、全ての高速 AC 電流ループが小型に維持されるため、EMI 性能が向上します。更に、スイッチング・エッジの速度を増加できるため、高スイッチング周波数での効率が大きく改善します。

低 I_Q シャットダウン (RUN)

RUN ピンをグラウンドにプルダウンすると、LT7153SP は強制的にシャットダウン状態になり、流れる電流が極めて低くなります。RUN が 0.6V より高くなると、内部リファレンスがオンになり、MOSFET はオフの状態を保ちます。更に RUN の電圧を高めて RUN の立上がり閾値である 1.2V （定格値）を超えると、チップ全体がオンになります。正確な 1.2V の RUN 閾値により、SV_{IN} の低電圧ロックアウト閾値を外部の抵抗分圧器で設定できます。

INTV_{CC} レギュレータとバイパス・コンデンサ

内蔵の低ドロップアウト・レギュレータは、 3.6V の電源を生成し、ドライバと内部バイアス回路に電力を供給します。 $10\mu\text{F}$ のセラミック・コンデンサを使用して INTV_{CC} をグラウンドにバイパスします。推奨される最小値は $4.7\mu\text{F}$ です。MOSFET ドライバに必要な大きい過渡電流を供給するには、良好なバイパスが必要です。

高周波数および高出力電流で動作するアプリケーションでは、スイッチング電流を増加させると、LDO 部での消費電力が高くなり、ダイ温度が高くなる可能性があります。このような場合には、INTV_{CC} を SV_{IN} と短絡することを検討してください。SV_{IN} は 3.3V または 5V のレールとすることができますが、 5V 動作ではスイッチング損失が高くなり、スイッチング周波数が高い場合にはこれが問題になることに留意してください。PV_{IN} と SV_{IN} は同じ電位に接続する必要はないため、外部 3.3V 電源が使用できる場合にはそれを SV_{IN} の給電に使用できます。SV_{IN} と PV_{IN} を別々の電位からバイアスするときには、PV_{IN} より早く SV_{IN} に給電され、パワーダウンは PV_{IN} が先になるように 2 つの電源をシーケンス処理することが必要です。

調整可能な電流制限

LT7153SP の電流制限設定は、フル容量の 25A を必要としないアプリケーションでは、フルの値の 70% または 55% に低減できます。2 つの位相モード・ピン (PHSMD1/ISEL、PHSMD2/ILIM) の状態により、電流制限設定が決定されます。詳細は表 1 を参照してください。

過電流保護と短絡保護

LT7153SP には、インダクタの谷電流検出によるサイクルごとの過電流保護機能があります。電流制限値に達すると、出力が低下し始め、上側パワー MOSFET のオン時間が減少します。短絡状態が続きオン時間がその最小値に達すると、オフ時間が長くなり、スイッチング周波数が低下して、 V_{IN} から過度な電流が流れるのを防止します。過電流または短絡状態が解消すると、レギュレータは、出力電圧がオーバershoot しないよう、ソフトスタート機能を実行します。

マルチフェーズ動作

出力負荷が 25A を超える電流を必要とする場合、複数の LT7153SP の出力を相互に接続し、位相をずらして動作させることで、出力電流を増加できます。詳細については、表 1 と図 28 を参照してください。LT7153SP は内部発振器と CLKOUT の間の位相を変化させるだけでなく、外部クロックと内部発振器の位相も変化させるので、シグナル・チェーンが短くなり、累積的なクロック・ジッタが最小限に抑えられます。

パワー・グッド・ステータス出力

過電圧 (OV) または低電圧 (UV) コンパレータがトリップしているとき、レギュレータの出力帰還電圧 V_{FB} がレギュレーション・ポイントを中心に $\pm 6.5\%$ の範囲を外れている場合、PGOOD オープン・ドレイン出力がローに引き下げられます。この状態は、レギュレーションが $\pm 6.5\%$ の範囲に復帰すると解除されます。

TRACK/SS ピンが 0.5V に向けて増加するスタートアップ時を除き、OV および UV 状態では連続動作が強制されます。

VIN 過電圧保護

内蔵のパワー MOSFET をトランジェント電圧スパイクから保護するために、LT7153SP は、 PV_{IN} ピンを継続的にモニタし、過電圧状態に備えています。 PV_{IN} が 8V を上回ると、レギュレータは両方のパワー MOSFET をオフすることで動作を一時停止します。 PV_{IN} が 7.5V 未満になると、レギュレータは直ちに通常動作を再開します。過電圧イベント時、内蔵ソフトスタート電圧は帰還電圧よりわずかに高い電圧にクランプされます。したがって、過電圧状態の終了時には、ソフトスタート機能が存在します。

選択可能な負荷ライン (AVPSEL)

必要な出力コンデンサの量を最小化するため、LT7153SP ではフラットな負荷ライン設定に加えて 2 つの異なる負荷ライン設定を選択できます。負荷ライン設定は AVPSEL ピンの状態により指定し、このピンがグラウンドに接続されているときには負荷ラインがフラット、フローティング時には 1%、INTV_{CC} への接続時には 1.5% になります。

MODE、SYNC、スペクトラム拡散動作

MODE ピンをグラウンドに接続すると、Burst Mode 動作が可能となり、低負荷電流時に優れた効率を実現できますが、出力電圧リップルはわずかに増加します。MODE ピンを INTV_{CC} に接続するかフロート状態にすると、強制連続モードが選択され、出力リップルは最小限の一定値になりますが、軽負荷時の効率は低下します。

SYNC/SPREAD ピンはデュアル機能ピンです。このピンにより、LT7153SP を外部クロック信号に同期させることと、スペクトラム拡散機能の有効化/無効化が可能です。LT7153SP は、外部クロックが SYNC/SPREAD ピンに入力されるとこれを検出し、入力されたクロックの周波数に内部発振器を同期させます。SYNC 入力と内部発振器の位相は 2 つの位相モード・ピン (PHSMD1/ISEL、PHSMD2/ILIM) の状態により決定します。SYNC/SPREAD ピンが INTV_{CC} に接続されているかフローティング状態のとき、スペクトラム拡散がイネーブルされます。LT7153SP は、プリセット周波数とそのプリセット値より 20% 高い値との間で周波数を変動させます。SYNC/SPREAD ピンがグラウンドに接続されているときには、周波数拡散はディスエーブルされます。

アプリケーション情報

LT7153SP の簡略化したアプリケーション回路を、データシートの最初のページに示しています。外付け部品の選択は、目標とする電流リップル、負荷条件、スイッチング周波数によって大きく異なります。部品の選択は、通常、インダクタ L と抵抗 R_{RT} の選択から始まります。インダクタを選択した後は、入力コンデンサ C_{IN} および出力コンデンサ C_{OUT} を選択します。次に、目的の出力電圧を設定する帰還抵抗を選択します。最後に、外部ループ補償、トラッキング/ソフトスタート、入力 UVLO、PGOOD 等の機能のため、その他の外付け部品をオプションで選択します。

Silent Switcher アーキテクチャ

LT7153SP はコンデンサを内蔵しているため、高いスイッチング周波数において効率的に動作できます。内蔵の V_{IN} バイパス・コンデンサにより、SW エッジを極めて高速で切り替えることができ、遷移損失を効果的に低減できます。また、このコンデンサは、上側 FET がオンになるときの SW オーバーシュートを大幅に抑制するため、時間変化に伴うデバイスの堅牢性を向上できます。

スイッチング周波数の設定

スイッチング周波数の選択は、効率と部品サイズのトレードオフです。動作周波数が高い場合、小型のインダクタとコンデンサを使用できます。低周波数での動作は、内部ゲート電荷損失が減少するので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスや容量を大きくする必要があります。

抵抗 R_{RT} を RT ピンと SGND の間に接続すると、スイッチング周波数 f_{SW} を次式に従って 400kHz～5MHz の範囲で設定できます。

$$f_{SW}(\text{Hz}) = \frac{1e^{11}}{R_{RT}(\Omega)}$$

内部 PLL の同期範囲は設定された周波数を中心に $\pm 30\%$ です。したがって、外部クロック同期時には、外部クロック周波数がこの R_{RT} で設定した周波数の $\pm 30\%$ の範囲内にあることを確認してください。

出力電圧の設定

レギュレータの出力電圧は、次式に従い外付け抵抗分圧器を使って設定されます。

$$V_{OUT} = 0.5V \cdot \left(1 + \frac{R1}{R2}\right)$$

必要な出力電圧は、抵抗 $R1$ および $R2$ を適切に選択することで設定され、これらの抵抗によって、図 27 に示すように、 V_{FB} ピンで出力電圧の一定の割合を検出することができます。 $R1$ および $R2$ に大きな値を選択すると、ゼロ負荷時や軽負荷時の効率が向上しますが、 V_{FB} ノードの寄生容量により、不要なノイズ・カップリングや位相マージンの減少が生じる可能性があります。 V_{FB} のパターンは、SW パターンなどのノイズ源から離すよう注意してください。フィードフォワード補償コンデンサ C_{FF} を V_{OUT} と FB の間に配置して、トランジェント性能を向上することもできます。

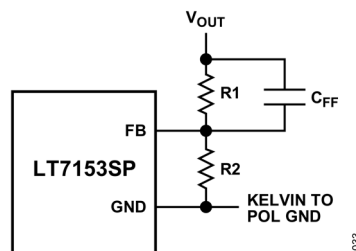


図 27. 出力電圧の設定

出力電圧が V_{ON} の検出範囲 (0.5V~4V) から外れている場合、出力電圧はレギュレーション状態にあるものの、スイッチング周波数は設定周波数とは異なる可能性があります。

ソフトスタートおよび出力電圧 TRACK

TRACK ピンは $10\mu A$ の内部電流で $INTV_{CC}$ にプルアップされています。TRACK ピンとグラウンドの間にコンデンサ C_{SS} を外付けすると、出力をソフトスタートして入力電源の電流サージを防ぐことができます。出力立ち上がり時間 T_{SS} とソフトスタート容量 C_{SS} の間には次式の関係があります。

$$T_{SS} = 0.5e^5 \cdot C_{SS}$$

起動時、LT7153SP は、トラック電圧が 0.5V を超えるまで不連続モードで動作します。その後、出力が UV 閾値を超える ($V_{FB} > 0.475V$) まで、レギュレータは強制連続モードで動作します。出力がこの電圧に達すると、レギュレータの動作モードは前述のように MODE ピンで選択したモードに切り替わります。

LT7153SP では、TRACK ピンを用いて出力電圧の上昇率をプログラムすることができます。0V から 0.5V までは、TRACK 電圧がエラー・アンプへの 0.5V の内部リファレンス入力より優先されるので、フィードバック電圧は TRACK ピンの電圧にレギュレーションされます。TRACK が 0.5V を超えると、トラッキングはディスエーブルされ、帰還電圧は内部リファレンス電圧にレギュレーションされます。

インダクタの選択

与えられた入力電圧 V_{IN} に対し、出力電圧 V_{OUT} 、インダクタ値 L 、動作周波数 f によって、次式のようにリップル電流が決まります。

$$\Delta I_L = \frac{V_{OUT}}{f_{SW} \cdot L} \cdot \left(1 - \frac{V_{OUT}}{V_{IN}}\right)$$

インダクタのリップル電流は、インダクタ値が高いほど、また、動作周波数が高いほど、小さくなります。リップル電流が小さくなると、インダクタのコア損失、出力コンデンサの ESR 損失、および出力電圧リップルが減少します。最大効率の動作は、低周波数でリップル電流が小さいときに得られます。しかし、これを実現するには大きいインダクタが必要です。部品サイズ、効率、動作周波数は互いにトレードオフの関係にあります。

妥当な出発点は、 $I_{OUT(MAX)}$ の約 40% のリップル電流を選択することです。 $I_{OUT(MAX)}$ の 60% を超えることは推奨できません。最大電圧リップルは、 V_{IN} が最大のときに発生することに注意してください。リップル電流が仕様規定された最大値を超えないようにするには、次式に従ってインダクタンスを選択する必要があります。

$$L = \frac{V_{OUT}}{f_{SW} \cdot \Delta I_{L(MAX)}} \cdot \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)$$

L の値が定まったら、インダクタの種類を選択する必要があります。インダクタ値が固定の場合、実際のコア損失はコア・サイズには無関係ですが、選択したインダクタンスには大きく依存します。インダクタンスまたは周波数が増加すると、コア損失は減少します。しかし、インダクタンスを大きくするには、より多くの巻数を必要とするため、DCR と銅損が大きくなってしまいます。

フェライトを使用した設計ではコア損失は非常に小さく、高いスイッチング周波数に適しています。そのため、設計目標を銅損と飽和の防止に集中させることができます。フェライト・コア材料の飽和は「ハード」です。つまり、ピーク設計電流を超えると急激にインダクタンスが低下します。その結果、インダクタのリップル電流が急激に増加し、それに伴い出力電圧リップルも増加します。コアは飽和させないようにしてください。

過熱と効率の低下を回避するには、アプリケーションで予想される最大出力負荷よりも大きい RMS 電流定格のインダクタを選択します。更に、インダクタの飽和電流定格値 (通常は I_{SAT} で表します) は、負荷電流にインダクタ・リップル電流の 1/2 を加えた値 (次式) より大きくなければなりません。

$$I_{L(PEAK)} = I_{OUT(MAX)} + \frac{\Delta I_L}{2}$$

コアの材料や形状を変えると、インダクタのサイズ／電流および価格／電流の関係も変わります。フェライトやパーマロイを使用したトロイド・コアやシールド・ポット・コアは小型で、それほど多くのエネルギーを放出することはありませんが、一般的には、同様の特性を持つ鉄粉コアのインダクタよりも高コストです。どのタイプのインダクタを使用するかは、価格とサイズの条件や放射フィールド／EMI 条件によって異なります。

入力コンデンサ（C_{IN}）の選択

入力容量 C_{IN} は、上側パワー MOSFET のドレインに流れる矩形波電流をフィルタ処理するために必要です。大きな電圧トランジェントが生じるのを防ぐために、最大実効値電流に見合ったサイズで低 ESR の入力コンデンサを使用してください。最大実効値電流は次式で与えられます。

$$I_{\text{RMS}} \cong I_{\text{OUT(MAX)}} \cdot \frac{V_{\text{OUT}}}{V_{\text{IN}}} \cdot \sqrt{\frac{V_{\text{IN}}}{V_{\text{OUT}}} - 1}$$

この式は V_{IN} = 2V_{OUT} で最大値を取ります。ここで、

$$I_{\text{RMS}} \cong \frac{I_{\text{OUT}}}{2}$$

設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況はそれほど改善されないからです。なお、コンデンサ・メーカーのリプル電流定格は、多くの場合わずか 2000 時間程度の寿命を基本としています。そのため、コンデンサを更にデレーティングするか、必要とするよりも高い温度で規定された定格のコンデンサを選択することを推奨します。設計におけるサイズや高さの条件を満たすために、数個のコンデンサを並列に接続することもできます。低入力電圧のアプリケーションでは、出力負荷が変化した際のトランジェント効果を打ち消すために、十分なバルク入力容量が必要です。

出力コンデンサ（C_{OUT}）の選択

C_{OUT} の選択は、電圧リプルや負荷ステップに対する過渡応答を最小化するために必要な等価直列抵抗（ESR）と、制御ループの安定性を確保するために必要なバルク容量によって決定されます。ループの安定性は負荷の過渡応答を見ることで確認できます。出力リプル ΔV_{OUT} は次式で求めます。

$$\Delta V_{\text{OUT}} < \Delta I_{\text{L}} \cdot \left(\frac{1}{8 \cdot f_{\text{SW}} \cdot C_{\text{OUT}}} + \text{ESR} \right)$$

ΔI_L は入力電圧に応じて増加するので、出力リプルは入力電圧が最大のとき最大になります。ESR と RMS 電流処理の条件を満たすために、複数のコンデンサを並列に配置しなければならない場合があります。

乾式タンタル、特殊ポリマー、アルミ電解、セラミックの各コンデンサは、いずれも表面実装パッケージで入手できます。特殊な高分子コンデンサの ESR は非常に低いものになっていますが、他のタイプより容量密度は小さめです。タンタル・コンデンサは静電容量密度が最も高いものになっていますが、スイッチング電源用としてサージ・テストされたもののみを使用することが重要です。アルミ電解コンデンサは ESR がかなり高いものになっていますが、リプル電流定格と長期信頼性を考慮すれば、コスト重視のアプリケーションに使用できます。セラミック・コンデンサは、低 ESR 特性に優れ、実装面積も小さくできます。

セラミック・コンデンサの ESR は非常に低いため、電荷蓄積の条件を満たす出力コンデンサ値を選択の方がより有用です。負荷ステップでは、帰還ループがスイッチ電流を十分に増加させて負荷に対応できるようになるまで、出力コンデンサが即座に電流を供給して負荷に対応する必要があります。帰還ループの応答に要する時間は、補償および出力のコンデンサのサイズに依存します。負荷ステップへの応答には通常 5 サイクルを要しますが、出力電圧が直線的に低下するのは最初のサイクルのみです。出力のドループ V_{DROOP} は通常、最初のサイクルの直線的な電圧低下量の 3 倍程度になります。したがって、次式で得られる出力コンデンサの値が、おおよその出発点として適した値です。

$$C_{\text{OUT}} = 3 \cdot \left(\frac{\Delta I_{\text{OUT}}}{f_{\text{O}} \cdot V_{\text{DROOP}}} \right)$$

入出力セラミック・コンデンサの使用

セラミック・コンデンサは、より大容量で安価なものが小型ケースで入手できるようになりました。高リップル電流、高電圧定格、低 ESR という特長は、スイッチング・レギュレータ用途に最適です。ただし、セラミック・コンデンサの種類によっては自己共振や高 Q 特性があるため、これらのコンデンサを入出力に使用する場合は注意が必要です。入力にセラミック・コンデンサを使用し、壁コンセントから長い電線を介して電源を供給する場合、出力の負荷ステップによって V_{IN} 入力にリンギングが誘起することがあります。最善の場合でも、このリンギングが出力に結合して、ループが不安定になったと誤解されることがあります。最もひどい場合、長い配線を介した電流突入により、部品を損傷するのに十分な大きさの電圧スパイクを V_{IN} に生じさせる可能性があります。詳細な説明は、アプリケーション・ノート 88 を参照してください。

入出力のセラミック・コンデンサには、誘電体が X5R や X7R のものを選択します。これらの誘電体は、与えられた値とサイズに対して、全てのセラミックの中で最も優れた温度および電圧特性を示します。150°C のアプリケーションには X8R を選択します。デューティ・サイクルや負荷ステップの条件によっては、より多くの容量が必要になる場合があります。ほとんどのアプリケーションでは、電源に対するインピーダンスが非常に低いため、入力コンデンサは単に高周波のバイパス用としてのみ必要とされます。このような条件下では、通常 47μF のセラミック・コンデンサで十分です。この入力コンデンサは PV_{IN} ピンおよび GND ピンのできるだけ近くに配置します。

最小オフ時間と最小オン時間に関する考慮事項

最小オフ時間 $t_{OFF(MIN)}$ は、LT7153SP がボトム・パワー MOSFET をターンオンして電流コンバータをトリップさせてから、ボトム・パワー MOSFET を再びオフに戻ることができるまでの最小時間です。この時間は一般的に約 30ns です。最小オフ時間の制限によって、最大デューティ・サイクルは $t_{ON}/(t_{ON} + t_{OFF(MIN)})$ となります。入力電圧の低下などにより最大デューティ・サイクルに達した場合、出力はレギュレーション範囲を外れます。ドロップアウトを回避するための最小入力電圧は次式のとおりです。

$$V_{IN(MIN)} = V_{OUT} \cdot \frac{t_{ON} + t_{OFF(MIN)}}{t_{ON}}$$

これに対して、最小オン時間とは、上側パワー MOSFET をオン状態する時間の最小値です。この時間は 15ns（代表値）です。連続モード動作の場合、最小オン時間の制限により、最小デューティ・サイクルは次式で与えられます。

$$DC_{(MIN)} = f_{SW} \cdot t_{ON(MIN)}$$

ここで、 $t_{ON(MIN)}$ は最小オン時間です。動作周波数を下げると、最小デューティ・サイクルの制約を緩和できます。

デューティ・サイクルの最小値を超えるまれなケースでは、出力電圧はレギュレーション状態を維持し、スイッチング周波数は設定値より低くなります。これは多くのアプリケーションで許容可能な結果です。そのため、この制約はほとんどの場合、極めて重要というわけではありません。高いスイッチング周波数は、出力過電圧を招くおそれがなく、設計に使用できます。インダクタとコンデンサの選択のセクションで示したように、スイッチング周波数が高いほど小さな基板部品を使用できるため、アプリケーション回路のサイズを小さくできます。

マルチフェーズ構成

PolyPhase 動作により、複数の LT7153SP レギュレータを位相をずらして動作させることができるため（相数は 2、3、4、6、8、12、[図 28](#) 参照）、必要な入力コンデンサと出力コンデンサの量が低減し、並列接続によってより高い出力電流が得られます。PHASE1/SEL ピンと PHSM2/ILIM ピンを設定することにより（[表 4](#) を参照）、内部発振器と CLKOUT の間、内部発振器と SYNC の間の位相関係が決定します。

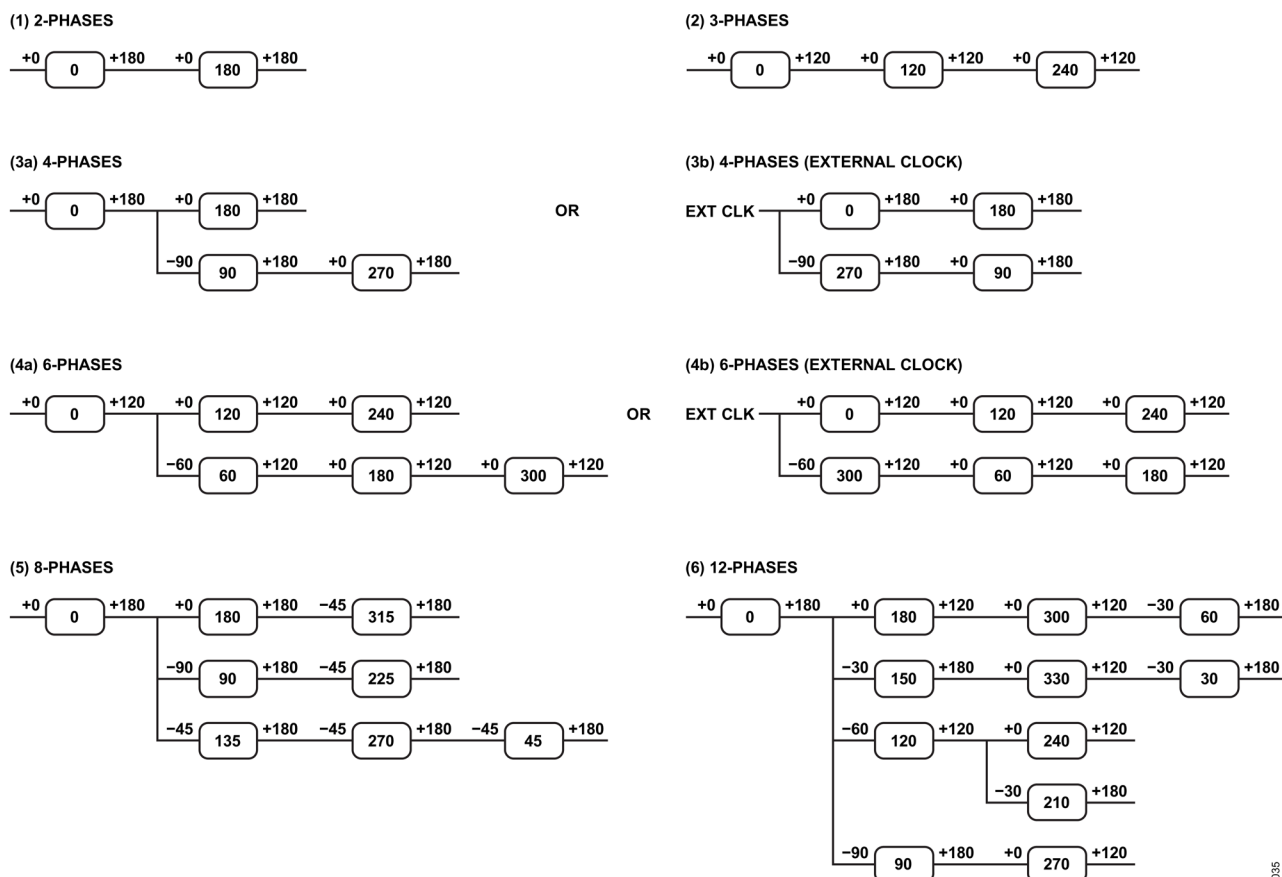


図 28. 2、3、4、6、8、12 相のマルチフェーズ構成

表 4. マルチフェーズのピン設定

SYNC to Oscillator	$\phi_{(\text{SYNC to OSC})}$	PHSM1 = 0, PHSM2 = 0	0	Degree
		PHSM1 = INTV _{CC} , PHSM2 = 0	0	
		PHSM1 = 0, PHSM2 = INTV _{CC} /2	-30	
		PHSM1 = INTV _{CC} , PHSM2 = INTV _{CC} /2	-45	
		PHSM1 = 0, PHSM2 = INTV _{CC}	-60	
		PHSM1 = INTV _{CC} , PHSM2 = INTV _{CC}	-90	
Oscillator to CLKOUT	$\phi_{(\text{OSC to CLKOUT})}$	PHSM1 = 0, PHSM2 = 0	180	Degree
		PHSM1 = INTV _{CC} , PHSM2 = 0	120	
		PHSM1 = 0, PHSM2 = INTV _{CC} /2	180	
		PHSM1 = INTV _{CC} , PHSM2 = INTV _{CC} /2	180	
		PHSM1 = 0, PHSM2 = INTV _{CC}	120	
		PHSM1 = INTV _{CC} , PHSM2 = INTV _{CC}	180	

ITH 補償

OPTI-LOOP®の最適化のため、適切な ITH 部品を選択する必要があります。補償ネットワークを図 29 に示します。RC フィルタにより、支配的なポールゼロ・ループ補償が設定されます。ループのゲインは R_{ITH} と共に増加し、ループの帯域幅は C_{ITH} を減少させると増加します。 C_{ITH} が減少するのと同じ比率で R_{ITH} が増加しても、ゼロ周波数は同じに保たれるため、位相も、帰還ループの最も重要な周波数範囲で同じに保たれます。

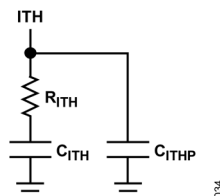


図 29. 外部補償ネットワーク

1MHz のアプリケーションでは、4.7nF と 2k Ω の R-C ネットワークが良い出発点となります。基板の浮遊容量による高周波結合をフィルタリングするために、ITH ピンに 4.7pF のバイパス・コンデンサ C_{ITHP} を使用することを推奨します。表 5 に、デバイスの与えられた周波数に対して使用すべき補償値の基本的なガイドラインを示します。アプリケーションで必要な出力容量によっては、これらの値の微調整が必要になることもあります。

表 5. 補償値

Frequency	R_{ITH}	C_{ITH}	C_{THP}
1MHz	2k	4.7nF	4.7pF
2MHz	2k	2.2nF	4.7pF

過渡応答のチェック

OPTI-LOOP 補償が備わっているため、幅広い範囲の負荷および出力キャパシタ値にわたって過渡応答を最適化できます。ITH ピンを使用すれば、この制御ループの動作を最適化できるだけでなく、DC 結合された AC フィルタ付きクローズドループ応答のテスト・ポイントとして利用することもできます。このテスト・ポイントでの DC ステップ、立上がり時間、およびセトリングは、クローズドループ応答を正確に反映します。2 次特性が支配的なシステムの場合は、このピンに現れるオーバーシュートのパーセンテージを使って位相マージンや減衰係数を予想できます。

表 5 の回路に示す ITH ピンの外付け部品は、ほとんどのアプリケーションにおいて妥当な出発点となります。RC フィルタにより、支配的なポールゼロ・ループ補償が設定されます。これらの値は、最終的なプリント回路基板のレイアウトを完了し、出力コンデンサの種類と容量値を決定したら、過渡応答を最適化するために多少（推奨値の 0.5~2 倍）変更することができます。出力コンデンサの種類と値によって、ループの帰還係数、ゲイン、位相が決まるため、出力コンデンサを選択する必要があります。また、高周波応答を改善するために、図 29 に示すように、フィードフォワード・コンデンサ C_{FF} を追加することも可能です。コンデンサ C_{FF} は、 R_2 で高周波のゼロを生成することで位相進みをもたらし、位相マージンを改善します。

立上がり時間が約 1 μ s である、全負荷電流の 20%~100%の出力電流パルスを通すと、帰還ループを壊すことなくループ全体が安定するような出力電圧と ITH ピンの波形が得られます。スイッチング・レギュレータは、負荷電流のステップに応答するために数サイクルを要する場合があります。負荷ステップが発生すると、 V_{OUT} は $\Delta I_{LOAD} \times ESR$ に等しい大きさだけ直ちにシフトします。ここで、ESR は C_{OUT} の等価直列抵抗です。更に、 ΔI_{LOAD} により C_{OUT} の充放電も開始されて帰還誤差信号が発生し、レギュレータはこれを用いて V_{OUT} を定常値に回復させます。この回復期間に、 V_{OUT} をモニタして、安定性に問題があることを示す過度のオーバーシュートやリングングが発生していないかを確認できます。

最初の出力電圧ステップはフィードバック・ループの帯域幅内にない可能性があるため、標準の2次オーバーシュート/DC比を用いて位相マージンを決定することはできません。出力電圧のセトリングの挙動はクロズド・ループ・システムの安定性に関係しており、実際の全体的電源性能を表します。制御ループ理論のレビューなど、補償部品の最適化の詳細な説明については、アナログ・デバイセズのアプリケーション・ノート 76 を参照してください。

アプリケーションによっては、大容量の (>47μF) 入力コンデンサを接続している場合、負荷のスイッチングによって深刻なトランジェント現象が発生することがあります。放電する入力コンデンサは実質的に C_{OUT} と並列になり、V_{OUT} の急降下を引き起こします。負荷に接続されたスイッチが低抵抗で高速駆動される場合、どのレギュレータもこの問題を防ぐのに十分な電流を供給することができません。その解決策として、負荷スイッチ・ドライバのターンオン速度を制限することが挙げられます。ホット・スワップ・コントローラは、この目的に特化して設計されたもので、通常は電流制限、短絡保護、ソフトスタートが組み込まれています。

熱的条件

高周囲温度、高スイッチング周波数、高 V_{IN}、高出力負荷が組み合わさった状態で LT7153SP が動作するようなアプリケーションでは、必要な消費電力により、デバイスが最大ジャンクション温度を越えてしまう場合があります。LT7153SP が最大ジャンクション温度を超えることのないよう、動作条件に応じて、最大電流定格はディレーティングされます。デバイスの温度上昇は、PCB 基板の銅の厚さ、基板の層数、銅パターンの形状によって異なります。一般的に、SW ピンおよび GND ピンには PCB の最上層で厚い切れ目のない銅を用いると、デバイスの熱性能を大きく向上できます。

LT7153SP には、ヒート・シンク搭載の目的でパッケージ上面に露出ダイ・パッドを設けています。このオプションにより、適切なサイズのヒート・シンクを正しくパッケージに実装すると、同等の負荷に対して熱性能を改善することが可能になります。図 24 に、1 層あたり 2 オンスの銅を用いた標準的な 6 層 PCB 基板（標準デモ・ボード）上に LT7153SP を実装した場合のケース温度の上昇を示します。

効率に関する考慮事項

スイッチング・レギュレータの効率（パーセント）は、出力電力を入力電力で割った値に 100% を乗じたものです。効率を制限しているのは何か、何を変更すれば最も効率が向上するかを判定するには、多くの場合、個々の損失を分析することが有益です。パーセント表示の効率は次式で表せます。

$$\% \text{Efficiency} = 100\% - (L1 + L2 + L3 + \dots)$$

ここで、L1、L2、などは、個々の損失を入力電力に対するパーセンテージで表したものです。

回路内の電力を消費する全ての要素で損失が生じますが、LT7153SP の回路の損失の大部分は、次の主な 3 つの損失要因によって生じます：1) I²R 損失、2) スwitchングおよびバイアス損失、3) その他の損失、が 3 大要因です。

1. I²R 損失は、内部スイッチの DC 抵抗値 R_{SW} と外付けインダクタの DC 抵抗値 R_L から計算できます。連続モードでは、平均出力電流はインダクタ L を流れますが、この電流は内蔵の上側と下側のパワー-MOSFET の間で細かく切り替えられます。したがって、SW ピンへの直列抵抗は、次式のように、上側および下側 MOSFET 両方の R_{DS(ON)} とデューティ・サイクル (DC) の関数となります。

$$R_{SW} = (R_{DS(ON)TOP})(DC) + (R_{DS(ON)BOT})(1 - DC)$$

上側および下側の MOSFET のどちらの R_{DS(ON)} も、代表的な性能特性のグラフから求めることができます。したがって、次式から I²R 損失を求めることができます。

$$I^2R \text{ losses} = I_{OUT}^2 (R_{SW} + R_L)$$

2. スイッチング電流は、MOSFET のドライバ電流と制御電流の和です。パワーMOSFET のドライバ電流は、パワーMOSFET のゲート容量が切り替わることにより発生します。パワーMOSFET のゲートがローからハイ、そして再度ローに切り替わるたびに、ある量の電荷 dQ が PV_{IN} からグラウンドに移動します。その結果生じる dQ/dt が IN から流出する電流であり、通常は、DC 制御バイアス電流よりはるかに大きくなります。連続モードでは、 $I_{GATECHG} = f(Q_T + Q_B)$ となります。ここで、 Q_T と Q_B は上側および下側の内部パワーMOSFET のゲート電荷、 f はスイッチング周波数です。したがって、電力損失は次式のようにになります。

$$\text{Switching Loss} = I_{GATECHG} \cdot PV_{IN}$$

ゲート電荷損失は、 $INTV_{CC}$ ピンの電流として、周波数に伴って発生します。したがって、これらの影響は、入力電圧と周波数が高いアプリケーションにおいてより顕著なものとなります。

3. 遷移損失や銅パターンの抵抗および内部負荷抵抗などの「隠れた」損失が、電源システム全体の効率を更に低下させる原因となることがあります。これらのシステム・レベルの損失をシステム設計段階で盛り込むことが非常に重要です。遷移損失は、スイッチ・ノードの遷移中に上側パワーMOSFET が飽和領域で費やすわずかな時間によって生じます。LT7153SP の内蔵パワー・デバイス是十分速く切り替わるため、これらの損失は他の損失に比べてそれほど大きくはありません。デッド・タイム時のダイオード伝導損失やインダクタのコア損失など、その他の損失は一般的に総損失の 2%未満です。

設計例

設計例として、次の仕様のアプリケーションで LT7153SP を使用する場合を考えてみます。

$$V_{IN} = 3.3V \text{ to } 5V$$

$$V_{OUT} = 0.875V$$

$$I_{OUT(MAX)} = 25A$$

$$f_{SW} = 2MHz$$

まず、図 27 に従い、 R_2 を $10k\Omega$ 、 R_1 を $7.5k\Omega$ に設定して出力を $0.875V$ に設定します。最高の精度を実現するため、0.1%の抵抗を用います。

標準的なソフトスタート時間（最終的な V_{OUT} 値の 0%から 100%までの時間）を $4ms$ にするためには、 C_{SS} を以下の式のようにします。

$$10\mu A = C_{SS} \cdot \frac{0.875V}{4ms}$$

$$C_{SS} = 46nF$$

C_{SS} には標準的な $47nF$ のコンデンサを用います。

負荷電流が大きい場合も小さい場合も効率は重要なので、不連続モード動作を採用します。 $2MHz$ のスイッチング周波数に適した R_T 抵抗を特性曲線から選択します。これに基づき、 R_{RT} を $50k\Omega$ とします。次に、電流リップルが最大 V_{IN} での最大ピーク電流制限値 ($25A$) の約 40%となるようにするインダクタ値を計算します。

$$L = \frac{V_{OUT}}{f_{SW} \cdot \Delta L_{(MAX)}} \cdot \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)$$

$$L = \frac{0.875V}{2MHz \cdot 10A} \cdot \left(1 - \frac{0.875V}{5V}\right) = 36nH$$

これに最も近い標準値は $36nH$ です。

C_{OUT} は、出力のリプル条件を満たすために必要な ESR と、ループ安定性を確保するために必要なバルク容量に基づいて選択します。この設計では、 $100\mu\text{F}$ と $220\mu\text{F}$ のセラミック・コンデンサを 2 個ずつ使用します。

$$\Delta V_{OUT} < \Delta I_L \cdot \left(\frac{1}{8 \cdot f_{SW} \cdot C_{OUT}} + ESR \right)$$

C_{IN} の大きさは、以下の最大電流定格に見合うものとなるようにします。

$$I_{RMS} \cong I_{OUT(MAX)} \cdot \frac{V_{OUT}}{V_{IN}} \cdot \text{Sqrt} \left(\frac{V_{IN}}{V_{OUT}} - 1 \right)$$

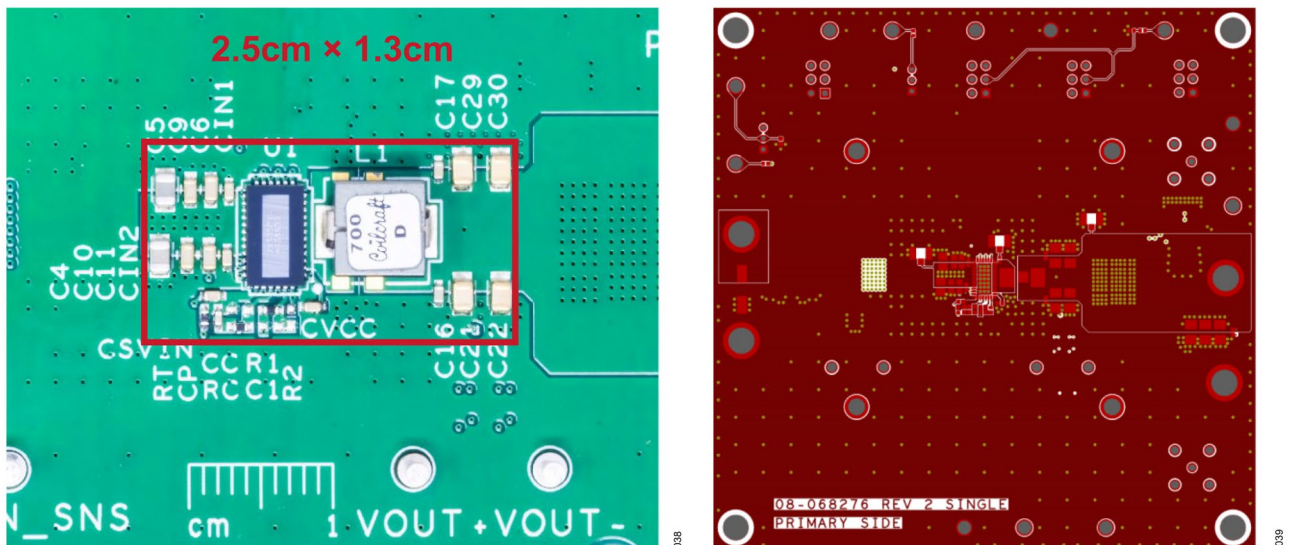
$$I_{RMS} = 25A \cdot (0.875V/5V) \cdot ((5V/0.875V) - 1)^{1/2} = 9.5A$$

ほとんどのアプリケーションでは、図 30 に示すように、 $47\mu\text{F}$ のセラミック・コンデンサ 2 個を用いて V_{IN} をデカップリングするのが適当です。

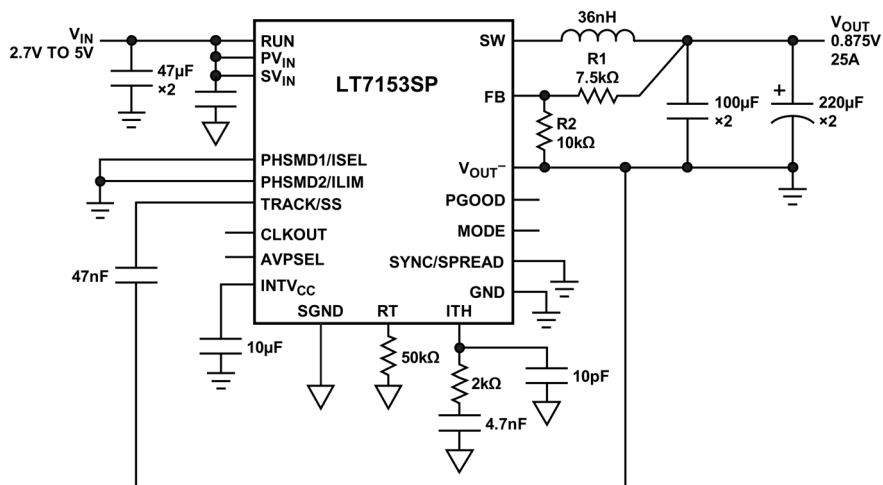
ボード・レイアウト時の考慮事項

プリント回路基板のレイアウト時には、次のチェックリストを使用して、LT7153SP が正しく動作するようにしてください（図 30 を参照）。レイアウト時のチェック項目は次のとおりです。

1. コンデンサ C_{IN} を、 PV_{IN} と GND にできるだけ近づけて接続します。これらのコンデンサは、内蔵のパワーMOSFET およびそのドライバに AC 電流を供給します。
2. C_{OUT} と L は近づけて接続されていますか？ C_{OUT} の (-) プレートは、電流を GND と C_{IN} の (-) プレートに戻します。
3. FB 分圧器はデバイスの近くに配置し、ポイント・オブ・ロードで V_{OUT} と GND にケルビン接続します。
4. ノイズの影響を受けやすい部品は SW ピンから離して配置します。FB 抵抗、RT 抵抗、補償部品、INTV_{CC} バイパス・コンデンサは、 SW パターンやインダクタから離して配線します。
5. グランド・プレーンの使用が望まれます。
6. 使用しない領域は全て銅で覆ってください。これにより電力部品の温度上昇が抑制されます。これらの銅領域は GND に接続します。

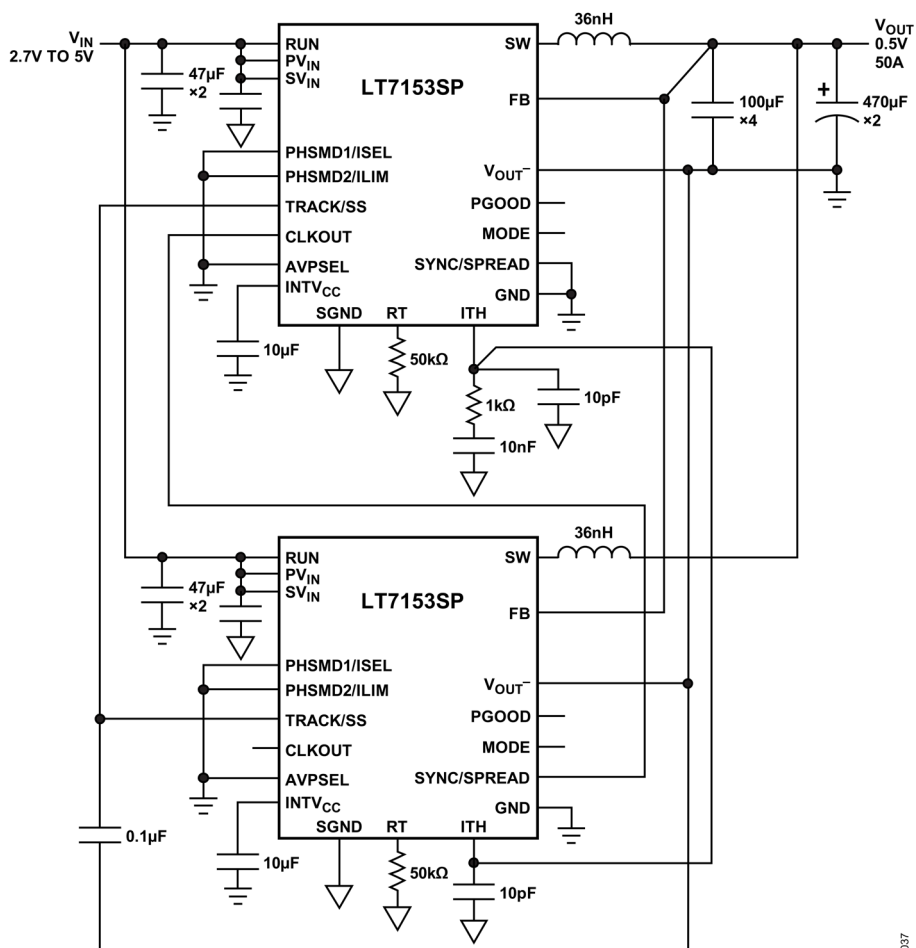


代表的なアプリケーション



036

図 31. 0.875V/25A、2MHz、降圧コンバータ（1%負荷ライン）

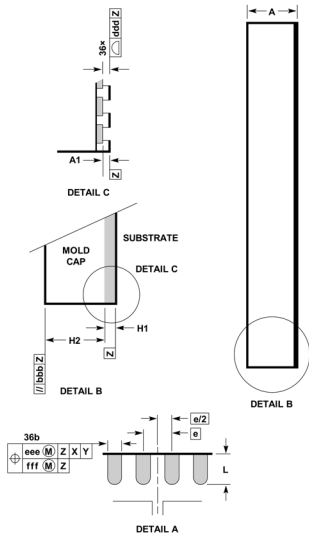
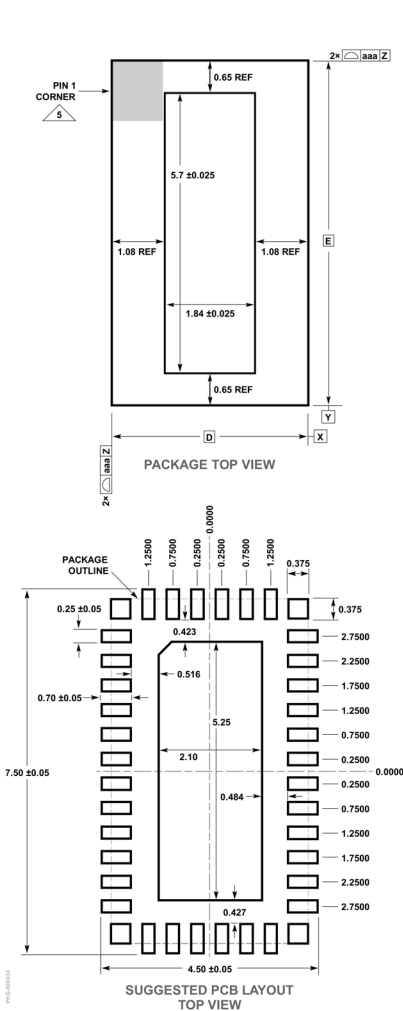


037

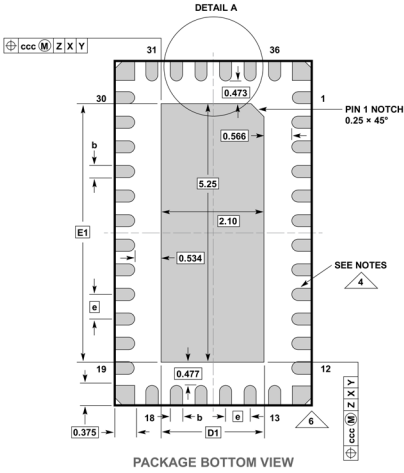
図 32. 高効率、デュアル・フェーズ 0.5V/50A、2MHz、降圧コンバータ

外形寸法

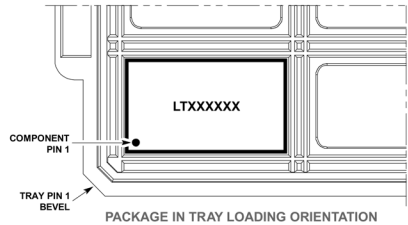
36-Terminal Land Grid Array [LGA]
(7mm x 4mm x 1.02mm)
(Reference DWG # CC-36-3)



DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	0.92	1.02	1.12	
A1			0.03	
L	0.30	0.40	0.50	
b	0.22	0.25	0.28	
D		4.00		
E		7.00		
D1		2.10		
E1		5.25		
e		0.50		
H1		0.32 REF		SUBSTRATE THK
H2		0.70 REF		MOLD CAP HT
aaa			0.10	
bbb			0.10	
ccc			0.10	
ddd			0.10	
eee			0.15	
fff			0.08	



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. PRIMARY DATUM -Z- IS SEATING PLANE
 4. METAL FEATURES UNDER THE SOLDER MASK OPENING NOT SHOWN SO AS NOT TO OBSCURE THESE TERMINALS AND HEAT FEATURES
 5. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 6. CORNER SUPPORT PAD CHAMFER IS OPTIONAL



オーダー・ガイド

TAPE AND REEL (MINI)	TAPE AND REEL	PART MARKING	FINISH CODE	PAD FINISH	PACKAGE TYPE	MSL RATING	TEMPERATURE RANGE
LT7153SPAV#TRMPBF	LT7153SPAV#TRPBF	7153SPV	E4	Au (RoHS)	LQFN (Laminate Package with QFN Footprint)	3	-40°C to 125°C

- 製品番号末尾が PBF となっている製品は RoHS および WEEE に準拠しています。
- パッドとボールの仕上げコードは IPC/JEDEC J-STD-609 によります。
- 温度グレードは出荷容器のラベルで識別されます。更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。
- TRM = 500 個。
- 推奨される PCB のアセンブリと製造の手順。
- パッケージ図面とトレイ図面。

関連製品

製品番号	説明	注釈
LT7200S	18V、クワッド $\pm 5A/4$ 相 $\pm 20A$ Silent Switcher [®] 2 降圧レギュレータ	$2.9V < V_{IN} < 18V$ 、 $0.5V < V_{OUT} < 0.9V_{IN}$ 、最大効率96%、 $5mm \times 6mm$ LQFN-48パッケージ
LTC7150S	20V、20A 同期整流式降圧レギュレータ	$3.1V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、最大効率96%、 $5mm \times 6mm$ BGAパッケージ
LTC3605/ LTC3605A	20V、5A 同期整流式降圧レギュレータ	$4V < V_{IN} < 20V$ 、 $0.6V < V_{OUT} < 20V$ 、最大効率：96%、 $4mm \times 4mm$ QFN-24パッケージ
LTC3613	差動出力検出機能を備えた 24V、15A モノリシック降圧レギュレータ	$4.5V < V_{IN} < 24V$ 、 $0.6V < V_{OUT} < 5.5V$ 、出力電圧精度：0.67%、谷電流モード、200kHz~1MHzでプログラマブル、電流検出、 $7mm \times 9mm$ QFN-56パッケージ
LTC3622	超低静止電流の17V、デュアル1A同期整流式降圧レギュレータ	$2.7V < V_{IN} < 17V$ 、 $0.6V < V_{OUT} < V_{IN}$ 、最大効率：95%、 $3mm \times 4mm$ DFN-14 および MSOP-16 パッケージ
LTC3623	15V、 $\pm 5A$ レール to レールの同期整流式降圧レギュレータ	$4V \leq V_{IN} \leq 15V$ 、最大効率96%、 $3mm \times 5mm$ QFNパッケージ
LTC3624	静止電流が $3.5\mu A$ の 17V、2A 同期整流式降圧レギュレータ	$2.7V < V_{IN} < 17V$ 、 $0.6V < V_{OUT} < V_{IN}$ 、最大効率95%、 $3.5\mu A$ の I_q 、ゼロ電流シャットダウン、 $3mm \times 3mm$ DFN-8パッケージ
LTC3633A/ LTC3633A-1	デュアル・チャンネル 3A、20V モノリシック同期整流式降圧レギュレータ	$3.6V < V_{IN} < 20V$ 、 $0.6V < V_{OUT} < V_{IN}$ 、最大効率：95%、 $4mm \times 5mm$ QFN-28およびTSSOP-28パッケージ
LTM4639	低 V_{IN} 20A DC/DC μ Module 降圧レギュレータ	完全な20Aスイッチ・モード電源、 $2.375V < V_{IN} < 7V$ 、 $0.6V < V_{OUT} < 5.5V$ 、最大合計DC出力電圧誤差1.5%、差動リモート・センス・アンプ、 $15mm \times 15mm$ BGAパッケージ
LTM4637	20A DC/DC μ Module 降圧レギュレータ	完全な20Aスイッチ・モード電源、 $4.5V < V_{IN} < 20V$ 、 $0.6V < V_{OUT} < 5.5V$ 、最大合計DC出力電圧誤差：1.5%、差動リモート・センス・アンプ、 $15mm \times 15mm$ BGAまたはLGAパッケージ
LTC7130	超低 DCR 検出機能を備えた 20V、20A モノリシック降圧コンバータ	$4.5V < V_{IN} < 20V$ 、最大効率：95%、低デューティ・サイクル・アプリケーション向けに最適化、 $6.25mm \times 7.5mm$ BGAパッケージ
LT8642S	18V、10A 同期整流式降圧 Silent Switcher 2	$2.8V < V_{IN} < 18V$ 、 $0.6V < V_{OUT} < V_{IN}$ 、最大効率96%、 $4mm \times 4mm$ 0.94mm LQFNパッケージ

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 7 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 7 日

製品名： **LT7153SP**

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 22 頁、「マルチフェーズ構成」の項、上から 2 行目

【誤】

「PHASE1/SEL ピンと PHSMD2/ILIM ピンを設定することにより」

【正】

「PHSMD1/ISEL ピンと PHSMD2/ILIM ピンを設定することにより」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 7 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 7 日

製品名： **LT7153SP**

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 24 頁、「熱的条件」の項、上から 6 行目

【誤】

「LT7153SP には、ヒートシンク搭載の目的でパッケージ上面に露出ダイ・パッドを設けています。」

【正】

「LT7153SP のダイ背面は、パッケージ上面の露出パッド接続されヒートシンクとなっています。」