

# I<sup>2</sup>C コマンド機能と 遠隔測定機能を備えた Anyside™ 高電圧 絶縁型スイッチ・コントローラ

## 特長

- UL-CSA 規格認証申請中: 5kV<sub>RMS</sub> (1 分間)
- 強化された絶縁
- 絶縁型電源を内蔵
- ターンオン・ランプ・レートと電流制限値を調整可能
- I<sup>2</sup>C/SMBus インタフェース
- 電流と2つの不確定チャネルをモニタする 10ビット A/D コンバータ
- 同相トランジェント耐性が高い: ≥ 30kV/μs
- フォルト状態のアラート出力およびパワーグッド出力
- 3V ~ 5.5V の独立したロジック電源
- 絶縁障壁間での ±20kV の ESD 保護
- 連続動作時の最大電圧: 690V<sub>RMS</sub>
- 沿面距離: 14.6mm
- 低電流シャットダウン・モード (<10μA)
- 22mm×9mm×5.16mm BGA パッケージ

## アプリケーション

- 高電圧の DC 活線挿抜
- 通電状態のバックプレーン挿入
- 絶縁型分散給電システム
- 電力モニタ
- 産業用制御システム
- グランド・ループの遮断

LT, LT, LTC, LTM, Linear Technology, μModule, LTspice および Linear のロゴはリアテクノロジー社の登録商標です。PowerPath および Anyside はリアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

## 概要

LTM<sup>®</sup>9100 μModule<sup>®</sup> (マイクロモジュール) コントローラは、電氣的に絶縁された総合的なスイッチ・コントローラで、I<sup>2</sup>C インタフェースを備えており、負荷スイッチやホットスワップ・コントローラとして使用することができます。負荷は外付けの N チャネル MOSFET スイッチによってソフトスタートおよび制御が行われます。起動時、入力ステップ状態時、および出力短絡状態時には、過電流保護回路によって MOSFET のストレスが最小限に抑えられます。スイッチは絶縁されたフローティング特性を備えているので、高電位側、低電位側、およびフローティング・アプリケーションでの使用に合わせて容易に構成することができます。

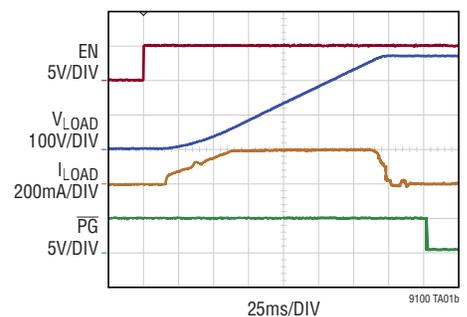
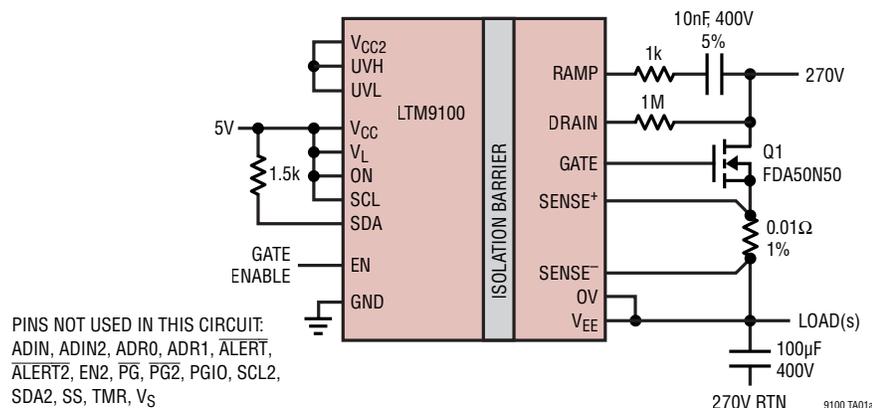
5V の単電源により、一体化された絶縁型 DC/DC コンバータを介してスイッチ・コントローラの両側に電力を供給します。ロジック電源の入力が分かれているので、主電源に関係なく、3V ~ 5.5V のロジック・レベルとのインタフェースを容易にとることができます。負荷電流と2つの追加電圧入力での絶縁測定は 10ビット ADC によって行われ、I<sup>2</sup>C インタフェースを介してアクセスされます。

ロジック・インタフェースと I<sup>2</sup>C インタフェースは、5kV<sub>RMS</sub> の絶縁障壁によってスイッチ・コントローラから分離されているので、LTM9100 は、最大 1000V<sub>DC</sub> のバス上でスイッチが動作するシステムに適しているだけでなく、接地経路を切断して同相電圧振幅を大きくしているシステムを電氣的に絶縁するのにも最適です。同相トランジェントが 30kV/μs までの場合、通信が遮断されないことが保証されています。

## 標準的応用例

絶縁型高電圧負荷スイッチ・ドライバ

270V 負荷のソフトスタート



PINS NOT USED IN THIS CIRCUIT:  
ADIN, ADIN2, ADRO, ADR1, ALERT,  
ALERT2, EN2, PG, PG2, PGIO, SCL2,  
SDA2, SS, TMR, VS

## 目次

特長.....	1	FET 短絡フォルト.....	27
アプリケーション.....	1	外部フォルト・モニタ.....	27
標準的応用例.....	1	フォルト・アラート.....	27
概要.....	1	フォルトのリセット.....	28
絶対最大定格.....	3	データ・コンバータ.....	28
ピン配置.....	3	PGIOピンの構成.....	28
発注情報.....	3	設計の手順.....	28
電気的特性.....	4	設計例 #1.....	30
スイッチング特性.....	6	設計例 #2.....	31
絶縁特性.....	8	外付けスイッチ.....	32
標準的的性能特性.....	9	ゲート電圧の昇圧.....	33
ピン機能.....	12	負のゲート・バイアス.....	33
ブロック図.....	15	スイッチの並列接続.....	34
テスト回路.....	16	ACリップルが存在するDCバス(整流AC).....	34
アプリケーション情報.....	17	IC間通信バス(I <sup>2</sup> C).....	36
概要.....	17	START条件とSTOP条件.....	37
μModule技術.....	18	スタックバス・リセット.....	37
DC/DCコンバータ.....	18	I <sup>2</sup> Cデバイスのアドレス指定.....	38
バスによるLTM9100の電力供給.....	18	アクノリッジ.....	38
低電位側アプリケーション.....	19	書き込みプロトコル.....	38
高電位側アプリケーション.....	19	読み出しプロトコル.....	38
PowerPath™の切り替え.....	20	アラート応答プロトコル.....	39
V <sub>L</sub> ロジック電源.....	20	単線一斉送信モード.....	39
安全な活線挿入.....	20	レジスタのアドレスと内容.....	40
チャンネルのタイミングの不確実性.....	20	RF、磁界に対する耐性.....	43
最初の起動制御および突入電流の制御.....	20	PCBレイアウト.....	43
パワーグッド・モニタ.....	21	<b>標準的応用例.....</b>	<b>45</b>
オフ・シーケンスと自動再試行.....	21	<b>パッケージ.....</b>	<b>53</b>
GATEピン(外付けFET)の導通.....	23	<b>標準的応用例.....</b>	<b>54</b>
過電流保護と過電流フォルト.....	23	<b>関連製品.....</b>	<b>54</b>
過電圧フォルト.....	25		
低電圧コンパレータと低電圧フォルト.....	25		

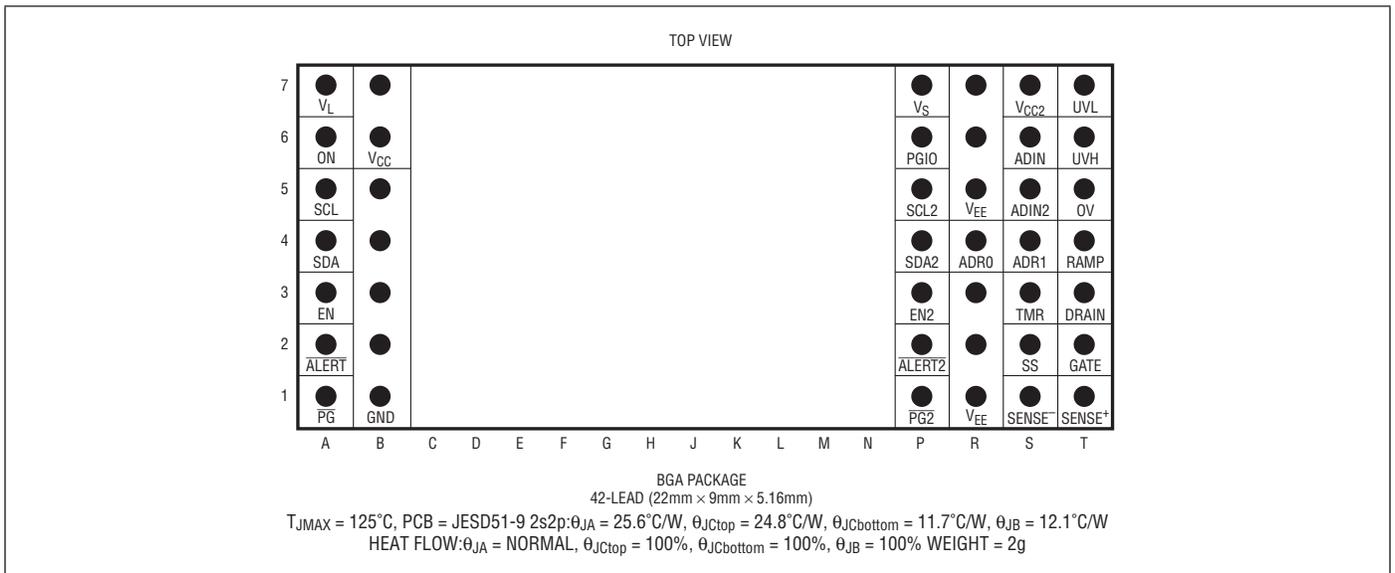
## 絶対最大定格

(Note 1, 2)

V <sub>CC</sub> - GND 間	-0.3V ~ 6V
V <sub>L</sub> - GND 間	-0.3V ~ 6V
V <sub>CC2</sub> - V <sub>EE</sub> 間	-0.3V ~ 5.5V
V <sub>S</sub> - V <sub>EE</sub> 間 (Note 3)	-0.3V ~ 10.65V
DRAIN - V <sub>EE</sub> 間 (Note 4)	-0.3V ~ 3.5V
PG、ALERT、EN、SDA、SCL、 ON - GND 間	-0.3V ~ (V <sub>L</sub> + 0.3V)
SCL2、SDA2、ADRO、ADR1、ALERT2、PG2、ADIN、ADIN2、 RAMP、OV、SS、EN2、 TMR - V <sub>EE</sub> 間	-0.3V ~ (V <sub>CC2</sub> + 0.3V)
GATE - V <sub>EE</sub> 間	-0.3V ~ (V <sub>S</sub> + 0.3V)

UVL、UVH - V <sub>EE</sub> 間	-0.3V ~ 10V
PGIO - V <sub>EE</sub> 間	-0.3V ~ 80V
SENSE <sup>+</sup> および SENSE <sup>-</sup>	-0.3V ~ 0.3V
SENSE <sup>-</sup> - V <sub>EE</sub> 間	-0.3V ~ 0.3V
周囲動作温度範囲 (Note 5)	
LTM9100C	0°C ~ 70°C
LTM9100I	-40°C ~ 85°C
LTM9100H	-40°C ~ 105°C
最大内部動作温度	125°C
保存温度範囲	-55°C ~ 125°C
ピーク・ボディ・リフロー温度	245°C

## ピン配置



## 発注情報

<http://www.linear-tech.co.jp/product/LTM9100#orderinfo>

製品番号	パッド/ボール仕上げ	製品マーキング		パッケージ・ タイプ	MSL 定格	温度範囲
		デバイス	仕上げコード			
LTM9100CY#PBF	SAC305 (RoHS)	LTM9100Y	e1	BGA	3	0°C to 70°C
LTM9100IY#PBF						-40°C to 85°C
LTM9100HY#PBF						-40°C to 105°C

- デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。
- パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- 端子仕上げの製品マーキングの参照先: [www.linear-tech.co.jp/leadfree](http://www.linear-tech.co.jp/leadfree)
- この製品では、第2面のリフローは推奨していません。  
詳細についての参照先: [www.linear-tech.co.jp/BGA-assy](http://www.linear-tech.co.jp/BGA-assy)

- 推奨のBGA PCBアセンブリ手順および製造手順についての参照先: [www.linear-tech.co.jp/BGA-assy](http://www.linear-tech.co.jp/BGA-assy)
- BGAパッケージおよびトレイの図面の参照先: [www.linear-tech.co.jp/packaging](http://www.linear-tech.co.jp/packaging)
- この製品は水分の影響を受けやすくなっています。  
詳細についての参照先: [www.linear-tech.co.jp/BGA-assy](http://www.linear-tech.co.jp/BGA-assy)

# LTM9100

**電気的特性** ●は規定動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。

注記がない限り、 $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = V_{EE} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>電源</b>							
$V_{CC}$	Input Supply Range		●	4.5		5.5	V
$I_{CC}$	Input Supply Current	$\text{ON} = 0\text{V}$ $\text{ON} = V_L$ , No Load	● ●		0 50	10 70	$\mu\text{A}$ mA
$V_L$	Logic Input Supply Range		●	3		5.5	V
	Logic Input Supply Current	$\text{ON} = 0\text{V}$ $\text{ON} = V_L$	● ●		0 3.2	10 4.5	$\mu\text{A}$ mA
	$V_L$ Undervoltage Lockout Threshold	$V_L$ Rising	●	2.3		2.7	V
	$V_L$ Undervoltage Lockout Hysteresis				100		mV
$V_S$	Regulated Output Voltage	$I_{LOAD} = 0\text{mA}$ to $35\text{mA}$	●	9.65	10.4	11.15	V
$V_Z$	Shunt Regulator Voltage at $V_S$	$I_S = 10\text{mA}$ , $V_{CC} = 0\text{V}$	●	10.4	11.2	12	V
	Shunt Regulator Load Regulation	$I_S = 10\text{mA}$ to $25\text{mA}$ , $V_{CC} = 0\text{V}$	●		370	600	mV
$I_S$	$V_S$ Supply Current	$V_S = 10.4\text{V}$ , $V_{CC} = 0\text{V}$	●		7	12	mA
	$V_S$ Undervoltage Lockout Threshold	$V_S$ Rising, $V_{CC} = 0\text{V}$	●	8.5	9	9.5	V
	$V_S$ Undervoltage Lockout Hysteresis	$V_{CC} = 0\text{V}$	●	0.3	0.7	1.1	V
$V_{CC2}$	Regulated Output Voltage	$I_{LOAD} = 0\text{mA}$ to $15\text{mA}$	●	4.75	5	5.25	V
<b>ゲート駆動</b> (注記がない限り、 $\text{EN} = V_L$ 、 $\text{UVL} = \text{UVH} = V_{CC2}$ 、 $0\text{V} = 0\text{V}$ )							
$V_{GATEH}$	GATE Pin Output High Voltage	$V_S = 10.4\text{V}$ , $V_{CC} = 0\text{V}$	●	9.75	10	10.25	V
$I_{GATE(UP)}$	GATE Pin Pull-Up Current	$V_{GATE} = 4\text{V}$	●	-7.5	-11.5	-15.5	$\mu\text{A}$
$I_{GATE(OFF)}$	GATE Turn-Off Current	$V_{SENSE} = 400\text{mV}$ , $V_{GATE} = 4\text{V}$ $\text{EN} = 0\text{V}$ , $V_{GATE} = 4\text{V}$	● ●	45 120	100 175	150 250	mA mA
$t_{PHL(SENSE)}$	SENSE High to Current Limit Propagation Delay	$V_{SENSE} = 100\text{mV}$ to GATE Low $V_{SENSE} = 300\text{mV}$ to GATE Low	● ●		0.5 0.2	1.5 0.5	$\mu\text{s}$ $\mu\text{s}$
	GATE Off Propagation Delay	$\text{EN} \downarrow$ to GATE Low $\text{OV} \uparrow$ , $\text{UVL} \downarrow$ to GATE Low	● ●		0.2 1.4	0.5 2	$\mu\text{s}$ $\mu\text{s}$
	Circuit Breaker Gate Off Delay	$V_{SENSE} = 300\text{mV}$ to $\overline{\text{PG2}} \uparrow$	●	440	530	620	$\mu\text{s}$
$I_{RAMP}$	RAMP Pin Current	$V_{SS} = 2.56\text{V}$	●	-18	-20	-22	$\mu\text{A}$
$V_{SS}$	SS Pin Clamp Voltage		●	2.43	2.56	2.69	V
	SS Pin Pull-Up Current	$V_{SS} = 0\text{V}$	●	-7	-10	-13	$\mu\text{A}$
	SS Pin Pull-Down Current	$\text{EN} = 0\text{V}$ , $V_{SS} = 2.56\text{V}$	●	6	12	20	mA
<b>入力ピン</b>							
	EN, ON Input Threshold Voltage		●	$0.33 \cdot V_L$		$0.67 \cdot V_L$	V
	EN, ON Input Hysteresis	(Note 6)			150		mV
$V_{UVH(TH)}$	UVH Threshold Voltage	$V_{UVH}$ Rising	●	2.518	2.56	2.598	V
$V_{UVL(TH)}$	UVL Threshold Voltage	$V_{UVL}$ Falling	●	2.248	2.291	2.328	V
$\Delta V_{UV(HYST)}$	UV Hysteresis	UVH and UVL Tied Together	●	236	269	304	mV
$\delta V_{UV}$	UVH, UVL Hysteresis				15		mV
	UVL Reset Threshold Voltage	$V_{UVL}$ Falling	●	1.12	1.21	1.30	V
	UVL Reset Hysteresis				60		mV
$V_{OV(TH)}$	OV Pin Threshold Voltage	$V_{OV}$ Rising	●	1.735	1.770	1.805	V

9100f

## 電気的特性

● は規定動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。

注記がない限り、 $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = V_{EE} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	OV Pin Hysteresis		●	18	37.5	62	mV
	Current Limit Sense Voltage Threshold	SENSE <sup>+</sup> – SENSE <sup>-</sup>	●	45	50	55	mV
	PGIO Pin Input Threshold Voltage	V <sub>PGIO</sub> Rising	●	1.10	1.25	1.40	V
	PGIO Pin Input Hysteresis			100			mV
	Input Current	ON, EN, UVH, UVL, OV, SENSE <sup>+</sup> SENSE <sup>-</sup>	● ●		0 -10	±2 -20	μA μA

### タイマ

	TMR Pin High Threshold	V <sub>TMR</sub> Rising	●	2.43	2.56	2.69	V
	TMR Pin Low Threshold	V <sub>TMR</sub> Falling	●	40	75	110	mV
	TMR Pin Pull-Up Current	Turn-On and Auto-Retry (Except OC) Delays, V <sub>TMR</sub> = 0.2V	●	-7	-10	-13	μA
		Power Good and OC Auto-Retry Delays, V <sub>TMR</sub> = 0.2V	●	-3.5	-5	-7	μA
	TMR Pin Pull-Down Current	Delays Except OC Auto-Retry, V <sub>TMR</sub> = 2.56V	●	6	12	20	mA
		OC Auto-Retry Delays, V <sub>TMR</sub> = 2.56V	●	3	5	7	μA

### 出力ピン

V <sub>OH</sub>	Output High Voltage	$\overline{\text{ALERT}}$ , I <sub>LOAD</sub> = -4mA, $\overline{\text{PG}}$ , I <sub>LOAD</sub> = -2mA	●	V <sub>L</sub> - 0.4			V
V <sub>OL</sub>	Output Low Voltage	$\overline{\text{ALERT}}$ , I <sub>LOAD</sub> = 4mA, $\overline{\text{PG}}$ , I <sub>LOAD</sub> = 2mA	●			0.4	V
		PGIO, I <sub>LOAD</sub> = 3mA	●		0.8	1.6	V
		$\overline{\text{ALERT2}}$ , PG2, PGIO, I <sub>LOAD</sub> = 500μA	●		0.15	0.4	V
	Input Current	PGIO = 80V	●		0	10	μA
	Short-Circuit Current	$0\text{V} \leq \overline{\text{ALERT}} \leq V_L$	●			±85	mA
		$0\text{V} \leq \overline{\text{PG}} \leq V_L$	●		±30		mA
		$0\text{V} \leq \overline{\text{ALERT2}}, \text{PG2} \leq V_{CC2}$ $0\text{V} \leq \text{EN2} \leq V_{CC2}$	●		±30		±2 mA

### ADC

	Resolution (No Missing Codes)	(Note 6)	●	10			Bits
INL	Integral Nonlinearity	SENSE	●		±0.5	±2.5	LSB
		ADIN, ADIN2	●		±0.25	±1.25	LSB
	Offset Error	SENSE	●			±2.25	LSB
		ADIN, ADIN2	●			±1.25	LSB
	Full-Scale Voltage	SENSE	●	62.8	64	65.2	mV
		ADIN, ADIN2	●	2.514	2.560	2.606	V
	Total Unadjusted Error	SENSE	●			±1.8	%
		ADIN, ADIN2	●			±1.6	%
	Conversion Rate		●	5.5	7.3	9	Hz
	ADIN, ADIN2 Pin Input Resistance	ADIN, ADIN2 = 1.28V	●	2	10		MΩ
	ADIN, ADIN2 Pin Input Current	ADIN, ADIN2 = 2.56V	●		0	±2	μA

### I<sup>2</sup>Cインタフェース

	ADRO, ADR1 Input High Threshold		●	V <sub>CC2</sub> - 0.8	V <sub>CC2</sub> - 0.5	V <sub>CC2</sub> - 0.3	V
	ADRO, ADR1 Input Low Threshold		●	0.3	0.5	0.8	V
	ADRO, ADR1 Input Current	ADRO, ADR1 = 0V, V <sub>CC2</sub>	●			±80	μA
		ADRO, ADR1 = 0.8V, (V <sub>CC2</sub> - 0.8V)	●		±10		μA
	Input Threshold Voltage	SCL, SDA	●	0.3 • V <sub>L</sub>		0.7 • V <sub>L</sub>	V
		SDA2	●	0.3 • V <sub>CC2</sub>		0.7 • V <sub>CC2</sub>	V

# LTM9100

**電気的特性** ● は規定動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  
 注記がない限り、 $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = V_{EE} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Input Current	SCL, SDA = $V_L$ or 0V	●		$\pm 2$	$\mu\text{A}$
	Input Hysteresis	SCL, SDA SDA2		$0.05 \cdot V_L$ $0.05 \cdot V_{CC2}$		mV mV
$V_{OH}$	Output High Voltage	SCL2, $I_{LOAD} = -2\text{mA}$	●	$V_{CC2} - 0.4$		V
$V_{OL}$	Output Low Voltage	SDA, $I_{LOAD} = 3\text{mA}$ , SCL2, $I_{LOAD} = 2\text{mA}$ SDA2, No Load, SDA = 0V	● ●		0.4 0.45	V V
	Input Pin Capacitance	SCL, SDA, SDA2 (Note 6)	●		10	pF
	Bus Capacitive Load	SCL2, Standard Speed (Note 6) SCL2, Fast Speed SDA, SDA2, $\text{SR} \geq 1\text{V}/\mu\text{s}$ , Standard Speed (Note 6) SDA, SDA2, $\text{SR} \geq 1\text{V}/\mu\text{s}$ , Fast Speed	● ● ● ●		400 200 400 200	pF pF pF pF
	Minimum Bus Slew Rate	SDA, SDA2		1		V/ $\mu\text{s}$
	Short-Circuit Current	SDA2 = 0, SDA = $V_L$ $0\text{V} \leq \text{SCL2} \leq V_{CC2}$ SDA = 0, SDA2 = $V_{CC2}$ SDA = $V_L$ , SDA2 = 0	●	$\pm 30$ 6 -1.8	100	mA mA mA mA

## ESD (人体モデル) (Note 6)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Isolation Boundary	( $V_{CC2}$ , $V_S$ , $V_{EE}$ ) to ( $V_{CC}$ , $V_L$ , GND) in Any Combination		$\pm 20$		kV
	Isolated Side Interface Pins	GATE to ( $V_S$ , $V_{EE}$ ) in Any Combination (RAMP, DRAIN, SENSE <sup>+</sup> , SENSE <sup>-</sup> ) to ( $V_{CC2}$ , $V_{EE}$ ) in Any Combination		$\pm 8$		kV
	All Other Pins			$\pm 3.5$		kV

**スイッチング特性** ● は規定動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  
 注記がない限り、 $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = V_{EE} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ロジックのタイミング</b>							
$t_{PHL}$ , $t_{PLH}$	Propagation Delay	( $\overline{\text{PG2}}$ , $\overline{\text{ALERT2}}$ ) to ( $\overline{\text{PG}}$ , $\overline{\text{ALERT}}$ ), $C_L = 15\text{pF}$ (Figure 1) EN to EN2 ( $0.5 \cdot V_L$ to $0.1 \cdot V_{CC2}$ ), $C_L = 15\text{pF}$ (Figure 1)	●	35	60	150	ns
$t_R$ , $t_F$	Rise and Fall Time	$\overline{\text{ALERT}}$ , $C_L = 15\text{pF}$ (Figure 1) $\overline{\text{PG}}$ , $C_L = 15\text{pF}$ (Figure 1)	● ●		7 30	30 50	ns ns
$t_{PZH}$ , $t_{PZL}$	ON Enable Time	ON $\uparrow$ to ( $\overline{\text{PG}}$ , $\overline{\text{ALERT}}$ ), $R_L = 1\text{k}\Omega$ , $C_L = 15\text{pF}$ (Figure 2)	●			320	$\mu\text{s}$
$t_{PHZ}$ , $t_{PLZ}$	ON Disable Time	ON $\downarrow$ to ( $\overline{\text{PG}}$ , $\overline{\text{ALERT}}$ ), $R_L = 1\text{k}\Omega$ , $C_L = 15\text{pF}$ (Figure 2)	●		70		ns

## I<sup>2</sup>C インタフェースのタイミング

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Maximum Data Rate	(Note 7)	●	400		kHz	
$t_{PHL}$ , $t_{PLH}$	Propagation Delay	SCL to SCL2, $C_L = 15\text{pF}$ (Figure 1) SDA to SDA2, $R_L = \text{Open}$ , $C_L = 15\text{pF}$ (Figure 3) SDA2 to SDA, $R_L = 1.1\text{k}\Omega$ , $C_L = 15\text{pF}$ (Figure 3)	● ● ●		150 150 300	225 250 500	ns ns ns
	Low Period of SCL Clock	(Note 6)		1.3		$\mu\text{s}$	

**スイッチング特性** ● は規定動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。  
 注記がない限り、 $V_{CC} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ 、 $\text{GND} = V_{EE} = 0\text{V}$ 、 $\text{ON} = V_L$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	High Period of SCL Clock	(Note 6)	600			ns
	Hold Time (Repeated) Start	(Note 6)	600			ns
	Set-Up Time Repeated Start	(Note 6)	600			ns
$t_{\text{HD(DAT)}}$	Data Hold Time	(Note 6)		600		ns
$t_{\text{SU(DAT)}}$	Data Set-Up Time	(Note 6)	100			ns
	Set-Up Time for Stop	(Note 6)	600			ns
	Stop to Start Bus Free Time	(Note 6)	1.3			$\mu\text{s}$
$t_{\text{R}}$	Rise Time	SDA2, $C_L = 200\text{pF}$ (Figure 3)	●	40	350	ns
		SDA, $R_L = 1.1\text{k}\Omega$ , $C_L = 200\text{pF}$ (Figure 3)	●	40	250	ns
		SCL2, $C_L = 200\text{pF}$ (Figure 1)	●		250	ns
$t_{\text{F}}$	Fall Time	SDA2, $C_L = 200\text{pF}$ (Figure 3)	●	40	250	ns
		SDA, $R_L = 1.1\text{k}\Omega$ , $C_L = 200\text{pF}$ (Figure 3)	●	40	250	ns
		SCL2, $C_L = 200\text{pF}$ (Figure 1)	●		250	ns
$t_{\text{PZL}}$	ON Enable Time	$\text{ON}\uparrow$ to SDA, $R_L = 1\text{k}\Omega$ , $C_L = 15\text{pF}$ (Figure 2)	●		320	$\mu\text{s}$
$t_{\text{PLZ}}$	ON Disable Time	$\text{ON}\downarrow$ to SDA, $R_L = 1\text{k}\Omega$ , $C_L = 15\text{pF}$ (Figure 2)	●		70	ns
	Pulse Width of Spikes Suppressed by Input Filter	SDA, SDA2, SCL	●	0	50	ns
<b>電源</b>						
	Power-Up Time	$\text{ON}\uparrow$ to $V_S$ (Min) $\text{ON}\uparrow$ to $V_{CC2}$ (Min)	● ●	0.2 0.2	1.5 2	ms ms

# LTM9100

## 絶縁特性 規格値は、 $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Rated Dielectric Insulation Voltage	1 Minute, Derived from 1 Second Test 1 Second (Notes 8, 9)	5 6			kV <sub>RMS</sub> kV <sub>RMS</sub>
	Common Mode Transient Immunity	$V_{CC} = V_L = 0\text{N} = 5\text{V}$ , $\Delta V_{CM} = 1\text{kV}$ , $\Delta t = 33\text{ns}$ (Note 6)	30	50		kV/ $\mu\text{s}$
$V_{IORM}$	Maximum Continuous Working Voltage	(Note 6,10)	1000 690			$V_{PEAK}$ $V_{RMS}$
	Partial Discharge	$V_{PD} = 1840V_{PEAK}$ (Note 8)			5	pC
CTI	Comparative Tracking Index	IEC 60112 (Note 6)	600			$V_{RMS}$
	Depth of Erosion	IEC 60112 (Note 6)		0.017		mm
DTI	Distance Through Insulation	(Note 6)		0.2		mm
	Input to Output Resistance	(Notes 6, 8)	1	5		$T\Omega$
	Input to Output Capacitance	(Notes 6, 8)		5		pF
	Creepage Distance	(Note 6)		14.6		mm

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 注記がない限り、ピンに流れ込む電流は全て正で、全ての電圧は0Vを基準にしている。

**Note 3:** 内部シャント・レギュレータにより、 $V_S$ ピンの電圧は最小10.65Vに制限される。このピンを10.65Vより高い電圧に駆動するとデバイスを損傷する恐れがある。このピンは、電流を50mA未満に制限する抵抗を介して、より高い電圧に安全に接続することができる。

**Note 4:** 内部クランプにより、DRAINピンの電圧は最小3.5Vに制限される。このピンをクランプ電圧より高い電圧に駆動するとデバイスを損傷する恐れがある。このピンは、電流を2mA未満に制限する抵抗を介して、より高い電圧に安全に接続することができる。

**Note 5:** この $\mu\text{Module}$ は短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能が動作しているとき接合部温度は $125^\circ\text{C}$ を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの劣化または故障が生じる恐れがある。サーマル・シャットダウンが動作すると、内部で生成された電源電圧( $V_S$ および $V_{CC2}$ )が失われ、その後GATEピンの電圧が遮断される。サーマル・シャットダウンは内部でラッチされないで、接合部温度が低下して起動条件を満たすと、デバイスは自動的に再起動する。電源障害時には $I^2\text{C}$ データの構成情報が全て失われることに注意。

**Note 6:** 設計によって保証されており、製造時のテストは行われない。

**Note 7:** 最大データレートは他の測定されたパラメータによって保証されており、直接にはテストされていない。

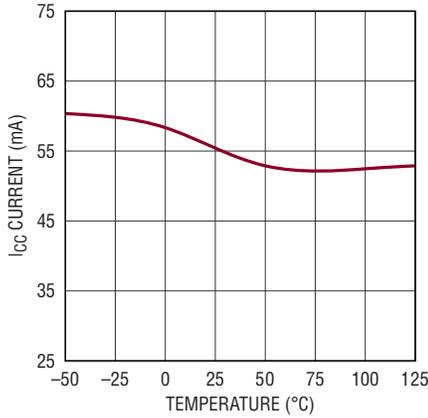
**Note 8:** デバイスは2端子のデバイスとみなされる。A1からB7までのピン・グループを互いに接続し、P1からT7までのピン・グループを互いに接続する。

**Note 9:** 誘電体絶縁定格電圧は連続定格電圧と解釈してはならない。

**Note 10:** 連続動作時DC電圧はピーク値に等しい。

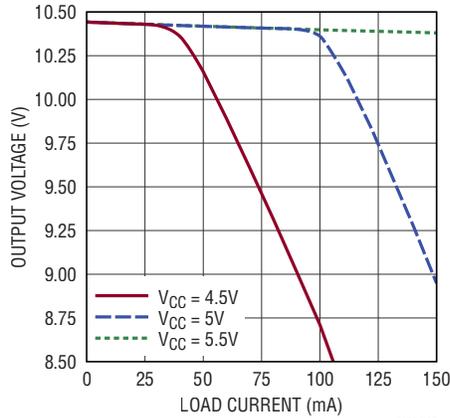
## 標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

$V_{CC}$ の電源電流と温度



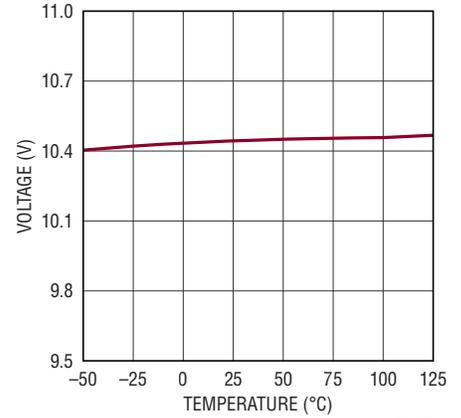
9100 G01

$V_S$ の出力電圧と負荷電流



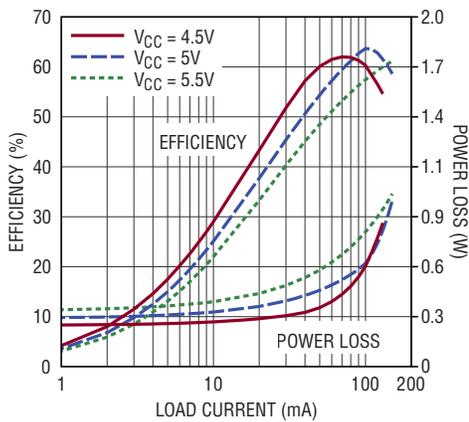
9100 G02

$V_S$ の出力電圧と温度



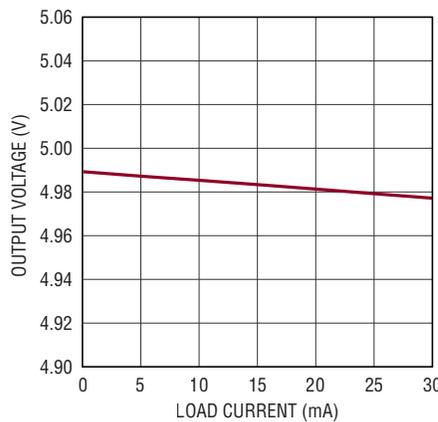
9100 G03

$V_S$ の効率および電力損失と負荷電流



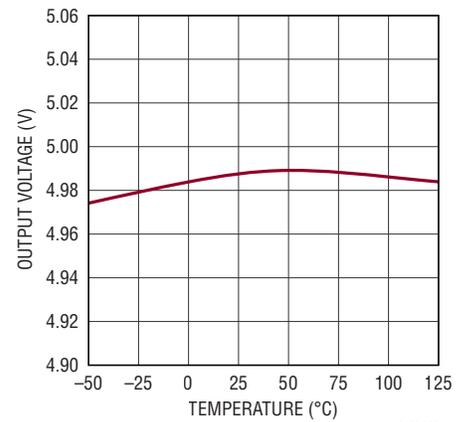
9100 G04

$V_{CC2}$ の出力電圧と負荷電流



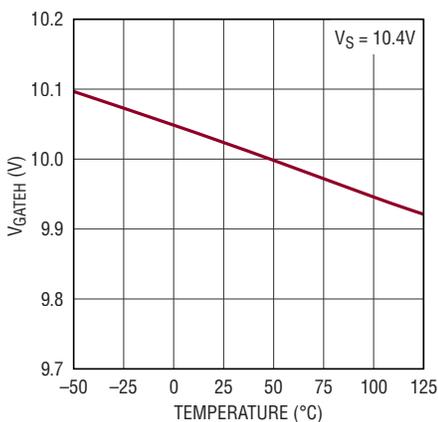
9100 G05

$V_{CC2}$ の出力電圧と温度



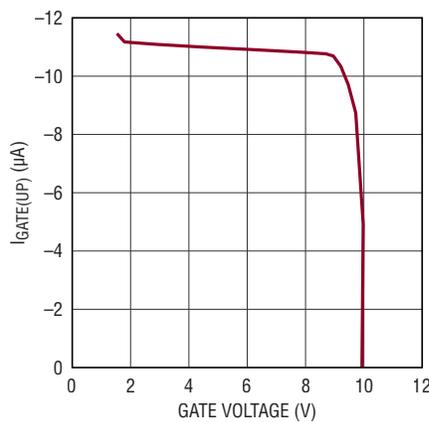
9100 G06

ゲート出力の“H”電圧と温度



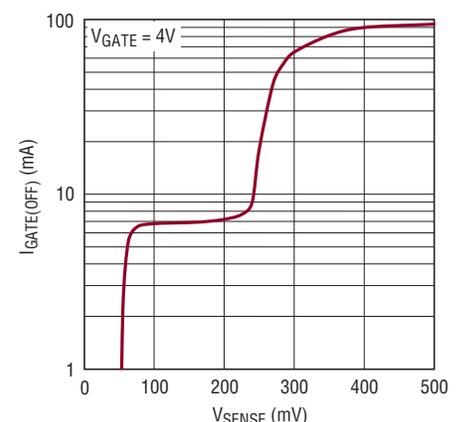
9100 G07

ゲートのプルアップ電流とゲート電圧



9100 G08

ゲートのターンオフ電流とSENSEの電圧

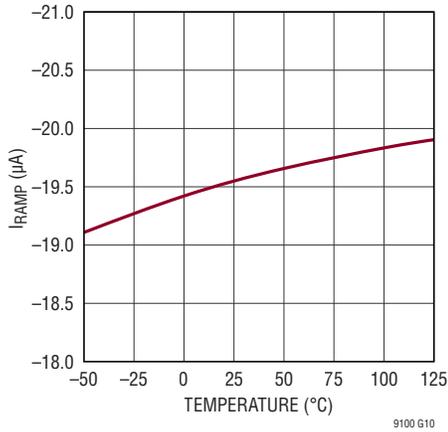


9100 G09

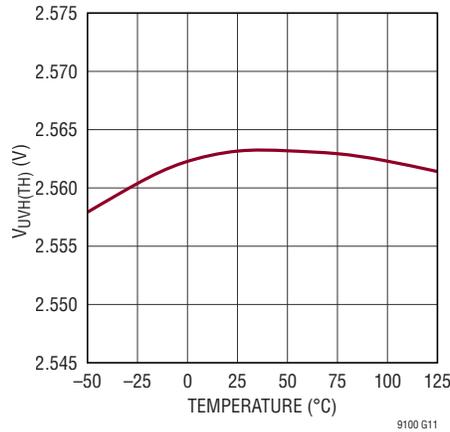
# LTM9100

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

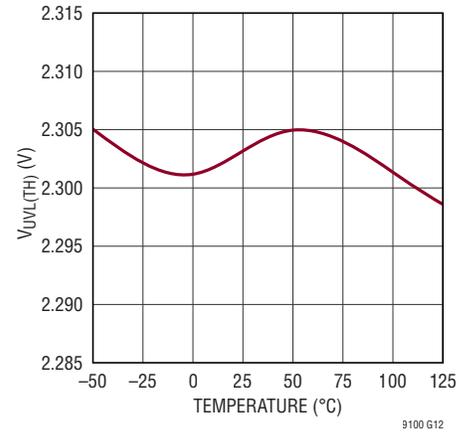
RAMPピンの電流と温度



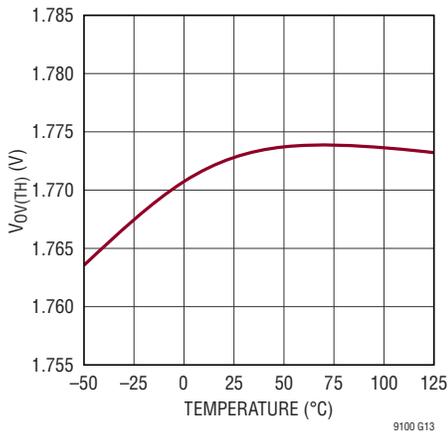
UVHのしきい値と温度



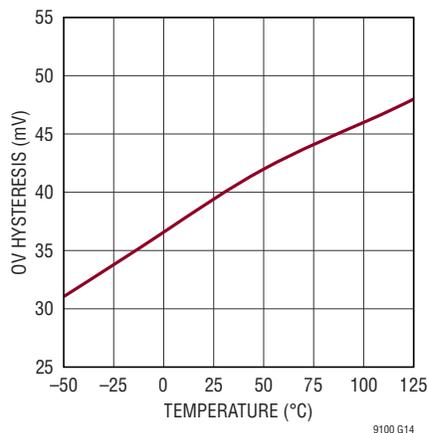
UVLのしきい値と温度



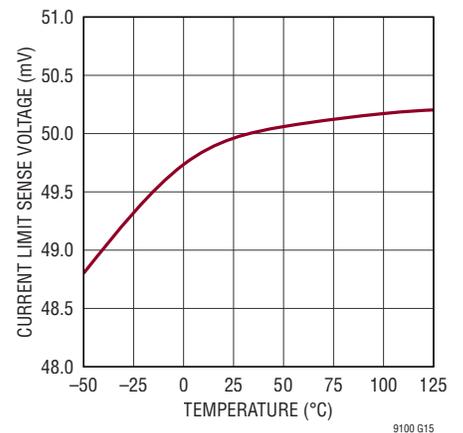
OVのしきい値と温度



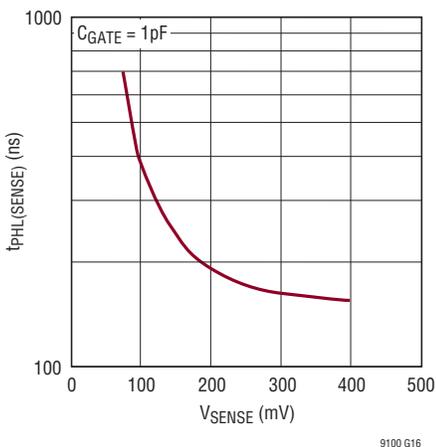
OVのヒステリシスと温度



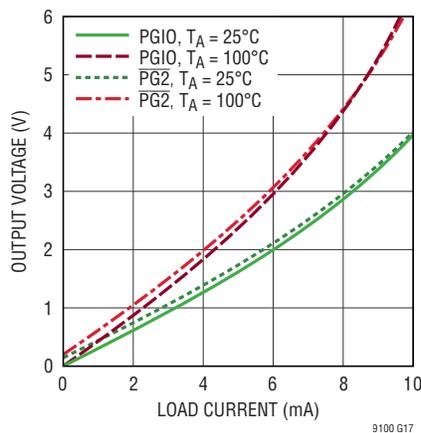
電流制限電圧と温度



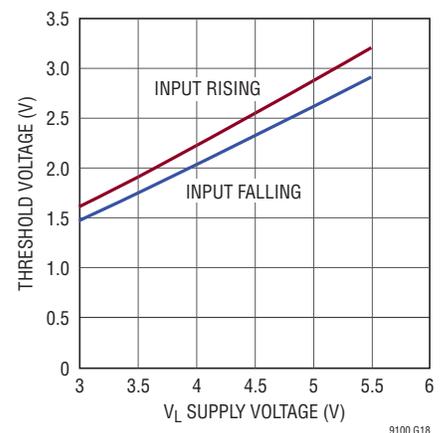
電流制限の伝播遅延 ( $t_{PHL(SENSE)}$ ) と  $V_{SENSE}$



PG2、PGIO出力の“L”電圧と負荷電流

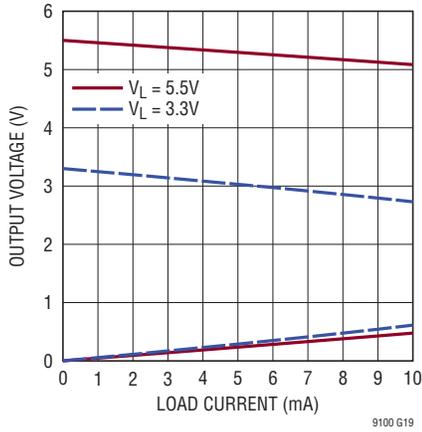


ロジック入力しきい値と  $V_L$  の電源電圧

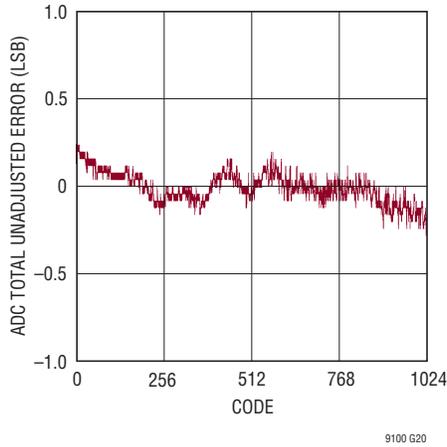


## 標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

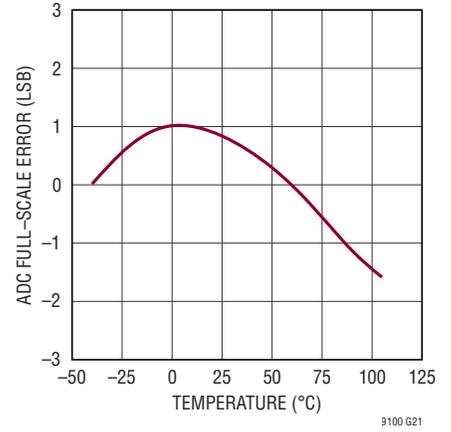
ロジック出力電圧と負荷電流



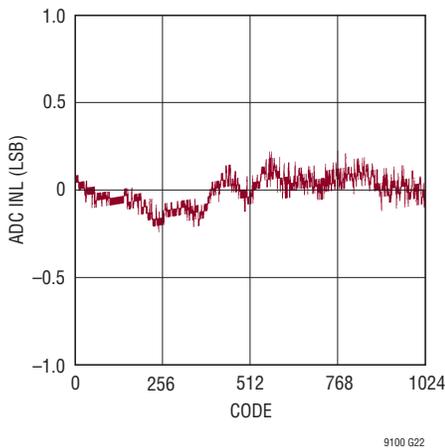
A/Dコンバータの全未調整誤差とコード (ADINピン)



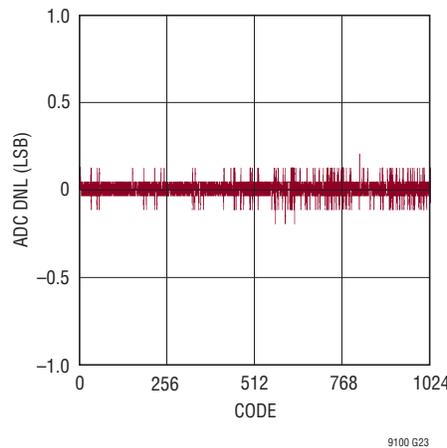
A/Dコンバータのフルスケール誤差と温度 (ADINピン)



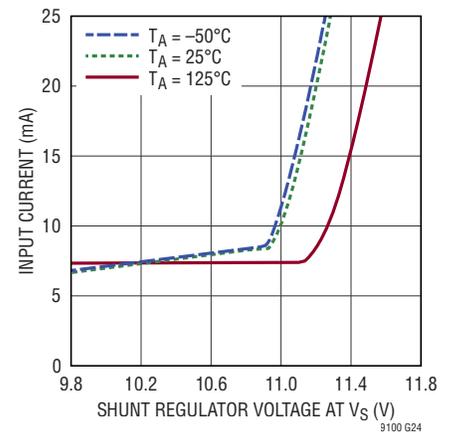
A/DコンバータのINLとコード (ADINピン)



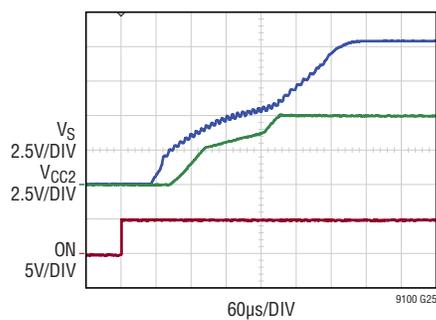
A/DコンバータのDNLとコード (ADINピン)



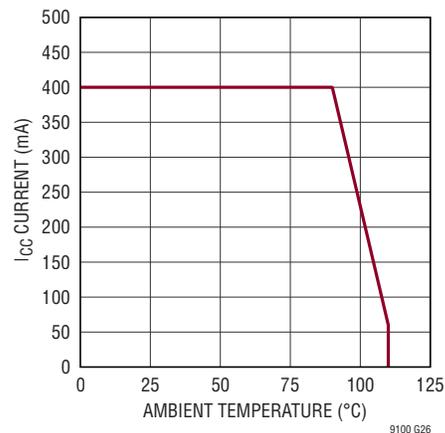
入力電流とシャント・レギュレータの電圧



パワーオン・シーケンス



最大内部動作温度 125°C の  
ディレーティング



## ピン機能

### ロジック・サイド

**PG (A1)** : パワーグッド状態出力。基準となる電位は  $V_L$  ピンの電圧および GND。絶縁サイドのパワー・スイッチがオンになって (GATE の電圧が約 9.5V に達して DRAIN の電圧が  $V_{EE}$  の 1.77V 以内になったとき) からタイマ遅延の 2 倍の時間経過後に、このロジック・ピンは“L”になり、ラッチ状態を維持します。パワーグッド出力は、GATE が電圧低下状態になった場合、過電圧フォルトの場合を除いて必ずリセットされます。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。通信障害は、同相トランジェントや電氣的過剰ストレスなどの極端な電磁的事象が原因で発生することがあります。永続的な損傷が発生しなかった場合、通信は自動的に再確立されます。

**ALERT (A2)** : フォルト・アラート出力。基準となる電位は  $V_L$  ピンの電圧および GND。I<sup>2</sup>C の ALERT レジスタで構成した絶縁サイドのフォルトが発生すると、このロジック・ピンは“L”になります。「アプリケーション情報」を参照してください。絶縁通信障害の状態では、この出力は高インピーダンス状態になります。

**EN (A3)** : GATE イネーブル入力。基準となる電位は  $V_L$  ピンの電圧および GND。立ち上がりエッジを入力すると絶縁サイドの GATE ピンがオンになり、立ち下がりエッジを入力するとオフになります。このピンは、起動時に I<sup>2</sup>C CONTROL (D) レジスタのビット 3 (GATE\_CTRL) (したがって GATE ピン) の状態を構成する目的にも使用します。例えば、EN を“H”に接続すると、レジスタ・ビット D3 は、起動後タイマ・サイクル 1 回の間“H”になります。同様に、EN ピンを“L”に接続すると、起動後 EN ピンが“H”に遷移するまで GATE ピンは“L”のままです。GATE ピンは、レジスタ・ビット D3 を介して I<sup>2</sup>C による直接の制御が可能です。“H”から“L”への遷移により、ドライバのフォルトは全て解消されます。使用しない場合は、 $V_L$  に接続してください。

**SDA (A4)** : シリアル I<sup>2</sup>C データ・ピン。基準となる電位は  $V_L$  ピンの電圧および GND。絶縁障壁を介して絶縁サイドの SDA2 ピンおよび構成可能なスイッチ・ドライバに接続される双方向ロジック・ピン。外付けのプルアップ抵抗または電流源が必要です。絶縁通信障害の状態では、このピンは高インピーダンス状態になります。使用しない場合は、 $V_L$  に接続してください。

**SCL (A5)** : シリアル I<sup>2</sup>C クロック入力。基準となる電位は  $V_L$  ピンの電圧および GND。絶縁障壁を介して絶縁サイドの SCL2 ピンおよび構成可能なスイッチ・ドライバに接続されるロジック入力。外付けのプルアップ抵抗または電流源が必要です。使用しない場合は、 $V_L$  に接続してください。

**ON (A6)** : モジュールのイネーブル・ピン。絶縁障壁を介して電源供給およびデータ通信をイネーブルします。ON ピンが“H”になるとデバイスがイネーブルされ、電源および通信が絶縁サイドで動作可能になります。ON ピンが“L”になるとロジック・サイドがリセット状態に保持され、全てのデジタル出力が高インピーダンス状態になり、絶縁サイドに電源が供給されなくなります。EN を  $V_L$  に接続することにより、ON ピンを使用して絶縁サイドのパワー・スイッチ・ドライバをイネーブルすることができます。絶縁サイドの内部電源電圧が約 9V になってから、タイマの遅延時間経過後に、ON が“L”から“H”に遷移すると、絶縁サイドのゲート駆動回路がイネーブルされます。使用しない場合は、 $V_L$  に接続してください。

**V<sub>L</sub> (A7)** : ロジック電源ピン。PG、ALERT、EN、SDA、SCL、ON ピンのインタフェース電源電圧。動作電圧は 3V ~ 5.5V です。1μF のコンデンサにより、内部でバイパスされています。

**GND (B1 ~ B5)** : 回路のグラウンド。

**V<sub>CC</sub> (B6, B7)** : 絶縁電源コンバータの電源電圧。動作電圧は 4.5V ~ 5.5V です。1μF のコンデンサにより、内部でバイパスされています。V<sub>S</sub> を外部電圧で駆動する場合、このピンは未接続のままにするか、グラウンドに接続してかまいません。

### 絶縁サイド

**PG2 (P1)** : パワーグッド状態出力。基準となる電位は  $V_{CC2}$  および  $V_{EE}$  の電圧。パワー・スイッチがオンになって (GATE の電圧が約 9.5V に達して DRAIN の電圧が  $V_{EE}$  の 1.77V 以内になったとき) からタイマ遅延の 2 倍の時間経過後に、このロジック・ピンは“L”になり、ラッチ状態を維持します。パワーグッド出力は、GATE が電圧低下状態になった場合、過電圧フォルトの場合を除いて必ずリセットされます。10k の抵抗により、内部で  $V_{CC2}$  に接続されます。

**ALERT2 (P2)** : フォルト・アラート出力。基準となる電位は  $V_{CC2}$  および  $V_{EE}$  の電圧。I<sup>2</sup>C の ALERT レジスタで構成した絶縁サイドのフォルトが発生すると、このロジック・ピンは“L”になります。「アプリケーション情報」を参照してください。10k の抵抗を介して、内部で  $V_{CC2}$  に接続されます。

**EN2 (P3)** : イネーブル出力。基準となる電位は  $V_{CC2}$  および  $V_{EE}$  の電圧。絶縁障壁と 4k の抵抗を介してロジック・サイドの EN ピンおよびスイッチ・ドライバに接続されるロジック出力。EN2 は外部から駆動してもかまいません。「アプリケーション情報」を参照してください。4k および 10k の抵抗を介して、内部で  $V_{EE}$  に接続されます。

## ピン機能

**SDA2 (P4) :** シリアル I<sup>2</sup>C データ・ピン。基準となる電位は V<sub>CC2</sub> および V<sub>EE</sub> の電圧。絶縁障壁を介してロジック・サイドの SDA ピンおよびスイッチ・ドライバに接続される双方向ロジック・ピン。I<sup>2</sup>C バスの拡張に対応します。出力は 1.8mA の電流源によって“H”にバイアスされます。絶縁通信障害の状態では、この出力はデフォルトで“H”状態になります。

**SCL2 (P5) :** シリアル I<sup>2</sup>C クロック出力。基準となる電位は V<sub>CC2</sub> および V<sub>EE</sub> の電圧。絶縁障壁を介してロジック・サイドの SCL ピンおよびスイッチ・ドライバに接続されるロジック出力。I<sup>2</sup>C バスの拡張に対応します。クロックはロジック・サイドから絶縁サイドへの片方向の信号です。絶縁通信障害の状態では、この出力はデフォルトで“H”状態になります。

**PGIO (P6) :** 汎用入出力。ロジック入力兼オープンドレイン出力。デフォルトは出力で、PG ピンが“L”になった後、タイマ遅延の2倍の時間経過後に“L”になり、第2のパワーグッド出力を示します。表4に従って構成します。

**V<sub>S</sub> (P7) :** 公称 10.4V の絶縁電源出力電圧。絶縁型 DC/DC コンバータによって V<sub>CC</sub> を基に内部で生成され、10.4V に安定化されます。V<sub>CC</sub> を接続していないかグランドに接続している場合は、V<sub>S</sub> を外部電源で駆動することができます。外部電源で駆動する場合は、このピンを電圧降下抵抗を介して正の電源に接続します。「アプリケーション情報」を参照してください。内部シャント・レギュレータにより、V<sub>S</sub> (V<sub>Z</sub>) は 11.2V にクランプされます。低電圧ロックアウト (UVLO) 回路は、V<sub>S</sub> が 9V を超えるまで GATE を“L”に維持します。1μF のコンデンサにより、内部でバイパスされています。

**V<sub>EE</sub> (R1 ~ R3, R5 ~ R7) :** 絶縁回路の共通電位。

**ADR0, ADR1 (R4, S4) :** シリアル・バスのアドレス入力。基準となる電位は V<sub>CC2</sub> および V<sub>EE</sub> の電圧。これらのピンを V<sub>EE</sub> または V<sub>CC2</sub> に接続するか、フロート状態のままにすると、可能な9つのアドレスのいずれか1つに構成されます。「アプリケーション情報」の表1を参照してください。

**SENSE<sup>-</sup> (S1) :** 電流制限検出の負入力。外付けの電流検出抵抗 (R<sub>S</sub>) のケルビン接続点。220pF により内部でフィルタが形成されています。

**SS (S2) :** ソフトスタート入力。このピンを使用して起動時に突入電流を徐々に増加させることにより、di/dt を制御します。このピンは内部で 220nF のコンデンサに接続されており、外付け容量 (C<sub>SS</sub>) を追加してもかまいません。内部の 10μA 電流源が内部および外部の容量を充電して、電圧ランプを発生させます。この電圧は電流に変換されて GATE ピンの電圧を上昇させ、出力電圧を低下させます。SS ピンは内部で 2.56V にクランプされており、I<sub>GATE(UP)</sub> を 11.5μA に、I<sub>RAMP</sub> を 20μA に制限します。

**TMR (S3) :** 遅延タイマの入力。このピンは、起動時、パワーグッド出力の電圧低下時、およびフォルト後の自動再試行時 (過電圧フォルトを除く) にタイミング遅延時間を発生するために使用します。このピンは内部で 47nF のコンデンサに接続されており、外付け容量 (C<sub>TMR</sub>) を追加して公称の遅延時間を 12ms を超えて延長してもかまいません。10μA および 5μA の内部プルアップ電流と 5μA および 12mA のプルダウン電流により、遅延時間は公称の遅延時間 t<sub>D</sub> = 12ms + 256ms • C<sub>TMR</sub>/μF の倍数として構成されます。起動時の遅延および低電圧フォルト後の自動再試行時の遅延は、公称の遅延と同じです。シーケンス制御されたパワーグッド出力の遅延は、公称の遅延の2倍です。過電流フォルト後の自動再試行の遅延は、公称の遅延の4倍です。

**ADIN2, ADIN (S5, S6) :** ADC の入力。基準となる電位は V<sub>EE</sub> の電圧。これらのピンに加わる 0V ~ 2.56V の電圧は、内部モジュールの ADC により測定されます。使用しない場合には V<sub>EE</sub> に接続します。

**V<sub>CC2</sub> (S7) :** 公称 5V の絶縁電源出力電圧。V<sub>S</sub> から生成される線形の安定化出力で、UVLO しきい値は 4.25V。この電圧は絶縁サイドのデータ・コンバータおよびロジック制御回路に電力を供給します。1μF のコンデンサにより、内部でバイパスされています。

**SENSE<sup>+</sup> (T1) :** 電流制限検出の正入力。外付けの電流検出抵抗 (R<sub>S</sub>) を流れる負荷電流は、アクティブ電流制限アンプによってモニタされ、50mV/R<sub>S</sub> まで制御されます。V<sub>SENSE</sub> が 50mV に達すると、回路ブレーカ・タイマが始動して、530μs 後にスイッチを切断します。壊滅的な短絡が発生した場合は、V<sub>SENSE</sub> が 250mV を超えると、高速応答コンパレータは GATE ピンの電圧を直ちに低下して MOSFET をオフします。220pF により内部でフィルタが形成されています。

## ピン機能

**GATE (T2) :** NチャネルMOSFETスイッチ(FET)のゲート駆動出力。このピンは内部電流源 $I_{GATE}$  (SSピンがクランプ電圧に達した場合は $11.5\mu A$ )によってプルアップされます。 $V_S$ と $V_{CC2}$ がUVLOしきい値を超え、ENが“H”になり、UV条件とOV条件を満たし、更に調整可能な起動タイマ遅延時間が経過するまで、GATEは“L”のままです。フォルトまたは低電圧ロックアウトに起因するオフの間は、GATEと $V_{EE}$ の間に $110mA$ のプルダウン電流が流れます。 $220pF$ により内部でフィルタが形成されています。絶縁通信障害の状態では、スイッチはオフになります。

**DRAIN (T3) :** ドレイン検出入力。このピンとFETのドレイン端子の間に外付け抵抗を接続します。 $50\mu A$ の公称電流に合わせ、 $2mA$ を超えないようにして抵抗の大きさを決めます。このピンの電圧は内部で $4V$ にクランプされています。DRAINピンの電圧が $1.77V$ より低く、GATEピンの電圧が約 $9.5V$ である場合、タイマ遅延の2倍の時間経過後にパワーグッド出力がアサートされます。 $220pF$ により内部でフィルタが形成されています。

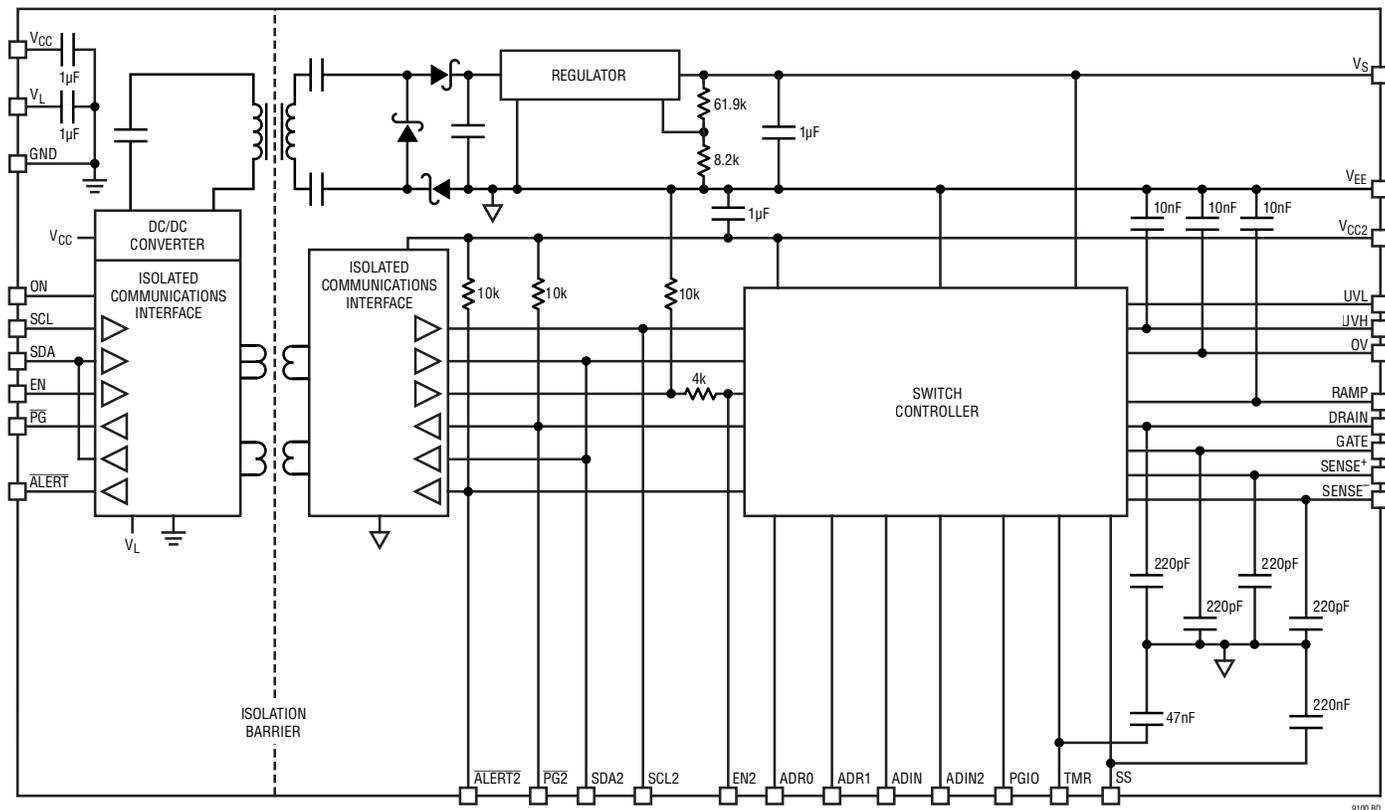
**RAMP (T4) :** 突入電流のランプ制御ピン。突入電流は、RAMPピンとFETのドレイン端子の間にコンデンサ( $C_R$ )を接続することによって調整します。起動時に、GATEピンはFETが導通し始めるまで $I_{GATE(UP)}$ でプルアップされます。その後、電流 $I_{RAMP}$ が $C_R$ に流れてドレイン電圧を徐々に低下させます。 $I_{RAMP}$ の値はSSピンの電圧によって制御されます。SSピンの電圧がクランプ電圧( $2.56V$ )に達すると、 $I_{RAMP}$ は $20\mu A$ になります。容量性負荷の場合は、FETのドレイン電圧( $V_{DRAIN}$ )のランプ・レートと負荷コンデンサ $C_L$ で突入電流を設定します(次式)  $I_{INRUSH} = (C_L / C_R) \cdot I_{RAMP}$ 。 $10nF$ により内部でフィルタが形成されています。「アプリケーション情報」を参照してください。

**OV (T5) :** 過電圧検出の入力。このピンは $V_{EE}$ からの外部抵抗分割器に接続します。このピンの電圧が $1.77V$ を超えると、FETはオフになります。過電圧状態はパワーグッド出力の状態には影響されません。 $10nF$ により内部でフィルタが形成されています。使用しない場合は、 $V_{EE}$ に接続してください。

**UVH (T6) :** 低電圧検出回路の高レベル入力。このピンは $V_{EE}$ からの外部抵抗分割器に接続します。UVHピンの電圧が $2.56V$ より高くなり、UVLピンの電圧が $2.291V$ より高いと、FETをオンすることができます。 $10nF$ により内部でフィルタが形成されています。使用しない場合は、 $V_{CC2}$ に接続してください。

**UVL (T7) :** 低電圧検出回路の低レベル入力。このピンは $V_{EE}$ からの外部抵抗分割器に接続します。UVLピンの電圧が $2.291V$ より低くなり、UVHピンの電圧が $2.56V$ より低いと、FETはオフになり、パワーグッド出力は“H”になります。このピンの電圧を $1.21V$ より低くすると、フォルトがリセットされ、FETをオンに戻すことができます。使用しない場合には $V_{CC2}$ に接続します。

ブロック図



9100 8D

## テスト回路

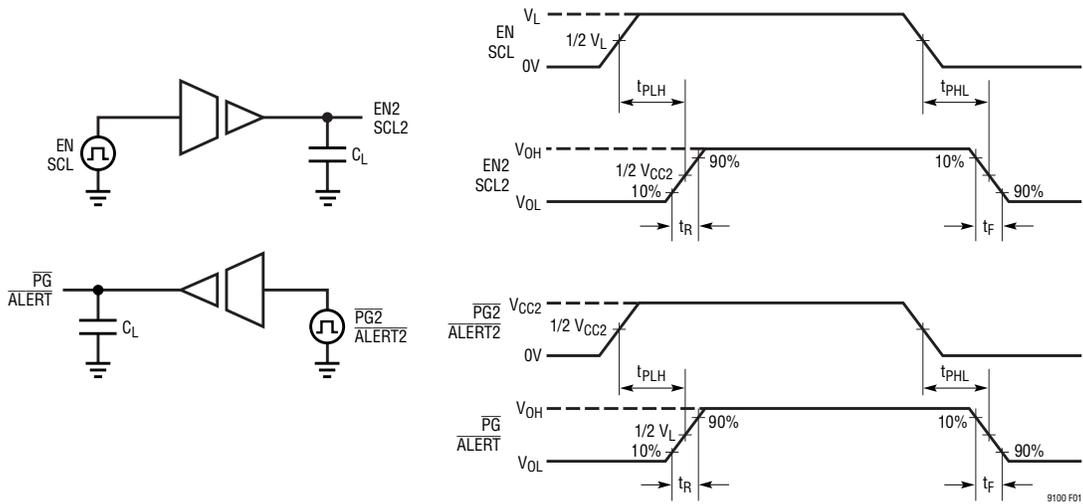


図1. ロジックのタイミング測定

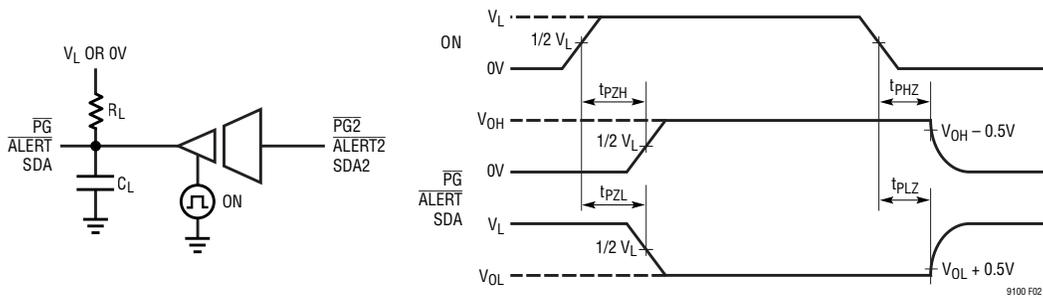


図2. ONのイネーブル/ディスエーブル時間

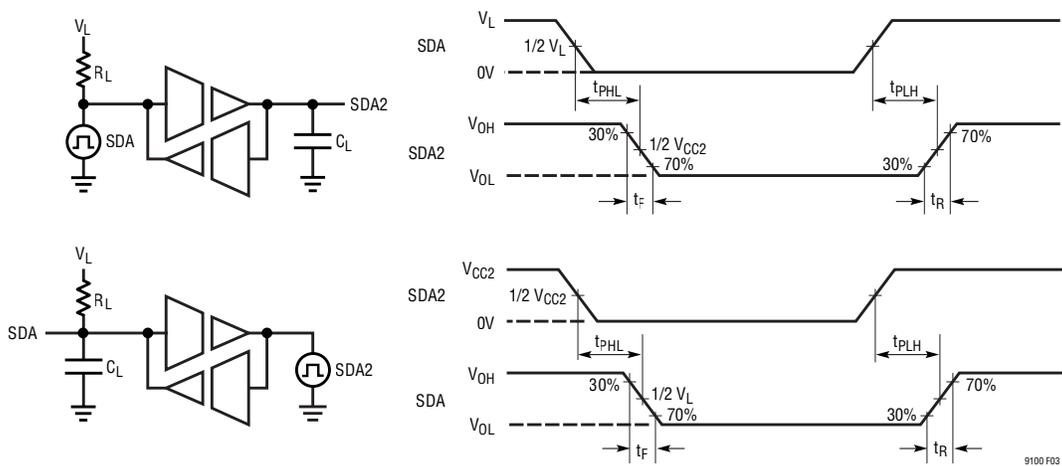


図3. I²Cのタイミング測定

## アプリケーション情報

### 概要

LTM9100  $\mu$ Module スイッチ・コントローラは、電気的に絶縁された堅牢なドライバ・インタフェースを実現し、デカップリング・コンデンサを内蔵しています。LTM9100は、グラウンドの電位が異なる場合がある複数の回路網で使用するのに最適です。LTM9100内での絶縁により、高い電圧差が遮断され、グラウンド・ループが取り除かれます。また、グラウンド・プレーン間での同相トランジェントに対する耐性がきわめて高くなります。70kV/ $\mu$ s 程度の高速同相事象が発生しても誤りのない動作が維持されるので、優れたノイズ絶縁性能を実現します。

LTM9100は、電源電圧を制御状態でオン/オフするように設計されています。通常動作時は、起動後および一定時間遅延 (TMR) 後に、GATEピンによってFETが導通して電力が負荷に伝送されます。GATEピンには、内部の絶縁型DC/DCコンバータによって電力が供給され、その出力電圧 ( $V_S$ ) は約10.4Vです。

過電流保護と短絡保護には、SENSEピンに接続されているアンプが使用されます。このアンプは、外付け検出抵抗  $R_S$  を流れる負荷電流をモニタします。過電流状態では、GATEの電圧を安定化することにより、電流が50mV/ $R_S$  に制限されます。過電流状態が530 $\mu$ s を超えて続く場合、GATEはオフになります。

DRAINとGATEの電圧をモニタして、FETが完全に導通したかどうかを判別します。FETが正常に導通するとすぐに、2つのパワーグッド信号がPGピンとPGIOピンに現れます。これらの信号により、負荷の有効化およびシーケンス制御が可能になります。PGIOピンは、汎用入力または汎用出力として構成することもできます。

絶縁サイドのロジック回路は、内部生成の5V電源 ( $V_{CC2}$ ) によって電力が供給されます。FETを導通させる前に、内部のゲート駆動電源電圧である  $V_S$  と  $V_{CC2}$  の電圧が、両方ともその低電圧ロックアウトしきい値を超えている必要があります。更に、制御入力UVH、UVL、OV、およびENがモニタされます。起動条件を満たすまでFETはオフのままです。

LTM9100は10ビットのアナログ/デジタル・コンバータ (ADC) を内蔵しています。ADCは、バス電圧や温度などの検出といった補助機能のために、SENSEの電圧だけでなく、ADIN2ピンとADINピンの電圧も測定します。

ADCのデータ・レジスタを読み出すため、I<sup>2</sup>Cインタフェースが用意されています。また、このインタフェースにより、ホストがデバイスをポーリングして、フォルトが発生したかどうかを判別することも可能です。ALERTラインを割り込みとして使用すると、ホストはフォルトに対してリアルタイムで応答することができます。2つの3ステート・ピン (ADR0およびADR1) を使用して、可能な8つのデバイス・アドレスをプログラムします。

また、インタフェースを単線一斉送信モードに合わせて構成して、SCLラインにクロックを入力することなく、ADCのデータおよびフォルト状態をSDAピンを介してホストに送信することもできます。この単線の一方向通信により、システム設計を簡略化することができます。

LTM9100は、絶縁通信および制御インタフェースを必要とする分散DC電源システムやオフラインの電源コンバータ・システムに最適です。LTM9100を使用した基本的な200W/-48V分散給電アプリケーション回路を図4に示します。

## アプリケーション情報

### μModule 技術

LTM9100は、アイソレータμModule技術を使用して、絶縁障壁を越えて信号および電力を変換します。障壁のどちらの側の信号もパルスに符号化され、μModule基板内に形成された空芯型トランスにより、絶縁境界を越えて変換されます。このシステムは、データ・リフレッシュ機能、障害発生時の安全なシャットダウン機能、きわめて高い同相信号除去特性を備えているので、信号を双方向で絶縁するための堅牢なソリューションを実現します。μModule技術により、絶縁された信号処理と、複数のレギュレータおよび強力な絶縁型DC/DCコンバータを1つの小型パッケージに集約する手段が得られます。

### DC/DCコンバータ

LTM9100は、完全に集積化されたDC/DCコンバータをトランスを含めて内蔵しているので、絶縁サイドに電力を供給するのに外付け部品は必要ありません。ロジック・サイドには、2MHzで動作するフルブリッジ・ドライバがあり、1個のトランスの1次側にAC結合されています。直列のDC阻止コンデンサにより、ドライバのデューティ・サイクルに偏りが生じてもトランスは飽和しません。1次側の電圧はトランスによって調整され、

対称型倍電圧回路によって整流されます。この回路構成により、絶縁サイドのグラウンドでの同相電圧の摂動が減少し、2次側での不均衡に起因するトランスの飽和がなくなります。

DC/DCコンバータは低ドロップアウト・レギュレータ(LDO)に接続されており、GATEドライバの電源に10.4Vの安定化出力( $V_S$ )を供給します。 $V_S$ は1μFのコンデンサにより内部でデカップリングされています。

データ・コンバータおよびロジック制御回路は、 $V_S$ 電源から5Vを出力する内部リニア・レギュレータによって電力が供給されます。 $V_{CC2}$ ピンで5V出力が得られるのは、外部回路を(最大15mAの負荷電流で)駆動するためです。 $V_{CC2}$ は1μFのコンデンサにより内部でデカップリングされています。

### バスによるLTM9100の電力供給

内部の絶縁電源コンバータは、 $V_{CC}$ ピンをフロート状態にするか接地することによってディスエーブルすることができます。その後、LTM9100のアプリケーションの位置に応じて低電位側または高電位側の回路を使用することにより、外部バス電圧から絶縁電源を得ることもできます。

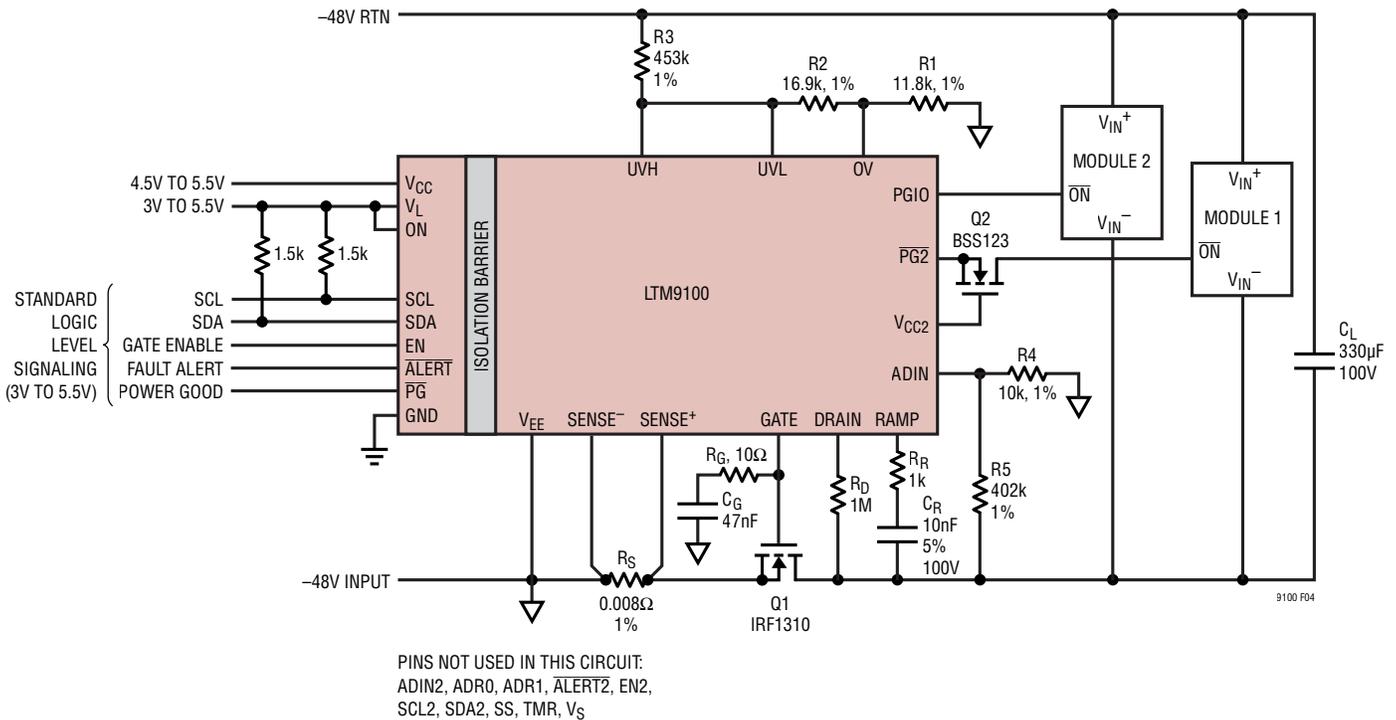


図4. LTM9100を使用した-48V/200W低電位側ホットスワップ・コントローラ、電流と入力電圧のモニタ機能付き(電流制限:5.6A、突入電流:0.66A)

## アプリケーション情報

## 低電位側アプリケーション

$V_{EE}$ がバス電源電圧の負側を基準にしている低電位側構成では、 $V_S$ ピンに接続した電流制限抵抗( $R_{LIM}$ ) (図5)を介して絶縁電源を得ることができます。内部シャント・レギュレータは、 $V_S$ の電圧を11.2V ( $V_Z$ )にクランプして、GATEドライバに電力を供給します。 $R_{LIM}$ を選択する基準は、VBUSの最小動作電圧時に、LTM9100の絶縁サイド電源電流の最大値要件(10mA)に加えて、 $V_S$ および $V_{CC2}$ に接続する外部デバイスに必要な電源電流に対応することです。また、アナログ(アクティブ)電流制限回路(ACL)など、別の電流制限方法を採用することもできます。

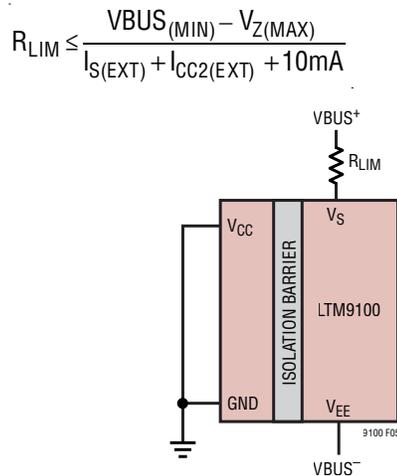
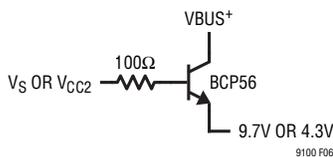


図5. 外部バスから得られる絶縁サイドの電源

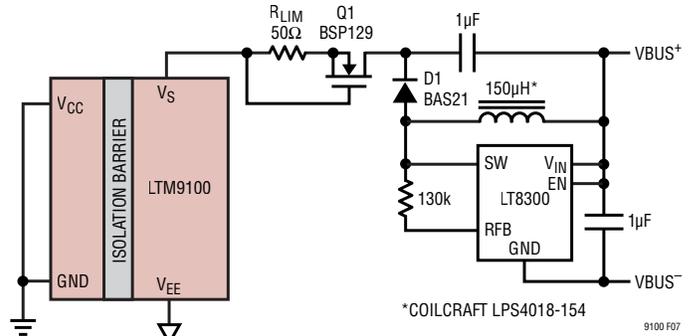
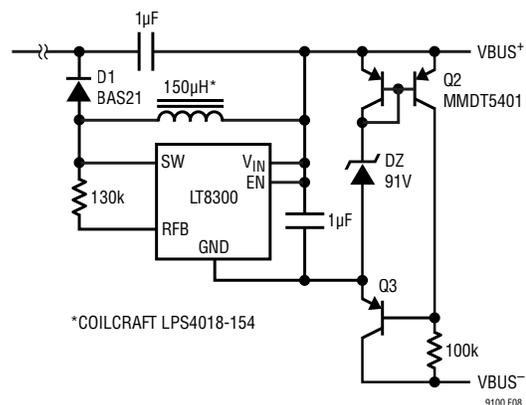
$$P_{MAX} = \frac{[VBUS_{(MAX)} - V_Z_{(MIN)}]^2}{R_{LIM}}$$

図6. NPNバッファにより、外部負荷に電流を供給するときの $R_{LIM}$ の過剰な電力損失を軽減

## 高電位側アプリケーション

高電位側アプリケーションでは、FETが完全に導通したら、バス電圧に $V_Z$ を加えた電圧より高い電圧を発生させてLTM9100に電力を供給することが必要です。ドレインの電圧は $V_{EE}$ に近い値になります。LTM9100は、最初はバスから直接電力供給を受けることができますが、それはFETのドレイン電圧が、動作に必要な $V_S$ の最小電圧より低くなるまでです。 $V_S$ の電源電流は負荷を流れ、GATEがオフの場合でも負荷容量を充電します。バス電圧を印加した直後にGATEをオンするようにLTM9100を構成する場合、これは問題ではありません。

バス電圧が100V以下の場合、図7の回路を使用することができます。昇圧コンバータ回路はバス電圧より約12V高い出力電圧を供給し、これがACL(デプレッション型MOSFET Q1、 $R_{LIM}$ )を介して $V_S$ に接続されます。バス電圧が100Vより高い場合は、図8に示すように、昇圧コンバータの入力電圧を前段で安定化しておく必要があります。フライバック、ブースト、チャージポンプなど、どの種類の昇圧コンバータを使用してもかまいません。トランジスタQ1、Q3、およびダイオードD1は、バス電圧と電力損失を基準にして選択する必要があります。

図7.  $VBUS \leq 100V$ の場合の $V_S$ 電源図8.  $VBUS > 100V$ の場合のプリレギュレータ

## アプリケーション情報

### PowerPath™の切り替え

低電位側構成と高電位側構成のいずれの場合でも、後で内部DC/DCコンバータをイネーブルし、絶縁サイドの外部コンバータをディスエーブルして、電力損失を最小限に抑えることができます。図9の回路は、メインのFETがオンになると、パワーグッド信号を使用して電源コンバータの経路を自動的に切り替えます。

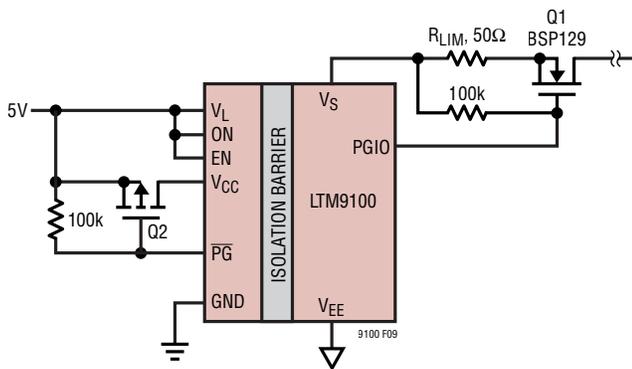


図9. 外部/内部間でのPowerPathの切り替え

### VLロジック電源

ロジック電源ピンVLは独立しているため、LTM9100は、図10に示すように3V～5.5Vのロジック信号とのインタフェースが可能です。所望のロジック電源をVLにそのまま接続してください。

VCCとVLの間に相互依存性はありません。規定の動作範囲内であれば任意の電圧で同時に動作可能であり、任意の順序で順序付けが可能です。VCCおよびVLは、1μFのコンデンサにより、内部でデカップリングされています。

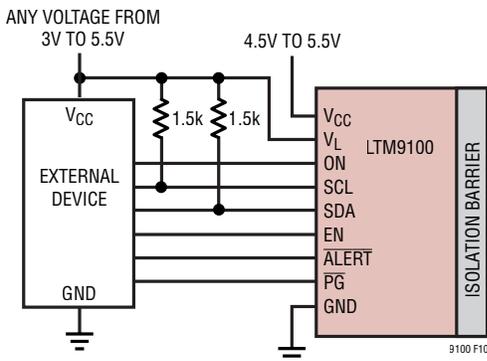


図10. VCCとVLは無関係

### 安全な活線挿入

LTM9100はセラミックのデカップリング・コンデンサを内蔵しているため、LTM9100の電源(VCCまたはVL)に対して電源のプラグ接続が行われるアプリケーションでは注意が必要です。ケーブルの寄生インダクタンスとセラミック・コンデンサの高いQ特性の組み合わせにより、最大定格電圧を超える可能性があるかなりのリングングが発生して、LTM9100を損傷する場合があります。この現象の詳細および軽減方法については、[リニアテクノロジーのアプリケーションノートAN88](#)「セラミック入力コンデンサによって生じる過電圧トランジェント」を参照してください。

### チャンネルのタイミングの不確実性

入力および出力の符号化および復号化により、複数のチャンネルが絶縁障壁にまたがってサポートされます。最大3つの信号がシリアル・パケットとして組み立てられ、絶縁障壁を越えて伝送されます。3ビット全ての伝送に必要な時間は標準で50nsなので、障壁の反対側で信号を変更できる頻度には制限が設定されます。採用されている技法では、関連の出力チャンネルにジッタが発生せず、遅延のみとなるように、ロジック・サイドではSCLに、絶縁サイドではPG2に、それぞれ最高の優先度が割り当てられます。この占有権割り当て方式により、他方の絶縁チャンネルに一定量の不確実性が生じます。その結果、優先度の低いチャンネルでのパルス幅の不確実性は標準では±6nsですが、優先度の低いチャンネルが符号化されたパケットが、優先度の高いシリアル・パケットと同じパケットでなかった場合は、最大±44nsまで変化することがあります。

### 最初の起動制御および突入電流の制御

FETのターンオン・シーケンスを開始するには、事前にいくつかの条件を満たす必要があります。まず、VSの電圧がその低電圧ロックアウト・レベルである9Vを超える必要があります。次に、内部電源VCC2の電圧がその低電圧ロックアウト・レベルである4.25Vを超える必要があります。これにより、100μs～160μsのパワーオン・リセット・パルスが発生し、その間に、レジスタのセクションで説明するように、FAULTレジスタ・ビットがクリアされてCONTROLレジスタ・ビットがセットまたはクリアされます。パワーオン・リセット・パルス発生後、UVH、UVL、およびOVピンの電圧はUVH > 2.56V、UVL > 2.291V、およびOV < 1.77Vの各条件を満たす必要があります。これら全ての条件は、起動遅延時間全体を通じて満たされる必要があります。この時間はTMRピンに接続されている内部容量と外部容量(CTMR)の組み合わせによって設定されます。CTMRは、

## アプリケーション情報

TMRの電圧が2.56Vに達するまで、プルアップ電流の10 $\mu$ Aで充電されます。その後、C<sub>TMR</sub>は12mAの電流により急速に放電します。TMRの電圧が75mVより低くなると、最初の遅延時間は終了します。起動遅延時間は次式により与えられます。

$$t_D \cong 12\text{ms} + 256\text{ms} \cdot \frac{C_{TMR}}{1\mu\text{F}}$$

起動遅延時間が終了する前に、前述したいずれかの条件が満たされなかった場合、C<sub>TMR</sub>は急速に放電され、ターンオン・シーケンスが再開されます。起動遅延時間全体を通じて全ての条件が満たされたことが確認されると、ENピンがチェックされます。これが“H”である場合、FETはオンになります。そうでない場合、FETがオンするのは、ENピンの電圧が高くなるか、または(I<sup>2</sup>C単独制御として構成しているときに)I<sup>2</sup>Cインタフェースを介してCONTROL(D)レジスタのビット3(GATE\_CTRL)を1にセットした場合です。

SSピンでの内部コンデンサと外付けコンデンサ(C<sub>SS</sub>)を10 $\mu$ Aのプルアップ電流で充電することにより、FETのターンオン・シーケンスが実行され、SSの電圧(V<sub>SS</sub>)は、GATEをプルアップするために11.5 $\mu$ A  $\cdot$  V<sub>SS</sub>/2.56Vの電流(I<sub>GATE(UP)</sub>)に変換されます。GATEの電圧がFETのしきい値電圧に達すると、電流がFETに流れ始め、20 $\mu$ A  $\cdot$  V<sub>SS</sub>/2.56Vの電流(I<sub>RAMP</sub>)がRAMPピンから流れ出して、RAMPとドレイン電圧の間に接続されている外付けコンデンサ(C<sub>R</sub>)に流れます。SSの電圧は2.56Vにクランプされますが、これはI<sub>GATE(UP)</sub> = 11.5 $\mu$ AおよびI<sub>RAMP</sub> = 20 $\mu$ Aに相当します。RAMPピンの電圧は1.1Vに安定化され、V<sub>DRAIN</sub>のランプ・レートによって容量性負荷での突入電流が求められます。

$$I_{INRUSH} = 20\mu\text{A} \cdot \frac{C_L}{C_R}$$

また、V<sub>SS</sub>のランプ・レートによって、突入電流のdi/dtが求められます。

$$\frac{dI_{INRUSH}}{dt} = 20\mu\text{A} \cdot \frac{C_L}{C_R} \cdot \frac{1\mu\text{F}}{256\text{ms} \cdot (C_{SS} + 220\text{nF})}$$

C<sub>SS</sub>を外付けしない場合、SSの電圧が0Vから2.56Vまで上昇するのに要する時間は約56msです。

V<sub>DRAIN</sub>がV<sub>EE</sub>まで下降すると、I<sub>GATE</sub>はGATEピンに戻り、GATEをV<sub>GATEH</sub>まで引き上げます。LTM9100の起動シーケンスを図11に示します。

通電状態の基板挿入時や入力電源のステップ発生時には、内部クランプ回路がオンしてRAMPピンを“L”に保持します。抵抗R<sub>R</sub>と、V<sub>EE</sub>に接続されている内部の10nFコンデンサにより、RAMPピンでのノイズが抑えられます。正常動作を確保するため、R<sub>R</sub>  $\cdot$  C<sub>R</sub>は50 $\mu$ sを超えないようにしてください。RAMPとV<sub>EE</sub>の間に容量を追加すれば、ノイズ・フィルタ機能を増強することができます。

### パワーグッド・モニタ

FET両端の電圧が1.77Vより低くなり、GATEの電圧が約9Vを超えると、内部パワーグッド信号がラッチされ、図11に示すように連続2回の遅延サイクルが始まります。持続時間が2t<sub>D</sub>の最初の遅延サイクルが終了すると、PG2ピンおよびPGピンがパワーグッド信号として“L”になります。2回目の遅延サイクル(2t<sub>D</sub>)が終了すると、PGIOピンが別のパワーグッド信号として“L”になります。2t<sub>D</sub>のタイマ遅延時間は、TMRの容量を5 $\mu$ Aの電流で充電し、TMRが2.56Vに達したら12mAで放電することによって得られます。PGおよびPGIOでのパワーグッド信号は、過電圧フォルトを除く全てのFETオフ条件でリセットされます。

### オフ・シーケンスと自動再試行

以下のいずれかの状態になると、110mAの電流によってGATEの電圧が低下することによりFETはオフになり、SSとTMRの容量は12mAの電流によって放電します。

1. EN (またはEN2)ピンが“L”になるか、レジスタ・ビットD3が0にセットされる。
2. UVLの電圧が2.291Vより低く、かつUVHの電圧が2.56Vより低い(低電圧フォルト)。
3. OVの電圧が1.77Vより高い(過電圧フォルト)。
4. V<sub>S</sub>の電圧が8.5Vより低い(V<sub>S</sub>の低電圧ロックアウト)。
5. V<sub>CC2</sub>の電圧が4.25Vより低い(V<sub>CC2</sub>の低電圧ロックアウト)。
6. V<sub>SENSE</sub> > 50mVの状態が530 $\mu$ sより長く続く(過電流フォルト)。

状態1、4、5では、前述したように、LTM9100は状態の解消後にFETターンオン・シーケンスを自動的に開始します。

## アプリケーション情報

フォルト状態2、3、6のいずれかの場合、CONTROLレジスタ内部の対応する自動再試行ビットにより、FETのオフ・モードをプログラムすることができます。自動再試行ビットを0に設定した場合、フォルト状態発生時にFETはオフにラッチされます。自動再試行ビットを1に設定した場合は、フォルト状態の解消後、遅延タイマが起動します。タイマの期限が切れた後、FETは自動再試行モードになり、GATEの電圧は高く

なります。低電圧フォルト後の自動再試行の遅延時間は $t_D$ です。過電流フォルト後の自動再試行の遅延時間は、予備の冷却時間をとるため $4t_D$ です。過電圧フォルト後の自動再試行には、遅延時間はありません。自動再試行制御ビットと、起動時のデフォルト値を表4に示します。LTM9100は、過電流フォルト後、デフォルトではラッチオフ状態になることに注意してください。

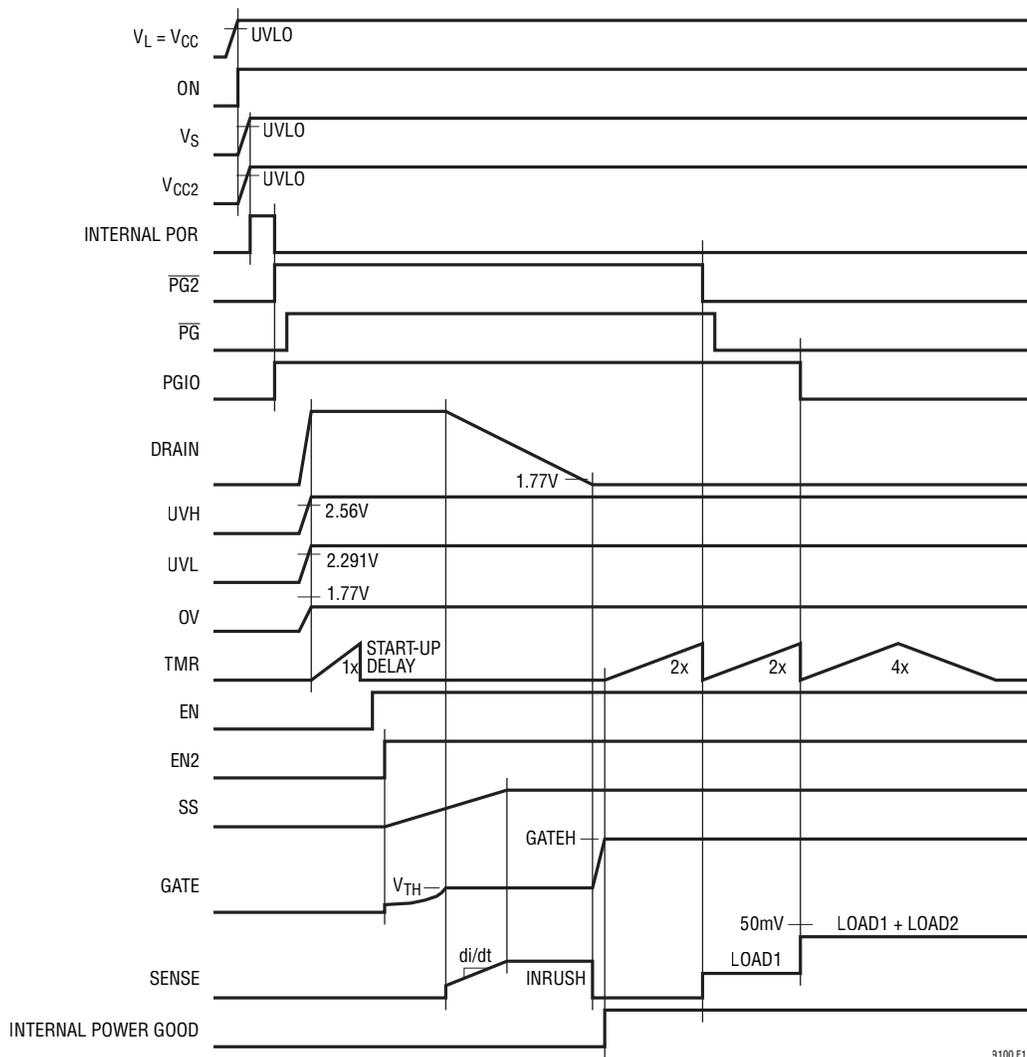


図 11. LTM9100の起動シーケンス

## アプリケーション情報

### GATEピン(外付けFET)の導通

ON、EN、EN2、UV/OV、またはPGIOピンをI<sup>2</sup>Cポートと組み合わせることにより、多くのオン/オフ制御方法が可能です。ENピンは、ロジック入力やフロート式のスイッチ接点とうまく連動します。I<sup>2</sup>C制御は、基板が中央制御プロセッサのコマンドでのみ動作するシステムを対象にしており、ONピンは、低スタンバイ電流要件を持つシステムの場合に役立ちます。UV (UVH、UVL) およびOVピンは、V<sub>EE</sub>を基準にしている信号を使用する場合に便利です。PGIOは直接は何も制御しませんが、接続検出信号やその他の重要な信号をI<sup>2</sup>Cでモニタする場合に役立ちます。

オン/オフ制御は、I<sup>2</sup>Cを介在させる場合も介在させない場合も可能です。自律的に動作している場合でも、I<sup>2</sup>CポートはやはりGATE出力を制御することができますが、EN、EN2、およびONは、その接続方法によっては、I<sup>2</sup>Cによって設定された条件を後で変更することができます。UV、OV、およびその他のフォルト状態は、EN、EN2、ON、またはI<sup>2</sup>Cポートの状態に関係なく、必要に応じてGATE出力をオフにする制御権を獲得します。LTM9100のオン/オフ制御の5種類の構成を図12に示します。

**絶縁を伴うロジック制御:** ロジック信号制御を使用するアプリケーションを図12aに示します。ONピンまたはENピンは、どちらか一方を“H”に接続しておくことにより、入力信号の立ち上がりエッジおよび立ち下がりエッジによってGATE出力をオンまたはオフすることができます。ONピンの立ち上がりエッジ制御では、電源コンバータのターンオン時間とt<sub>D</sub>の1周期分だけGATE信号が遅延し、また、立ち下がりエッジでは、コンバータの放電時間(蓄積エネルギー)と、V<sub>S</sub>およびV<sub>CC2</sub>の負荷供給の分だけ遅延します。GATEはENピンの変化に対して直ちに応答します。ENの状態は、I<sup>2</sup>Cポートを介してレジスタ・ビットD3で調べて変更することができます。レジスタ・ビットD3は、V<sub>CC2</sub>がそのUVLOしきい値より低くなると、必ず“L”にセットされます。GATEピン出力の状態はレジスタ・ビットA7 (GATE\_STAT)によって示されます。これはレジスタ・ビットD3と等しく、UV、OV、およびその他のフォルトはありません。

**ブートストラップ電源接続:** 制御電源を絶縁サイドで得る低電位側アプリケーションを図12bに示します。絶縁サイドでEN2を“H”に接続しているため、GATEの電圧は、電源投入後t<sub>D</sub>が1周期経過してから上昇します。ロジック電源(V<sub>L</sub>)またはONピンは、バス電圧を印加する前後に“H”と“L”を切り替えることができます。ただし、ENピンを“H”に接続している場合、GATE信号に干渉しないことが前提です。

**イジェクタ・スイッチまたはループスルーによる接続検出:** フロート式のスイッチ接点または接続検出ループは、ENピンまたはEN2ピンとうまく連動します。EN2ピンを使用し、デバウンス遅延を組み込んだこの構成を図12cに示します。

**導体部の短いピンのRTNへの配線:** 図12dでは、UV抵抗分割器を使用して基板挿入を検出します。また、導体部の短いピンをONピンまたはENピンと組み合わせるよう配線することもできます。

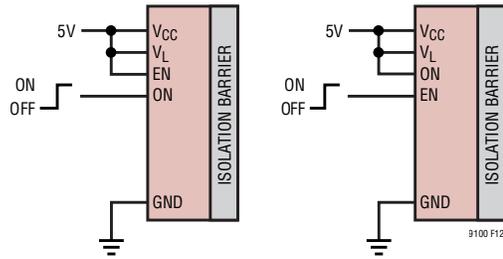
**I<sup>2</sup>C単独制御:** ENとONをロックアウトするには、図12eに示す構成を使用し、レジスタ・ビットD3を使用してGATEピンを制御します。この回路は、EN2をV<sub>EE</sub>に接続している場合、起動時にデフォルトでオフになります。デフォルトでオンにするには、EN2をどこにも接続しないでください。PGIOピンを入力として使用して、接続検出信号やその他の制御信号をモニタすることができます。レジスタ・ビットD6およびD7を“H”にセットすることにより、PGIOは入力として構成されます。その入力状態はレジスタ・ビットA6に格納されます。

### 過電流保護と過電流フォルト

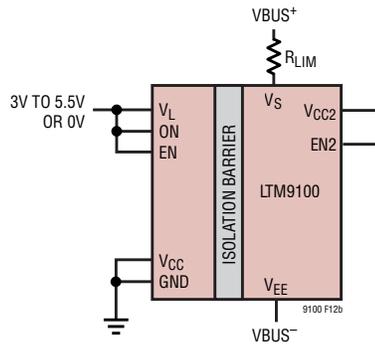
LTM9100は短絡状態と過電流状態からの2レベルの保護機能を備えています。負荷電流はSENSEピンと抵抗R<sub>S</sub>によってモニタされます。SENSEの電圧には、2つの異なるしきい値があります。それは、アクティブ電流制限ループを作動させて530μsの回路ブレーカ・タイマを起動するための50mVと、壊滅的な短絡や入力ステップが発生した場合に、GATE電圧の高速プルダウンによってピーク電流を制限するための250mVです。

過電流状態では、R<sub>S</sub>両端の電圧降下が50mVを超えると電流制限ループが作動し、530μsの内部回路ブレーカ・タイマが起動します。電流制限ループがGATEをサーボ制御して、50mV/R<sub>S</sub>という一定の出力電流を維持します。回路ブレーカ・タイマの期限が切れると、110mAの電流によってGATEの電圧が低下することでFETがオフになり、SSとTMRのコンデンサが放電されて、パワーグッド信号がリセットされます。この時点で過電流発生ビットA2と過電流フォルト・ビットB2がセットされ、回路ブレーカ・タイマがリセットされます。

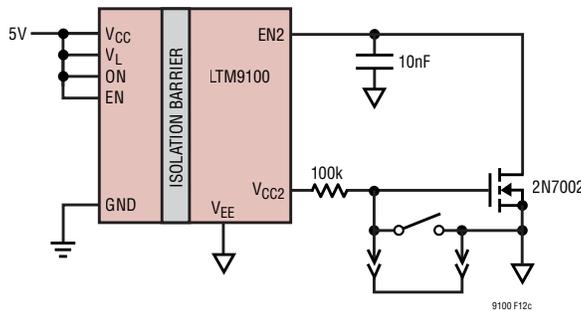
## アプリケーション情報



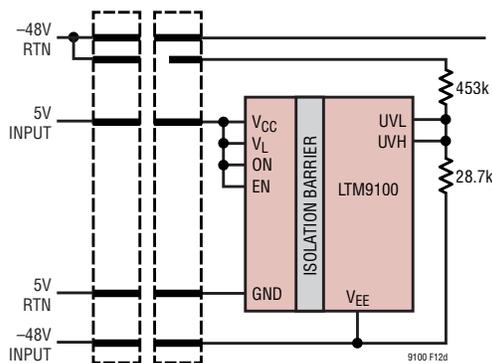
12(a) ロジック入力制御



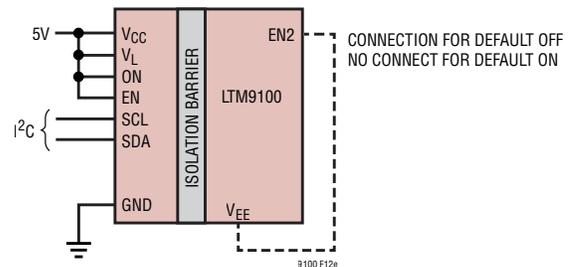
12(b) ブートストラップ電源接続



12(c) 挿入直後の接触デバウンス遅延と、イジェクタ・スイッチまたはループスルー方式の接続検出との併用



12(d) 導体部の短いピンによるRTNまでの接続検出



12(e) I<sup>2</sup>C 単独制御

図 12. LTM9100 のオン/オフ制御

## アプリケーション情報

FETがオフすると、過電流状態レジスタ・ビットA2はクリアされます。過電流自動再試行レジスタ・ビットD2がセットされている場合は、 $4t_D$ の冷却時間後にスイッチが自動的に再度オンします。セットされていない場合は、過電流フォルト・レジスタ・ビットB2がリセットされるまでFETはオフのままです。過電流フォルト・ビットがリセットされると(「フォルトのリセット」参照)、 $4t_D$ の遅延後にFETを再度オンすることができます。過電流フォルトに付随する $4t_D$ の冷却時間は、他のどのフォルト条件によっても中断されません。過電流状態時とその後の自動再試行でのLTM9100の動作については、図13を参照してください。

負荷側で低インピーダンスの短絡が発生した場合やバッテリー交換時に入力ステップが発生した場合には、電流のオーバーシュートが避けられません。250mVのしきい値を持つSENSEピンの高速コンパレータがこのオーバーシュートを検出して、GATEを直ちに“L”にします。SENSEの電圧が50mVまで低下すると、電流制限ループが引き継ぎ、前述したように電流をサーボ制御します。短絡状態が530 $\mu$ sより長く続くと、FETは遮断され、過電流フォルトが記録されます。

入力ステップの場合は、内部クランプ回路がRAMPピンの電圧を1.1Vまで低下させた後、突入電流制御回路が引き継ぎ、電流制限ループは回路ブレーカ・タイマの期限が切れる前に動作を停止します。この時点から、デバイスは初期起動状態として動作します。 $V_{DRAIN}$ は、 $I_{RAMP}$ と $C_R$ によって設定された速度で低下し、その後GATEの電圧は高くなります。PGピンおよびPGIOピンのパワーグッド信号、TMRピン、およびSSピンの信号が入力ステップ・シーケンスの間に遮断されることはありません。LTM9100が入力ステップに応答する様子を図14の波形に示します。

負荷電流と突入電流の和に対応できるように電流制限しきい値は十分高く設定して、入力ステップ発生時に電流制限ループが作動しないよう注意してください。突入電流の最大値は次式で与えられます。

$$I_{INRUSH} \leq 0.8 \cdot \frac{45\text{mV}}{R_S} - I_{LOAD}$$

ここで、係数0.8は最悪の場合の余裕を見込んで使用しており、SENSEの最小しきい値(45mV)と組み合わせています。

アクティブ電流制限回路は、図4に示すように、コンデンサ $C_G$ と抵抗 $R_G$  (10 $\Omega$ )をGATEと $V_{EE}$ の間に直列に接続することによって補償します。 $C_G$ の推奨値は47nFです。この値はほとんどのFET(Q1)に対して有効です。

### 過電圧フォルト

OVピンの電圧が1.77Vのしきい値より高くなると、過電圧フォルトが発生します。これにより、FETは直ちに遮断され、過電圧発生レジスタ・ビットA0と過電圧フォルト・レジスタ・ビットB0がセットされて、SSピンの電圧が低下します。パワーグッド信号は過電圧フォルトによって影響されないことに注意してください。OVピンの電圧がその後再びしきい値より低くなった場合でも、レジスタ・ビットD0をクリアして過電圧フォルトの自動再試行をディスエーブルしていない限り、FETは直ちに(遅延時間なしで)オンすることができます。

### 低電圧コンパレータと低電圧フォルト

LTM9100は2つの低電圧検出ピン(UVHおよびUVL)を備えており、UVしきい値およびヒステリシスを調整することができます。UVHピンおよびUVLピンには、次のように高精度のしきい値があります。

UVHの立ち上がりしきい値： $V_{UVH(TH)} = 2.56\text{V}$ 、オン

UVLの立ち下がりしきい値： $V_{UVL(TH)} = 2.291\text{V}$ 、オフ

UVHピンとUVLピンには、 $\delta V_{UV}$  (標準 15mV)のヒステリシスがあります。入力電源電圧の上昇時または下降時のいずれの場合も、低電圧コンパレータ出力の状態が変化するにはUVHピンとUVLピンの電圧が両方ともしきい値を超える必要がありますように、低電圧コンパレータは動作します。

UVH、UVL、およびOVしきい値の比は、図4に示すようにUVHとUVLを互いに接続した場合、通信機器の標準的な動作範囲である43V～71VとUVヒステリシスである4.5Vに適合するように設計されています。ここで、UVLピンの電圧を基準とする組み込みのUVヒステリシスは、次のとおりです。

$$\Delta V_{UV(HYST)} = V_{UVH(TH)} - V_{UVL(TH)} = 0.269\text{V}$$

図4に示すように $R1 = 11.8\text{k}$ 、 $R2 = 16.9\text{k}$ 、 $R3 = 453\text{k}$ を使用すると、標準的な動作範囲である43.0V～70.7Vが得られ、低電圧シャットダウンしきい値は38.5V、過電圧シャットダウンしきい値は72.3Vになります。

## アプリケーション情報

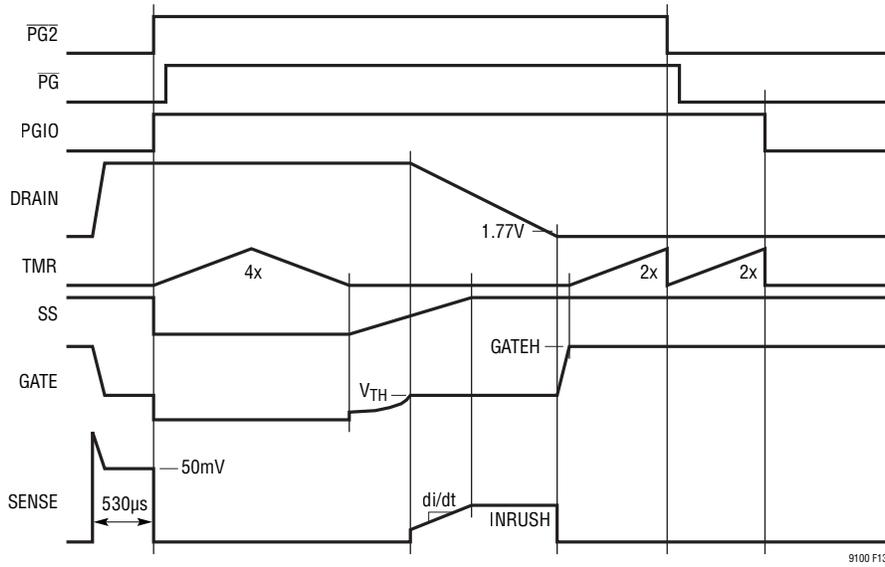


図 13. 過電流フォルトと自動再試行

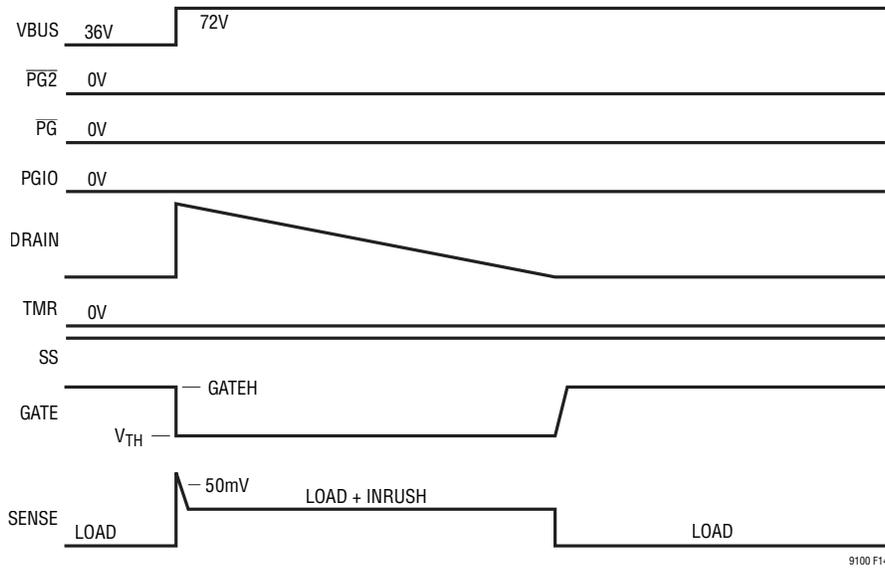


図 14. 36Vから72Vへのステップ応答

## アプリケーション情報

抵抗 $R_H$ を使用してUVHピンとUVLピンを分離すれば、UVヒステリシスを調整することができます(図15)。UVヒステリシスを大きくするには、図15aに示すように、UVLのタップをUVHのタップより高い電位に設定します。UVヒステリシスを小さくするには、図15bに示すように、UVLのタップをUVHのタップより低い電位に設定します。UVLピンの電圧を基準にしたUVヒステリシスは、以下の式により与えられます。

for  $V_{UVL} \geq V_{UVH}$

$$V_{UVL(HYST)} = V_{UV(HYST)} + 2.56V \cdot \frac{R_H}{R_1 + R_2}$$

or for  $V_{UVL} < V_{UVH}$

$$V_{UVL(HYST)} = V_{UV(HYST)} - 2.56V \cdot \frac{R_H}{R_1 + R_2 + R_H}$$

$V_{UVL} < V_{UVH}$ の場合、UVヒステリシスの許容最小値は、UVHおよびUVLでのヒステリシス最小値です。 $R_H(\text{MAX}) = 0.11 \cdot (R_1 + R_2)$ の場合、 $\delta V_{UV} = 15\text{mV}$ です。

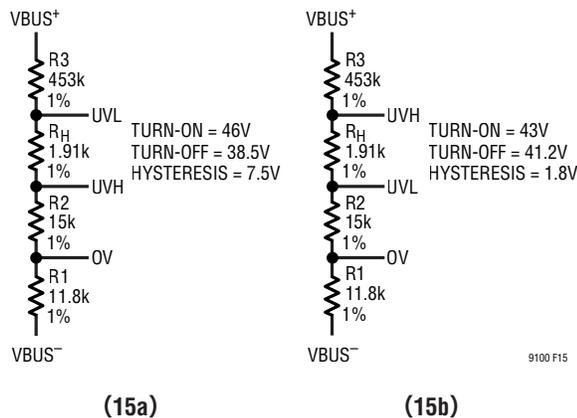


図15. 低電圧しきい値の調整、ヒステリシスを大きくする場合(15a)と小さくする場合(15b)

$R_H$ が $R_H(\text{MAX})$ より大きい場合でも、LTM9100の設計により、UVコンパレータはチャタリングから保護されます。

UVLピンの電圧が2.291Vより低くなり、UVHピンの電圧が $2.56V - \delta V_{UV}$ より低くなると、低電圧フォルトが発生します。これにより、FETはオフになり、低電圧発生レジスタ・ビットA1と低電圧フォルト・レジスタ・ビットB1がセットされます。また、 $\overline{\text{PG}}$ およびPGIOでのパワーグッド信号もリセットされます。

UVHピンの電圧が2.56Vより高くなり、UVLピンの電圧が $2.291V + \delta V_{UV}$ より高くなると、低電圧発生レジスタ・ビットA1はクリアされます。レジスタ・ビットD1をクリアして低電圧フォルトの自動再試行をディスエーブルしていない限り、 $t_D$ の遅延時間経過後にFETは再度オンします。

デバイスに電源を投入し、 $V_{CC2}$ がその低電圧ロックアウトしきい値(4.25V)を超えた後にUVLの電圧がしきい値の2.291Vより低く、UVHの電圧が $2.56V - \delta V_{UV}$ より低い場合は、フォルト・レジスタに低電圧フォルトが記録されます。

個別抵抗値の表(1%精度の抵抗は2%刻み、0.1%精度の抵抗は1%刻み)から選択する場合には妥協が生じるので、最高のOV精度およびUV精度を得るには、ピンごとに別々の抵抗分割器を使用します。こうすると、抵抗の総数は3本または4本から6本にまで増加しますが、精度が最大限に向上し、計算が単純になり、ランニング・チェンジが簡単になって、基板を変更せずに複数の規格やカスタマイズに対応することができます。

### FET短絡フォルト

FETがオフになっている間にデータ・コンバータが2mV以上の電流検出電圧を測定すると、FET短絡フォルトが通知されます。この状態では、FET\_STATレジスタ・ビットA5およびFET\_FAULTレジスタ・ビットB5がセットされます。

### 外部フォルト・モニタ

PGIOピンを汎用入力として構成している場合、溶断したヒューズなどの外部フォルト状態をPGIOピンでモニタすることができます。この場合には、PGIOの電圧が1.25Vより高いと、レジスタ・ビットA6とレジスタ・ビットB6が両方ともセットされますが、このフォルトに関連付けられたアラート・ビットはありません。PGIOの外部フォルト条件は、GATEの制御機能には影響しません。

### フォルト・アラート

FAULT (B)レジスタ内のフォルト・ビットのいずれかをセットしている場合には、ALERT (C)レジスタ内の適切なビットをセットすることにより、オプションのバス・アラートを生成することができます。これにより、選択したフォルトだけがアラートを生成することができます。起動時に、デフォルトの状態ではフォルトが発生してもアラートが生成されません。アラートがイネーブルされている場合、対応するフォルトが発生すると、 $\overline{\text{ALERT2}}$ ピンおよび $\overline{\text{ALERT}}$ ピンは“L”になります。図30に示すように、バスのマスタ・コントローラがアラート応答アドレスを一斉送信すると、LTM9100はそのアドレスを使用してSDAライン上で応答し、 $\overline{\text{ALERT}}$ を解放します。2つのLTM9100がそれぞれのアドレスで同時に応答し、両デバイス間に衝突が発生した場合は、下位アドレスのデバイスが優先権を獲得して、先に応答します。デバイスがバス・マスタによってアドレス指定された場合は、 $\overline{\text{ALERT}}$ ラインも解放されます。

## アプリケーション情報

あるフォルトに対してALERT信号がいったん解放されると、別のフォルトが発生したことをFAULTレジスタが示すまでか、または元のフォルトがクリアされた後に再度発生するまで、この信号が再び“L”になることはありません。これは、フォルトが繰り返し発生するか継続して発生しても、対応するFAULTレジスタ・ビットがクリアされるまではアラートが生成されないことを意味するので、注意が必要です。

### フォルトのリセット

フォルトは次のいずれかの条件によってリセットされます。まず、FAULTレジスタにゼロを書き込むと、対応付けられたフォルト・ビットがクリアされます。次に、EN2ピンまたはレジスタ・ビットD3が“H”から“L”に切り替わるか、V<sub>CC2</sub>がその低電圧ロックアウトである4.25Vより低くなると、FAULTレジスタ全体がクリアされます。また、UVLピンの電圧をそのリセットしきい値である1.21Vより低くした場合にも、FAULTレジスタ全体がクリアされます。UVLピンの電圧を1.21Vより高い電圧に戻しても2.291Vよりは低い場合、UVHピンの電圧が2.56Vより低いと低電圧フォルト・レジスタ・ビットB1がセットされます。これを回避するには、UVHピンを2.56Vより高い電圧に保持しつつ、UVLピンの“H”と“L”を切り替え直してフォルトをリセットします。

(STATUS(A)レジスタに示すように)対応付けられている状態がなおも存続しているフォルト・ビットをクリアすることはできません。FAULTレジスタは、自動再試行時にはクリアされません。自動再試行をディスエーブルしている場合、レジスタ・ビットB0(過電圧)、B1(低電圧)、またはB2(過電流)があると、FETはオフのままになります。フォルト・ビットがクリアされ、 $t_D$ の遅延時間が経過した後に、FETは再びオンになります。過電圧フォルト・レジスタ・ビットB0をクリアするのにI<sup>2</sup>Cを介してゼロを書き込んだ場合は、FETを遅延時間なしでオンすることができるので注意してください。自動再試行をイネーブルしている場合、レジスタ・ビットA0、A1、またはA2の値を“H”にすると、FETはオフに保たれ、FAULTレジスタは無視されます。その後、レジスタ・ビットA0、A1、およびA2をクリアすると、FETを再びオンすることができます。

### データ・コンバータ

LTM9100は10ビットの $\Delta\Sigma$ アナログ/デジタル・コンバータ(ADC)を内蔵しており、このADCはSENSE、ADIN2、およびADINの3つの異なる電圧を(この順序で)常時モニタします。 $\Delta\Sigma$ アーキテクチャでは、測定期間中、本質的に信号ノイズが平均化されます。SENSE<sup>+</sup>ピンとSENSE<sup>-</sup>ピンの間の電

圧は、フルスケール64mVおよび分解能62.5 $\mu$ Vでモニタされ、データはレジスタEおよびFに格納されます。ADINピンとADIN2ピンはフルスケール2.56Vおよび分解能2.5mVでモニタされます。ADIN2ピンのデータはレジスタGおよびHに格納されます。ADINピンのデータはレジスタIおよびJに格納されます。

レジスタE、F、G、H、I、およびJは7.3Hzの周波数で更新されます。レジスタ・ビットD5をセットすると、これらのレジスタの更新を停止するテスト・モードが起動します。これにより、レジスタへの書き込みとレジスタからの読み出しが可能になり、ソフトウェアによるテストを実行することができます。ADCのデータ・レジスタを読み出す直前にテスト・モードを起動することにより、2つのレジスタに分かれている10ビットのデータが同期します。

図33～35、39、40、43、および45に示すように、ADINピンとADIN2ピンを使用して、コントローラの入力電圧と出力電圧、または温度をモニタすることができます。

### PGIOピンの構成

表4では、レジスタ・ビットD6およびD7を使用したPGIOピンの状態を記述しています。起動時に、2番目のパワーグッド信号の準備が整うと、PGIOピンのデフォルトの状態は“L”になります。PGIOピンの他の用途は汎用出力と汎用入力、2番目のパワーグッド信号の準備が完了すると高インピーダンスになります。PGIOピンを汎用出力として構成すると、レジスタ・ビットC6の状態がPGIOピンに送出されます。PGIOの入力電圧が1.25Vより高い場合、PGIOを汎用入力として構成すると、レジスタ・ビットA6およびB6が両方ともセットされます。その後、PGIOの入力電圧が1.25Vより低くなると、レジスタ・ビットA6はクリアされます。レジスタ・ビットB6は、前述したようにFAULTレジスタをリセットすればクリアすることができます。

### 設計の手順

1. アプリケーションの負荷電流(I<sub>LOAD</sub>)要件を使用し、SENSEの最小しきい値電圧である45mVを使用して、検出抵抗(R<sub>S</sub>)の値を計算します。

$$R_S = \frac{45\text{mV}}{I_{\text{LOAD}}}$$

$$I_{\text{MAX}} = \frac{55\text{mV}}{R_S}$$

## アプリケーション情報

2. 容量性負荷( $C_L$ )の場合は、ランプ・コンデンサ( $C_R$ )の値を計算して、突入電流( $I_{INRUSH}$ )を設定します。

$$C_R = C_L \cdot \frac{I_{RAMP}}{I_{INRUSH}} = C_L \cdot \frac{20\mu A}{I_{INRUSH}}$$

突入電流とランプ・コンデンサについては、選択したスイッチの安全動作領域(SOA)に基づいて、試行の繰り返しが必要な可能性があります。

抵抗負荷または誘導性負荷の場合、オン電圧の変化速度は次式により計算されます。

$$\frac{dV}{dt} = \frac{I_{RAMP}}{C_R} = \frac{20\mu A}{C_R}$$

3. Nチャネル・スイッチ(Q1)を選択します。MOSFET、SiC MOSFET、IGBTなどです。スイッチの選択基準となるのは、最大動作電圧(余裕をとった値)、オン状態での電力損失( $I_{MAX}^2 \cdot R_{DS(on)}$ または $I_{MAX} \cdot V_{CESAT}$ )、およびSOAです。オン状態での最大電力損失( $P_{ON}$ )は、最大負荷電流およびスイッチの予想最大抵抗 $R_{DS(on)}$ を使用して計算します。125°Cでのスイッチの最大抵抗は、一般に、データシートの電気的特性の表に記載された接合部温度25°Cでの最大オン抵抗の2倍です。

$$P_{ON} = I_{MAX}^2 \cdot R_{DS(on)(125^\circ C)}$$

スイッチのSOAについて複数の事例を検討する必要があります。これには、突入電流が流れる通常のターンオン、短絡状態でのターンオン、入力電圧ステップ、導通中の短絡などが含まれます。複数のメーカー間や動作事例間でスイッチのSOAを評価するには、算出データと、データシートのSOA曲線の電力一定(対角線状に減少している)部分を、 $P^2t$ または $P\sqrt{t}$ を計算して比較することによって正規化することができます。線形動作やDC動作を対象に設計され、特性が記述されているスイッチが最適です。これらは一般にプレーナ・プロセスを使用して製造したスイッチで、高密度の縦型プロセス(例:トレンチ)とは対照的です。

- a. スwitchがオンしたときの通常の電力損失( $P_{TON}$ )は、 $V_{BUS}$ から約0Vまでの電圧ランプと一定の充電電流 $I_{INRUSH}$ で構成されています。負荷電流はないと仮定し、低速起動は無視します。

$$P_{TON} = \frac{V_{BUS} \cdot I_{INRUSH}}{2}$$

$$t_{INRUSH} = \frac{C_R \cdot V_{BUS}}{I_{RAMP(min)}} = \frac{C_L \cdot V_{BUS}}{I_{INRUSH}}$$

$$P\sqrt{t} = P_{TON} \sqrt{t_{INRUSH}}$$

- b. 負荷短絡状態でオンしたときの電力損失( $P_{SCTON}$ )は、 $I_{MAX}$ までの電流ランプで構成されます。これはMOSFETの相互コンダクタンス期間( $t_{fs}$ )であり、その後 $I_{MAX}$ での回路ブレーカ期間( $t_{CB}$ )が続き、どちらもバス電圧は一定です。低速起動は無視します。

$$P_{fs} = \frac{V_{BUS} \cdot I_{MAX}}{2}$$

$$P_{CB} = V_{BUS} \cdot I_{MAX}$$

$$t_{fs} = \frac{(C_G + C_{iss(max)}) \cdot 2 \cdot I_{MAX}}{I_{GATE(min)} \cdot g_{fs(min)}}$$

ここで、 $I_{GATE(min)} = 7.5\mu A$ であり、 $C_{iss}$ はMOSFETのゲート入力容量、 $g_{fs}$ はMOSFETの順方向相互コンダクタンスです。

$$t_{CB} = 620\mu s \text{ (最大)}$$

事象全体にわたる全電力損失を計算します。

$$P_{SCTON} = \frac{P_{fs} \cdot t_{fs} + P_{CB} \cdot t_{CB}}{t_{fs} + t_{CB}}$$

$$P\sqrt{t} = P_{SCTON} \sqrt{t_{fs} + t_{CB}}$$

- c. 入力電圧ステップの電力損失( $P_{STEP}$ )は、 $V_{STEP}$ から約0Vまでの電圧ランプと $I_{MAX} = I_{INRUSH} + I_{LOAD}$ の一定電流で構成されています。負荷電流は動作電圧に対して一定であると仮定します。

$$P_{STEP} = \frac{V_{STEP} \cdot I_{MAX}}{2}$$

$$t_{STEP} = \frac{C_R \cdot V_{STEP}}{I_{RAMP(min)}} = \frac{C_L \cdot V_{STEP}}{I_{INRUSH}}$$

$$P\sqrt{t} = P_{STEP} \sqrt{t_{STEP}}$$

## アプリケーション情報

- d. 導通中に負荷が短絡した場合の電力損失( $P_{SCON}$ )は、最大電流での一定のバス電圧で構成され、回路ブレーカ期間が対象期間となります。

$$P_{SCON} = V_{BUS} \cdot I_{MAX}$$

$$t_{CB} = 620\mu s$$

$$P\sqrt{t} = P_{SCON} \sqrt{t_{CB}}$$

検査の結果、事例dは事例bより常に低い値になるので、計算する必要はありません。

4. GATEの補償容量( $C_G$ )を選択します。GATEピンの全容量は約47nFにして、アクティブ電流制限回路を補償します。全容量は次のようになります。

$$C_{G(TOTAL)} = C_G + C_{iss} \approx 47nF$$

5. 低電圧事象と過電圧事象の作動点を決める抵抗分割器の大きさを設定します。UVLピンとUVHピンを互いに接続し、1つの抵抗分割器で両方の機能に対応するものとします(図4)。これらの機能をデisableするには、UVLとUVHを $V_{CC2}$ に接続し、OVを $V_{EE}$ に接続します。

- a. 抵抗分割器を流れる公称電流を決めます( $I_{DIV(NOM)}$ )。一般に、これは100 $\mu A$ です。
- b. 過電圧状態時に抵抗分割器を流れる電流は次のとおりです。

$$I_{DIV(OV)} = I_{DIV(NOM)} \cdot \frac{V_{BUSOV}}{V_{BUSNOM}}$$

ここで、 $V_{BUSNOM}$ は公称のバス電圧であり、 $V_{BUSOV}$ は過電圧状態でのバス電圧です。

- c.  $R_1$ を計算します。

$$R_1 = \frac{V_{OV(TH)}}{I_{DIV(OV)}} = \frac{1.77V}{I_{DIV(OV)}}$$

- d. 低電圧状態のバス電圧( $V_{BUSUV}$ )を決めます。低電圧事象の電圧は、システム要件に応じて、立ち上がりしきい値(UVH)の2.56V(システムが動作を開始するバス電圧)を使用するか、立ち下がりしきい値(UVL)の2.291V(システムが動作を停止するバス電圧)を使用して設定することができます。

- e. 低電圧事象のしきい値で抵抗分割器に流れる電流は、次のとおりです。

$$I_{DIV(UV)} = I_{DIV(NOM)} \cdot \frac{V_{BUSUV}}{V_{BUSNOM}}$$

- f.  $R_2$ を計算します。

$$R_2 = \frac{V_{UV(TH)} - R_1}{I_{DIV(UV)}}$$

- g.  $R_3$ を計算します。

$$R_3 = \frac{V_{BUSNOM}}{I_{DIV(NOM)}} - R_1 - R_2$$

6. DRAINピンに接続する抵抗の大きさを設定します。推奨のバイアス電流は50 $\mu A$ であり、電流値は2mA未満に制限します。

$$R_D = \frac{V_{BUSNOM}}{50\mu A}$$

## 設計例 #1

この設計例では、図4に示すように $C_L = 330\mu F$ を接続した200Wのアプリケーションを検討します。動作電圧範囲は43V~71Vで、UVオフしきい値は38.5Vです。計算のため、最小動作電圧は36Vで、最大動作電圧は72Vとします。設計回路は短絡と36Vの入力電圧ステップに耐えられる必要があります。

1. 検出抵抗はSENSEの最小しきい値電圧、最小動作電圧、およびアプリケーションの電力を使用して計算します。

$$R_S = \frac{45mV \cdot 36V}{200W} = 0.008\Omega$$

$$I_{MAX} = \frac{55mV}{0.008} = 6.875A$$

2. 突入電流を0.66Aに設定します。

$$C_R = C_L \cdot \frac{20\mu A}{0.66A} = 10nF$$

$R_R$ は、前述したように1kを選択します。

## アプリケーション情報

3. MOSFETを選択し、電力損失の計算結果を全ての条件下で比較します。IRF1310を選択します。最悪の場合の導通損失は次のとおりです。

$$P_{ON} = I_{MAX}^2 \cdot R_{DS(ON)(125^\circ C)} = 6.875^2 \cdot 72m\Omega = 3.4W$$

データシートのSOA曲線から、10msの動作での $P\sqrt{t}$ は、約 $25W\sqrt{s}$  ( $V_{DS} = 50V$ ,  $I_D = 5A$ )です。

事例3a:

$$P\sqrt{t} = \frac{72 \cdot 0.66}{2} \sqrt{\frac{330\mu \cdot 72}{0.66}} = 4.5W\sqrt{s}$$

事例3b:

$$P_{fs} = \frac{72 \cdot 6.875}{2} = 248W, P_{CB} = 72 \cdot 6.875 = 495W$$

$$t_{fs} = \frac{(47n + 1.9n) \cdot 2 \cdot 6.875}{7.5\mu A \cdot 14} = 6.4ms$$

$$P_{SCTON} = \frac{248 \cdot 6.4m + 495 \cdot 620\mu}{6.4m + 620\mu} = 270W$$

$$P\sqrt{t} = 270 \sqrt{6.4m + 620\mu} = 22.6W\sqrt{s}$$

事例3c:

$$P\sqrt{t} = \frac{36 \cdot 6.875}{2} \sqrt{\frac{330\mu \cdot 36}{0.66}} = 16.6W\sqrt{s}$$

$P\sqrt{t}$ の値を $25W\sqrt{s}$ 未満にすれば、全ての事例に適合します。

4. 手順3で選択したFETの入力容量は $1.9nF$ なので、 $C_G$ の値は $47nF$ が適切です。

5. UV/OVの抵抗分割器に流れる公称の電流値が $100\mu A$ になるように設定し、抵抗値を最も近い1%精度の値に丸めます。

$$I_{DIV(OV)} = 100\mu A \cdot \frac{72}{48} = 150\mu A$$

$$I_{DIV(UV)} = 100\mu A \cdot \frac{43}{48} = 89.6\mu A$$

$$R1 = \frac{1.77}{150\mu A} = 11.8k\Omega$$

$$R2 = \frac{2.56}{89.6\mu A} - 11.8k\Omega = 16.9k\Omega$$

$$R3 = \frac{48}{100\mu A} - 11.8k\Omega - 16.9k\Omega = 453k\Omega$$

6. DRAINピンの抵抗を $1M\Omega$ に設定します。

## 設計例 #2

この設計例では、裏表紙に示すように $C_L = 330\mu F$ を接続した $380V$ のアプリケーションを検討します。動作電圧範囲は $260V \sim 420V$ で、UVオフしきい値は $235V$ 、OVしきい値は $435V$ です。設計回路は短絡に耐える必要があり、標準量産品のMOSFETを使用して、供給可能な負荷電流を最大限に高めるよう設計する必要があります。

最大動作電圧を $435V$ とすると、ドレイン/ソース間電圧が $600V$ のMOSFETが望まれます。負荷電流を最大限に高めるため、最小の $R_{DS(ON)}$ と優れたSOAが必要です。デバイス調査の結果、IXYS社製のIXTH30N60L2が有力な候補であることが分かります。適正で、ヒートシンク装着可能な基板レベルの導通損失( $P_{ON}$ )は $5W$ です。これで、最大動作電流を計算できるようになります。

$$I_{MAX} = \sqrt{\frac{P_{ON}}{R_{DS(ON)(125^\circ C)}}} = \sqrt{\frac{5}{0.48}} = 3.25A$$

## アプリケーション情報

1. 検出抵抗を計算します。

$$R_S = \frac{55\text{mV}}{3.25\text{A}} = 0.017\Omega$$

2. 400VでのDC SOA動作曲線より下の動作電流を選択することにより、突入電流を設定します。

$$I_{\text{INRUSH}} = 0.3\text{A}, C_R = 330\mu\text{F} \cdot \frac{20\mu\text{A}}{0.3\text{A}} = 22\text{nF}$$

3. デバイスの $P\sqrt{t}$ は、75°Cのケース温度のとき、約80W $\sqrt{s}$ です。

事例 3a:

$$P\sqrt{t} = \frac{430 \cdot 0.3}{2} \sqrt{\frac{330\mu\text{F} \cdot 430}{0.3}} = 44\text{W}\sqrt{s}$$

事例 3b:

$$P_{\text{fs}} = \frac{430 \cdot 3.25}{2} = 700\text{W}, P_{\text{CB}} = 430 \cdot 3.25 = 1.4\text{kW}$$

$$t_{\text{fs}} = \frac{(39\text{n} + 10.7\text{n}) \cdot 2 \cdot 3.25}{7.5\mu\text{A} \cdot 10} = 4.3\text{ms}$$

$$P_{\text{SCTON}} = \frac{700 \cdot 4.3\text{m} + 1400 \cdot 620\mu}{4.3\text{m} + 620\mu} = 788\text{W}$$

$$P\sqrt{t} = 788 \sqrt{4.3\text{m} + 620\mu} = 55\text{W}\sqrt{s}$$

入力ステップを規定していなかったため、事例 3c は計算しません。

4. 選択したFETの入力容量は10.7nFなので、 $C_G$ の値は39nFが適切です。
5. この例では、バス電圧のレベルをシフトし、 $V_{EE}$ の電位を基準にしてUV入力、OV入力、およびアナログ入力を使用します。この設定は、LTC<sup>®</sup>2054を使用する別のアンプ段で行います。アンプの出力はUVピンに接続するので、アンプの分圧比は、UVオフしきい値が235Vのときに出力電圧が2.291Vになるように設定します。つまり、 $235/2.291=102.3$

です。電流と電力損失が最小限に抑えられるように入力抵抗を選択します。3.3M $\Omega$ を選択した結果、抵抗分割器の抵抗値は3.3M $\Omega/102.3 = 32.4\text{k}\Omega$ になります。回路図に記載してあるように、ADINの電圧は435Vのとき2.56Vであり、OVの電圧は435Vのとき1.77Vになります。抵抗分割器に流れる最大電流は200 $\mu\text{A}$ に設定します。

$$R1 = \frac{1.77}{200\mu\text{A}} = 8.87\text{k}\Omega$$

$$R2 = \frac{2.56}{200\mu\text{A}} - 8.87\text{k}\Omega = 3.92\text{k}\Omega$$

$$R3 = \frac{V_{\text{BUSOV}}}{200\mu\text{A}} - 8.87\text{k}\Omega - 3.92\text{k}\Omega = 8.45\text{k}\Omega$$

6. DRAINピンの抵抗を3.3M $\Omega$ に設定します。

## 外付けスイッチ

LTM9100の主なアプリケーションは外付けのNチャネルMOSFETスイッチの制御ですが、絶縁ゲート・バイポーラ・トランジスタ(IGBT)を使用してもかまいません。これが特に興味深いのは、電圧が250Vより高いアプリケーションで、十分なSOAと低 $R_{\text{DS(ON)}}$ の従来型FETが入手できない場合です。

電圧定格が600V、1200V、および1200V超のIGBTはすぐに入手することができます。必ずしも全てのIGBTが適しているわけではなく、データシートのSOA動作曲線に示すように、DC動作またはDCに近い動作が規定されている製品に限ります。その他の2つの考慮対象特性は、コレクタ/エミッタ間飽和電圧とゲート/エミッタ間しきい値電圧です。

LTM9100は、DRAINピンと直列抵抗を介してIGBTのコレクタ電圧をモニタし、IGBTがオンしてからパワーグッド信号が切り替わるようにしています。DRAINピンのしきい値は1.77Vです。IGBTの飽和電圧 $V_{\text{CE(SAT)}}$ は、図16に示すように、DRAINモニタ入力ピンの抵抗分割器に必要な電圧より高くなってもかまいません。

## アプリケーション情報

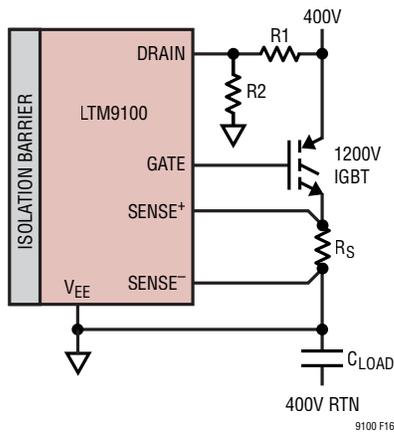


図16. LTM9100 DRAIN モニタの抵抗分割器による IGBT コレクタ電圧の検出

抵抗R1の値は、バス電圧とDRAINの最大電流である2mAによって決まります。次に、DRAINピンの電圧が1.77Vより低くなるように抵抗R2を選択します。その際に、最悪の場合の負荷電流に対する余裕と、最小のGATE電圧でのIGBTのV<sub>CE</sub>電圧に対する余裕を持たせるようにします。

また、IGBTのゲート/エミッタ間しきい値電圧も考慮する必要があります。IGBTはゲート/エミッタ間しきい値電圧V<sub>GE(th)</sub>が最大の条件で選択しますが、これはLTM9100のGATEの最小パワーグッド状態、つまりV<sub>S</sub>の最小UVLO電圧である8.5Vに対応します。デバイスのデータシートの電気的特性の表に記載されているしきい値電圧は、多くの場合、コレクタ電流が非常に少ない条件での値です。一般的に、コレクタ電流とゲート/エミッタ間電圧や、ゲート/エミッタ間電圧とゲート電荷のグラフが記載されています。IGBTの特性を慎重に評価して、LTM9100との互換性を確保する必要があります。

## ゲート電圧の昇圧

2つの主な理由により、高いゲート電圧が求められることがあります。第1の理由は、ドレインまたはコレクタとゲートのミラー容量を介したdV/dt結合の感度を下げて、ノイズ・マージンを広げることです。第2の理由は、R<sub>DS(on)</sub>またはV<sub>CE</sub>を最適化し、その結果として電力損失を低減することです。

ゲート電圧を高くする簡単な方法を図17に示します。LTM9100のGATEピン電圧が(V<sub>S</sub>を基準にして)Q2のV<sub>GS</sub>しきい値に達するまで、Q2はオンのままです。Q2がオフすると、Q1のゲートはR1を介して外部電源電圧(V<sub>BOOST</sub>)まで充電され続けます。R1の値を選択するときは、LTM9100のGATEピン電圧が約9Vに達してから1周期のタイム遅延時間が経

過した後で、PG2が切り替わる前に、Q1のゲートが最大に近い電圧になるようにします。また、R1の値は、Q1のゲート充電電流にも影響します。この電流の増加は、突入時の負荷電流の計算とC<sub>R</sub>の容量設定時に考慮する必要があります。

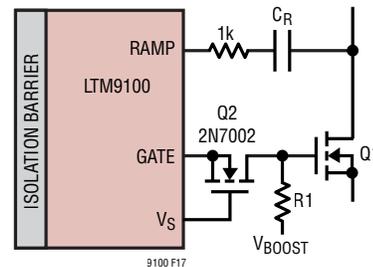


図17. 簡単なゲート電圧昇圧回路

$$I_{\text{RAMP}} \approx 20\mu\text{A} + 2 \cdot \frac{V_{\text{BOOST}} - V_{\text{Q1(threshold)}}}{R1}$$

$$C_R = C_L \cdot \frac{I_{\text{RAMP}}}{I_{\text{INRUSH}}}$$

## 負のゲート・バイアス

オフ状態ではGATEの信号がV<sub>EE</sub>に強く引き込まれるので、電圧マージンを更に広げて、容量結合によるスイッチの導通リスクをいっそう低減するのが望ましい場合があります。この状況では、図18に示すように、負のゲート・オフ・バイアスを組み込むこともできます。Q4はENが“L”に切り替わると負のバイアスを導通させ、Q3はV<sub>EE</sub>を基準とするGATEピンからの電流を遮断し、Q2は外部の負電圧(-V<sub>BIAS</sub>)をスイッチに接続します。

図36のアプリケーション回路は、昇圧電源と負のバイアス電源をV<sub>S</sub>から発生する方法を示しています。

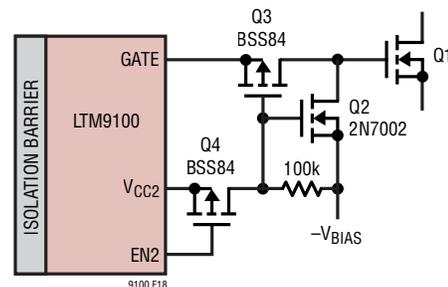


図18. ENによって制御される負のゲート・バイアス

## アプリケーション情報

### スイッチの並列接続

起動時の SOA を広げるためにスイッチを並列に接続するのは推奨しません。LTM9100 は、複数のスイッチ間での電流シェアリングを保証する回路を内蔵していません。スイッチのターンオン特性に差があると、スイッチが完全に導通するまで必然的に1つのスイッチがほとんどのターンオン電流を流すことになります。

このことも、複数のダイで構成される FET モジュールが大電流の定格を実現することを支えています。FET モジュールは動的な電流シェアリング方式を採用していません。スイッチのしきい値を揃えるだけでは、電流シェアリングを保証するには不十分です。

### AC リップルが存在する DC バス (整流 AC)

LTM9100 は、一定の充電電流を発生させる外付け FET のドレイン電圧を直線的に上昇させることにより、コンデンサの充電を制御することを主な目的としています。DC バス電圧に AC 成分が含まれる場合は、整流後の入力電圧がコンデンサの電圧を超えた場合にのみコンデンサが充電されるので、高いピーク電流が短い間隔で発生します。

一般に、AC リップルを低減してコンデンサの充電電流を滑らかにするため、直列インダクタが追加されます。入力 LC フィルタは、信号源インピーダンス、負荷要件などに基づいて慎重に設計する必要があります。また、その設計については、この説明の範囲を超えています。

誘導性を入力フィルタが望ましくなく、最初の電源投入後のコンデンサ充電電流のピーク値を許容できる負荷要件である場合は、LTM9100 を構成して負荷容量を充電することができます。図 19 を参照してください。AC 電圧が GATE と結合するので RAMP ピンは使用しません。代わりにトランジスタ Q2 を追加してランプ・コンデンサを直列に接続し、負荷コンデンサが充電されるのに応じて GATE を制御します。ダイオード D5 は、オフするときにランプ・コンデンサをリセットします。また、トランジスタ Q3 はターンオン・シーケンス完了後に GATE を分離して、通常動作時に GATE がそれ以上変調されないようにします。

検出抵抗の大きさは、通常動作時のコンデンサ充電電流のピーク値に合わせて調整し、内部の電流制限機能や回路ブレーカ機能が作動しないようにします。そうしないと、電力損失が過剰になり、FET が破壊する恐れがあります。これが特に当てはまるのは突入充電期間で、この間は FET に最大の入力バス電圧が加わります。

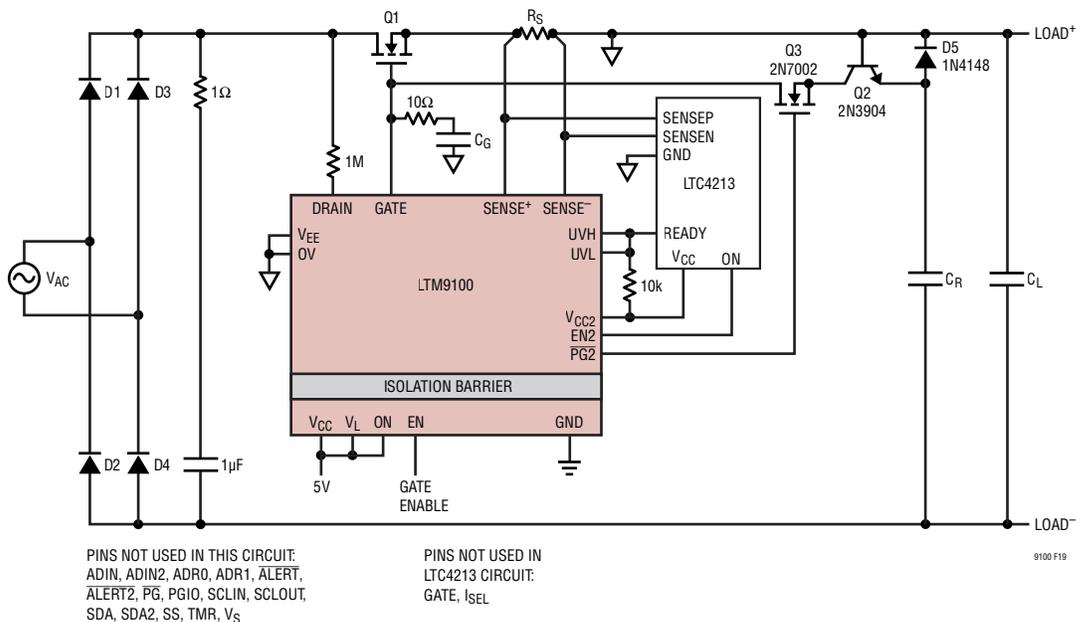


図 19. 整流 AC の高電位側充電回路

## アプリケーション情報

表 1. リプルが 13.4% の単相およびリプルが 3.4% の 3 相の場合の部品の値

V <sub>AC</sub>	Q1			C <sub>G</sub>	I <sub>LOAD</sub>	C <sub>L</sub>	C <sub>R</sub>	R <sub>S</sub>	
	製品番号	電圧	R <sub>DS(on)(25°C)</sub>					1φ	3φ
48	FQA90N15	150V	0.018	39nF	8	5600μF	56nF	0.0008	0.0016
120	FQA55N25	250V	0.04	47nF	6	1500μF	39nF	0.001	0.002
240	FDL100N50F	500V	0.055	33nF	5	680μF	6.8nF	0.001	0.002

内部回路ブレーカの時間は 530μs なので、短絡状態での起動時には電力損失が過剰になります。起動時の短絡保護が必要な場合は、外部の電子回路ブレーカが必要です(図 19 の LTC4213)。

負荷充電電流 (I<sub>INRUSH</sub>) は、FET の SOA に基づいて選択します。ランプ・コンデンサ (C<sub>R</sub>) およびランプ時間 (t<sub>INRUSH</sub>) は、RAMP の電流の代わりに GATE の電流を使用して、前と同様に計算します。

$$C_R = C_L \cdot \frac{I_{GATE}}{I_{INRUSH}} = C_L \cdot \frac{11.5\mu A}{I_{INRUSH}}$$

$$t_{INRUSH} = C_R \cdot \frac{V_{PEAK}}{I_{GATE}} = C_L \cdot \frac{V_{PEAK}}{I_{INRUSH}}$$

充電時間を延長して、起動時のトランジェント熱サイクルを低減することが必要な場合があります。最大接合部温度を予測する場合には、LTspice® などの回路シミュレーション・ソフトウェアが便利です。ただし、正確な FET トランジェント熱インピーダンス・モデルを入手できることが条件です。異なる 3 つの入力電圧レベルで単相と 3 相の両方の電圧入力に対応する部品の値を表 1 に示します。Q1 の負荷充電電圧、電流、および接合部温度を、表 1 の 120V<sub>AC</sub> の場合について図 20 に示します。

表 1 の例で規定されている検出抵抗は、信号源インピーダンスが 0Ω の場合を前提にしているため、最小値を表しています。実際には、コンデンサ充電電流のピーク値はより低い値になるので、検出抵抗の値は適宜調整する必要があります。更に、負荷コンデンサは RMS 値の高い充電電流に対応するように選択する必要があり、したがって複数のコンデンサの並列接続で構成されるのが一般的です。

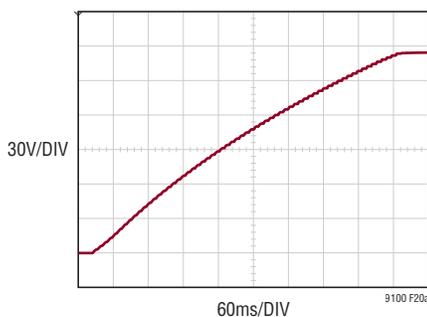


図 20(a). 負荷コンデンサの電圧

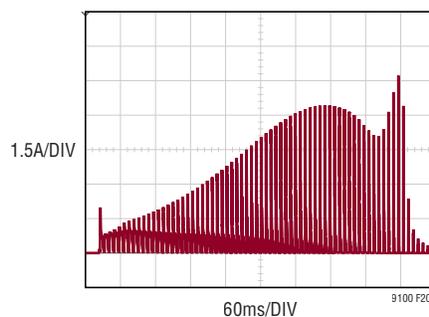


図 20(b). 負荷コンデンサの電流

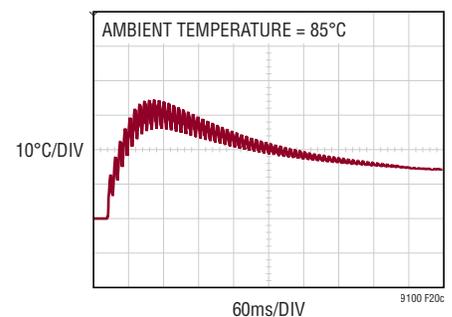


図 20(c). Q1 の接合部温度

図 20. 負荷コンデンサの充電電圧、電流、および接合部温度

## アプリケーション情報

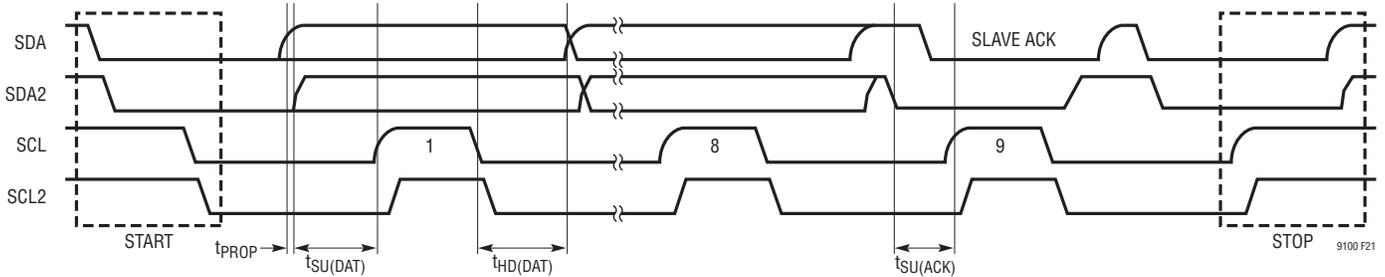


図21. I<sup>2</sup>Cのタイミング図

### IC間通信バス(I<sup>2</sup>C)

LTM9100は、I<sup>2</sup>C互換の絶縁インタフェースを備えています。クロック(SCL→SCL2)は片方向で、マスター・モードのみをサポートしており、データ(SDA↔SDA2)は双方向です。I<sup>2</sup>CインタフェースはADCのデータ・レジスタとその他4つのレジスタへのアクセス機能を備えており、後者はFETのモニタリングと制御を目的とします。更に、絶縁サイドのI<sup>2</sup>Cピンにアクセス可能なので、シリアル接続デバイスを更に増やすことができます。

I<sup>2</sup>Cの最大データレートは400kHzで、高速モードに対応しますが、スレーブのアクノリッジ・セットアップ時間( $t_{SU(ACK)}$ )によって制限されます。この時間は、システムの伝播遅延、グリッチ・フィルタ、および絶縁サイドの固定データ遅延である500nsで構成されます。タイミングの詳細を図21に示します。セットアップ時間を合計すると、I<sup>2</sup>Cでのデータ保持時間( $t_{HD(DAT)}$ )が最大で175nsまで減少するので、十分なデータ・セットアップ時間( $t_{SU(DAT)}$ )が保証されます。

絶縁サイドの双方向シリアル・データ・ピンであるSDA2付近の簡略回路図を図22に示します。内蔵の1.8mA電流源により、SDA2ピンにはプルアップ電流が供給されます。SDA2ピンには他のプルアップ・デバイスを接続しないでください。この電流源は、高速モードでは200pFより大きく標準モードでは400pFより大きいバス容量のシステム要件を満たすのに十分です。

その他の独自回路により、SDAおよびSDA2の信号のスループレートをモニタして、絶縁障壁間での方向の制御が行われます。正常動作のためには、これら2つのピンでのスループレートを1V/μsより大きくする必要があります。

ロジック・サイドの双方向シリアル・データ・ピンであるSDAには、 $V_L$ に接続されたプルアップ抵抗または電流源が必要です。高速モードおよび標準モードでの所望の立ち上がり時間規格値および $V_{OL}$ の最大制限値を満たす適切なプルアップ抵抗をSDAピンに接続するには、図23および図24の要件に従ってください。抵抗の曲線は抵抗の最大値の境界を表しま

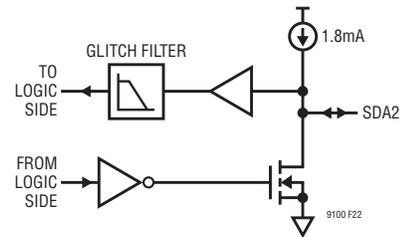


図22. 絶縁サイドのSDA2ピン付近の回路図

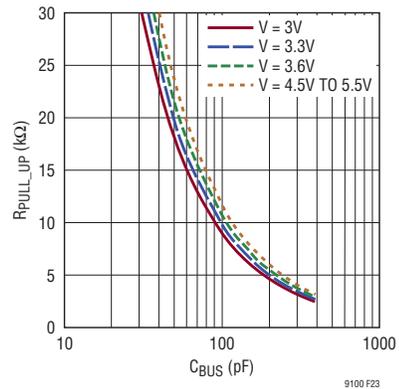


図23. 標準速度モードでのSDAピンの最大プルアップ抵抗

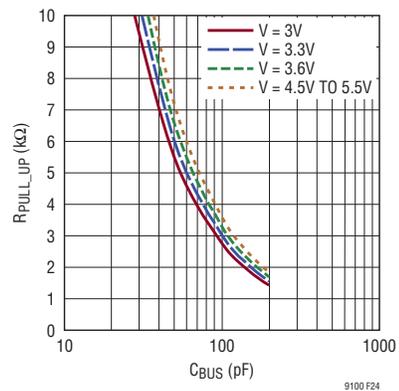


図24. 高速モードでのSDAピンの最大プルアップ抵抗

## アプリケーション情報

す。該当する曲線の左側の領域であれば、任意の値を使用できます。

絶縁サイドのクロック・ピンである SCL2 のプッシュプル出力ドライバの能力は十分ではないので、外付けのプルアップ・デバイスは接続しないでください。SCL2 ピンは、クロック幅の伸張なしで I<sup>2</sup>C デバイスとの互換性があります。軽負荷の接続では、SCL2 と V<sub>EE</sub> の間に 100pF のコンデンサを接続するか、RC ローパス・フィルタ (R = 500Ω, C = 100pF) を使用することにより、立ち上がり時間および立ち下がり時間を長くしてノイズを最小限に抑えることができます。

LTM9100 は読み出し/書き込みスレーブ・デバイスであり、SMBus のバイト読み出し、バイト書き込み、ワード読み出し、およびワード書き込みコマンドをサポートします。ワード読み出しコマンドの 2 番目のワードは、最初のワードと同一になります。ワード書き込みコマンドの 2 番目のワードは無視されます。これらのコマンドのデータ・フォーマットを図 25～図 28 に示します。

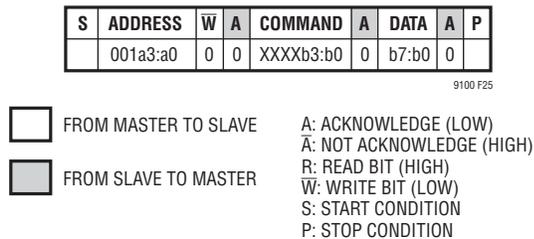


図 25. LTM9100 のシリアル・バス SDA バイト書き込みプロトコル

### START 条件と STOP 条件

バスがアイドル状態のときは、SCL と SDA の両方が“H”でなければなりません。バス・マスタは、SCL を“H”に維持したまま SDA を“H”から“L”に切り替えることにより、START 条件付きの送信開始をスレーブに知らせます。マスタはスレーブとの通信を終了すると、SCL を“H”に保ったまま SDA を“L”から“H”に移行させて STOP 条件を発行します。この動作によりバスは解放され、次の送信を開始できます。

### スタックバス・リセット

LTM9100 の I<sup>2</sup>C インタフェースは、スタックバス・リセット・タイマを内蔵しています。タイマを起動するため、SCL2 ピンと SDA2 ピンが“L”になる条件は OR 接続されます。SCL2 と SDA2 が両方とも“H”になると、タイマはリセットされます。SCL2 ピンまたは SDA2 ピンが“L”に保持される時間が 66ms を超えると、スタックバス・タイマの期限が切れて内部 I<sup>2</sup>C ス

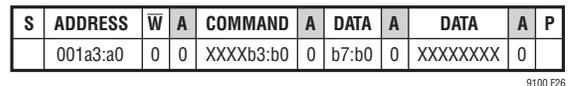


図 26. LTM9100 のシリアル・バス SDA ワード書き込みプロトコル

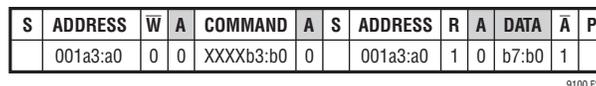


図 27. LTM9100 のシリアル・バス SDA バイト読み出しプロトコル

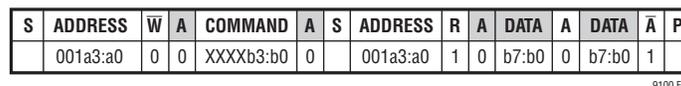


図 28. LTM9100 のシリアル・バス SDA ワード読み出しプロトコル

## アプリケーション情報

テート・マシンがリセットされ、“L”のまま膠着した状態の解消後に通常の通信が可能になります。SCL2ピンとSDA2ピンが交互に“L”に保持される場合、タイマがリセット状態(SCL2とSDA2が両方とも“H”)になる前にSCL2とSDA2がOR接続で“L”になっている時間が66msを超えると、スタックバス・タイムの期限が切れてI<sup>2</sup>Cステート・マシンがリセットされます。

### I<sup>2</sup>Cデバイスのアドレス指定

表2に示すように、3ステート・ピンのADR0とADR1を使用して、8つの異なるI<sup>2</sup>Cバス・アドレスのいずれかを選択することができます。ADR0 = “L”およびADR1 = “H”の構成を使用すると単線一斉送信モードがイネーブルされることに注意してください。8つのI<sup>2</sup>Cバス・アドレスの場合、アドレス・ビットb7、b6、およびb5は(001)に構成され、最下位ビットb0はR/Wビットです。更に、LTM9100は2つの特殊アドレスに応答します。アドレス(0011 111)は、全てのLTM9100に書き込むときに使用する一括書き込みであり、個々のアドレス設定は無視されます。アドレス(0001 100)は、SMBusアラート応答アドレスです。LTM9100は、 $\overline{\text{ALERT}}$ ピンを“L”にしている場合、SMBusアラート応答プロトコルを使用してこのアドレスにアクノリッジを返します。1本のALERTバスを複数のLTM9100で共有するよう構成する場合は、オープンドレインのバッファを追加する必要があります。図29を参照してください。

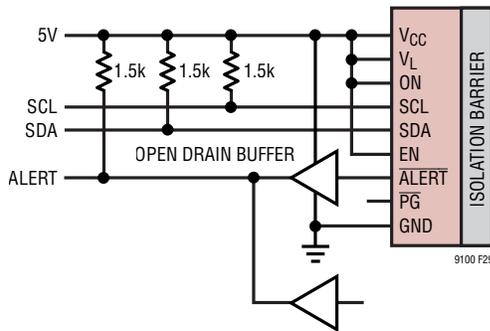


図29. 共有ALERTバス用のオープンドレイン・バッファ

### アクノリッジ

アクノリッジ信号はトランスミッタとレシーバの間のハンドシェイクに使用され、データの最終バイトが受信されたことを知らせます。トランスミッタはアクノリッジ・クロック・パルスの間、必ずSDAラインを解放します。スレーブがレシーバである場合、スレーブはSDA2ラインの電圧を低くしてこのパルスの間“L”を維持し、データ受信のアクノリッジを返します。スレーブがSDA2を“H”のままにしてアクノリッジを返さないと、マスタがSTOP条件を生成して送信を中止する可能性があります。マスタがスレーブからデータを受信しているときは、マスタがクロック・パルスの中にSDAラインの電圧を低くして、データの受信を知らせる必要があります。最終バイトを受信した後、マスタはSDAラインを“H”のままにして(アクノリッジを返さずに)、STOP条件を発行して通信を終了します。

### 書き込みプロトコル

マスタは、START条件とそれに続く7ビットのスレーブ・アドレスおよび0にセットされたR/Wビットによって通信を開始します。アドレス指定されたLTM9100がこれに対してアクノリッジを返すと、マスタは書き込み先の内部レジスタを示すコマンド・バイトを送信します。LTM9100はこれに対してもアクノリッジを返し、次にコマンド・バイトの下位4ビットを内部レジスタのアドレス・ポインタにラッチします。その後、マスタはデータ・バイトを送り、LTM9100はもう一度アクノリッジを返して、データをその内部レジスタにラッチします。マスタがSTOP条件を送ると通信は終了します。ワード書き込みコマンドの場合と同様に、マスタが2番目のデータ・バイトを引き続き送信すると、2番目のデータ・バイトにはLTM9100によってアクノリッジが返されますが、データは無視されます。

### 読み出しプロトコル

マスタは、START条件とそれに続く7ビットのスレーブ・アドレスおよび0にセットされたR/Wビットによって読み出し動作を開始します。アドレス指定されたLTM9100がこれに対してアクノリッジを返すと、マスタは読み出し対象の内部レジスタを示すコマンド・バイトを送信します。LTM9100はこれに対してもアクノリッジを返し、次にコマンド・バイトの下位4ビットを内部レジスタのアドレス・ポインタにラッチします。次いで、マスタは反復START条件を送ってから同じ7ビットのアドレスを送り、今度はR/Wビットを1にセットします。LTM9100はアクノリッジを返し、要求されたレジスタの内容を送信します。マスタが

## アプリケーション情報

STOP条件を送ると通信は終了します。ワード読み出しコマンドの場合のように、マスタが送信されたデータ・バイトに対してアクノリッジを返すと、LTM9100は、要求されたレジスタを2番目のデータ・バイトとして繰り返し読み出します。レジスタのアドレス・ポインタはトランザクションの最後にクリアされないことに注意してください。したがって、受信バイト・プロトコルを使用して特定のレジスタを繰り返し読み出すことができます。

### アラート応答プロトコル

図30に示すように、LTM9100はSMBusアラート応答プロトコルを実装しています。ALERT (C)レジスタを介してフォルトに応答するようイネーブルされている場合、LTM9100はALERTピンを“L”にすることによってフォルトに応答します。オープンドレインのバッファを追加することにより、絶縁サイドにある共通のALERT2ライン、またはロジック・サイドにある共通のALERTラインを複数のLTM9100が共有することができます。このプロトコルにより、マスタはどのLTM9100がラインを“L”にするかを決定することができます。マスタは、STARTビットとそれに続く特殊なアラート応答アドレス(0001 100)を、R/Wビットを1にセットして送信することにより、通信を開始します。ALERTピンを“L”にしている全てのLTM9100がアクノリッジを返し、個々のスレーブ・アドレスの返送を開始します。

S	ALERT RESPONSE ADDRESS	R	A	DEVICE ADDRESS	$\bar{A}$	P
	0001100	1	0	001a3:a00	1	

9100 F30

図30. LTM9100のシリアル・バス SDA アラート応答プロトコル

調停方式により、最下位アドレスを持つLTM9100が優先されることが保証されます。それ以外のLTM9100は全て応答を中断します。正常に応答したデバイスはそのALERTピンを解放しますが、それ以外のデバイスはそのALERTピンを引き続き“L”に保持します。ポーリングを使用して、フォルトを検出したLTM9100がないか調べることもできます。また、読み出した書き込みトランザクション時にアドレスを個別に指定している場合は、ALERTピンを“L”にしているLTM9100もこれらのピンを解放します。

別のフォルトが発生したことをFAULTレジスタが示すまでか、または元のフォルトがクリアされてから再度発生するまで、ALERT信号が再び“L”になることはありません。これは、フォルトが繰り返し発生するか継続して発生しても、対応するFAULTレジスタ・ビットがクリアされるまではアラートが生成されないことを意味するので、注意が必要です。

### 単線一斉送信モード

LTM9100は、SCLラインにクロックを入力することなく、選択したレジスタのデータをSDAピンに送出する単線一斉送信モードを備えています(図31)。単線一斉送信モードは、ADR1ピンを“H”に設定し、ADR0ピンを“L”に設定することによりイネーブルされます(I<sup>2</sup>Cインタフェースはディスエーブルされます)。3つのADCチャンネルの各変換終了時には、シリアル・データレートが15.3kHz±20%の一連の18ビットが、図32に示すフォーマットでSDAに一斉送信されます。データ・ビットは、マンチェスタ符号化と同様な方法により、内部クロックを使用して符号化されます。この符号は、マイクロコントローラまたはFPGAにより簡単に復号することができます。各データ・ビットは非反転位相と反転位相で構成されます。各ADCチャンネルの変換時に、SDAは“H”のアイドル状態になります。変換が終了すると、SDAピンは“L”になります。STARTビットはデータ一斉送信の開始を示し、内部のクロック・サイクル(つまり、シリアル・データレート)を測定するために、ダミー・ビット(DMY)と組み合わせて使用します。DMYビットに続くのは、ADCのチャンネルを示す2つのチャンネル・コード・ビット(CH1およびCH0)です(表3参照)。ADCチャンネルの10ビットのデータ(ADC9~ADC0)およびFAULTレジスタの3ビット(B2、B1、B0)が送出されます。各データ・ストリームはパリティ・ビット(PRTY)で終了します。その後、SDAラインはアイドル・モードに入り、SDAは“H”になります。

以下のデータ受信プロシーダを推奨します。

1. SDAの立ち下がりエッジを待ちます。
2. 最初の立ち下がりエッジはグリッチである可能性があるため、10μsの遅延時間経過後に再度確認します。“H”に戻る場合は、再度待ちます。“L”のままの場合、これはSTARTビットです。
3. 後続の“L”から“H”への遷移および“H”から“L”への遷移を使用して、内部クロック・サイクルの1/2を測定します。
4. 2番目の“L”から“H”への遷移(DMYビットの中間)を待ちます。

## アプリケーション情報

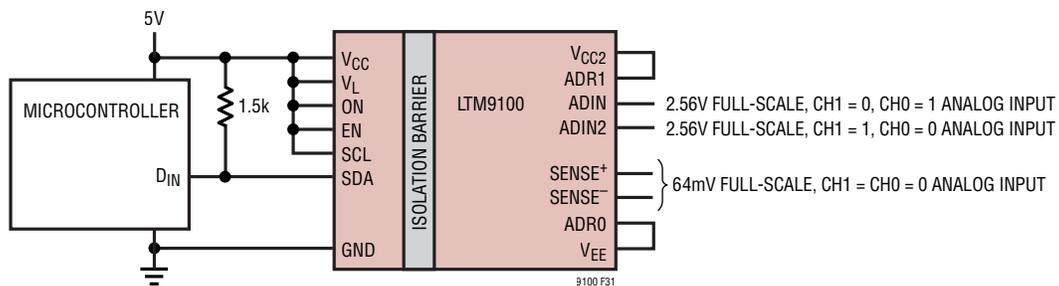
5. 1クロック・サイクルの3/4の時間待ちます。
6. ビットCH1をサンプリングして、遷移を待ちます。
7. 1クロック・サイクルの3/4の時間待ちます。
8. ビットCH0をサンプリングして、遷移を待ちます。
9. 1クロック・サイクルの3/4の時間待ちます。
10. ADC9をサンプリングして、遷移を待ちます。
11. 全てのビットが読み出されるまで続行します。

上述のプロシージャはマイクロコントローラに移植するか、FPGA内にステート・マシンを設計するのに使用することができます。エッジが欠落する場合に備えて、コードにはタイムアウトが必要です。全18ビットをクロックと同期して出力するのに標準(1.2ms)の2倍の時間がかかる場合は、読み出しを中止します。

一斉送信モードのLTM9100を使用した標準的応用例の回路を図35に示します。この回路では、入力電圧、FETの $V_{DS}$ 、および $V_{SENSE}$ をモニタします。

### レジスタのアドレスと内容

デバイス・アドレスとレジスタの内容の詳細を表2および表4に示します。各レジスタ・ビットの機能は表4で説明しています。



PINS NOT USED IN THIS CIRCUIT:  
 ALERT, ALERT2, DRAIN, EN2, GATE, OV, PG, PG2, PGIO, RAMP,  
 SCL2, SDA2, SS, TMR, UVL, UVH,  $V_S$

図31. 単線一斉送信モード

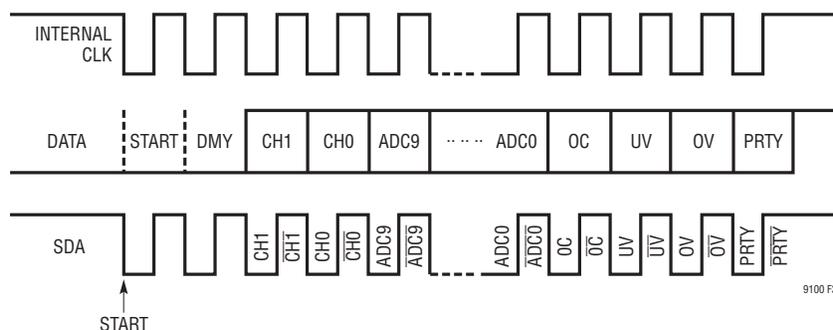


図32. 単線一斉送信のデータ・フォーマット

## アプリケーション情報

表2. LTM9100のデバイス・アドレス指定

説明	デバイス・アドレス (16進)	デバイス・アドレス(2進)								LTM9100の アドレス・ピン	
		b7	b6	b5	b4	b3	b2	b1	b0(R/W)	ADR1	ADR0
Mass Write	3E	0	0	1	1	1	1	1	0	X	X
Alert Response	19	0	0	0	1	1	0	0	1	X	X
0	20	0	0	1	0	0	0	0	X	L	L
1	22	0	0	1	0	0	0	1	X	L	NC
2	24	0	0	1	0	0	1	0	X	H	NC
3	26	0	0	1	0	0	1	1	X	L	H
4	28	0	0	1	0	1	0	0	X	NC	L
5	2A	0	0	1	0	1	0	1	X	NC	NC
6	2C	0	0	1	0	1	1	0	X	H	H
7	2E	0	0	1	0	1	1	1	X	NC	H
8	Single-Wire Broadcast Mode								X	H	L

H = V<sub>CC2</sub>に接続、L = V<sub>EE</sub>に接続、NC = 接続なし、X = ドントケア

表3. 単線一斉送信モードと表示されているADCチャンネル

CH1	CH2	ADCのチャンネル
0	0	SENSE Voltage
0	1	ADIN2 Voltage
1	0	ADIN Voltage

## アプリケーション情報

表4. レジスタ・マップ

レジスタ*	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト
0x00 (Read Only)	<b>STATUS (A)</b> System Status Information	<b>GATE_STAT</b> State of GATE Pin 1=On 0=Off	<b>PGIO_IN</b> State of PGIO Pin as Input 1=High 0=Low	<b>FET_STAT</b> V <sub>SENSE</sub> > 2mV with GATE Off 1=Short 0=No Short	Reserved	Reserved	<b>OC_STAT</b> Overcurrent Condition 1=OC 0=No OC	<b>UV_STAT</b> Undervoltage Condition 1=UV 0=No UV	<b>OV_STAT</b> Overvoltage Condition 1=OV 0=No OV	0000,0000
0x01	<b>FAULT (B)</b> Fault Log and PGIO Input	Reserved	<b>PGIO_HIGH</b> PGIO as Input High Transition Detected 1=High 0=Low	<b>FET_FAULT</b> FET Short Detected 1=Fault 0=No Fault	Reserved	Reserved	<b>OC_FAULT</b> Overcurrent Fault Occurred 1=Fault 0=No Fault	<b>UV_FAULT</b> Undervoltage Fault Occurred 1=Fault 0=No Fault	<b>OV_FAULT</b> Overvoltage Fault Occurred 1=Fault 0=No Fault	0000,0000
0x02	<b>ALERT (C)</b> Controls if ALERT Pin is Pulled Low After a Fault is Logged in the Fault Register and PGIO Output	Reserved	<b>PGIO_OUT</b> Controls PGIO Pin State as Output 1=High 0=Low	<b>FET_ALERT</b> Enable Alert for FET Short Fault 1=Enable 0=Disable	Reserved	Reserved	<b>OC_ALERT</b> Enables Alert for Overcurrent Fault 1=Enable 0=Disable	<b>UV_ALERT</b> Enables Alert for Undervoltage Fault 1=Enable 0=Disable	<b>OV_ALERT</b> Enables Alert for Overvoltage Fault 1=Enable 0=Disable	0000,0000
0x03	<b>CONTROL (D)</b> Controls for Auto-Retry after Faults and GATE Switch State	<b>PGIO_CONFIG</b> Configures Behavior of PGIO Pin 00=Power Good Low, Open Drain 10=Power Good High, Open Drain 01=General Purpose Output, PGIO=C6 11=General Purpose Input, PGIO=Hi-Z		<b>ADC_WRITE</b> Halts ADC Operation and Enables Writes to ADC Registers 1=Enable 0=Disable	Reserved	<b>GATE_CTRL</b> Turns Gate On and Off 1=ON 0=OFF	<b>OC_AUTO</b> Enables Auto-Retry After an Overcurrent Fault 1=Enable 0=Disable	<b>UV_AUTO</b> Enables Auto-Retry After an Undervoltage Fault 1=Enable 0=Disable	<b>OV_AUTO</b> Enables Auto-Retry After an Overvoltage Fault 1=Enable 0=Disable	0000,y011 y=EN2 Pin State After Start-Up Delay
0x04	<b>SENSE (E)</b>	<b>SENSE_MSBS</b> 10-Bit ADC Current Sense Voltage Data (8 MSBs) with 62.5µV LSB and 64mV Full-Scale								xxxx,xxxx
0x05	<b>SENSE (F)</b>	<b>SENSE_LSBS</b> 10-Bit ADC Current Sense Voltage Data (2 LSBs)		Reserved Always Returns 0, Not Writable						xx00,0000
0x06	<b>ADIN2 (G)</b>	<b>ADIN2_MSBS</b> 10-Bit ADC ADIN2 Voltage Data (8 MSBs) with 2.5mV LSB and 2.56V Full-Scale								xxxx,xxxx
0x07	<b>ADIN2 (H)</b>	<b>ADIN2_LSBS</b> 10-Bit ADC ADIN2 Voltage Data (2 LSBs)		Reserved Always Returns 0, Not Writable						xx00,0000
0x08	<b>ADIN (I)</b>	<b>ADIN_MSBS</b> 10-Bit ADC ADIN Voltage Data (8 MSBs) with 2.5mV LSB and 2.56V Full-Scale								xxxx,xxxx
0x09	<b>ADIN (J)</b>	<b>ADIN_LSBS</b> 10-Bit ADC ADIN Voltage Data (2 LSBs)		Reserved Always Returns 0, Not Writable						xx00,0000

\* レジスタ・アドレスの最上位 b7～b4 は無視される。レジスタ 0x00 は読み出し専用。ビット D5 をレジスタ 0x03 にセットした場合、レジスタ 0x04～0x09 は書き込み可能。  
 注記: 下線付きテキストはデフォルトの状態を表す。

## アプリケーション情報

### RF、磁界に対する耐性

LTM9100内部で使用されているアイソレータ $\mu$ Module技術は単独で評価されており、以下の試験規格に従って、欧州規格EN 55024に準拠したRFおよび磁界の耐性試験の要求基準に合格しました。

EN 61000-4-3	Radiated, Radio-Frequency, Electromagnetic Field Immunity (放射無線周波数電磁界での耐性)
EN 61000-4-8	Power Frequency Magnetic Field Immunity (電源周波数磁界での耐性)
EN 61000-4-9	Pulsed Magnetic Field Immunity (パルス磁界での耐性)

試験は、データシートのプリント回路基板レイアウトの推奨事項に従って設計されたシールドなしのテスト・カードを使用して行われました。試験ごとの具体的な制限値の詳細を表5に示します。

表5. テスト周波数での磁界強度

テスト	周波数	電界/磁界強度
EN 61000-4-3 Annex D	80MHz to 1GHz	10V/m
	1.4MHz to 2GHz	3V/m
	2GHz to 2.7GHz	1V/m
EN 61000-4-8 Level 4	50Hz and 60Hz	30A/m
EN 61000-4-8 Level 5	60Hz	100A/m*
EN 61000-4-9 Level 5	Pulse	1000A/m

\*IEC以外の方法

### PCBレイアウト

LTM9100は集積密度が高いため、PCBレイアウトが簡単です。ただし、電気的性能と絶縁特性、EMI性能、熱性能を最適化するには、レイアウトについていくつか検討する必要があります。

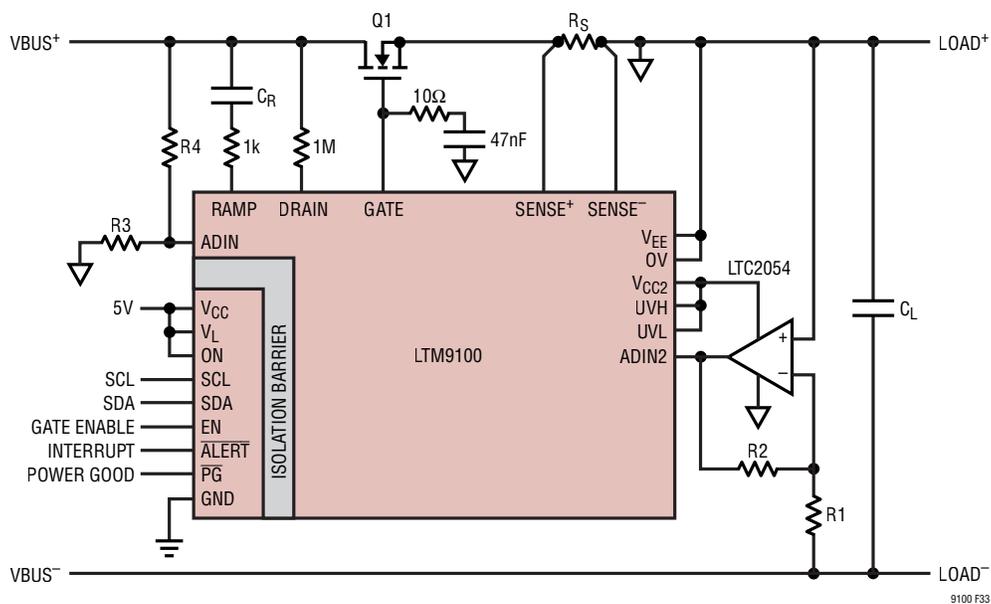
- 正確な電流検出を達成するため、ケルビン接続を推奨します。最小限の温度上昇を抑えるため、1オンスの銅箔の最小トレース幅は1Aあたり0.02インチです。1Aあたり0.03インチ以上の幅にすることを推奨します。1オンスの銅には約530 $\mu$ V/平方のシート抵抗があることに注意してください。大電流アプリケーションでは、小さい抵抗の影響が急激に増大します。

- ノイズ耐性を改善するには、抵抗分割器をモジュールの近くでUVピンとOVピンに接続し、 $V_{EE}$ までの配線長を短く保ちます。UVHピンおよびOVピンと $V_{EE}$ の間にある10nFの内部コンデンサは、電源ノイズを除去するのに役立ちます。
- 負荷が重い条件では、 $V_{CC}$ およびGNDを流れる電流が300mAを超えることがあります。プリント回路基板上の銅の量を十分確保し、抵抗に起因する損失によって電源電圧が許容最小レベルより低くならないようにしてください。
- 入力電源のデカップリング用部品は、パッケージ内部に組み込まれているので必要ありません。追加する場合は値が6.8 $\mu$ F~22 $\mu$ FでESRが1 $\Omega$ ~3 $\Omega$ の大容量コンデンサを推奨します。このコンデンサはESRが大きいため、基板の共振が減少し、電源電圧の活線挿入による電圧スパイクが最小限に抑えられます。EMIの影響を受けやすいアプリケーションでは、1 $\mu$ F~4.7 $\mu$ Fの低ESLセラミック・コンデンサを追加することを推奨します。これらはできるだけ電源端子およびグランド端子の近くに配置してください。代わりに、値の小さいコンデンサをいくつか並列に配置してESLを減少させ、正味の容量を同じにすることもできます。
- パッドの内側の列の間のプリント回路基板には銅領域を配置しないでください。定格の絶縁電圧に耐えるため、この領域は空けたままにしておく必要があります。
- EMIの影響を受けにくいアプリケーションでは、GNDおよび $V_{EE}$ に切れ目のないグランド・プレーンを使用して、信号の忠実度および熱性能を最適化し、結合していないプリント回路基板配線の導通によるRF放射を最小限に抑えます。EMIが問題となるグランド・プレーンを使用すると、ダイポール・アンテナ構造が形成され、GNDと $V_{EE}$ の間に生じる差動電圧が放射される可能性があるという弱点があります。グランド・プレーンを使用する場合は、その面積を最小限に抑え、連続した面を使用することを推奨します。開口部や切れ目があるとRF放射が増加する可能性があるからです。

## アプリケーション情報

- グランド・プレーンが広がる場合は、ディスクリートのコンデンサを接続するか基板内に容量を埋め込むことによってGNDと $V_{EE}$ の間に小容量(330pF以下)を追加すると、モジュールの寄生容量を通じて流れる同相電流の低インピーダンス電流帰還経路ができるので、高周波の差動電圧が最小限に抑えられ、放射ノイズを大幅に減少させることができます。ディスクリート・コンデンサによる容量の場合は、寄生ESLがあるので、埋め込み容量ほどは効果がありません。さらに、部品を選択するときは、電圧定格、漏れ電流、および隙間を考慮する必要があります。プリント回路基板内部に容量を埋め込むと、理想に近いコンデンサが形成され、部品選択に関するその他の問題が解消されますが、プリント回路基板は4層以上にする必要があります。どちらの技法を採用する場合でも、絶縁障壁の電圧定格が低下しないように注意する必要があります。
- プリント回路基板内部に容量を埋め込まないアプリケーションでは、ロジック・サイドと絶縁サイドのデバイス・ピン間にスロットを追加できます。スロットにより、プリント回路基板側にある終端間の表面漏れ電流経路が広がります。スロットはデバイス端子の中央に配置して、パッケージの周辺長より長いものにする必要があります。

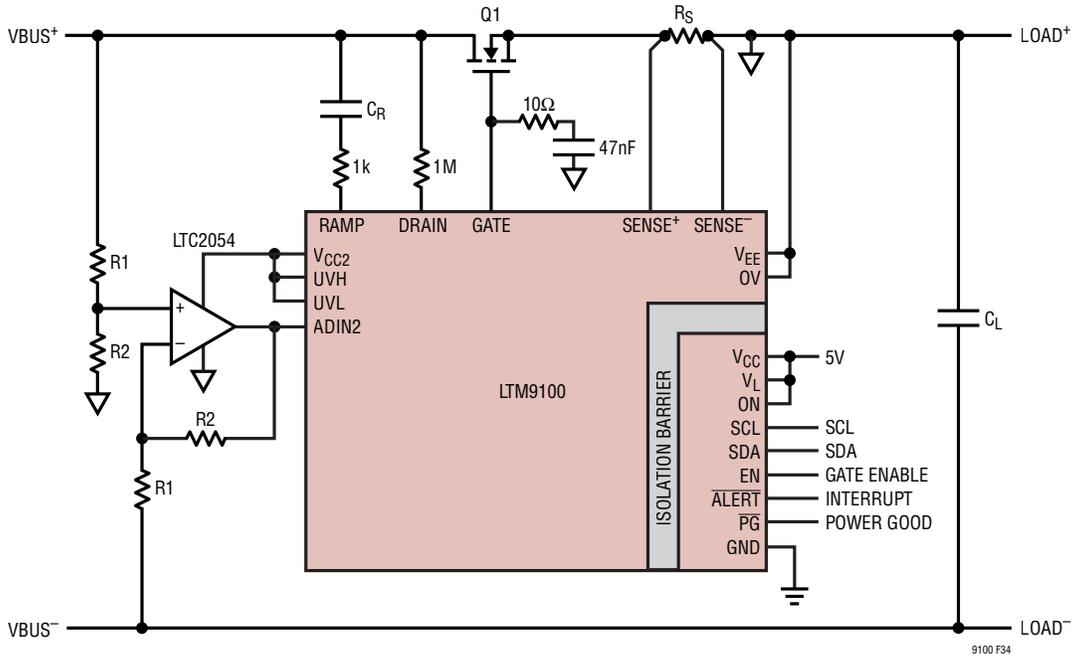
## 標準的応用例



PINS NOT USED IN THIS CIRCUIT:  
 ADR0, ADR1,  $\overline{\text{ALERT}}2$ , EN2, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

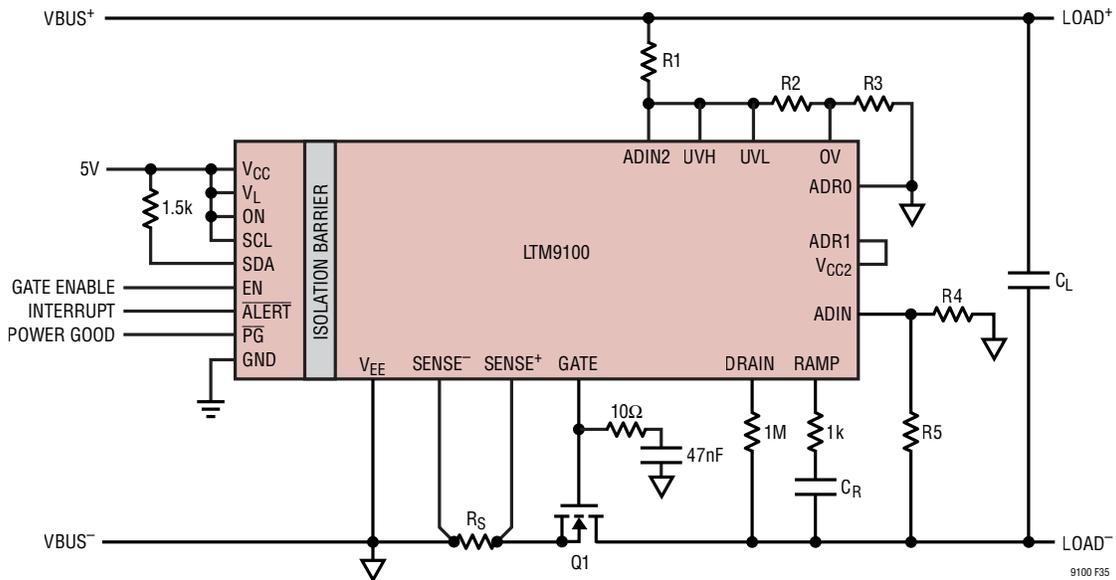
図33. 高電位側突入電流制御回路。スイッチ電圧の検出回路(R3、R4で検出した電圧をADINに入力)および負荷電圧の検出回路(R1、R2で検出し、バッファ/反転後の電圧をADIN2に入力)を使用

## 標準的応用例



PINS NOT USED IN THIS CIRCUIT:  
ADIN, ADR0, ADR1, ALERT2, EN2, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

図34. 入力/負荷電圧検出回路を使用した高電位側突入電流制御回路



PINS NOT USED IN THIS CIRCUIT:  
ALERT2, EN2, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

図35. 低電位側突入電流制御回路。入力/負荷電圧検出回路(R1、R2、R3で検出した電圧をADIN2に入力)およびスイッチ電圧検出回路(R4、R5で検出した電圧をADINに入力)を使用、単線一斉送信モードに合わせて構成

## 標準的応用例

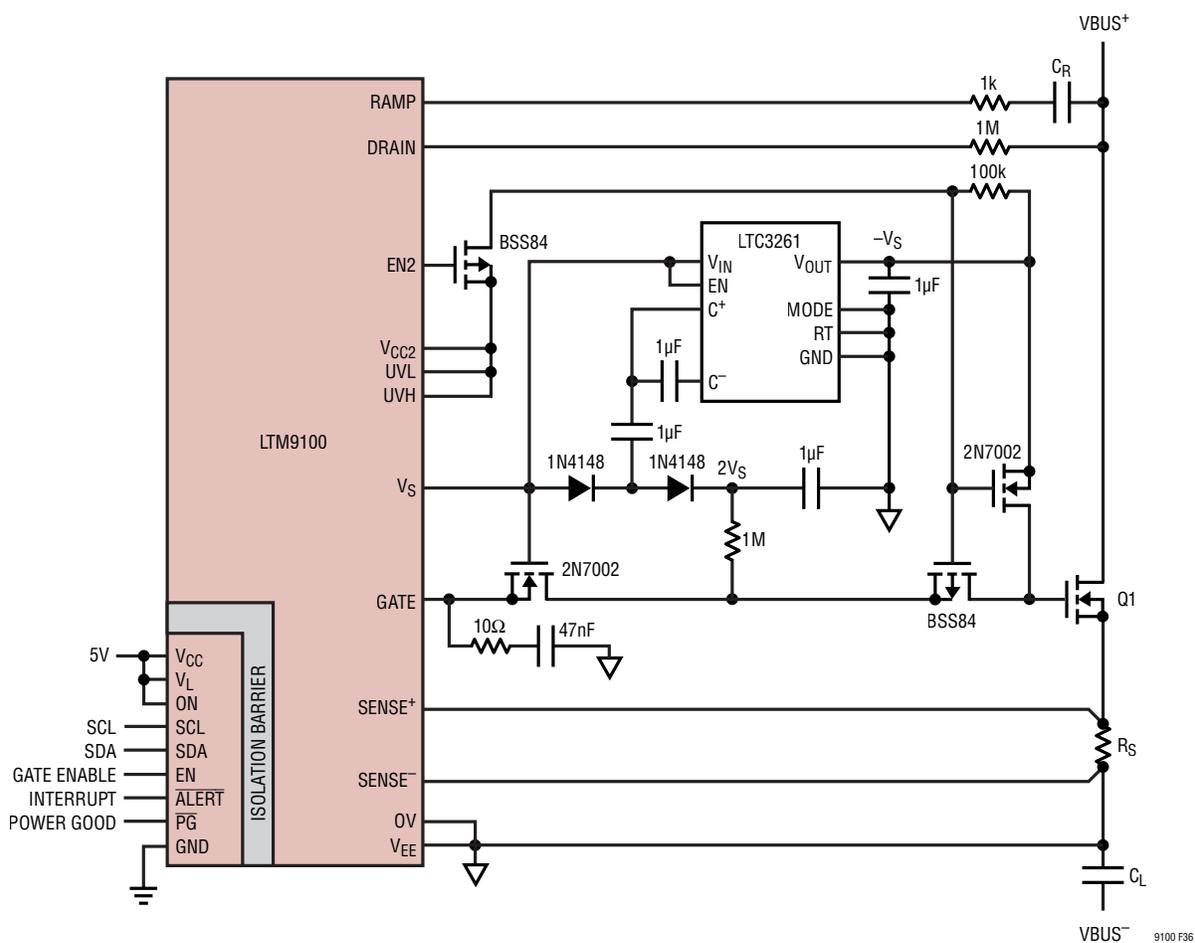


図 36. 負のオフ・バイアスを備えた昇圧ゲート駆動回路

## 標準的応用例

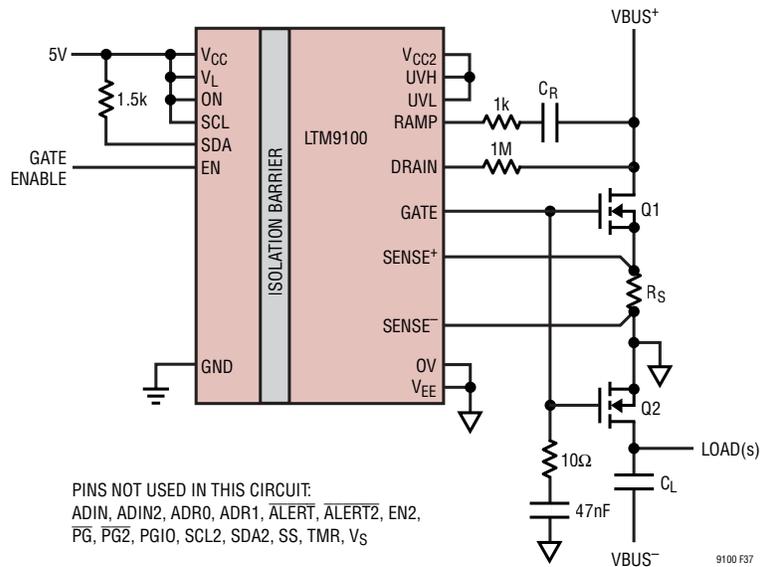


図 37. 逆導通遮断回路付きのスイッチ制御

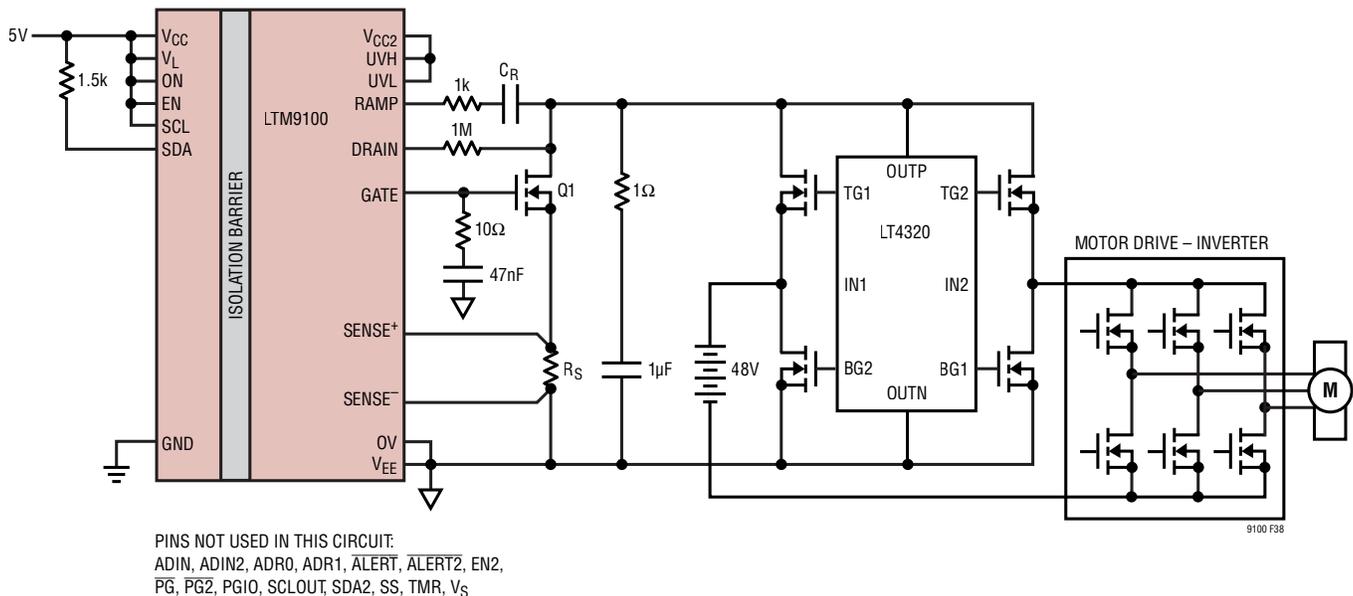
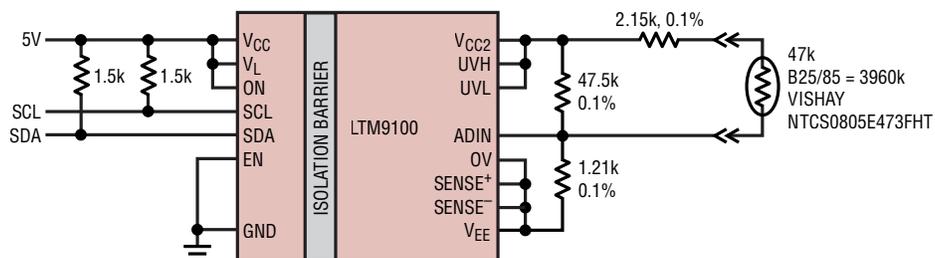


図 38. 両方向バッテリー インバータ突入電流制限回路

## 標準的応用例



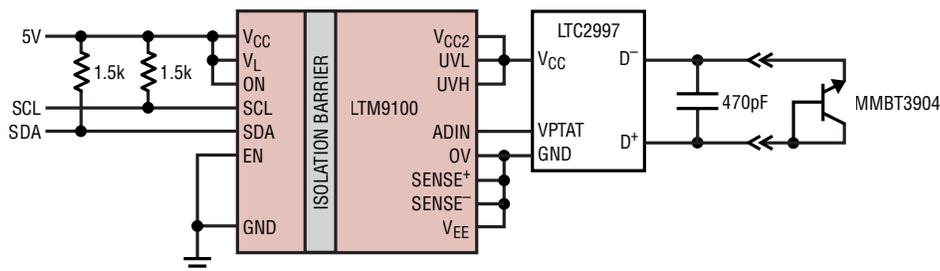
PINS NOT USED IN THIS CIRCUIT:

ADIN2, ADR0, ADR1, ALERT, ALERT2, DRAIN, EN2, GATE,  
PG, PG2, PGIO, RAMP, SCL2, SDA2, SS, TMR, VS

$$V_{ADIN} = \frac{10\text{mV}}{^{\circ}\text{C}}, \text{ RANGE} = 0^{\circ}\text{C TO } 150^{\circ}\text{C}, \text{ RESOLUTION} = 0.25^{\circ}\text{C}, \text{ ACCURACY} = \pm 2.5^{\circ}\text{C}$$

9100 F39

図 39. 線形 10 ビット・リモート(ローカル)サーミスタ温度検出回路



PINS NOT USED IN THIS CIRCUIT:

ADIN2, ADR0, ADR1, ALERT, ALERT2, DRAIN, EN2, GATE,  
PG, PG2, PGIO, RAMP, SCL2, SDA2, SS, TMR, VS, VREF

$$V_{ADIN} = \frac{4\text{mV}}{\text{K}}, \text{ RANGE} = -55^{\circ}\text{C TO } 150^{\circ}\text{C}, \text{ RESOLUTION} = 0.625^{\circ}\text{C}, \text{ ACCURACY} = \pm 1^{\circ}\text{C}$$

9100 F40

図 40. 高精度 10 ビット・リモート温度検出回路

## 標準的応用例

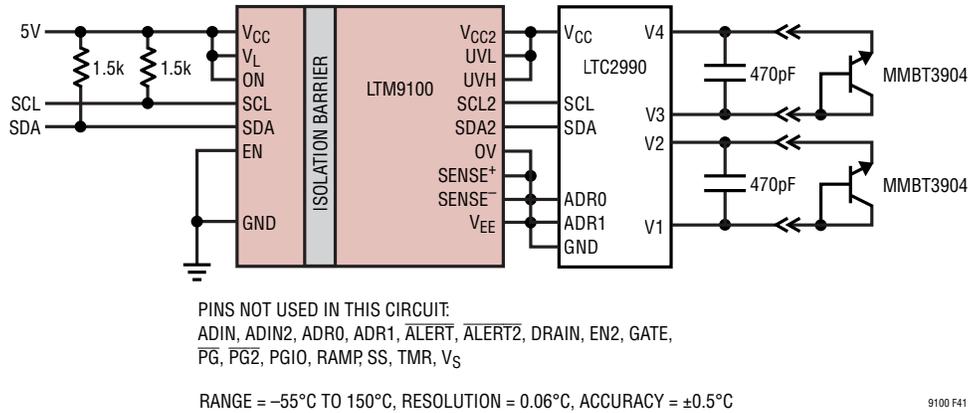


図41. I<sup>2</sup>C高精度14ビット・リモート(ローカル)デュアル温度検出回路

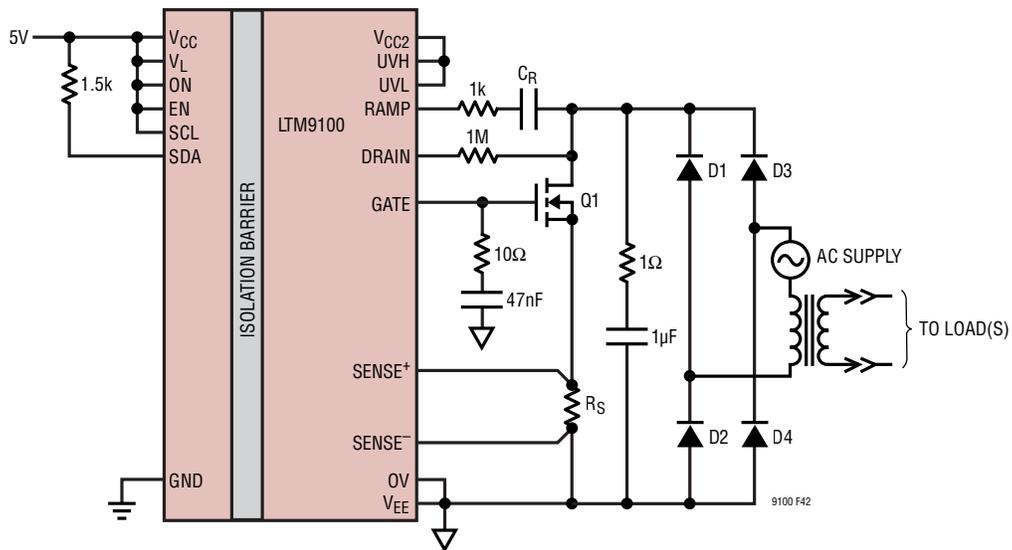
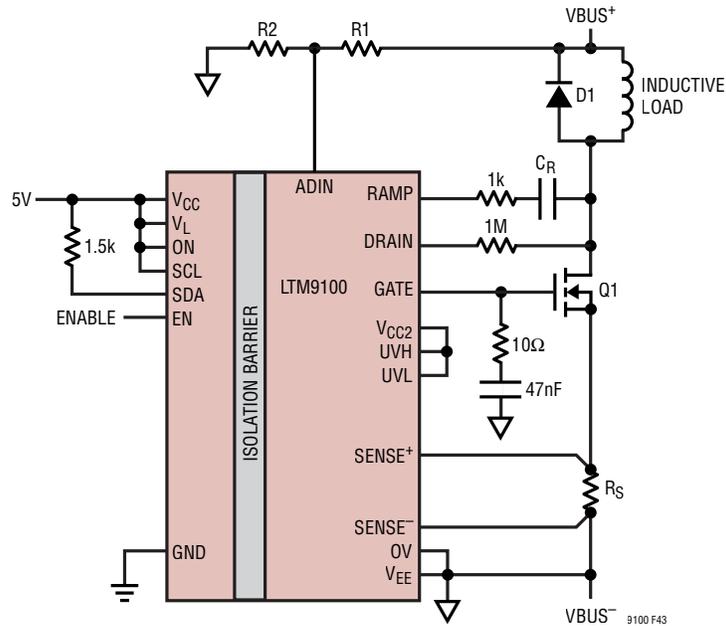


図42. トランス突入電流制限回路、電源サイクル数(n)ランプ

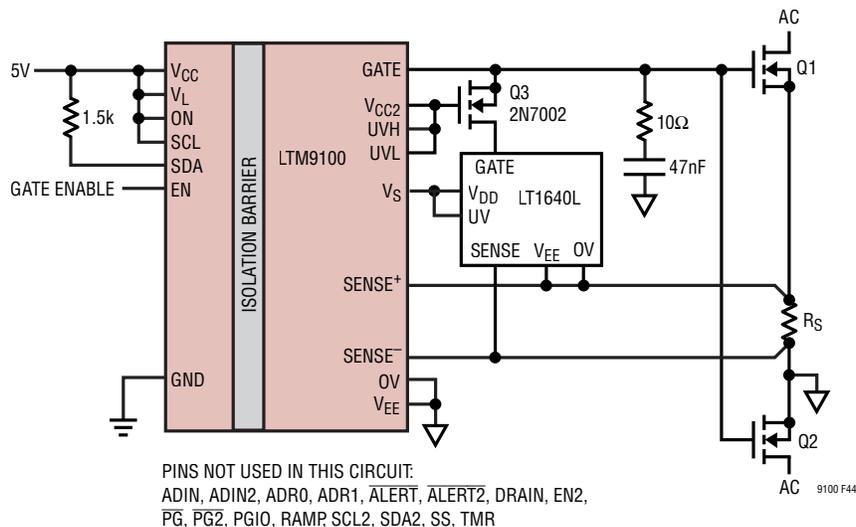
標準的応用例



PINS NOT USED IN THIS CIRCUIT:  
ADIN2, ADRO, ADR1, ALERT, ALERT2, EN2,  
PG, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

$$C_R = \frac{\Delta t \cdot 20\mu A}{V_{BUS}}$$

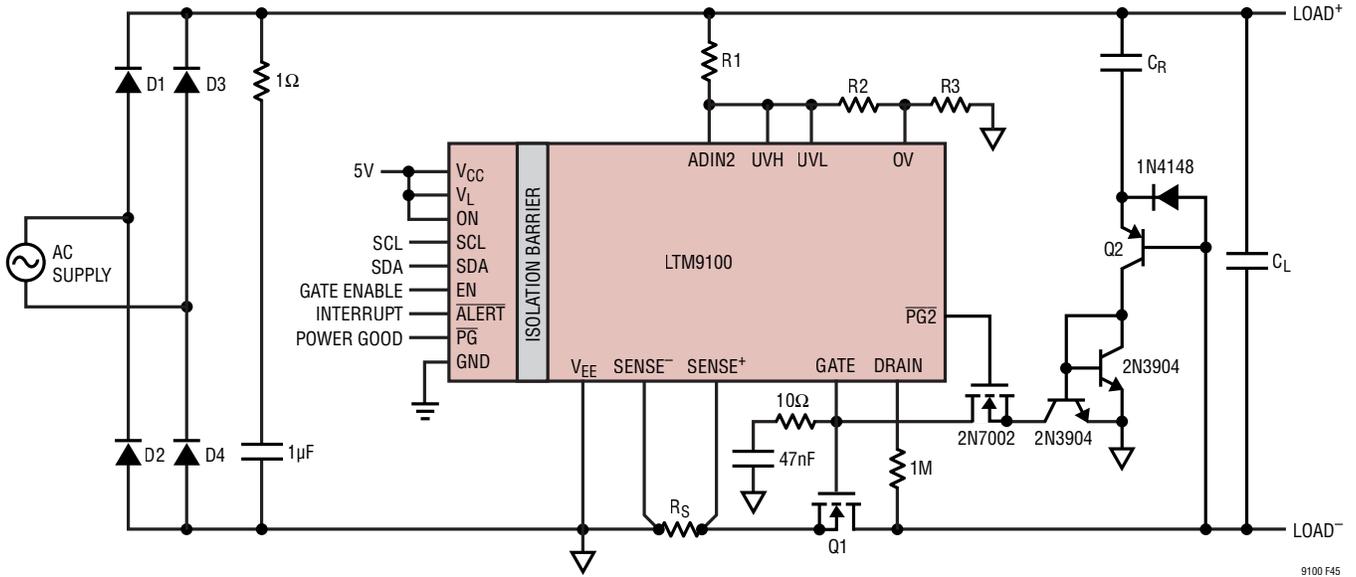
図 43. 誘導負荷電流制限回路 - 制御式ターンオン



PINS NOT USED IN THIS CIRCUIT:  
ADIN, ADIN2, ADRO, ADR1, ALERT, ALERT2, DRAIN, EN2,  
PG, PG2, PGIO, RAMP, SCL2, SDA2, SS, TMR

図 44. AC回路ブレーカ

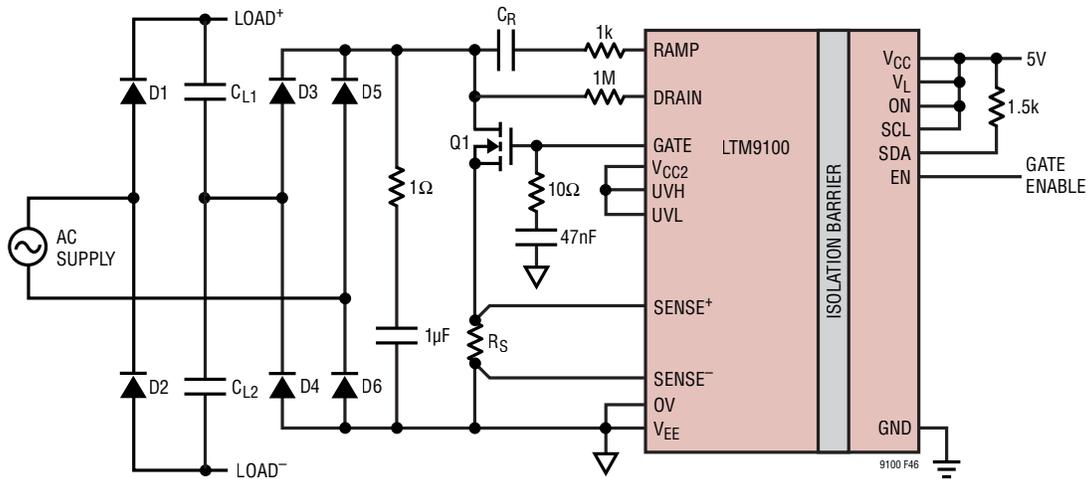
## 標準的応用例



PINS NOT USED IN THIS CIRCUIT:  
ADIN, ADRO, ADR1, ALERT2, EN2, PGIO,  
RAMP, SCL2, SDA2, SS, TMR, VCC2, VS

$$I_{INRUSH} \approx 10\mu A \cdot \frac{C_L}{C_R}, \text{ Q2 VOLTAGE RATING} > V_{AC(PK)}$$

図 45. 整流 AC-DC リンクを備えた低電位側スイッチ・コントローラ (リップルが存在する DC バス)



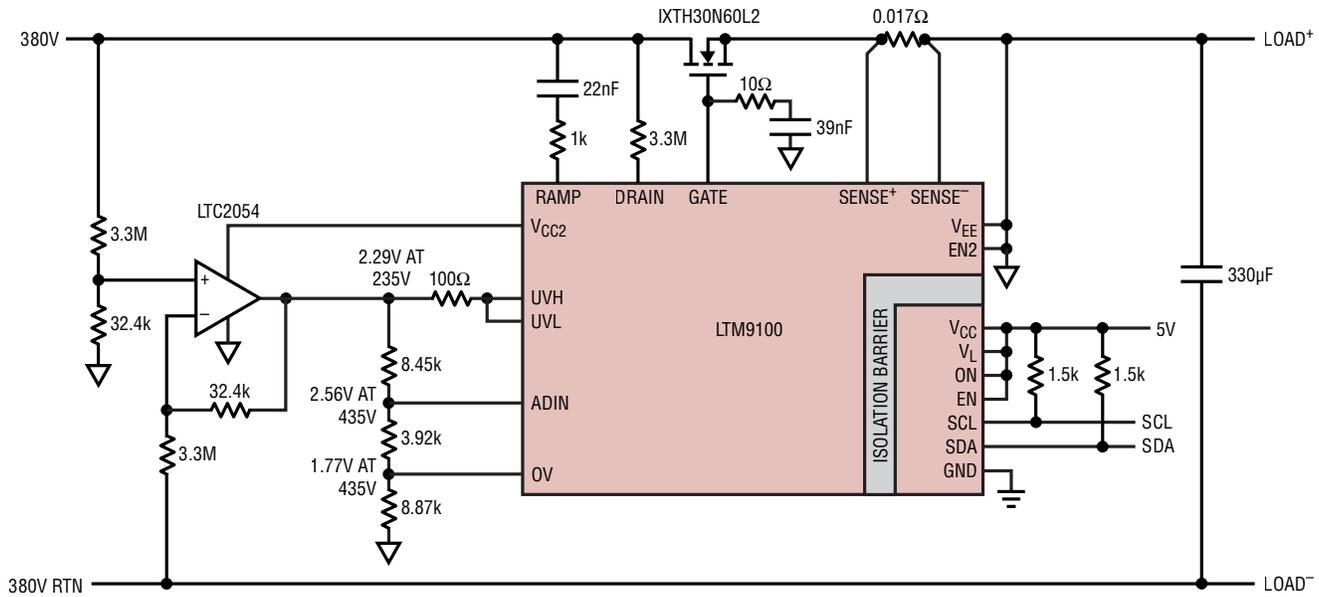
PINS NOT USED IN THIS CIRCUIT:  
ADIN, ADIN2, ADRO, ADR1, ALERT, ALERT2, EN2,  
PG, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

図 46. AC 倍電圧回路の突入電流制限



## 標準的応用例

入力電圧モニタとI<sup>2</sup>C単独制御回路を備えた高電位側380Vバス突入電流制限回路



PINS NOT USED IN THIS CIRCUIT:  
ADIN2, ADDR0, ADDR1, ALERT, ALERT2, PG, PG2, PGIO, SCL2, SDA2, SS, TMR, VS

## 関連製品

製品番号	説明	注釈
LTM2881	DC/DCコンバータを内蔵した絶縁型RS485/RS422 μModuleトランシーバ	20Mbps、2500V <sub>RMS</sub> の絶縁特性を備え、電源もLGA/BGAパッケージに収容
LTM2882	DC/DCコンバータを内蔵したデュアル絶縁型RS232 μModuleトランシーバ	2500V <sub>RMS</sub> の絶縁特性を備え、電源をLGA/BGAパッケージに収容
LTM2883	可変5V、および公称±12.5Vの電圧レールを備えたSPI/デジタルまたはI <sup>2</sup> C対応の絶縁型μModule	2500V <sub>RMS</sub> の絶縁特性を備え、電源をBGAパッケージに収容
LTM2884	絶縁型DC/DCコンバータを内蔵した絶縁型高速USB μModule	2500V <sub>RMS</sub> の絶縁特性を備え、電源をBGAパッケージに収容
LTM2885	DC/DCコンバータを内蔵した絶縁型RS485/RS422 μModuleトランシーバ	20Mbps、6500V <sub>RMS</sub> の絶縁特性を備え、電源もBGAパッケージに収容
LTM2886	可変5V、および固定±5Vの電圧レールを備えたSPI/デジタルまたはI <sup>2</sup> C対応の絶縁型μModule	2500V <sub>RMS</sub> の絶縁特性を備え、電源をBGAパッケージに収容
LTM2887	調整可能な2つの5Vレールを備えたSPI/デジタルまたはI <sup>2</sup> C対応の絶縁型μModule	2500V <sub>RMS</sub> の絶縁特性を備え、電源をBGAパッケージに収容
LTM2889	DC/DCコンバータを内蔵した絶縁型CAN μModuleトランシーバ	4Mbps、2500V <sub>RMS</sub> の絶縁特性を備え、電源もBGAパッケージに収容
LTM2892	SPI/デジタルまたはI <sup>2</sup> C対応の絶縁型μModule	3500V <sub>RMS</sub> の絶縁特性をBGAパッケージに収容
LTM2893	完全な100MHz SPI ADC μModuleアイソレータ	表面実装BGAでの絶縁耐圧:6000V <sub>RMS</sub>
LTM2894	完全な絶縁型USB μModuleトランシーバ	表面実装パッケージでの絶縁耐圧:7500V <sub>RMS</sub>
LTC1535	絶縁型RS485トランシーバ	2500V <sub>RMS</sub> の絶縁特性を備え、外付けトランスを駆動
LTC4260	正の高電圧ホットスワップ・コントローラ	I <sup>2</sup> CとADCを内蔵、電源電圧範囲:8.5V～80V
LTC4261	負の高電圧ホットスワップ・コントローラ	I <sup>2</sup> CとADCを内蔵、電源電圧範囲:-12V～-100V