

14ビット、125Msps/105Msps/ 80Msps 低消費電力オクタルADC

特長

- 8チャンネル同時サンプリングADC
- SNR: 73.1dB
- SFDR: 88dB
- 低消費電力: 140mW/113mW/94mW (チャンネル当たり)
- 単一1.8V電源
- シリアルLVDS出力: チャンネル当たり1ビットまたは2ビット
- 選択可能な入力範囲: 1V_{p-p} ~ 2V_{p-p}
- 800MHzのフルパワー帯域幅サンプル/ホールド
- スリープ・モードとナップ・モード
- 設定用のシリアルSPIポート
- バイパス・コンデンサ内蔵、外付け部品不要
- 140ピン(11.25mm×9mm)BGAパッケージ

アプリケーション

- 通信
- セルラ基地局
- ソフトウェア無線
- 携帯型の医療用画像処理
- マルチチャンネル・データ収集
- 非破壊試験

概要

LTM[®]9011-14/LTM9010-14/LTM9009-14は、広いダイナミック・レンジの高周波信号をデジタル化する8チャンネル同時サンプリング14ビットA/Dコンバータです。SNRが73.1dB、スプリアスフリー・ダイナミックレンジ(SFDR)が88dBというAC特性を備えています。チャンネル当たりの消費電力が小さいので、チャンネル数の多いアプリケーションでの熱の発生を抑えます。また、バイパス・コンデンサを内蔵し、フロースルー・ピン配置を採用しているため、必要な全体のボード・スペースを削減します。

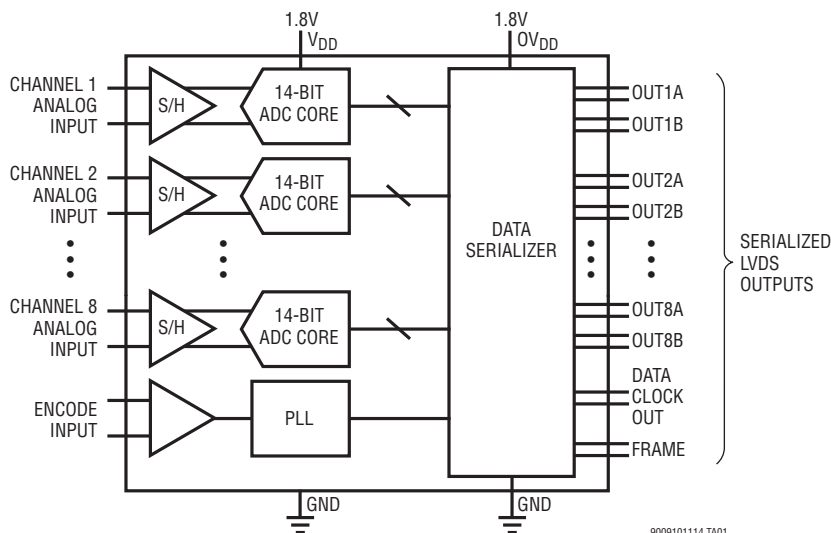
DC仕様では、 $\pm 1\text{LSB}$ (標準) のINL、 $\pm 0.3\text{LSB}$ (標準) のDNL、およびミッシング・コードがないことが全温度範囲で規定されています。遷移ノイズはわずか $1.2\text{LSB}_{\text{RMS}}$ です。

デジタル出力はシリアルLVDSなので、データ・ライン数を最小限に抑えることができます。各チャンネルは、同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャンネルあたり1ビットの選択肢もあります(1レーン・モード)。

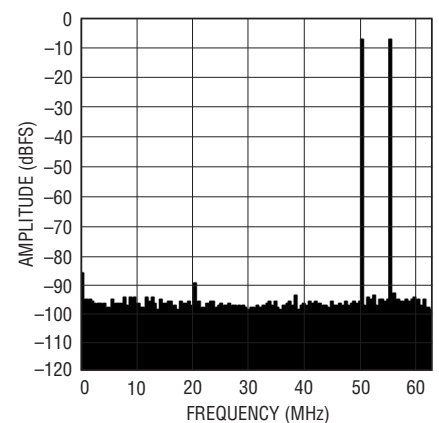
ENC⁺およびENC⁻入力、正弦波、PECL、LVDS、TTL、またはCMOS入力により、差動またはシングルエンドでドライブできます。また、内蔵のクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティ・サイクルにおいてフルスピードで高性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTM9011-14、125Msps、2トーンFFT、
 $f_{\text{IN}} = 70\text{MHz}$ および 75MHz



9009101114fa

LTM9011-14/ LTM9010-14/LTM9009-14

絶対最大定格 (Note 1、2)

電源電圧

V_{DD} 、 OV_{DD}-0.3V ~ 2V

アナログ入力電圧 (A_{IN}^+ 、 A_{IN}^- 、

PAR/SER、SENSE) (Note 3)-0.3V ~ ($V_{DD} + 0.2V$)

デジタル入力電圧 (ENC^+ 、 ENC^- 、 \overline{CS} 、

SDI、SCK) (Note 4)-0.3V ~ 3.9V

SDO (Note 4)-0.3V ~ 3.9V

デジタル出力電圧-0.3V ~ ($OV_{DD} + 0.3V$)

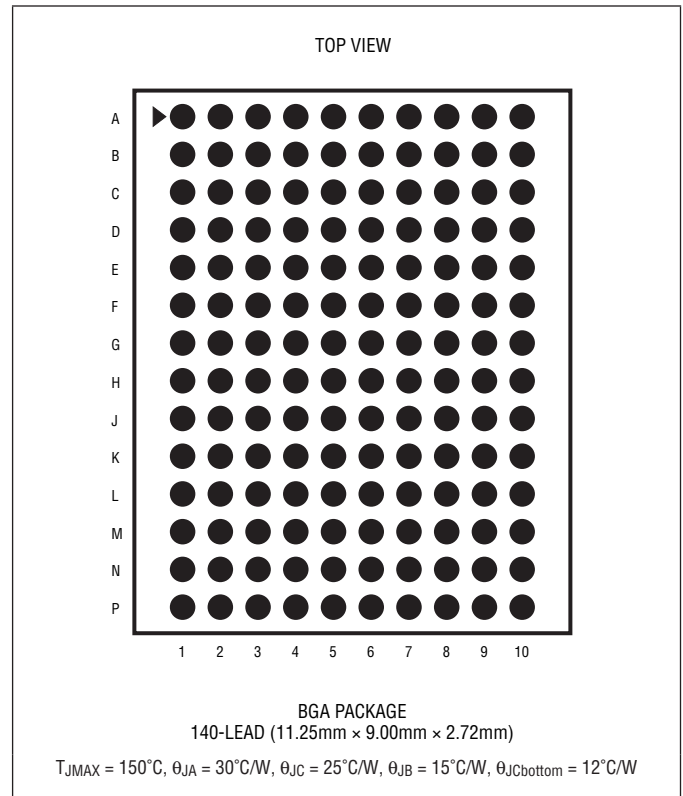
動作温度範囲

LTM9011C、LTM9010C、LTM9009C..... 0°C ~ 70°C

LTM9011I、LTM9010I、LTM9009I -40°C ~ 85°C

保存温度範囲..... -55°C ~ 125°C

ピン配置



発注情報

無鉛仕上げ	トレイ	製品マーキング*	パッケージ	温度範囲
LTM9011CY-14#PBF	LTM9011CY-14#PBF	LTM9011Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	0°C to 70°C
LTM9011IY-14#PBF	LTM9011IY-14#PBF	LTM9011Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	-40°C to 85°C
LTM9010CY-14#PBF	LTM9010CY-14#PBF	LTM9010Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	0°C to 70°C
LTM9010IY-14#PBF	LTM9010IY-14#PBF	LTM9010Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	-40°C to 85°C
LTM9009CY-14#PBF	LTM9009CY-14#PBF	LTM9009Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	0°C to 70°C
LTM9009IY-14#PBF	LTM9009IY-14#PBF	LTM9009Y14	140-Lead (11.25mm × 9mm × 2.72mm) BGA	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/> をご覧ください。

コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS		LTM9011-14			LTM9010-14			LTM9009-14			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Resolution (No Missing Codes)		●	14			14			14			Bits
Integral Linearity Error	Differential Analog Input (Note 6)	●	-4.1	±1.2	4.1	-3.25	±1	3.25	-2.75	±1	2.75	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	±0.3	0.9	-0.8	±0.3	0.8	-0.8	±0.3	0.8	LSB
Offset Error	(Note 7)	●	-12	±3	12	-12	±3	12	-12	±3	12	mV
Gain Error	Internal Reference			-1.3			-1.3			-1.3		%FS
	External Reference	●	-2.6	-1.3	0	-2.6	-1.3	0	-2.6	-1.3	0	%FS
Offset Drift			±20			±20			±20			µV/°C
Full-Scale Drift	Internal Reference		±35			±35			±35			ppm/°C
	External Reference		±25			±25			±25			ppm/°C
Gain Matching	External Reference		±0.2			±0.2			±0.2			%FS
Offset Matching			±3			±3			±3			mV
Transition Noise	External Reference		1.2			1.2			1.2			LSBRMS

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range ($A_{IN}^+ - A_{IN}^-$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●		1 to 2		VP-P
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN}^+ + A_{IN}^-$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 100\text{mV}$	V_{CM}	$V_{CM} + 100\text{mV}$	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	0.625	1.250	1.300	V
I_{INCM}	Analog Input Common Mode Current	Per Pin, 125Msps Per Pin, 105Msps Per Pin, 80Msps			155 130 100		μA μA μA
I_{IN1}	Analog Input Leakage Current	$0 < A_{IN}^+, A_{IN}^- < V_{DD}$, No Encode	●	-1		1	μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-3		3	μA
I_{IN3}	SENSE Input Leakage Current	$0.625 < \text{SENSE} < 1.3\text{V}$	●	-6		6	μA
t_{AP}	Sample-and-Hold Acquisition Delay Time				0		ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter				0.15		ps _{RMS}
CMRR	Analog Input Common Mode Rejection Ratio				80		dB
BW-3B	Full-Power Bandwidth	Figure 6 Test Circuit			800		MHz

LTM9011-14/ LTM9010-14/LTM9009-14

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS		LTM9011-14			LTM9010-14			LTM9009-14			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	5MHz Input70MHz Input140MHz Input	●	70.8	73.1 73 72.6		70.6	73 72.9 72.6		69.7	73 72.9 72.5		dBFS
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	5MHz Input70MHz Input140MHz Input	●	69	88 85 82		71	88 85 82		74	88 85 82		dBFS
	Spurious Free Dynamic Range 4th Harmonic or Higher	5MHz Input70MHz Input140MHz Input	●	81	90 90 90		81	90 90 90		82	90 90 90		dBFS
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	5MHz Input70MHz Input140MHz Input	●	68.4	73 72.6 72		69.7	73 72.6 72		69.6	72.9 72.6 72		dBFS
	Crosstalk, Near Channel	10MHz Input (Note 12)			-90			-90			-90		dBc
	Crosstalk, Far Channel	10MHz Input (Note 12)			-105			-105			-105		dBc

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.5 \cdot V_{DD} - 25\text{mV}$	$0.5 \cdot V_{DD}$	$0.5 \cdot V_{DD} + 25\text{mV}$	V
V_{CM} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-600\mu\text{A} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 25		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
エンコード入力 (ENC ⁺ , ENC ⁻)							
差動エンコード・モード (ENC ⁻ は GND に接続されていない)							
V _{ID}	Differential Input Voltage	(Note 8)	●	0.2			V
V _{ICM}	Common Mode Input Voltage	Internally Set Externally Set (Note 8)	●	1.1	1.2	1.6	V V
V _{IN}	Input Voltage Range	ENC ⁺ , ENC ⁻ to GND	●	0.2		3.6	V
R _{IN}	Input Resistance	(See Figure 10)			10		kΩ
C _{IN}	Input Capacitance				3.5		pF
シングルエンド・エンコード・モード (ENC ⁻ は GND に接続されている)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.2			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
V _{IN}	Input Voltage Range	ENC ⁺ to GND	●	0		3.6	V
R _{IN}	Input Resistance	(See Figure 11)			30		kΩ
C _{IN}	Input Capacitance				3.5		pF
デジタル入力 (CS, SDI, SCK はシリアルまたはパラレル・プログラミング・モード。SDO はパラレル・プログラミング・モード)							
V _{IH}	High Level Input Voltage	V _{DD} = 1.8V	●	1.3			V
V _{IL}	Low Level Input Voltage	V _{DD} = 1.8V	●			0.6	V
I _{IN}	Input Current	V _{IN} = 0V to 3.6V	●	-10		10	μA
C _{IN}	Input Capacitance				3		pF
SDO の出力 (シリアル・プログラミング・モード。オープン・ドレイン出力。SDO が使われる場合、2kΩ のプルアップ抵抗が必要)							
R _{OL}	Logic Low Output Resistance to GND	V _{DD} = 1.8V, SDO = 0V			200		Ω
I _{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10		10	μA
C _{OUT}	Output Capacitance				3		pF
デジタル・データ出力							
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	247 125	350 175	454 250	mV mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode 100Ω Differential Load, 1.75mA Mode	● ●	1.125 1.125	1.250 1.250	1.375 1.375	V V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, 0V _{DD} = 1.8V			100		Ω

LTM9011-14/ LTM9010-14/LTM9009-14

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 9)。

SYMBOL	PARAMETER	CONDITIONS		LTM9011-14			LTM9010-14			LTM9009-14			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V _{DD}	Analog Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV _{DD}	Output Supply Voltage	(Note 10)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I _{VDD}	Analog Supply Current	Sine Wave Input	●		582	632		476	508		395	450	mA
I _{OVDD}	Digital Supply Current	2-Lane Mode, 1.75mA Mode	●		54	62		52	62		50	58	mA
		2-Lane Mode, 3.5mA Mode	●		98	108		96	106		94	104	mA
P _{DISS}	Power Dissipation	2-Lane Mode, 1.75mA Mode	●		1145	1249		950	1026		801	914	mW
		2-Lane Mode, 3.5mA Mode	●		1224	1332		1030	1105		880	997	mW
P _{SLEEP}	Sleep Mode Power				2			2			2		mW
P _{NAP}	Nap Mode Power				170			170			170		mW
P _{DIFFCLK}	Power Decrease With Single-Ended Encode Mode Enabled (No Decrease for Sleep Mode)				40			40			40		mW

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		LTM9011-14			LTM9010-14			LTM9009-14			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f _S	Sampling Frequency	(Notes 10,11)	●	5		125	5		105	5		80	MHz
t _{ENCL}	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	100	4.52	4.76	100	5.93	6.25	100	ns
		Duty Cycle Stabilizer On	●	2	4	100	2	4.76	100	2	6.25	100	ns
t _{ENCH}	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	3.8	4	100	4.52	4.76	100	5.93	6.25	100	ns
		Duty Cycle Stabilizer On	●	2	4	100	2	4.76	100	2	6.25	100	ns
t _{AP}	Sample-and-Hold Acquisition Delay Time				0			0			0		ns

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
--------	-----------	------------	-----	-----	-----	-------

デジタル・データ出力 ($R_{\text{TERM}} = 100\Omega$ 差動、各出力で GND との間に $C_L = 2\text{pF}$ を接続)

tSER	Serial Data Bit Period	2-Lanes, 16-Bit Serialization 2-Lanes, 14-Bit Serialization 2-Lanes, 12-Bit Serialization 1-Lane, 16-Bit Serialization 1-Lane, 14-Bit Serialization 1-Lane, 12-Bit Serialization		1/(8 • fS) 1/(7 • fS) 1/(6 • fS) 1/(16 • fS) 1/(14 • fS) 1/(12 • fS)	S S S S S S		
tFRAME	FR to DCO Delay	(Note 8)	●	0.35 • tSER	0.5 • tSER	0.65 • tSER	S
tDATA	DATA to DCO Delay	(Note 8)	●	0.35 • tSER	0.5 • tSER	0.65 • tSER	S
tPD	Propagation Delay	(Note 8)	●	0.7n + 2 • tSER	1.1n + 2 • tSER	1.5n + 2 • tSER	S
tR	Output Rise Time	Data, DCO, FR, 20% to 80%		0.17			ns
tF	Output Fall Time	Data, DCO, FR, 20% to 80%		0.17			ns
	DCO Cycle-Cycle Jitter	tSER = 1ns		60			pSP-P
	Pipeline Latency			6			Cycles

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SPIポートのタイミング (Note 8)						
t_{SCK}	SCK Period	Write Mode Read Back Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	● ●	40 250		ns ns
t_{S}	$\overline{\text{CS}}$ to SCK Setup Time		●	5		ns
t_{H}	SCK to $\overline{\text{CS}}$ Setup Time		●	5		ns
t_{DS}	SDI Setup Time		●	5		ns
t_{DH}	SDI Hold Time		●	5		ns
t_{DO}	SCK Falling to SDO Valid	Read Back Mode, $C_{\text{SDO}} = 20\text{pF}$, $R_{\text{PULLUP}} = 2\text{k}$	●		125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値は (注記がない限り) GND を基準にしている。

Note 3: これらのピンの電圧を GND より低くするか、 V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低いか、または V_{DD} より高い電圧でラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

Note 4: これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

Note 5: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$ (LTM9011)、105MHz (LTM9010)、または 80MHz (LTM9009)、2 レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2 の補数の出力モードで出力コードを 00 0000 0000 0000 と 11 1111 1111 1111 の間でふたつかせるとき、 -0.5LSB から測定したオフセット電圧である。

Note 8: 設計によって保証されているが、テストされない。

Note 9: 注記がない限り、 $V_{\text{DD}} = 0V_{\text{DD}} = 1.8\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{MHz}$ (LTM9011)、105MHz (LTM9010)、または 80MHz (LTM9009)、2 レーン出力モード、差動 $\text{ENC}^+/\text{ENC}^- = 2V_{\text{P-P}}$ の正弦波、入力範囲 = 差動ドライブで $2V_{\text{P-P}}$ 。電源電流および電力損失の規格値はデバイス全体の合計値であり、1 チャネル当たりの値ではない。

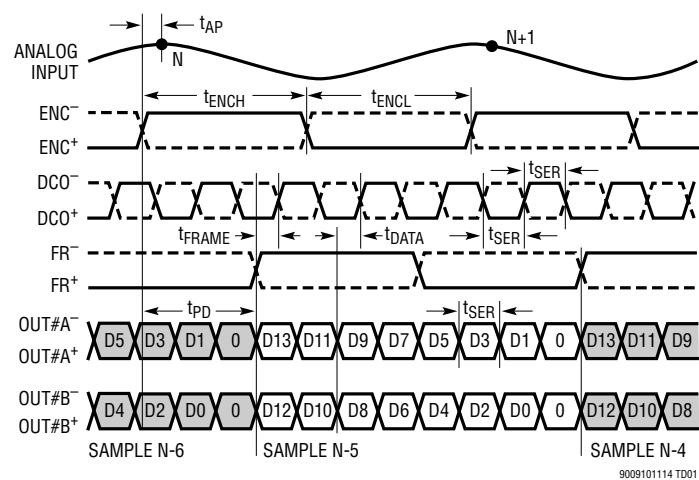
Note 10: 推奨動作条件。

Note 11: 最大サンプリング周波数はデバイスの速度グレードによって異なり、どのシリアル化モードが使用されているかによっても異なる。最大シリアル・データ・レートは 1000Mbps なので、 t_{SER} は 1ns 以上でなければならない。

Note 12: 隣接チャネル間クロストークとは、チャネル 1 とチャネル 2 の間、およびチャネル 7 とチャネル 8 の間のクロストークのことを指す。遠隔チャネル間クロストークとは、チャネル 1 とチャネル 7 の間、チャネル 1 とチャネル 8 の間、チャネル 2 とチャネル 7 の間、およびチャネル 2 とチャネル 8 の間のクロストークのことを指す。

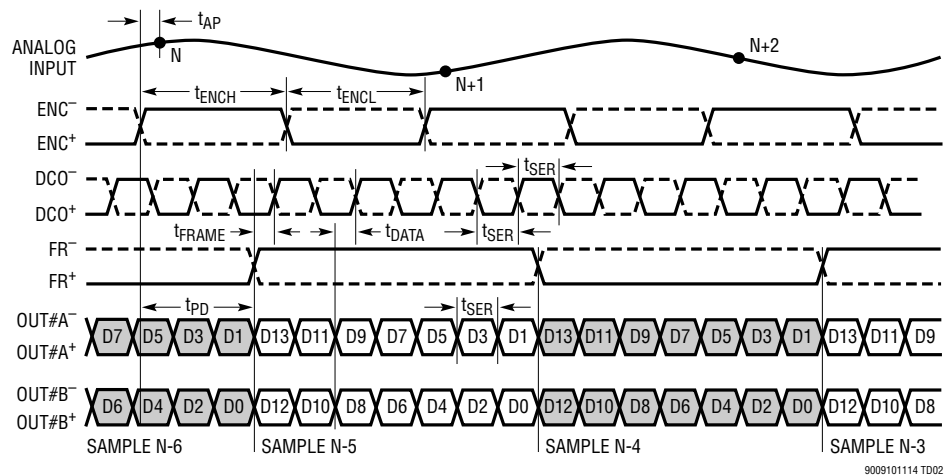
タイミング図

2レーン出力モード、16ビット・シリアル化*



* デジタル出力のセクションを参照

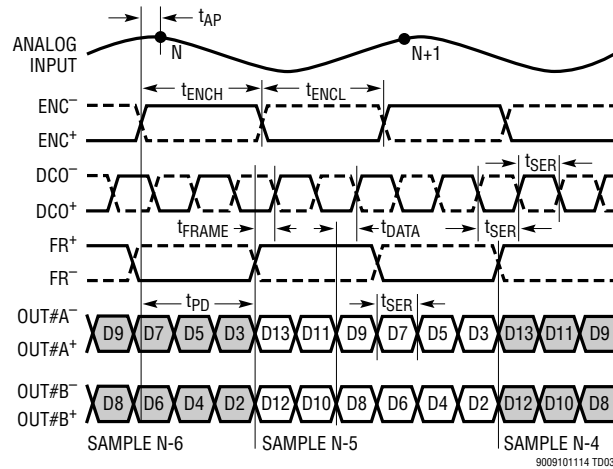
2レーン出力モード、14ビット・シリアル化



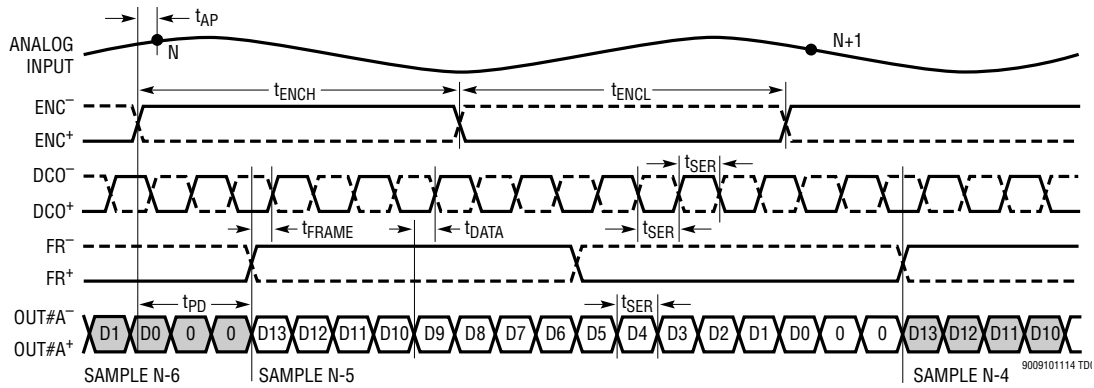
このモードでは FR⁺/FR⁻の周期は ENC⁺/ENC⁻の周期の 2 倍であることに注意

タイミング図

2レーン出力モード、12ビット・シリアル化



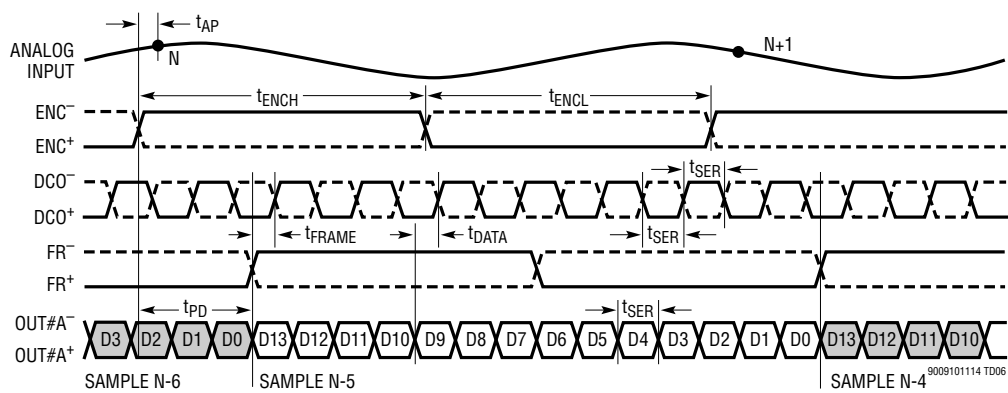
1レーン出力モード、16ビット・シリアル化



OUT#B⁺ と OUT#B⁻ はディスエーブルされている

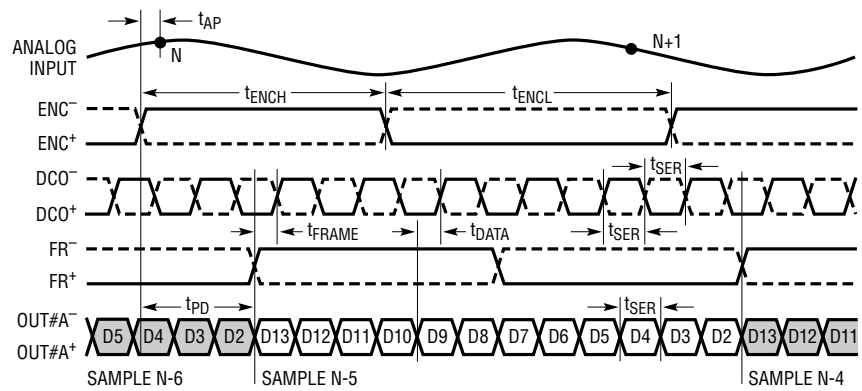
タイミング図

1レーン出力モード、14ビット・シリアル化



OUT#B⁺ と OUT#B⁻はディスエーブルされている

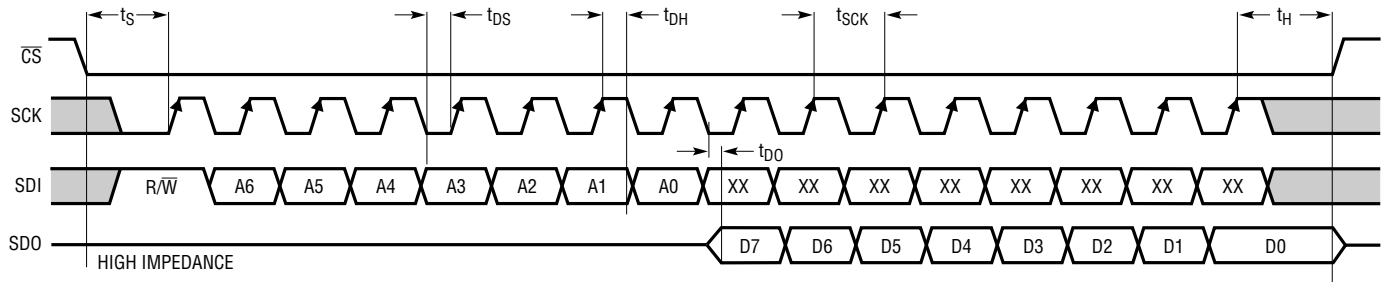
1レーン出力モード、12ビット・シリアル化



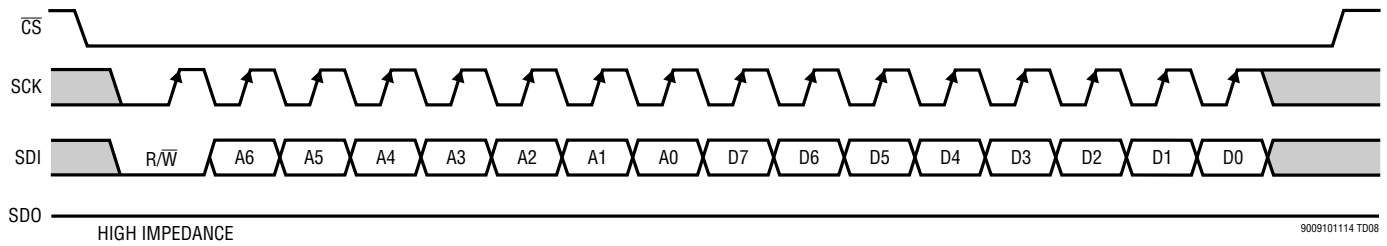
OUT#B⁺ と OUT#B⁻はディスエーブルされている

タイミング図

SPI Port Timing (Readback Mode)

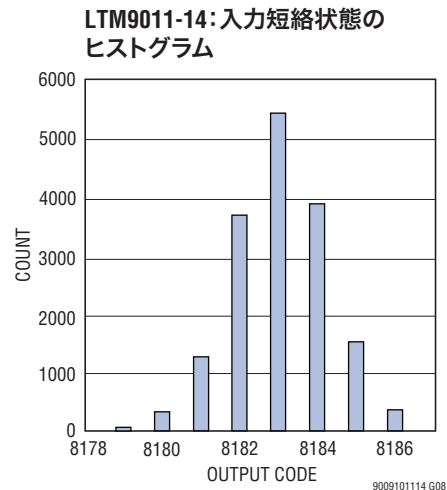
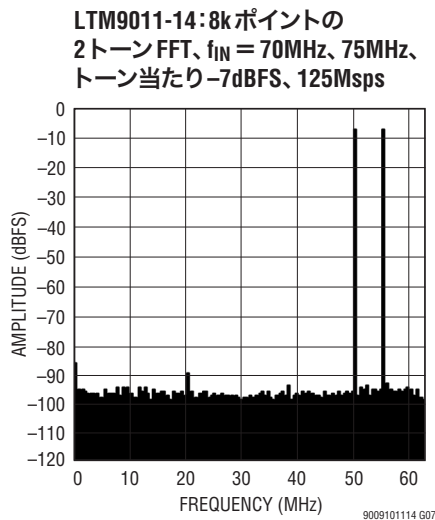
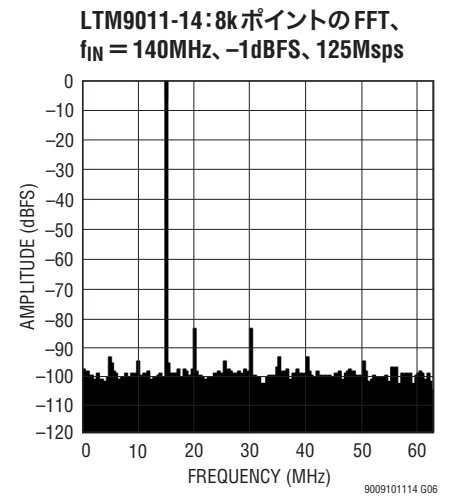
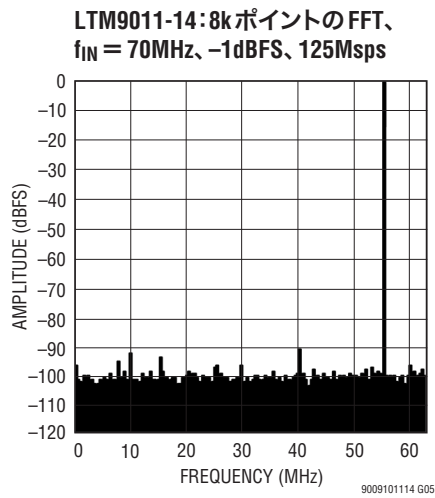
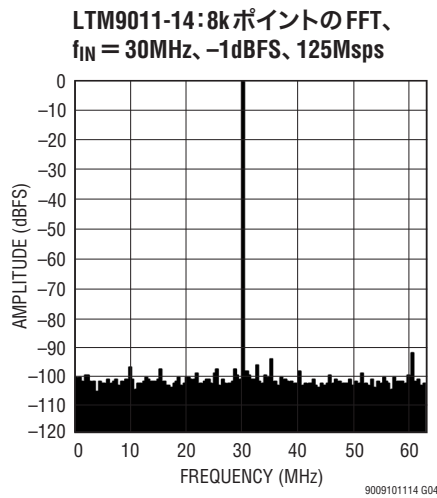
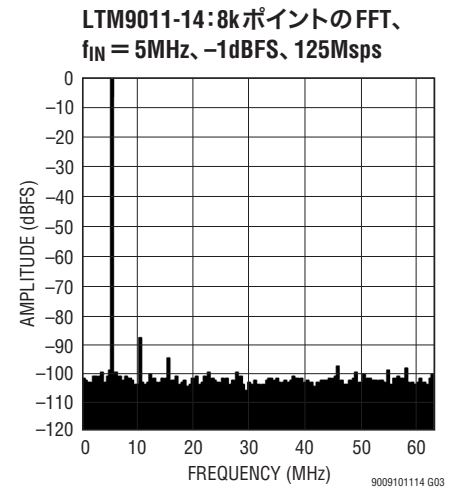
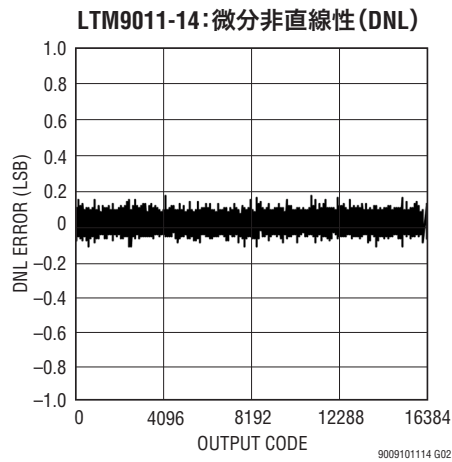
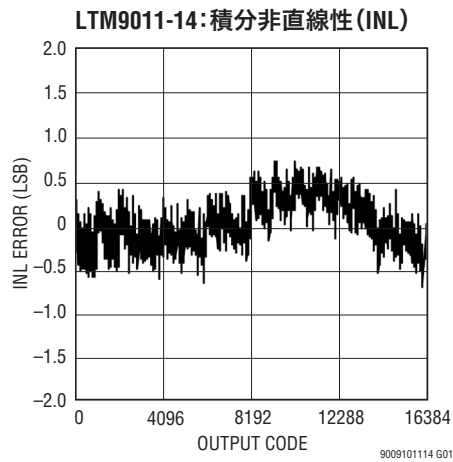


SPI Port Timing (Write Mode)



LTM9011-14/ LTM9010-14/LTM9009-14

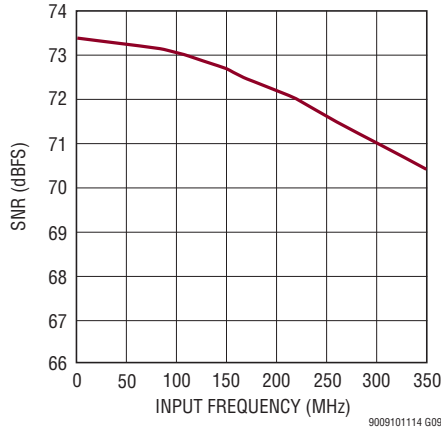
標準的性能特性



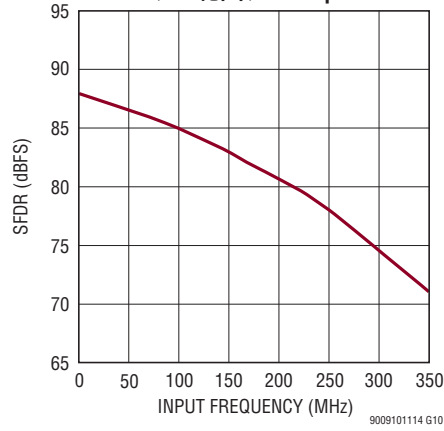
9009101114fa

標準的性能特性

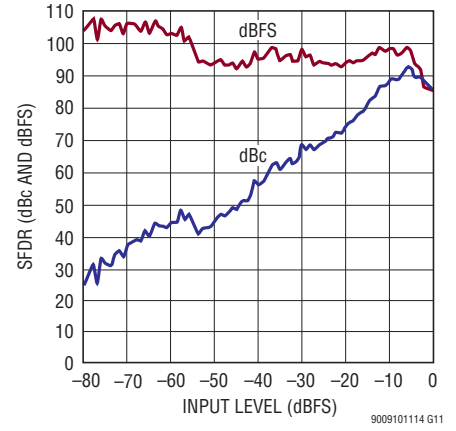
**LTM9011-14: SNRと入力周波数、
-1dBFS、2V 範囲、125Mps**



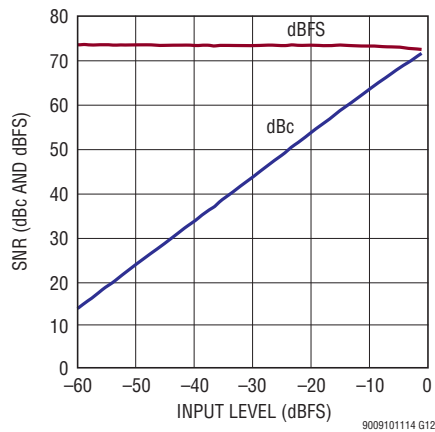
**LTM9011-14: SFDRと入力周波数、
-1dBFS、2V 範囲、125Mps**



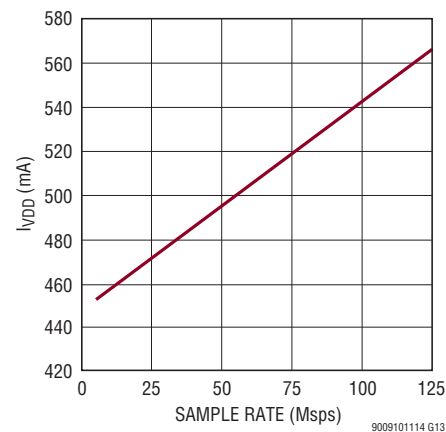
**LTM9011-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V 範囲、125Mps**



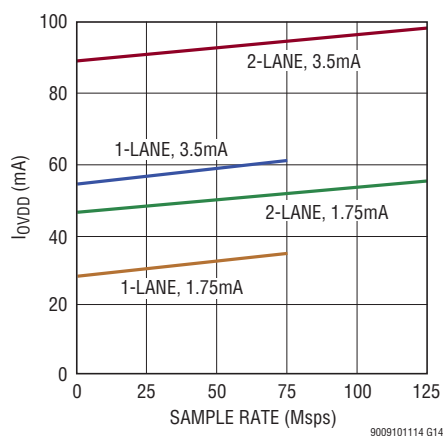
**LTM9011-14: SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V 範囲、125Mps**



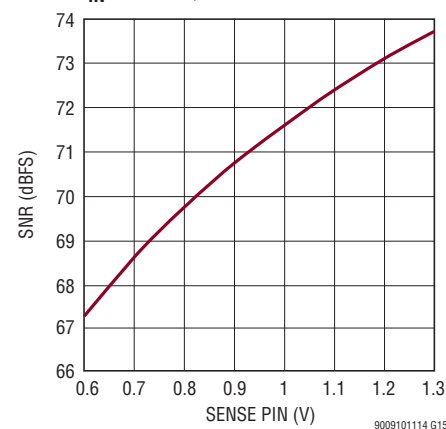
**LTM9011-14: I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS**



**I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS**

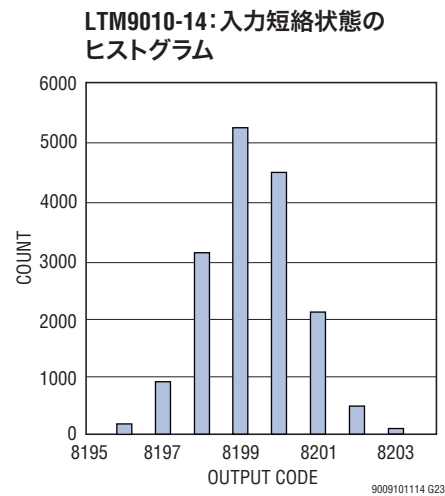
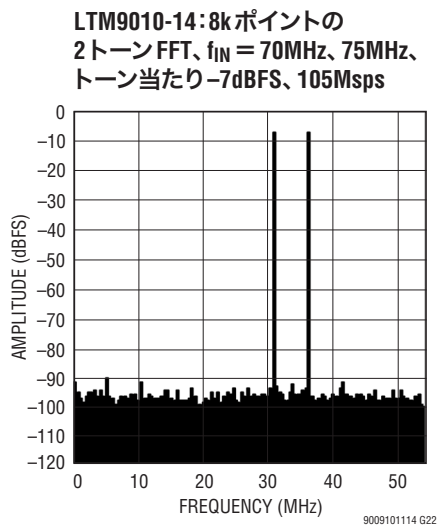
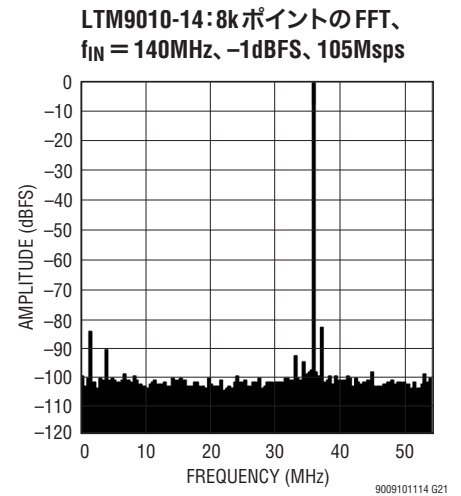
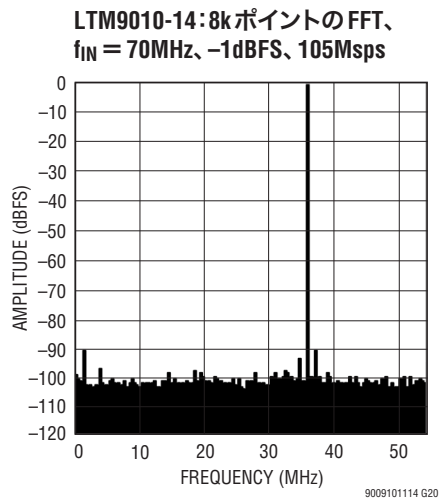
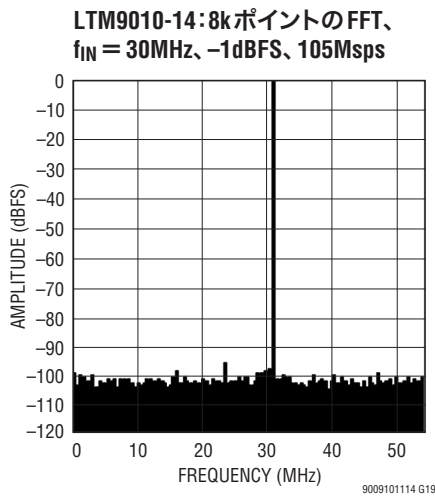
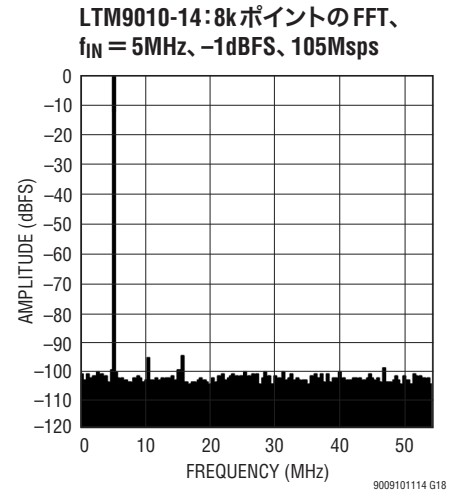
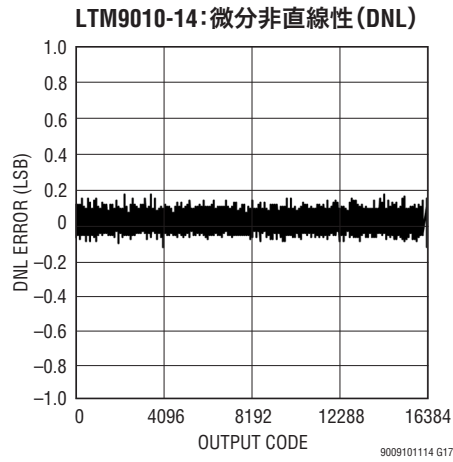
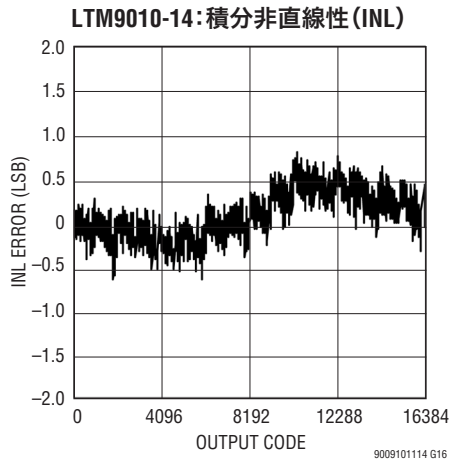


**LTM9011-14: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS**



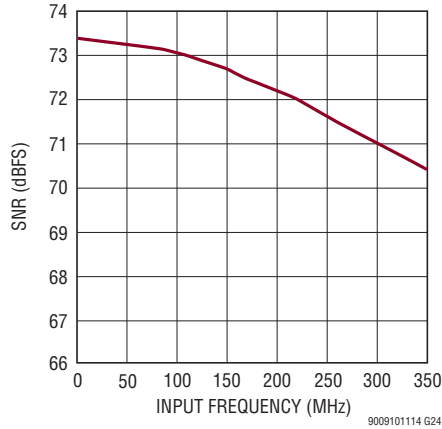
LTM9011-14/ LTM9010-14/LTM9009-14

標準的性能特性

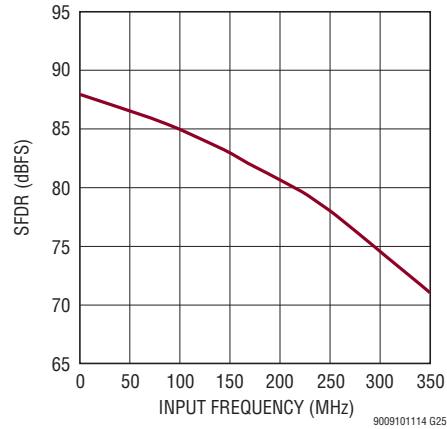


標準的性能特性

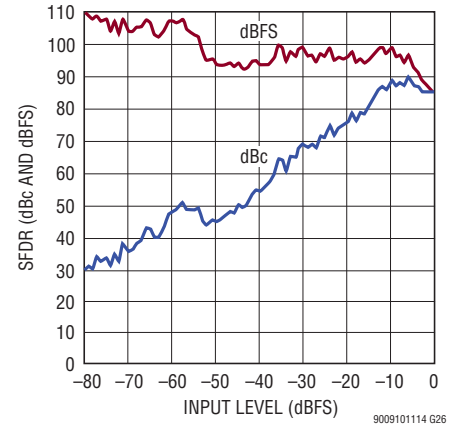
**LTM9010-14: SNRと入力周波数、
-1dBFS、2V範囲、105Mps**



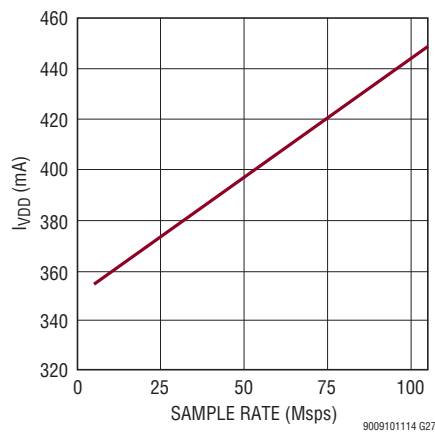
**LTM9010-14: SFDRと入力周波数、
-1dBFS、2V範囲、105Mps**



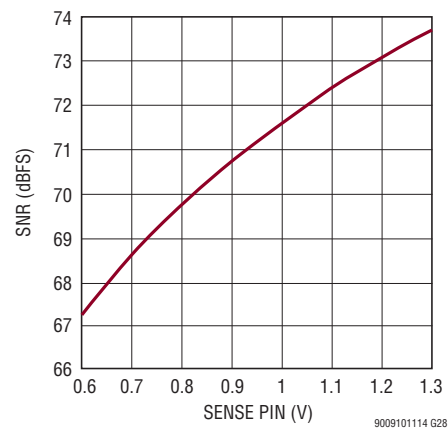
**LTM9010-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、105Mps**



**LTM9010-14: I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS**

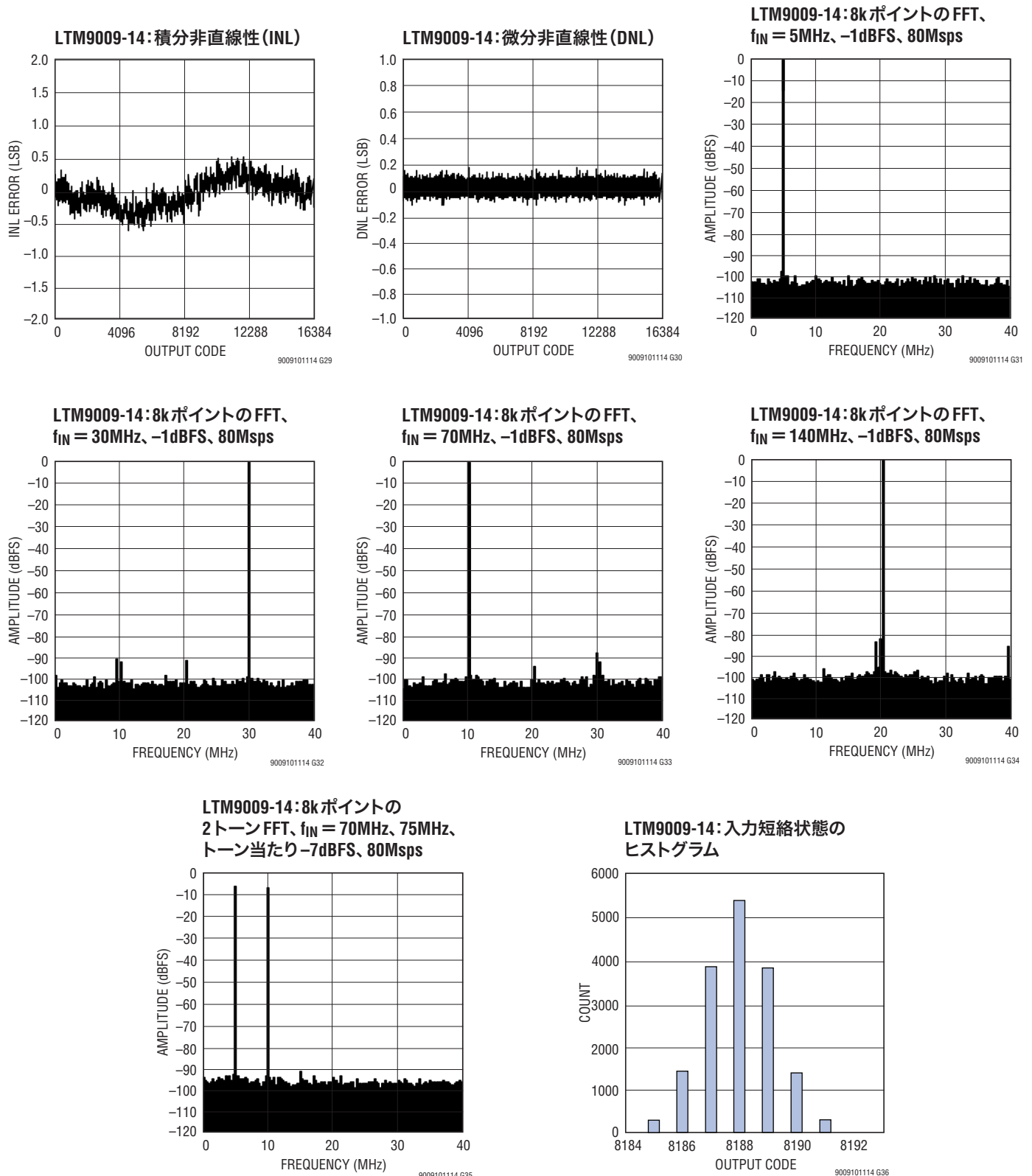


**LTM9010-14: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS**



LTM9011-14/ LTM9010-14/LTM9009-14

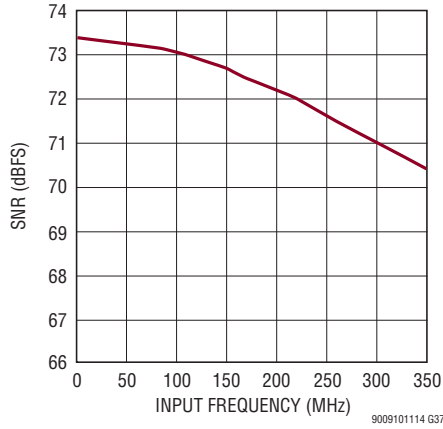
標準的性能特性



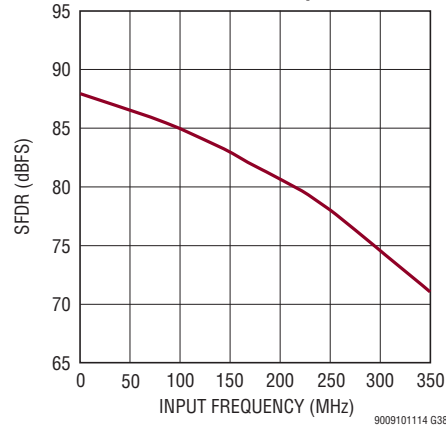
9009101114fa

標準的性能特性

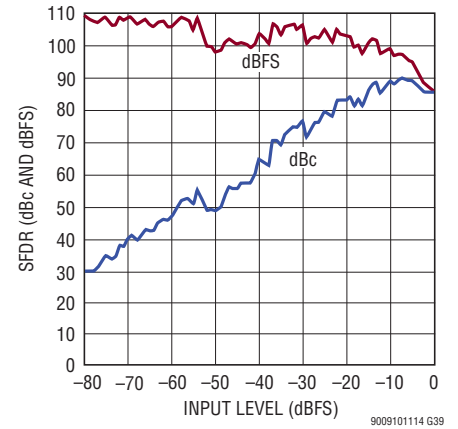
LTM9009-14: SNRと入力周波数、
-1dBFS、2V範囲、80Msps



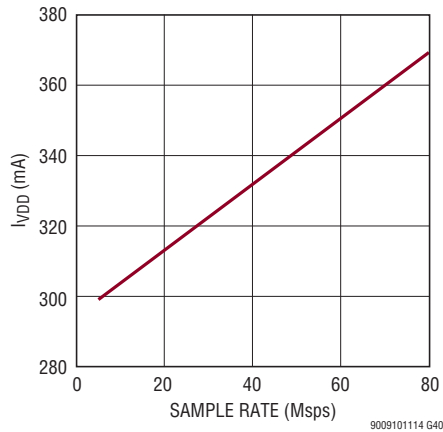
LTM9009-14: SFDRと入力周波数、
-1dBFS、2V範囲、80Msps



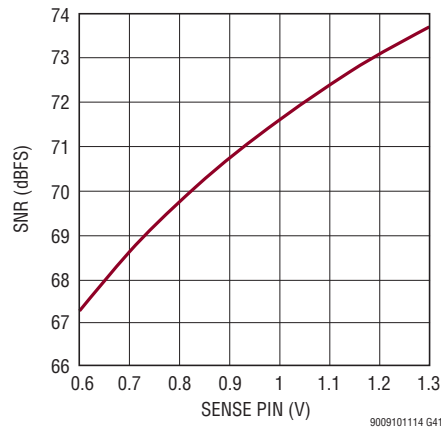
LTM9009-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、2V範囲、80Msps



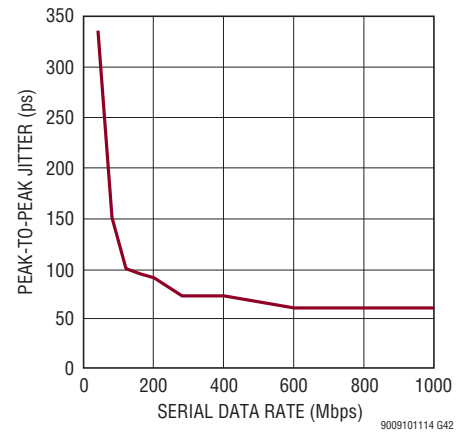
LTM9009-14: I_{VDD} とサンプル・レート、
5MHzの正弦波入力、-1dBFS



LTM9009-14: SNRとSENSE、
 $f_{IN} = 5\text{MHz}$ 、-1dBFS



DCOのサイクル間ジッタと
シリアル・データ・レート



ピン機能

AIN1⁺(B2) : チャンネル1の正の差動アナログ入力。

AIN1⁻(B1) : チャンネル1の負の差動アナログ入力。

V_{CM12}(B3) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM}はチャンネル1とチャンネル2のアナログ入力の同相レベルをバイアスするのに使用します。V_{CM}は、0.1μFのセラミック・コンデンサを使って内部でグラウンドにバイパスされています。外付けコンデンサは不要です。

AIN2⁺(C2) : チャンネル2の正の差動アナログ入力。

AIN2⁻(C1) : チャンネル2の負の差動アナログ入力。

AIN3⁺(E2) : チャンネル3の正の差動アナログ入力。

AIN3⁻(E1) : チャンネル3の負の差動アナログ入力。

V_{CM34}(F3) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM}はチャンネル3とチャンネル4のアナログ入力の同相レベルをバイアスするのに使用します。V_{CM}は、0.1μFのセラミック・コンデンサを使って内部でグラウンドにバイパスされています。外付けコンデンサは不要です。

AIN4⁺(G2) : チャンネル4の正の差動アナログ入力。

AIN4⁻(G1) : チャンネル4の負の差動アナログ入力。

AIN5⁺(H1) : チャンネル5の正の差動アナログ入力。

AIN5⁻(H2) : チャンネル5の負の差動アナログ入力。

V_{CM56}(J3) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM}はチャンネル5とチャンネル6のアナログ入力の同相レベルをバイアスするのに使用します。V_{CM}は、0.1μFのセラミック・コンデンサを使って内部でグラウンドにバイパスされています。外付けコンデンサは不要です。

AIN6⁺(K1) : チャンネル6の正の差動アナログ入力。

AIN6⁻(K2) : チャンネル6の負の差動アナログ入力。

AIN7⁺(M1) : チャンネル7の正の差動アナログ入力。

AIN7⁻(M2) : チャンネル7の負の差動アナログ入力。

V_{CM78}(N3) : 公称でV_{DD}/2に等しい同相バイアス出力。V_{CM}はチャンネル7とチャンネル8のアナログ入力の同相レベルをバイアスするのに使用します。V_{CM}は、0.1μFのセラミック・コンデンサを使って内部でグラウンドにバイパスされています。外付けコンデンサは不要です。

AIN8⁺(N1) : チャンネル8の正の差動アナログ入力。

AIN8⁻(N2) : チャンネル8の負の差動アナログ入力。

V_{DD}(D3, D4, E3, E4, K3, K4, L3, L4) : 1.8Vのアナログ電源。V_{DD}は、0.1μFのセラミック・コンデンサを使って内部でグラウンドにバイパスされています。

ENC⁺(P5) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻(P6) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

CSA(L5) : シリアル・プログラミング・モード(PAR/SER = 0V)では、CSAはチャンネル1、4、5、および8を制御するレジスタのシリアル・インタフェースのチップ・セレクト入力です。CSが“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、CSによって2レーンまたは1レーンの出力モードが選択されます。CSは、1.8V ~ 3.3Vのロジックでドライブできます。

CSB(M5) : シリアル・プログラミング・モード(PAR/SER = 0V)では、CSBはチャンネル2、3、6、および7を制御するレジスタのシリアル・インタフェースのチップ・セレクト入力です。CSが“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、CSによって2レーンまたは1レーンの出力モードが選択されます。CSは、1.8V ~ 3.3Vのロジックでドライブできます。

SCK(L6) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SCKで3.5mAまたは1.75mAのLVDS出力電流を選択します。SCKは1.8V ~ 3.3Vのロジックでドライブすることができます。

SDI(M6) : シリアル・プログラミング・モード(PAR/SER = 0V)では、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モード(PAR/SER = V_{DD})では、SDIを使ってデバイスをパワーダウンさせることができます。SDIは1.8V ~ 3.3Vのロジックでドライブすることができます。

GND(「ピン配置表」を参照) : ADCの電源グラウンド。ピンの近くに複数のピアを使用します。

ピン機能

OV_{DD} (G9, G10) : 出力ドライバの電源。OV_{DD} は、0.1μF のセラミック・コンデンサを使って内部でグラウンドにバイパスされています。

SDOA (E6) : シリアル・プログラミング・モード (PAR/SER = 0V) では、SDOA はチャネル 1、4、5、および 8 を制御するレジスタのオプションのシリアル・インタフェースのデータ出力です。SDO のデータはモード制御レジスタから読み出して、SCK の立ち下がりエッジでラッチすることができます。SDO はオープンドレインの N チャネル MOSFET 出力で、2k の外付けプルアップ抵抗を 1.8V ~ 3.3V に接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDO は未接続のままでかまいません。パラレル・プログラミング・モード (PAR/SER = V_{DD}) では、SDOA はチャネル 1、4、5、および 8 のデジタル出力の 100Ω の内部終端抵抗をイネーブルする入力です。SDO を入力として使用する場合には、1k の直列抵抗を介して 1.8V ~ 3.3V のロジックでドライブすることができます。

SDOB (D6) : チャネル 2、3、6、および 7 のシリアル・データ出力ピン。SDOA の説明を参照してください。

PAR/SER (A7) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。CSA、CSB、SCK、SDI、SDOA、および SDOB は A/D の動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするには V_{DD} に接続します。この場合、CSA、CSB、SCK、SDI、SDOA、および SDOB は、A/D の (種類が限定された) 動作モードを制御するパラレル・ロジック入力になります。PAR/SER はグラウンドまたはデバイスの V_{DD} に直接接続し、ロジック信号ではドライブしません。

V_{REF} (B6) : リファレンス電圧出力。V_{REF} は、1μF のセラミック・コンデンサ (公称 1.25V) を使って内部でグラウンドにバイパスされています。

SENSE (C5) : リファレンス・プログラミング・ピン。SENSE を V_{DD} に接続すると、内部リファレンスと ±1V の入力範囲が選択されます。SENSE をグラウンドに接続すると、内部リファレンスと ±0.5V の入力範囲が選択されます。0.625V ~ 1.3V の外部リファレンスを SENSE に与えると、±0.8 • V_{SENSE} の入力範囲が選択されます。SENSE は、0.1μF のセラミック・コンデンサを使って内部でグラウンドにバイパスされています。

LVDS 出力

このセクションの全てのピンは、差動 LVDS 出力です。出力電流レベルはプログラム可能です。各 LVDS 出力ペアのピンの間にはオプションの 100Ω の内部終端抵抗が備わっています。

OUT1A⁻/OUT1A⁺、OUT1B⁻/OUT1B⁺ (E7/E8, C8/D8) : チャネル 1 のシリアル・データ出力。1 レーンの出力モードでは、OUT1A⁻/OUT1A⁺のみを使用します。

OUT2A⁻/OUT2A⁺、OUT2B⁻/OUT2B⁺ (B8/A8, D7/C7) : チャネル 2 のシリアル・データ出力。1 レーンの出力モードでは、OUT2A⁻/OUT2A⁺のみを使用します。

OUT3A⁻/OUT3A⁺、OUT3B⁻/OUT3B⁺ (D10/D9, E10/E9) : チャネル 3 のシリアル・データ出力。1 レーンの出力モードでは、OUT3A⁻/OUT3A⁺のみを使用します。

OUT4A⁻/OUT4A⁺、OUT4B⁻/OUT4B⁺ (C9/C10, F7/F8) : チャネル 4 のシリアル・データ出力。1 レーンの出力モードでは、OUT4A⁻/OUT4A⁺のみを使用します。

OUT5A⁻/OUT5A⁺、OUT5B⁻/OUT5B⁺ (J8/J7, K8/K7) : チャネル 5 のシリアル・データ出力。1 レーンの出力モードでは、OUT5A⁻/OUT5A⁺のみを使用します。

OUT6A⁻/OUT6A⁺、OUT6B⁻/OUT6B⁺ (K9/K10, L9/L10) : チャネル 6 のシリアル・データ出力。1 レーンの出力モードでは、OUT6A⁻/OUT6A⁺のみを使用します。

OUT7A⁻/OUT7A⁺、OUT7B⁻/OUT7B⁺ (M7/L7, P8/N8) : チャネル 7 のシリアル・データ出力。1 レーンの出力モードでは、OUT7A⁻/OUT7A⁺のみを使用します。

OUT8A⁻/OUT8A⁺、OUT8B⁻/OUT8B⁺ (L8/M8, M10/M9) : チャネル 8 のシリアル・データ出力。1 レーンの出力モードでは、OUT8A⁻/OUT8A⁺のみを使用します。

FRA⁻/FRA⁺ (H7/H8) : チャネル 1、4、5、および 8 のフレーム開始出力。

FRB⁻/FRB⁺ (J9/J10) : チャネル 2、3、6、および 7 のフレーム開始出力。

DCOA⁻/DCOA⁺ (G8/G7) : チャネル 1、4、5、および 8 のデータ・クロック出力。

DCOB⁻/DCOB⁺ (F10, F9) : チャネル 2、3、6、および 7 のデータ・クロック出力。

LTM9011-14/
LTM9010-14/LTM9009-14

ピン配置表

	1	2	3	4	5	6	7	8	9	10
A	GND	GND	GND	GND	GND	GND	PAR/SER	02A ⁺	GND	GND
B	A _{IN1} ⁻	A _{IN1} ⁺	V _{CM12}	GND	GND	V _{REF}	GND	02A ⁻	GND	GND
C	A _{IN2} ⁻	A _{IN2} ⁺	GND	GND	SENSE	GND	02B ⁺	01B ⁻	04A ⁻	04A ⁺
D	GND	GND	V _{DD}	V _{DD}	GND	SDOB	02B ⁻	01B ⁺	03A ⁺	03A ⁻
E	A _{IN3} ⁻	A _{IN3} ⁺	V _{DD}	V _{DD}	GND	SDOA	01A ⁻	01A ⁺	03B ⁺	03B ⁻
F	GND	GND	V _{CM34}	GND	GND	GND	04B ⁻	04B ⁺	DCOB ⁺	DCOB ⁻
G	A _{IN4} ⁻	A _{IN4} ⁺	GND	GND	GND	GND	DCOA ⁺	DCOA ⁻	OV _{DD}	OV _{DD}
H	A _{IN5} ⁺	A _{IN5} ⁻	GND	GND	GND	GND	FRA ⁻	FRA ⁺	GND	GND
J	GND	GND	V _{CM56}	GND	GND	GND	05A ⁺	05A ⁻	FRB ⁻	FRB ⁺
K	A _{IN6} ⁺	A _{IN6} ⁻	V _{DD}	V _{DD}	GND	GND	05B ⁺	05B ⁻	06A ⁻	06A ⁺
L	GND	GND	V _{DD}	V _{DD}	CSA	SCK	07A ⁺	08A ⁻	06B ⁻	06B ⁺
M	A _{IN7} ⁺	A _{IN7} ⁻	GND	GND	CSB	SDI	07A ⁻	08A ⁺	08B ⁺	08B ⁻
N	A _{IN8} ⁺	A _{IN8} ⁻	V _{CM78}	GND	GND	GND	GND	07B ⁺	GND	GND
P	GND	GND	GND	GND	CLK ⁺	CLK ⁻	GND	07B ⁻	GND	GND

部品を透かして見た BGA パッケージの上面図

機能ブロック図

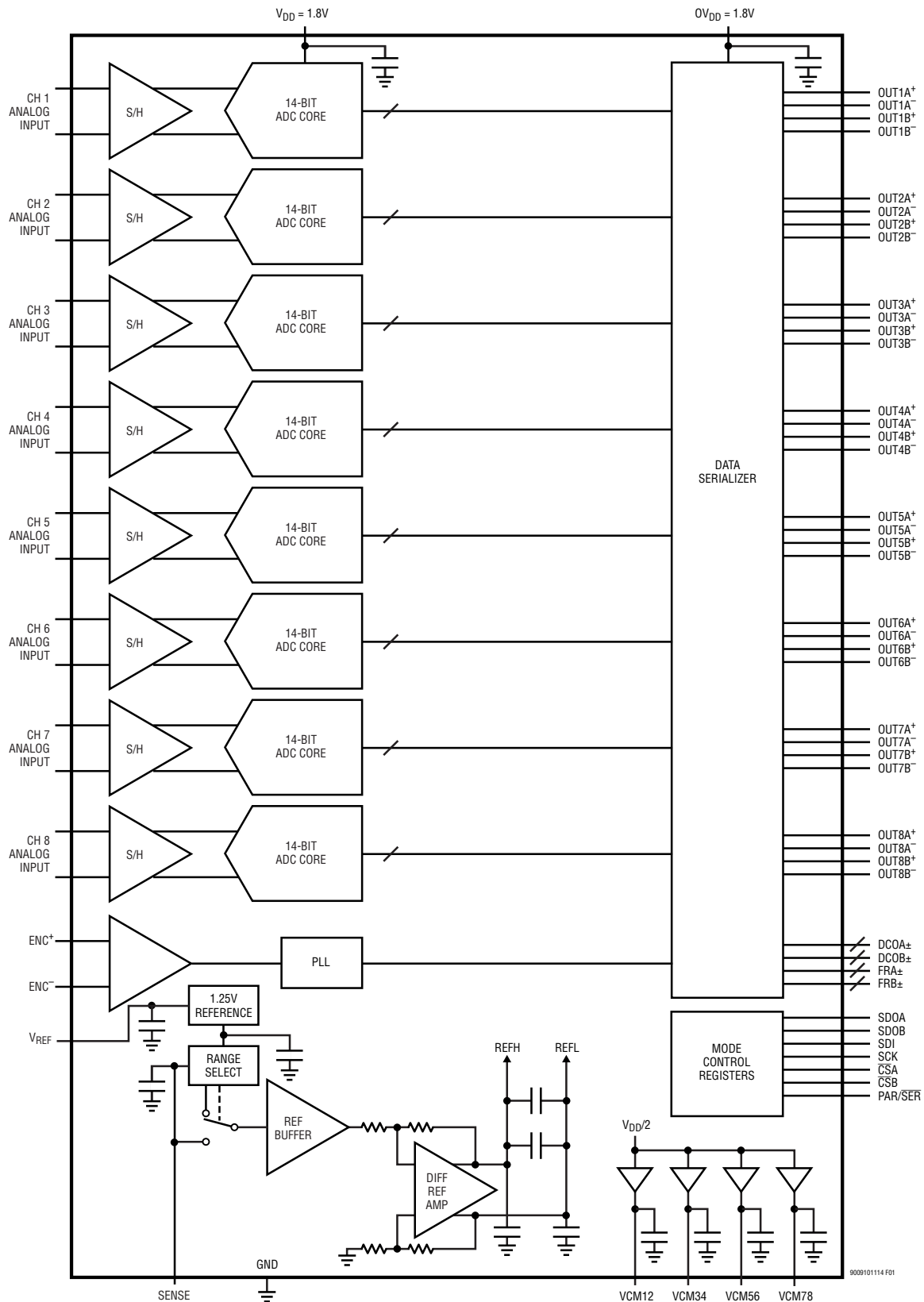


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

LTM9011-14/LTM9010-14/LTM9009-14は、1.8V単一電源で動作する低消費電力、8チャンネル、14ビット、125Msps/105Msps/80Msps A/Dコンバータです。アナログ入力は差動でドライブします。エンコード入力は、最適なジッタ性能を得る場合は差動で、消費電力を低くする場合はシングルエンドでドライブすることができます。デジタル出力はシリアルLVDSなので、データ・ライン数を最小限に抑えることができます。各チャンネルは、同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャンネル当たり1ビットの選択肢もあります(1レーン・モード)。シリアルSPIポートを介してモード制御レジスタを設定することにより、多くの追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、対応する V_{CM} 出力ピンによって設定される同相電圧(公称 $V_{DD}/2$)を中心にして差動でドライブします。2Vの入力範囲の場合、入力を $V_{CM} - 0.5V$ から $V_{CM} + 0.5V$ まで振幅させます。入力間には 180° の位相差が必要です。

8つのチャンネルは共有のエンコード回路(図2)によって同時にサンプリングされます。

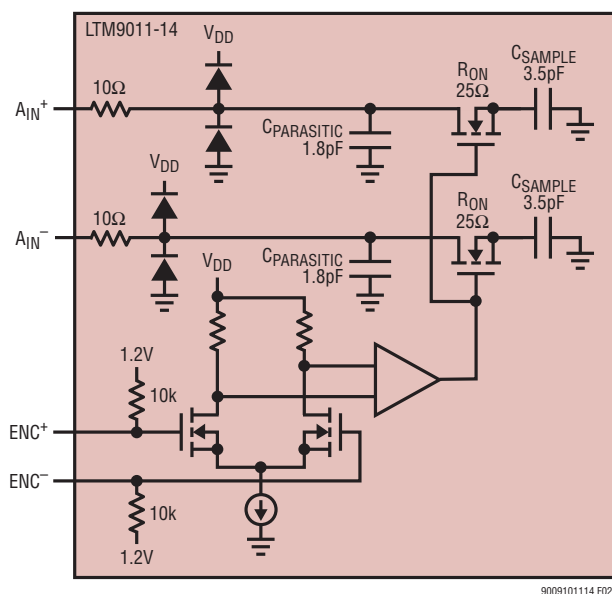


図2. 等価入力回路。8つのアナログ・チャンネルのうち1つのみを示す。

入力ドライブ回路

入力フィルタ

可能であれば、アナログ入力のすぐ近くにRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチング回路から絶縁し、ドライブ回路の広帯域ノイズも制限します。図3に、入力RCフィルタの例を示します。RC部品の値はアプリケーションの入力周波数に基づいて選択します。

トランス結合回路

2次側にセンタータップを備えたRFトランスでドライブされるアナログ入力を図3に示します。センター・タップは V_{CM} でバイアスされるため、A/Dコンバータの入力はその最適DCレベルに設定されます。高い入力周波数では、伝送ラインのバラン・トランス(図4～図6)のバランスが良くなるので、A/Dの歪みが小さくなります。

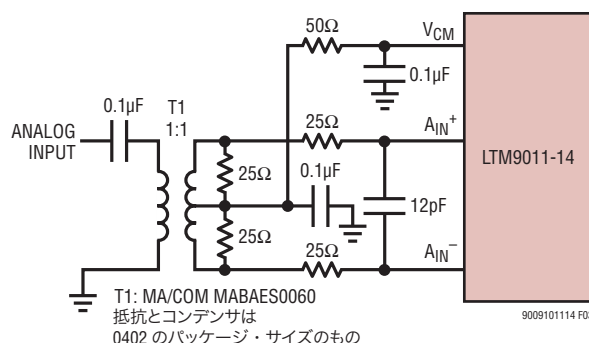


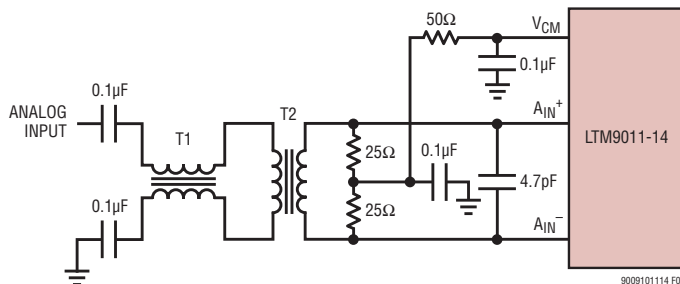
図3. トランスを使用したアナログ入力回路。5MHz～70MHzの入力周波数に対して推奨

アプリケーション情報

アンプ回路

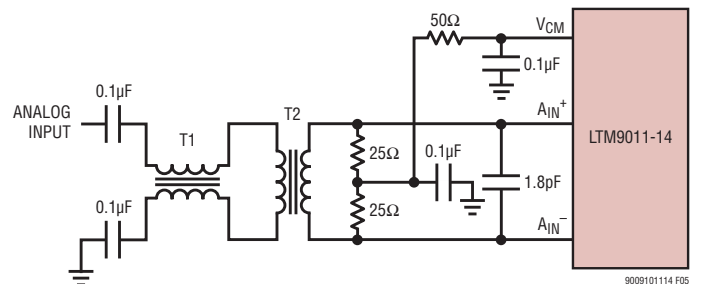
高速差動アンプによってドライブされるアナログ入力を図7に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小限に抑えることができます。DC結合の例については最終ページを参照してください。

非常に高い周波数では、多くの場合、RF利得ブロックの方が差動アンプよりも歪みが小さくなります。利得ブロックがシングルエンドの場合には、A/Dをドライブする前にトランス回路(図4～図6)で信号を差動に変換します。



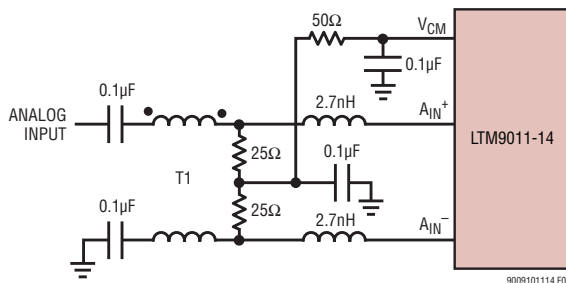
T1: MA/COM MABA-007159-000000
T2: MA/COM MABAES0060
抵抗とコンデンサは 0402 のパッケージ・サイズのもの

図4. 70MHz～170MHzの入力周波数用の
推奨フロントエンド回路



T1: MA/COM MABA-007159-000000
T2: COILCRAFT WBC1-1LB
抵抗とコンデンサは 0402 のパッケージ・サイズのもの

図5. 170MHz～300MHzの入力周波数用の
推奨フロントエンド回路



T1: MA/COM ETC1-1-13
抵抗とコンデンサは
0402 のパッケージ・サイズのもの

図6. 300MHzを超える入力周波数用の
推奨フロントエンド回路

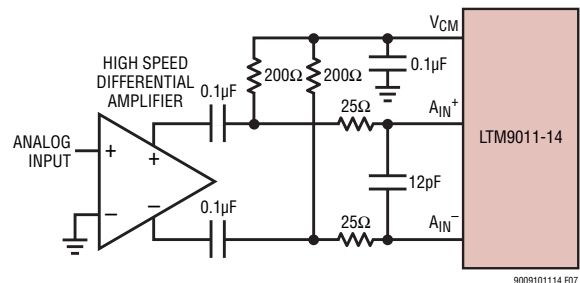


図7. 高速差動アンプを使用したフロントエンド回路

LTM9011-14/ LTM9010-14/LTM9009-14

アプリケーション情報

リファレンス

LTM9011-14/LTM9010-14/LTM9009-14は1.25V電圧リファレンスを内蔵しています。内部リファレンスを使用する2Vの入力範囲の場合、SENSEを V_{DD} に接続します。内部リファレンスを使用する1Vの入力範囲の場合、SENSEをグランドに接続します。外部リファレンスを使用する2Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに印加します(図9)。

0.625V～1.30Vの電圧をSENSEに印加することによって入力範囲を調整することができます。これにより、入力範囲は1.6

- V_{SENSE} になります。リファレンスは8つのADCチャネル全てによって共有されているので、各チャネルの入力範囲を個別に調整することはできません。

V_{REF} 、SENSE、REFH、およびREFLの各ピンは図8に示すように内部でバイパスされています。

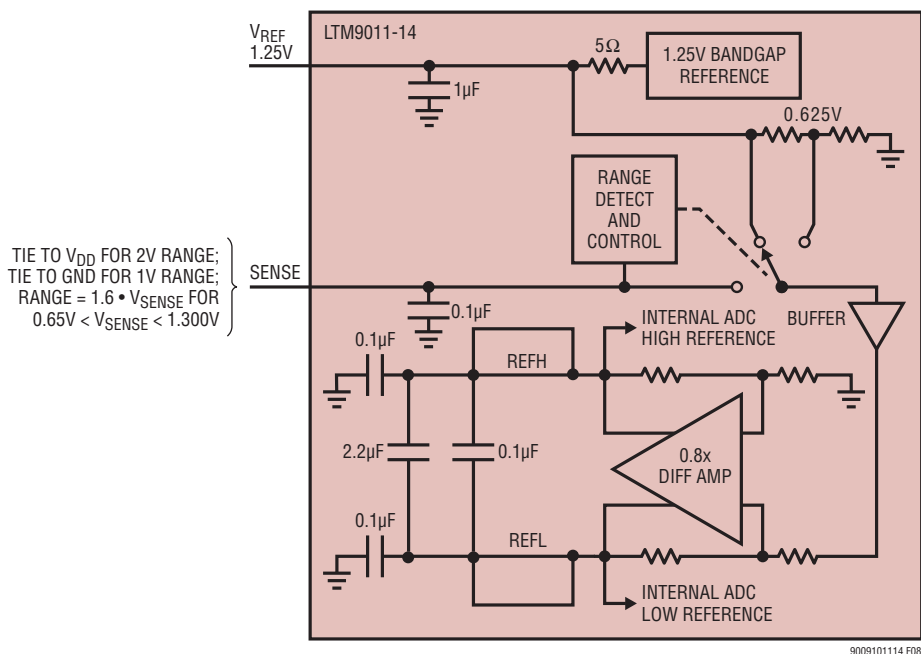


図8. リファレンス回路

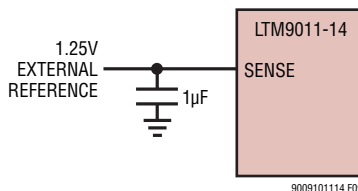


図9. 1.25Vの外部リファレンスの使い方

アプリケーション情報

エンコード入力

エンコード入力の信号品質は、A/Dコンバータのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でデジタル・トレースに隣接して配線しないでください。エンコード入力には2つの動作モードがあります。差動エンコード・モード(図10)とシングルエンド・エンコード・モード(図11)です。

正弦波、PECL、またはLVDSのエンコード入力には、差動エンコード・モードを推奨します(図12および図13)。エンコード入力は内部で10k Ω の等価抵抗を介して1.2Vにバイアスさ

れています。エンコード入力は V_{DD} より高くすることができ(最大3.6V)、同相範囲は1.1V~1.6Vです。差動エンコード・モードでは、 ENC^- をグラウンドより200mV以上高く保って、シングルエンド・エンコード・モードを誤ってトリガしないようにします。良好なジッタ性能を得るには、 ENC^+ の立ち上がり時間と立ち下がり時間を短くします。

シングルエンド・エンコード・モードは、CMOSエンコード入力と組み合わせて使用します。このモードを選択するには、 ENC^- をグラウンドに接続し、 ENC^+ を方形波のエンコード入力でドライブします。 ENC^+ は V_{DD} より高くすることができるので

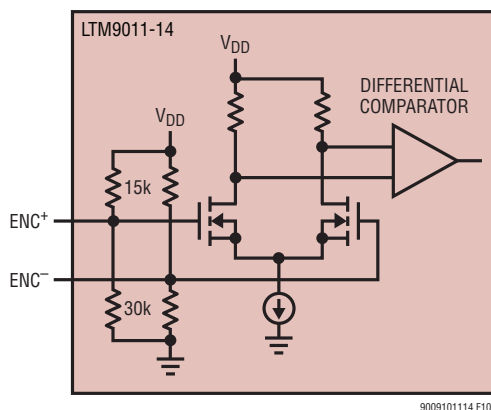


図10. 差動エンコード・モードの
等価エンコード入力回路

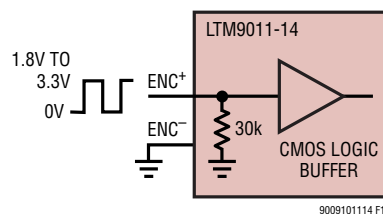
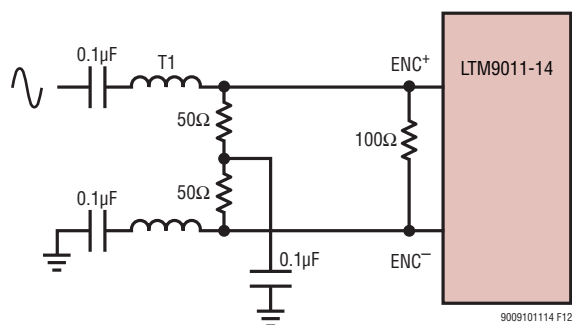


図11. シングルエンド・エンコード・モードの
等価エンコード入力回路



T1 = MA/COM ETC1-1-13
抵抗とコンデンサは
0402のパッケージ・サイズのもの

図12. 正弦波のエンコード・ドライブ

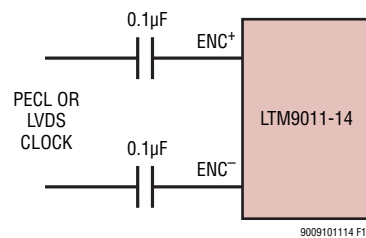


図13. PECL または LVDS のエンコード・ドライブ

アプリケーション情報

(最大3.6V)、1.8V～3.3VのCMOSロジック・レベルを使用することができます。ENC⁺のしきい値は0.9Vです。良好なジッタ性能を得るため、ENC⁺の立ち上がり時間と立ち下がり時間を速くします。

クロックPLLとデューティ・サイクル・スタビライザ

エンコード・クロックは内部フェーズロック・ループ(PLL)によって乗算され、シリアル・デジタル出力データを生成します。エンコード信号の周波数が変化するか、エンコード信号がオフになると、PLLが入力クロックにロックするために25μsかかります。

クロック・デューティ・サイクル・スタビライザ回路により、与えられるエンコード信号のデューティ・サイクルは30%～70%の範囲の変動が許容されます。シリアル・プログラミング・モードでは、デューティ・サイクル・スタビライザをディスエーブルすることができますが、これは推奨しません。パラレル・プログラミング・モードでは、デューティ・サイクル・スタビライザは常にインエーブルされます。

デジタル出力

LTM9011-14/LTM9010-14/LTM9009-14のデジタル出力はシリアル化されたLVDS信号です。各チャンネルは、同時に2ビットを出力します(2レーン・モード)。低いサンプリング・レートでは、1チャンネル当たり1ビットの選択肢もあります(1レーン・

モード)。データは、16、14、または12ビットでシリアル化できます(詳細については「タイミング図」を参照)。12ビットでシリアル化する場合、2つのLSBは使用できないことに注意してください。このモードは、これらのデバイスの12ビット・バージョンと互換性を持たせるために用意されています。

出力データは、データ・クロック出力(DCO)の立ち上がりエッジと立ち下がりエッジでラッチされます。データ・フレーム出力(FR)を使用し、新たな変換のデータが出力され始める時点を設定することができます。2レーンの14ビット・シリアル化モードでは、FR出力の周波数は1/2になります。

データ出力の最大シリアル・データ・レートは1Gbpsなので、ADCの最大サンプリング・レートはADCの速度グレードだけでなく、シリアル化モードによっても異なります(表1を参照)。すべてのシリアル化モードの最小サンプル・レートは5MSPSです。

デフォルトでは、出力は標準LVDSレベルです。すなわち、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力ペアには外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバにできるだけ近づけて配置します。

出力はOV_{DD}とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。

表1. 全てのシリアル化モードの最大サンプリング周波数。これらの制限値はLTM9011-14のものであることに注意。遅い速度グレードのサンプリング周波数は、105MHz(LTM9010-14)または80MHz(LTM9009-14)を超えることはできない。

シリアル化モード		最大サンプリング周波数、 f _S (MHz)	DCO周波数	FR周波数	シリアル・データ・ レート
2レーン	16ビット・シリアル化	125	4・f _S	f _S	8・f _S
2レーン	14ビット・シリアル化	125	3.5・f _S	0.5・f _S	7・f _S
2レーン	12ビット・シリアル化	125	3・f _S	f _S	6・f _S
1レーン	16ビット・シリアル化	62.5	8・f _S	f _S	16・f _S
1レーン	14ビット・シリアル化	71.4	7・f _S	f _S	14・f _S
1レーン	12ビット・シリアル化	83.3	6・f _S	f _S	12・f _S

アプリケーション情報

プログラム可能なLVDS出力電流

デフォルトの出力ドライバ電流は3.5mAです。シリアル・プログラミング・モードでは、この電流は制御レジスタA2によって調整することができます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mA、および4.5mAです。パラレル・プログラミング・モードでは、SCKピンにより、3.5mAまたは1.75mAを選択できます。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA2をシリアル・モードでプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端は、レシーバでの不完全な終端によって発生する反射を吸収するのに役立ちます。内部終端がイネーブルされると、同じ出力電圧振幅を維持するために、出力ドライバ電流が2倍になります。パラレル・プログラミング・モードでは、SDOピンによって内部終端がイネーブルされます。内部終端は、1.75mA、2.1mA、または2.5mAのLVDS出力電流モードのときにのみ使用します。

データ・フォーマット

アナログ入力電圧とデジタル・データ出力ビット間の相関を表2に示します。デフォルトでは、出力のデータ・フォーマットはオフセット・バイナリです。モード制御レジスタA1をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表2. 出力コードと入力電圧

A _{IN} ⁺ – A _{IN} [–] (2V範囲)	D13～D0 (オフセット・バイナリ)	D13～D0 (2の補数)
>1.000000V	11 1111 1111 1111	01 1111 1111 1111
+0.999878V	11 1111 1111 1111	01 1111 1111 1111
+0.999756V	11 1111 1111 1110	01 1111 1111 1110
+0.000122V	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	10 0000 0000 0000	00 0000 0000 0000
–0.000122V	01 1111 1111 1111	11 1111 1111 1111
–0.000244V	01 1111 1111 1110	11 1111 1111 1110
–0.999878V	00 0000 0000 0001	10 0000 0000 0001
–1.000000V	00 0000 0000 0000	10 0000 0000 0000
<–1.000000V	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダマイザ

A/Dコンバータのデジタル出力からの干渉は、場合によっては避けられません。デジタル干渉は、容量性結合や誘導性結合、あるいはグランド・プレーンを介した結合によって発生する可能性があります。結合係数が小さくても、ADCの出力スペクトラムに不要なトーンを生じることがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他の全てのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他の全てのビットとの間で排他的論理和演算を行います。FR出力とDCO出力は影響を受けません。出力ランダマイザは、モード制御レジスタA1をシリアル・モードでプログラムすることによってイネーブルされます。

アプリケーション情報

デジタル出力のテストパターン

A/Dコンバータのデジタル・インタフェースのインサート・テストを可能にするため、全チャネルのA/Dデータ出力(D13～D0)を強制的に既知の値にするテスト・モードがあります。モード制御レジスタA3およびA4をシリアル・モードでプログラムすることにより、デジタル出力のテストパターンがイネーブルされます。テストパターンがイネーブルされると、他の全てのフォーマット・モード(2の補数およびランダムイザ)を無効にします。

出力のディスエーブル

デジタル出力は、制御レジスタA2をシリアル・モードでプログラムすることによりディスエーブルすることができます。消費電力の節減や、インサート・テストをイネーブルするために、DCOとFRを含む全てのデジタル出力の電流ドライブがディスエーブルされます。ディスエーブルされると、同相の各出力ペアが高インピーダンスになりますが、差動インピーダンスは低く保つことができます。

スリープ・モードとナップ・モード

節電のため、A/Dをスリープ・モードまたはナップ・モードにすることができます。スリープ・モードでは、デバイス全体がパワーダウンし、消費電力は2mWになります。スリープ・モードは、モード制御レジスタA1(シリアル・プログラミング・モード)またはSDI(パラレル・プログラミング・モード)によってイネーブルされます。スリープ・モードからの回復に要する時間は約2msです。

ナップ・モードでは、A/Dチャネルのどの組み合わせでもパワーダウンできますが、内部リファレンス回路およびPLLはアクティブな状態を維持するので、スリープ・モードからの場合よりも素早く復帰することができます。ナップ・モードからの復帰には、最低でも100クロック・サイクルが必要です。非常に高精度なDCセトリングを要求するアプリケーションの場合、追加の50μsを与えて、A/Dがナップ・モードから移行するときの電源電流の変化によって生じるわずかな温度変化に対して内部リファレンスがセトリングするようにします。ナップ・モードは、シリアル・プログラミング・モードでモード制御レジスタA1によってイネーブルされます。

デバイスのプログラミング・モード

LTM9011-14/LTM9010-14/LTM9009-14の動作モードはパラレル・インタフェースまたはシンプルなシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースの方が柔軟性が高く、使用可能な全てのモードをプログラムできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラムできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、PAR/SERをV_{DD}に接続します。CS、SCK、SDIおよびSDOの各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンはV_{DD}またはグランドに接続するか、あるいは1.8V、2.5V、または3.3VのCMOSロジックでドライブすることができます。入力として使用する場合、SDOは1kの直列抵抗を介してドライブします。表3に、CS、SCK、SDI、およびSDOで設定されるモードを示します。

表3. パラレル・プログラミング・モードの制御ビット
(PAR/SER = V_{DD})

ピン	説明
CS	2レーン/1レーン選択ビット 0 = 2レーン、16ビット・シリアル化出力モード 1 = 1レーン、14ビット・シリアル化出力モード
SCK	LVDS電流選択ビット 0 = 3.5mA LVDS電流モード 1 = 1.75mA LVDS電流モード
SDI	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード
SDO	内部終端選択ビット 0 = 内部終端をディスエーブル 1 = 内部終端をイネーブル

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、PAR/SERをグランドに接続します。CS、SCK、SDI、およびSDOの各ピンは、A/Dのモード制御レジスタをプログラムするシリアル・インタフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送はCSが“L”になると開始されます。SDIピンのデータはSCKの最初の16個の立ち上がりエッジでラッ

アプリケーション情報

ちされます。最初の16個の後のSCKの立ち上がりエッジはどれも無視されます。データ転送はCSが再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/Wビットが“L”の場合、シリアル・データ(D7:D0)が、アドレス・ビット(A6:A0)によって設定されるレジスタに書き込まれます。R/Wビットが“H”の場合は、アドレス・ビット(A6:A0)で

設定されたレジスタのデータがSDOピンから読み出されます(「タイミング図」のセクションを参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグラウンドに引き下げられます。レジスタのデータを、SDOを介して読み出す場合は、2kの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場合には、SDOをフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表4に示します。

表4. シリアル・プログラミング・モードのレジスタ・マップ(PAR/SER = GND)

レジスタA0:リセット・レジスタ(アドレス00h)

D7	D6	D5	D4	D3	D2	D1	D0
リセット	X	X	X	X	X	X	X

CSAがチャンネル1、4、5、および8を制御し、CSBがチャンネル2、3、6、および7を制御することに注意。

ビット7 **リセット** ソフトウェア・リセット・ビット

0 = 不使用

1 = ソフトウェアによるリセット。全てのモード制御レジスタが00hにリセットされる。ADCは一時的にスリープ・モードになる。リセットSPI書き込みコマンドが完了した後、ビットD7は自動的に再度ゼロに設定される。リセット・レジスタは書き込み専用。

ビット6～0 使用しない、ドントケア・ビット

レジスタA1(CSA):フォーマットおよびパワーダウン・レジスタ(CSA = GNDでアドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_8	NAP_5	NAP_4	NAP_1

CSAがチャンネル1、4、5、および8を制御し、CSBがチャンネル2、3、6、および7を制御することに注意。

ビット7 **DCSOFF** クロック・デューティ・サイクル・スタビライザ・ビット

0 = クロック・デューティ・サイクル・スタビライザをオン

1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。

ビット6 **RAND** データ出力ランダムマイザ・モード制御ビット

0 = データ出力ランダムマイザ・モードをオフ

1 = データ出力ランダムマイザ・モードをオン

ビット5 **TWOSCOMP** 2の補数モード制御ビット

0 = オフセット・バイナリのデータ・フォーマット

1 = 2の補数のデータ・フォーマット

ビット4～0 **SLEEP:NAP_X** スリープ/ナップ・モード制御ビット

00000 = 通常動作

0XXX1 = チャンネル1がナップ・モード

0XX1X = チャンネル4がナップ・モード

0X1XX = チャンネル5がナップ・モード

01XXX = チャンネル8がナップ・モード

1XXXX = スリープ・モード。チャンネル1、4、5、および8をディスエーブル

注記: ナップ・モードではチャンネルのどの組み合わせも設定可能。

アプリケーション情報

レジスタA1 (CSB): フォーマットおよびパワーダウン・レジスタ (CSB = GND でアドレス 01h)

D7	D6	D5	D4	D3	D2	D1	D0
DCSOFF	RAND	TWOSCOMP	SLEEP	NAP_7	NAP_6	NAP_3	NAP_2

CSA がチャンネル 1、4、5、および 8 を制御し、CSB がチャンネル 2、3、6、および 7 を制御することに注意。

- ビット 7 **DCSOFF** クロック・デューティ・サイクル・スタビライザ・ビット
 0 = クロック・デューティ・サイクル・スタビライザをオン
 1 = クロック・デューティ・サイクル・スタビライザをオフ。これは推奨されない。
- ビット 6 **RAND** データ出力ランダムマイザ・モード制御ビット
 0 = データ出力ランダムマイザ・モードをオフ
 1 = データ出力ランダムマイザ・モードをオン
- ビット 5 **TWOSCOMP** 2 の補数モード制御ビット
 0 = オフセット・バイナリのデータ・フォーマット
 1 = 2 の補数のデータ・フォーマット
- ビット 4 ~ 0 **SLEEP:NAP_4:NAP_1** スリープ/ナップ・モード制御ビット
 00000 = 通常動作
 0XXX1 = チャンネル 2 がナップ・モード
 0XX1X = チャンネル 3 がナップ・モード
 0X1XX = チャンネル 6 がナップ・モード
 01XXX = チャンネル 7 がナップ・モード
 1XXXX = スリープ・モード。チャンネル 2、3、6、および 7 をディスエーブル
 注記: ナップ・モードではチャンネルのどの組み合わせも設定可能。

レジスタA2: 出力モード・レジスタ (アドレス 02h)

D7	D6	D5	D4	D3	D2	D1	D0
ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE2	OUTMODE1	OUTMODE0

CSA がチャンネル 1、4、5、および 8 を制御し、CSB がチャンネル 2、3、6、および 7 を制御することに注意。

- ビット 7 ~ 5 **ILVDS2:ILVDS0** LVDS 出力電流ビット
 000 = 3.5mA の LVDS 出力ドライバ電流
 001 = 4.0mA の LVDS 出力ドライバ電流
 010 = 4.5mA の LVDS 出力ドライバ電流
 011 = 不使用
 100 = 3.0mA の LVDS 出力ドライバ電流
 101 = 2.5mA の LVDS 出力ドライバ電流
 110 = 2.1mA の LVDS 出力ドライバ電流
 111 = 1.75mA の LVDS 出力ドライバ電流
- ビット 4 **TERMON** LVDS 内部終端ビット
 0 = 内部終端をオフ
 1 = 内部終端をオン。LVDS 出力ドライバ電流は、ILVDS2:ILVDS0 で設定された電流の 2 倍になる。内部終端は、1.75mA、2.1mA、または 2.5mA の LVDS 出力電流モードのときのみ使用する。
- ビット 3 **OUTOFF** 出力のディスエーブル・ビット
 0 = デジタル出力をイネーブル。
 1 = デジタル出力をディスエーブル。
- ビット 2 ~ 0 **OUTMODE2:OUTMODE0** デジタル出力モード制御ビット
 000 = 2 レーン、16 ビット・シリアル化
 001 = 2 レーン、14 ビット・シリアル化
 010 = 2 レーン、12 ビット・シリアル化
 011 = 不使用
 100 = 不使用
 101 = 1 レーン、14 ビット・シリアル化
 110 = 1 レーン、12 ビット・シリアル化
 111 = 1 レーン、16 ビット・シリアル化

アプリケーション情報

レジスタ A3: テストパターン MSB レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST	X	TP13	TP12	TP11	TP10	TP9	TP8

CSA がチャンネル 1、4、5、および 8 を制御し、CSB がチャンネル 2、3、6、および 7 を制御することに注意。

ビット 7 **OUTTEST** デジタル出力のテストパターン制御ビット
0 = デジタル出力のテストパターンをオフ
1 = デジタル出力のテストパターンをオン

ビット 6 使用しない、ドントケア・ビット

ビット 5 ~ 0 **TP13:TP8** テストパターン・データ・ビット (MSB)
TP13:TP8 により、データ・ビット 13 (MSB) からデータ・ビット 8 までのテストパターンが設定される。

レジスタ A4: テストパターン LSB レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0

CSA がチャンネル 1、4、5、および 8 を制御し、CSB がチャンネル 2、3、6、および 7 を制御することに注意。

ビット 7 ~ 0 **TP7:TP0** テストパターン・データ・ビット (LSB)
TP7:TP0 により、データ・ビット 7 からデータ・ビット 0 (LSB) までのテストパターンが設定される。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、全てのレジスタのデータ・ビットをロジック 0 にリセットするソフトウェア・リセットでなければなりません。ソフトウェアによるリセットを実行するには、リセット・レジスタのビット D7 にロジック 1 を書き込みます。リセット SPI 書き込みコマンドが完了した後、ビット D7 は自動的に再度ゼロに設定されます。

接地とバイパス

LTM9011-14/LTM9010-14/LTM9009-14 には、切れ目のないクリーンなグラウンド・プレーンを備えたプリント基板が必要です。ADC の下の最初の層に内部グラウンド・プレーンを備えた多層基板を推奨します。プリント回路基板のレイアウトは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADC の下に配置したりしないように注意してください。

バイパス・コンデンサがパッケージに内蔵されているので、追加の容量はオプションです。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリヤとして、グランド領域とグランド・ビアを使用します。

LTM9011-14/LTM9010-14/LTM9009-14 のピン配置はフロースルー・レイアウトが可能であり、多くの ADC チャンネルが必要な場合、小さな面積に複数のデバイスを使用することができます。LTM9011 のレイアウト・ルールは他の BGA パッケージのものと同様です。レイアウトは 6 ミルのブラインド・ビアと 5 ミルのトレースを使って実装することができます。ピン配置は、アナログおよびデジタルのトレースの配線に必要なスペースを最小限に抑えるように設計されています。アナログおよびデジタルのトレースは、基本的にパッケージの幅の範囲内で配線することができます。これにより、チャンネル数の多いアプリケーションに対して複数のパッケージを互いに隣接させることができます。アナログ入力とデジタル出力のトレース長はできるだけ等しくします。

LTM9011-14/ LTM9010-14/LTM9009-14

アプリケーション情報

パッケージ内のダイ・パッドからパッケージ・パッドまでのアナログ入力とデジタル出力のトレース長を表5に示します。最良の整合を得るためには、これらをPCBのトレース長に加える必要があります。

サブストレートに使用されている素材はBT(ビスマレイミドトリアジン)で、三菱ガス化学製です。DC～125MHzの範囲では、アナログ入力の速度は198ps/inつまり7.795ps/mmです。デジタル出力の速度は188.5ps/inつまり7.417ps/mmです。

熱伝達

LTM9011-14/LTM9010-14/LTM9009-14が発生する熱の大部分は、ダイからパッケージの底面を通してプリント回路基板に伝わります。グランド・ピンは複数のビアで内部グランド・プレーンに接続します。

表5. 内部トレース長

ピン	名称	長さ (mm)
E7	01A ⁻	1.775
E8	01A ⁺	1.947
C8	01B ⁻	1.847
D8	01B ⁺	1.850
B8	02A ⁻	3.233
A8	02A ⁺	3.246
D7	02B ⁻	0.179
C7	02B ⁺	1.127
D10	03A ⁻	2.126
D9	03A ⁺	2.177
E10	03B ⁻	1.811
E9	03B ⁺	1.812
C9	04A ⁻	3.199
C10	04A ⁺	3.196
F7	04B ⁻	0.706
F8	04B ⁺	0.639
J8	05A ⁻	0.392
J7	05A ⁺	0.436

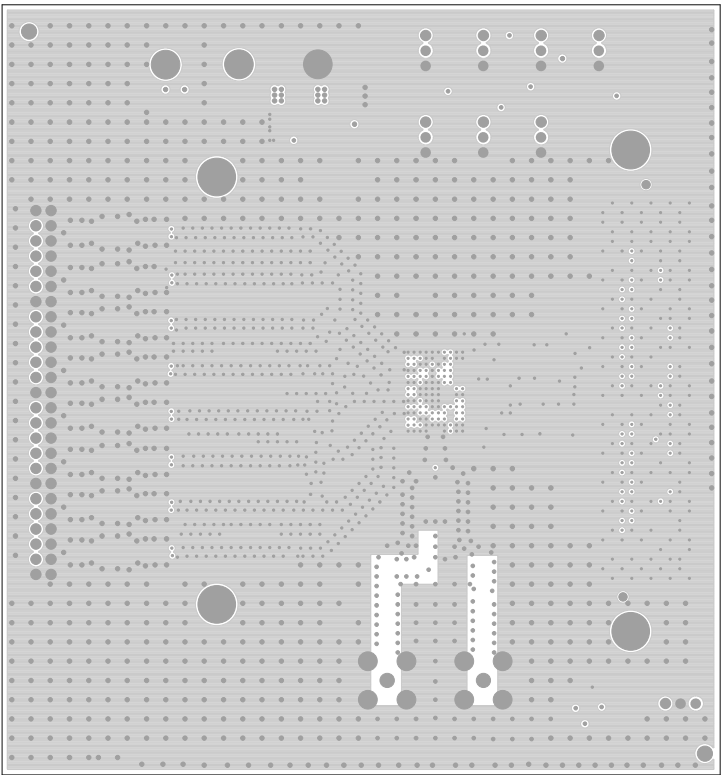
ピン	名称	長さ (mm)
K8	05B ⁻	0.379
K7	05B ⁺	0.528
K9	06A ⁻	1.866
K10	06A ⁺	1.865
L9	06B ⁻	2.268
L10	06B ⁺	2.267
M7	07A ⁻	1.089
L7	07A ⁺	0.179
P8	07B ⁻	3.281
N8	07B ⁺	3.149
L8	08A ⁻	1.862
M8	08A ⁺	1.847
M10	08B ⁻	4.021
M9	08B ⁺	4.016
B1	A _{IN1} ⁻	4.689
B2	A _{IN1} ⁺	4.709
C1	A _{IN2} ⁻	4.724
C2	A _{IN2} ⁺	4.769

ピン	名称	長さ (mm)
E1	A _{IN3} ⁻	2.491
E2	A _{IN3} ⁺	2.505
G1	A _{IN4} ⁻	3.376
G2	A _{IN4} ⁺	3.372
H2	A _{IN5} ⁻	3.301
H1	A _{IN5} ⁺	3.346
K2	A _{IN6} ⁻	2.506
K1	A _{IN6} ⁺	2.533
M2	A _{IN7} ⁻	3.198
M1	A _{IN7} ⁺	3.214
N2	A _{IN8} ⁻	4.726
N1	A _{IN8} ⁺	4.691
P6	CLK ⁻	4.106
P5	CLK ⁺	4.106
L5	CSA	0.919
M5	CSB	1.162
G8	DCOA ⁻	1.157
G7	DCOA ⁺	1.088

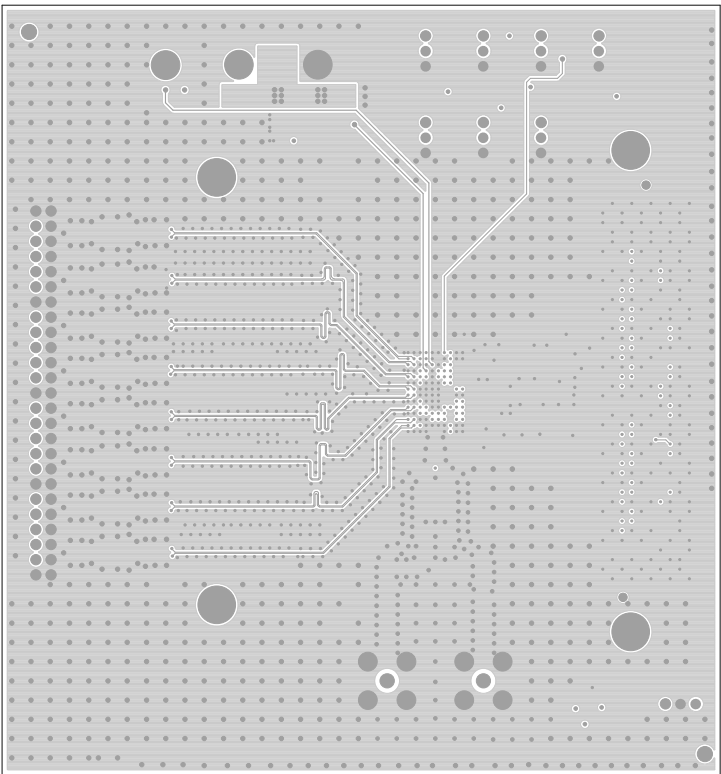
ピン	名称	長さ (mm)
F10	DCOB ⁻	1.811
F9	DCOB ⁺	1.812
H7	FRA ⁻	1.117
H8	FRA ⁺	1.038
J9	FRB ⁻	1.644
J10	FRB ⁺	1.643
A7	PAR/SER	3.838
L6	SCK	0.240
E6	SDOA	0.453
D6	SDOB	0.274
M6	SDI	1.069
B3	V _{CM12}	3.914
F3	V _{CM34}	0.123
J3	V _{CM56}	0.079
N3	V _{CM78}	3.915

標準的応用例

内部第2層

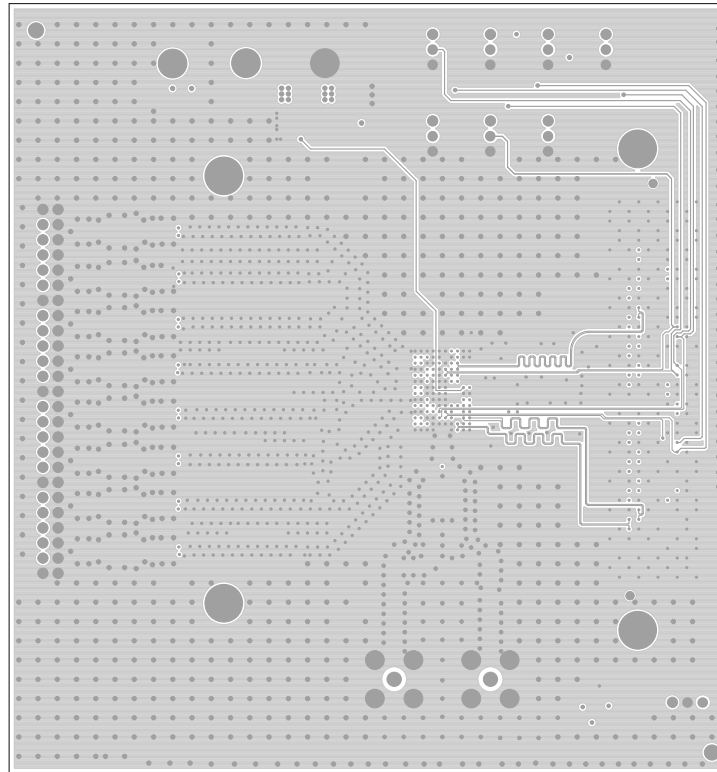


内部第3層

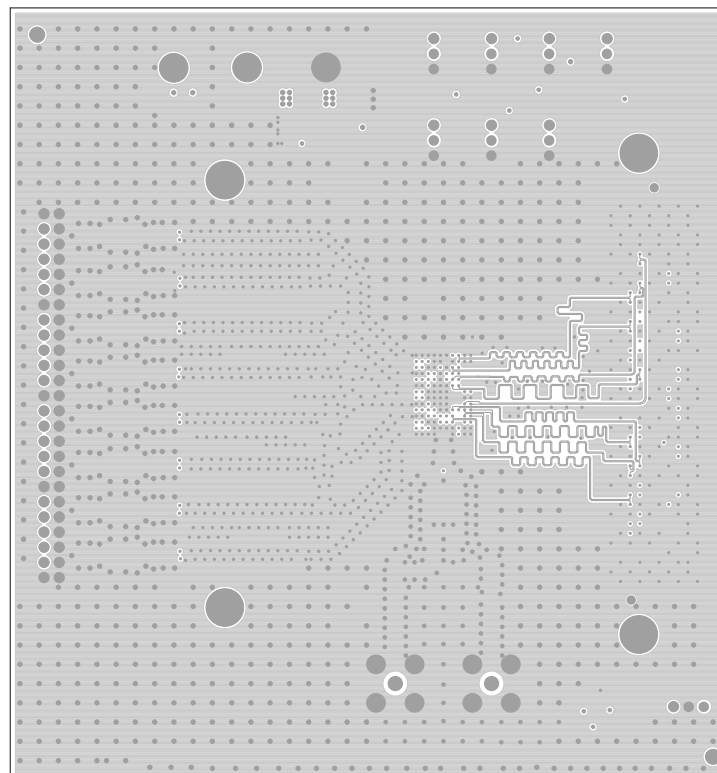


標準的応用例

内部第4層

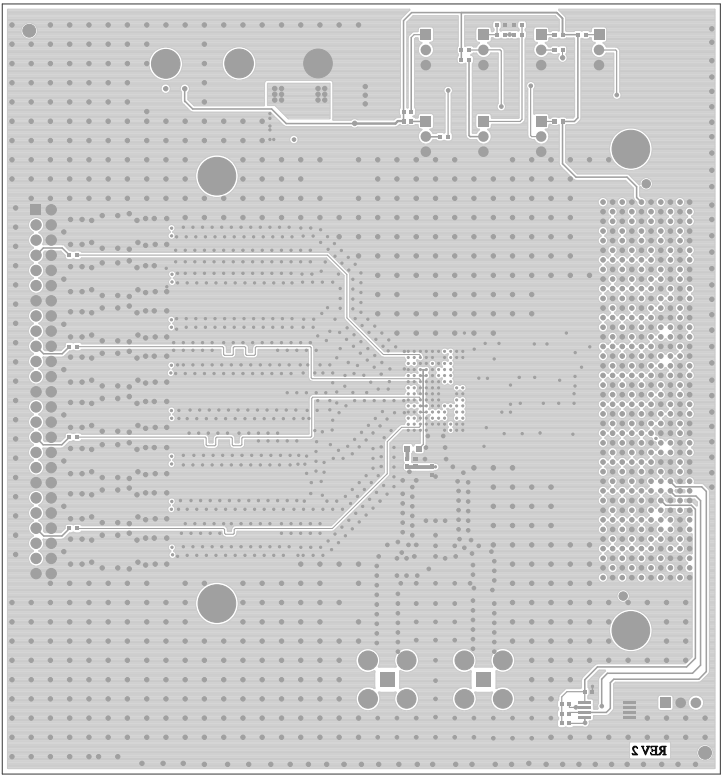


内部第5層

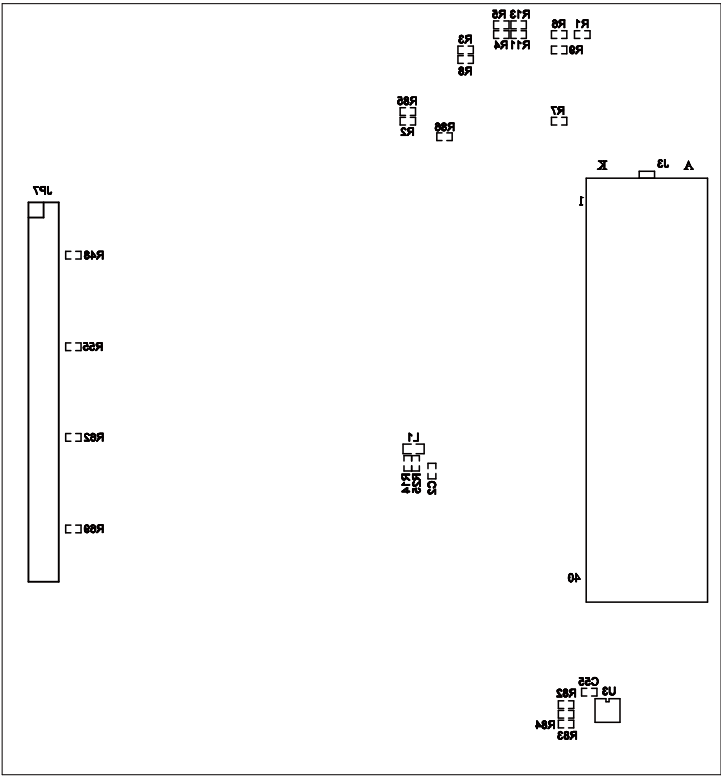


標準的応用例

底面



はんだ面シルク



LTM9011-14の回路図

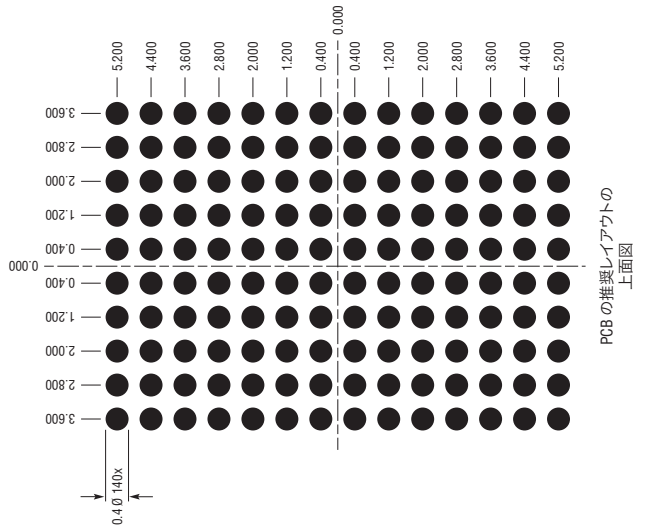
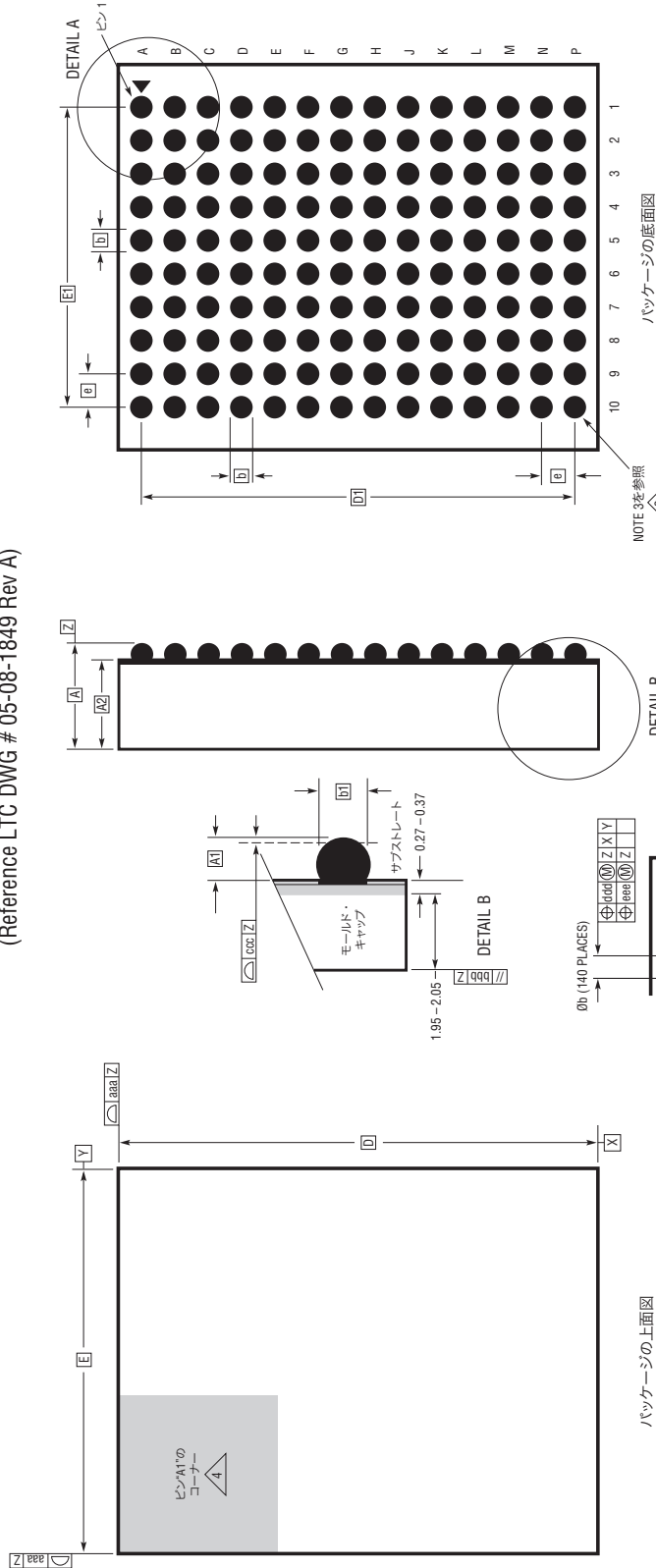


LTM9011-14/ LTM9010-14/LTM9009-14

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

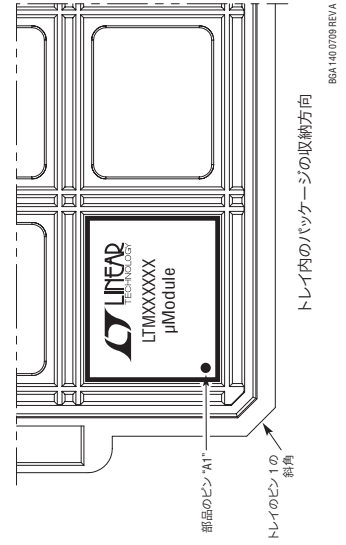
BGAパッケージ
140ピン (11.25mm×9.00mm×2.72mm)
(Reference LTC DWG # 05-08-1849 Rev A)



SYMBOL	MIN	NOM	MAX	NOTES
A	2.57	2.72	2.87	
A1	0.35	0.40	0.45	
A2	2.22	2.32	2.42	
b	0.45	0.50	0.55	
b1	0.35	0.40	0.45	
D		11.25		
E		9.0		
e		0.80		
D1		10.40		
E1		7.2		
aaa			0.15	
bbb			0.10	
ccc			0.12	
ddd			0.15	
eee			0.08	

ボールの総数: 140

- NOTES:
1. 寸法と許容誤差は ASME Y14.5M-1994 による
 2. すべての寸法はミリメートル
 3. ボールの指定は JESD MS-028 および JEP95 による
 4. ピン #1 の識別マークの詳細はオプションだが、示された領域内になければならない。ピン #1 の識別マークはモールドとマーキングのどちらでも可
 5. マスターダム-Z はシーティング・プレーン



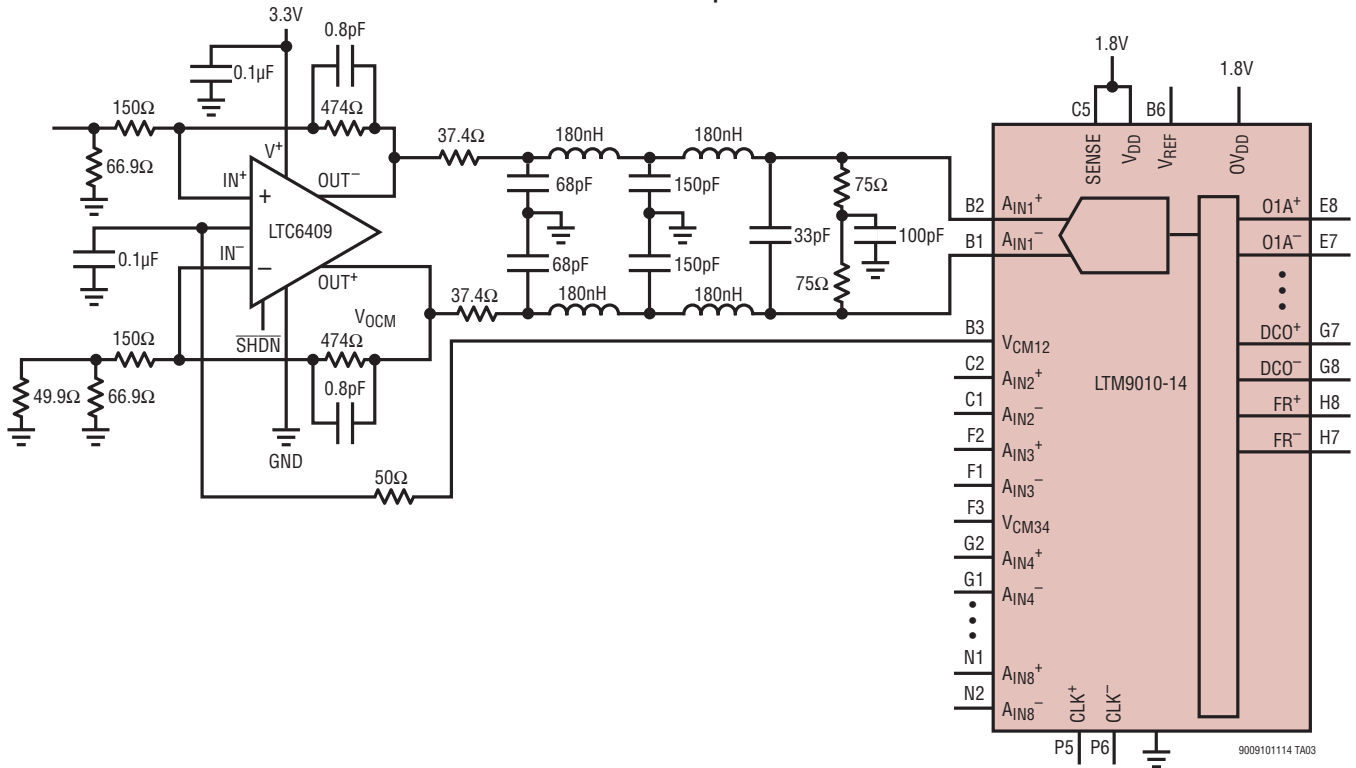
改訂履歴

REV	日付	概要	ページ番号
A	9/11	「機能ブロック図」を更新	21

LTM9011-14/ LTM9010-14/LTM9009-14

標準的応用例

LTC6409と50MHzローパス・フィルタを使用したシングルエンドから差動への変換(1チャンネルだけ示されている)。
フィルタは92.16Mspsで使用



関連製品

製品番号	説明	注釈
ADC		
LTC2170-14/LTC2171-14/ LTC2172-14	14ビット、25Msps/40Msps/65Msps、 1.8V クワッド ADC、超低消費電力	178mW/234mW/360mW、SNR:73.4dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
LTC2170-12/LTC2171-12/ LTC2172-12	12ビット、25Msps/40Msps/65Msps、 1.8V クワッド ADC、超低消費電力	178mW/234mW/360mW、SNR:70.5dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
LTC2173-12/LTC2174-12/ LTC2175-12	12ビット、80Msps/105Msps/125Msps、 1.8V クワッド ADC、超低消費電力	412mW/481mW/567mW、SNR:70.5dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
LTC2173-14/LTC2174-14/ LTC2175-14	14ビット、80Msps/105Msps/125Msps、1.8V ク ワッド ADC、超低消費電力	412mW/481mW/567mW、SNR:73.4dB、SFDR:85dB、 シリアル LVDS 出力、7mm×8mm QFN-52
アンプ/フィルタ		
LTC6412	800MHz、31dB レンジ、アナログ制御可変利得 アンプ	連続調整可能な利得制御、240MHz での OIP3:35dBm、 ノイズフィギュア:10dB、4mm×4mm QFN-24
LTC6420-20	300MHz の IF 周波数向け 1.8GHz、低ノイズ、 低歪み、デュアル差動 ADC ドライバ	固定利得:10V/V、全入力ノイズ:1nV/√Hz、アンプ当たりの 電源電流:80mA、3mm×4mm QFN-20
LTC6421-20	1.3GHz、低ノイズ、低歪み、デュアル差動 ADC ドライバ	固定利得:10V/V、全入力ノイズ:1nV/√Hz、アンプ当たりの 電源電流:40mA、3mm×4mm QFN-20
LTC6605-7/ LTC6605-10/ LTC6605-14	ADC ドライバ付きの整合したデュアル 7MHz/10MHz/14MHz フィルタ	差動ドライバ付きの整合したデュアル 2 次ローパス・フィルタ、 ピンでプログラム可能な利得、6mm×3mm DFN-22
シグナルチェーン・レシーバ		
LTM9002	14ビット・デュアル・チャンネル IF/ベースバンド・ レシーバ・サブシステム	高速 ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵

9009101114fa