

100V 入力のフォワード・コンバータ・コントローラ

特長

- 入力電圧範囲: 6V ~ 100V
- デューティ・モード制御により、オプトカプラを使用せずに絶縁出力を安定化
- 高効率の同期整流式制御
- 短絡(一時中断モード)時の過電流保護
- ヒステリシスを備えたプログラム可能な OVLO および UVLO
- プログラム可能な周波数(100kHz ~ 500kHz)
- 外部クロックに同期可能
- 単一の FBX ピンで正極性または負極性の出力電圧を帰還
- プログラム可能なソフトスタート
- 低シャットダウン電流: < 1μA
- ピン間隔が高電圧対応の FE20 TSSOP で供給

アプリケーション

- 産業用、自動車用、および軍用システム
- 48V 通信機器用絶縁型電源
- 絶縁型および非絶縁型 DC/DC コンバータ

概要

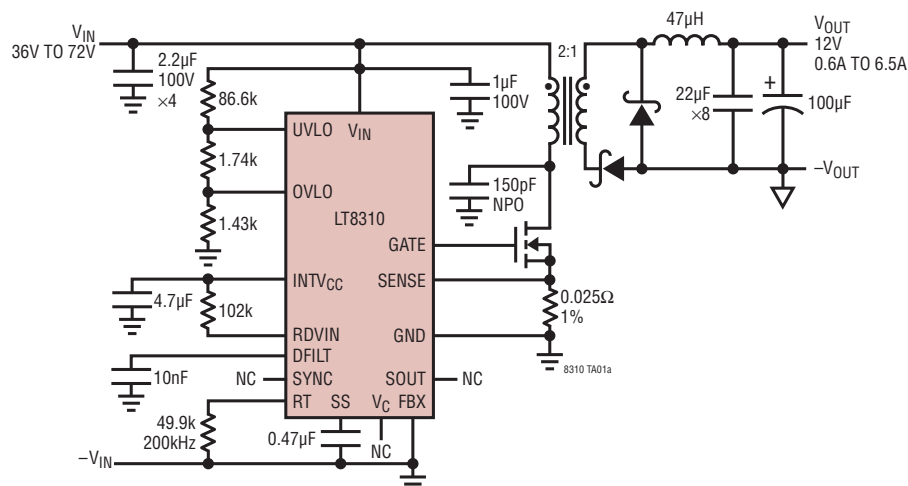
LT[®]8310 は、低電位側 N チャネル MOSFET のゲートを内部の 10V 安定化電源で駆動する、簡単に使用できる共振リセット型フォワード・コンバータ・コントローラです。LT8310 は、1 本の電源トランスを使用して、安定化した絶縁出力を生成するデューティ・モード制御機能を備えています。出力電圧帰還信号をオプトカプラ(絶縁)を介して、または直接配線(非絶縁)して加算することにより、電流モード・レギュレーションが作動し、出力精度と負荷応答が向上します。トランス巻数比を選択する柔軟性により、極端なデューティ・サイクルで動作することなく、高い降圧比または昇圧比が可能です。

スイッチング周波数を 100kHz ~ 500kHz の範囲でプログラムし、効率、性能、または外付け部品サイズを最適化することができます。2 次側の同期整流を制御して効率を改善するための同期出力を備えています。ユーザーがプログラム可能な保護回路として、入力電圧のモニタ(UVLO および OVLO)とスイッチ電流のモニタ(過電流制限)を内蔵しています。LT8310 のソフトスタート機能は、トランスを磁束の飽和から保護するのに役立ちます。

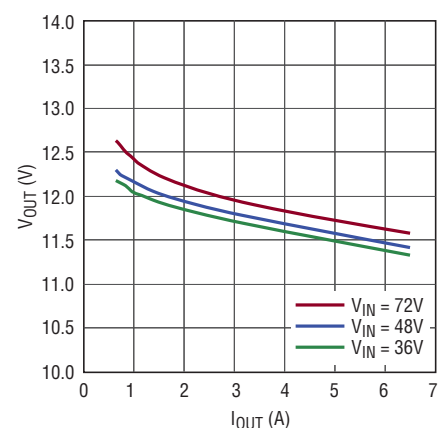
LT、LT、LTC、LTM、Linear Technology および Linear のロゴは、リニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

78W 絶縁型フォワード・コンバータ、±8% V_{OUT}



出力電圧の負荷レギュレーション



8310 TA01b

LT8310

絶対最大定格

(Note 1、2)

V_{IN} 、UVLO.....	100V
INTV _{CC} 、RDVIN、SYNC.....	20V
DFILT.....	8V
V _C 、OVLO、SS、RT.....	3V
FBX.....	-3V ~ 3V
SENSE.....	-0.3V ~ 0.3V
GATE、SOUT.....	Note 3

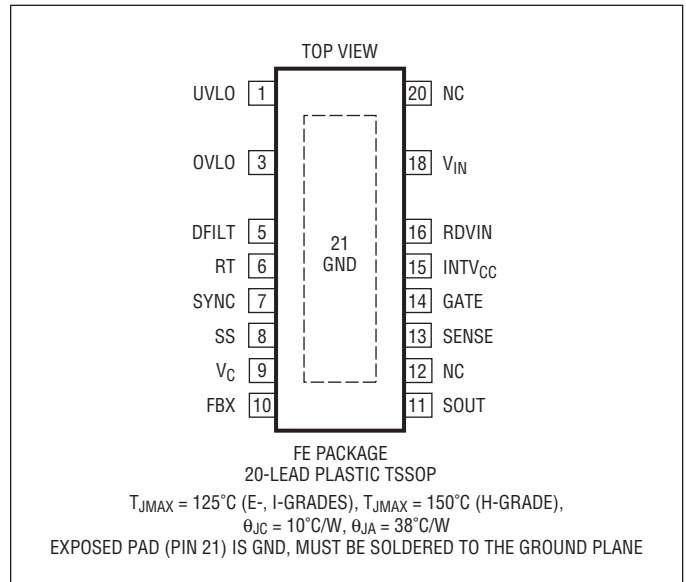
動作接合部温度範囲 (Note 4、5)

LT8310E.....	-40°C ~ 125°C
LT8310I.....	-40°C ~ 125°C
LT8310H.....	-40°C ~ 150°C
LT8310MP.....	-55°C ~ 150°C

保存温度範囲..... -65°C ~ 150°C

リード温度範囲 (半田付け、10秒)..... 300°C

ピン配置



発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LT8310EFE#PBF	LT8310EFE#TRPBF	LT8310FE	20-Lead Plastic TSSOP	-40°C to 125°C
LT8310IFE#PBF	LT8310IFE#TRPBF	LT8310FE	20-Lead Plastic TSSOP	-40°C to 125°C
LT8310HFE#PBF	LT8310HFE#TRPBF	LT8310FE	20-Lead Plastic TSSOP	-40°C to 150°C
LT8310MPFE#PBF	LT8310MPFE#TRPBF	LT8310FE	20-Lead Plastic TSSOP	-55°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。
 注記がない限り、 $V_{IN} = 24\text{V}$ 、 $UVLO = 24\text{V}$ 、 $OVLO = 0\text{V}$ 、 $SYNC = 0\text{V}$ 、 $SENSE = 0\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源						
Operating Input Voltage		●	6		100	V
V_{IN} Supply Current in Shutdown	UVLO = 0V UVLO = 1.15V			0.3 5	1 7	μA μA
V_{IN} Operating Current	Not Switching			3.8	4.6	mA
UVLO						
UVLO Threshold Voltage	UVLO Falling	●	1.196	1.220	1.250	V
UVLO Threshold Hysteresis	UVLO Rising			40		mV
UVLO Low Quiescent Current Threshold	$I_{VIN} < 1\mu\text{A}$	●	0.36	0.62	0.85	V
UVLO Pin Input Current	UVLO = 1.15V UVLO = 1.30V		4.5	5.7 20	6.8 150	μA nA
OVLO						
OVLO Threshold Voltage	OVLO Rising	●	1.225	1.250	1.275	V
OVLO Threshold Hysteresis	OVLO Falling			-33		mV
OVLO Pin Input Current	OVLO = 1.17V OVLO = 1.32V			10 120	150 400	nA nA
リニア・レギュレータ						
INTV _{CC} Regulation Voltage	$I_{INTVCC} = 0\text{mA}$ to 20mA	●	9.6	10.0	10.3	V
Regulator Dropout Voltage ($V_{IN} - \text{INTV}_{CC}$)	$V_{IN} = 9\text{V}$, $I_{INTVCC} = 20\text{mA}$			600		mV
INTV _{CC} Undervoltage Lockout Threshold	INTV _{CC} Falling		4.60	4.75	4.90	V
INTV _{CC} Undervoltage Hysteresis				0.45		V
INTV _{CC} Overvoltage Lockout Threshold	INTV _{CC} Rising		17.0	17.4	17.8	V
INTV _{CC} Overvoltage Hysteresis				-0.65		V
INTV _{CC} Current Limit	$V_{IN} = 12\text{V}$	●	25	33	39	mA
INTV _{CC} Current in Shutdown	UVLO = 0V, INTV _{CC} = 10V			125		μA
INTV _{CC} Line Regulation	$10.8\text{V} \leq V_{IN} \leq 100\text{V}$			0.001	0.01	%/V
INTV _{CC} Load Regulation	$0\text{mA} \leq I_{INTVCC} \leq 20\text{mA}$		-3.0	-0.4		%
デューティ・サイクル制御						
Minimum GATE On-Time				190		ns
Maximum Duty Cycle	$V_{IN} = 12\text{V}$	●	75	78	82	%
RDVIN Pin Input Current		●	19.7	20.0	20.3	μA
Duty Control Transconductance (Note 6) ($\Delta I_{DFILT}/\Delta V_{SET}$)	$V_{SET} = 1\text{V}$		22.5	25.0	27.5	$\mu\text{A}/\text{V}$
Duty Mode Control Gain (Notes 6, 7), Gain = V_{IN}/V_{SET} at $I_{DFILT} = 0\mu\text{A}$	$V_{SET} = 0.5\text{V}$ to 6V	●	11.76	12.00	12.24	V/V
Duty Cycle Foldback, Foldback = Duty at $V_{SS} = 1.15\text{V}/\text{Duty}$ (Nom)	$SS = 1.15\text{V}$			0.14		%/%
エラーアンプ						
FBX Error Amp Reference Voltage	FBX > 0V FBX < 0V	● ●	1.568 -0.820	1.600 -0.800	1.632 -0.780	V V
FBX Overvoltage Threshold	FBX > 0V FBX < 0V		6 5.5	7.5 7.5	9 10	% %

LT8310

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。
注記がない限り、 $V_{IN} = 24\text{V}$ 、 $UVLO = 24\text{V}$ 、 $OVLO = 0\text{V}$ 、 $SYNC = 0\text{V}$ 、 $SENSE = 0\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Feedback Mode Threshold Voltage (Below = Duty Mode/Above = Current Mode)	FBX > 0V	0.2	0.3	0.4	V
	FBX < 0V	-0.3	-0.2	-0.13	V
Feedback Mode Threshold Hysteresis	FBX > 0V		20		mV
	FBX < 0V		20		mV
FBX Pin Input Current	FBX = 1.6V		70	100	nA
	FBX = -0.8V	-100	0	100	nA
Transconductance ($\Delta I_{VC}/\Delta V_{FBX}$)			250		$\mu\text{A/V}$
V_C Source Current	$V_{FBX} = 0\text{V}$, $V_{VC} = 1.3\text{V}$		-14		μA
V_C Sink Current	$V_{FBX} = 1.7\text{V}$, $V_{VC} = 1.3\text{V}$		13		μA
	$V_{FBX} = -0.85\text{V}$, $V_{VC} = 1.3\text{V}$		11		μA
V_C Pin Output Impedance			3.3		$\text{M}\Omega$
V_C Pin Current Mode Gain			5		V/V

ゲート・ドライバ

GATE Rise Time	$C_{GATE} = 3.3\text{nF}$		30		ns
GATE Fall Time	$C_{GATE} = 3.3\text{nF}$		27		ns
GATE Low Voltage				0.05	V
GATE High Voltage		$INTV_{CC}$ -0.05			V

電流検出

SENSE Pin Maximum Current Threshold		●	115	125	135	mV
SENSE Pin Input Current				-200		μA

発振器

Switching Frequency	$R_T = 100\text{k}$ to GND, $V_{SS} \geq 2.9\text{V}$	●	95	100	105	kHz
	$R_T = 33.2\text{k}$ to GND, $V_{SS} \geq 2.9\text{V}$	●	285	300	315	kHz
	$R_T = 20\text{k}$ to GND, $V_{SS} \geq 2.9\text{V}$	●	475	500	525	kHz
Switching Frequency Line Regulation	$V_{IN} = 6\text{V}$ to 100V			0.01		%
RT Pin Voltage	$V_{SS} = 3\text{V}$		0.8	1.0	1.3	V
Frequency Foldback Foldback = (f_{OSC} at $V_{SS} = 1.15\text{V}$)/ $f_{OSC(NOM)}$	$V_{SS} = 1.15\text{V}$		0.15	0.20	0.25	Hz/Hz
SYNC Pin Input High Threshold Voltage		●			2.00	V
SYNC Pin Input Low Threshold Voltage		●	1.00			V
SYNC Pin Input Resistance	SYNC = 2V			200		$\text{k}\Omega$
SYNC Frequency Operating Range	$R_T = 33.2\text{k}$	●	260		400	kHz
Minimum SYNC High Setup Time	$f_{SW} = 400\text{kHz}$	●			250	ns
Minimum SYNC Low Hold Time	$f_{SW} = 400\text{kHz}$	●			250	ns

SOUTドライバ

SOUT Rise Time	$C_{SOUT} = 1\text{nF}$			20		ns
SOUT Fall Time	$C_{SOUT} = 1\text{nF}$			25		ns
SOUT Low Voltage					0.05	V
SOUT High Voltage		$INTV_{CC}$ -0.05				V

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。
 注記がない限り、 $V_{IN} = 24\text{V}$ 、 $UVLO = 24\text{V}$ 、 $OVLO = 0\text{V}$ 、 $SYNC = 0\text{V}$ 、 $SENSE = 0\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SOUT-to-GATE Delay (t_{PRE})	SOUT Falling to GATE Rising (Note 8)	●	190	240	300	ns
GATE-to-SOUT Delay (t_{POST})	GATE Falling to SOUT Rising (Note 8)	●	0	12	25	ns

ソフトスタート

SS Active Switching Level (GATE Switches)			0.95	1.00	1.05	V
SS Frequency Foldback Complete	f_{OSC} within Specified Limits	●			2.5	V
SS Pin Current (Note 8)	Soft-Up	●	-60	-50	-40	μA
	Slow Wake	●	-6	-5	-4	μA
	Hard-Down, $V_{SS} = 0.4\text{V}$			6		mA
SS Reset Threshold Voltage				0.27		V

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 全ての電圧値は(注記がない限り)GNDを基準にしている。注記がない限り、全てのピンの電流は、ピンに向かう方向を正として定義される。

Note 3: GATEピンまたはSOUTピンには正または負の電圧源または電流源を印加してはならない。印加すると、永続的な損傷が生じる場合がある。

Note 4: LT8310Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT8310Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作接合部温度範囲で動作することが保証されている。LT8310Hは $-40^\circ\text{C} \sim 150^\circ\text{C}$ の全動作接合部温度範囲で動作することが保証されている。LT8310MPは $-55^\circ\text{C} \sim 150^\circ\text{C}$ の全動作接合部温度範囲で動作することが保証されている。125°Cを超える接合部温度では動作寿命が短くなる。

Note 5: LT8310には、短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。過熱保護がアクティブなとき、接合部温度は最大動作接合部温度を超える。規定された最大接合部温度を超えた状態で動作が継続すると、デバイスの信頼性を損なう恐れがある。

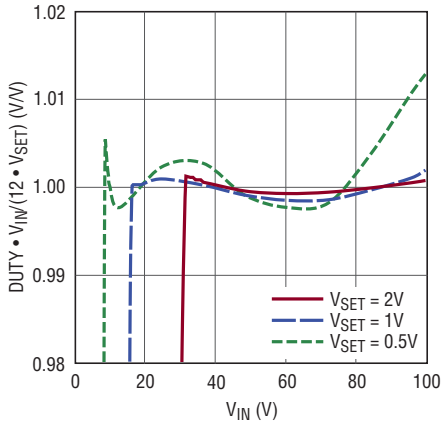
Note 6: $V_{SET} = V_{INTVCC} - V_{RDVIN}$ 。

Note 7: デューティ・モード制御アプリケーションでの入力レギュレーションは、RDVINピンの入力電流、デューティ・モード制御の利得、および外付け設定抵抗 R_{SET} の精度によって制約される。 R_{SET} には、1%以内の精度の抵抗を指定する必要がある。

Note 8: 「タイミング図」のセクションを参照してください。

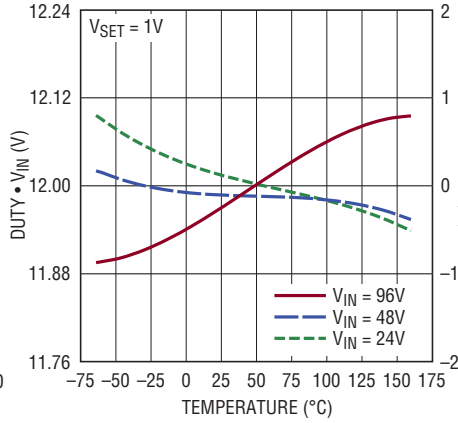
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

デューティ・ V_{IN}
入力レギュレーション(正規化)



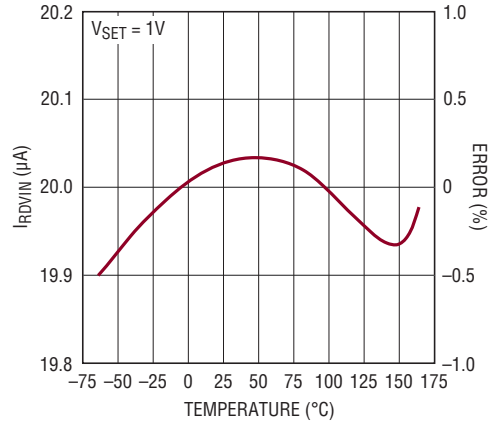
8310 G01

デューティ・ V_{IN} 温度レギュレーション



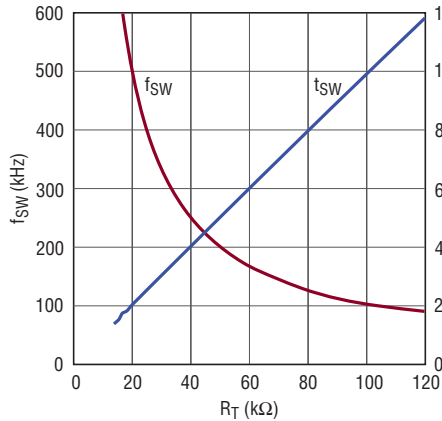
8310 G02

デューティ設定電流と温度



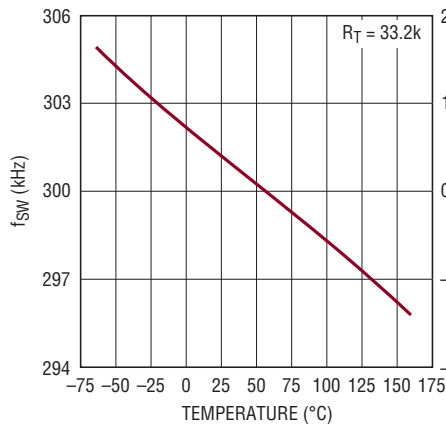
8310 G03

スイッチング周波数および
(周期)とプログラミング抵抗



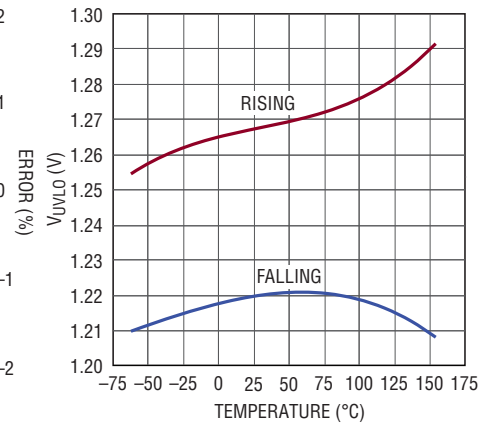
8310 G04

スイッチング周波数と温度



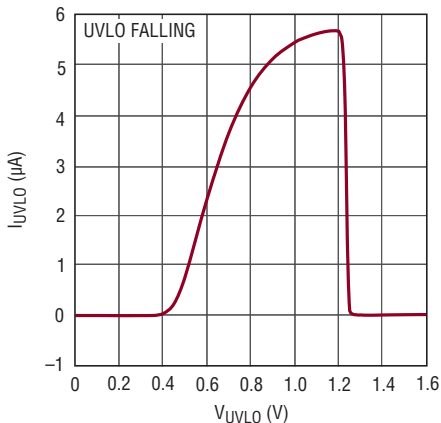
8310 G05

UVLOしきい値と温度



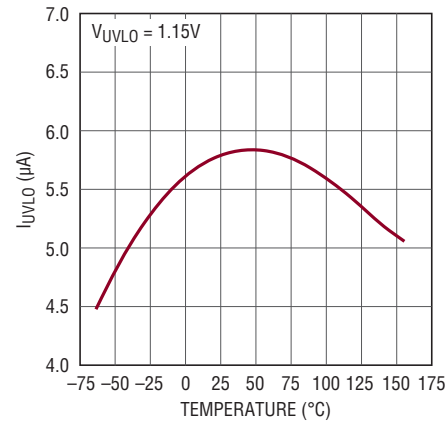
8310 G06

UVLOのヒステリシス電流と
UVLO電圧



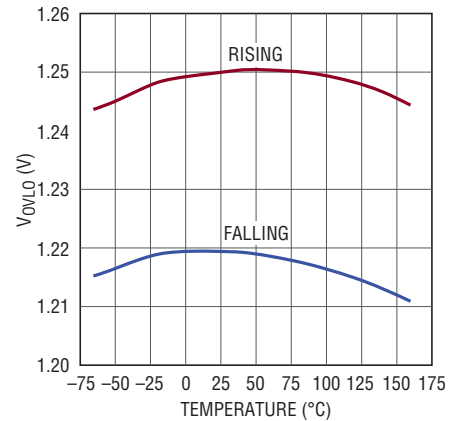
8310 G07

UVLOのヒステリシス電流と温度



8310 G08

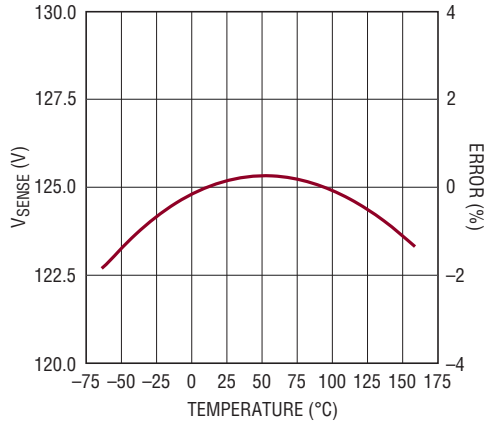
UVLOのしきい値電圧と温度



8310 G09

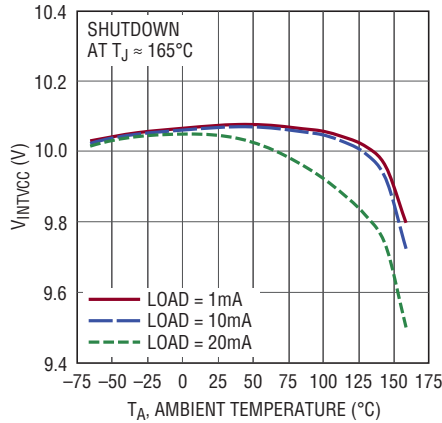
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

SENSEの過電流しきい値電圧と温度



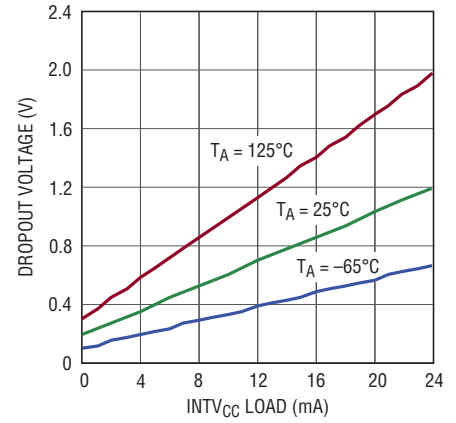
8310 G10

INTV_{CC}の電圧と温度および負荷電流



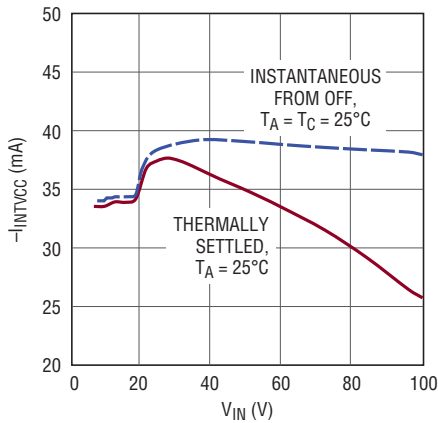
8310 G11

INTV_{CC}のドロップアウト電圧と負荷電流、温度



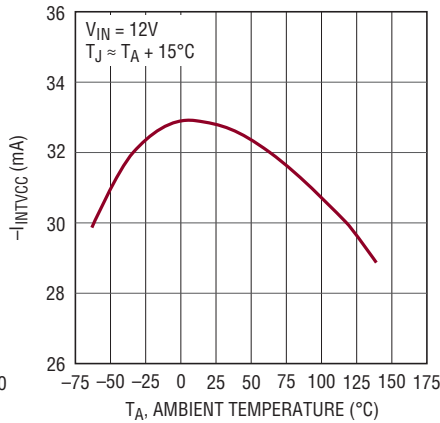
8310 G12

INTV_{CC}の電流制限と入力電圧



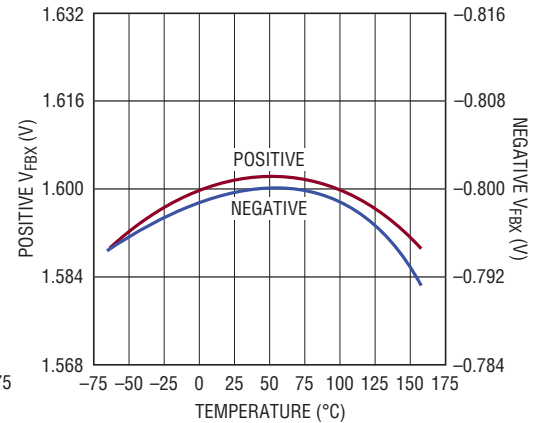
8310 G13

INTV_{CC}の電流制限と温度



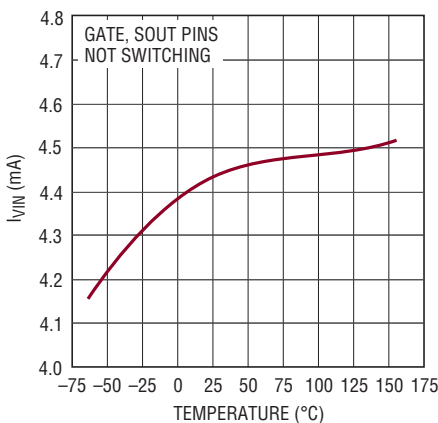
8310 G14

FBXのレギュレーション電圧と温度



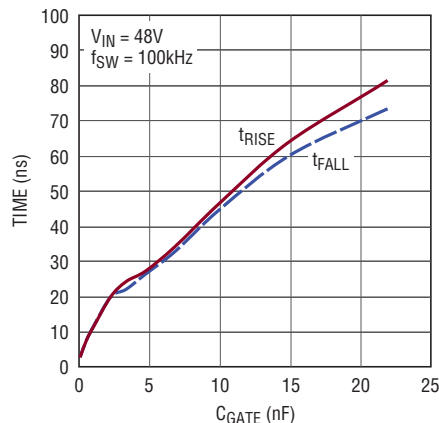
8310 G15

V_{IN}の静止電流と温度



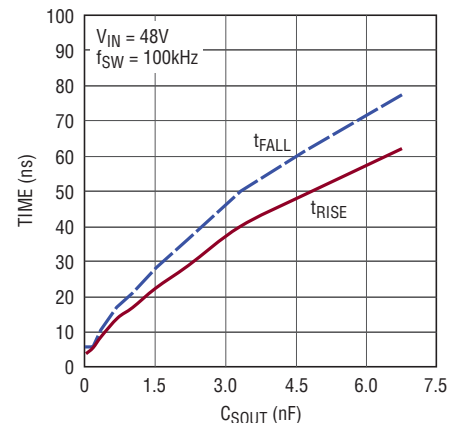
8310 G16

GATEドライバの遷移時間と容量



8310 G17

SOUTドライバの遷移時間と容量

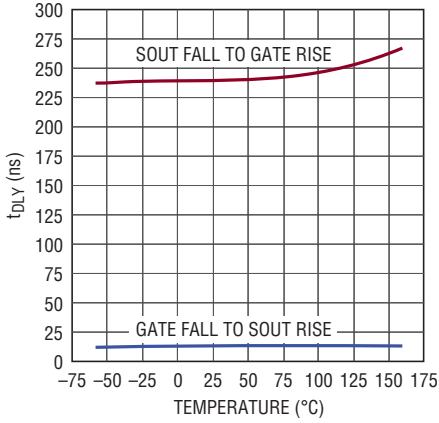


8310 G18

LT8310

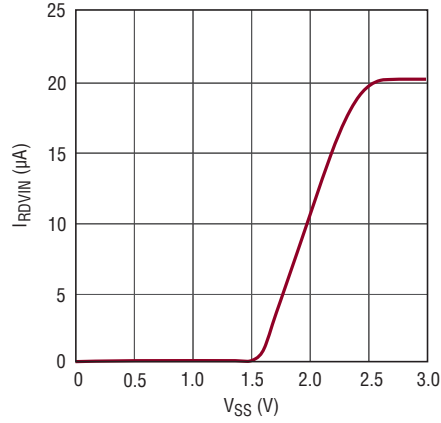
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

ドライバの非重複遅延と温度



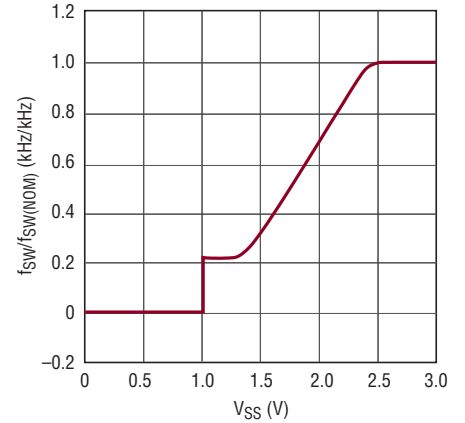
8310 G19

設定電流とソフトスタート電圧



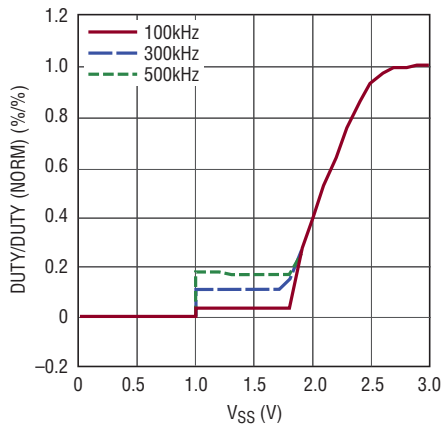
8310 G20

スイッチング周波数(正規化)とソフトスタート電圧



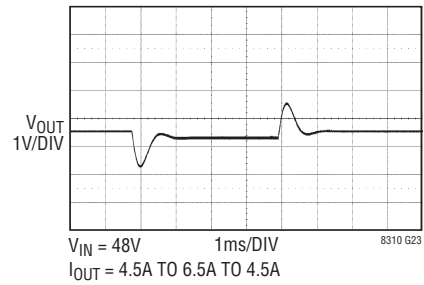
8310 G21

GATEのデューティ・サイクル(正規化)とソフトスタート電圧



8310 G22

出力電圧トランジェント応答(1ページと31ページの「標準的応用例」)



$V_{IN} = 48\text{V}$
 $I_{OUT} = 4.5\text{A TO } 6.5\text{A TO } 4.5\text{A}$

8310 G23

ピン機能

UVLO (ピン1) : システムの低電圧ロックアウト入力。このピンと V_{IN} の間に抵抗分割器を接続して、システムの下降時 UVLO しきい値 (最小 V_{IN} 電圧) を設定します。このピンの電圧は、内部で高精度の 1.22V しきい値と比較されます。このピンの 5.7 μ のヒステリシス電流と外付け抵抗の値によって、システムの上昇時 UVLO ヒステリシスを設定します。UVLO しきい値を下回るとデバイスがシャットダウンし、 $V_{UVLO} \leq 0.36V$ (最小) の場合、 V_{IN} から 1 μA 以下の電流が流れます。UVLO ピンは、最大 100V に耐えることができます。

OVLO (ピン3) : システムの過電圧ロックアウト入力。このピンと V_{IN} の間に抵抗分割器を接続して、システムの上昇時 OVLO しきい値 (最大 V_{IN} 電圧) を設定します。このピンの電圧は、内部で高精度の 1.25V しきい値と比較されます。OVLO しきい値を超えるとフォルト・ラッチが設定され、システムが強制的にシャットダウンされます。

DFILT (ピン5) : デューティ・サイクル・ループ・フィルタ・ピン。デューティ・モード・アプリケーションと電流モード・アプリケーションの両方で、このピンと GND の間にコンデンサを接続してデューティ・サイクル・ループ・フィルタのポールを設定します。デューティ・モード制御アプリケーションで負荷ステップのリングングを抑えるコンデンサ値を選択するには、「アプリケーション情報」のセクションを参照してください。このピンをフロート状態にしないでください。コンデンサが必要です。

RT (ピン6) : スイッチング周期設定入力。このピンと GND の間に抵抗を接続して、発振器のスイッチング周期 (周波数) を設定します。通常、20k \sim 100k の抵抗を使用して 2 $\mu s \sim$ 10 μs (500kHz \sim 100kHz) に設定します。外部クロックが SYNC ピンを駆動するアプリケーションでは、スイッチング周期を予想される SYNC 周波数の値に設定します。抵抗をこのピンの近くに配置して、浮遊容量を最小限に抑えます。RT ピンは開放のままにしないでください。

SYNC (ピン7) : 外部クロックの入力。固定周波数の外部クロック信号を使用してこのピンを駆動すると、スイッチングがそのクロック信号に同期します。SYNC の立ち下がりがエッジが自動的に検出されてパルスに変換され、デューティ・サイクルの最小オフ時間が開始されます。SYNC パルスの“L”時間と“H”時間は、両方とも 250ns 以上である必要があります。最大デューティ・サイクル制限を正確に保つために、内部スイッチ周波数を外部 SYNC 周波数に設定する R_T 抵抗を選択します。 V_{SS} が 1V 未満である場合、SYNC ピンは無視されます。

SS (ピン8) : ソフトスタート入力。外付けコンデンサを SS と GND の間に接続して、起動と一時中断のタイミングを設定します。通常のソフトスタート時に、このピンは 50 μA をソースします。フォルト発生時および初期起動時に、このピンは 6mA (標準) のシンク電流によって 0.27V (標準) に放電されます。GATE ピンは、 V_{SS} が 1V 以上になるまで遮断されます。過電流シャットダウンの発生後、このピンは、 V_{SS} が 1V 以上になるまで、わずか 5 μA をソースします。これによってウェイクアップ期間が拡張され、起動のリトライが繰り返される間 (一時中断モード) の電力損失を低減します。スイッチング周波数とデューティ・サイクルは、SS が 2.5V を超えるまでフォールドバックします。このピンは、電圧が 1V を超えてから 3V の内部クランプに充電されるまで、50 μA をソースします。

V_C (ピン9) : トランスコンダクタンス・エラーアンプの出力。帰還アプリケーションでは、このピンと GND の間で外付け抵抗と外付けコンデンサを直列に接続して、コンバータのループを補償します。光絶縁型帰還アプリケーションでは、通常、補償は 2 次側で行われます (「アプリケーション情報」のセクションを参照)。出力電圧帰還のないデューティ・モード制御アプリケーションでは、このピンを未接続のままにします。

FBX (ピン10) : 帰還入力およびモード制御。電圧帰還が必要な非絶縁型アプリケーション用の標準入力です。抵抗分割器を使用して、正出力アプリケーションの場合は 1.6V の内部リファレンスと比較し、負出力アプリケーションの場合は -0.8V の内部リファレンスと比較して、出力電圧を設定します。-0.2V $< V_{FBX} < 0.3V$ である場合、デューティ・モードが GATE ピンを制御します。そうでない場合、FBX が制御された状態であると推定されます。FBX の電圧がリファレンスを 7.5% 超えると、システムのリセットがトリガされることなく、進行中のスイッチング・サイクルが終了します。デューティ・モードのみが必要な場合は、FBX を GND に接続します。

SOUT (ピン11) : 同期出力。2 次側同期整流制御を備えるアプリケーション用のパルス・トランス・ドライバであり、GATE に対して相補的です。SOUT の立ち上がりエッジは GATE のオンよりも 240ns (標準) 先行し、立ち上がりエッジは GATE のオフから 12ns (標準) 遅れます。シャットダウン中は、アクティブに INTV_{CC} に引き下げられます。

NC (ピン12) : 内部接続なし。GND に接続します。

ピン機能

SENSE (ピン13) : スイッチ電流検出入力。低電位側電流検出の正入力であり、制御ループと過電流コンパレータに接続されています。このピンは、NチャネルMOSFETスイッチのソースで検出抵抗にケルビン接続します。このピンの電圧が125mVを超えると、過電流フォルトがトリガされ、システムが高速シャットダウン、低速ウェイクアップ、およびソフトスタートに移行します。

GATE (ピン14) : スイッチ制御出力。外付けNチャネルMOSFET用の低電位側スイッチ駆動(GNDからINTV_{CC}へ)。共振リセット型フォワード・コンバータがトランスの磁束をリセットするための時間を必要とするため、最大デューティ・サイクルは、78% (標準) に制限されます。シャットダウン中は、アクティブにGNDに引き下げられます。

INTV_{CC} (ピン15) : 電源の安定化出力。V_{IN}から生成される10V LDO電源であり、GATEピンに給電できます。4.7μF以上のコンデンサを使用してバイパスする必要があります。レギュレータの電圧は、V_{IN} ≥ V_{INTVCC}である限り、外部で最大17Vに駆動できます。これによって、V_{IN}から供給される電力の内部損失が減少し、高電圧NチャネルMOSFET用の10Vを超えるゲート駆動にも対応できます。

RDVIN (ピン16) : デューティ・サイクル制御入力。このピンは、通常動作では、高精度の20μAの電流をシンクします。ただし、ソフトスタート時にデューティ・サイクルがフォールドバックした場合、このシンク電流は減少します。(オプトカプラ不要の)アプリケーションの目的の出力電圧を設定するには、INTV_{CC}ピンとRDVINピンの間に抵抗R_{SET}を接続します。

$$R_{SET} = \left(\frac{N_p}{N_s} \right) \cdot \left(\frac{V_{OUT}}{12} \right) / 20\mu A$$

この抵抗値の精度は出力電圧の精度に直接影響します。そのため、適切な許容誤差を持つ抵抗を選択してください。電流モード・アプリケーションでは、帰還によってV_{OUT}が設定されます。そのため、過渡時のトランスの磁束のボルト秒を制約する最大デューティ・サイクル・ガードレールを設定するには、R_{SET}を設定します。このピンは、抵抗を介してINTV_{CC}に接続する必要があります。

V_{IN} (ピン18) : 電源入力およびシステム入力電圧検出。デバイスの入力電源です。6V ~ 100Vの範囲で動作できます。高精度のデューティ・サイクルを実現するには、V_{IN}電圧を正確に検出する必要があります。そのため、トランスの1次側への接続を短くして、抵抗による電圧降下を最小限に抑えます。1μFのコンデンサを使用してGNDにバイパスします。

NC (ピン20) : 内部接続なし。V_{IN}に接続します。

GND (露出パッド・ピン21) : グランド。また、このピンは電流検出抵抗の負端子を検出します。この露出パッドは、直接グランド・プレーンに半田付けしてください。

ブロック図

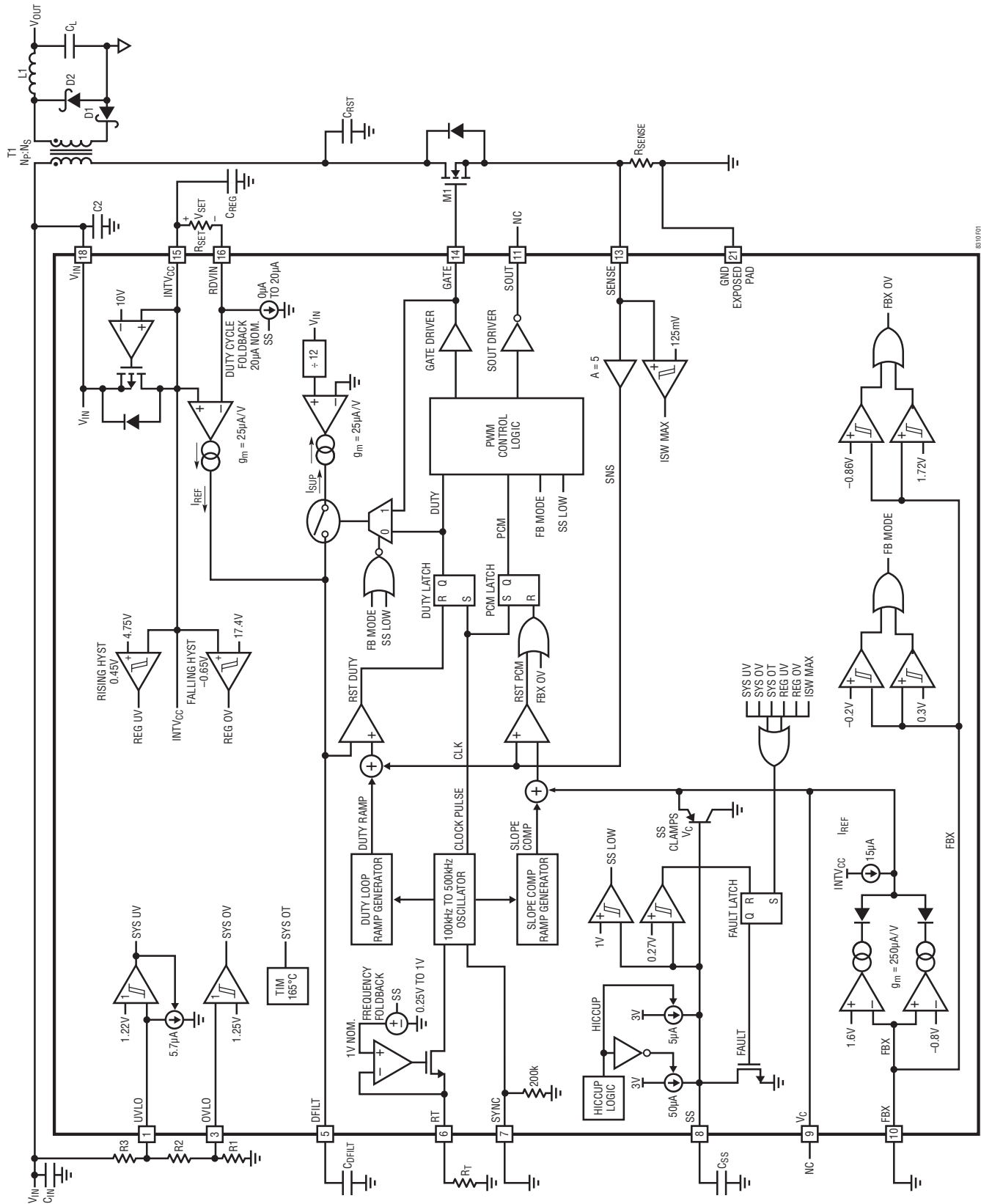
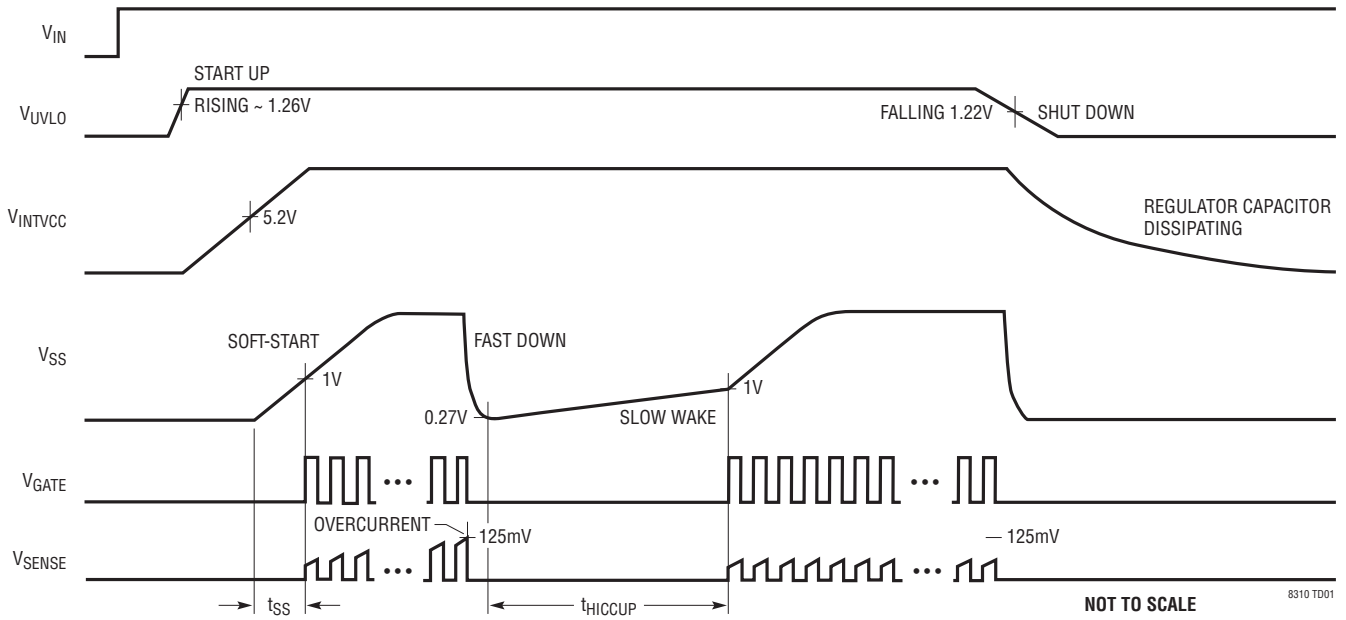


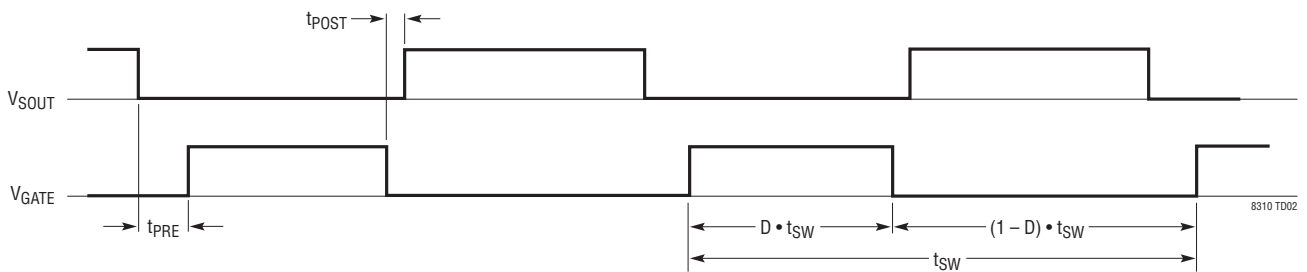
図 1. 非同期整流式デュエーティ・モード・コンバータとして構成された LT8310 のブロック図

タイミング図

起動/ソフトスタート/フォルト/シャットダウン/再起動



重複しないGATE/SOUT



動作

はじめに

LT8310は、低電位側NチャネルMOSFETゲート・ドライバと低電位側スイッチ電流検出機能を備える定周波数フォワード・コンバータ・コントローラです。デューティ・モード制御およびピーク電流モード制御という2つの動作モードを提供します。出力電圧帰還が不要なデューティ・モード制御は、絶縁型デューティ・モード制御アプリケーションを対象にしており(ただし、これに限定されません)、回路図の簡略化、部品数の低減、ただ1つの絶縁素子(トランス)を実現します。電流モード制御アプリケーションでは、帰還によって出力電流が決まります。一方、デューティ制御ループは、過渡時のトランスの飽和を防ぐために、コア磁束のボルト秒をクランプする相対的の最大デューティ・サイクルを設定します。LT8310は、常に、各スイッチング周期でコアをリセットする時間を提供する絶対最大デューティ・サイクルも設定します。特許出願中のアーキテクチャを備えるLT8310のデューティ制御ループは、入力電圧の全期間にわたって高精度なボルト秒を設定し、それによって帰還のない高精度な出力電圧とトランスの飽和からの保護を実現します。

デューティ・モード制御

デューティ・モード制御ループは、システム入力電圧に反比例するPWMデューティ・サイクル($D(V_{IN}) \propto 1/V_{IN}$)を設定します。これは、入力電圧に関わらず一定の出力を生成する降圧(または降圧派生型)コンバータにとって適切な関数になります。スケールリング定数 K_D が与えられた場合、次式が得られます。

$$D(V_{IN}) = \frac{K_D [V]}{V_{IN}} \quad [1]$$

巻数比 N_P/N_S のトランスを備えるフォワード・コンバータの場合、次式が得られます。

$$V_{OUT} = \frac{D(V_{IN}) \cdot V_{IN}}{N_P / N_S} = \frac{K_D}{N_P / N_S} \quad [2]$$

以下の説明では、図1のブロック図を参照すると役立ちます。帰還ピン(FBX)をGNDに接続すると、デューティ・モード制御が動作を制御します。電流モード制御が動作を制御している場合は、帰還が存在するためにデューティ・モード制御が正確なボルト秒クランプとして機能します。システム・クロックは、GATEピンを“H”に駆動して外付けMOSFETスイッチを閉じることによって、PWMデューティ・サイクルを開始し、デューティ・ループ・ランプ発生器でのタイミング・ランプを起動します。GATEが“H”である間、DFILTピンとGNDの間に接続されたコンデンサ(C_{DFILT})から V_{IN} に比例する電流が放電されます。このコンデンサは、GATEが“L”に引き下げられると、固定電流によって充電されます。スイッチ電流帰還を加えたランプ電圧がDFILTの電圧を超えると、デューティ・サイクルが終了します。この時点でGATEの電圧が低下し、次の周期が開始されるまで1次側スイッチを遮断します。

メイン・スイッチの状態(GATEピンの電圧によって示されるオンまたはオフ)は、DFILTピンでの電流のソースとシンクを制御します。INTV_{CC}ピンとRDVINピンの間で加えられる電圧 V_{SET} は、内部リファレンス電流(I_{REF})を設定します。スイッチ・オン時間($D \cdot t_{SW}$)の間、リファレンス電流から、システムの入力電圧 V_{IN} (V_{IN} 電源ピンで検出される)に比例する電流を差し引いた電流が、DFILTで駆動されます。スイッチ・オフ時間($(1-D) \cdot t_{SW}$)の間、リファレンス電流のみが駆動されます。DFILTとGNDの間に接続された外付けコンデンサ(C_{DFILT})は、電流を積分します。十分な負荷が存在する定常状態動作では、帰還ループが正味サイクル電流を強制的にゼロにします。これによって、 V_{IN} に反比例し(式3)、最終的に定出力電圧(式4)を生むデューティ・サイクルが生成されます。INTV_{CC}とRDVINの間の外付け抵抗(R_{SET})およびRDVINでの正確な20 μ Aのシンク電流によって V_{SET} が設定され、 V_{OUT} が設定されます。

$$D = \frac{12 \cdot V_{SET}}{V_{IN}} \quad [3]$$

$$V_{OUT} = \frac{12 \cdot V_{SET}}{N_P / N_S} \quad [4]$$

動作

出力電圧帰還を使用しない場合、2次側LCフィルタが負荷電流ステップに反応して(負荷抵抗と寄生要素に応じて)自由にリングングが生じる可能性があります。デューティ・モード制御ループに供給される1次側スイッチ電流は、このリングングを抑えます。スイッチ・オン時間の間、インダクタ電流がスイッチ電流に変換され、スケール調整されてタイミング・ランプに追加されます。定電流はDFILTの電圧のDCレベルに吸収されてデューティ・サイクルに影響を与えませんが、変化する電流は動的にデューティ・サイクルを調整してリングングを抑えます。DFILTのコンデンサは、発振を検出するために出力LC時定数($\sqrt{L_I \cdot C_L}$)に対して選択されます。このコンデンサの選択については、「デューティ・モード制御ループの補償」のセクションで説明します。

定常状態でのデューティ・モード制御動作では、トランスの磁化電流と出力インダクタ・リップル電流の合計をバランス調整するために、最小負荷が必要になります。詳しくは、「最小負荷の要件」のセクションを参照してください。

電流モード制御

より厳密な出力電圧レギュレーションと速い負荷応答が必要なアプリケーションに対応するために、LT8310は、(光絶縁型または非絶縁型)出力電圧帰還が接続されたときに、標準的な定周波数ピーク電流モード制御を提供します。システム・クロックは、GATEピンを“H”に駆動して外付けMOSFETスイッチを閉じることによって、PWMデューティ・サイクルを開始します。スイッチ電流が外部電流検出抵抗 R_{SENSE} を流れて、スイッチ電流に比例した電圧を発生します。電流検出電圧は、増幅されて安定化スロープ補償ランプに加えられます。それによって得られた合計電圧が制御ピンの電圧(V_C)を超えると、デューティ・サイクルが終了し、メイン・スイッチが開きます。 V_C ピンの電圧レベルは、エラーアンプによって設定されます。このエラーアンプは、リファレンス電圧(設定に応じて1.6Vまたは-0.8V)と帰還ピン(FBX)電圧の間の差を増幅します。このようにして、エラーアンプは正しいピーク・スイッチ電流レベルを設定し、出力を安定化された状態に保ちます。

いくつかのシステム動作と保護機能は、電流モード制御のみに限定されています。負荷が軽い場合、自動的なパルス・スキップによって実質的にスイッチング周期を拡張することができます。これによって、非実用的なほど狭いGATEパルスを使用しなくても、デューティ・サイクルを減少させることができます。あるサイクルの間にFBXピンの過電圧が検出された場合、そのデューティ・サイクルは終了し、GATEの電圧が低下してスイッチがオフになります。これによって、出力電圧を下げるすることができます。電流モード制御が動作を決定している場合は、デューティ・ループ回路が相対的最大デューティ・サイクル・クランプとして機能し、過渡時にトランスで磁束の過剰なボルト秒が発生するのを防ぎ、出力電圧を制限します。この機能では、FBXを接地した場合、システムをデューティ・モード制御に戻すことができます。デューティ・サイクル・クランプのマージンは、ユーザーによって設定できます。

一般的な動作と保護機能

設定可能なソフトスタート・ピン(SS)は、起動時間を制御し、起動時にスイッチング周波数とデューティ・サイクルをフォールドバックしてトランスを保護し、突入電流を制限します。190ns(標準)の最小オン時間は、MOSFETスイッチが確実にオンになるのに十分な時間を保証します。78%の最大デューティ・サイクルは、各サイクルでコアがリセットされる時間を保証します。SYNCピンで外部パルス信号を使用して、LT8310の発振器を無効にし、スイッチング周期を設定することができます。SOUTピンは、GATEと相補的な非重複信号を供給し、同期整流式コンバータ・アプリケーションに使用できます。SOUTピン・ドライバは、GATEピンの約40%の駆動能力を備えており、強制連続モード(FCM)動作の場合の(絶縁型)パルス・トランスの駆動に使用できます。

その他の保護機能は、通常のスイッチング・サイクルを終了させるか、強制的にシステムをシャットダウンしてアプリケーション回路を保護します。最小および最大 V_{IN} 動作しきい値は、UVLOピンおよびOVLOピンでそれぞれ設定されます。設定された制限値の範囲外の電圧が入力されると、システムは

動作

シャットダウンします。INTV_{CC}のレギュレータの電圧が動作範囲外になった場合、およびダイ温度が165°Cを超えた場合にも、シャットダウンが発生します。スイッチの過電流制限しきい値は、SENSEピンで設定されます。最大電流制限に達した場合、フォルト・ラッチが設定されてシステムがシャットダウンします。再起動時に、システムは一時中断モードで動作します。このモードでは、ソフトスタート時間を拡張することによって、リトライが繰り返される間のMOSFETでの平均電力損失を抑えます。

フォワード・コンバータの基礎

フォワード・コンバータは、トランス、1次側PWM制御スイッチ、2次側スイッチ、インダクタ、およびコンデンサで構成される降圧派生型トポロジーです(図3を参照)。2次側スイッチは、非同期整流式(ダイオード)、同期整流式(MOSFET)、またはこれらの組み合わせにすることができます。トランスは、電気的な絶縁を絶縁型アプリケーションに提供します。

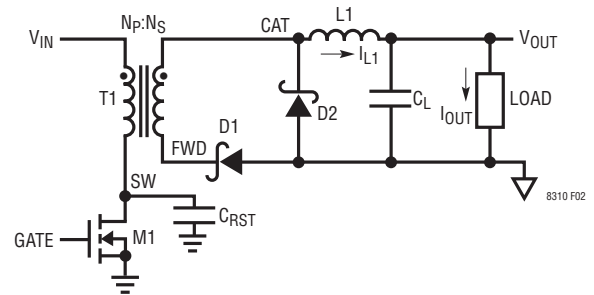


図3. フォワード・コンバータのアーキテクチャ(非同期整流式)

フォワード・コンバータの信号に関する以下の説明では、図2を参照してください。GATE信号が“H”になると、1次巻線で最大入力電圧が発生し、2次巻線電圧の値が巻数比によってスケール調整されます($V_{IN}/(N_P/N_S)$)。この期間、順方向ダイオードD1が導通し、スイッチ・オン時間($D \cdot t_{SW}$)の間、インダクタL1の両端に $V_{IN}/(N_P/N_S) - V_{OUT}$ の電圧を加えます(ダ

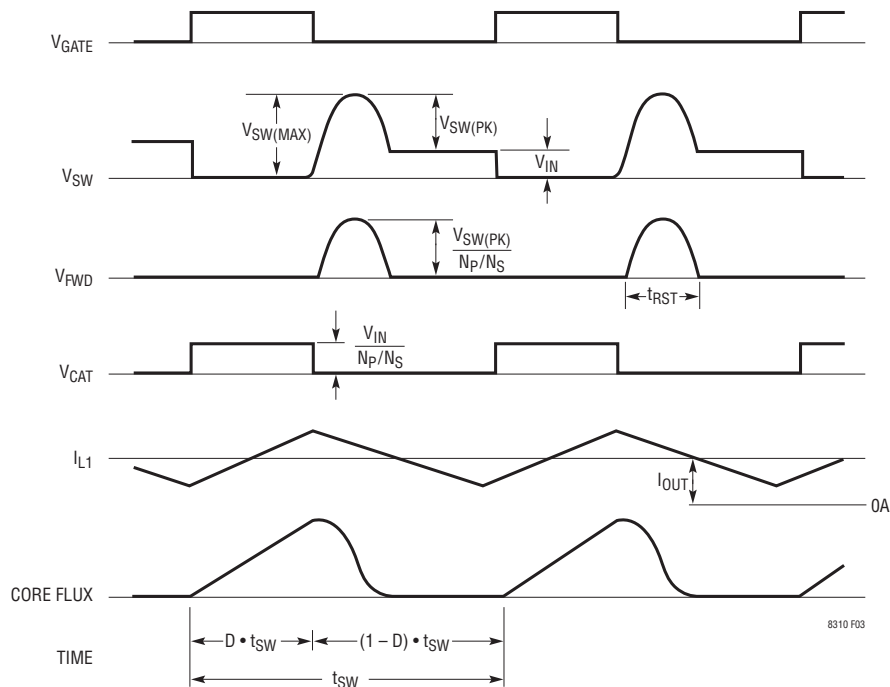


図2. フォワード・コンバータの標準的な信号

動作

イオードの両端の電圧降下は無視)。GATE信号が“L”になると、スイッチがオフになり、1次電流がリセット・コンデンサ C_{RST} を充電するため、1次巻線電圧が低下します。スイッチ・ノード電圧 (V_{SW}) は、過去の V_{IN} と共振し、1次巻線電圧を負にします。2次巻線電圧も負になり、順方向ダイオード $D1$ がオフになり、インダクタ電流がキャッチ・ダイオード $D2$ を流れ、スイッチ・オフ時間 $(1-D) \cdot t_{SW}$ の間、インダクタ $L1$ の両端に電圧 $-V_{OUT}$ を加えます(この場合も、ダイオードの電圧降下は無視)。出力電圧は、定常状態でのインダクタ内のボルト秒のバランス(式5)を考慮して V_{OUT} を求めることによって計算できます。式6は、入力電圧に反比例するようにデューティ・サイクルを設定することによって目的の定出力電圧が生成されるということを明白に示しています。

$$\left(\frac{V_{IN}}{N_p / N_s} - V_{OUT} \right) \cdot D \cdot T_{SW} + (-V_{OUT}) \cdot (1-D) \cdot T_{SW} = 0 \quad [5]$$

$$V_{OUT} = \frac{D \cdot V_{IN}}{N_p / N_s} \quad [6]$$

トランスが飽和しないようにするために、コアの磁束を定期的にリセットする必要があります。LT8310は、スイッチ・ノード SW とグランドの間に接続されたコンデンサ(図2を参照)を使用して、各サイクルで共振リセットを利用します。デューティ・サイクルの終了時にメイン・スイッチがオフになると、 V_{SW} がランプアップして V_{IN} を超えます。これによって2次側電流が遮断され、1次側電流がスイッチング・ノードを充電します。ノード SW は、トランスの電圧と電流が両方ともゼロになるまで、正弦波の1/2の間、共振します。その後、次にスイッチがアクティブになるまで、 V_{SW} と V_{IN} は等しいままになります。次の点に注意してください。(1) 1次スイッチの最大電圧は入力電圧を超えます(入力電圧を著しく上回ることもあります)。(2) 磁束のリセットは、次のサイクルが始まる前に、スイッチ・オフ時間内に完了するのが理想的です。LT8310コントローラは、(特定のスイッチング周波数で) 予測可能な最小オフ時間内でコアをリセットできる、絶対最大デューティ・サイクルを設定します。

アプリケーション情報

INTV_{CC}レギュレータのバイパスと動作

GATEピンとSOUTピンのドライバ、およびデバイスのその他の負荷は、内部安定化電源であるINTV_{CC}ピンから電力を供給されます。内部低ドロップアウト・レギュレータは、安定して動作するため、およびGATEとSOUTの大きなスイッチング電流の電荷を蓄積するために、INTV_{CC}ピンとGNDの間にコンデンサを必要とします。ほとんどのアプリケーションでは、4.7μFのコンデンサが適切です。最高の性能を発揮するため、16V定格で低ESRのX7R型セラミック・コンデンサを選択してください。このコンデンサはLT8310の近くに配置して、INTV_{CC}ピンとデバイスのグラウンドまでの両方の配線長を最短にしてください。シャットダウン時に、INTV_{CC}ピンは、電圧が4.75V未満に低下するまで125μA（標準）の電流をシンクします。

INTV_{CC}出力に内蔵の電流制限回路により、LT8310はデバイス内部で電力を過剰に損失しないよう保護されます。スイッチング用のNチャンネルMOSFETと動作周波数を選択するときに、規定された最小電流制限を考慮する必要があります。Q_Gの小さいMOSFETを慎重に選択することにより、GATEのスイッチング周波数が高くなり、磁気部品の小型化につながります。SOUTピンがMOSFETゲートを駆動する場合、SOUTのスイッチング電流を考慮する必要があります。ただし、SOUTを使用しないかAC結合されたパルス・トランスを駆動する標準的応用例では、GATEのスイッチングが定常状態のレギュレータの負荷を決定するため、SOUTの電流を無視できます。必要なMOSFETゲート・ドライバのスイッチング電流は、式7を用いて計算できます。詳細については、「熱に関する検討事項」のセクションを参照してください。

$$I_{DRIVE} = Q_G \cdot f_{sw} \quad [7]$$

INTV_{CC}の電圧は、V_{IN}が約10.5Vを超えてレギュレーション・ループが閉じるまで、電源電圧を数百ミリボルト下回って追従します。INTV_{CC}ピンには、4.75V（標準）に設定されている固有の低電圧ディスエーブル機能があります。この機能は、外付けMOSFETを完全には導通しないことに起因する過剰な電力損失から保護します。INTV_{CC}ピンの電圧が低電圧しきい値より低くなると、GATEピンの電圧が強制的にGNDになり、SOUTピンの電圧がINTV_{CC}の電圧に追従し、ソフトスタート・ピンの電圧がリセットされます。

レギュレータは、LT8310パッケージ内のスイッチング電力損失を削減するため、または高しきい値のMOSFETスイッチを駆動するために、外部回路からオーバードライブすることができます。オーバードライブされるINTV_{CC}ピンの電圧は、V_{IN}

をバックドライブするのを防ぐために、デバイスの電源電圧よりも低い必要があります。INTV_{CC}ピンは、17.4V（標準）に設定された固有の過電圧しきい値を備えています。このしきい値を超えるとシステムがディスエーブルされて、V_{GS(MAX)} = 20V（一般的な仕様）の定格のMOSFETを保護します。低電圧シャットダウンと同様に、GATEピンの電圧が強制的にGNDになり、SOUTピンの電圧がINTV_{CC}の電圧に追従し、ソフトスタート・ピンがリセットされます。INTV_{CC}をオーバードライブする場合、4.7μF、25Vの定格の低ESRのX7Rコンデンサを推奨します。

システムのターンオンしきい値およびターンオフしきい値の設定

システムの低電圧しきい値と過電圧しきい値は、抵抗分割器をV_{IN}からUVLOとOVLOに接続することによって、それぞれ設定します（図4）。1.22V（公称）の下降時UVLOしきい値によって、最小動作V_{IN}（式8）が正確に設定されます。このしきい値を下回ると、システムが低電力モードに移行します。UVLOピンの電圧が下降時しきい値を下回ると、5.7μA（標準）のプルダウン電流がアクティブになり、最小起動V_{IN}（式9）を設定する上昇時ヒステリシスを提供します。内蔵コンパレータのヒステリシスも、上昇時しきい値に少量の値を付加します。

$$V_{IN(UVLO \text{ FALLING})} = 1.22V \cdot \left(\frac{R3+R2+R1}{R2+R1} \right) \quad [8]$$

$$V_{IN(UVLO \text{ RISING})} = V_{IN(UVLO \text{ FALLING})} + 5.7\mu A \cdot R3 + 40mV \cdot \left(\frac{R3+R2+R1}{R2+R1} \right) \quad [9]$$

1.25V（公称）の上昇時OVLOしきい値によって、最大動作V_{IN}（式10）が正確に設定されます。このしきい値を超えると、システムがスイッチングを停止して、ソフトスタートを待ちます。内蔵コンパレータのヒステリシスは、最大再起動V_{IN}（式11）を設定する下降時ヒステリシスを提供します。

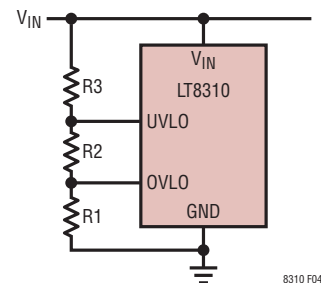


図4. システムのUVLOとOVLOのしきい値を設定するための抵抗の接続

アプリケーション情報

$$V_{IN(OVLO\ RISING)} = 1.25V \cdot \left(\frac{R3+R2+R1}{R1} \right) \quad [10]$$

$$V_{IN(OVLO\ FALLING)} = V_{IN(OVLO\ RISING)} - 33mV \cdot \left(\frac{R3+R2+R1}{R1} \right) \quad [11]$$

最適な抵抗値の選択は、以下のように行います。

1. システムの $V_{IN(UVLO\ FALLING)}$ と $V_{IN(OVLO\ RISING)}$ を選択します。
2. 上昇時ヒステリシス電圧 ($V_{HYST(UVLO\ RISING)}$) を選択し、 $R3 = V_{HYST(UVLO\ RISING)}/5.7\mu A$ を計算します。
3. 式8から、 $R2 + R1$ の和を計算します。
4. 式10から $R1$ を計算し、次に $R2$ を決定します。
5. 実際の抵抗値を使用してしきい値を再確認します。

デューティ・サイクル・ループの出力電圧目標の設定

どのアプリケーションでも、LT8310のデューティ・モード制御ループに出力電圧目標 ($V_{OUT(TARG)}$) を設定する必要があります。コンバータは、出力電圧帰還を使用せず、理想部品を使用してこの電圧を生成します。フォワード・コンバータの場合、この特性は式6で表されます(次式では、目標出力を使用して変形しています)。

$$V_{OUT(TARG)} = \frac{D \cdot V_{IN}}{N_p / N_s} \quad [12]$$

出力電圧目標の設定は、デューティ・サイクル対 V_{IN} の関数のスケール係数 (K_D) を設定し、トランスの巻数比 (N_p/N_s) を選択することによって行います。出力電圧帰還のないアプリケーションでは、目標電圧から全ての電圧降下(ダイオードのしきい値、抵抗損失など)を引いた値の公称出力電圧 (V_{OUT}) が生成されます。オプトカプラを使用するアプリケーションでは、この目標電圧は、帰還によって設定される公称出力電圧に対する上側ガードレール・レベルとして使用され、相対的デューティ・サイクル・クランプのマージンの基準になります。

まず、図5のコア回路図において、トランスの巻数比を検討します。デューティ・モード制御が入力電圧に反比例するようにデューティ・サイクルを設定するため、最大デューティ・サイクルは、最小動作入力電圧で発生します。目標出力電圧と最小入力電圧が与えられた場合、LT8310の75% (最小) の最大デューティ・サイクル制限によって、式13に従って巻数比が制約されます。

$$\frac{N_p}{N_s} < \frac{0.75 \cdot V_{IN(MIN)}}{V_{OUT(TARG)}} \quad [13]$$

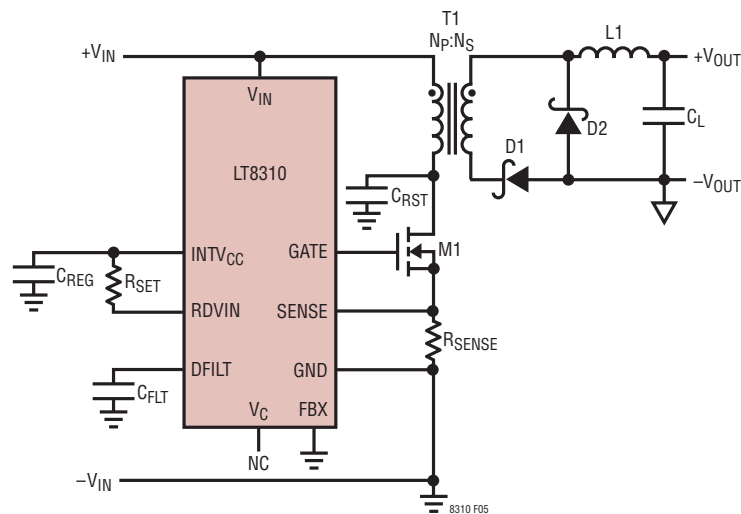


図5. 非同期整流式フォワード・コンバータのコア回路図

アプリケーション情報

巻数比を決定した後に、デューティ・サイクルを検討します。一般に、各スイッチング周期でMOSFETを適切に使用し、各サイクルでのスイッチング損失の影響を抑えるには、最大動作デューティ・サイクルを最大化する必要があります。V_{IN}の全動作範囲でのデューティ・サイクルの実現可能性とマージンについて確認する必要があります。最小入力電圧によって最大デューティ・サイクルが生成されます。最大デューティ・サイクルは、LT8310の最小規定最大デューティ・サイクル制限(75%)を超えてはなりません。最大入力電圧によって最小デューティ・サイクルが生成されます。最小デューティ・サイクルは、GATEの最小パルス幅(f_{SW}・t_{ON(MIN)})のデューティ・サイクルよりも大きい必要があります(式14を参照)。

$$f_{SW} \cdot t_{ON(MIN)} < \frac{V_{OUT(TARG)}}{V_{IN}} \cdot \frac{N_p}{N_s} < 0.75 \quad [14]$$

最後に、デューティ・サイクルのスケールを設定する必要があります。「デューティ・モード制御」セクションの後半で説明したように、INTV_{CC}ピンとRDVINピンの間の電圧差、V_{SET}、および12V/Vの正確な内部利得によって、デューティ・モード・ループのスケール定数(K_D)を設定します。RDVINピンは、1つの抵抗(R_{SET})を使用して電圧差を設定できるようにする、正確な20μAの電流をシンクします。

$$K_D = \frac{12V}{V} \cdot V_{SET} = \frac{12V}{V} \cdot (20\mu A \cdot R_{SET}) \quad [15]$$

式16に基づいて、目的のV_{OUT(TARG)}を実現するように抵抗R_{SET}を選択できます。

$$R_{SET} = \frac{\frac{V_{OUT(TARG)}}{12V/V} \cdot \frac{N_p}{N_s}}{20\mu A} \quad [16]$$

設定抵抗の許容誤差は、目標出力電圧の精度に直接影響します。この許容誤差は、出力電圧帰還を使用しないで動作するコンバータの精度にとって、特に重要になります。そのため、必ず1%以下の許容誤差の抵抗を使用してください。トレース長を最短にして他の信号とのクロスカップリングを防ぐために、R_{SET}をデバイスのRDVINピンおよびINTV_{CC}ピンの近くに配置します。

ソフトスタート時に、RDVINのシンク電流が減少してデューティ・サイクルをフォールドバックすると共に、クロック周波数も減少します。これによって、クロック周期が長くなったときに発生する磁束のポルト秒が制限され、トランスを保護します。外部電流をトリミングまたはマージニングに使用する場合、ソフトスタート時の磁束の状態を慎重に検討してください。

スイッチング周波数の設定

効率と性能または外付け部品のサイズを最適化するために、RT周波数調整ピンを使用して、スイッチング周波数を100kHz～500kHzの範囲で設定できます。周波数の高い動作にすると部品サイズは小さくなりますが、スイッチング損失およびゲート駆動電流が増加し、デューティ・サイクルが十分に高い動作または低い動作ができないことがあります。これによって磁化電流も減少し、デューティ・サイクル・モード制御での最小負荷要件が低減します。周波数を低くすると性能を向上させることができますが、外付け部品のサイズが大きくなります。複数の周波数について、設計式(式17)を満たすR_Tの値を表1に示します。

表1. 一般的なスイッチング周波数に対する抵抗の選択ガイドライン

周波数(f _{sw}) (kHz)	周期(t _{sw}) (μs)	最も近い1%抵抗(R _T) (kΩ)
100	10.0	100
150	6.67	66.5
200	5.00	49.9
250	4.00	40.2
300	3.33	33.2
350	2.86	28.7
400	2.50	24.9
450	2.22	22.1
500	2.00	20.0

$$R_T = \frac{1000kHz}{f_{sw}} \cdot 10k = \frac{t_{sw}}{1\mu s} \cdot 10k \quad [17]$$

隣接するDFILTピンとSYNCピンのトレースを短くして、浮遊結合を最小限に抑えます。RTピンとGNDの間には外付け抵抗が必要です。RTピンは開放のままにしないでください。

電流検出の設定

LT8310は、1次側スイッチ電流検出機能を備えています。この機能は、システムを過剰な負荷電流から保護し、デューティ・モード制御が支配しているときに出力のリングングを抑え、電流モード制御が支配しているときにデューティ・サイクルを設定します。V_{SENSE}が125mV(公称)の最大スイッチ電流しきい値を超えると、システムがシャットダウンし、緩やかなウェイクアップ期間の後に再起動を試みます(「ソフトスタート間隔と一時中断期間の設定」を参照)。出力電圧帰還を使用しないで動作するコンバータ・アプリケーションでは、電流検出情

アプリケーション情報

報がデューティ・サイクル・ループにフィードバックされて、出力LCタンクを励起する負荷電流ステップによる出力電圧のリングングを抑えます。電源アプリケーションでは、増幅されたSENSE電圧がV_Cピンの制御レベルを超えると、各サイクルが終了します。いずれの場合でも、サイクルのオン時間の間、スイッチには、トランスの巻数比でスケール調整されたリップル・インダクタ電流(I_{L1})に、トランスの1次側磁化電流(I_{μ,p})を加えた電流が発生します(式18)。磁化インダクタンスの両端に電圧V_{IN}を加えることによって、約12・V_{SET}・t_{sw}/L_{μ,p}のピーク磁化電流が生成されます。

$$I_{\text{SWITCH}} = \frac{I_{L1}}{N_p/N_s} + I_{\mu,p} \quad [18]$$

SENSEピンとGNDピンの間に接続された抵抗R_{SENSE}は、スイッチ電流を電圧に変換します。この抵抗は、アプリケーションが必要とする(インダクタのリップル電流を含み、SENSEピンの過電流しきい値を超えない)最大スイッチ電流を提供するように選択する必要があります。目安としては、115mVの最小過電流しきい値に対して10%のマージンを許容するようにします。

定常動作時に、平均インダクタ電流は負荷電流に等しくなります。最小負荷を必要とするデューティ・モード制御下にあるアプリケーションでは、インダクタ・リップルが小さいということは、最小負荷電流が低いということです。そのため、ピーク・インダクタ電流は、最大負荷電流を最大で10%超える可能性があります。出力電圧のリングングの減衰動作は、強力な平均電流信号を使用した場合に最適になります。そのため、SENSEピンのしきい値が許容する最大のR_{SENSE}を選択します。最小SENSEしきい値を考慮した場合の適切なR_{SENSE}の値は、式19で与えられます。

$$R_{\text{SENSE}} \leq \frac{115\text{mV}}{1.1 \cdot I_{\text{SWITCH}(\text{MAX})}} \quad [19]$$

出力電圧帰還を使用するアプリケーションでは、電流モード制御は、リップルに対して急勾配で最も素早く動作します。そのため、ピーク・インダクタ電流は、平均負荷電流よりも20%以上大きくなる可能性があります。最小SENSEしきい値を考慮した場合の適切なR_{SENSE}の値は、式20で与えられます。

$$R_{\text{SENSE}} \leq \frac{115\text{mV}}{1.4 \cdot I_{\text{SWITCH}(\text{MAX})}} \quad [20]$$

検出抵抗の選択によってSENSEピンでの過電流制限しきい値に余裕が生じるように、アプリケーションでのピーク・インダクタ電流を確認しておくのが賢明です。R_{SENSE}はNチャンネルMOSFETのソースおよびLT8310のGNDの近くに配置してください。LT8310のSENSE入力は、R_{SENSE}の正端子にケルビン接続してください。抵抗で消費される電力を確認して、最大定格を超えないようにしてください。

ソフトスタート間隔と一時中断期間の設定

内蔵のソフトスタート回路により、起動時の突入電流スパイクおよび出力電圧のオーバーシュートが大幅に減少します。ソフトスタートの動作に関する以下の説明については、図6と「タイミング図」のセクションを参照してください。ソフトスタート間隔は、SSピンからGNDに接続したコンデンサによって設定されます。通常の起動では、INTV_{CC}の電圧が約5.2Vの上昇時しきい値を超えた後に、SSピンが50μA(標準)の電流をソースし、コンデンサの電圧をランプアップします。1.00Vのスイッチングしきい値を超えると(EN_GATEが“H”)、スイッチングが開始されます。

SSピンが完全に放電された状態から開始されると仮定すると、ソフトスタート時間(t_{SS})は、式21を使用してC_{SS}を選択することによって設定できます。100nFのソフトスタート・コンデンサによって2msの遅延が発生します。この遅延は、多くのアプリケーションに適しています。

$$C_{\text{SS}} = 50\text{nF} \cdot \frac{t_{\text{SS}}[\text{ms}]}{1\text{ms}} \quad [21]$$

次のいずれかの条件の下でフォルト・ラッチが設定されると、SSピンの電圧が放電されます。UVLOピンの電圧がしきい値を下回る(SYS_UVが“H”)、OVLOピンの電圧がしきい値を超える(SYS_OVが“H”)、ダイ温度が165°Cを超える(SYS_OTが“H”)、INTV_{CC}の電圧が動作範囲外になる(REG_UVまたはREG_OVが“H”)、スイッチ電流が大きすぎるため、SENSEピンの電圧が最大しきい値を超える(ISW_MAXが“H”)。フォルト状態が終了してV_{SS}が0.27V未満になるとフォルト・ラッチがクリアされ、SSの電圧が1Vのしきい値を超えて上昇したときに再起動が引き起こされます。

アプリケーション情報

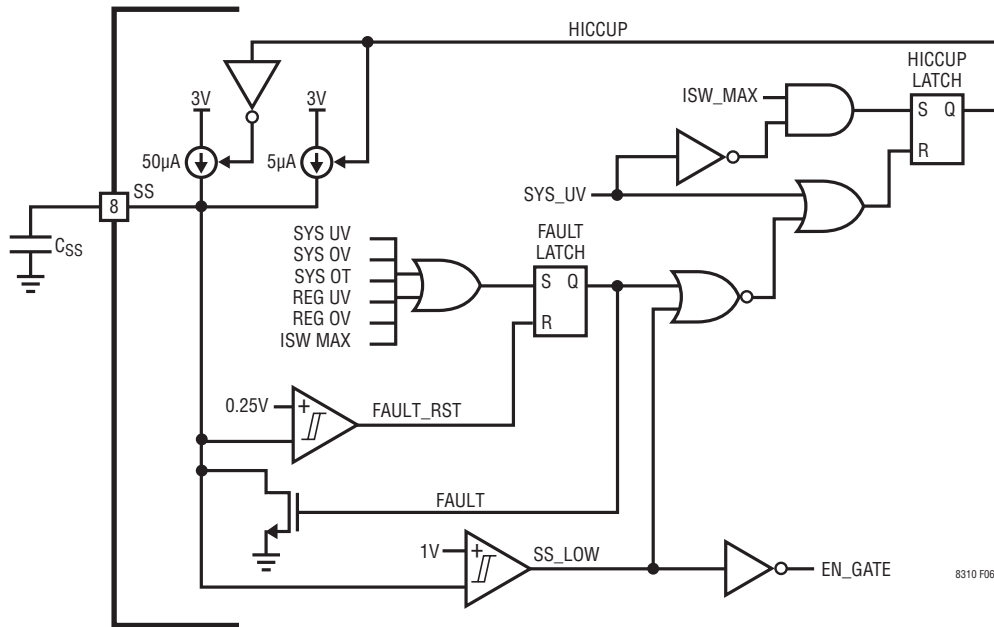


図6. ソフトスタート制御ロジック

最大スイッチ電流を超えると、一時中断ラッチが設定されます。一時中断ラッチは、プルアップ電流を5µA（標準）に低下させることによってソフトスタート時間を拡張します。フォルト・ラッチがリセットされると、緩やかなウェイクアップ時間によって過電流状態でのリトライの頻度が少なく抑えられ、電力損失を低減します。V_{SS}が1.00Vを超えると一時中断モードが終了し、一時中断ラッチがクリアされます。その後、プルアップ電流が50µAに戻ります。実用目的の場合、一時中断間隔をソフトスタート時間の約8倍にします(式22)。

$$t_{\text{HICCUP}} \approx 8 \cdot t_{\text{SS}}$$

デューティ・モード制御ループの補償

出力電圧帰還を使用しないアプリケーションでは、出力電圧のリングングが限りなく低いのが望ましい応答です。出力電圧帰還が存在する電流モード・アプリケーションでは(絶縁型であろうとなかろうと)、出力帰還が機能しない場合、このセクションの設定によって制御された動作を保証します。

最適な結果を得るには、出力フィルタのLCタンクの共振に関してデューティ・モード制御ループ補償を設定します。これによって、デューティ・モード制御アプリケーションでは、負荷電流ステップに起因する出力電圧リングングを最小限に抑えることができ、電源コンバータでは、最適なボルト秒ガードレールを備えることができます。デューティ制御トランスコンダクタ

ンス(公称で $g_{m(\text{DFILT})} = 25\mu\text{A/V}$)と外付け補償コンデンサ C_{DFILT} によってデューティ制御ループ時定数を定義し、出力インダクタンス L_1 とコンデンサ C_L によって出力共振時定数を定義します。

$$\tau_{\text{DFILT}} = \frac{C_{\text{DFILT}}}{g_{m(\text{DFILT})}} \quad [23]$$

$$\tau_{\text{LC}} = \sqrt{L_1 \cdot C_L} \quad [24]$$

式25に示すように、ループ時定数がトランスの巻数比にLC共振を掛けた値の約2倍であるときに、出力リングングが適切に減衰します。リングングをさらに低下させて応答を遅くする場合は、 C_{DFILT} を増やします。リングングの低下を少なくして応答を速くする場合は、 C_{DFILT} を増やします。

$$C_{\text{DFILT}} = 2 \cdot \frac{N_p}{N_s} \cdot 25 \frac{\mu\text{A}}{\text{V}} \cdot \sqrt{L_1 \cdot C_L} \quad [25]$$

まれに、出力電圧リングングの低減よりも、極めて速いデューティ・モード制御ループ応答の方に大きいメリットがあるアプリケーション(例えば、急激な負荷電流ステップよりも、急激な入力電圧ステップの方が頻繁に発生するアプリケーション)では、LCタンクの自然な周期とは独立してループを高速化するために、小さい補償コンデンサを選択できます。

アプリケーション情報

直接配線された電流モード制御ループの補償

出力電圧帰還をFBXピンに直接配線すると、LT8310は電流モード制御を使用して出力を安定化します。LT8310の電流モード帰還ループを補償するには、通常は直列RCネットワークをV_CピンからGNDに接続します(図7)。

ほとんどのアプリケーションには、1nF～22nFの範囲内のコンデンサ(C_C)が適しています(標準値は4.7nF)。抵抗(R_Z)の値は、10k～50kの範囲内に収まる必要があります(標準値は20k)。出力電圧、出力容量(C_L)、補償容量(C_C)、検出抵抗(R_{SENSE})、巻数比(N_P/N_S)、および帰還リファレンスの絶対値(|V_{REF}| = 1.6Vまたは0.8V)に基づくR_Zの推定値は、次式で得られます。

$$R_Z = \sqrt{R_{SENSE} \cdot 100k \cdot \frac{C_L}{C_C} \cdot \frac{(N_P/N_S) \cdot V_{OUT}}{|V_{REF}|}} \quad [26]$$

内部エラーアンプを介して出力電圧リップルから生じるV_C電圧リップルを減衰させるために、小さいコンデンサがRC補償ネットワークに並列に接続される場合があります。この並列コンデンサの値は通常10pF～100pFの範囲です。

補償ネットワークを設計する実用的な方法は、標準値のC_C = 4.7nF およびR_Z = 20kから開始して、式26の全ての部品の値が使用できるようになったときに新しいR_Zを計算し、その後、性能が最適化されるように補償ネットワークを調整することです。負荷電流、入力電圧、温度など全ての動作条件にわたって安定性をチェックします。

最小負荷の要件

標準的な電流モード・コンバータでは、コントローラが出力電圧の上昇を検出し、パルススキップ・モードをアクティブにします。パルススキップ・モードでは、出力電流要求が減少するに従って負荷に供給される電力が低下し、負荷がなくなるとメイン・スイッチがオフになります。パルス・スキップを指示する出力電圧検出機能およびV_{IN}に基づいて連続的に動作する制御ループを備えていないLT8310の非同期整流式デューティ・モード制御アプリケーションは、トランスの磁化電流とインダクタのリップル電流を消費するために、定常状態の動作時に最小負荷を必要とします。最小負荷電流を供給しないと、定常状態の出力電圧が増加し、I_{OUT}が0Aのときに最大(V_{IN}/(N_P/N_S))になります。

式27において出力電圧(V_{OUT})が与えられた場合、最小負荷電流は、(1)スイッチング周波数(f_{SW})、(2)巻数比(N_P/N_S)を介して2次側に発生するトランスの1次側磁化インダクタンス(L_μ)、および(3)デューティ・サイクルのオフ時間(1 - D_{MIN})の間のインダクタ(L1)のリップル電流の関数として表されます。

$$I_{OUT(MIN)} = \frac{V_{OUT}}{2 \cdot f_{SW}} \cdot \left(\frac{(N_P/N_S)^2}{L_\mu} + \frac{(1-D_{MIN})}{L1} \right) \quad [27]$$

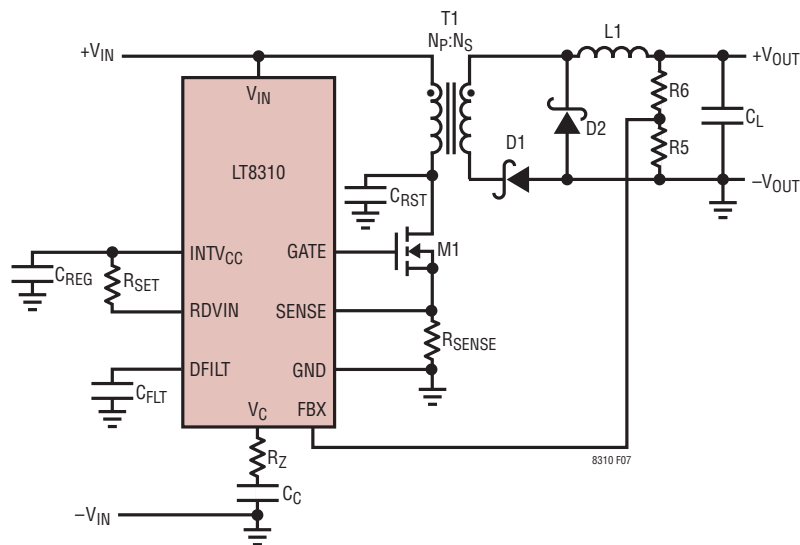


図7. 直接配線された非同期整流式非絶縁型フォワード・コンバータの基本回路図

アプリケーション情報

最小負荷電流は、固定出力電圧が与えられた場合、次の3つの方法で低減することができます。1つ目の方法は、同じトランスと出力インダクタを維持しながら、スイッチング周波数(f_{sw})を増やすことです。高周波数の動作では、周期のうちでスイッチング遷移が大きな割合を占めるため、効率が低下する傾向にあります。自然負荷が軽すぎる場合、効率を低下させる一部の電力転送の損失は、通常、燃焼ダミー負荷電流で消費される電力を上回ります。2つ目の方法は、巻き数を増やしてトランスの磁化インダクタンスを増やし、磁化電流を減らすことです。同じトランス・ファミリのうちで、8:4トランスは2:1トランスよりも大きい磁化インダクタンスを持っていますが、巻き数を増やすということは、巻線抵抗損失が増えるということも意味しています。3つ目の方法は、出力インダクタを増やすことによって、出力リップル電流を直接減らし、最小負荷を低減します。

アプリケーションの自然負荷が十分ではない場合、式28を使用して、特定の出力電圧での最小電流を保証する専用負荷抵抗を選択できます。抵抗 R_{OUT} の定格と種類を選択する場合は、電力損失を考慮してください。

$$R_{OUT} < 2 \cdot f_{sw} \cdot \left(\frac{L_{\mu}}{(N_p / N_s)^2} \parallel \frac{L1}{(1 - D_{MIN})} \right) \quad [28]$$

抵抗損失の問題

部品選択について具体的に説明する前に、電力経路でのDC抵抗に関する一般的な注意点を述べます。デューティ・モード制御アプリケーションの場合、システムでの電圧降下を補償するための電圧帰還が存在しません。電圧降下の要因には、全てのスイッチのオン抵抗、電流検出抵抗、トランスとインダクタのDCRなどがあります。出力電圧の絶対精度と負荷レギュレーションの効果を制御するために、抵抗損失が低くなるように慎重に部品を選択してください。特定のアプリケーションの抵抗損失が推定または測定されると、出力電圧目標を上方に調整でき、補償するための新しい設定抵抗の値を選択できます。「デューティ・サイクル・ループの出力電圧目標の設定」を参照してください。

トランスの選択

トランスの選択の指針になる重要なパラメータには、1次対2次の巻数比、補助巻線の有無とそれらの巻数比、電力定格、動作周波数、磁化インダクタンス、漏れインダクタンス、1次側および2次側のDC巻線抵抗、絶縁電圧定格などがあります。

アプリケーションの入力電圧範囲と出力電圧目標は、1次巻線と2次巻線の間巻数比の選択を左右します(式12を参照)。DC/DC電力トランスの巻数比は、±1%の許容誤差に規定されます。この変動は、出力電圧帰還のないコンバータの精度に直接影響しますが、出力電圧帰還のある回路では、デューティ・サイクルの範囲にのみ影響を与えます。

アプリケーション回路によっては、他の外部デバイスの電源の制限に対応するために、1次側または2次側補助レールが必要になります。LT8310のスイッチング電力損失は、INTV_{CC}レギュレータを外部で3次巻線から駆動することによって低減できます。

ほとんどのメーカーは、DC/DCコンバータのトランスの最大電流とコア磁束制限を規定せず、電力定格、動作周波数範囲、および最小磁化インダクタンスを規定しています。

磁束能力(飽和)は重要ですが、ほとんどのメーカーは電力定格を規定しています。

最小負荷電流を低くするには、小さい磁化電流または大きい磁化インダクタンスを選択します。

いくつかの推奨トランス・メーカーを表2に示します。

表2. 推奨トランス・メーカー

メーカー	Webアドレス
Champs Technologies	www.champs-tech.com
Coilcraft	www.coilcraft.com
Cooper-Coiltronics	www.cooperet.com
Pulse Electronics	www.pulseelectronics.com
Würth-Midcom	www.we-online.com

アプリケーション情報

共振リセット・コンデンサの選択

正弦波の1/2周期が、スイッチで通常発生する最短オフ時間(つまり、 V_{IN} が最低でデューティ・サイクルが最大になるときの)間に完了できるように、リセット・コンデンサのサイズを選択する必要があります。LT8310の78% (標準) /82% (最大)の最大デューティ・サイクル・クランプ(「電気的特性」セクションを参照)は、周期の18%というオフ時間の下限を設定します。最小入力電圧、巻数比、および出力電圧目標は、定常状態の動作時の最大デューティ・サイクル D_{MAX} を決定します。共振リセット時間(t_{RST})は、以下の範囲内に収まる必要があります。

$$0.18 \cdot t_{SW} < t_{RST} < (1 - D_{MAX}) \cdot t_{SW} \quad [29]$$

最大スイッチ・ノード電圧 $V_{SW(MAX)}$ は、入力電圧が最大になるときの共振のピークで発生します。実際の回路では、スイッチ・ノードは、共振する前に V_{IN} を超えてスルーしたり、最初にスパイクしてから高周波数リップルを発生させたり、使用可能なりセット時間が短すぎる場合に共振を完了しないことがあります。これら全てによってピーク電圧が変化します。リセット・コンデンサの電圧定格を選択する場合、式30を使用して最大スイッチ電圧を推定し、その推定値を20%以上増やします。

$$V_{SW(MAX)} = V_{IN(MAX)} + V_{OUT(TARG)} \cdot \left(\frac{N_p}{N_s} \right) \cdot \frac{\pi}{2} \cdot \frac{t_{SW}}{t_{RST}} \quad [30]$$

COG/NPOタイプのコンデンサは、共振リセット・コンデンサの選択として最適です。このコンデンサは、第1に、電気的干渉または音声干渉を引き起こすマイクロフォン動作が無視できるほど小さく、第2に、全温度範囲での電圧の直線性と平坦性が優れています。そのため、全動作条件で一定のタイミングを実現し、他の部品および仕様のマージンを少なくすることができます。

共振リセット・コンデンサの初期設計値を求めるには、トランスの磁化インダクタンス(L_μ)とMOSFETの出力容量(C_{OSS})の推定値に加えて、リセット時間目標が必要です(式31)。

$$C_{RST} = \left(\frac{t_{RST}}{\pi} \right)^2 \cdot \frac{1}{L_\mu} - C_{OSS} \quad [31]$$

基板レイアウト、トランスの巻線、および順方向ダイオードも、スイッチ・ノードの総容量に寄与し、必要に応じて共振コンデンサの値から差し引くことができます。共振リセット・コンデンサの一方の端子は、MOSFETのドレインに近づけ、もう一方の端子は、短いトレースを使用して適切に接地します。実際のリセット動作の特性を確認するために、プロトタイプを作成することを強く推奨します。

昇圧アプリケーション($N_p/N_s < 1$)では、1次側スイッチ・ノードと2次側順方向ノードとの間で容量を分割することで、スイッチ・ノードのリングングを抑えることができます。2次側コンデンサの値は、 $(N_s/N_p)^2$ 倍されて1次側に反映されます。

1次側スイッチMOSFETの選択

1次側NチャネルMOSFETスイッチの重要なパラメータには、最大ドレイン-ソース間電圧定格(V_{DS})、ゲート-ソース間しきい値電圧(V_{GS})、オン抵抗($R_{DS(ON)}$)、ゲート電荷(Q_G)、最大ドレイン電流(I_D)、熱抵抗(θ_{JC} および θ_{JA})などがあります。

ドレイン-ソース間ブレイクダウン電圧(BV_{DSS} または $V_{DS(MAX)}$)は、MOSFETを選択する場合に重要になります。これは、1次側スイッチに、入力電圧を大幅に超える最大電圧が発生するためです(図3を参照)。この最大電圧は、式30で推定されています。利用できる多くのパワーMOSFETは、アバランシェ定格が定められており、偶発的な過電圧に容易に耐えることができます。ただし、定期的ななだれ降伏は非効率的であり、エネルギー、周波数、および温度によっては、損傷を引き起こす場合があります。式30の結果を20%以上デレイトイングし、回路のプロトタイプを作成する設計手順を推奨します。

INTV_{CC}出力に内蔵の電流制限回路により、LT8310はデバイス内部で電力を過剰に損失しないよう保護されます。メインNチャネルMOSFETと動作周波数を選択するときには、この電流の最小値を検討する必要があります。 Q_G の小さいMOSFETを選択することにより、スイッチング周波数が高くなり、磁気部品の小型化につながります。必要なスイッチング電流 I_{GATE} は、式32を使用して計算できます。詳細については、「熱に関する検討事項」のセクションを参照してください。

$$I_{GATE} = Q_G \cdot f_{SW} \quad [32]$$

アプリケーション情報

フォワード・コンバータの1次側MOSFETの電力損失を、式33で説明します。最初の項はデバイスの導通損失を表し、2番目の項はスイッチング損失を表します。CRSSは逆伝達容量で、通常MOSFETの特性で規定されています。最大の効率を得るには、RDS(ON)とCRSSを最小にします。

$$P_{SW} = I_{L(MAX)}^2 \cdot R_{DS(ON)} \cdot D_{MAX} + 2 \cdot V_{IN}^2 \cdot C_{RSS} \cdot f_{SW} \cdot \frac{L_{L(MAX)}}{1A} \quad [33]$$

メインMOSFETの消費する既知の電力から、式34を使って接合部温度を求めることができます。T_JがMOSFETの最大接合部温度定格を超えてはなりません。定常状態のMOSFETの温度を測定して、絶対最大定格を超えないことを確認することを推奨します。

$$T_J = T_A + P_{SW} \cdot \theta_{JA} = T_A + P_{SW} \cdot (\theta_{JC} + \theta_{CA}) \quad [34]$$

入力コンデンサの選択

入力コンデンサは、トランスとメイン・スイッチに流れる過渡入力電流を供給します。そのため、過渡電流要件に従って入力コンデンサのサイズを選択する必要があります。フォワード・コンバータには、負荷電流をトランスの巻数比で割った値と同程度の不連続な入力電流が発生します。入力電圧リップルを規定レベルに制限するために必要なコンデンサの値を推定する場合、重要な情報は、スイッチング周波数、出力電流、および許容入力電圧リップルです。X7R型のセラミック・コンデンサは温度とDCバイアスによる変動が最も少ないので、通常は最適な選択肢です。入力電圧の過剰なスパイクを防止するには、スイッチング周波数での低いESRとESLが必要です。

V_{IN(RIPPLE)}のRMS入力リップルを達成するために、式35を使用してフォワード・コンバータの入力コンデンサを推定できます。例えば、最大負荷電流が2A、トランスの巻数比がN_p/N_s = 2である350kHzのコンバータで100mVのRMSリップルを実現するには、15μFを選択するのが適切です。

$$C_{IN} = \frac{0.5 \cdot I_{L(MAX)}}{f_{SW} \cdot V_{IN(RIPPLE)} \cdot (N_p / N_s)} \quad [35]$$

いくつかの推奨セラミック・コンデンサ・メーカーを表3に示します。

表3. 推奨セラミック・コンデンサ・メーカー

メーカー	Webアドレス
Kemet	www.kemet.com
Murata	www.murata.com
Taiyo Yuden	www.t-yuden.com
TDK	www.tdk.com

インダクタの選択

LT8310と組み合わせて使用するインダクタは、最大負荷電流に対して適切であり、したがってスイッチ電流定格とR_{SENSE}抵抗に対して適切な飽和電流定格のものにする必要があります。出力電圧帰還のないアプリケーションの場合、最小負荷電流目標I_{L(MIN)}を達成するために、リップル電流を低く維持するインダクタ値を選択します。出力インダクタの寄与が、トランスの反映された磁化インダクタンス(L_μ)の寄与に等しい場合、動作周波数、出力電圧、および最小デューティ・サイクルに基づくインダクタ値の最初の選択は、次のようになります。

$$L1 = \frac{V_{OUT} \cdot (1 - D_{MIN})}{f_{SW} \cdot I_{L(MIN)}} \quad [36]$$

トランスとインダクタの両方を選択した後に、式27の最小負荷電流の推定値を再評価し、必要に応じて部品の選択を変更します。

電流モード制御によって制御されるアプリケーションの場合、動作周波数、出力電圧、最小デューティ・サイクル、およびトランスの巻数比に基づいて、スイッチ・オン時間中にSENSEで約20mVの電流モード・ランプを提供するインダクタ値を選択します。連続導通モード動作のインダクタの値を推算するには次式が役立ちます。

$$L1 = \frac{V_{OUT} \cdot (1 - D_{MIN})}{f_{SW}} \cdot \frac{R_{SENSE}}{(N_p / N_s) \cdot 20mV} \quad [37]$$

アプリケーション情報

いくつかの推奨インダクタ・メーカーを表4に示します。

表4. 推奨インダクタ・メーカー

メーカー	Webアドレス
Champs Technologies	www.champs-tech.com
Coilcraft	www.coilcraft.com
Cooper-Coiltronics	www.cooperet.com
Vishay	www.vishay.com
Würth-Midcom	www.we-online.com

2次側スイッチの選択

非同期整流式アプリケーションの2次側には、出力電圧帰還の有無に関わらず、ショットキ・ダイオード・スイッチのみが必要です。順方向ダイオードには、1次側スイッチが閉じたときに(増加する)最大インダクタ電流が流れ、共振リセットが完了した後に、(極めて小さい)反射磁化電流が流れます。キャッチ・ダイオードには、メイン・スイッチがオフしたときに(減少する)最大インダクタ電流が流れます。この電流は、共振リセットが完了した後に、磁化電流分が減少します(図3を参照)。

3ピン・デュアルパッケージのダイオードを使用し、各ダイオードが1つのノードを共有することによって基板のスペースを節約できます。ただし、スイッチにさまざまな逆電圧が発生するため、高電流アプリケーションでは別の部品が必要になることがあります。順方向ダイオードは、1次側スイッチ・ノードの最大共振電圧を1次対2次の巻数比(N_p/N_s)で割った値の逆電圧に耐える必要があります。最大共振電圧の推定値については、式30を参照してください。キャッチ・ダイオードは、最大入力電圧を巻数比で割った値の逆電圧に耐える必要があります。ただし、昇圧アプリケーションでは、キャッチ・ノードでリングングが発生する可能性があるため、より高い定格のスイッチまたはピーク電圧を制限するスナバが必要になります。ダイオードのブレークダウン電圧定格を選択する場合は、異常な動作状態の可能性を考慮します。例えば、不完全な共振リセットによるスイッチ・ノード電圧と順方向ダイオードでの逆電圧ストレスの増加、または最小負荷電流を下回ることによる出力電圧とキャッチ・ダイオードでの逆電圧ストレスの増加などです。

いずれのコンバータでも同様に、スイッチの両端の電圧降下によって効率が低下します。このことは、直列抵抗が低い低しきい値のショットキ・ダイオードを使用する理由として十分です。デューティ・モード制御によって制御されるアプリケーションでは、実際の出力電圧は、目標電圧からダイオードの電圧降下分減少した電圧になります。必要に応じて、固定負荷での公称順方向電圧降下を見込んで目標電圧を設定できます(「デューティ・サイクル・ループの出力電圧目標の設定」のセクションを参照)。順方向ダイオードとキャッチ・ダイオードは、どちらも、最大インダクタ電流に対して定格が定められ、適切な電力損失定格を持ち、明瞭なターンオン・エッジとターンオフ・エッジを実現するためにスイッチング周波数に対して十分に高速である必要があります。

いくつかの推奨ダイオード・メーカーを表5に示します。

表5. 推奨ダイオード・メーカー

メーカー	Webアドレス
Central Semiconductor	www.centalsemi.com
Diodes, Inc.	www.diodes.com
ON Semiconductor	www.onsemi.com
Vishay	www.vishay.com

2次側にMOSFETスイッチを備える同期整流式アプリケーションには、ダイオードと同じストレスと要件がありますが、順方向電圧降下が小さいというメリットがあります。LT8310は、交差導通を防ぐために、LT8311やLTC3900などの同期スイッチ・ドライバのGATE駆動信号を反転した非重複SOUT信号を供給します。詳細については、これらのデバイスのデータシートを参照してください。

同期スイッチのボディ・ダイオードは、起動時、シャットダウン時、および各スイッチング周期のわずかな遅延の間に導通します。MOSFETスイッチを選択する場合、ボディ・ダイオードの電流と逆回復時間を考慮してください。

アプリケーション情報

出力コンデンサの選択

フォワード・コンバータの出力段にあるインダクタは、連続的な負荷電流を保証します。そのため、負荷が一定またはゆるやかに変化する場合、出力容量は、インダクタ・リップル電流をフィルタリングするという比較的軽い役割を担います。高速負荷ステップによって、コンデンサの電荷が放出または蓄積されます。インダクタ電流が反応し、出力電圧を復元して新しい負荷要求を満たすまで、コンデンサの電荷によって出力電圧が変化します。

電流モード制御アプリケーションでは、電圧帰還ループと電流帰還ループの間の緊密な結合と、V_Cピンでの補償ゼロによって、優れた負荷レギュレーションを実現できます。これらの回路に推奨される出力コンデンサは、220μFの電解コンデンサと、それに並列に接続された低い等価直列抵抗 (ESR) を備える小型 X7R タイプ・セラミック・コンデンサです。

デューティ・モード制御アプリケーションでは、負荷電圧帰還が存在しません。そのため、ピーク過渡出力偏位 (ΔV_{OUT(PK)}) は、LCフィルタ出力インピーダンス (√L₁/C_L) と負荷電流ステップの大きさ (ΔI_{L(MAX)}) の積になります。式38に示すように、L₁が他の検討結果によって固定されていると仮定し、負荷容量を最大化してピーク過渡出力偏位を最小限に抑えます。コンデンサのESR仕様は、式39を満たしてESRの影響を最小限に抑えるように選択します。

極めて低いESRと目的の容量を適切な温度と安定したバイアスで実現するには、複数のX7Rタイプ・セラミック・コンデンサを並列に配置します。高いESRを持つ値の大きい電解コンデンサを小型のX7Rコンデンサと並列に接続して代用するのは、同じ性能を実現できないため、避けてください。

$$C_L \geq \left(\frac{\Delta I_{L(MAX)}}{\Delta V_{OUT(PK)}} \right)^2 \cdot L_1 \quad [38]$$

$$ESR^2 \ll \frac{L_1}{C_L} \quad [39]$$

定常状態では、出力電圧リップルは、出力コンデンサを充放電するインダクタ・リップル電流から、およびESRの両端の電圧降下から発生します。式40は、公称出力電圧に関する出力リップルを推定します。

$$V_{OUT(RIPPLE)} \approx \left(\frac{1}{L_1 \cdot C_L \cdot f_{SW}^2} + \frac{ESR}{L_1 \cdot f_{SW}} \right) \cdot V_{OUT(NOM)} \quad [40]$$

直接配線された帰還アプリケーションでの出力電圧の設定

非絶縁型アプリケーションの場合、負荷からFBXピンに直接配線された帰還は、LT8310を従来のピーク電流モード制御フォワード・コンバータとして設定します。FBXピンは、DC/DC変換またはDC/DC反転を自動的にサポートするデュアル・リファレンス (1.6Vおよび-0.8V) を提供します。また、トランスの巻数比を適切に選択することで、極端に低いまたは高いデューティ・サイクルに頼ることなく大きい変換/反転比 (降圧または昇圧) が可能になり、効率が向上します。配線されたアプリケーションでは、出力電圧 (V_{OUT}) は、図8に示すように、抵抗分割器によって設定されます。

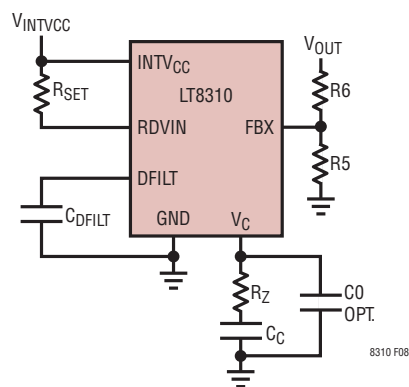


図8. 非絶縁型電源アプリケーション用に配線された帰還

アプリケーション情報

式41と式42から、正出力コンバータおよび負出力コンバータに適した抵抗比が得られます。

$$\frac{R6}{R5} = \frac{V_{OUT(POS)}}{1.6V} - 1 \quad [41]$$

$$\frac{R6}{R5} = \frac{V_{OUT(NEG)}}{-0.8V} - 1 \quad [42]$$

この構成では、「直接配線された電流モード制御ループの補償」セクションのガイドラインに従って、LT8310をV_Cピンで直接補償します。さらに、ボルト秒クランプがトランスを保護できるように、デューティ・ループも設定して補償する必要があります。ボルト秒クランプ動作に余裕を与えるために、抵抗R_{SET}を選択して、帰還抵抗が設定する電圧よりも高い目標V_{OUT}を設定します。「デューティ・サイクル・ループの出力電圧目標の設定」のセクションを参照してください。「デューティ・モード制御ループの補償」セクションの説明に従って、DFILTピンのコンデンサを選択します。

光絶縁型帰還アプリケーションでの出力電圧の設定

絶縁と優れた入力レギュレーションの両方を必要とするアプリケーション回路では、光絶縁型帰還と共にLT8310を使用できます。オプトカプラを、通常は出力電圧設定に影響を与えるオプトカプラ・ドライバ・デバイス(LT8311やLT4430など)と組み合わせる必要があります。図9では、抵抗電圧分割器R5およびR6が、LT8311のFBピンに電流を供給しています。一般に、抵抗比とオプト・ドライバのリファレンス・レベル(V_{REF(OPTO)})に関する出力電圧設定は、次のようになります。

$$\left(\frac{R6}{R5}\right) = \frac{V_{OUT}}{V_{REF(OPTO)}} - 1 \quad [43]$$

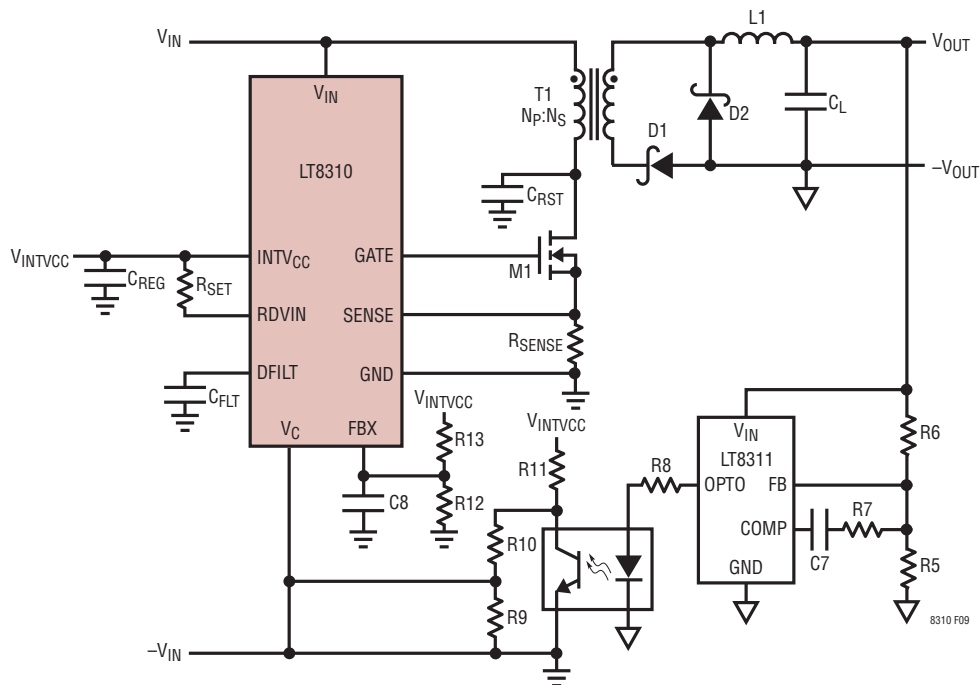


図9. 絶縁型非同期整流式電源の主要部品

アプリケーション情報

熱に関する検討事項

LT8310の最大入力電圧の定格は100Vです。入力電圧が高いときはデバイス内部での電力損失に十分な注意を払い、接合部温度が125°C (Hグレードでは150°C)を超えないようにする必要があります。高い周囲温度で動作させる場合は、この接合部温度の制限が特に重要です。接合部温度が165°Cになると、熱リミッタがシステムをシャットダウンします。その際に、GATEピンがGNDに引き下げられ、SOUTピンがINTV_{CC}に引き下げられ、ソフトスタート(SS)ピンがGNDに放電されます。デバイスの温度が10°C低下すると、スイッチングを再開できます。この機能は、瞬間的な熱的過負荷時にデバイスを保護することを目的としています。

多くのアプリケーションにおいて、デバイス内での電力損失の大半は、外付けのパワーMOSFETのゲート容量を駆動するために必要な電源電流が発生源です。GATEピンによって駆動されるメイン・スイッチおよびSOUTピンのスイッチ(存在する場合)については、それぞれ式7に従ってゲート駆動電流を計算できます。

高い入力電圧で動作させるときは、常にQ_Gの小さいパワーMOSFETを使用し、スイッチング周波数を慎重に選択して、デバイスが安全な接合部温度を超えないようにする必要があります。デバイスの内部接合部温度は次式で概算できます。

$$T_J = T_A + V_{IN} \cdot (I_Q + I_{DRIVE(TOT)}) \cdot \theta_{JA} \quad [44]$$

ここで、T_Aは周囲温度、I_Qはデバイスの静止電流(最大4mA)、θ_{JA}はパッケージの接合部-周囲間熱インピーダンス(38°C/W)です。例えば、T_{A(MAX)} = 85°C、V_{IN(MAX)} = 80V、f_{sw} = 200kHzのアプリケーションで、Q_G = 30nCのMOSFETを使用する場合、デバイスの接合部温度の最大値はおおよそ次のようになります。

$$T_J = 85^\circ\text{C} + 80\text{V} \cdot (4\text{mA} + 30\text{nC} \cdot 200\text{kHz}) \cdot 38^\circ\text{C/W} \approx 115^\circ\text{C} \quad [45]$$

パッケージ底面の露出パッドはグラウンド・プレーンに半田付ける必要があります。このグラウンドは、パッケージの直下に配置されているサーマル・ビアにより、プリント回路基板内部にある銅のグラウンド・プレーンと接続して、デバイスによって放散された熱を外部へ拡散させる必要があります。

LT8310の内部電力損失を低減するには、外部ソース(安定化補助トランス巻線など)からGATEピンとSOUTピン(および一部の内部回路)に電力を供給します。10.5V < V_{INTVCC(MAX)} < V_{IN(MIN)}としてV_{IN}ピンのバックドライブを防いでいる限り、INTV_{CC}ピンをオーバードライブできます。INTV_{CC}のオーバードライブの実用的な上限は、レギュレータの過電圧しきい値によってスイッチングがシャットダウンされる17.4V(標準)です。

PCBレイアウト/熱に関するガイドライン

正しく動作するには、特にPCBレイアウトに注意を払う必要があります。クリティカルなプログラミング信号は、高dv/dt信号と共存できる必要があります。熱管理の不足という代償を払うことなく、コンパクトなレイアウトを実現できます。最適な性能に近づくために、以下のガイドラインに従ってください。

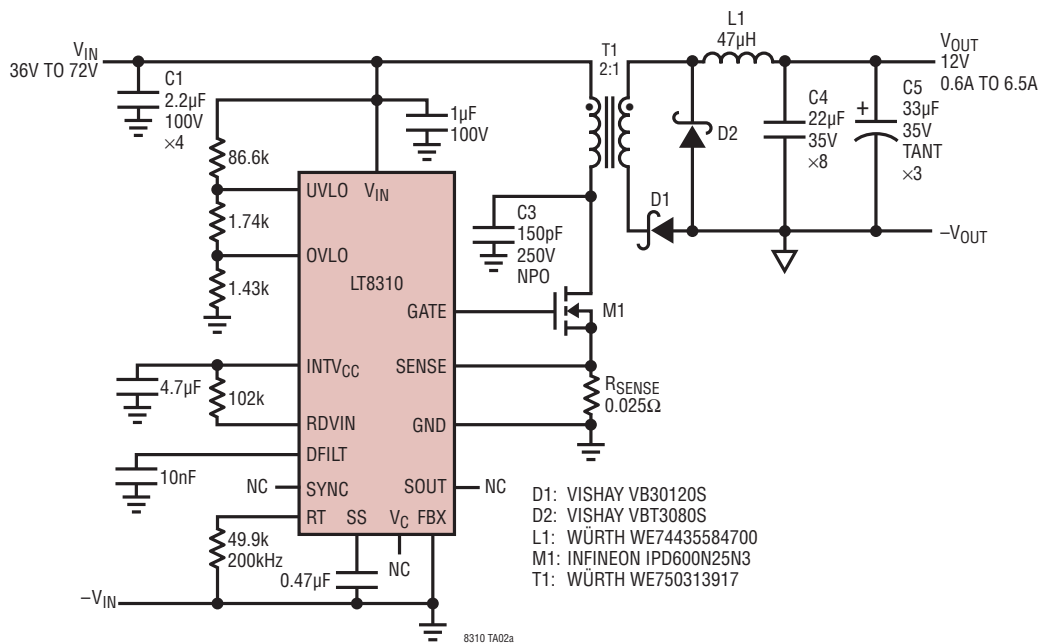
- 必ず、コントローラ・デバイスのV_{IN}およびGND間で(できるだけ近づけて)ローカル・バイパス・コンデンサを使用します。
- クリティカルなタイミング設定抵抗R_Tから、RTピンおよびGNDピン(露出パッド)への接続には、どちらも短いトレースを使用する必要があります。RTピンへのトレースとDFILTピンへのトレースを離します。
- クリティカルなデューティ・サイクル設定抵抗R_{SET}から、RDVINピンおよびINTV_{CC}ピンへの接続には、どちらも短いトレースを使用する必要があります。
- フォワード・コンバータの電流検出抵抗は、短いケルビン接続を使用してSENSEピンおよびGNDピン(露出パッド)に接続する必要があります。

アプリケーション情報

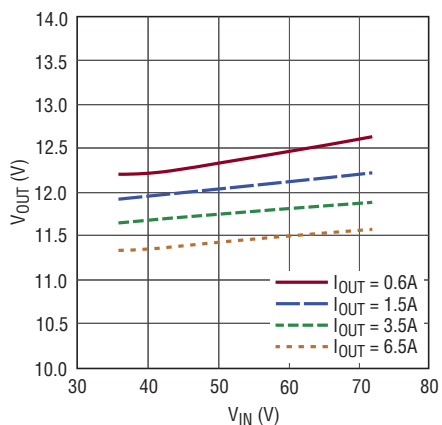
5. 高 dv/dt ラインを、2つのクリティカルな設定抵抗 (R_T 、 R_{SET})、電流検出入力、VCピン、UVLOピンとOVLOピン、およびFBX帰還の各トレースから離します。
6. ゲート・ドライバ(GATE)と同期(SOUT)のトレースは、できるだけ短くします。
7. 高電力部品とともに動作する場合、複数の部品を並列に接続して電力損失を分散し、温度上昇を最小限に抑えるのが最善の方法です。特に、ビアで接続された複数の銅層を使用して、各パワー MOSFETとパワー・ダイオードからの熱を放散します。
8. 高スイッチング電流経路を、信号グラウンドから離します。また、それらの高電流スイッチング経路のトレース長を最小化して、寄生インダクタンスを最小限に抑えます。
9. 同期整流式アプリケーションの場合、パルス・トランス (LT8310のSOUTピンから2次側コントローラのSYNCピンまで)が適切に減衰し、高 dv/dt トレースから影響されないようにします。これによって、同期FETを誤ってトリガするのを防ぎ、交差導通および反復されるソフトスタートのリトライ(一時中断モード)動作を防止することができます。

標準的応用例

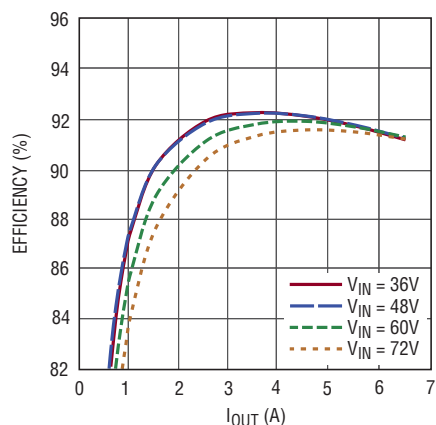
78ワット絶縁型非同期整流式フォワード・コンバータ



出力電圧の入力レギュレーション

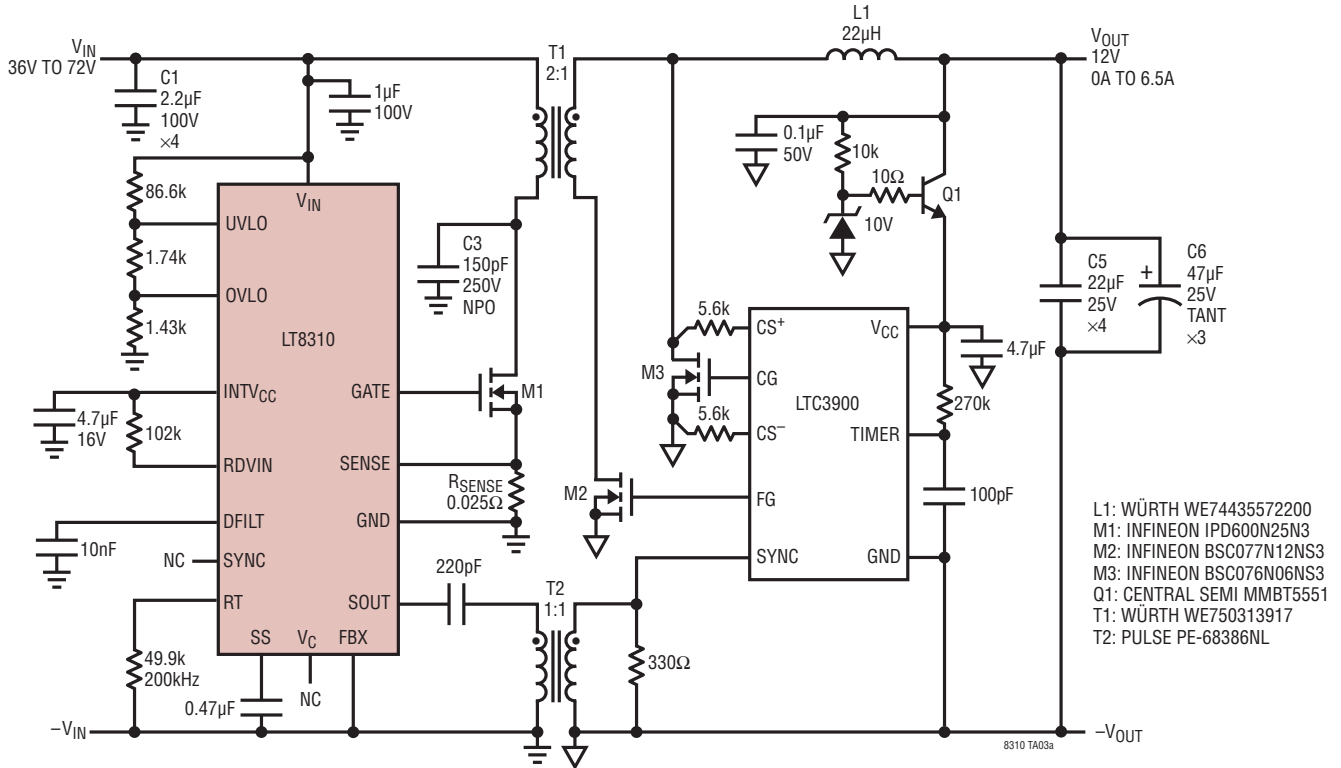


効率と負荷電流

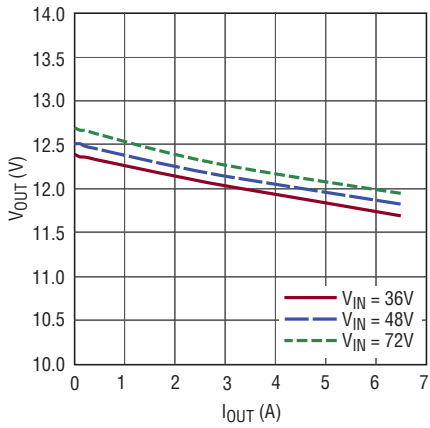


標準的応用例

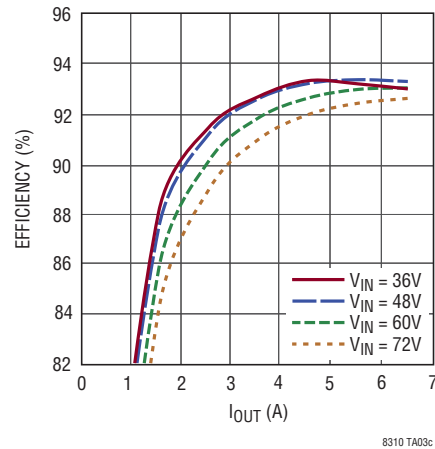
78ワット絶縁型同期整流式フォワード・コンバータ



出力電圧の入力レギュレーション

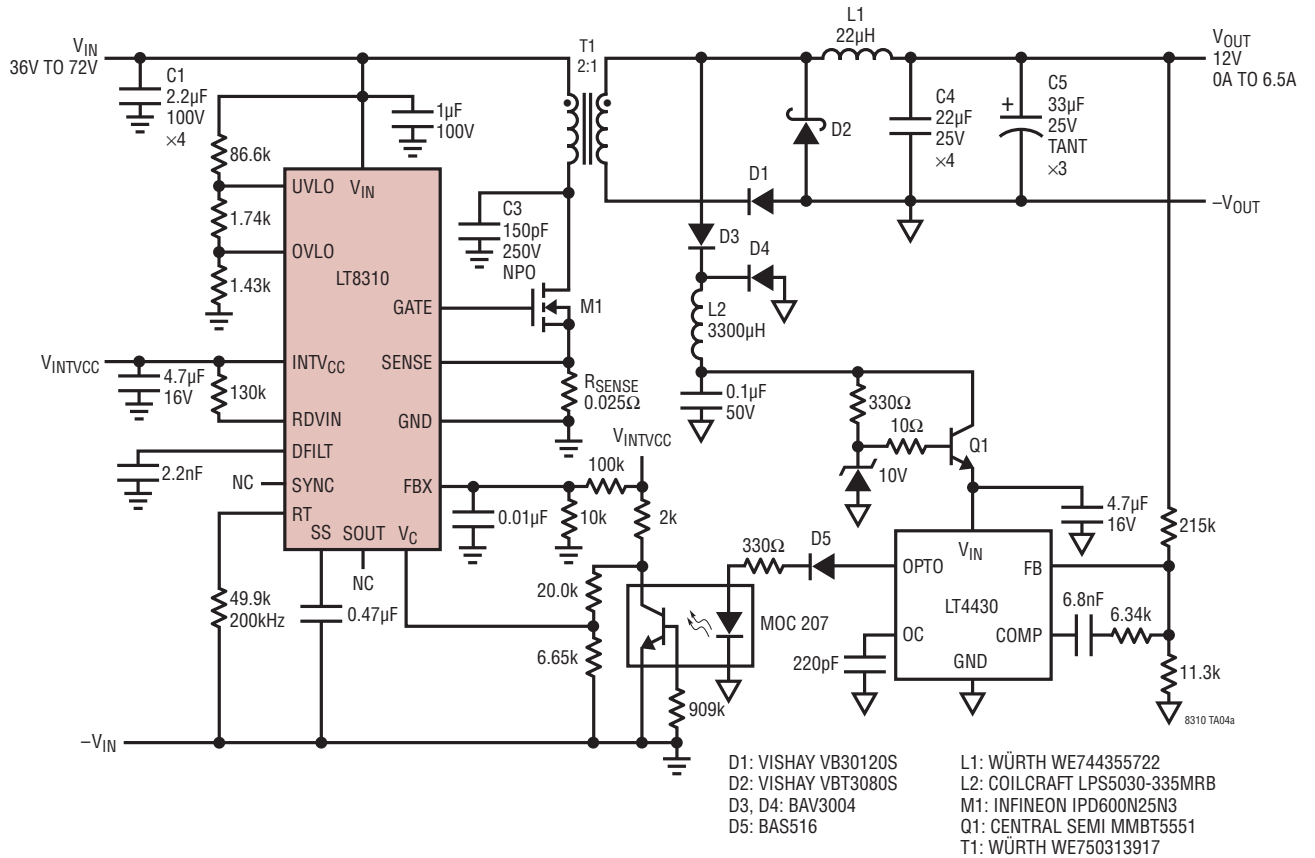


効率と負荷電流

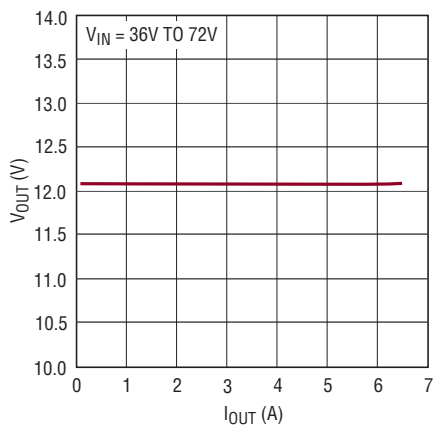


標準的応用例

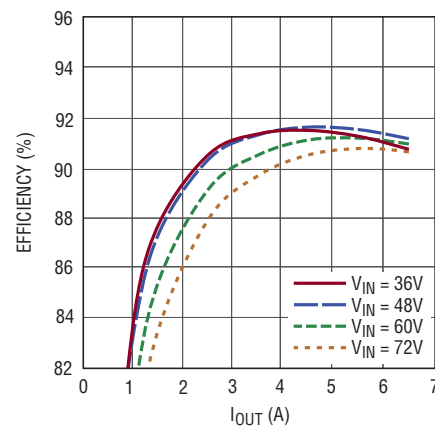
光帰還付き78ワット絶縁型非同期整流式フォワード・コンバータ



出力電圧の入力レギュレーション

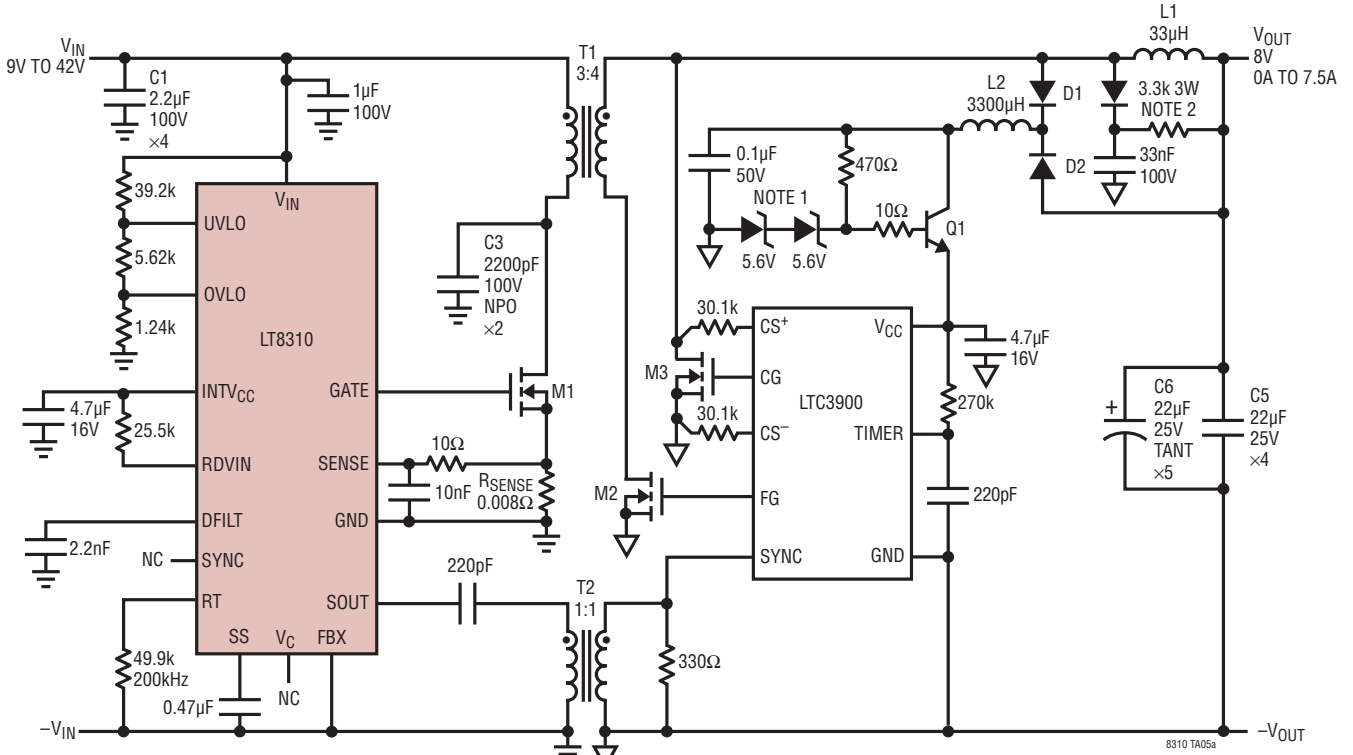


効率と負荷電流



標準的応用例

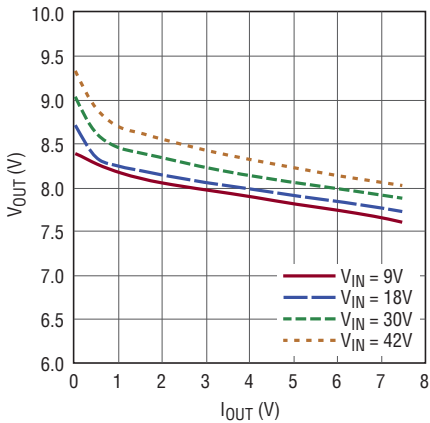
低電圧レギュレータ向けの幅広い V_{IN} 、60ワット絶縁型8Vレール



- D1, D2: BAV3004
 D3: CENTRAL SEMI CMMR1U-02
 L1: WÜRTH WE74435583300
 L2: COILCRAFT LPS5030-335MRB
 M1: INFINEON BSC057N08S3-GL
 M2: INFINEON BSC067N06LS3-G
 M3: INFINEON BSC060N10S3-G
 Q1: CENTRAL SEMI MMBT5551
 T1: WÜRTH WE750341138
 T2: PULSE PE-68386NL

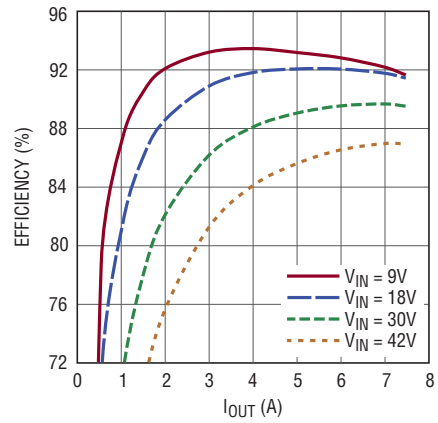
NOTE 1: IN GENERAL, TWO STACKED 5V TO 6V ZENERS WILL HAVE LESS THERMAL VARIATION THAN A SINGLE 10V TO 12V ZENER
 NOTE 2: FOR EXAMPLE, USE THREE (3) PARALLELED 10k, 1W RESISTORS

出力電圧の入力レギュレーション



8310 TA05b

効率と負荷電流

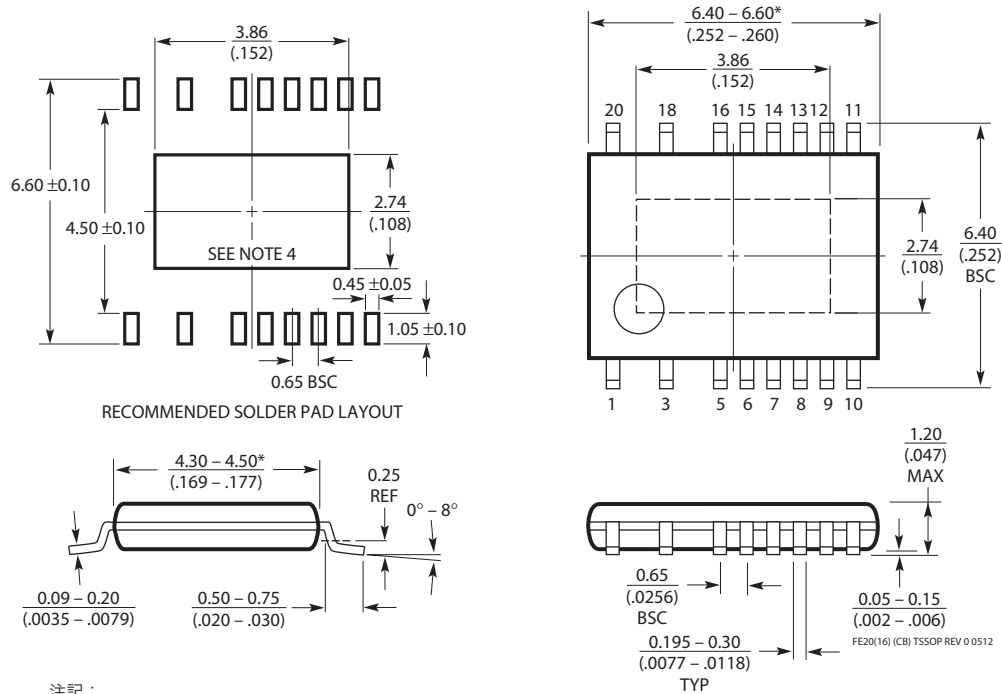


8310 TA05c

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

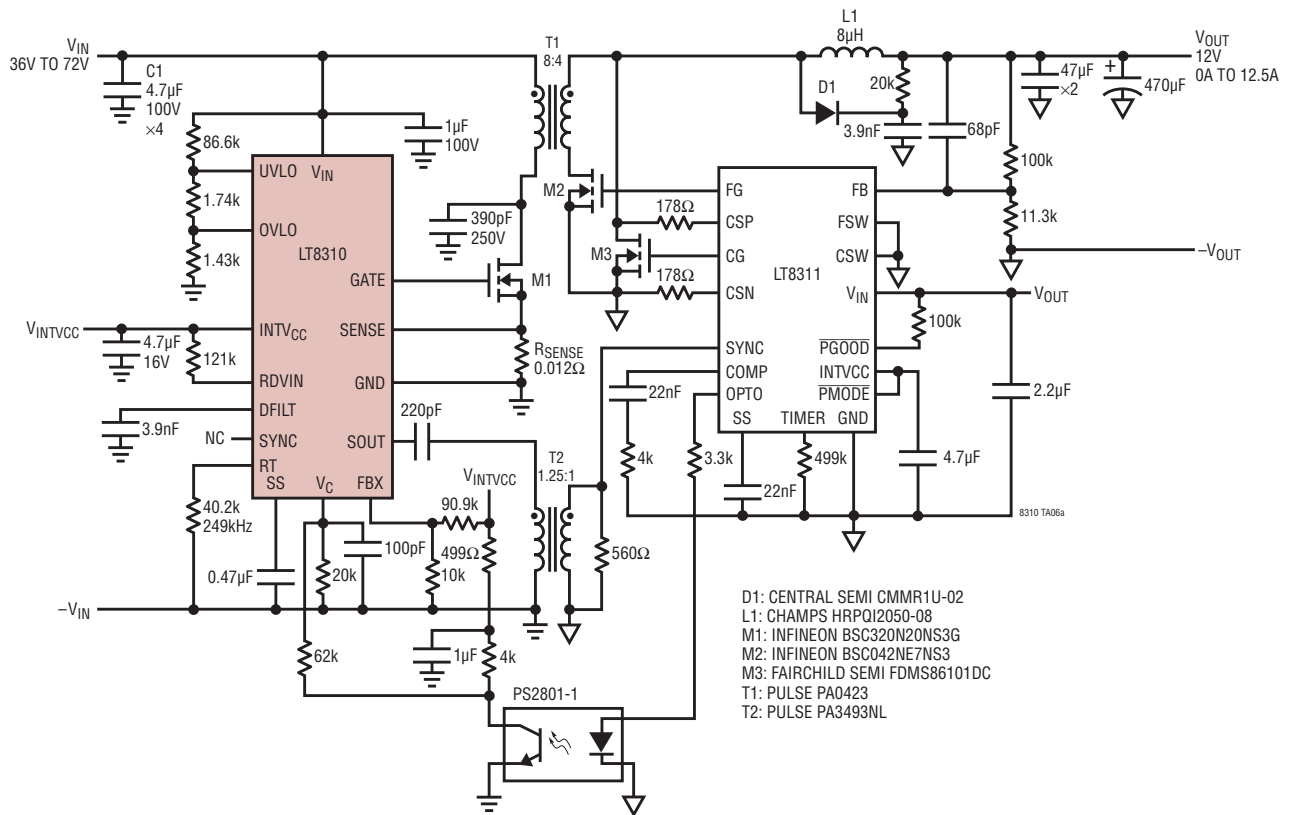
FE Package
Variation: FE20(16)
20-Lead Plastic TSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1924 Rev 0)
Exposed Pad Variation CB



- 注記:
- 標準寸法: ミリメートル
 - 寸法は $\frac{\text{ミリメートル}}{\text{(インチ)}}$
 - 図は実寸とは異なる
 - 露出パッド接着のための推奨最小 PCB メタルサイズ
- * 寸法にはモールドのバリを含まない
 モールドのバリは各サイドで 0.150mm (0.006") を超えないこと

標準的応用例

94%の効率、150W 絶縁型同期整流式フォワード・コンバータ



関連製品

製品番号	説明	注釈
LT3752/LT3752-1	ハウスキーピング・コントローラを内蔵したアクティブ・クランプ同期整流式フォワード・コントローラ	入力電圧範囲:LT3752:6.5V ~ 100V、LT3752-1:外付け部品によってのみ制限される
LT3753	アクティブ・クランプ同期整流式フォワード・コントローラ	入力電圧範囲:8.5V ~ 100V
LT8311	プリアクティブ2次側同期整流式フォワード・コントローラ	1次側のLT3752/-1、LT3753、およびLT8310コントローラでの使用に最適化
LTC®3765/LTC3766	オプトカプラ不要のアクティブ・クランプ・リセット付き同期整流式フォワード・コントローラ・チップセット	Direct Flux Limit™、2次側フォワード・コントローラのセルフスタートをサポート
LTC3723-1/LTC3723-2	同期整流式プッシュプルおよびフルブリッジ・コントローラ	内蔵MOSFETドライバによる高効率、調整可能な同期整流のタイミング
LTC3721-1/LTC3721-2	非同期整流式プッシュプルおよびフルブリッジ・コントローラ	外部部品および内蔵MOSFETドライバの数を最小化
LTC3722/LTC2722-2	同期整流式フルブリッジ・コントローラ	ゼロ電圧スイッチングの適応型またはマニュアルの遅延制御、同期整流のタイミングを調整可能
LT3748	100V 絶縁型フライバック・コントローラ	5V ≤ V _{IN} ≤ 100V、オプトカプラ不要のフライバック・コントローラ、高電圧ピン間にスペースを設けたMSOP-16パッケージ
LT3798	アクティブ PFC 機能を備えたオプトカプラ不要のオフライン絶縁型フライバック・コントローラ	外付け部品によってのみ V _{IN} と V _{OUT} を制限
LTC3900	フォワード・コンバータ用の N チャンネル同期整流器 MOSFET ドライバ	プログラム可能なタイムアウトおよび逆インダクタ電流保護、トランスの同期、SSOP-16
LT4430	リファレンス電圧付き2次側オプトカプラ・ドライバ	オーバーシュート制御により、起動時と短絡回復時の出力のオーバーシュートを防止

8310f