

VCOを内蔵した 超低ノイズ0.37GHz～6.39GHz 分数分周方式シンセサイザ

特長

- VCOを内蔵した低ノイズ分数分周方式PLL
- Δ - Σ 変調器のスプリアスなし
- 分数の分母:18ビット
- 正規化された帯域内位相ノイズフロア: -226dBc/Hz
- 正規化された帯域内1/fノイズ: -274dBc/Hz
- 広帯域出力位相ノイズフロア: -157dBc/Hz
- 優れた整数値境界スプリアス性能
- 出力分周器(1～6分周、デューティ・サイクル50%)
- 出力バッファのミュート
- リファレンス入力周波数:最大425MHz
- 周波数の素早い切り替え
- FracNWizard™ソフトウェア設計ツールによるサポート

アプリケーション

- ワイヤレス基地局 (LTE, WiMAX, W-CDMA, PCS)
- マイクロ波によるデータ・リンク
- 軍用無線およびセキュリティ保護された無線
- テストおよび測定

LT, LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。FracNWizardはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

LTC®6948は、高性能、低ノイズの6.39GHz位相同期ループ(PLL)で、VCOと完全に一体化されており、基準分周器、位相周波数検出器(PFD)、超低ノイズ・チャージポンプ、分数帰還分周器、およびVCO出力分周器を内蔵しています。

分数分周器は、スプリアス・レベルが極めて低い先進の4次 $\Delta\Sigma$ 変調器を採用しています。これにより、ループ帯域幅が広くなり、位相ノイズの積分値が極めて低くなります。

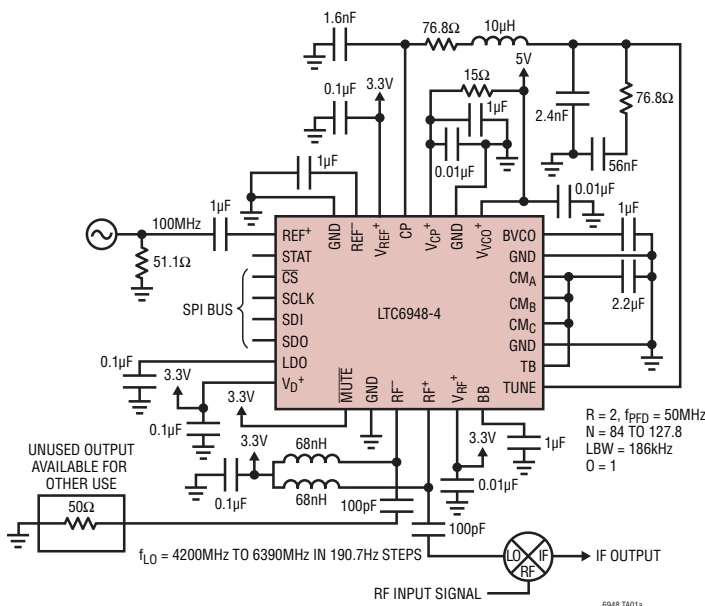
プログラム可能なVCO出力分周器は、分周範囲が1～6なので、出力の周波数範囲が広がります。

出力周波数オプション

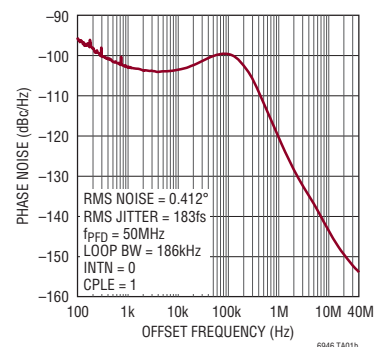
	LTC6948-1	LTC6948-2	LTC6948-3	LTC6948-4
O_DIV = 1	2.240～3.740	3.080～4.910	3.840～5.790	4.200～6.390
O_DIV = 2	1.120～1.870	1.540～2.455	1.920～2.895	2.100～3.195
O_DIV = 3	0.747～1.247	1.027～1.637	1.280～1.930	1.400～2.130
O_DIV = 4	0.560～0.935	0.770～1.228	0.960～1.448	1.050～1.598
O_DIV = 5	0.448～0.748	0.616～0.982	0.768～1.158	0.840～1.278
O_DIV = 6	0.373～0.623	0.513～0.818	0.640～0.965	0.700～1.065

標準的応用例

6.3GHz広帯域レシーバ



LTC6948-4の位相ノイズ、 $f_{RF} = 6236\text{MHz}$



LTC6948

絶対最大定格

(Note 1)

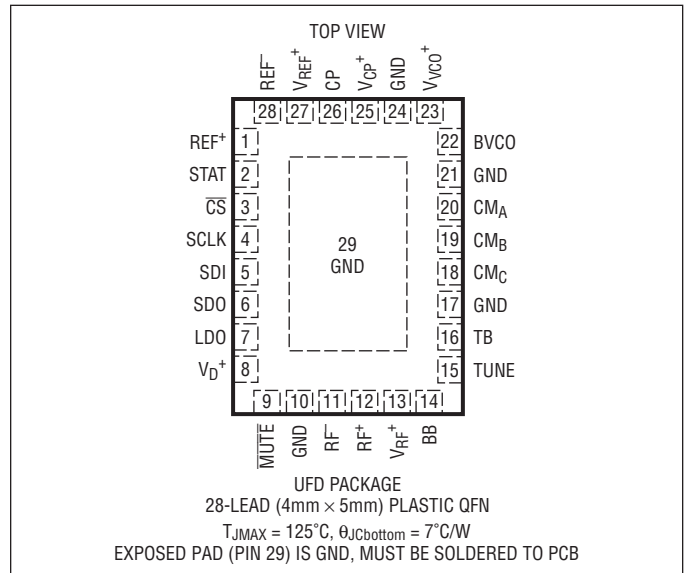
電源電圧

- V^+ (V_{REF^+} , V_{RF^+} , V_{D^+}) と GND の間 3.6V
- V_{CP^+} , V_{VCO^+} と GND の間 5.5V
- CP ピンの電圧 GND - 0.3V ~ $V_{CP^+} + 0.3V$
- 上記以外のピンの電圧 GND - 0.3V ~ $V^+ + 0.3V$

動作接合部温度範囲、 T_J (Note 2)

- LTC6948I -40°C ~ 105°C
- 接合部温度、 T_{JMAX} 125°C
- 保存温度範囲 -65°C ~ 150°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	接合部温度範囲
LTC6948IUFD-1#PBF	LTC6948IUFD-1#TRPBF	69481	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6948IUFD-2#PBF	LTC6948IUFD-2#TRPBF	69482	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6948IUFD-3#PBF	LTC6948IUFD-3#TRPBF	69483	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6948IUFD-4#PBF	LTC6948IUFD-4#TRPBF	69484	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

供給可能なオプション

VCOの 周波数範囲 (GHz)	パッケージの種類 QFN-28 (UFD28)	出力周波数範囲と出力分周器の設定 (GHz)					
		0 DIV = 6	0 DIV = 5	0 DIV = 4	0 DIV = 3	0 DIV = 2	0 DIV = 1
2.240 ~ 3.740	LTC6948IUFD-1	0.373 ~ 0.623	0.448 ~ 0.748	0.560 ~ 0.935	0.747 ~ 1.247	1.120 ~ 1.870	2.240 ~ 3.740
3.080 ~ 4.910	LTC6948IUFD-2	0.513 ~ 0.818	0.616 ~ 0.982	0.770 ~ 1.228	1.027 ~ 1.637	1.540 ~ 2.455	3.080 ~ 4.910
3.840 ~ 5.790	LTC6948IUFD-3	0.640 ~ 0.965	0.768 ~ 1.158	0.960 ~ 1.448	1.280 ~ 1.930	1.920 ~ 2.895	3.840 ~ 5.790
4.200 ~ 6.390	LTC6948IUFD-4	0.700 ~ 1.065	0.840 ~ 1.278	1.050 ~ 1.598	1.400 ~ 2.130	2.100 ~ 3.195	4.200 ~ 6.390
オーバーラップ周波数帯域							

電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ (Note 2)。すべての電圧値はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
リファレンス入力 (REF⁺、REF⁻)							
f _{REF}	Input Frequency		●	10	425	MHz	
V _{REF}	Input Signal Level	Single-Ended, 1μF AC-Coupling Capacitors	●	0.5	2	2.7	V _{p-p}
	Input Slew Rate		●	20		V/μs	
	Input Duty Cycle			50		%	
	Self-Bias Voltage		●	1.65	1.85	2.25	V
	Input Resistance	Differential	●	5.8	8.4	11.6	kΩ
	Input Capacitance	Differential		14		pF	
VCO							
f _{VCO}	Frequency Range	LTC6948-1 (Note 3) LTC6948-2 (Note 3) LTC6948-3 (Note 3) LTC6948-4 (Note 3)	● ● ● ●	2.24 3.08 3.84 4.20	3.74 4.91 5.79 6.39	GHz GHz GHz GHz	
K _{VCO}	Tuning Sensitivity	LTC6948-1 (Notes 3, 4) LTC6948-2 (Notes 3, 4) LTC6948-3 (Notes 3, 4) LTC6948-4 (Notes 3, 4)	● ● ● ●		4.7 to 7.2 4.7 to 7.0 4.0 to 6.0 4.5 to 6.5	%Hz/V %Hz/V %Hz/V %Hz/V	
RF出力 (RF⁺、RF⁻)							
f _{RF}	Output Frequency		●	0.373	6.39	GHz	
O	Output Divider Range	All Integers Included	●	1	6		
	Output Duty Cycle			50		%	
	Output Resistance	Single-Ended, Each Output to V _{RF⁺}	●	100	136	175	Ω
P _{RF-SE}	Output Power, Single-Ended, f _{RF} = 900MHz	RFO[1:0] = 0, R _Z = 50Ω, LC Match RFO[1:0] = 1, R _Z = 50Ω, LC Match RFO[1:0] = 2, R _Z = 50Ω, LC Match RFO[1:0] = 3, R _Z = 50Ω, LC Match	● ● ● ●	-9 -6.1 -2.9 0.1	-7.3 -4.5 -1.4 1.5	-5.5 -2.8 0.2 3	dBm dBm dBm dBm
	Output Power, Muted, f _{RF} = 900MHz	R _Z = 50Ω, Single-Ended, O = 2 to 6	●			-80	dBm
	Mute Enable Time		●			110	ns
	Mute Disable Time		●			170	ns
位相周波数検出器							
f _{FPD}	Input Frequency	Integer mode Fractional mode LDOEN = 0 LDOV = 3, LDOEN = 1 LDOV = 2, LDOEN = 1 LDOV = 1, LDOEN = 1 LDOV = 0, LDOEN = 1	● ● ● ● ● ●			100 76.1 66.3 56.1 45.9 34.3	MHz MHz MHz MHz MHz MHz
チャージポンプ							
I _{CP}	Output Current Range	8 Settings (See Table 6)		1	11.2	mA	
	Output Current Source/Sink Accuracy	All Settings, V(CP) = V _{CP⁺} /2			±6	%	
	Output Current Source/Sink Matching	I _{CP} = 1.0mA to 2.8mA, V(CP) = V _{CP⁺} /2 I _{CP} = 4.0mA to 11.2mA, V(CP) = V _{CP⁺} /2			±3.5 ±2	% %	
	Output Current vs Output Voltage Sensitivity	(Note 5)	●	0.2	1	%/V	
	Output Current vs Temperature	V(CP) = V _{CP⁺} /2	●	170		ppm/°C	
	Output Hi-Z Leakage Current	I _{CP} = 11.2mA, CPCL0 = CPCHI = 0 (Note 5)		0.03		nA	

LTC6948

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{RF}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = V_{VCO}^+ = 5\text{V}$ (Note 2)。すべての電圧値はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{CLMP-LO}$	Low Clamp Voltage	CPCL0 = 1			0.84		V
$V_{CLMP-HI}$	High Clamp Voltage	CPCHI = 1, Referred to V_{CP}^+			-0.96		V
V_{MID}	Mid-Supply Output Bias Ratio	Referred to ($V_{CP}^+ - \text{GND}$)			0.48		V/V
基準(R)分周器							
R	Divide Range	All Integers Included	●	1		31	Counts
VCO(N)分周器							
N	Divide Range	All Integers Included, Integer Mode	●	32		1023	Counts
		All Integers Included, Fractional Mode	●	35		1019	Counts
分数分周器の$\Delta\Sigma$変調器							
	Numerator Range	All Integers Included	●	1		262143	Counts
変調器のLDO							
	Output Voltage	LDO Enabled, Four Values LDO Disabled			1.7 to 2.6 V_D^+		V V
	External Pin Capacitance	Required for LDO Stability	●	0.047	0.1	1	μF
デジタル・ピンの仕様							
V_{IH}	High Level Input Voltage	$\overline{\text{MUTE}}$, $\overline{\text{CS}}$, SDI, SCLK	●	1.55			V
V_{IL}	Low Level Input Voltage	$\overline{\text{MUTE}}$, $\overline{\text{CS}}$, SDI, SCLK	●			0.8	V
V_{IHYS}	Input Voltage Hysteresis	$\overline{\text{MUTE}}$, $\overline{\text{CS}}$, SDI, SCLK			250		mV
	Input Current	$\overline{\text{MUTE}}$, $\overline{\text{CS}}$, SDI, SCLK	●			± 1	μA
I_{OH}	High Level Output Current	SDO and STAT, $V_{OH} = V_D^+ - 400\text{mV}$	●		-3.3	-1.9	mA
I_{OL}	Low Level Output Current	SDO and STAT, $V_{OL} = 400\text{mV}$	●	2.0	3.4		mA
	SDO Hi-Z Current		●			± 1	μA
デジタル・タイミング仕様(図6および図7を参照)							
t_{CKH}	SCLK High Time		●	25			ns
t_{CKL}	SCLK Low Time		●	25			ns
t_{CSS}	$\overline{\text{CS}}$ Setup Time		●	10			ns
t_{CSH}	$\overline{\text{CS}}$ High Time		●	10			ns
t_{CS}	SDI to SCLK Setup Time		●	6			ns
t_{CH}	SDI to SCLK Hold Time		●	6			ns
t_{DO}	SCLK to SDO Time	To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF Load	●			16	ns
電源電圧							
	V_{REF}^+ Supply Range		●	3.15	3.3	3.45	V
	V_D^+ Supply Range		●	3.15	3.3	3.45	V
	V_{RF}^+ Supply Range		●	3.15	3.3	3.45	V
	V_{VCO}^+ Supply Range		●	4.75	5.0	5.25	V
	V_{CP}^+ Supply Range		●	4.0		5.25	V
電源電流							
I_{DD}	V_D^+ Supply Current	Digital Inputs at Supply Levels, Integer Mode	●			1500	μA
		Digital Inputs at Supply Levels, Fractional Mode, $f_{PFD} = 66.3\text{MHz}$, $\text{LDOV}[1:0] = 3$	●		18.2	22	mA
$I_{CC(5V)}$	Sum V_{CP}^+ , V_{VCO}^+ Supply Currents	$I_{CP} = 11.2\text{mA}$	●		48	60	mA
		$I_{CP} = 1.0\text{mA}$	●		26	35	mA
		PDALL = 1	●		450	1000	μA

6948f

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ (Note 2)。すべての電圧値はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{CC(3.3V)}$	Sum V_{REF^+} , V_{RF^+} Supply Currents	RF Muted, OD[2:0] = 1	●	70.4	80	mA
		RF Enabled, RFO[1:0] = 0, OD[2:0] = 1	●	81.1	95	mA
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 1	●	91.3	105	mA
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 2	●	109.2	125	mA
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 3	●	114.8	135	mA
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 4 to 6 PDALL = 1	●	119.6	140	mA
				53	250	μA

位相ノイズとスプリアス

L_{VCO}	VCO Phase Noise (LTC6948-1, $f_{VCO} = 3.0\text{GHz}$, $f_{RF} = 3.0\text{GHz}$, OD[2:0] = 1 (Note 6))	10kHz Offset		-80		dBc/Hz
		1MHz Offset		-130		dBc/Hz
		40MHz Offset		-157		dBc/Hz
	VCO Phase Noise (LTC6948-2, $f_{VCO} = 4.0\text{GHz}$, $f_{RF} = 4.0\text{GHz}$, OD[2:0] = 1 (Note 6))	10kHz Offset		-77		dBc/Hz
		1MHz Offset		-127		dBc/Hz
		40MHz Offset		-156		dBc/Hz
	VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 5.0\text{GHz}$, OD[2:0] = 1 (Note 6))	10kHz Offset		-75		dBc/Hz
		1MHz Offset		-126		dBc/Hz
		40MHz Offset		-155		dBc/Hz
	VCO Phase Noise (LTC6948-4, $f_{VCO} = 6.0\text{GHz}$, $f_{RF} = 6.0\text{GHz}$, OD[2:0] = 1 (Note 6))	10kHz Offset		-73		dBc/Hz
		1MHz Offset		-123		dBc/Hz
		40MHz Offset		-154		dBc/Hz
	VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 2.50\text{GHz}$, OD[2:0] = 2 (Note 6))	10kHz Offset		-81		dBc/Hz
1MHz Offset			-132		dBc/Hz	
40MHz Offset			-155		dBc/Hz	
VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 1.667\text{GHz}$, OD[2:0] = 3 (Note 6))	10kHz Offset		-84		dBc/Hz	
	1MHz Offset		-135		dBc/Hz	
	40MHz Offset		-156		dBc/Hz	
VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 1.25\text{GHz}$, OD[2:0] = 4 (Note 6))	10kHz Offset		-87		dBc/Hz	
	1MHz Offset		-138		dBc/Hz	
	40MHz Offset		-156		dBc/Hz	
VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 1.00\text{GHz}$, OD[2:0] = 5 (Note 6))	10kHz Offset		-89		dBc/Hz	
	1MHz Offset		-140		dBc/Hz	
	40MHz Offset		-157		dBc/Hz	
VCO Phase Noise (LTC6948-3, $f_{VCO} = 5.0\text{GHz}$, $f_{RF} = 0.833\text{GHz}$, OD[2:0] = 6 (Note 6))	10kHz Offset		-90		dBc/Hz	
	1MHz Offset		-141		dBc/Hz	
	40MHz Offset		-158		dBc/Hz	
$L_{NORM(INT)}$	Integer Normalized In-Band Phase Noise Floor	INTN = 1, $I_{CP} = 5.6\text{mA}$ (Notes 7, 8, 10)		-226		dBc/Hz
$L_{NORM(FRAC)}$	Fractional Normalized In-Band Phase Noise Floor	INTN = 0, CPLE = 1, $I_{CP} = 5.6\text{mA}$ (Notes 7, 8, 10)		-225		dBc/Hz
$L_{1/f}$	Normalized In-Band 1/f Phase Noise	$I_{CP} = 11.2\text{mA}$ (Notes 7, 11)		-274		dBc/Hz
		In-Band Phase Noise Floor	Fractional Mode, CPLE = 1 (Notes 7, 9, 10, 12)		-113	
	Integrated Phase Noise from 100Hz to 40MHz	Fractional Mode, CPLE = 1 (Notes 9, 12)		0.14		$^\circ\text{RMS}$
	Spurious	Fractional Mode, $f_{OFFSET} = f_{PFD}$, PLL locked (Notes 8, 13, 14)		-98		dBc

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTC6948は $-40^\circ\text{C} \sim 105^\circ\text{C}$ の全動作接合部温度範囲で規定の性能制限値に適合することが保証されている。

電気的特性

Note 3: 電源の入れ直し後またはソフトウェアによるパワーオン・リセット (POR) 後にデバイスを較正した場合は、 $1.60V \leq V(\text{TUNE}) \leq 2.85V$ の場合に有効。

Note 4: 特性評価に基づく。

Note 5: $0.9V < V(\text{CP}) < (V_{\text{CP}} - 0.9V)$ の場合。

Note 6: 狭帯域ループを使って (RFO[1:0] = 3)、ループの帯域幅の外部で測定。

Note 7: ループをロックして、ループ帯域幅の内部で測定。

Note 8: リファレンス周波数はWenzelの501-04516によって供給 ($f_{\text{REF}} = 100\text{MHz}$, $P_{\text{REF}} = 10\text{dBm}$)。

Note 9: リファレンス周波数はWenzelの500-23571によって供給 ($f_{\text{REF}} = 61.44\text{MHz}$, $P_{\text{REF}} = 10\text{dBm}$)。

Note 10: 出力位相ノイズフロアは、正規化された位相ノイズフロアを基に、 $L_{\text{OUT}} = L_{\text{NORM}} + 10\log_{10}(f_{\text{PFD}}) + 20\log_{10}(f_{\text{RF}}/f_{\text{PFD}})$ によって計算される。

Note 11: 出力 1/f ノイズは、正規化された 1/f 位相ノイズを基に、 $L_{\text{OUT}(1/f)} = L_{1/f} + 20\log_{10}(f_{\text{RF}}) - 10\log_{10}(f_{\text{OFFSET}})$ によって計算される。

Note 12: $I_{\text{CP}} = 5.6\text{mA}$, $f_{\text{PFD}} = 61.44\text{MHz}$, $\text{FILT}[1:0] = 0$, $\text{Loop BW} = 180\text{kHz}$, $f_{\text{RF}} = 2377.7\text{MHz}$, $f_{\text{VCO}} = 4755.4\text{MHz}$ (LTC6948-3)

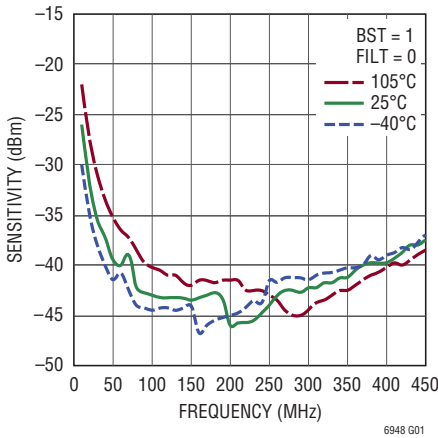
Note 13: $I_{\text{CP}} = 5.6\text{mA}$, $f_{\text{PFD}} = 25\text{MHz}$, $\text{FILT}[1:0] = 0$, $\text{Loop BW} = 73\text{kHz}$, $f_{\text{RF}} = 891.85\text{MHz}$, $f_{\text{VCO}} = 2675\text{Hz}$ (LTC6948-1)、 $f_{\text{VCO}} = 4459\text{MHz}$ (LTC6948-2)、 $f_{\text{VCO}} = 5351\text{MHz}$ (LTC6948-3、LTC6948-4)

Note 14: DC1959 を使用して測定。

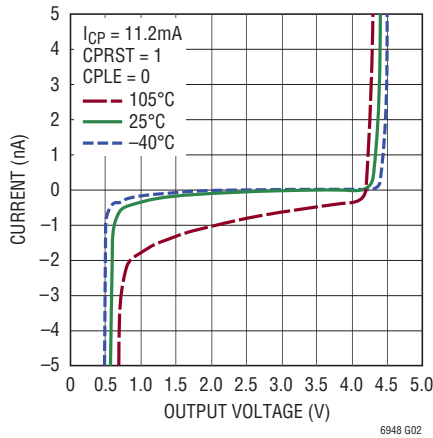
標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{\text{REF}}^+ = V_{\text{D}}^+ = V_{\text{RF}}^+ = 3.3\text{V}$ 、 $V_{\text{CP}}^+ = V_{\text{VCO}}^+ = 5\text{V}$ 、 $\text{INTN} = 0$ 、 $\text{DITHEN} = 1$ 、 $\text{CPLE} = 1$ 、 $\text{RFO}[1:0] = 3$ 。

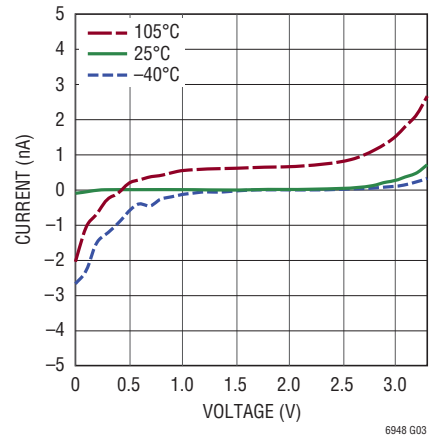
REF 入力 の 感度 と 周波数



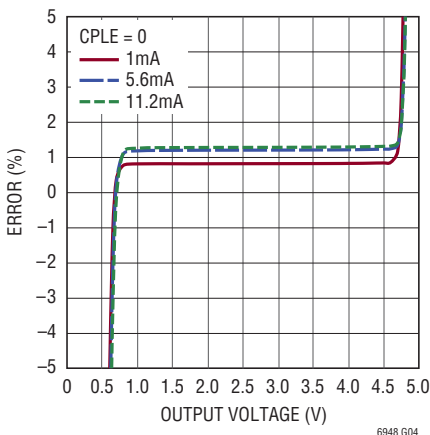
CP の Hi-Z 時 の 電流 と 電圧、温度



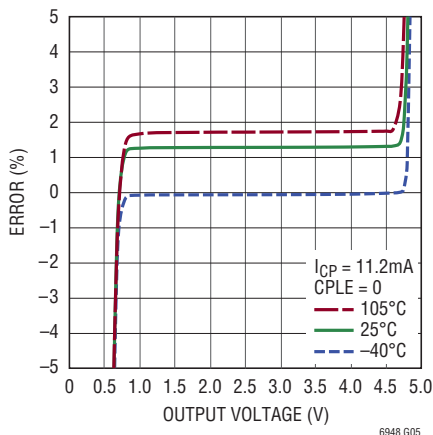
TUNE の 電流 と 電圧、温度



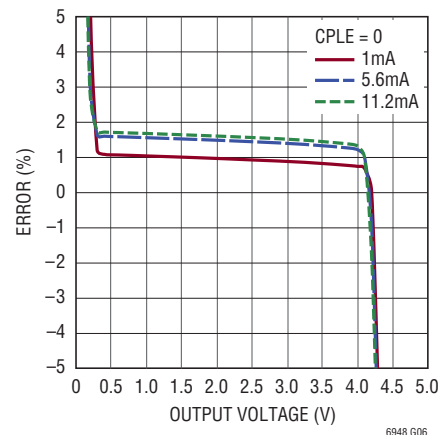
チャージポンプの
シンク電流誤差と電圧、出力電流



チャージポンプの
シンク電流誤差と電圧、温度



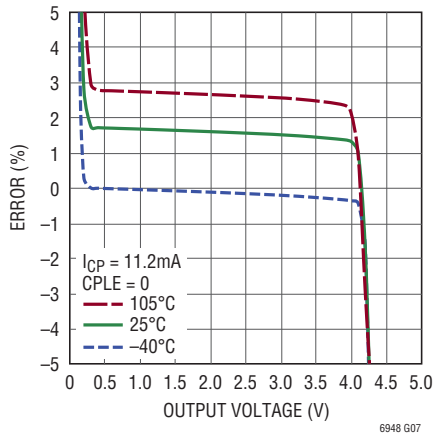
チャージポンプの
ソース電流誤差と電圧、出力電流



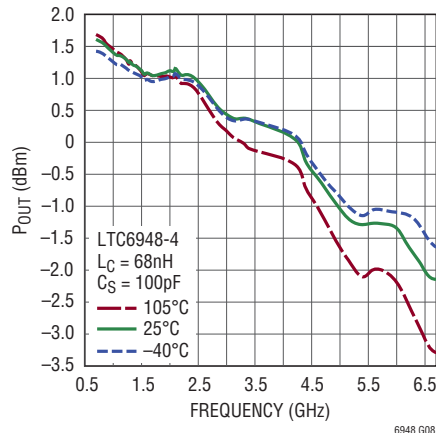
標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $INTN = 0$ 、 $DITHEN = 1$ 、 $CPLC = 1$ 、 $RFO[1:0] = 3_0$ 。

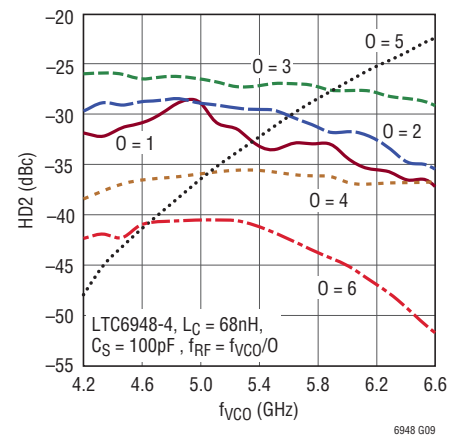
チャージポンプの
ソース電流誤差と電圧、温度



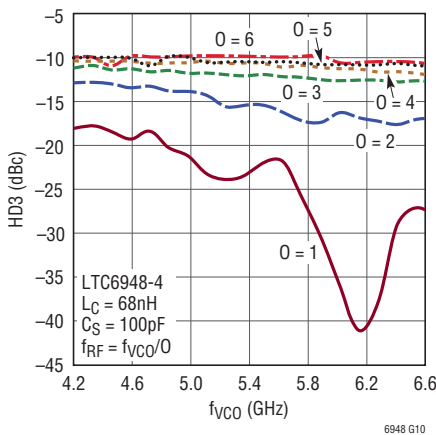
RF出力電力と周波数
(RF⁺でシングルエンド)



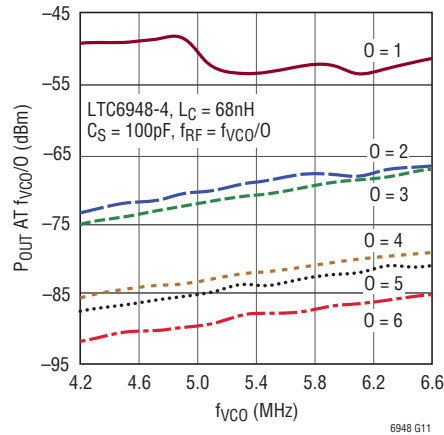
RF出力HD2と出力分周比
(RF⁺でシングルエンド)



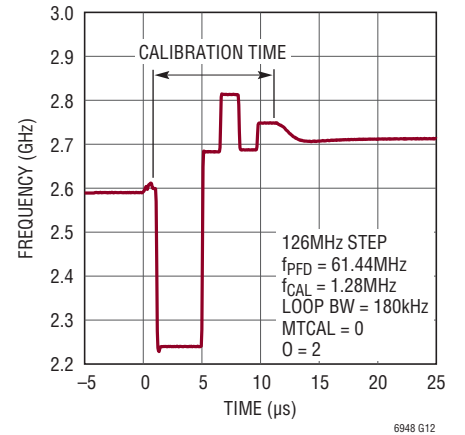
RF出力HD3と出力分周比
(RF⁺でシングルエンド)



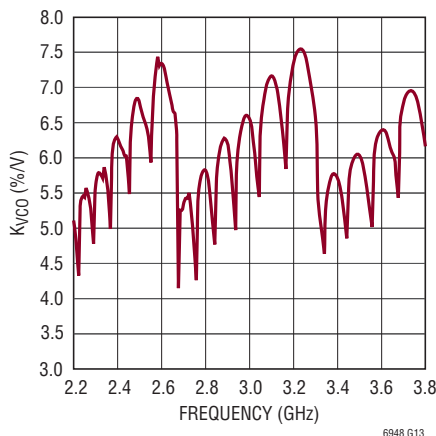
MUTEの出力電力とfVCOおよび
出力分周比(RF⁺でシングルエンド)



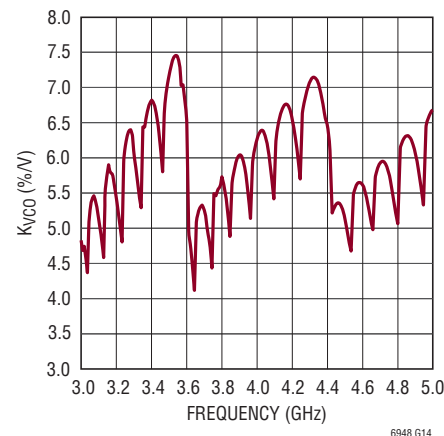
LTC6948-3の周波数ステップに
対するトランジェント応答



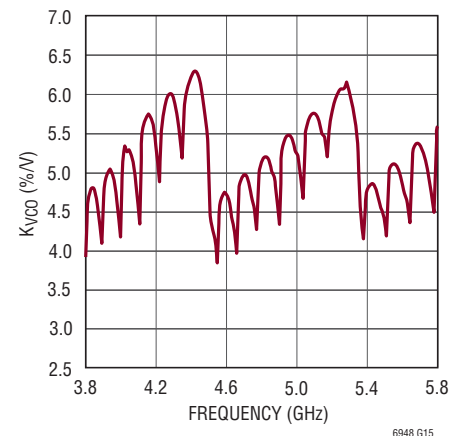
LTC6948-1のVCOの同調感度



LTC6948-2のVCOの同調感度



LTC6948-3のVCOの同調感度

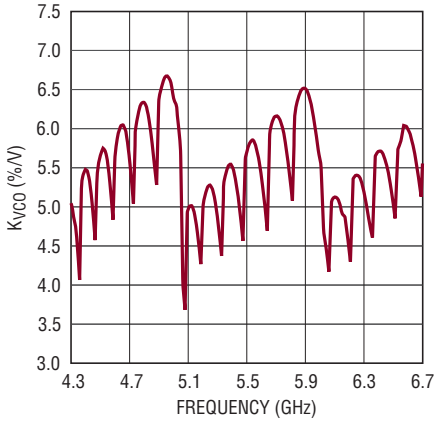


LTC6948

標準的性能特性

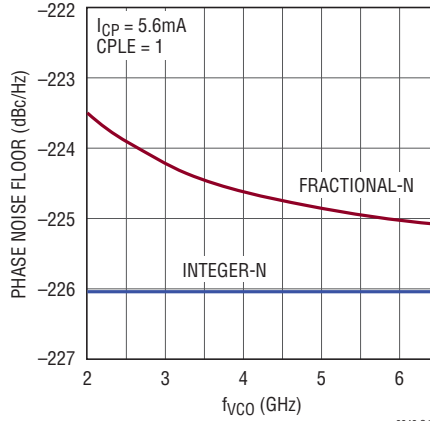
$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $INTN = 0$ 、 $DITHEN = 1$ 、 $CPL = 1$ 、 $RFO[1:0] = 3$ 。

LTC6948-4のVCOの同調感度



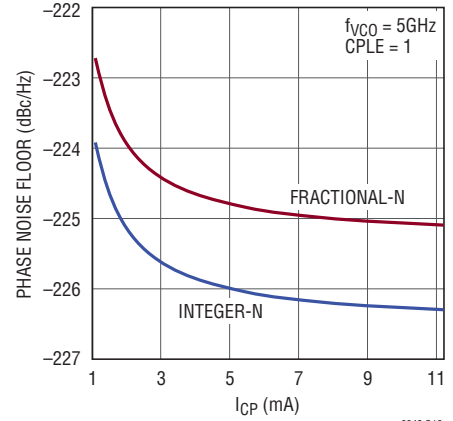
6948 G16

正規化された帯域内位相ノイズフロアと f_{VCO}



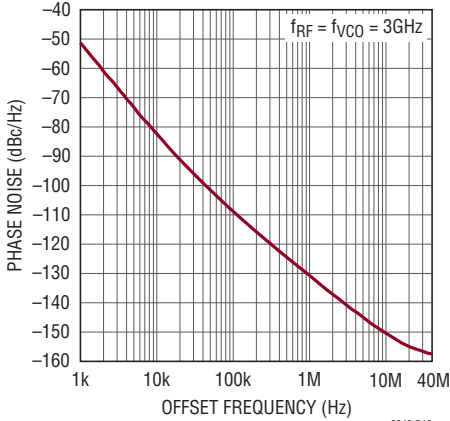
6948 G17

正規化された帯域内位相ノイズフロアとCPの電流



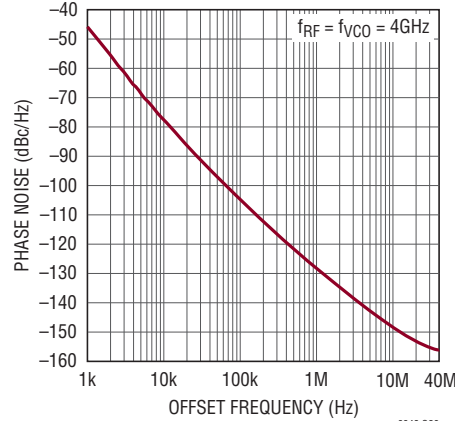
6948 G18

LTC6948-1のVCOの位相ノイズ



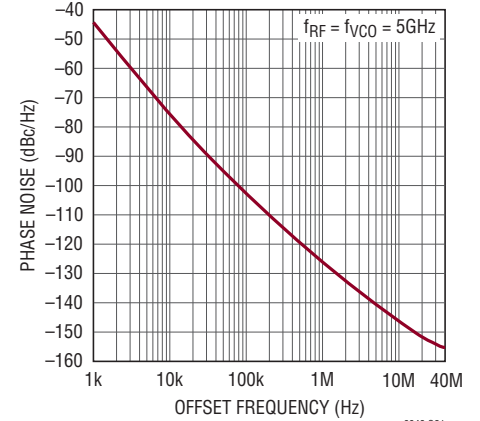
6948 G19

LTC6948-2のVCOの位相ノイズ



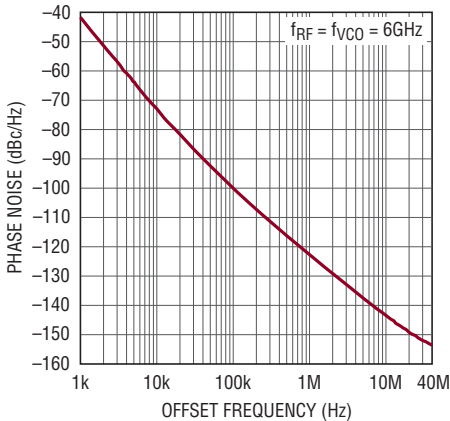
6948 G20

LTC6948-3のVCOの位相ノイズ



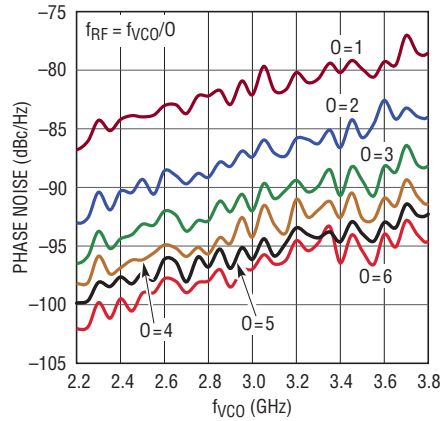
6948 G21

LTC6948-4のVCOの位相ノイズ



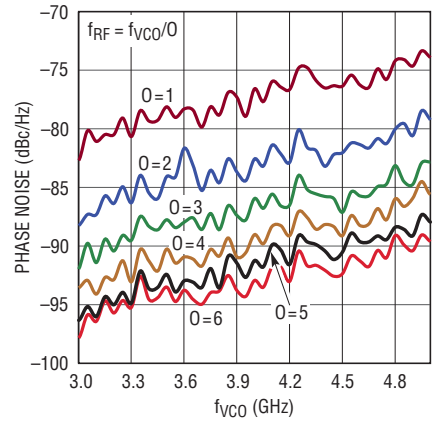
6948 G22

LTC6948-1のVCOの位相ノイズと f_{VCO} 、出力分周比 ($f_{OFFSET} = 10\text{kHz}$)



6948 G23

LTC6948-2のVCOの位相ノイズと f_{VCO} 、出力分周比 ($f_{OFFSET} = 10\text{kHz}$)

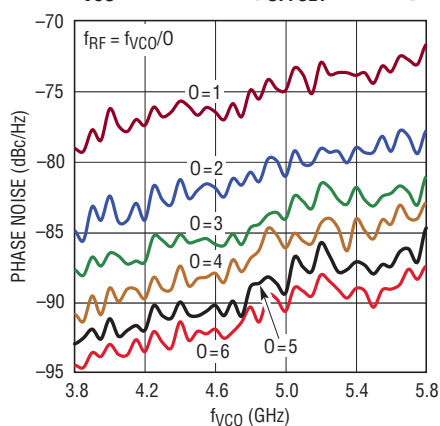


6948 G24

標準的性能特性

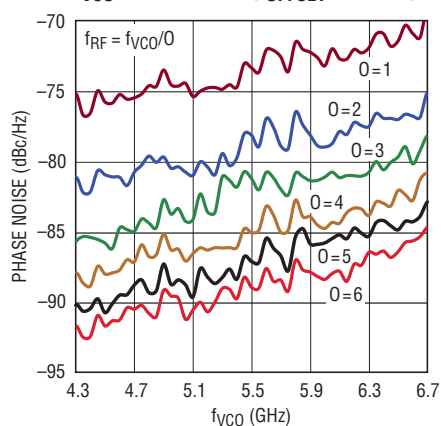
$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $\text{INTN} = 0$ 、 $\text{DITHEN} = 1$ 、 $\text{CPLE} = 1$ 、 $\text{RFO}[1:0] = 3_0$ 。

**LTC6948-3のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 10\text{kHz}$)**



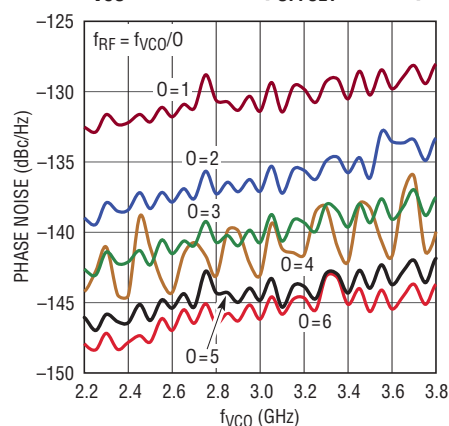
6948 G25

**LTC6948-4のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 10\text{kHz}$)**



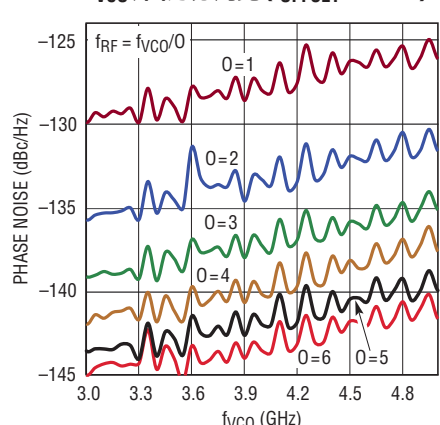
6948 G26

**LTC6948-1のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 1\text{MHz}$)**



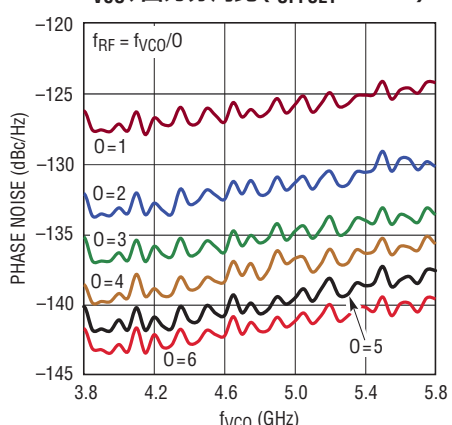
6948 G27

**LTC6948-2のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 1\text{MHz}$)**



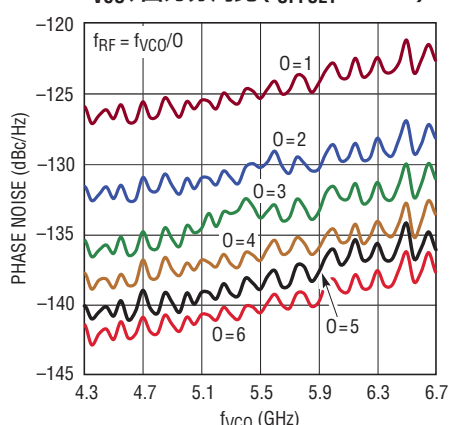
6948 G28

**LTC6948-3のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 1\text{MHz}$)**



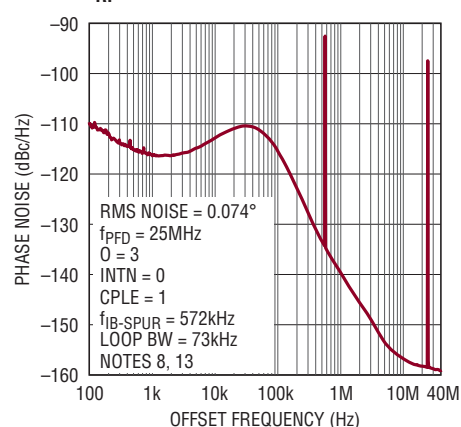
6948 G29

**LTC6948-4のVCOの位相ノイズと
 f_{VCO} 、出力分周比 ($f_{\text{OFFSET}} = 1\text{MHz}$)**



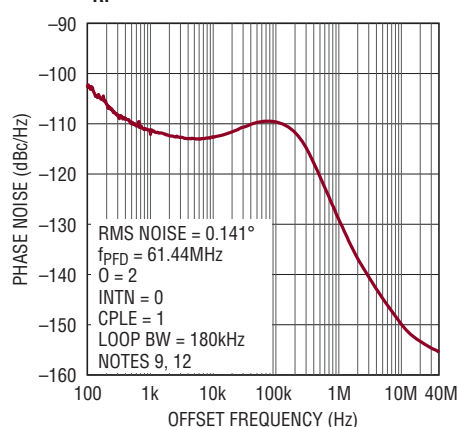
6948 G30

**閉ループ位相ノイズ、LTC6948-1、
 $f_{RF} = 891.857\text{MHz}$**



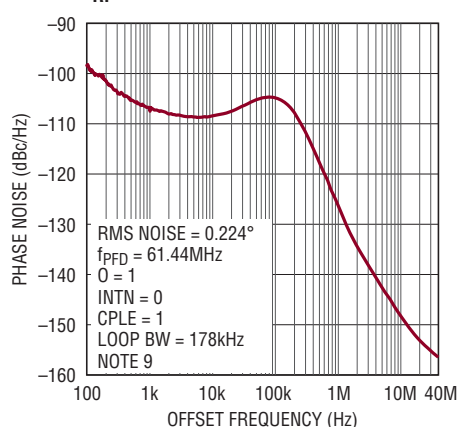
6948 G31

**閉ループ位相ノイズ、LTC6948-3、
 $f_{RF} = 2377.728\text{MHz}$**



6948 G32

**閉ループ位相ノイズ、LTC6948-2、
 $f_{RF} = 3646.464\text{MHz}$**



6948 G33

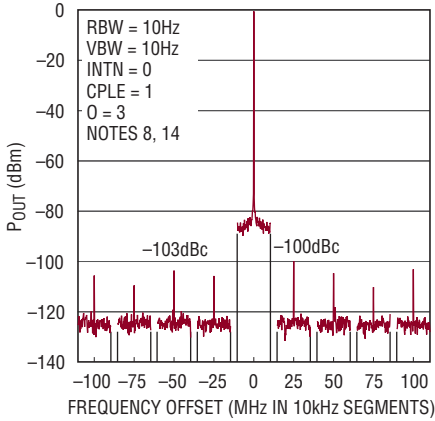
LTC6948

標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF}^+ = V_D^+ = V_{RF}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = V_{VCO}^+ = 5\text{V}$ 、 $\text{INTN} = 0$ 、 $\text{DITHEN} = 1$ 、 $\text{CPLE} = 1$ 、 $\text{RFO}[1:0] = 3$ 。

LTC6948-1のスプリアス応答

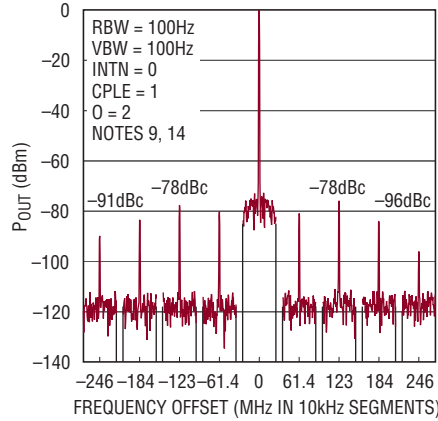
$f_{RF} = 891.85\text{MHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{PFD} = 25\text{MHz}$ 、ループ帯域幅 = 74kHz



6948 G34

LTC6948-3のスプリアス応答

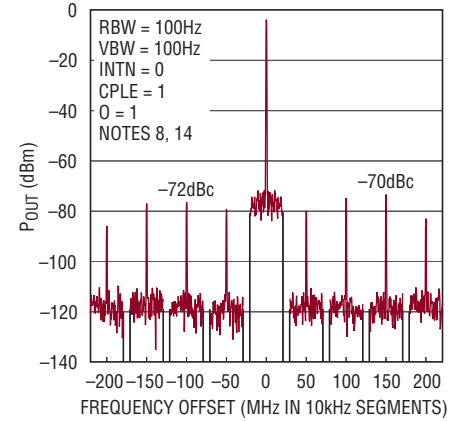
$f_{RF} = 2377.73\text{MHz}$ 、 $f_{REF} = 61.44\text{MHz}$ 、 $f_{PFD} = 61.44\text{MHz}$ 、ループ帯域幅 = 180k



6948 G35

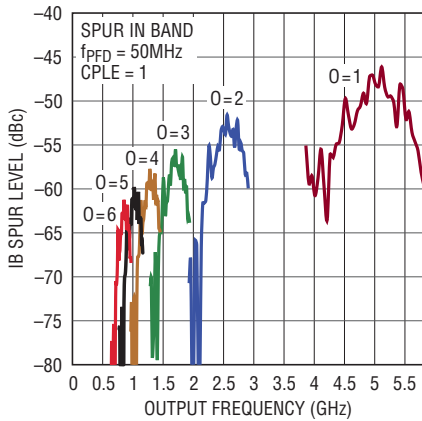
LTC6948-4のスプリアス応答

$f_{RF} = 6236\text{MHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{PFD} = 50\text{MHz}$ 、ループ帯域幅 = 152kHz



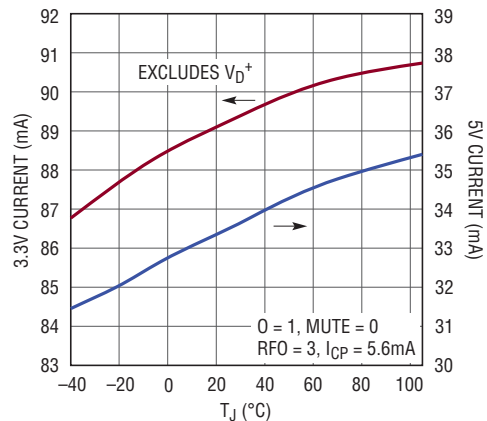
6948 G36

整数値境界スプリアス電力と出力周波数、LTC6948-3



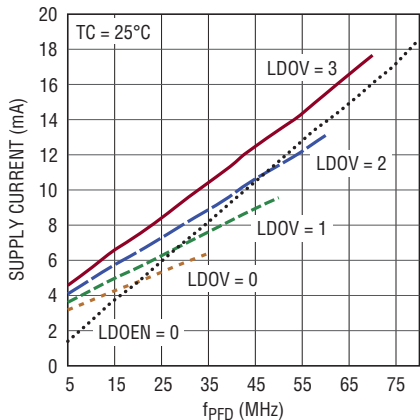
6948 G37

LTC6948-4の電源電流



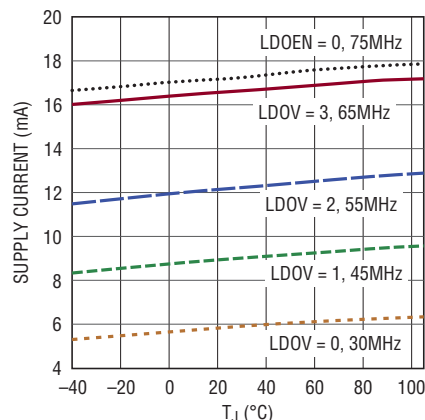
6948 G38

V_D^+ の電源電流とLDOV、 f_{PFD} (INTN = 0、PDFN = 0)



6948 G39

V_D^+ の電源電流とLDOV、温度 (INTN = 0、PDFN = 0、 f_{PFD} 注記)



6948 G40

ピン機能

REF⁺、REF⁻ (ピン1、28) : 基準入力信号。この差動入力は低ノイズのアンプでバッファされ、その出力は基準分周器に送られます。これらのピンは自己バイアスされており、1 μ FのコンデンサでAC結合する必要があります。V_{REF⁺} \leq 2.7V_{P-P}のシングルエンドで使用する場合は、REF⁻を1 μ FのコンデンサでGNDにバイパスしてください。V_{REF⁺} > 2.7V_{P-P}のシングルエンドで使用する場合は、REF⁻を47pFのコンデンサでGNDにバイパスしてください。

STAT (ピン2) : 状態出力。この信号は、UNLOK、LOK、ALCHI、ALCLO、THI、およびTLOの各状態ビットを設定可能な論理和で組み合わせたものであり、STATUSレジスタを介して設定できます。詳細は「動作」のセクションを参照してください。

CS (ピン3) : シリアル・ポート・チップ・セレクト。このCMOS入力は、“L”にするとシリアル・ポートの通信バーストを開始し、“H”に戻すとバーストを終了します。詳細は「動作」のセクションを参照してください。

SCLK (ピン4) : シリアル・ポート・クロック。このCMOS入力では、その立ち上がりエッジでシリアル・ポートの入力データをクロックと同期します。詳細は「動作」のセクションを参照してください。

SDI (ピン5) : シリアル・ポート・データ入力。シリアル・ポートはこのCMOS入力をデータに使用します。詳細は「動作」のセクションを参照してください。

SDO (ピン6) : シリアル・ポート・データ出力。このCMOSのスリーステート出力は、読み出しの通信バーストの間、シリアル・ポートのデータを出力します。オプションで、200kより大きな抵抗をGNDに接続して出力がフロートするのを防ぎます。詳細については、「アプリケーション情報」のセクションを参照してください。

LDO (ピン7) : $\Delta\Sigma$ 変調器のLDOバイパス・ピン。このピンのできるだけ近くに低ESR (<0.8 Ω)の0.1 μ Fセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

V_D⁺ (ピン8) : シリアル・ポート回路および $\Delta\Sigma$ 変調器回路の3.15V~3.45Vの正電圧電源ピン。このピンのできるだけ近くに0.1 μ Fのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

MUTE (ピン9) : RFミュート。このCMOSのアクティブ“L”入力は、デアサート時に素早く応答できるように内部バイアス・レベルを維持しつつ、RF⁺差動出力をミュートします。

GND (ピン10、17、21、露出パッド・ピン29) : 負電源(グラウンド)。これらのグラウンド・ピンは、各ピンに複数のビアを使って、グラウンド・プレーンに直接接続します。パッケージの露出パッドはPCBのランドに直接半田付けする必要があります。PCBのランド・パターンには、グラウンド・インダクタンスと熱抵抗の両方を減らすためにグラウンド・プレーンへの複数のサーマル・ビアを配置します。

RF⁻、RF⁺ (ピン11、12) : RF出力信号。VCOの出力分周器はバッファされ、差動でこれらのピンに出力されます。出力はオープンコレクタで、インピーダンス整合に役立つよう136 Ω (標準)のプルアップ抵抗がV_{RF⁺}に接続されています。シングルエンドで使用する場合は、使用しない方の出力を50 Ω で終端します。インピーダンス整合の詳細については、「アプリケーション情報」のセクションを参照してください。

V_{RF⁺} (ピン13) : RF回路の3.15V~3.45Vの正電源ピン。このピンのできるだけ近くに0.01 μ Fのセラミック・コンデンサを配置して、このピンをグラウンド・プレーンに直接バイパスします。

BB (ピン14) : RFリファレンス信号のバイパス。この出力には内部に2.5kの抵抗があり、1 μ Fのセラミック・コンデンサでGNDにバイパスする必要があります。このピンは他のどの信号にも結合しないでください。

TUNE (ピン15) : VCOの同調入力。この周波数制御ピンは通常外部のループ・フィルタに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

ピン機能

TB (ピン16) : VCOのバイパス。この出力には内部に2kの抵抗があり、2.2 μ Fのセラミック・コンデンサでGNDにバイパスする必要があります。このピンは、通常は短いトレースでCM_A、CM_B、およびCM_Cに接続します。このピンは他のどの信号にも結合しないでください。

CM_A、CM_B、CM_C (ピン18、19、20) : VCOのバイアス入力。これらの入力は通常、短いトレースを使ってTBに接続し、2.2 μ Fのセラミック・コンデンサを使ってGNDに接続します。これらのピンは他のどの信号にも結合しないでください。**最良の位相ノイズ特性を得るには、パッケージの下のこれらのパッドの間にトレースを配置しないでください。**

BVCO (ピン22) : VCOのバイパス・ピン。この出力は1 μ Fのセラミック・コンデンサでGNDにバイパスする必要があります。このピンは他のどの信号にも結合しないでください。

V_{VCO}⁺ (ピン23) : VCO回路の4.75V～5.25Vの正電源ピン。このピンのできるだけ近くに0.01 μ Fのセラミック・コンデンサを配置して、このピンをグランド・プレーンに直接バイパスします。

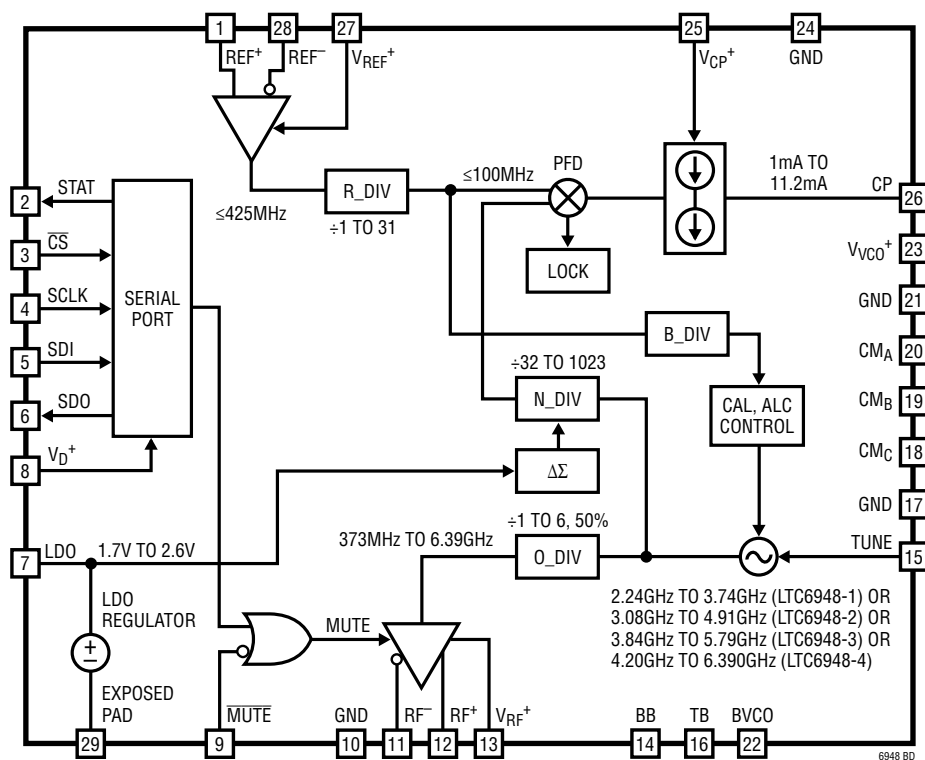
GND (ピン24) : 負電源(グランド)。このピンはダイアタッチ・パドル(DAP)に直接接続されており、グランド・プレーンに直接接続します。

V_{CP}⁺ (ピン25) : チャージポンプ回路の4V～5.25Vの正電源ピン。このピンのできるだけ近くに0.1 μ Fのセラミック・コンデンサを配置して、このピンをグランド・プレーンに直接バイパスします。

CP (ピン26) : チャージポンプの出力。この双方向電流出力は、通常は外部のループ・フィルタに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

V_{REF}⁺ (ピン27) : リファレンス入力回路の3.15V～3.45Vの正電源ピン。このピンのできるだけ近くに0.1 μ Fのセラミック・コンデンサを配置して、このピンをグランド・プレーンに直接バイパスします。

ブロック図



動作

LTC6948は分数分周方式の高性能PLLで、4つの異なる周波数範囲オプションで供給できる低ノイズVCOを備えています。出力分周器を使用すれば、出力周波数範囲をさらに広げることができます(詳細については、「供給可能なオプション」の表を参照)。デバイスは、その非常に低い帯域内位相ノイズ特性と優れたVCOノイズ特性の組み合わせにより、卓越した積分位相ノイズ特性を達成することができます。

分数帰還分周器は先進の $\Delta\Sigma$ 変調器を使用しているので、事実上、ディスクリット変調器のスプリアス・トーンは発生しません。整数帰還が必要な場合、この変調器はディスエーブルできます。

リファレンス入力バッファ

PLLのリファレンス周波数は、REF⁺ピンとREF⁻ピンに差動で入力します。これらの高インピーダンス入力は自己バイアスされており、1 μ FのコンデンサでAC結合する必要があります(簡略回路図については、図1を参照)。あるいは、リファレンス周波数をREF⁺に入力し、1 μ FのコンデンサでREF⁻をGNDにバイパスすることにより、入力をシングルエンドで使うことができます。シングルエンド信号が2.7V_{P-P}より大きい場合は、GNDへのバイパスに47pFのコンデンサを使用します。

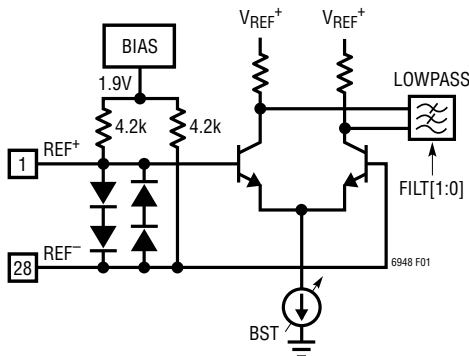


図1. REFのインタフェースの簡略回路図

PLL全体の周波数の基準となるので、高品質の信号をREF⁺に入力する必要があります。デバイスの帯域内位相ノイズ特性を達成するには、6dBm以上のCW信号を50 Ω に入力するか、またはスルーレートが40V/ μ s以上で0.5V_{P-P}以上の方形波を入力します。

シリアル・ポート・レジスタh0Bを介して追加のオプションを利用できるので、アプリケーションをさらに改善できます。FILT[1:0]のビットはリファレンス入力バッファのローパス・フィルタを制御します。これらのビットをf_{REF}に基づいて設定してリファレンス信号の広帯域ノイズを制限します。正規化された帯域内位相ノイズフロアL_{NORM}を達成するには、FILT[1:0]のビットを正しく設定する必要があります。推奨設定値については、表1を参照してください。

表1. FILT[1:0]のプログラミング

FILT[1:0]	f _{REF}
3	<20MHz
2	NA
1	20MHz~50MHz
0	>50MHz

BSTビットを入力信号レベルに基づいて設定し、リファレンス入力バッファが飽和するのを防ぎます。推奨設定値については表2を参照し、プログラミング例については「アプリケーション情報」のセクションを参照してください。

表2. BSTのプログラミング

BST	V _{REF}
1	<2V _{P-P}
0	≥2V _{P-P}

基準(R)分周器

PFDから見た周波数を下げるのに、5ビット分周器(R_DIV)が使われます。その分周比Rは、1~31の任意の整数に設定することができます。分周比Rはレジスタh06のRD[4:0]ビットを使用して直接設定します。Rと、周波数f_{REF}、f_{PFD}、f_{VCO}、f_{RF}の関係については、「アプリケーション情報」のセクションを参照してください。

位相周波数検出器(PFD)

位相周波数検出器(PFD)は、チャージポンプと連携して、R分周器とN分周器の出力の間の位相差に比例したソース電流パルスとシンク電流パルスを発生します。この動作により、必要な帰還信号がフェーズロック・ループに与えられ、PFDの

動作

入力の位相が揃うように強制します。PFDはCPRSTビットによってディスエーブルすることができ、UPパルスとDOWNパルスの発生が停止します。PFDの簡略回路図に関しては、図2を参照してください。

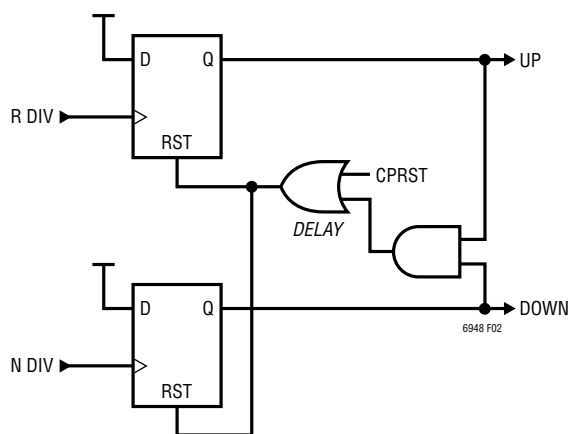


図2. PFDの簡略回路図

ロック・インジケータ

ロック・インジケータはPFDからの内部信号を使って、R分周器とN分周器の出力信号の間の位相の一致を測定します。この回路はシリアル・ポート・レジスタh0CのLKCT[1:0] (表5参照)をプログラムすることによりイネーブルされ、LOCKとUNLOCKの両方の状態フラグを生成します。これらのフラグはSTAT出力とシリアル・ポート・レジスタh00の両方を介して利用できます。

ユーザーはLKWIN[2:0]ビットを使って、有効なLOCK状態の位相差ロック・ウィンドウ時間(t_{LWW})を設定します。デバイスを分数分周方式シンセサイザ(分数モード)として使用する場合、 $\Delta\Sigma$ 変調器は、PFDから見た瞬時位相をR_DIVおよびN_DIVのサイクルごとに変化させます。この場合の最大許容時間差は、VCO周波数 f_{VCO} とチャージポンプの線形化イネーブル・ビットCPLC(この機能については、「チャージポンプのリニアライザ」のセクションを参照)の両方に依存します。デバイスを分数モードで使用する場合のLKWIN[2:0]の推奨設定を表3に示します。例については、「アプリケーション情報」のセクションを参照してください。

表3. LKWIN[2:0]の分数モードのプログラミング

LKWIN[2:0]	t_{LWW}	f_{VCO} (CPLC = 1)	f_{VCO} (CPLC = 0)
0	5.0ns	$\geq 2.97\text{GHz}$	$\geq 1.35\text{GHz}$
1	7.35ns	$\geq 2.00\text{GHz}$	$\geq 919\text{MHz}$
2	10.7ns	$\geq 1.39\text{GHz}$	$\geq 632\text{MHz}$
3	15.8ns	$\geq 941\text{MHz}$	$\geq 428\text{MHz}$
4	23.0ns	$\geq 646\text{MHz}$	$\geq 294\text{MHz}$
5	34.5ns	$\geq 431\text{MHz}$	$\geq 196\text{MHz}$
6	50.5ns	$\geq 294\text{MHz}$	$\geq 134\text{MHz}$
7	76.0ns	$\geq 196\text{MHz}$	$\geq 89\text{MHz}$

デバイスを整数分周方式シンセサイザ(整数モード)として使用する場合、PFDから見た位相差はPLLの帰還により最小限に抑えられるので、 f_{VCO} には依存しなくなります。さまざまな f_{PFD} 周波数での推奨設定を表4に示します。例については、「アプリケーション情報」のセクションを参照してください。

表4. LKWIN[2:0]の整数モードのプログラミング

LKWIN[2:0]	t_{LWW}	f_{PFD}
0	5.0ns	$> 6.8\text{MHz}$
1	7.35ns	$\leq 6.8\text{MHz}$
2	10.7ns	$\leq 4.7\text{MHz}$
3	15.8ns	$\leq 3.2\text{MHz}$
4	23.0ns	$\leq 2.2\text{MHz}$
5	34.5ns	$\leq 1.5\text{MHz}$
6	50.5ns	$\leq 1.0\text{MHz}$
7	76.0ns	$\leq 660\text{kHz}$

COUNTSの値までカウントする間連続してPFDの位相差が t_{LWW} より小さいと、ロック・インジケータがLOCKフラグをアサートします。アプリケーションに応じてCOUNTSを設定するには、レジスタh0CのLKCT[1:0]ビットを使います。ロック・インジケータをディスエーブルするには、LKCTを0に設定します。LKCT[1:0]のプログラミングについては表5を参照し、例については「アプリケーション情報」のセクションを参照してください。

動作

表 5. LKCT[1:0] のプログラミング

LKCT[1:0]	COUNTS
0	ロック・インジケータはディスエーブル状態
1	32
2	256
3	2048

PFD の位相差が t_{LWV} より大きいと、ロック・インジケータは直ちに UNLOCK 状態フラグをアサートし、LOCK フラグをクリアして、ロックから外れた状態であることを表示します。位相差が t_{LWV} より小さくなると、UNLOCK フラグは直ちにデアサートされます。詳細については、図 3 を参照してください。

LOCK フラグと UNLOCK フラグによるアサートおよびクリアが正常に行われるには、 f_{REF} が存在することが必要です。

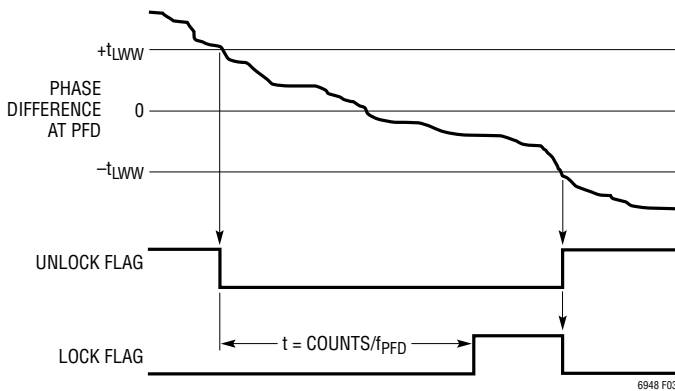


図 3. UNLOCK と LOCK のタイミング

チャージポンプ

PFD によって制御されるチャージポンプが、シンク (DOWN) 電流パルスまたはソース (UP) 電流パルスを CP ピンに強制します。このピンには適切なループ・フィルタを接続します。チャージポンプの簡略回路図に関しては、図 4 を参照してください。

出力電流の大きさ I_{CP} は、シリアル・ポート・レジスタ h0C にある CP[2:0] ビットを使用して 1mA ~ 11.2mA に設定できます。

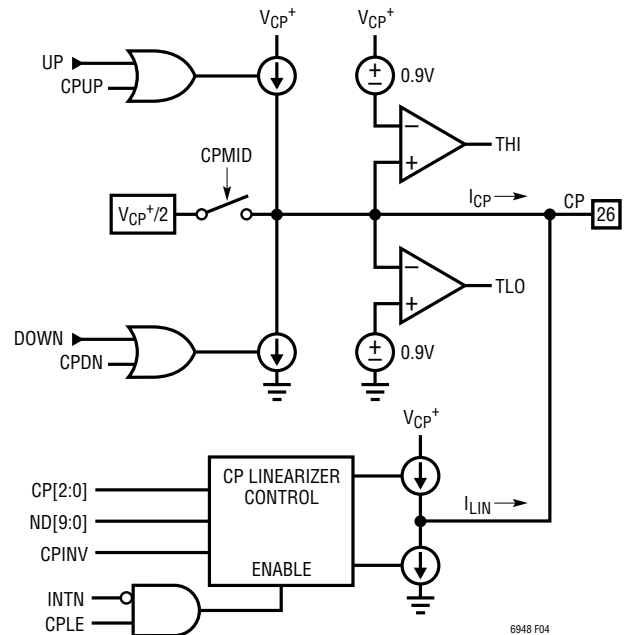


図 4. チャージポンプの簡略回路図

ループ・フィルタ部品のインピーダンスが小さいので、 I_{CP} が大きいほど帯域内ノイズを低くすることができますが、この電流が 5.6mA より大きいと通常はスプリアス性能が低下します。プログラミングの詳細については表 6 を参照し、ループ・フィルタの例については「アプリケーション情報」のセクションを参照してください。

表 6. CP[2:0] のプログラミング

CP[2:0]	I_{CP}
0	1.0mA
1	1.4mA
2	2.0mA
3	2.8mA
4	4.0mA
5	5.6mA
6	8.0mA
7	11.2mA

反転オペアンプを使用する複雑な外部ループなど、PFD からの信号を反転する必要があるアプリケーションでは、レジスタ h0D の CPINV ビットをセットします。図 13 に示すような受動ループ・フィルタでは、CPINV = 0 にすることが必要です。

動作

チャージポンプの機能

チャージポンプは、システムの起動を支援する追加機能を持っています。まとめとして、以下の表7を参照してください。

表7. チャージポンプの機能ビットの説明

ビット	説明
CPCHI	高電圧出力クランプをイネーブル
CPCLO	低電圧出力クランプをイネーブル
CPDN	シンク電流を強制
CPINV	PFDの位相を反転
CPLE	リニアライザをイネーブル
CPMID	中電圧バイアスをイネーブル
CPRST	PFDをリセット
CPUP	ソース電流を強制
CPWIDE	電流パルス幅を拡張
THI	高電圧クランプ・フラグ
TLO	低電圧クランプ・フラグ

レジスタh0DのCPCHIビットとCPCLOビットは、それぞれ高電圧クランプと低電圧クランプをイネーブルします。CPCHIがイネーブルされ、CPピンの電圧がおおよそ $V_{CP^+} - 0.9V$ を超えると、THI状態フラグがセットされ、チャージポンプのソース電流がディスエーブルされます。代わりに、CPCLOがイネーブルされ、CPピンの電圧が約0.9Vを下回ると、TLO状態フラグがセットされ、チャージポンプのシンク電流がディスエーブルされます。簡略回路図については、図4を参照してください。

レジスタh0DのCPMIDビットは抵抗性の $V_{CP^+}/2$ の出力バイアスをイネーブルします。このバイアスを使って、扱いにくいループ・フィルタを事前に有効な電圧範囲にバイアスすることができます。CPMIDを使うときは、CPRSTビットもアサートして、PFDのリセットを強制することを推奨します。通常動作では、CPMIDとCPRSTの両方を0に設定する必要があります。

CPUPビットとCPDNビットはそれぞれ、一定の I_{CP} のソース電流とシンク電流をCPピンに強制します。CPRSTビットは、CPUPビットおよびCPDNビットと組み合わせて使用し、必要に応じてループのプリチャージを既知の状態にすることもできます。ループがロックできるようにするには、CPUP、CPDN、およびCPRSTを0に設定する必要があります。

CPWIDEビットは、PFDリセットパスの遅延の値を大きくすることにより、チャージポンプの出力電流パルスの幅を広げます(図2を参照)。CPWIDEは通常は0に設定されます。

チャージポンプのリニアライザ

LTC6948が分数モードで動作している場合、チャージポンプの電流出力とその位相刺激(利得直線性)をきわめて正確にする必要があります。CPの利得リニアライザは、補正電流 I_{LIN} を自動的に補充して、分数動作時に帯域内位相ノイズおよびスプリアス積に対するチャージポンプの影響を最小限に抑えます。

CP利得リニアライザは、CPLE = 1を設定すればイネーブルされます。整数モードでは自動的にディスエーブルされません。CPRSTまたはCPMIDがアサートされて、リニアライザが目的外の電流を発生しないようにする場合は、CPLEを0に設定してください。

VCO

内蔵VCOは4つの周波数範囲の1つで利用可能です。出力分周器を使用すれば、出力周波数範囲をさらに広げることができます(詳細については、「供給可能なオプション」の表を参照)。VCOの周波数範囲は広いので、出力分周器の能力と組み合わせると、LTC6948は連続的に選択可能な非常に広い周波数範囲をカバーすることができます。

内部のVCO回路をバイアスするには、BBピンとTBピンを使用します。BBピンには内部に2kの出力抵抗があり、 $1\mu F$ のセラミック・コンデンサでGNDにバイパスする必要があります。これにより、2msの時定数が得られます。TBピンには内部に2.5kの出力抵抗があり、 $2.2\mu F$ のセラミック・コンデンサでGNDにバイパスする必要があります。これにより、5.5msの時定数が得られます。起動してから時定数の約3倍経過後、安定したバイアス電圧が得られます。

VCOの較正

VCOは、その周波数を変更するたびに、 f_{REF} 、R分周器の値、またはN分周器の値、 $\Delta\Sigma$ 変調器の分数値のいずれか(O分周器は除く)を変更することによって較正する必要があります(R、N、NUM、O、および周波数 f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{RF} の間

動作

の関係については、「アプリケーション情報」のセクションを参照)。そうすると、電源の入れ直しまたはソフトウェアによるパワーオン・リセット (POR) によってデバイスがリセットされるまで、較正を行ったときの温度には関係なく、LTC6948の全温度範囲で出力周波数が安定します。

ブロック図に示されているように、デジタル較正回路をクロックするには、B分周器の出力が使用されます。ビットBD[3:0]を使用して設定したBの値と f_{PFD} により、較正周波数 f_{CAL} が決まります。式1を使用してBの値を計算します。

$$B \geq \frac{f_{\text{PFD}}}{f_{\text{CAL-MAX}}} \quad (1)$$

各デバイス・オプションの最大較正周波数 $f_{\text{CAL-MAX}}$ を表8に示します。

表8. 最大較正周波数

デバイス名	$f_{\text{CAL-MAX}}$ (MHz)
LTC6948-1	1.0
LTC6948-2	1.33
LTC6948-3	1.7
LTC6948-4	1.8

ビットBD(3:0)とBの値の間の関係を表9に示します。

表9. BD[3:0]のプログラミング

BD[3:0]	Bの分周比の値
0	8
1	12
2	16
3	24
4	32
5	48
6	64
7	96
8	128
9	192
10	256
11	384
12~15	無効

RD[4:0]、ND[9:0]、NUM[17:0]、BD[3:0]の各ビットが書き込まれ、REF⁺入力にリファレンス周波数 f_{REF} が存在して安定したら、CAL = 1 (このビットは自己クリアします)を設定してVCOを較正する必要があります。較正サイクルには、B分周器出力の12~14クロックを要します。MTCALビットを設定して、較正中はRF出力をミュートすることができます。

較正を正常に行うには、周波数 f_{REF} と電圧TBおよびBBが安定している必要があります。起動してから時定数の約3倍経過後、安定したバイアス電圧が得られます。

AUTOCAL = 1を設定すると、シリアル・ポート・レジスタh06~h0Aのいずれかが書き込まれた場合に必ずCALビットが自動的にセットされるようになります。AUTOCALをイネーブルすると、レジスタに個別に書き込んでCALビットをセットする必要がなくなります。VCOビットの要約については表10を参照してください。

表10. VCOビットの説明

ビット	説明
AUTOCAL	レジスタh06~h0Aが書き込まれると必ずVCOを較正
CAL	VCOの較正を開始(自動クリア)
MTCAL	較正時にRF出力をミュート

VCOの自動レベル制御(ALC)

VCOは内部の自動レベル制御(ALC)アルゴリズムを使って、VCO共振器の最適振幅を維持し、それによって最適位相ノイズ特性を維持します。表11に示されているように、ユーザーはいくつかのALC構成と状態報告を選択することができます。

表11. ALCビットの説明

ビット	説明
ALCCAL	CAL動作時にALCを自動イネーブル
ALCEN	ALCを常時イネーブル (ALCCAL、ALCMON、およびALCULOKに優先)
ALCHI	ALCが高すぎることを示すフラグ (共振器の振幅が大きすぎる)
ALCLO	ALCが低すぎることを示すフラグ (共振器の振幅が小さすぎる)
ALCMON	状態フラグについてのみALCモニタをイネーブルし、振幅制御はイネーブルしない
ALCULOK	PLLがアンロックしたときALCを自動イネーブル

動作

内部 ALC の出力が変化すると、VCO の周波数に微小なジャンプが生じることがあります。このようなジャンプを受容できるアプリケーションがありますが、受容できないものもあります。ALC をいつアクティブにするか選択するのに上の表を使ってください。ALC がアクティブなとき、または ALCMON ビットがセットされているときだけ有効な、ALCHI と ALCLO のフラグを使って、共振器の振幅をモニタすることができます。

較正サイクル中またはその後、ALC の動作を許可する必要があります。ALCCAL、ALCEN、または ALCULOK ビットの少なくとも1つをセットする必要があります。

VCO (N) 分周器

10 ビットの N 分周器は VCO から PFD への帰還を与えます。その分周比 N は、分数モード時は 35 から 1019 までの任意の整数に制限されます。分周比は、整数モード時は 32 から 1023 までの範囲で設定できます。分周比 N を直接設定するには、レジスタ h06 と h07 の ND[9:0] ビットを使用します。N と、周波数 f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{RF} の間の関係については、「アプリケーション情報」のセクションを参照してください。

$\Delta\Sigma$ 変調器

$\Delta\Sigma$ 変調器は、N 分周器の比を PFD サイクルごとに変更して、平均的な分数分周比を実現します。分数の分子 NUM[17:0] は、1 ~ 262143 (つまり $2^{18} - 1$) の範囲で設定できます。分数の分母は 262144 (つまり 2^{18}) に固定されており、式 4 によって分数比 F が得られます。NUM、F と、周波数 f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{RF} の間の関係については、「アプリケーション情報」のセクションを参照してください。

$\Delta\Sigma$ 変調器は、デジタル信号処理 (DSP) 技術を使用して、平均的な分数分周比を実現します。この変調器は f_{PFD} の割合で同期します。この処理により、高域通過周波数応答による量子化ノイズとして知られる出力変調ノイズが発生します。低域通過ループ・フィルタを外付けしてこの量子化ノイズを除去し、VCO の位相ノイズより 1 レベル低いレベルまで減らします。これにより、このノイズがシステム全体の位相ノイズの一因とならないようにします。量子化ノイズを十分除去できるようにループ・フィルタを設計する必要があります。

オーバーサンプリング比 OSR は、 $\Delta\Sigma$ 変調器のクロック周波数 f_{PFD} と PLL のループ帯域幅 BW との比として定義されます (式 11 参照)。OSR とループ・フィルタに関するガイドラインについては、「アプリケーション情報」のセクションを参照してください。

目的の出力周波数を、必要な NUM の値が 0 になるようにする場合は、LTC6948 を整数モード (INTN = 1) で動作させるようにします。整数モードでは、変調器は、すべてのブロックに電力が供給されたままスタンバイ状態になるので、分数分周動作をすぐに再開できます。

変調器が発生するスプリアスをさらに低減するには、分子ディザ・モードをイネーブルします (DITHEN = 1)。ディザには帯域内位相ノイズに対する測定可能な影響はないので、デフォルトでイネーブルされます。変調器ビットの説明の一覧については、表 12 を参照してください。

変調器のリセット

安定したスプリアス性能を実現するため、NUM[17:0] を変更する場合は必ず RSTFN = 1 を設定して、変調器の DSP 回路を再初期化します。AUTORST = 1 を設定すると、シリアル・ポート・レジスタ h05 ~ h0A のいずれかが書き込まれた場合に必ず RSTFN ビットが自動的にセットされるようになります。AUTORST をイネーブルすると、レジスタに個別に書き込んで RSTFN ビットをセットする必要がなくなります。変調器ビットの要約については表 12 を参照してください。

表 12. 分数変調器ビットの説明

ビット	説明
AUTORST	レジスタ h05 ~ h0A が書き込まれると変調器を自動的にリセット
DITHEN	分数の分子ディザをイネーブル
INTN	整数モード。分数変調器をスタンバイ状態に設定
RSTFN	変調器のリセット (自動クリア)
SEED	疑似ランダム・ディザ・アルゴリズムのシード値

動作

LDOレギュレータ

可変低ドロップアウト(LDO)レギュレータは、 $\Delta\Sigma$ 変調器に電力を供給します。このレギュレータでは、低ESRのセラミック・コンデンサ($ESR < 0.8\Omega$)をLDOピン(ピン7)に接続して安定性を確保することが必要です。コンデンサの値の可能な範囲は $0.047\mu\text{F} \sim 1\mu\text{F}$ です。

LDOの電圧はLDOV[1:0]ビットを使用して設定しますが、周波数 f_{PDF} に応じて選択して、消費電力とスプリアスを最小限に抑えることが必要です。このレギュレータをディスエーブルする場合は、LDOENビットを0に設定します。LDOENビットまたはPDFNビットを使用してディスエーブルすると、LDOピンは低インピーダンスのスイッチを使用して V_{D}^+ に直接接続され、レギュレータは電源が遮断されます。プログラミングの詳細については表13を参照してください。

表13. LDOV[1:0]およびLDOENのプログラミング

LDOV[1:0]	LDOEN	V_{LDO}	f_{PDF}
0	1	1.7V	$\leq 34.3\text{MHz}$
1	1	2.0V	$\leq 45.9\text{MHz}$
2	1	2.3V	$\leq 56.1\text{MHz}$
3	1	2.6V	$\leq 66.3\text{MHz}$
X	0	V_{D}^+	$\leq 76.1\text{MHz}$

出力(O)分周器

3ビットのO分周器はVCOの周波数を下げて、出力の周波数範囲を広げることができます。その分周比Oは、1~6の任意の整数に設定することができ、奇数の分周値であっても50%のデューティサイクルで出力します。分周比Oはレジスタh0BのOD[2:0]ビットを使用して直接設定します。Oと、周波数 f_{REF} 、 f_{PDF} 、 f_{VCO} 、 f_{RF} の関係については、「アプリケーション情報」のセクションを参照してください。

RF出力バッファ

低ノイズの差動出力バッファは、 $-4.3\text{dBm} \sim +4.5\text{dBm}$ の差動出力電力を発生します。これは、表14に従って、RFO[1:0]ビットを使用して設定できます。これらの出力は外部で組み合わせるか、個別に利用することができます。未使用の出力は、 V_{RF}^+ への 50Ω 抵抗を使って終端します。

表14. RFO[1:0]のプログラミング

RFO[1:0]	P_{RF} (差動)	P_{RF} (シングルエンド)
0	-4.3dBm	-7.3dBm
1	-1.5dBm	-4.5dBm
2	1.6dBm	-1.4dBm
3	4.5dBm	1.5dBm

各出力はオープンコレクタで、 136Ω のプルアップ抵抗が V_{RF}^+ に接続されているので、高い周波数でのインピーダンス整合が簡単です。回路の詳細については図5を参照し、整合のガイドラインについては「アプリケーション情報」のセクションを参照してください。バッファは、レジスタh02のOMUTEビットを使用するか、またはMUTE入力を強制的に“L”にすることによって、ミュートできます。

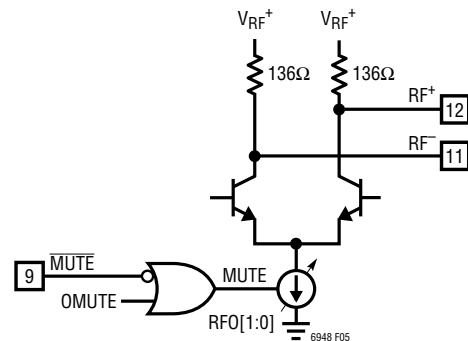


図5. RFのインタフェースの簡略回路図

シリアル・ポート

SPI互換のシリアル・ポートは、制御およびモニタ機能を備えています。さらに、構成設定可能な状態出力(STAT)は、瞬時モニタ機能を備えています。

通信シーケンス

シリアル・バスは、 $\overline{\text{CS}}$ 、SCLK、SDI、およびSDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初に $\overline{\text{CS}}$ を“L”にしてLTC6948のポートをイネーブルすることにより、行われます。SDIに与えられた入力データはSCLKの立ち上がりエッジでクロックに同期され、常に**MSBを先頭にして**転送されます。通信バーストは、シリアル・バスのマスタが $\overline{\text{CS}}$ を“H”に戻すと終了します。詳細については図6を参照してください。

動作

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。 $\overline{CS} = 1$ のとき、またはデバイスからデータが読み出されていないとき、SDOはスリーステート(Hi-Z)になるので、読み出しをマルチドロップにする(シリアル・バスに複数のLTC6948を並列に接続する)ことができます。LTC6948をマルチドロップ構成で使用しない場合、またはシリアル・ポートのマスタが読み出しシーケンスと読み出しシーケンスの間SDOラインのレベルを設定することができない場合、SDOとGNDの間に200kより大きな値の抵抗を接続して、Hi-Z状態の間にラインが確実に既知のレベルに戻るようにすることを推奨します。詳細については図7を参照してください。

1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、状態と制御のデータを15バイト幅のレジスタで利用できます。全てのデータ・バーストは少なくとも2バイトで構成されます。最初のバイトの最上位7ビットはレジスタのアドレスです。LSBが1であればデバイスからの読み出しを示し、LSBが0であればデバイスへの書き込みを示します。それに続く1バイト、または複数バイトは、指定されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細な書き込みシーケンスの例については図8を、読み出しシーケンスについては図9を参照してください。

2つの書き込み通信バーストの例を図10に示します。シリアル・バスのマスタからSDIに送られる最初のバーストの先頭バイトには、宛先レジスタのアドレス(Addr0)と、書き込みを示す

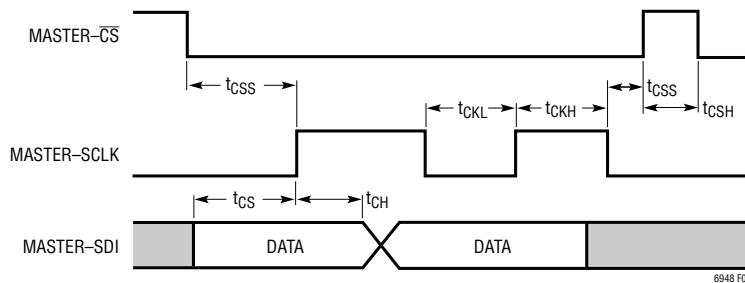


図6. シリアル・ポートの書き込みタイミング図

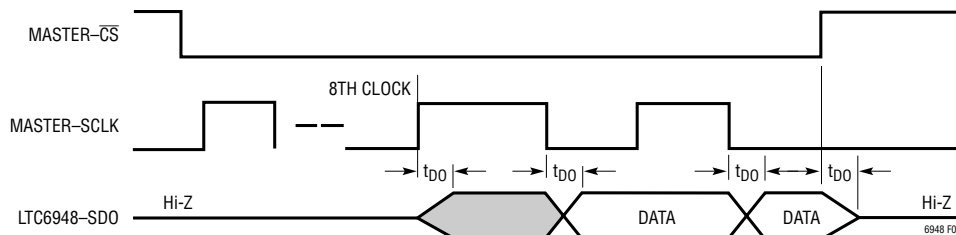


図7. シリアル・ポートの読み出しタイミング図

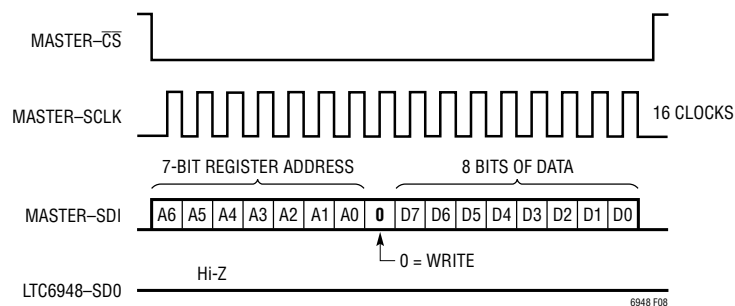


図8. シリアル・ポートの書き込みシーケンス

動作

LSBの0が含まれます。次のバイトはアドレスがAddr0のレジスタ宛のデータです。続いてCSが“H”になり、転送が終了します。2番目のバーストの最初のバイトには、宛先レジスタのアドレス(Addr1)と、書き込みを示すLSBが含まれます。SDIの次のバイトはアドレスがAddr1のレジスタ宛のデータです。続いてCSが“H”になり、転送が終了します。

複数バイトの転送

図11に示すように、LTC6948のレジスタ・アドレス自動インクリメント機能を使用して、複数バイトのデータ転送をより効率的に行うことができます。シリアル・ポートのマスタは、前述したように、最初のバイトで宛先レジスタのアドレスを送り、2番目のバイトでそのレジスタ宛のデータを送ります

が、引き続き後続のレジスタ宛のバイトを送ります。バイト1のアドレスはAddr0+1、バイト2のアドレスはAddr0+2、以下同様です。レジスタ・アドレス・ポインタは、14 (h0E)を超えて増加しようとする、自動的に0にリセットされます。

自動インクリメントによるデバイスからの読み出しの例を図12に示します。シリアル・バスのマスタからSDIに送られるバーストの最初のバイトには、宛先レジスタのアドレス(Addr0)と、読み出しを示すLSBの1が含まれます。LTC6948が読み出しバーストを検出すると、SDOはHi-Z状態から抜け出し、データ・バイトはレジスタAddr0のデータから順に送られます。デバイスは、バーストが終了するまで、SDIの他の全てのデータを無視します。

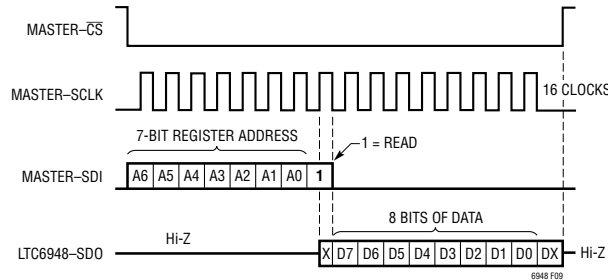


図9. シリアル・ポートの読み出しシーケンス

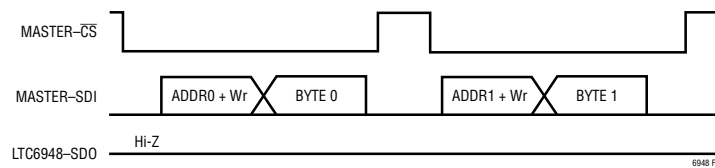


図10. シリアル・ポートのシングル・バイト書き込み

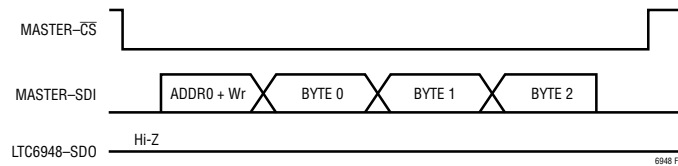


図11. シリアル・ポートの自動インクリメント書き込み

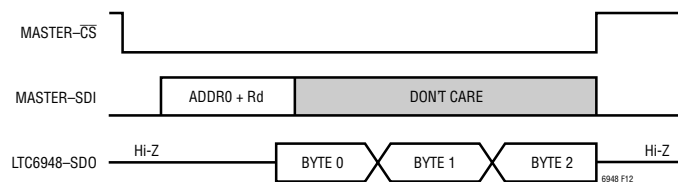


図12. シリアル・ポートの自動インクリメント読み出し

動作

マルチドロップ構成

複数のLTC6948がシリアル・バスを共有することができます。このマルチドロップ構成では、SCLK、SDI、およびSDOが全デバイス間で共有されます。シリアル・バスのマスタは各LTC6948ごとに別個のCSを使用して、必ず1個のデバイスのCSだけがアサートされるようにする必要があります。値の大きな抵抗をSDOに接続して、Hi-Z状態の間ラインが既知のレベルに必ず戻るようにすることを推奨します。

シリアル・ポート・レジスタ

LTC6948のメモリマップを以下の表15に示します。詳細なビットの説明を表16に示します。ADDRの列に16進数で示されているレジスタ・アドレスは、各レジスタを指定するのに使います。各レジスタは読み出し専用(R)または読み出し/書き込み(R/W)のどちらかとして示されています。デバイスの起動時またはリセット後のレジスタのデフォルト値が右側に示されています。

アドレスh00の読み出し専用レジスタは、異なる状態フラグを決めるのに使われます。これらのフラグは、レジスタh01を構成設定することにより、STATピンに直ちに出力することができます。詳細については、後述の「STAT出力」のセクションを参照してください。

アドレスh0Eの読み出し専用レジスタは、デバイス識別用のROMバイトです。

STAT出力

STAT出力ピンはレジスタh01のx[5:0]ビットによって設定されます。これらのビットは、式2に従って、状態レジスタh00の対応する状態フラグをビットごとにマスクするか、またはイネーブルするのに使われます。このビットごとのブール演算の結果は、次にSTATピンに出力されます。

$$\text{STAT} = \text{OR} (\text{Reg00}[5:0] \text{ AND } \text{Reg01}[5:0]) \quad (2)$$

つまり、次のように展開されます。

$$\begin{aligned} \text{STAT} = & (\text{UNLOCK AND } x[5]) \text{ OR} \\ & (\text{ALCHI AND } x[4]) \text{ OR} \\ & (\text{ALCLO AND } x[3]) \text{ OR} \\ & (\text{LOCK AND } x[2]) \text{ OR} \\ & (\text{THI AND } x[1]) \text{ OR} \\ & (\text{TLO AND } x[0]) \end{aligned}$$

たとえば、ALCHI、ALCLO、またはTHIのフラグがセットされたら必ずSTATが“H”になるようアプリケーションが要求する場合は、x[4]、x[3]、およびx[1]を1に設定し、h1Aのレジスタ値を与えます。

表 15. シリアル・ポート・レジスタの内容

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h00	*	*	UNLOCK	ALCHI	ALCLO	LOCK	THI	TLO	R	
h01	*	*	x[5]	x[4]	x[3]	x[2]	x[1]	x[0]	R/W	h04
h02	PDALL	PDPLL	PDVCO	PDOUT	PDFN	MTCAL	OMUTE	POR	R/W	h06
h03	ALCEN	ALCMON	ALCCAL	ALCULOK	AUTOCAL	AUTORST	DITHEM	INTN	R/W	h3E
h04	BD[3]	BD[2]	BD[1]	BD[0]	CPLE	LDOEN	LDOV[1]	LDOV[0]	R/W	h47
h05	SEED[7]	SEED[6]	SEED[5]	SEED[4]	SEED[3]	SEED[2]	SEED[1]	SEED[0]	R/W	h11
h06	RD[4]	RD[3]	RD[2]	RD[1]	RD[0]	*	ND[9]	ND[8]	R/W	h08
h07	ND[7]	ND[6]	ND[5]	ND[4]	ND[3]	ND[2]	ND[1]	ND[0]	R/W	hFA
h08	*	*	NUM[17]	NUM[16]	NUM[15]	NUM[14]	NUM[13]	NUM[12]	R/W	h3F
h09	NUM[11]	NUM[10]	NUM[9]	NUM[8]	NUM[7]	NUM[6]	NUM[5]	NUM[4]	R/W	hFF
h0A	NUM[3]	NUM[2]	NUM[1]	NUM[0]	*	*	RSTFN	CAL	R/W	hF0
h0B	BST	FILT[1]	FILT[0]	RFO[1]	RFO[0]	OD[2]	OD[1]	OD[0]	R/W	hF9
h0C	LKWIN[2]	LKWIN[1]	LKWIN[0]	LKCT[1]	LKCT[0]	CP[2]	CP[1]	CP[0]	R/W	h4F
h0D	CPCHI	CPCL0	CPMID	CPINV	CPWIDE	CPRST	CPUP	CPDN	R/W	hE4
h0E	REV[3]	REV[2]	REV[1]	REV[0]	PART[3]	PART[2]	PART[1]	PART[0]	R	hxx†

* 未使用 †バージョンに依存して変化

動作

ブロック・パワーダウン制御

LTC6948のパワーダウン制御ビットはレジスタh02に置かれており、表16で説明されています。デバイスの異なる部分を個別にパワーダウンすることができます。レジスタのLSB、つ

表 16. シリアル・ポート・レジスタのビット・フィールドのまとめ

ビット	説明	デフォルト
ALCCAL	CAL動作時にALCを自動イネーブル	1
ALCEN	ALCを常にイネーブル(オーバーライド)	1
ALCHI	ALCが高すぎることを示すフラグ	
ALCLO	ALCが低すぎることを示すフラグ	
ALCMON	状態フラグについてのみALCモニタをイネーブル	0
ALCULOK	PLLがアンロックしたときALCをイネーブル	0
AUTOCAL	レジスタh06～h0Aが書き込まれると必ずVCOを較正	1
AUTORST	レジスタh05～h0Aが書き込まれると必ず変調器をリセット	1
BD[3:0]	較正のためのB分周器の値	h3
BST	REFバッファのブースト電流	1
CAL	VCOの較正を開始(自動クリア)	0
CP[2:0]	CPの出力電流	h7
CPCHI	高電圧のCP出力クランプをイネーブル	1
GPCLO	低電圧のCP出力クランプをイネーブル	1
CPDN	チャージポンプのDOWN(シンク電流)を強制	0
CPINV	CPの位相を反転	0
CPLE	CPリニアライザをイネーブル	0
CPMID	ミッドレールへのCPバイアス	1
CPRST	CPのスリーステート	1
CPUP	チャージポンプのUP(ソース電流)を強制	0
CPWIDE	CPのパルス幅を拡張	0
DITHEN	分数の分子ディザをイネーブル	1

まりPOR(パワーオン・リセット)ビットには注意する必要があります。1を書き込むと、このビットはデバイスのデジタル回路をその起動時のデフォルト状態に強制的にリセットします。

ビット	説明	デフォルト
FILT[1:0]	REFの入力バッファのフィルタ	h3
INTN	整数モード。分数変調器をスタンバイ状態に設定	0
LDOEN	LDOのイネーブル	1
LDOV[1:0]	LDOの電圧	h3
LKCT[1:0]	PLLのロック・サイクルのカウンタ	h1
LKWIN[2:0]	PLLロック・インジケータのウィンドウ	h2
LOCK	PLLロック・インジケータのフラグ	
MTCAL	較正時にRF出力をミュート	1
ND[9:0]	N分周器の値(ND[9:0] ≥ 32)	h0FA
NUM[17:0]	分数の分子の値	h3FFF
OD[2:0]	出力分周器の値(0 < OD[2:0] < 7)	h1
OMUTE	RF出力をミュート	1
PART[3:0]	デバイス・コード(バージョンが-1の場合はh01、-2の場合はh02、-3の場合はh03、-4の場合はh04)	h01、h02、h03、h04
PDALL	チップ全体のパワーダウン	0
PDFN	LDOと変調器クロックをパワーダウン	0
PDOUT	O_DIV、RF出力バッファをパワーダウン	0
PDPLL	REF、R_DIV、PFD、CPUMP、N_DIVをパワーダウン	0
PDVCO	VCO、N_DIVをパワーダウン	0
POR	パワーオン・リセットを強制	0
RD[4:0]	R分周器の値(RD[4:0] > 0)	h001
REV[3:0]	リビジョン・コード	h1
RFO[1:0]	RF出力電力	h3
RSTFN	変調器のリセットを強制(自動クリア)	0
SEED[7:0]	変調器ディザのシード値	h11
THI	CPのクランプ・ハイ・フラグ	
TLO	CPのクランプ・ロー・フラグ	
UNLOCK	PLLアンロック・フラグ	
x[5:0]	STAT出力のORマスク	h04

アプリケーション情報

はじめに

PLLは複雑なフィードバック・システムで、概念的には周波数乗算器と考えることができます。このシステムは、 f_{REF} の周波数入力を乗算し、 f_{REF} にもっと高い周波数を出力します。PFD、チャージポンプ、N分周器、VCO、および外部ループ・フィルタが帰還ループを形成して、出力周波数を正確に制御します(図13を参照)。

外部ループ・フィルタは、PLLのループ帯域幅BWを設定するために使用します。帯域幅を狭めると、通常はスプリアス性能が向上し、 $\Delta\Sigma$ 変調器の量子化ノイズが減少します。帯域幅を広げると、全積分位相ノイズが良好になります。

出力周波数の分解能を設定するには、R分周器、O分周器、および入力周波数 f_{REF} が使用されます。分数モードの場合、 $\Delta\Sigma$ 変調器は、N分周器の比をPFDサイクルごとに変更して、平均的な分数分周比を生成します。これにより、整数モードと比較して、特定の f_{PFD} に対する周波数分解能が大幅に高くなります。

出力周波数

ループがロックしているとき、VCOの出力に生じる周波数 f_{VCO} (Hz)は、リファレンス周波数 f_{REF} 、R分周器とN分周器の値、および分数の値Fによって決まり、式3によって与えられます。

$$f_{VCO} = \frac{f_{REF} \cdot (N + F)}{R} \quad (3)$$

ここで、分数の値Fは式4で与えられます。

$$F = \frac{NUM}{2^{18}} \quad (4)$$

NUMは1～262143(つまり $2^{18} - 1$)の範囲で設定できます。LTC6948を整数モードで使用する場合は、 $F = 0$ です。

PFDの周波数 f_{PFD} は次式で与えられます。

$$f_{PFD} = \frac{f_{REF}}{R} \quad (5)$$

したがって、 f_{VCO} を次のように表すことができます。

$$f_{VCO} = f_{PFD} \cdot (N + F) \quad (6)$$

O分周器の出力に生じる出力周波数 f_{RF} は式7によって与えられます。

$$f_{RF} = \frac{f_{VCO}}{O} \quad (7)$$

上の諸式を使用すると、分数モード時に分数の分子NUMが1単位だけ変化すると生じる出力周波数の最小分解能 $f_{STEP(MIN)}$ は、式8によって与えられます。

$$f_{STEP(MIN)} = \frac{f_{REF}}{R \cdot O \cdot 2^{18}} \quad (8)$$

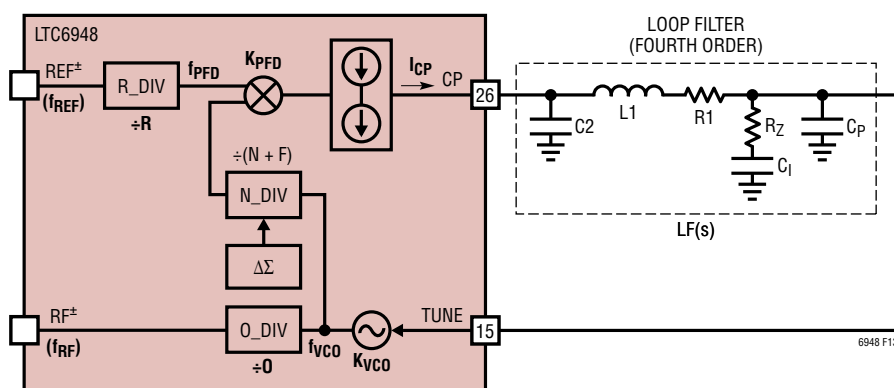


図13. PLLループの図

アプリケーション情報

また、与えられた周波数ステップ $f_{\text{STEP(FRAC)}}$ を発生するために必要な分子のステップ・サイズ NUM_{STEP} を計算するには、式9を使用します。

$$\text{NUM}_{\text{STEP}} = \frac{f_{\text{STEP(FRAC)}} \cdot R \cdot O \cdot 2^{18}}{f_{\text{REF}}} \quad (9)$$

整数モード時にNが1だけ変化すると生じる出力周波数の分解能 $f_{\text{STEP(INT)}}$ は、式10によって与えられます。

$$f_{\text{STEP(INT)}} = \frac{f_{\text{REF}}}{R \cdot O} \quad (10)$$

ループ・フィルタの設計

PLLシステムを安定させるには、外部ループ・フィルタの設計時に注意が必要です。リニアテクノロジーのFracNWizardアプリケーションは、www.linear.comから入手できますが、システム全体の設計およびシミュレーションに役立ちます。

ループの設計には、以下のアルゴリズムを使います。

- 1) **アプリケーションの要件に基づいて、出力周波数 f_{RF} と周波数のステップ・サイズ f_{STEP} を決定します。** 式3、5、7、および8を使って、アプリケーションの周波数の制約条件が満たされるまで、 f_{REF} 、N、R、およびOを変化させます。制約条件を満たす最小のR値を使います。次に、式1、表8、および表9を使ってBを計算します。
- 2) **f_{PFD} およびオーバーサンプリング比OSRによって制約を受ける開ループ帯域幅BWを選択します。** OSRは、 f_{PFD} とBWの比です(式11参照)。

$$\text{OSR} = \frac{f_{\text{PFD}}}{\text{BW}}$$

or

$$(11)$$

$$\text{BW} = \frac{f_{\text{PFD}}}{\text{OSR}}$$

ここで、BWと f_{PFD} の単位はHzです。

整数モードと分数モードのどちらの場合も、ループを安定させるにはOSRが10以上であることが必要です。さらに、分数モードでは、ループ・フィルタが変調器の量子化ノイズを許容レベルまで低減できるよう、OSRを十分高くする必要があります。

$\Delta\Sigma$ 変調器を使用した場合に高次のループ・フィルタを選択すると、OSRを小さくすることができるので、ループ帯域幅を広げることができます。リニアテクノロジーのFracNWizardは、適切なOSRおよびBWの値を選択するのに役立ちます。

- 3) **ループ・フィルタの部品 R_Z とチャージポンプ電流 I_{CP} を、BWとVCOの利得係数 K_{VCO} に基づいて選択します。** BW (Hz)は次式によって概算します。

$$\text{BW} \cong \frac{I_{\text{CP}} \cdot R_Z \cdot K_{\text{VCO}}}{2 \cdot \pi \cdot N}$$

or

$$(12)$$

$$R_Z = \frac{2 \cdot \pi \cdot \text{BW} \cdot N}{I_{\text{CP}} \cdot K_{\text{VCO}}}$$

ここで、 K_{VCO} の単位はHz/V、 I_{CP} の単位はアンペア、 R_Z の単位はオームです。 K_{VCO} は、「電気的特性」の「VCOの同調感度」から求められます。部品の値によってもっと低い設定値に強制されない限り、 $I_{\text{CP}} = 5.6\text{mA}$ を使って帯域内ノイズを下げます。

- 4) **ループ・フィルタの部品 C_I と C_P を、BWと R_Z に基づいて選択します。** ループのコンデンサ(ファラッド)に以下の式を使うことによって、信頼性の高い2次ループ・フィルタの設計を実現することができます。

$$C_I = \frac{3.5}{2 \cdot \pi \cdot \text{BW} \cdot R_Z} \quad (13)$$

$$C_P = \frac{1}{7 \cdot \pi \cdot \text{BW} \cdot R_Z} \quad (14)$$

FracNWizardを使用して、高次ループ・フィルタの設計に役立ててください。

アプリケーション情報

設計とプログラミングの例

このプログラミング例では、DC1959とLTC6948-2の組み合わせを使用します。必要な以下のパラメータを仮定します。

$$f_{REF} = 100\text{MHz} (50\Omega \text{に} 7\text{dBm})$$

$$f_{STEP} = 50\text{kHz}$$

$$f_{RF} = 1921.650\text{MHz}$$

「電気的特性」の表から

$$f_{VCO} = 3.080\text{GHz} \sim 4.910\text{GHz}$$

$$K_{VCO\%} = 4.7\% \text{Hz/V} \sim 7\% \text{Hz/V}$$

分周器の値の決定

ループ・フィルタの設計アルゴリズムに従って、まず分周器のすべての値を決めます。分数モードのとき f_{PFD} の最大値は100MHzより低いので、Rは1より大きくする必要があります。

$$R = 2$$

次に、式5および7を使用して以下の値を計算します。

$$O = 2$$

$$f_{PFD} = 50\text{MHz}$$

式6を使用すると、次のようになります。

$$N+F = \frac{2 \cdot 1921.650\text{MHz}}{50\text{MHz}} = 76.866$$

したがって次のようになります。

$$N = 76$$

$$F = 0.866$$

式4から、次の結果が得られます。

$$\text{NUM} = 0.866 \cdot 2^{18} = 227017$$

また、式1と表8および9からBを決めます。

$$B = 48 \text{ および } \text{BD}[3:0] = \text{h5}$$

較正サイクルには、 f_{CAL} の12～14クロック・サイクルが必要です。このため、VCOの較正時間はおおよそ次の値になります。

$$t_{CAL} \cong \frac{14}{f_{CAL}} = 14 \cdot \frac{B}{f_{PFD}} = 13.4\mu\text{s}$$

フィルタ・タイプとループ帯域幅の選択

アルゴリズムの次のステップは、開ループ帯域幅を選ぶことです。以下の制約条件から得られる最小帯域幅を選択します。

- 1) OSRは10以上にする必要があります(絶対最大BWを設定します)。
- 2) 熱ノイズに起因する積分位相ノイズを最小限に抑え、変調器ノイズは無視します。
- 3) ループ帯域幅を狭めて、変調器の量子化ノイズを十分除去できるようにする必要があります。

FracNWizardは、上の各制約条件から得られるループ帯域幅を通知します。結果は量子ノイズの制約を受けるので、外部ループ・フィルタの形状によって変わります。FracNWizardは、いくつかのフィルタ・タイプの最適な帯域幅を通知します。

FracNWizardは、熱ノイズに対して最適化されたループ帯域幅が211kHzであることを通知します。フィルタ3(4次の応答)の帯域幅には量子化ノイズの制約があり、150kHzなので好適です。積分位相ノイズを最適化するため、フィルタ3を選択し、2つの帯域幅のうち狭い方(150kHz)を使用します。式11を使用してOSRを計算します。

$$\text{OSR} = \frac{50\text{MHz}}{150\text{kHz}} = 333.3$$

ループ・フィルタの部品の選択

ここで、ループ・フィルタ抵抗 R_Z とチャージポンプ電流 I_{CP} を設定します。 K_{VCO} はVCOの周波数範囲で変化するので、 K_{VCO} の幾何平均を使うと良い結果が得られます。

$$\begin{aligned} K_{VCO} &= 3.843 \cdot 10^9 \cdot \sqrt{0.047 \cdot 0.07} \\ &= 220.4\text{MHz/V} \end{aligned}$$

アプリケーション情報

I_{CP} として5.6mAを使用する場合、FracNWizardは式12を使用して R_Z を求めます。

$$R_Z = \frac{2 \cdot \pi \cdot 150k \cdot 76}{5.6m \cdot 220.4M}$$

$$R_Z = 58.0\Omega$$

4次のフィルタ3の場合、FracNWizardは修正した式13および14を使用して C_1 、 C_P を計算します。

$$C_1 = \frac{4.5}{2 \cdot \pi \cdot 150k \cdot 58} = 82.3nF$$

$$C_P = \frac{1}{10.5 \cdot \pi \cdot 150k \cdot 58} = 3.5nF$$

FracNWizardによる R_1 、 L_1 、および C_2 の計算結果は以下のとおりです。

$$R_1 = 58.0\Omega$$

$$C_2 = 2.3nF$$

$$L_1 = 7.8\mu H$$

状態出力のプログラミング

この例では、LTC6948がフォルト状態を発生すると、そのたびにSTATピンを使用してシステムにアラートを出します。 $x[5]$ 、 $x[4]$ 、 $x[3]$ 、 $x[1]$ 、 $x[0] = 1$ をプログラムして、UNLOCK、ALCHI、ALCLO、THI、またはTLOのどのフラグがアサートされた場合も、STATピンを強制的に“H”にします。

$$\text{Reg01} = \text{h3B}$$

パワー・レジスタのプログラミング

正しいPLL動作を確保するには、すべての内部ブロックをイネーブルします。プログラミングが完了するまで、OMUTEをアサートしたままにする(またはMUTEピンを“L”に保つ)ことができます。OMUTE = 1の場合は次のようになります。

$$\text{Reg02} = \text{h02}$$

VCO、ALC、AUTOCAL、およびAUTORSTのプログラミング

ALCオプション(ALCMON = ALCULOK = ALCCAL = 1)、自動リセット・オプション(AUTOCAL = AUTORST = 1)、および $\Delta\Sigma$ 変調器モード(DITHEN = 1、INTN = 0)を同時に設定します。

$$\text{Reg03} = \text{h7E}$$

ALCがアクティブなのは、較正サイクルの間カループが非同期的のときだけですが、ALCHIとALCLOの状態は引き続きモニタされます。SPI書き込み通信バーストの終了時には、VCOが較正されて $\Delta\Sigma$ 変調器がリセットされます(自動インクリメント書き込みを使用してすべてのレジスタに書き込むことが前提です)。

LDOのプログラミング

表13と $f_{PFDD} = 50\text{MHz}$ を使用してV(LDO)とLDOV[1:0]を調べます。

$$V(\text{LDO}) = 2.3\text{V}, \text{LDOV}[1:0] = 2 \text{ となります。}$$

LDOV[1:0]、LDOEN = 1を使用してLDOをイネーブルし、前に決めたBD[3:0]の値を使用してReg04を設定します。CPLは1に設定して、帯域内ノイズと $\Delta\Sigma$ 変調器によるスプリアスを低減させます。

$$\text{Reg04} = \text{h5E}$$

SEEDのプログラミング

SEED[7:0]の値を使用して、 $\Delta\Sigma$ 変調器のディザ回路を初期化します。デフォルト値を使用します。

$$\text{Reg05} = \text{h11}$$

R分周器とN分周器および分子のプログラミング

前に決めたR分周器、N分周器、および分子の値を使用して、レジスタReg06~Reg0Aをプログラムします。AUTORSTビットとAUTOCALビットは以前に1に設定していたので、CALとRSTFNを設定する必要はありません。

$$\text{Reg06} = \text{h10}$$

$$\text{Reg07} = \text{h4C}$$

$$\text{Reg08} = \text{h37}$$

$$\text{Reg09} = \text{h6C}$$

$$\text{Reg0A} = \text{h90}$$

アプリケーション情報

リファレンス入力の設定と出力分周器のプログラミング

表1から、100MHzのリファレンス周波数ではFILT = 0です。次に、7dBmを V_{P-P} に変換します。CWトーンの場合、 $R = 50$ として次式を使います。

$$V_{P-P} \cong \sqrt{R} \cdot 10^{(dBm-21)/20} \quad (15)$$

これにより、 $V_{P-P} = 1.41V$ となり、表2に従って、BST = 1に設定します。

ここで、Reg0Bをプログラムします。RF⁺の出力電力は最大(表14に従って、RFO[1:0] = 3)で、OD[2:0] = 2と仮定します。

$$\text{Reg0B} = \text{h9A}$$

ロックの検出とチャージポンプ電流のプログラミング

次に、 f_{PFD} からロック・インジケータのウィンドウを決めます。表3から、CPLE = 1および $f_{\text{VCO}} = 3.843\text{GHz}$ の場合、LKWIN[1:0] = 0で t_{LWW} は5nsであることが分かります。LTC6948は、下の計算のように、PFDでの位相が90°以内で一致している限り、ループは同期しているとみなします。

$$\begin{aligned} \text{位相} &= 360^\circ \cdot t_{\text{LWW}} \cdot f_{\text{PFD}} = 360 \cdot 5\text{n} \cdot 50\text{M} \\ &= 90^\circ \end{aligned}$$

正しいCOUNTSの値を選択する方法は、OSRによって異なります。比(OSR)が小さい場合はCOUNTSの値を大きくすることが必要ですが、アプリケーションの要件は一律ではありません。OSRが333の場合は、COUNTSの値を32にするとうまくいきます。表5から、COUNTSが32の場合はLKCT[1:0] = 1です。

前に選択した5.6mAの I_{CP} を使って表6を参照すると、CP[3:0] = 7が得られます。これにより、Reg0Cをプログラムするのに十分な情報が得られます。

$$\text{Reg0C} = \text{h0D}$$

チャージポンプ機能のプログラミング

この例では、追加の電圧クランプ機能を使うので、CPCHI = 1およびCPCLO = 1に設定することにより、フォルト状態をモニタすることができます。何か起きてシステムが目標周波数にロックできなくなると、チャージポンプの出力がGNDまたは V_{CP^+} に向かって変化し、それぞれTLOまたはTHIの状態フラグをセットします。その他のチャージポンプ機能(CPMID、CPINV、CPRST、CPUPおよびCPDN)をすべてディスエーブルして、ループがロックできるようにします。

$$\text{Reg0D} = \text{hC0}$$

これでループはロックします。ここで、OMUTE = 0に設定することにより、出力のミュートを解除します(MUTEピンは“H”であると想定しています)。

$$\text{Reg02} = \text{h04}$$

リファレンスの信号源に関する検討事項

PLL全体の周波数の基準となるので、高品質の信号をREF⁺に入力する必要があります。前に述べたように、デバイスの帯域内位相ノイズ特性を達成するには、6dBm以上のCW信号を50Ωに入力するか、またはスルーレートが40V/μs以上で0.5V_{P-P}以上の方角波を入力します。

LTC6948はシングルエンド入力でCMOSレベル(2.7V_{P-P}より大)まで駆動できます。リファレンス信号をREF⁺に直接入力し、47pFのコンデンサでREF⁻をGNDにバイパスします。表2に示すガイドラインに従って、BSTビットも0に設定する必要があります。

LTC6948は、整数モードの帯域内正規化位相ノイズフロア $L_{\text{NORM}}(\text{INT}) = -226\text{dBc/Hz}$ (標準)、および分数モードの位相ノイズフロア $L_{\text{NORM}}(\text{FRAC}) = -225\text{dBc/Hz}$ (標準)を実現します。その等価入力位相ノイズフロア L_{IN} を計算するには、次の式16を使用します。

$$L_{\text{IN}} = L_{\text{NORM}} + 10 \cdot \log_{10}(f_{\text{REF}}) \quad (16)$$

たとえば、整数モードで10MHzのリファレンス周波数を使用すると、入力位相ノイズフロアは-156dBc/Hzになります。システム全体の性能を制限しないためには、リファレンス周波数信号源の位相ノイズを、これより3dB以上向上させる必要があります。

アプリケーション情報

帯域内出力位相ノイズ

f_{RF} で生じる帯域内位相ノイズフロア L_{OUT} は、式 17 を使用して計算することができます。

$$L_{OUT} = L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(f_{RF}/f_{PFD}) \quad (17)$$

または、

$$L_{OUT} \approx L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(N/O)$$

ここで、 L_{NORM} は整数モードでは -226dBc/Hz であり、分数モードでは -225dBc/Hz です。ICP および f_{VCO} に対する L_{NORM} の変動を示すグラフについては、「標準的性能特性」のセクションを参照してください。

PFDD のある周波数 f_{PFD} について式 17 から分かるように、出力の帯域内位相ノイズは、N 分周器のカウントに伴い 20dB/dec の割合で増加します。したがって、ある出力周波数 f_{RF} に対して、 f_{PFD} をできるだけ大きくし（つまり、N をできるだけ小さくし）、なおかつアプリケーションの周波数ステップ・サイズの要件を満たすようにします。

1/f ノイズによる出力位相ノイズ

非常に低いオフセット周波数での帯域内位相ノイズは、 f_{PFD} によっては LTC6948 の $1/f$ ノイズの影響を受けることがあります。正規化された帯域内 $1/f$ ノイズ $L_{1/f}$ の -274dBc/Hz を式 18 に使用して、ある周波数オフセット f_{OFFSET} での出力 $1/f$ 位相ノイズを概算します。

$$L_{OUT(1/f)}(f_{OFFSET}) = L_{1/f} + 20 \cdot \log_{10}(f_{RF}) - 10 \cdot \log_{10}(f_{OFFSET}) \quad (18)$$

帯域内ノイズフロア L_{OUT} とは異なり、 $1/f$ ノイズ $L_{OUT(1/f)}$ は f_{PFD} に伴って変化せず、オフセット周波数全体にわたって一定ではありません。 f_{PFD} が 3MHz および 100MHz に等しい場合の整数モード帯域内位相ノイズの例については、図 14 を参照してください。全位相ノイズは、 L_{OUT} と $L_{OUT(1/f)}$ の和になります。

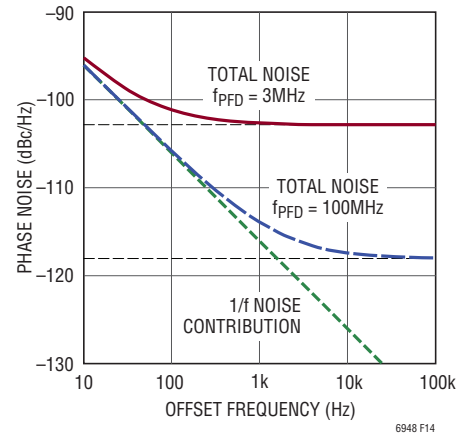


図 14. 理論上の整数モード帯域内位相ノイズ、 $f_{RF} = 2500\text{MHz}$

整数値境界スプリアス

整数値境界スプリアスの原因は、PFDD の周波数 f_{PFD} と VCO の周波数 f_{VCO} の高調波間の相互変調です。周波数発生源の高調波間の結合は、デバイス内でもデバイス外でも発生します。スプリアスは、基準高調波と VCO 周波数の間のうなり周波数によって定義されるオフセット周波数に存在し、ループ・フィルタによって減衰します。スプリアスが発生するのは分数モードのときだけです。

整数値境界スプリアスは、VCO 周波数の整数の周波数からのオフセットがループ帯域幅の範囲内に入るように、分数値 F が 0 または 1 に近づくと観測されるのが最も一般的です。

$$f_{PFD} \cdot F \leq \text{BW}$$

または、

$$f_{PFD} \cdot (1 - F) \leq \text{BW}$$

スプリアスの帯域内電力は比較的一定であり、帯域外ではループによって減衰します。整数値境界スプリアス測定の一例を図 15 に示します。

アプリケーション情報

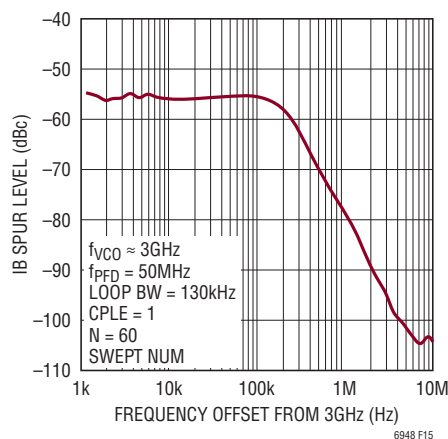


図15. 整数値境界スプリアス電力と境界からの周波数オフセット、LTC6948-1

RF出力の整合

RF[±]出力は、シングルエンドまたは差動のいずれの構成方法でも使用できます。RF出力を差動で使うと、出力電力がシングルエンドよりも約3dB大きくなります。両方の場合とも、外部負荷へのインピーダンス整合のために、V_{RF[±]}に外部チョークを接続する必要があります。インピーダンス整合ネットワークの設計に役立つように、RF[±]のSパラメータの測定結果を下の表17に示します。

表17. シングルエンドRFの出力インピーダンス

周波数 (MHz)	インピーダンス (Ω)	S11 (dB)
100	133.0 - j16.8	-6.7
500	110.8 - j46.1	-6.8
1000	74.9 - j57.0	-6.9
1500	49.0 - j51.3	-6.7
2000	34.4 - j41.4	-6.5
2500	27.0 - j32.1	-6.5
3000	23.2 - j24.1	-6.6
3500	21.6 - j15.9	-7.1
4000	20.9 - j7.7	-7.5
4500	20.1 - j0.2	-7.4
5000	18.1 + j7.4	-6.4
5500	16.7 + j12.5	-5.6
6000	17.1 + j16.1	-5.5
6500	20.2 + j20.1	-6.2
7000	26.9 + j24.6	-7.6
7500	38.8 + j32.3	-8.8
8000	52.9 + j43.1	-8.2

シングルエンドのインピーダンス整合は、図16の回路を使って達成することができます。部品の値を表18に示します。推奨値より小さいインダクタンスを使うと、特に低い中心周波数で、位相ノイズが悪化することがあります。

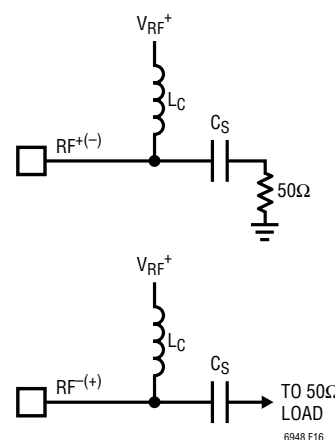


図16. シングルエンド出力整合回路図

表18. シングルエンド整合の推奨部品値

f _{RF} (MHz)	L _c (nH)	C _s (pF)
350 ~ 1500	180	270
1000 ~ 5800	68	100

上記の部品値を使用したDC1959で測定した反射減衰量を図17に示します。広帯域整合は、(68nH、100pF)または(180nH、270pF)の(L_c、C_s)を使用して実現します。ただし、最大の出力電力と最良の位相ノイズ特性を得るには、表18の推奨部品値を使用します。L_cには、CoilcraftのHPシリーズのチップ・インダクタのような、Q値とSRFが最大の巻線インダクタを選択します。

LTC6948の差動RF[±]出力は、シングルエンド負荷を駆動するため、外部バランを使って結合することができます。利点として、各出力を個別に使う場合より出力電力が約3dB増え、2次高調波特性が良くなります。

アプリケーション情報

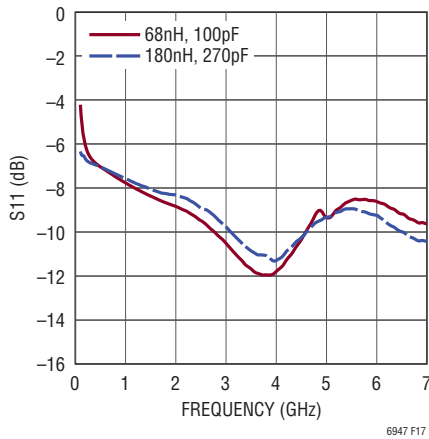


図17. RFのシングルエンド反射減衰量

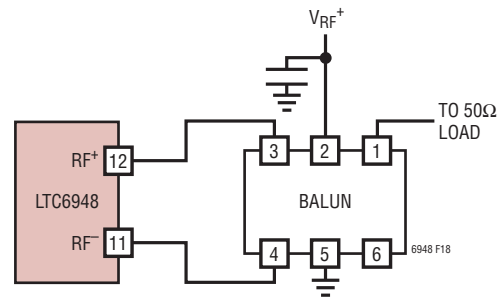
低い周波数では、M/A-COMのMABACT0065やTOKOの#617DB-1673のような伝送ライン・バラン(TL)により、良い結果が得られます。高い周波数では、TDK、Anaren、Johanson Technologyなどの表面実装(SMT)バランが魅力的な代替品になります。推奨バランの製品番号と周波数範囲に関しては、表19を参照してください。

リストされているSMTバランには、RF⁺をバイアスする内部チョークが含まれており、入力から出力へのDC絶縁も与えます。GNDまたはDC FEEDと記されているピンはV_{RF+}電圧に接続します。DC FEEDピンを使った表面実装バランの接続方法を図18に示します。

表19. 推奨バラン

f _{RF} (MHz)	製品番号	メーカー	タイプ
350~900	#617DB-1673	TOKO	TL
400~600	HHM1589B1	TDK	SMT
600~1400	BD0810J50200	Anaren	SMT
600~3000	MABACT0065	M/A-COM	TL
1000~2000	HHM1518A3	TDK	SMT
1400~2000	HHM1541E1	TDK	SMT
1900~2300	2450BL15B100E	Johanson	SMT
2000~2700	HHM1526	TDK	SMT
3700~5100	HHM1583B1	TDK	SMT
4000~6000	HHM1570B1	TDK	SMT

一覧に記載のTLバランは入力と出力の間がDC絶縁されていないので、出力でAC結合する必要があります。これらのバランを使ったRF⁺の接続を図19に示します。



BALUN PIN CONFIGURATION

1	UNBALANCED PORT
2	GND OR DC FEED
3	BALANCED PORT
4	BALANCED PORT
5	GND
6	NC

図18. SMTバランの接続例

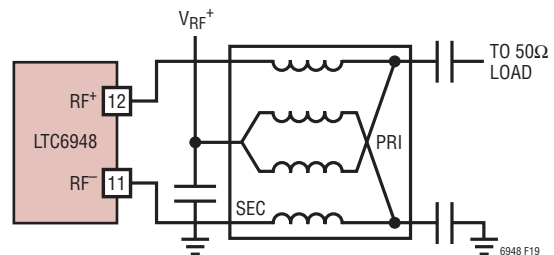


図19. TLバランの接続例

電源バイパスおよびPCBレイアウトに関するガイドライン

PCBレイアウトを作成するときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。0.1μFのセラミック・コンデンサをピンのできるだけ近くに配置して、電源のすべてのV⁺ピンをグラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを使います。

アプリケーション情報

パッケージの露出パッドはグランド接続なので、PCBのランド・パターンに直接半田付けする必要があります。PCBのランド・パターンには、グランドのインダクタンスと熱抵抗の両方を減らすために、グランド・プレーンへの複数のサーマル・ビアを配置します(図20の例を参照)。ランド・パターンとランド・ビアの半田マスクに関する具体的な推奨事項に関しては、リニアテクノロジーのWebサイトのパッケージ情報のページの「QFNパッケージユーザーガイド」の8ページを参照してください。下にリンクを示します。

<http://www.linear-tech.co.jp/designtools/packaging>

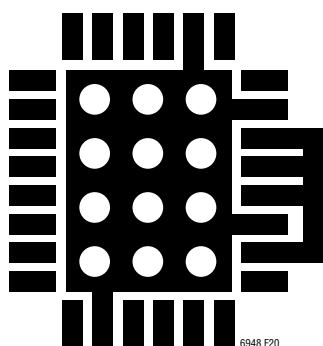


図20. 露出パッドのランド・パターンの例

リファレンス信号の配線、スプリアス、および位相ノイズ

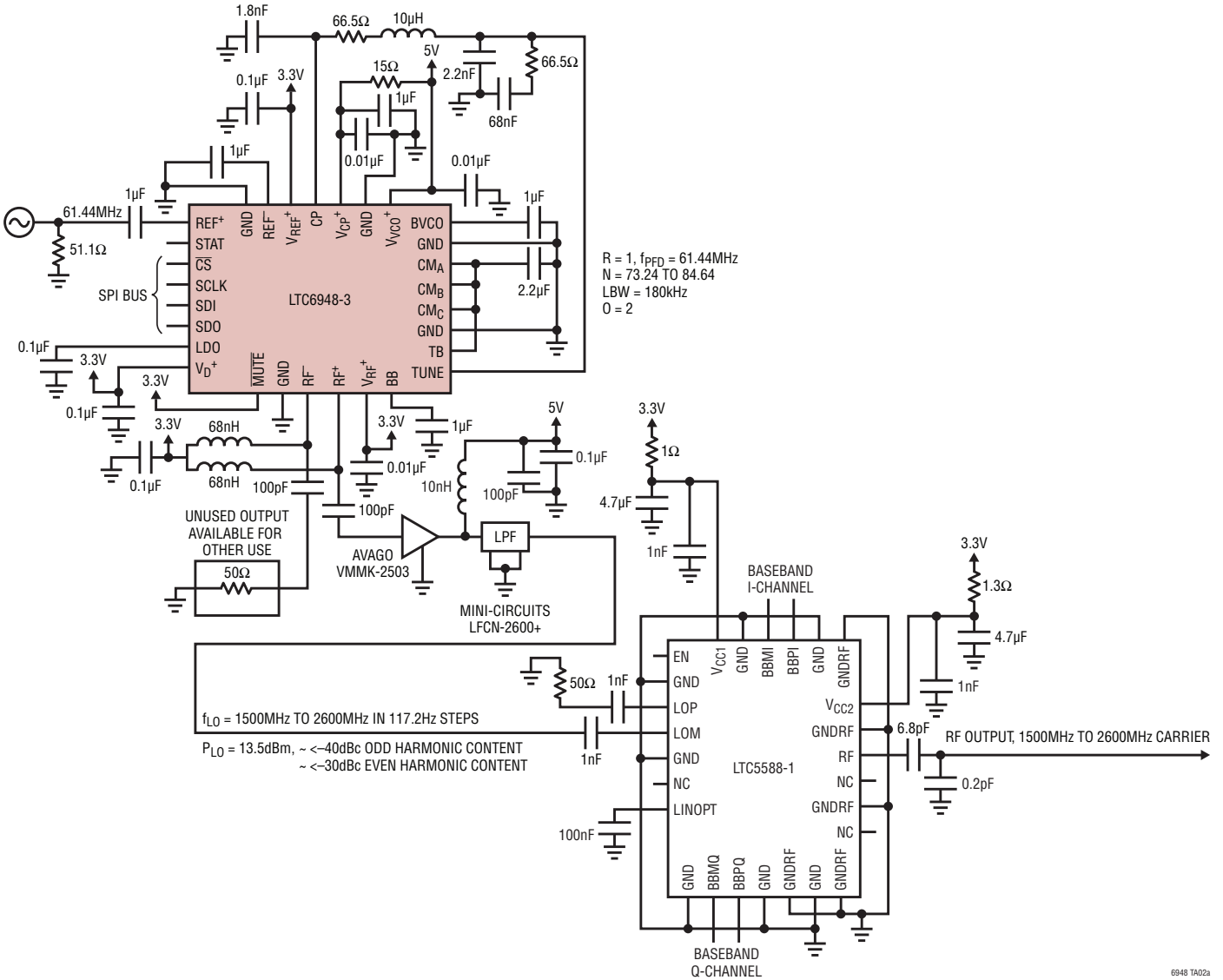
チャージポンプはPFDの比較周波数 f_{PFD} で動作します。結果として生じる出力のスプリアス・エネルギーは小さく、VCO周波数を変調する前にループ・フィルタによってさらに減少します。

ただし、PCBレイアウトが不適切だと、LTC6948の本来のスプリアス性能が低下することがあります。リファレンス信号 f_{REF} が、VCOの同調ライン、または他のループ・フィルタの信号に結合しないように注意する必要があります。推奨事項は以下のとおりです。

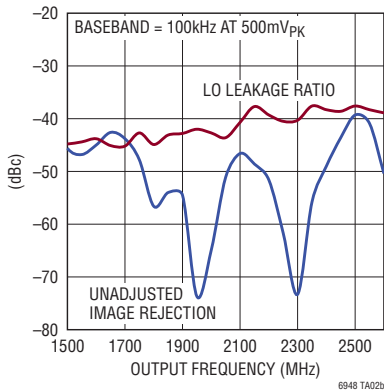
- 1) 電圧の等しい電源ピンの間では電源デカップリング・コンデンサを共有しないでください。
- 2) 各電源デカップリング・コンデンサ、特に V_{REF}^+ 、 V_D^+ 、LDO、 V_{CP}^+ 、および V_{VCO}^+ に接続するコンデンサには個別のグランド・ビアを使用します。
- 3) リファレンス周波数信号はループ・フィルタおよびVCOから物理的に離します。
- 4) パッケージの下にある CM_A 、 CM_B 、 CM_C の各パッドの間にはトレースを配置しないでください。配置すると位相ノイズが悪化する可能性があります。

標準的応用例

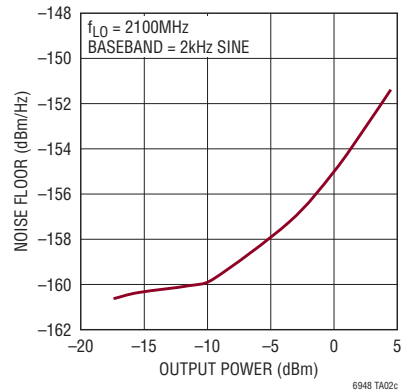
高イメージ除去比および低ノイズフロアに対応する変調器LOの駆動



イメージ除去比およびLO漏れ電力比と出力周波数の測定結果



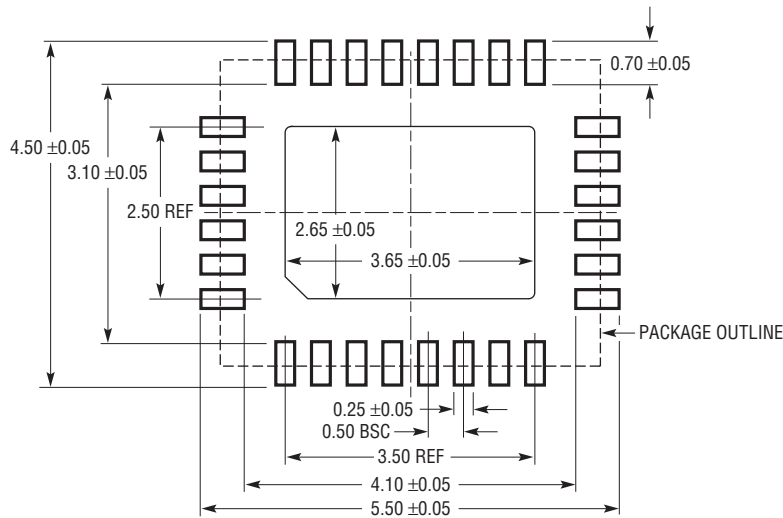
オフセット70MHzでのノイズフロアとRF出力電力の測定結果



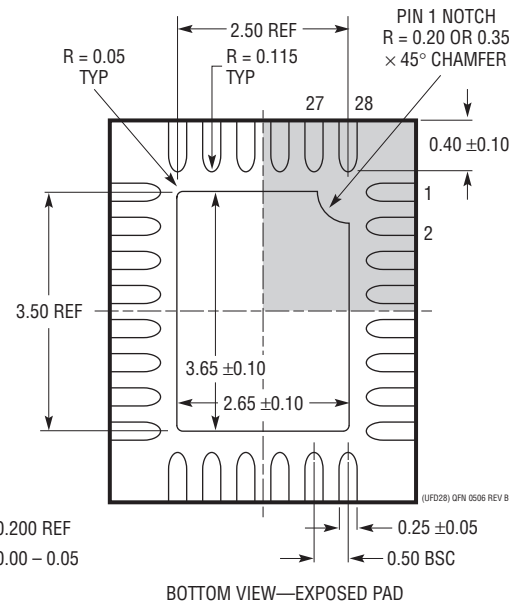
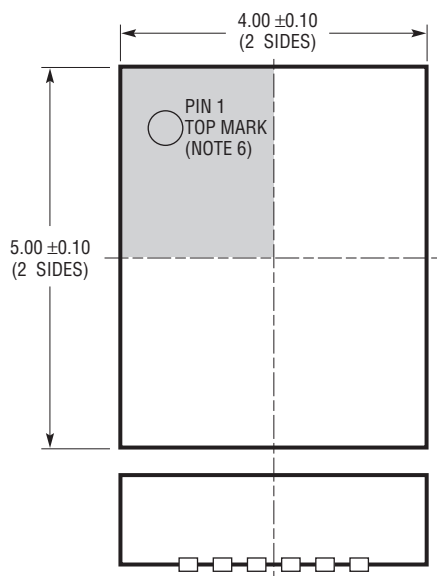
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

UFD Package
28-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1712 Rev B)



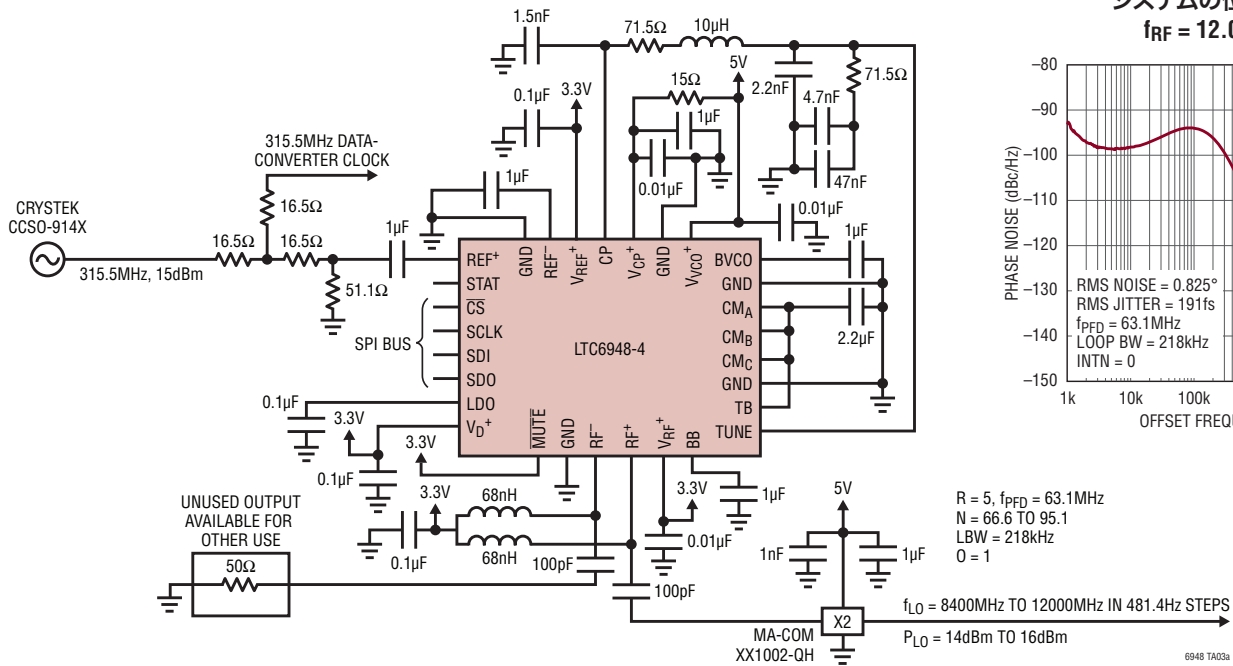
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



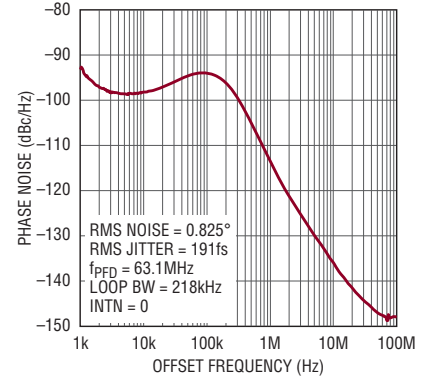
- 注記:
1. 図はJEDECパッケージ外形M0-220のバリエーション(WXXX-X)にするよう提案されている
 2. 図は実寸とは異なる
 3. すべての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

標準的応用例

12GHzのLO信号の生成



システムの位相ノイズ $f_{\text{RF}} = 12.024\text{GHz}$



関連製品

製品番号	説明	注釈
LTC6946-x	ノイズとスプリアスを極めて低く抑えたVCO内蔵の整数分周方式シンセサイザ	370MHz～6.4GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz
LTC6945	ノイズとスプリアスを極めて低く抑えた整数分周方式シンセサイザ	350MHz～6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz
LTC6947	ノイズとスプリアスを極めて低く抑えた分数分周方式シンセサイザ	350MHz～6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz
LTC6957	位相ノイズの小さいデュアル出力バッファ/ドライバ/ロジック・コンバータ	正弦波からロジック・レベルへの最適な変換、LVPECL/LVDS/CMOS出力、DC-300MHz、付加ジッタ: 45fsRMS (LVPECL)
LTC5540/LTC5541/ LTC5542/LTC5543	高ダイナミックレンジのダウンコンバーティング・ミキサ	変換利得: 8dB、IIP3: 26.4dBm、NF: 9.6dB、600MHz～4GHz
LTC5590/LTC5591/ LTC5592/LTC5593	高直線性デュアル・ミキサ	600MHz～4.5GHz、利得: 8.5dB、IIP3: 26.2dBm、NF: 9.9dB
LTC5569	広帯域デュアル・ミキサ	300MHz～4GHz、IIP3: 26.8dBm、利得: 2dB、NF: 11.7dB、電力: 600mW
LTC5588-1	OIP3が非常に高いI/Q変調器	200MHz～6GHz、OIP3: 31dBm、ノイズフロア: -160.6dBm/Hz
LT@5575	直接変換I/Q復調器	800MHz～2.7GHz、IIP3: 22.6dBm、IIP2: 60dBm、NF: 12.7dB