

## 超低ノイズ0.35GHz～6GHz 分数分周方式シンセサイザ

### 特長

- 低ノイズ分数分周方式PLL
- ΔΣ変調器のスプリアスなし
- 分数の分母:18ビット
- VCO入力範囲:350MHz～6GHz
- 正規化された帯域内位相ノイズフロア:-226dBc/Hz
- 正規化された帯域内1/fノイズ:-274dBc/Hz
- 広帯域出力位相ノイズフロア:-157dBc/Hz
- 優れた整数値境界スプリアス性能
- 出力分周器(1～6分周、デューティサイクル50%)
- 出力バッファのミュート
- チャージポンプ電源電圧:3.15V～5.25V
- チャージポンプ電流:1mA～11.2mA
- リファレンス入力周波数:最大425MHz
- 周波数の素早い切り替え
- FracNWizard™ソフトウェア設計ツールによるサポート

### アプリケーション

- ワイヤレス基地局(LTE、WiMAX、W-CDMA、PCS)
- 広帯域無線アクセス
- マイクロ波によるデータ・リンク
- 軍用無線およびセキュリティ保護された無線
- テストおよび測定

### 概要

LTC®6947は、高性能、低ノイズの6GHz位相同期ループ(PLL)で、基準分周器、位相周波数検出器(PFD)、超低ノイズ・チャージポンプ、分数帰還分周器、およびVCO出力分周器を内蔵しています。

分数分周器は、スプリアス・レベルが極めて低い先進の4次ΔΣ変調器を採用しています。これにより、ループ帯域幅が広くなり、位相ノイズの積分値が極めて低くなります。

プログラム可能なVCO出力分周器は、分周範囲が1～6なので、出力の周波数範囲が広がります。差動、低ノイズの出力バッファでは、出力電力を-4.3dBm～+4.5dBmの範囲でユーザーがプログラム可能であり、デジタル入力ピンを介して、またはソフトウェアによってミュートすることができます。

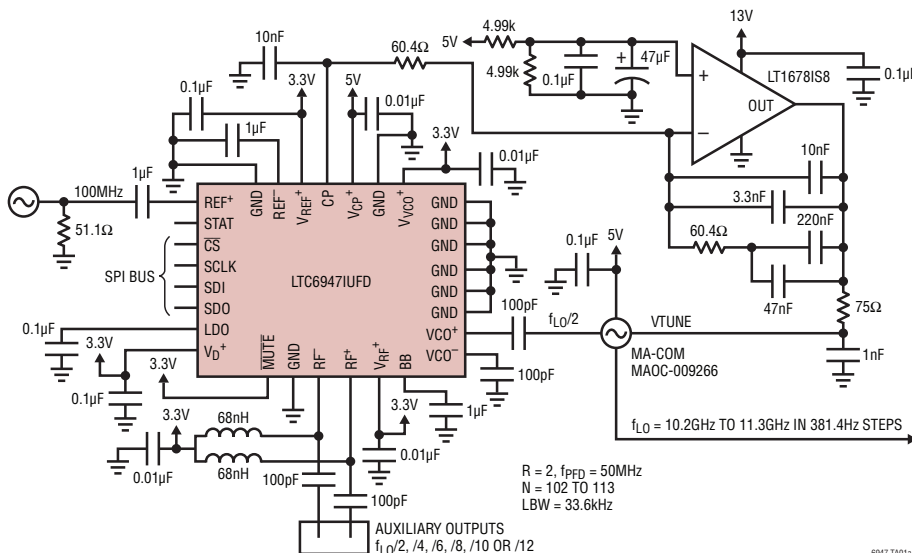
超低ノイズのチャージポンプは、VCOのモニタに役立つ、高電圧と低電圧を選択可能なクランプ回路を内蔵しており、V/2のバイアス電圧を供給するよう設定することもできます。

すべてのデバイス設定は、SPI互換のシリアル・ポートを介して制御します。

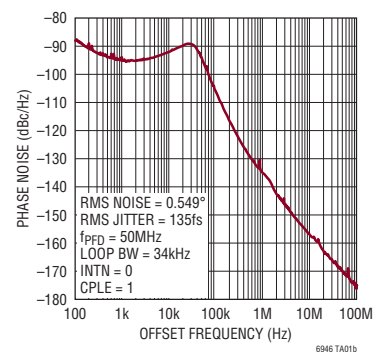
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。FracNWizardはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例

衛星通信用の11GHzソース



システムの位相ノイズ、  
 $f_{RF} = 11.260\text{GHz}$



# LTC6947

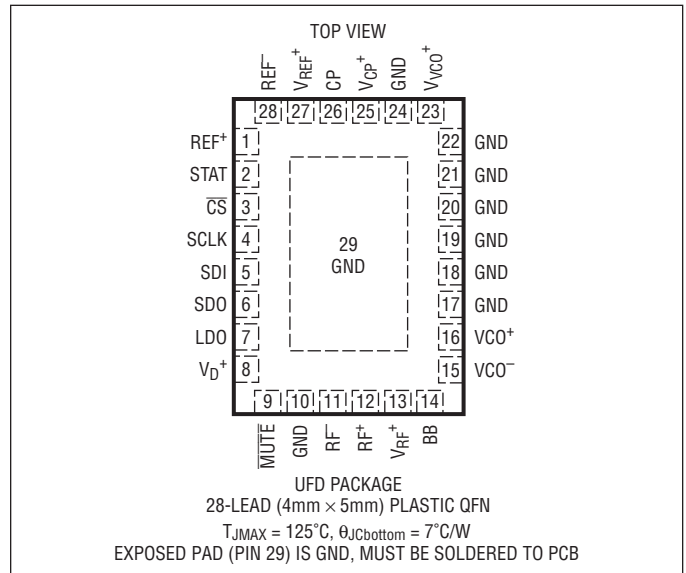
## 絶対最大定格

(Note 1)

電源電圧

|  |                                |
|--|--------------------------------|
| $V^+$ ( $V_{REF^+}$ , $V_{RF^+}$ , $V_{VCO^+}$ , $V_{D^+}$ ) ~ GND | 3.6V                           |
| $V_{CP^+}$ ~ GND   | 5.5V                           |
| CPピンの電圧  | GND - 0.3V ~ $V_{CP^+}$ + 0.3V |
| 他の全てのピンの電圧   | GND - 0.3V ~ $V^+$ + 0.3V      |
| 動作接合部温度範囲、 $T_J$   |                                |
| LTC6947I (Note 2)  | -40°C ~ 105°C                  |
| 接合部温度、 $T_{JMAX}$  | 125°C                          |
| 保存温度範囲   | -65°C ~ 150°C                  |

## ピン配置



## 発注情報

| 無鉛仕上げ           | テープ・アンド・リール       | 製品マーキング | パッケージ                           | 接合部温度範囲        |
|-----------------|-------------------|---------|---------------------------------|----------------|
| LTC6947IUFD#PBF | LTC6947IUFD#TRPBF | 6947    | 28-Lead (4mm x 5mm) Plastic QFN | -40°C to 105°C |

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。  
 非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は  $T_A = 25^{\circ}\text{C}$  での値。

注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$  (Note 2)。全ての電圧値はGNDを基準にしている。

| SYMBOL                         | PARAMETER          | CONDITIONS   | MIN | TYP  | MAX  | UNITS                  |                  |
|--------------------------------|--------------------|--|-----|------|------|------------------------|------------------|
| リファレンス入力 ( $REF^+$ , $REF^-$ ) |                    |  |     |      |      |                        |                  |
| $f_{REF}$                      | Input Frequency    |  | ●   | 10   | 425  | MHz                    |                  |
| $V_{REF}$                      | Input Signal Level | Single-Ended, 1 $\mu\text{F}$ AC-Coupling Capacitors | ●   | 0.5  | 2    | 2.7                    | $V_{P-P}$        |
|                                | Input Slew Rate    |  | ●   | 20   |      | $\text{V}/\mu\text{s}$ |                  |
|                                | Input Duty Cycle   |  |     | 50   |      | %                      |                  |
|                                | Self-Bias Voltage  |  | ●   | 1.65 | 1.85 | 2.25                   | V                |
|                                | Input Resistance   | Differential   | ●   | 5.8  | 8.4  | 11.6                   | $\text{k}\Omega$ |
|                                | Input Capacitance  | Differential   |     | 14   |      | $\text{pF}$            |                  |

## 電气的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{\text{REF}}^+ = V_D^+ = V_{\text{RF}}^+ = V_{\text{VCO}}^+ = 3.3\text{V}$ 、 $V_{\text{CP}}^+ = 5\text{V}$  (Note 2)。全ての電圧値はGNDを基準にしている。

| SYMBOL   | PARAMETER  | CONDITIONS   | MIN | TYP   | MAX    | UNITS  |        |
|--|--|--|-----|-------|--------|--------|--------|
| <b>VCO入力 (VCO<sup>+</sup>、VCO<sup>-</sup>)</b> |  |  |     |       |        |        |        |
| f <sub>VCO</sub>                               | Input Frequency                                      |  | ●   | 350   | 6000   | MHz    |        |
| P <sub>VCOI</sub>                              | Input Power Level                                    | R <sub>Z</sub> = 50Ω, Single-Ended   | ●   | -8    | 0      | 6      | dBm    |
|  | Input Resistance                                     | Single-Ended, Each Input   | ●   | 94    | 132    | 161    | Ω      |
| <b>RF出力 (RF<sup>+</sup>、RF<sup>-</sup>)</b>    |  |  |     |       |        |        |        |
| f <sub>RF</sub>                                | Output Frequency                                     |  | ●   | 350   | 6000   | MHz    |        |
| O  | Output Divider Range                                 | All Integers Included  | ●   | 1     | 6      |        |        |
|  | Output Duty Cycle                                    |  |     | 50    |        | %      |        |
|  | Output Resistance                                    | Single-Ended, Each Output to V <sub>RF</sub> <sup>+</sup>                  | ●   | 100   | 136    | 175    | Ω      |
| P <sub>RF-SE</sub>                             | Output Power, Single-Ended, f <sub>RF</sub> = 900MHz | RFO[1:0] = 0, R <sub>Z</sub> = 50Ω, LC Match                               | ●   | -9    | -7.3   | -5.5   | dBm    |
|  |  | RFO[1:0] = 1, R <sub>Z</sub> = 50Ω, LC Match                               | ●   | -6.1  | -4.5   | -2.8   | dBm    |
|  |  | RFO[1:0] = 2, R <sub>Z</sub> = 50Ω, LC Match                               | ●   | -2.9  | -1.4   | 0.2    | dBm    |
|  |  | RFO[1:0] = 3, R <sub>Z</sub> = 50Ω, LC Match                               | ●   | 0.1   | 1.5    | 3.0    | dBm    |
|  | Output Power, Muted, f <sub>RF</sub> = 900MHz        | R <sub>Z</sub> = 50Ω, Single-Ended, O = 2 to 6                             | ●   |       | -80    | dBm    |        |
|  | Mute Enable Time                                     |  | ●   |       | 110    | ns     |        |
|  | Mute Disable Time                                    |  | ●   |       | 170    | ns     |        |
| <b>位相周波数検出器</b>                                |  |  |     |       |        |        |        |
| f <sub>PDF</sub>                               | Input Frequency                                      | Integer mode   | ●   |       | 100    | MHz    |        |
|  |  | Fractional mode  |     |       |        |        |        |
|  |  | LDOEN = 0  | ●   |       | 76.1   | MHz    |        |
|  |  | LDOV = 3, LDOEN = 1  | ●   |       | 66.3   | MHz    |        |
|  |  | LDOV = 2, LDOEN = 1  | ●   |       | 56.1   | MHz    |        |
|  |  | LDOV = 1, LDOEN = 1  | ●   |       | 45.9   | MHz    |        |
|  | LDOV = 0, LDOEN = 1                                  | ●  |     | 34.3  | MHz    |        |        |
| <b>チャージポンプ</b>                                 |  |  |     |       |        |        |        |
| I <sub>CP</sub>                                | Output Current Range                                 | 8 Settings (See Table 6)   |     | 1     | 11.2   | mA     |        |
|  | Output Current Source/Sink Accuracy                  | All Settings, V(CP) = V <sub>CP</sub> <sup>+</sup> /2                      |     |       | ±6     | %      |        |
|  | Output Current Source/Sink Matching                  | I <sub>CP</sub> = 1.0mA to 2.8mA, V(CP) = V <sub>CP</sub> <sup>+</sup> /2  |     |       | ±3.5   | %      |        |
|  |  | I <sub>CP</sub> = 4.0mA to 11.2mA, V(CP) = V <sub>CP</sub> <sup>+</sup> /2 |     |       | ±2     | %      |        |
|  | Output Current vs Output Voltage Sensitivity         | (Note 3)   | ●   |       | 0.2    | 1.0    | %/V    |
|  | Output Current vs Temperature                        | V(CP) = V <sub>CP</sub> <sup>+</sup> /2                                    | ●   |       | 170    |        | ppm/°C |
|  | Output Hi-Z Leakage Current                          | I <sub>CP</sub> = 11.2mA, CPCL0 = CPCHI = 0 (Note 3)                       |     |       | 0.03   |        | nA     |
| V <sub>CLMP-LO</sub>                           | Low Clamp Voltage                                    | CPCL0 = 1  |     | 0.84  |        | V      |        |
| V <sub>CLMP-HI</sub>                           | High Clamp Voltage                                   | CPCHI = 1, Referred to V <sub>CP</sub> <sup>+</sup>                        |     | -0.96 |        | V      |        |
| V <sub>MID</sub>                               | Mid-Supply Output Bias Ratio                         | Referred to (V <sub>CP</sub> <sup>+</sup> - GND)                           |     | 0.48  |        | V/V    |        |
| <b>リファレンス(R)分周器</b>                            |  |  |     |       |        |        |        |
| R  | Divide Range   | All Integers Included  | ●   | 1     | 31     | Counts |        |
| <b>VCO(N)分周器</b>                               |  |  |     |       |        |        |        |
| N  | Divide Range   | All Integers Included, Integer Mode  | ●   | 32    | 1023   | Counts |        |
|  |  | All Integers Included, Fractional Mode                                     | ●   | 35    | 1019   | Counts |        |
| <b>分数ΔΣ変調器</b>                                 |  |  |     |       |        |        |        |
|  | Numerator Range                                      | All Integers Included  | ●   | 1     | 262143 | Counts |        |

## 電气的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{RF}^+ = V_{VCO}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$  (Note 2)。全ての電圧値はGNDを基準にしている。

| SYMBOL         | PARAMETER                | CONDITIONS                               | MIN     | TYP                   | MAX | UNITS         |
|----------------|--------------------------|--|---------|-----------------------|-----|---------------|
| <b>変調器 LDO</b> |                          |  |         |                       |     |               |
|                | Output Voltage           | LDO Enabled, Four Values<br>LDO Disabled |         | 1.7 to 2.6<br>$V_D^+$ |     | V<br>V        |
|                | External Pin Capacitance | Required for LDO Stability               | ● 0.047 | 0.1                   | 1   | $\mu\text{F}$ |

## デジタル・ピンの仕様

|            |                           |   |   |      |         |               |
|------------|---------------------------|---|---|------|---------|---------------|
| $V_{IH}$   | High Level Input Voltage  | $\overline{\text{MUTE}}$ , $\overline{\text{CS}}$ , SDI, SCLK | ● | 1.55 |         | V             |
| $V_{IL}$   | Low Level Input Voltage   | $\overline{\text{MUTE}}$ , $\overline{\text{CS}}$ , SDI, SCLK | ● |      | 0.8     | V             |
| $V_{IHYS}$ | Input Voltage Hysteresis  | $\overline{\text{MUTE}}$ , $\overline{\text{CS}}$ , SDI, SCLK |   | 250  |         | mV            |
|            | Input Current             | $\overline{\text{MUTE}}$ , $\overline{\text{CS}}$ , SDI, SCLK | ● |      | $\pm 1$ | $\mu\text{A}$ |
| $I_{OH}$   | High Level Output Current | SDO and STAT, $V_{OH} = V_D^+ - 400\text{mV}$                 | ● | -3.3 | -1.9    | mA            |
| $I_{OL}$   | Low Level Output Current  | SDO and STAT, $V_{OL} = 400\text{mV}$                         | ● | 2.0  | 3.4     | mA            |
|            | SDO Hi-Z Current          |   | ● |      | $\pm 1$ | $\mu\text{A}$ |

## デジタル・タイミング仕様 (図7および図8を参照)

|           |                                   |   |   |    |    |    |
|-----------|-----------------------------------|---|---|----|----|----|
| $t_{CKH}$ | SCLK High Time                    |   | ● | 25 |    | ns |
| $t_{CKL}$ | SCLK Low Time                     |   | ● | 25 |    | ns |
| $t_{CSS}$ | $\overline{\text{CS}}$ Setup Time |   | ● | 10 |    | ns |
| $t_{CSH}$ | $\overline{\text{CS}}$ High Time  |   | ● | 10 |    | ns |
| $t_{CS}$  | SDI to SCLK Setup Time            |   | ● | 6  |    | ns |
| $t_{CH}$  | SDI to SCLK Hold Time             |   | ● | 6  |    | ns |
| $t_{DO}$  | SCLK to SDO Time                  | To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF Load | ● |    | 16 | ns |

## 電源電圧

|  |                          |  |   |      |     |      |   |
|--|--------------------------|--|---|------|-----|------|---|
|  | $V_{REF}^+$ Supply Range |  | ● | 3.15 | 3.3 | 3.45 | V |
|  | $V_D^+$ Supply Range     |  | ● | 3.15 | 3.3 | 3.45 | V |
|  | $V_{RF}^+$ Supply Range  |  | ● | 3.15 | 3.3 | 3.45 | V |
|  | $V_{VCO}^+$ Supply Range |  | ● | 3.15 | 3.3 | 3.45 | V |
|  | $V_{CP}^+$ Supply Range  |  | ● | 3.15 |     | 5.25 | V |

## 電源電流

|                |  |   |                                 |   |   |   |
|----------------|--|---|---------------------------------|---|---|---|
| $I_{DD}$       | $V_D^+$ Supply Current                                     | Digital Inputs at Supply Levels, PDFN = 1<br>Digital Inputs at Supply Levels, Fractional<br>Mode, $f_{PDF} = 66.3\text{MHz}$ MHz, $\text{LDOV}[1:0] = 3$  | ●<br>●                          |   | 1500<br>22                                  | $\mu\text{A}$<br>mA                               |
| $I_{CC(5V)}$   | Sum $V_{CP}^+$ Supply Currents                             | $I_{CP} = 11.2\text{mA}$<br>$I_{CP} = 1.0\text{mA}$<br>$\text{PDALL} = 1$   | ●<br>●<br>●                     | 34<br>12<br>230                                       | 40<br>14<br>650                             | mA<br>mA<br>$\mu\text{A}$                         |
| $I_{CC(3.3V)}$ | Sum $V_{REF}^+$ , $V_{RF}^+$ , $V_{VCO}^+$ Supply Currents | RF Muted, $\text{OD}[2:0] = 1$<br>RF Enabled, $\text{RFO}[1:0] = 0$ , $\text{OD}[2:0] = 1$<br>RF Enabled, $\text{RFO}[1:0] = 3$ , $\text{OD}[2:0] = 1$<br>RF Enabled, $\text{RFO}[1:0] = 3$ , $\text{OD}[2:0] = 2$<br>RF Enabled, $\text{RFO}[1:0] = 3$ , $\text{OD}[2:0] = 3$<br>RF Enabled, $\text{RFO}[1:0] = 3$ , $\text{OD}[2:0] = 4$ to 6<br>$\text{PDALL} = 1$ | ●<br>●<br>●<br>●<br>●<br>●<br>● | 70.4<br>81.1<br>91.3<br>109.2<br>114.8<br>119.6<br>53 | 80<br>95<br>105<br>125<br>135<br>140<br>250 | mA<br>mA<br>mA<br>mA<br>mA<br>mA<br>$\mu\text{A}$ |

## 電气的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{REF}^+ = V_D^+ = V_{RF}^+ = V_{VCO}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = 5\text{V}$  (Note 2)。全ての電圧値はGNDを基準にしている。

| SYMBOL                  | PARAMETER                                       | CONDITIONS   | MIN   | TYP   | MAX  | UNITS  |
|-------------------------|---|--|---|-------|------|--------|
| <b>位相ノイズとスプリアス</b>      |   |  |   |       |      |        |
| L <sub>MIN</sub>        | Output Phase Noise Floor (Note 5)               | RFO[1:0] = 3, OD[2:0] = 1, f <sub>RF</sub> = 6GHz  |   | -155  |      | dBc/Hz |
|                         |   | RFO[1:0] = 3, OD[2:0] = 2, f <sub>RF</sub> = 3GHz  |   | -155  |      | dBc/Hz |
|                         |   | RFO[1:0] = 3, OD[2:0] = 3, f <sub>RF</sub> = 2GHz  |   | -156  |      | dBc/Hz |
|                         |   | RFO[1:0] = 3, OD[2:0] = 4, f <sub>RF</sub> = 1.5GHz  |   | -156  |      | dBc/Hz |
|                         |   | RFO[1:0] = 3, OD[2:0] = 5, f <sub>RF</sub> = 1.2GHz  |   | -157  |      | dBc/Hz |
|                         |   | RFO[1:0] = 3, OD[2:0] = 6, f <sub>RF</sub> = 1.0GHz  |   | -158  |      | dBc/Hz |
| L <sub>NORM(INT)</sub>  | Integer Normalized In-Band Phase Noise Floor    | INTN = 1, I <sub>CP</sub> = 5.6mA (Notes 6, 7, 9)  |   | -226  |      | dBc/Hz |
| L <sub>NORM(FRAC)</sub> | Fractional Normalized In-Band Phase Noise Floor | INTN = 0, CPLE = 1, I <sub>CP</sub> = 5.6mA (Notes 6, 7, 9)                                |   | -225  |      | dBc/Hz |
| L <sub>1/f</sub>        | Normalized In-Band 1/f Phase Noise              | I <sub>CP</sub> = 11.2mA (Notes 6, 10)   |   | -274  |      | dBc/Hz |
|                         |   | In-Band Phase Noise Floor  | Fractional Mode, CPLE = 1 (Notes 4, 6, 7, 10, 11) |       | -109 |        |
|                         | Integrated Phase Noise from 100Hz to 40MHz      | Fractional Mode, CPLE = 1 (Notes 4, 7, 11)   |   | 0.076 |      | °RMS   |
|                         | Spurious  | Fractional Mode, f <sub>OFFSET</sub> = f <sub>PPFD</sub> , PLL Locked (Notes 4, 7, 11, 12) |   | -97   |      | dBc    |

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** LTC6947Iは、 $-40^\circ\text{C} \sim 105^\circ\text{C}$ の全動作接合部温度範囲で規定された性能制限を満たすことが保証されている。

**Note 3:**  $0.9\text{V} < V(\text{CP}) < (V_{CP}^+ - 0.9\text{V})$ の場合。

**Note 4:** VCOはCrystekのCVC055C-2328-2536である。

**Note 5:** f<sub>VCO</sub> = 6GHz, f<sub>OFFSET</sub> = 40MHz。

**Note 6:** ループをロックして、ループ帯域幅の内部で測定。

**Note 7:** 基準周波数はWenzelの501-04516によって供給 (f<sub>REF</sub> = 100MHz, P<sub>REF</sub> = 10dBm)。

**Note 8:** 基準周波数はWenzelの500-23571によって供給 (f<sub>REF</sub> = 61.44MHz, P<sub>REF</sub> = 10dBm)。

**Note 9:** 出力位相ノイズフロアは、 $L_{OUT} = L_{NORM} + 10\log_{10}(f_{PPFD}) + 20\log_{10}(f_{RF}/f_{PPFD})$ によって、正規化された位相ノイズフロアから計算される。

**Note 10:** 出力1/fノイズは、 $L_{OUT(1/f)} = L_{1/f} + 20\log_{10}(f_{RF}) - 10\log_{10}(f_{OFFSET})$ によって、正規化された1/f位相ノイズから計算される。

**Note 11:** I<sub>CP</sub> = 5.6mA, f<sub>PPFD</sub> = 50MHz, FILT[1:0] = 0, Loop BW = 31kHz, f<sub>RF</sub> = 2415MHz, f<sub>VCO</sub> = 2415MHz。

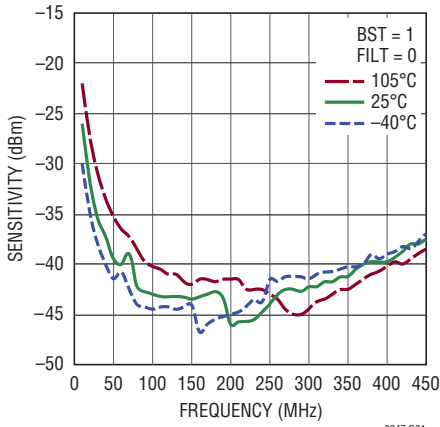
**Note 12:** DC1846を使って測定。

**Note 13:** VCOはRFMDのUMX-918-D16-Gである。

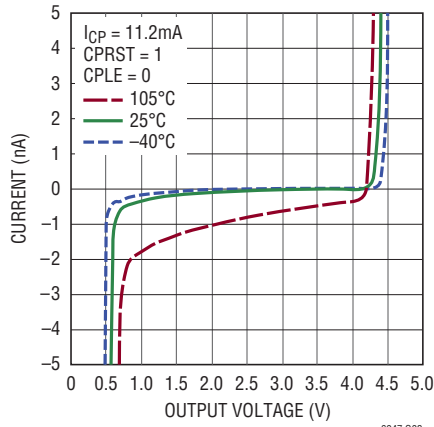
## 標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ 、 $INTN = 0$ 、 $DITHEN = 1$ 、 $CPL E = 1$ 、 $RFO[1:0] = 3$ 。

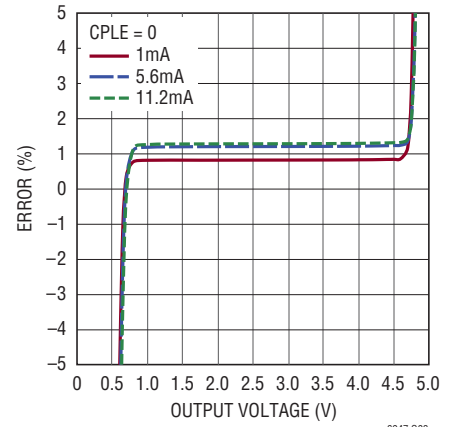
REF入力の感度と周波数



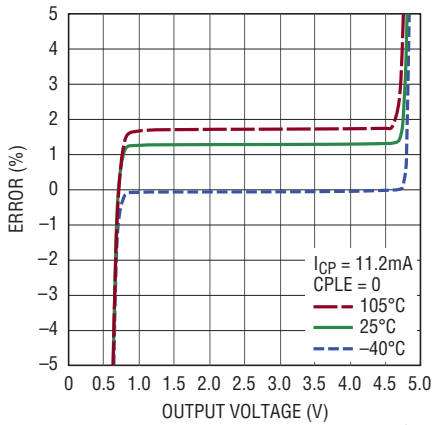
CPのHi-Z電流と電圧、温度



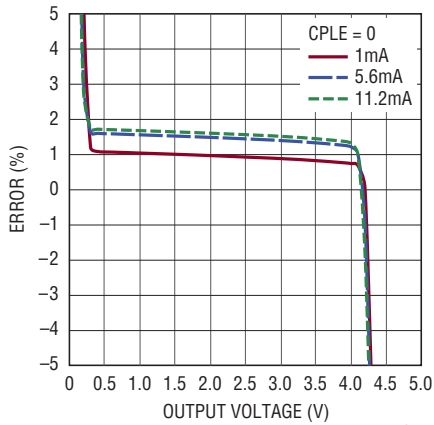
チャージポンプの  
シンク電流誤差と電圧、出力電流



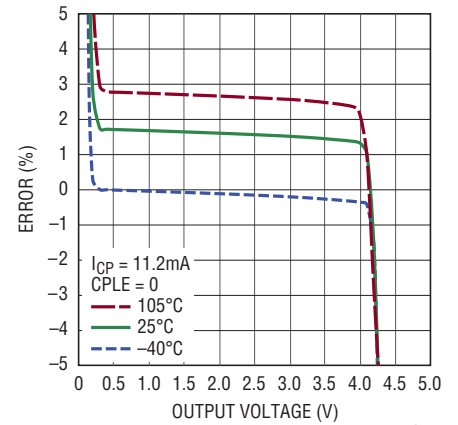
チャージポンプの  
シンク電流誤差と電圧、温度



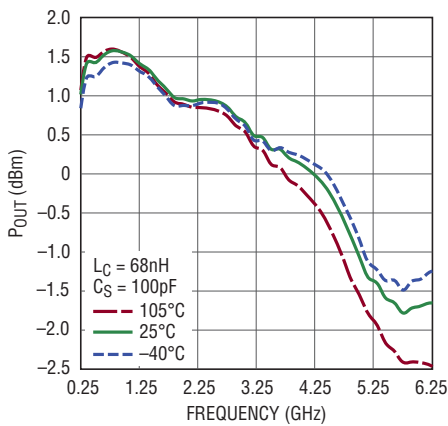
チャージポンプの  
ソース電流誤差と電圧、出力電流



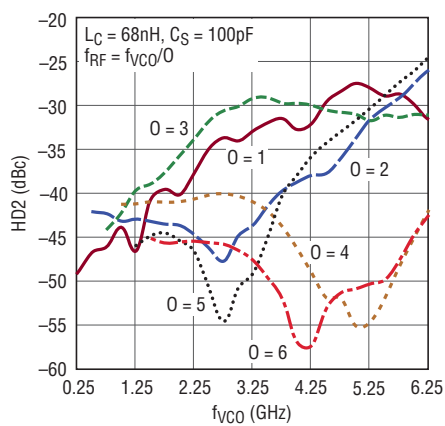
チャージポンプの  
ソース電流誤差と電圧、温度



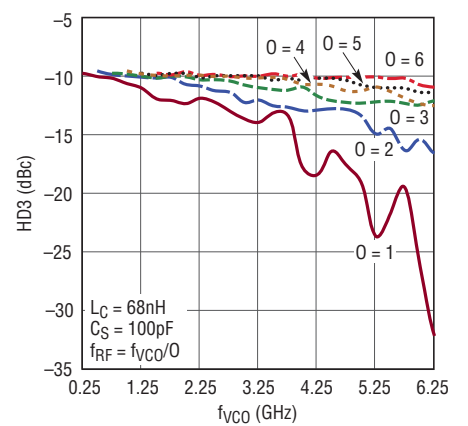
RF出力電力と周波数  
(シングルエンドのRF)



RF出力のHD2と出力分周比  
(シングルエンドのRF)



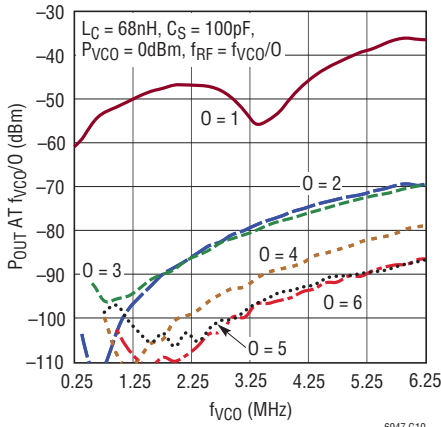
RF出力のHD3と出力分周比  
(シングルエンドのRF)



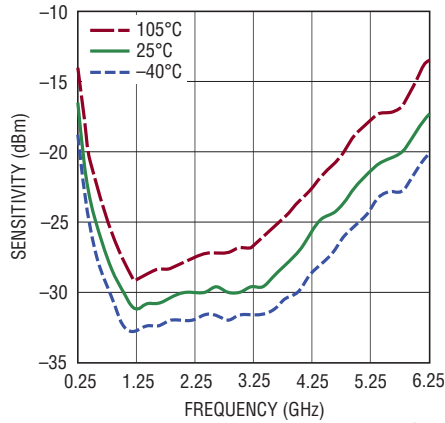
標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ 、 $\text{INTN} = 0$ 、 $\text{DITHEN} = 1$ 、 $\text{CPLE} = 1$ 、 $\text{RFO}[1:0] = 3_0$ 。

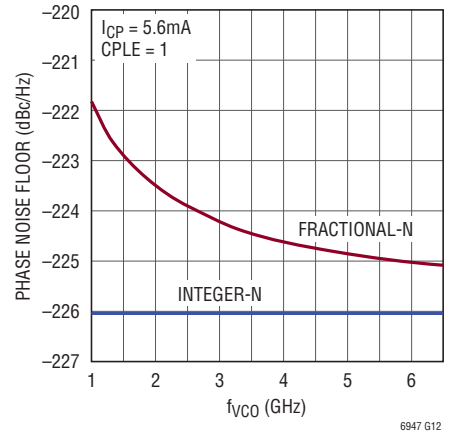
MUTE出力電力と $f_{VCO}$ および出力分周比(シングルエンドのRF)



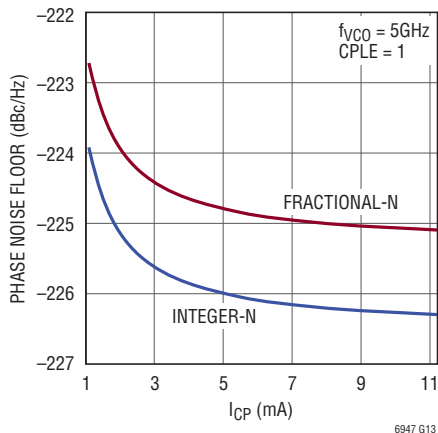
VCO入力の感度と周波数



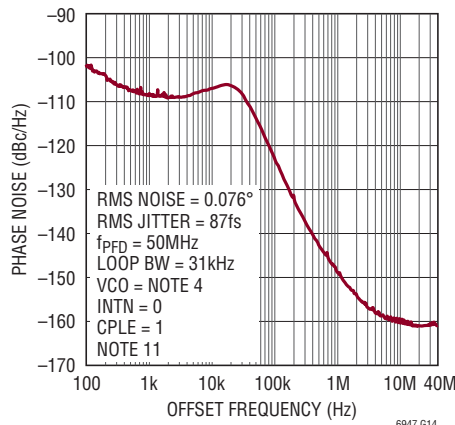
正規化された帯域内位相ノイズフロアと $f_{VCO}$



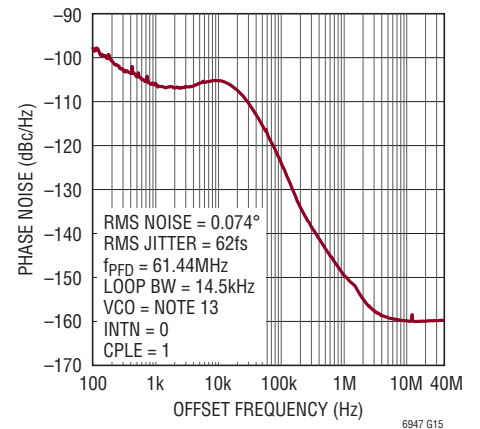
正規化された帯域内位相ノイズフロアとCPの電流



閉ループ位相ノイズ  $f_{RF} = 2415\text{MHz}$

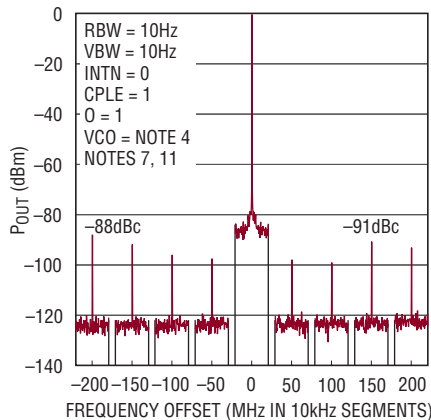


閉ループ位相ノイズ  $f_{RF} = 3330\text{MHz}$



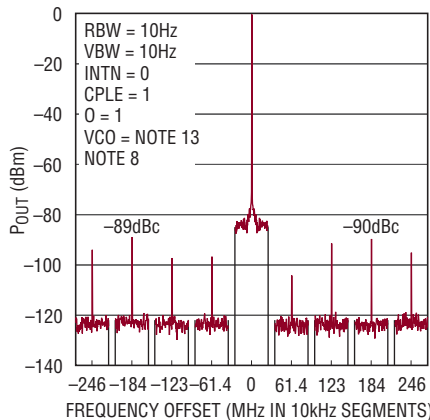
スプリアス応答

$f_{RF} = 2415\text{MHz}$ 、 $f_{REF} = 100\text{MHz}$ 、 $f_{FPD} = 50\text{MHz}$ 、 $\text{Loop BW} = 31\text{kHz}$

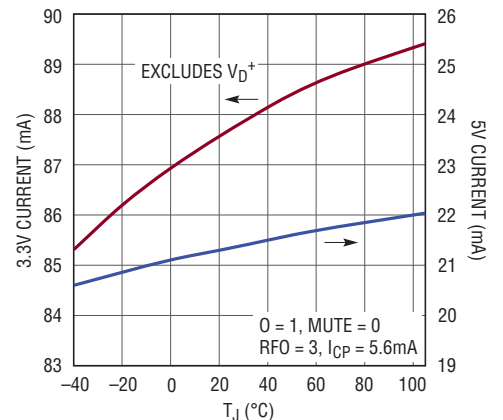


スプリアス応答

$f_{RF} = 3330\text{MHz}$ 、 $f_{REF} = 61.44\text{MHz}$ 、 $f_{FPD} = 61.44\text{MHz}$ 、 $\text{Loop BW} = 14.5\text{kHz}$

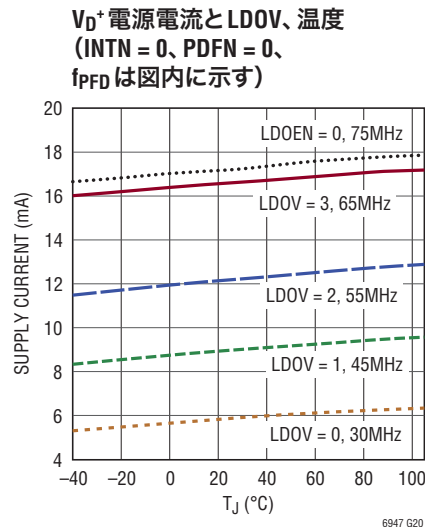
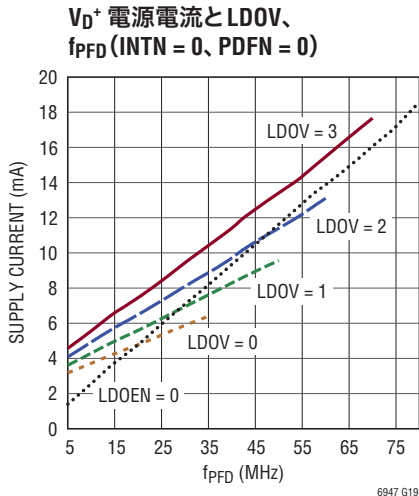


電源電流と温度



## 標準的性能特性

$T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{REF^+} = V_{D^+} = V_{RF^+} = V_{VCO^+} = 3.3\text{V}$ 、 $V_{CP^+} = 5\text{V}$ 、 $\text{INTN} = 0$ 、 $\text{DITHEN} = 1$ 、 $\text{CPLE} = 1$ 、 $\text{RFO}[1:0] = 3$ 。



## ピン機能

**REF<sup>+</sup>、REF<sup>-</sup> (ピン1、28)**：基準入力信号。この差動入力は低ノイズのアンプでバッファされ、基準分周器に与えられます。それらは自己バイアスされており、 $1\mu\text{F}$ のコンデンサでAC結合する必要があります。 $V_{REF^+}$ を $2.7\text{V}_{\text{P-P}}$ 以下に設定してシングルエンドで使用する場合、 $1\mu\text{F}$ のコンデンサを使用してREF<sup>-</sup>をGNDにバイパスします。 $V_{REF^+}$ を $2.7\text{V}_{\text{P-P}}$ よりも高く設定してシングルエンドで使用する場合、 $47\text{pF}$ のコンデンサを使用してREF<sup>-</sup>をGNDにバイパスします。

**STAT (ピン2)**：状態出力。この信号は、UNLOK、LOK、THI、TLOの各状態ビットを、設定可能な論理OR結合したもので、STATUSレジスタを介してプログラム可能です。詳細については「動作」のセクションを参照してください。

**CS (ピン3)**：シリアル・ポート・チップ・セレクト。このCMOS入力は、“L”にドライブするとシリアル・ポートの通信バーストを開始し、再度“H”にドライブするとバーストを終了します。詳細は「動作」のセクションを参照してください。

**SCLK (ピン4)**：シリアル・ポート・クロック。このCMOS入力の立ち上がりエッジでシリアル・ポートの入力データをクロックします。詳細は「動作」のセクションを参照してください。

**SDI (ピン5)**：シリアル・ポート・データ入力。シリアル・ポートはこのCMOS入力をデータに使用します。詳細は「動作」のセクションを参照してください。

**SDO (ピン6)**：シリアル・ポート・データ出力。このCMOSのスリーステート出力は、読み出しの通信バーストの間、シリアル・ポートのデータを出力します。オプションで、 $200\text{k}\Omega$ より大きな抵抗をGNDに接続して出力がフロートするのを防ぎます。詳細については、「アプリケーション情報」のセクションを参照してください。

**LDO (ピン7)**： $\Delta\Sigma$ 変調器のLDOバイパス・ピン。このピンのできるだけ近くに配置した低ESR ( $0.8\Omega$ 未満)  $0.1\mu\text{F}$ のセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

**$V_{D^+}$  (ピン8)**：シリアル・ポートと $\Delta\Sigma$ 変調器回路の $3.15\text{V} \sim 3.45\text{V}$ の正電圧電源ピン。このピンのできるだけ近くに配置した $0.1\mu\text{F}$ のセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

**MUTE (ピン9)**：RFミュート。このCMOSのアクティブ“L”入力は、アサートを解除したとき素早く応答できるように内部バイアス・レベルを維持しつつ、RF<sup>+</sup>差動出力をミュートします。



## ピン機能

**GND (ピン10、17、18、19、20、21、22、露出パッド・ピン29) :** 負電源(グランド)。これらのグランド・ピンは、各ピンに複数のビアを使って、グランド・プレーンに直接接続します。パッケージの露出パッドはPCBのランドに半田付けする必要があります。PCBのランドパターンには、グランドのインダクタンスと熱抵抗の両方を減らすためにグランド・プレーンへの複数のサーマル・ビアを設けます。

**RF、RF<sup>+</sup> (ピン11、12) :** RF出力信号。VCOの出力分周器はバッファされ、差動でこれらのピンに出力されます。出力はオープン・コレクタで、136Ω(標準)のプルアップ抵抗がV<sub>RF<sup>+</sup></sub>に接続されていて、インピーダンス整合を助けます。シングルエンドで使用する場合、使用しない方の出力を50Ωで終端します。インピーダンス整合の詳細については、「アプリケーション情報」のセクションを参照してください。

**V<sub>RF<sup>+</sup></sub> (ピン13) :** RF回路の3.15V～3.45Vの正電源ピン。このピンのできるだけ近くに配置した0.01μFのセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

**BB (ピン14) :** RFリファレンス信号のバイパス。この出力は、2.5kの抵抗値を持っており、1μFのセラミック・コンデンサを使用してGNDにバイパスする必要があります。このピンは他のどの信号にも結合しないでください。

**VCO<sup>-</sup>、VCO<sup>+</sup> (ピン15、16) :** VCOの入力信号。これらのピンに与えられる差動信号は低ノイズのアンプによってバッファされ、内部の出力分周期および帰還分周期に与えられます。これらの自己バイアスされた入力にはAC結合する必要があります。インピーダンス整合を助けるため、シングルエンドで121Ω(標準)の抵抗値を示す必要があります。コンデンサを使ってVCO<sup>-</sup>をGNDにバイパスすることにより、これらをシングルエンドで使用することができます。インピーダンス整合の詳細については、「アプリケーション情報」のセクションを参照してください。

**V<sub>VCO<sup>+</sup></sub> (ピン23) :** VCO回路の3.15V～3.45Vの正電源ピン。このピンのできるだけ近くに配置した0.01μFのセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

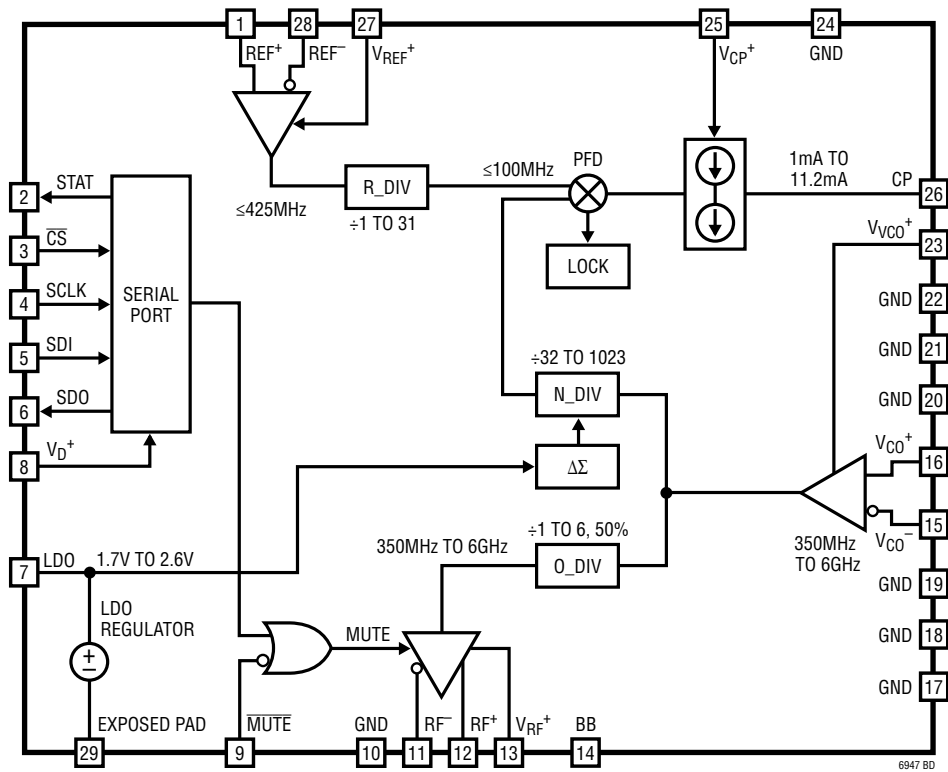
**GND (ピン24) :** 負電源(グランド)。このピンはダイアタッチ・パドル(DAP)に直接接合されており、グランド・プレーンに直接接続します。

**V<sub>CP<sup>+</sup></sub> (ピン25) :** チャージポンプ回路の3.15V～5.25Vの正電源ピン。このピンのできるだけ近くに配置した0.1μFのセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

**CP (ピン26) :** チャージポンプの出力。この双方向電流出力は通常外部のループ・フィルタに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

**V<sub>REF<sup>+</sup></sub> (ピン27) :** リファレンス入力回路の3.15V～3.45Vの正電源ピン。このピンのできるだけ近くに配置した0.1μFのセラミック・コンデンサを使って、このピンをグランド・プレーンに直接バイパスします。

## ブロック図



## 動作

LTC6947は高性能分数分周方式PLLで、外部の高性能VCOと組み合わせて、最高6GHzまでの低ノイズのLO信号を発生することができます。出力分周器を利用して出力周波数範囲をさらに広げることができます。このデバイスは、低いスプリアス成分によって可能になる極めて低い帯域内位相ノイズ特性と広い帯域幅の組み合わせにより、卓越した積分位相ノイズ特性を達成することができます。

分数帰還分周器は、高性能な $\Delta\Sigma$ 変調器を使用しており、ディスクリット変調器のスプリアス・トーンがほとんど発生しません。整数帰還が必要な場合は、変調器をディスエーブルできます。

### リファレンス入力バッファ

PLLの基準周波数は、REF<sup>+</sup>ピンとREF<sup>-</sup>ピンに差動で与えられます。これらの高インピーダンス入力には自己バイアスされており、1 $\mu$ FのコンデンサでAC結合する必要があります(簡略回路図については、図1を参照)。あるいは、リファレンス周波数をREF<sup>+</sup>に与え、1 $\mu$ FのコンデンサでREF<sup>-</sup>をGNDにバイパスすることにより、入力をシングルエンドで使うことができます。シングルエンド信号が2.7V<sub>p-p</sub>よりも大きい場合は、47pFのコンデンサを使用してGNDにバイパスします。

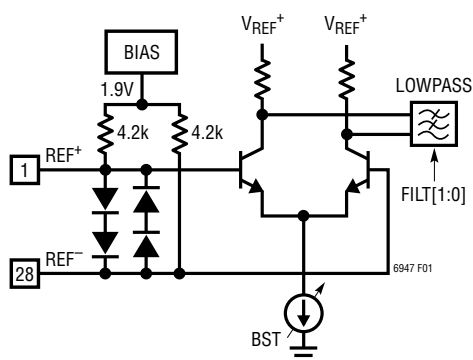


図1. REFのインタフェースの簡略回路図

高品質の信号をREF<sup>+</sup>入力に与える必要があります。それらは、PLL全体の周波数の基準を与えるからです。デバイスの帯域内位相ノイズ特性を達成するには、少なくとも6dBmのCW信号を50 $\Omega$ に与えるか、またはスルーレートが少なくとも40V/ $\mu$ sの少なくとも0.5V<sub>p-p</sub>の方形波を与えます。

シリアル・ポート・レジスタh0Bにより追加のオプションを利用することができ、アプリケーションをさらに洗練されたものにすることができます。FILT[1:0]のビットはリファレンス入力バッファのローパス・フィルタを制御します。これらのビットをf<sub>REF</sub>に基づいて設定してリファレンス信号の広帯域ノイズを制限します。正規化された帯域内位相ノイズフロアL<sub>NORM</sub>を達成するには、FILT[1:0]のビットを正しく設定する必要があります。推奨設定値については、表1を参照してください。

表1.FILT[1:0]のプログラミング

| FILT[1:0] | f <sub>REF</sub> |
|-----------|------------------|
| 3         | <20MHz           |
| 2         | NA               |
| 1         | 20MHz to 50MHz   |
| 0         | >50MHz           |

BSTビットを入力信号レベルに基づいて設定し、リファレンス入力バッファが飽和するのを防ぎます。推奨設定値については表2を参照し、プログラミング例については「アプリケーション情報」のセクションを参照してください。

表2.BSTのプログラミング

| BST | V <sub>REF</sub>   |
|-----|--------------------|
| 1   | <2V <sub>p-p</sub> |
| 0   | ≥2V <sub>p-p</sub> |

### リファレンス(R)分周器

PFDFから見た周波数を下げるのに、5ビット分周器(R\_DIV)が使われます。その分周比Rは、1~31の任意の整数に設定することができます。レジスタh06のRD[4:0]ビットを使って、分周比Rを直接プログラムします。Rと、f<sub>REF</sub>、f<sub>PDF</sub>、f<sub>VCO</sub>、f<sub>RF</sub>の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

### 位相周波数検出器(PFD)

位相周波数検出器(PFD)は、チャージポンプと連携して、R分周器とN分周器の出力の間の位相差に比例したソース電流パルスとシンク電流パルスを発生します。この動作により、必要な帰還信号がフェーズロック・ループに与えられ、PFDの入力の位相が揃うように強制します。PFDはCPRSTビットによってディスエーブルすることができ、UPパルスとDOWNパルスの発生が停止します。PFDの簡略回路図に関しては、図2を参照してください。

## 動作

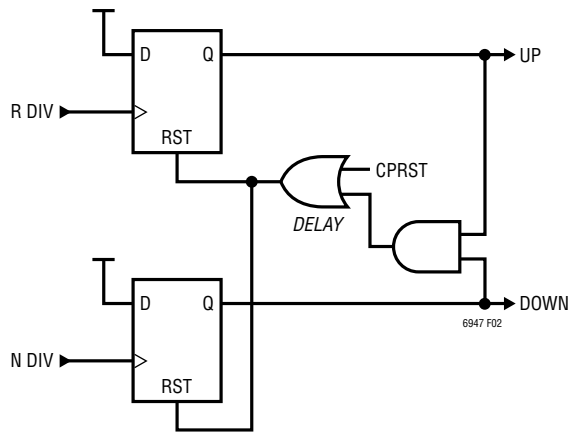


図2. PFDの簡略回路図

## ロック・インジケータ

ロック・インジケータはPFDからの内部信号を使って、R分周器とN分周器の出力信号の間の位相の一致を測定します。これは、シリアル・ポート・レジスタh0CのLKCT[1:0] (表5を参照)を設定することによりイネーブルされ、LOCKとUNLOCKの両方の状態フラグを生成します。これらのフラグはSTAT出力とシリアル・ポート・レジスタh00の両方を介して利用することができます。

ユーザーはLKWIN[2:0]ビットを使って、有効なLOCK状態の位相差ロック・ウィンドウ時間( $t_{LWW}$ )を設定します。分数分周方式シンセサイザ(分数モード)としてデバイスを使用する場合、 $\Delta\Sigma$ 変調器は、R\_DIVとN\_DIVの全サイクルでPFDで検出される瞬時位相を変更します。この場合、許容される最大時間差はVCOの周波数 $f_{VCO}$ によって変わり、チャージポンプ直線化イネーブル・ビットCPLE (この機能の説明については、「チャージポンプ・リニアライザ」のセクションを参照)によっても変わります。分数モードでデバイスを使用する場合のLKWIN[2:0]の推奨設定を表3に示します。例については、「アプリケーション情報」のセクションを参照してください。

表3. LKWIN[2:0]の分数モードのプログラミング

| LKWIN[2:0] | $t_{LWW}$ | $f_{VCO}$ (CPLE = 1)  | $f_{VCO}$ (CPLE = 0)  |
|------------|-----------|-----------------------|-----------------------|
| 0          | 5.0ns     | $\geq 2.97\text{GHz}$ | $\geq 1.35\text{GHz}$ |
| 1          | 7.35ns    | $\geq 2.00\text{GHz}$ | $\geq 919\text{MHz}$  |
| 2          | 10.7ns    | $\geq 1.39\text{GHz}$ | $\geq 632\text{MHz}$  |
| 3          | 15.8ns    | $\geq 941\text{MHz}$  | $\geq 428\text{MHz}$  |
| 4          | 23.0ns    | $\geq 646\text{MHz}$  | $\geq 294\text{MHz}$  |
| 5          | 34.5ns    | $\geq 431\text{MHz}$  | $\geq 196\text{MHz}$  |
| 6          | 50.5ns    | $\geq 294\text{MHz}$  | $\geq 134\text{MHz}$  |
| 7          | 76.0ns    | $\geq 196\text{MHz}$  | $\geq 89\text{MHz}$   |

デバイスを整数分周方式シンセサイザ(整数モード)として使用した場合、PFDで検出される位相差は、PLLの帰還によって最小限に抑えられ、 $f_{VCO}$ に依存しなくなります。整数モードで使用した場合の各 $f_{PFD}$ 周波数の推奨設定を表4に示します。

表4. LKWIN[2:0]の整数モードのプログラミング

| LKWIN[2:0] | $t_{LWW}$ | $f_{PFD}$            |
|------------|-----------|----------------------|
| 0          | 5.0ns     | $> 6.8\text{MHz}$    |
| 1          | 7.35ns    | $\leq 6.8\text{MHz}$ |
| 2          | 10.7ns    | $\leq 4.7\text{MHz}$ |
| 3          | 15.8ns    | $\leq 3.2\text{MHz}$ |
| 4          | 23.0ns    | $\leq 2.2\text{MHz}$ |
| 5          | 34.5ns    | $\leq 1.5\text{MHz}$ |
| 6          | 50.5ns    | $\leq 1.0\text{MHz}$ |
| 7          | 76.0ns    | $\leq 660\text{kHz}$ |

COUNTSの値までカウントする間連続してPFDの位相差が $t_{LWW}$ より小さいと、ロック・インジケータがLOCKフラグをアサートします。アプリケーションに従ってCOUNTSを設定するには、レジスタh0CのLKCT[1:0]ビットを使います。ロック・インジケータをディスエーブルするには、LKCT[1:0]を0に設定します。LKCT[1:0]のプログラミングについては表5を参照し、例については「アプリケーション情報」のセクションを参照してください。

表5. LKCT[1:0]のプログラミング

| LKCT[1:0] | COUNTS                  |
|-----------|-------------------------|
| 0         | Lock Indicator Disabled |
| 1         | 32                      |
| 2         | 256                     |
| 3         | 2048                    |

PFDの位相差が $t_{LWW}$ より大きいと、ロック・インジケータは直ちにUNLOCK状態フラグをアサートし、LOCKフラグをクリアして、ロックから外れた状態であることを表示します。位相差が $t_{LWW}$ より小さくなると、UNLOCKフラグは直ちにアサートを解除されます。詳細については、下の図3を参照してください。

LOCKフラグとUNLOCKフラグが正しくアサートおよびクリアされるには、 $f_{REF}$ が存在する必要があるということに注意してください。

## 動作

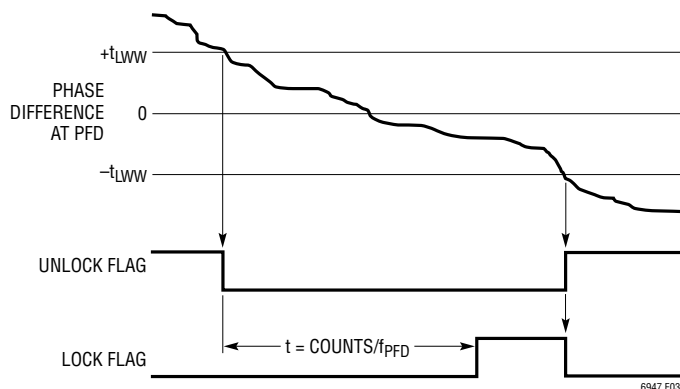


図3. UNLOCKとLOCKのタイミング

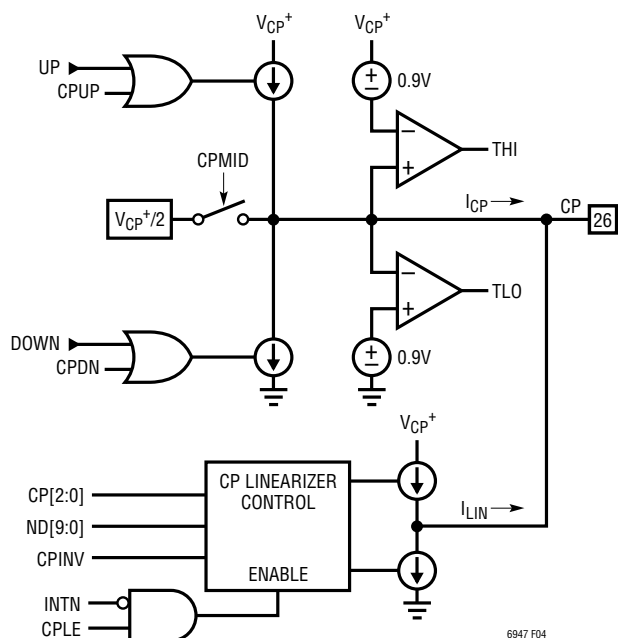


図4. チャージポンプの簡略回路図

## チャージポンプ

PFDによって制御されるチャージポンプが、シンク(DOWN)電流パルスまたはソース(UP)電流パルスをCPピンに強制します。このピンには適切なループ・フィルタを接続します。チャージポンプの簡略回路図に関しては、図4を参照してください。

出力電流の大きさ $I_{CP}$ は、シリアル・ポート・レジスタh0CのCP[2:0]ビットを使って、1mA～11.2mAに設定することができます。ループ・フィルタの部品のインピーダンスが小さいので、 $I_{CP}$ を大きくするほど帯域内ノイズを低くすることができます。ただし、電流が5.6mA(標準)よりも大きい場合は、通常、スプリアス性能が悪化します。プログラミングの詳細については表6を参照し、ループ・フィルタの例については「アプリケーション情報」のセクションを参照してください。

表6.CP[2:0]のプログラミング

| CP[2:0] | $I_{CP}$ |
|---------|----------|
| 0       | 1.0mA    |
| 1       | 1.4mA    |
| 2       | 2.0mA    |
| 3       | 2.8mA    |
| 4       | 4.0mA    |
| 5       | 5.6mA    |
| 6       | 8.0mA    |
| 7       | 11.2mA   |

オペアンプを使った外部ループなど、PFDからの信号を反転する必要があるアプリケーションの場合、レジスタh0DのCPINVビットを設定する必要があります。図14に示されているような受動ループ・フィルタでは、CPINV = 0にします。図15に示すようなアクティブ・ループ・フィルタを使用するには、正の $K_{VCO}$ に対してCPINV = 1に設定します。

## チャージポンプの機能

チャージポンプには、システムの起動を助ける追加機能が備わっています。まとめとして、表7を参照してください。

表7. チャージポンプの機能ビットの説明

| ビット    | 説明              |
|--------|-----------------|
| CPCHI  | 高電圧出力クランプをイネーブル |
| CPCLO  | 低電圧出力クランプをイネーブル |
| CPDN   | シンク電流を強制        |
| CPINV  | PFDの位相を反転       |
| CPLE   | リニアライザのイネーブル    |
| CPMID  | 中電圧バイアスをイネーブル   |
| CPRST  | PFDをリセット        |
| CPUP   | ソース電流を強制        |
| CPWIDE | 電流パルス幅を拡張       |
| THI    | 高電圧クランプ・フラグ     |
| TLO    | 低電圧クランプ・フラグ     |

レジスタh0DのCPCHIビットとCPCLOビットは、それぞれ高電圧クランプと低電圧クランプをイネーブルします。CPCHIがイネーブルされ、CPピンの電圧がおおよそ $V_{CP^+} - 0.9V$ を超えると、THI状態フラグがセットされ、チャージポンプのソース電流がディスエーブルされます。代わりに、CPCLOがイネーブルされ、CPピンの電圧が約0.9Vを下回ると、TLO状態フラグがセットされ、チャージポンプのシンク電流がディスエーブルされます。簡略回路図については、図4を参照してください。

## 動作

レジスタ h0D の CPMID ビットは抵抗性の  $V_{CP}^+/2$  の出力バイアスをイネーブルします。このバイアスを使って、問題のあるループ・フィルタを有効な電圧範囲に予めバイアスすることができます。CPMID を使うときは、CPRST ビットもアサートして、PFD のリセットを強制することを推奨します。通常動作では、CPMID と CPRST の両方をゼロに設定する必要があります。

CPUP ビットと CPDN ビットはそれぞれ、一定の  $I_{CP}$  のソース電流とシンク電流を CP ピンに強制します。CPRST ビットは、CPUP ビットおよび CPDN ビットと組み合わせて使うこともでき、必要なら、ループのプリチャージを既知の状態にすることができます。ループがロックできるようにするには、CPUP、CPDN、および CPRST をゼロに設定する必要があります。

CPWIDE ビットは、PFD リセットパスの遅延の値を大きくすることにより、チャージポンプの出力電流パルスの幅を広げます (図2を参照)。CPWIDE は通常はゼロに設定されます。

### チャージポンプ・リニアライザ

LTC6947 が分数モードで動作する場合、位相刺激に対するチャージポンプの電流出力 (利得直線性) が極めて正確である必要があります。CP 利得リニアライザは、分数モード動作時の帯域内位相ノイズとスプリアス成分に対するチャージポンプの影響を最小限に抑えるために、補正電流  $I_{LIN}$  を自動的に追加します。

CP 利得リニアライザは、CPLE を 1 に設定することによってイネーブルされます。整数モードにある場合、CP 利得リニアライザは自動的にディスエーブルされます。リニアライザが意図しない電流を生成するのを防ぐために、CPRST または CPMID をアサートした場合、CPLE をゼロに設定する必要があります。

### VCO 入力バッファ

VCO 周波数は  $V_{CO}^+$  ピンと  $V_{CO}^-$  ピンに差動で与えます。これらの入力は自己バイアスされており、AC 結合する必要があります。あるいは、VCO 周波数を  $V_{CO}^+$  に与え、コンデンサで  $V_{CO}^-$  を GND にバイパスすることにより、入力をシングルエンドで使うことができます。各入力はシングルエンドで  $121\Omega$  の抵抗値を示すので、高周波数でのインピーダンス整合が簡単になります。整合のガイドラインに関しては、「アプリケーション情報」のセクションを参照してください。

BB ピンは、内部 VCO バッファ回路をバイアスするために使用します。BB ピンは、 $2k\Omega$  の出力抵抗を備えており、 $1\mu F$  のセラミック・コンデンサを使用して GND にバイパスし、 $2ms$  の時定数を

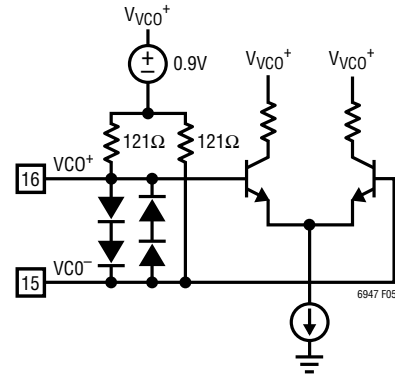


図5. VCO のインタフェースの簡略回路図

付与する必要があります。起動してから時定数の約3倍が経過した後、安定したバイアス電圧が達成されます。

### VCO(N) 分周器

10 ビットの N 分周器は VCO から PFD への帰還を与えます。分数モードにある場合、分周比 N は 35 ~ 1019 の範囲の任意の整数に制限されます。整数モードにある場合、分周比 N を 32 ~ 1023 の範囲で設定できます。レジスタ h06 とレジスタ h07 の ND[9:0] ビットを使用して、分周比 N を直接設定します。N と、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$  の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

### $\Delta\Sigma$ 変調器

$\Delta\Sigma$  変調器は、平均的な分数分周比を実現するために、PFD のサイクルごとに分周比 N を変更します。分数 NUM[17:0] は、 $1 \sim 262143$  ( $2^{18} - 1$ ) の範囲で設定できます。分数の分母は  $262144$  ( $2^{18}$ ) に固定され、式3から分数比 F が得られます。NUM、F と、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$  の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

$\Delta\Sigma$  変調器は、デジタル信号処理 (DSP) 技術を使用して平均的な分数分周比を実現しています。変調器には、 $f_{PFD}$  のレートでクロックが供給されます。変調器の処理によって、ハイパス周波数応答と共に量子化ノイズと呼ばれる出力変調ノイズが生成されます。この量子化ノイズをフィルタリングして VCO の位相ノイズを下回るレベルにするには、外部ローパス・ループ・フィルタを使用します。これによって、このノイズがシステム全体の位相ノイズ全体に影響を与えるのを防ぎます。量子化ノイズを十分にフィルタリングするようにループ・フィルタを設計する必要があります。

## 動作

オーバーサンプリング比OSRは、PLLのループ帯域幅BWに対する $\Delta\Sigma$ 変調器のクロック周波数 $f_{\text{PFD}}$ の比率として定義されます(式10を参照)。OSRとループ・フィルタに関するガイドラインについては、「アプリケーション情報」のセクションを参照してください。

目的の出力周波数で必要なNUM値が0になるような場合は、LTC6947を整数モード(INTN = 1)で動作させる必要があります。整数モードでは、変調器はスタンバイ状態になります。このとき、全てのブロックが起動したままであるため、変調器は直ちに分数モード動作を再開することができます。

変調器によって生成されるスプリアスをさらに減らすには、分子ディザ・モードをイネーブルします(DITHEN = 1)。ディザは、帯域内位相ノイズに対して測定可能な影響を与えず、デフォルトでイネーブルされます。変調器のビットの詳細な説明を表8に示します。

### 変調器のリセット

一貫したスプリアス性能を達成するには、NUM[17:0]を変更したときに必ずRSTFNを1に設定し、変調器のDSP回路を再初期化する必要があります。AUTORSTを1に設定すると、シリアル・ポート・レジスタh05～h0Aのいずれかが書き込まれたときに、必ずRSTFNビットが自動的に設定されます。AUTORSTをイネーブルした場合、個々のレジスタの書き込みでRSTFNビットを設定する必要はありません。変調器のビットの説明については表8を参照してください。

表8. 分数変調器のビットの説明

| ビット     | 説明  |
|---------|---|
| AUTORST | Automatically Reset Modulator when Registers h05 to h0A Are Written |
| DITHEN  | Enable Fractional Numerator Dither                                  |
| INTN    | Integer Mode; Fractional Modulator Placed in Standby                |
| RSTFN   | Reset Modulator (Auto Clears)                                       |
| SEED    | Seed Value for Pseudorandom Dither Algorithm                        |

### LDOレギュレータ

調整可能な低ドロップアウト(LDO)レギュレータは、 $\Delta\Sigma$ 変調器に電力を供給します。このレギュレータは、安定性のために、LDOピン(ピン7)に接続された低ESR( $\text{ESR} < 0.8\Omega$ )のセラミック・コンデンサを必要とします。このコンデンサの値は、 $0.047\mu\text{F} \sim 1\mu\text{F}$ の範囲で選択できます。

LDOの電圧は、LDOV[1:0]ビットを使用して設定され、消費電力とスプリアスを最小限に抑えるように、 $f_{\text{PFD}}$ 周波数に基づいて選択する必要があります。レギュレータをディスエーブ

ルするには、LDOENビットをゼロに設定します。LDOENビットまたはPDFNビットを使用してディスエーブした場合、低インピーダンス・スイッチを使用してLDOピンを直接 $V_{\text{D}^+}$ に接続し、レギュレータをパワーダウンします。設定の詳細については表9を参照してください。

表9.LDOV[1:0]とLDOENのプログラミン

| LDOV[1:0] | LDOEN | V(LDO)           | $f_{\text{PFD}}$      |
|-----------|-------|------------------|-----------------------|
| 0         | 1     | 1.7V             | $\leq 34.3\text{MHz}$ |
| 1         | 1     | 2.0V             | $\leq 45.9\text{MHz}$ |
| 2         | 1     | 2.3V             | $\leq 56.1\text{MHz}$ |
| 3         | 1     | 2.6V             | $\leq 66.3\text{MHz}$ |
| X         | 0     | $V_{\text{D}^+}$ | $\leq 76.1\text{MHz}$ |

### 出力(O)分周器

3ビットのO分周器はVCOの周波数を下げて、出力の周波数範囲を広げることができます。その分周比Oは、1～6の任意の整数に設定することができ、奇数の分周値であっても50%のデューティサイクルで出力します。レジスタh0BのOD[2:0]ビットを使って、分周比Oを直接設定します。Oと、 $f_{\text{REF}}$ 、 $f_{\text{PFD}}$ 、 $f_{\text{VCO}}$ 、 $f_{\text{RF}}$ の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

### RF出力バッファ

低ノイズの差動出力バッファは、表10に示されているRFO[1:0]ビットを使って設定可能な、 $-4.3\text{dBm} \sim +4.5\text{dBm}$ の差動出力電力を発生します。これらの出力は外部で組み合わせるか、個別に利用することができます。未使用の出力は、 $V_{\text{RF}^+}$ への $50\Omega$ 抵抗を使って終端します。

表10.RFO[1:0]のプログラミング

| RFO[1:0] | $P_{\text{RF}}$ (差動) | $P_{\text{RF}}$ (シングルエンド) |
|----------|----------------------|---------------------------|
| 0        | $-4.3\text{dBm}$     | $-7.3\text{dBm}$          |
| 1        | $-1.5\text{dBm}$     | $-4.5\text{dBm}$          |
| 2        | $1.6\text{dBm}$      | $-1.4\text{dBm}$          |
| 3        | $4.5\text{dBm}$      | $1.5\text{dBm}$           |

各出力は $V_{\text{RF}^+}$ への $136\Omega$ プルアップ抵抗付きのオープン・コレクタで、高い周波数でのインピーダンス整合が簡単です。回路の詳細については図6を参照し、整合のガイドラインについては「アプリケーション情報」のセクションを参照してください。バッファは、レジスタh02のOMUTEビットを使って、またはMUTE入力を“L”に強制することによって、ミュートすることができます。

## 動作

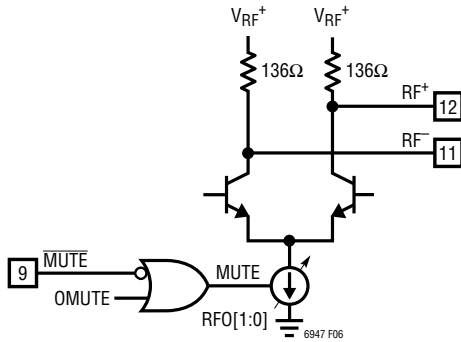


図6. RFのインタフェースの簡略回路図

### シリアル・ポート

SPI互換のシリアル・ポートは、制御およびモニタ機能を備えています。さらに、設定可能な状態出力STATは、瞬時モニタ機能を備えています。

### 通信シーケンス

シリアル・バスは、 $\overline{CS}$ 、SCLK、SDI、およびSDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初に $\overline{CS}$ を“L”にしてLTC6947のポートをイネーブルすることにより、行われます。SDIに与えられた入力データはSCLKの立ち上がりエッジでクロックされます。データは常に**MSBを先頭にして**転送されます。通信バーストは、シリアル・

バスのマスタが $\overline{CS}$ を“H”に戻すと終了します。詳細については図7を参照してください。

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。 $\overline{CS} = 1$ のとき、またはデバイスからデータが読み出されていないとき、SDOはスリーステート(Hi-Z)になるので、読み出しをマルチドロップにする(シリアル・バスに複数のLTC6947を並列に接続する)ことができます。**LTC6947をマルチドロップ構成で使用しない場合、またはシリアル・ポートのマスタが読み出しシーケンスと読み出しシーケンスの間SDOラインのレベルを設定することができない場合、SDOとGNDの間に200kより大きな値の抵抗を接続して、Hi-Z状態の間にラインが確実に既知のレベルに戻るようにすることを推奨します。**詳細については図8を参照してください。

### 1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、15個のバイト幅のレジスタにより、状態と制御のデータを利用できます。全てのデータ・バーストは少なくとも2バイトで構成されます。最初のバイトの最上位7ビットはレジスタのアドレスです。LSBが1であればデバイスからの読み出しを示し、LSBが0であればデバイスへの書き込みを示します。それに続く1バイト、または複数バイトは、指定されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細な書き込みシーケンスの例については図9を、読み出しシーケンスについては図10を参照してください。

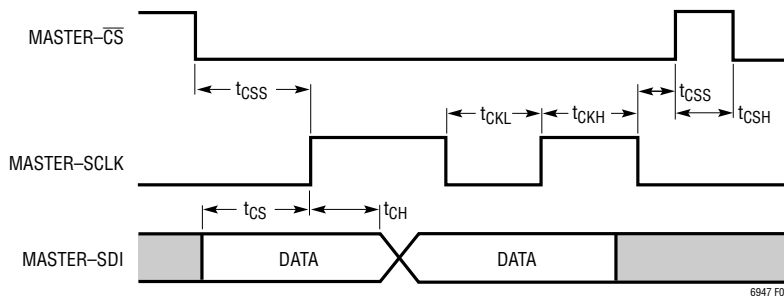


図7. シリアル・ポートの書き込みタイミング図

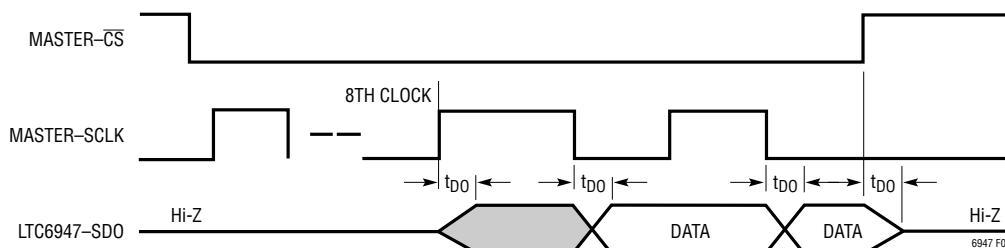


図8. シリアル・ポートの読み出しタイミング図



## 動作

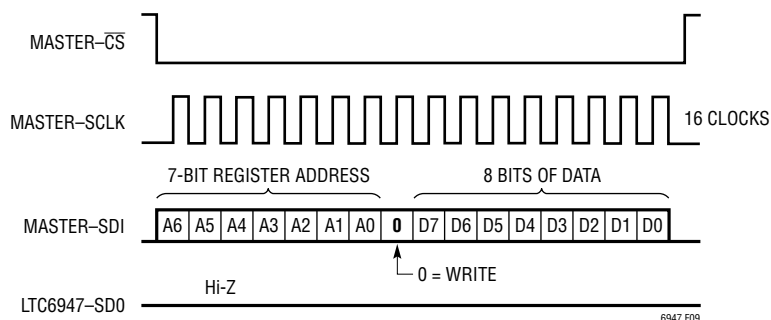


図9. シリアル・ポートの書き込みシーケンス

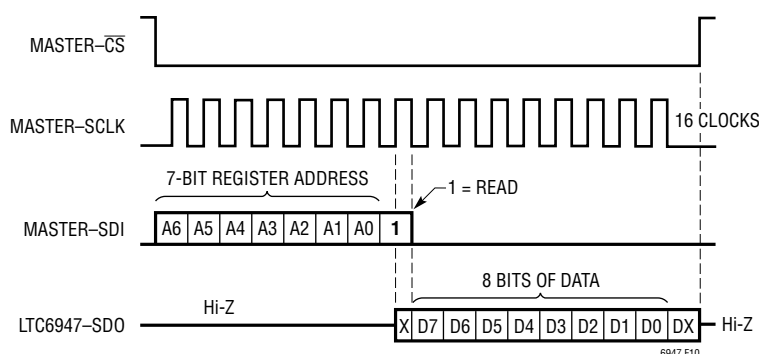


図10. シリアル・ポートの読み出しシーケンス

2つの書き込み通信バーストの例を図11に示します。シリアル・バスのマスタからSDIに送られる最初のバーストの最初のバイトには、宛先のレジスタ・アドレス(Addr0)および書き込みを示している0のLSBが含まれます。次のバイトはアドレスがAddr0のレジスタ宛のデータです。続いて $\overline{CS}$ が“H”になり、転送が終了します。2番目のバーストの最初のバイトには、宛先のレジスタ・アドレス(Addr1)および書き込みを示しているLSBが含まれます。SDIの次のバイトはアドレスがAddr1のレジスタ宛のデータです。続いて $\overline{CS}$ が“H”になり、転送が終了します。

## 複数バイトの転送

図12に示されているように、LTC6947のレジスタ・アドレス自動インクリメント機能を使って、複数バイトをもっと効率的にデータ転送することができます。前と同様、シリアル・ポートのマスタは、最初のバイトで宛先レジスタのアドレスを送り、2番目のバイトでそのレジスタ宛のデータを送りますが、引き続き後続のレジスタ宛のバイトを送ります。バイト1のアドレスはAddr0+1、バイト2のアドレスはAddr0+2、以下同様です。レジスタ・アドレス・ポインタは、14(h0E)を過ぎてインクリメントしようとする、自動的に0にリセットされます。

自動インクリメントによるデバイスからの読み出しの例を図13に示します。シリアル・バスのマスタからSDIに送られるバーストの最初のバイトには、宛先のレジスタ・アドレス(Addr0)および読み出しを示している1のLSBが含まれます。LTC6947が読み出しバーストを検出すると、SDOをHi-Z状態から抜け出させ、レジスタAddr0のデータから開始して、データ・バイトを順に送り出します。デバイスは、バーストが終了するまで、SDIの他の全てのデータを無視します。

## マルチドロップ構成

複数のLTC6947がシリアル・バスを共有することができます。このマルチドロップ構成では、SCLK、SDI、およびSDOが全デバイス間で共有されます。シリアル・バスのマスタは各LTC6947ごとに別個の $\overline{CS}$ を使って、必ず1個のデバイスの $\overline{CS}$ だけがアサートされるようにする必要があります。値の大きな抵抗をSDOに接続して、Hi-Z状態の間ラインが既知のレベルに必ず戻るようにすることを推奨します。

## 動作

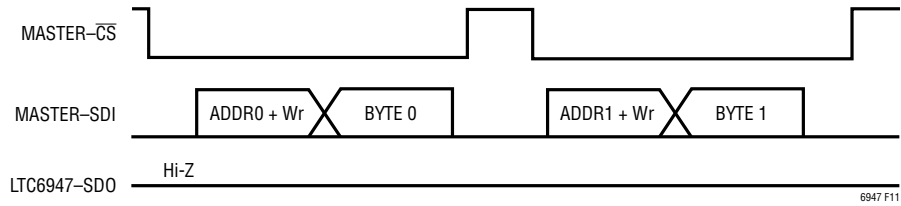


図 11. シリアル・ポートのシングル・バイト書き込み

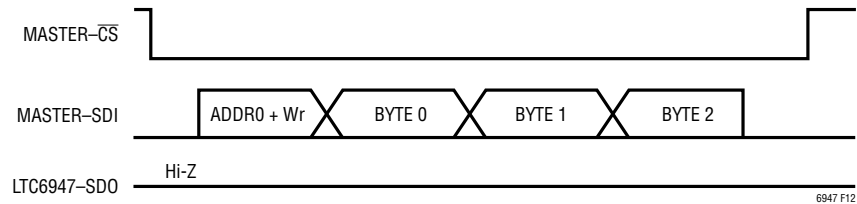


図 12. シリアル・ポートの自動インクリメント書き込み

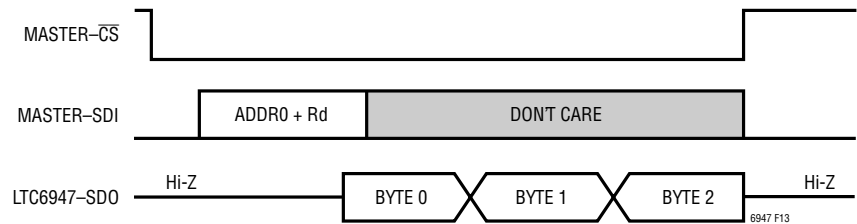


図 13. シリアル・ポートの自動インクリメント読み出し

表 11. シリアル・ポート・レジスタの内容

| ADDR | MSB      | [6]      | [5]      | [4]     | [3]     | [2]     | [1]     | LSB     | R/W | デフォルト |
|------|----------|----------|----------|---------|---------|---------|---------|---------|-----|-------|
| h00  | *        | *        | UNLOCK   | *       | *       | LOCK    | THI     | TLO     | R   |       |
| h01  | *        | *        | x[5]     | *       | *       | x[2]    | x[1]    | x[0]    | R/W | h04   |
| h02  | PDALL    | PDPLL    | *        | PDOUT   | PDFN    | *       | OMUTE   | POR     | R/W | h06   |
| h03  | *        | *        | *        | *       | *       | AUTORST | DITHEN  | INTN    | R/W | h06   |
| h04  | *        | *        | *        | *       | CPLE    | LDOEN   | LDOV[1] | LDOV[0] | R/W | h07   |
| h05  | SEED[7]  | SEED[6]  | SEED[5]  | SEED[4] | SEED[3] | SEED[2] | SEED[1] | SEED[0] | R/W | h11   |
| h06  | RD[4]    | RD[3]    | RD[2]    | RD[1]   | RD[0]   | *       | ND[9]   | ND[8]   | R/W | h08   |
| h07  | ND[7]    | ND[6]    | ND[5]    | ND[4]   | ND[3]   | ND[2]   | ND[1]   | ND[0]   | R/W | hFA   |
| h08  | *        | *        | NUM[17]  | NUM[16] | NUM[15] | NUM[14] | NUM[13] | NUM[12] | R/W | h3F   |
| h09  | NUM[11]  | NUM[10]  | NUM[9]   | NUM[8]  | NUM[7]  | NUM[6]  | NUM[5]  | NUM[4]  | R/W | hFF   |
| h0A  | NUM[3]   | NUM[2]   | NUM[1]   | NUM[0]  | *       | *       | RSTFN   | *       | R/W | hF0   |
| h0B  | BST      | FILT[1]  | FILT[0]  | RFO[1]  | RFO[0]  | OD[2]   | OD[1]   | OD[0]   | R/W | hF9   |
| h0C  | LKWIN[2] | LKWIN[1] | LKWIN[0] | LKCT[1] | LKCT[0] | CP[2]   | CP[1]   | CP[0]   | R/W | h4F   |
| h0D  | CPCHI    | CPCLO    | CPMID    | CPINV   | CPWIDE  | CPRST   | CPUP    | CPDN    | R/W | hE4   |
| h0E  | REV[3]   | REV[2]   | REV[1]   | REV[0]  | PART[3] | PART[2] | PART[1] | PART[0] | R   | hxx†  |

\* 未使用 †バージョンに依存して変化

## 動作

表 12. シリアル・ポート・レジスタのビット・フィールドのまとめ

| ビット        | 説明  | 既定値   |
|------------|---|-------|
| AUTORST    | Reset Modulator Whenever Registers H05 to h0A Are Written | 1     |
| BST        | REF Buffer Boost Current                                  | 1     |
| CP[2:0]    | CP Output Current   | h7    |
| CPCHI      | Enable Hi-Voltage CP Output Clamp                         | 1     |
| CPCLO      | Enable Low-Voltage CP Output Clamp                        | 1     |
| CPDN       | Force CP Pump Down  | 0     |
| CPINV      | Invert CP Phase   | 0     |
| CPLE       | CP Linearizer Enable                                      | 0     |
| CPMID      | CP Bias to Mid-Rail                                       | 1     |
| CPRST      | CP Tri-State  | 1     |
| CPUP       | Force CP Pump Up  | 0     |
| CPWIDE     | Extend CP Pulse Width                                     | 0     |
| DITHEN     | Enable Fractional Numerator Dither                        | 1     |
| FILT[1:0]  | REF Input Buffer Filter                                   | h3    |
| INTN       | Integer Mode; Fractional Modulator Placed in Standby      | 0     |
| LDOEN      | LDO Enable  | 1     |
| LDOV[1:0]  | LDO Voltage   | h3    |
| LKCT[1:0]  | PLL Lock Cycle Count                                      | h1    |
| LKWIN[2:0] | PLL Lock Indicator Window                                 | h2    |
| LOCK       | PLL Lock Indicator Flag                                   |       |
| ND[9:0]    | N Divider Value (ND[9:0] ≥ 32)                            | h0FA  |
| NUM[17:0]  | Fractional Numerator Value                                | h3FFF |
| OD[2:0]    | Output Divider Value (0 < OD[2:0] < 7)                    | h1    |
| OMUTE      | Mutes RF Output   | 1     |
| PART[3:0]  | Part Code   | h0    |
| PDALL      | Full Chip Powerdown                                       | 0     |
| PDFN       | Powers Down LDO and Modulator Clock                       | 0     |
| PDOUT      | Powers Down N_DIV, RF Output Buffer                       | 0     |
| PDPLL      | Powers Down REF, R_DIV, PFD, CPUMP                        | 0     |
| POR        | Force Power-On-Reset                                      | 0     |
| RD[4:0]    | R Divider Value (RD[4:0] > 0)                             | h001  |
| REV[3:0]   | Rev Code  | h1    |
| RFO[1:0]   | RF Output Power   | h3    |
| RSTFN      | Force Modulator Reset (Auto Clears)                       | 0     |
| SEED[7:0]  | Modulator Dither Seed Value                               | h11   |
| THI        | CP Clamp High Flag  |       |
| TLO        | CP Clamp Low Flag   |       |
| UNLOK      | PLL Unlock Flag   |       |
| x[5,2:0]   | STAT Output OR Mask                                       | h04   |

## シリアル・ポート・レジスタ

LTC6947のメモリマップを表 11 に示します。詳細なビットの説明を表 12 に示します。ADDR の列に 16 進数で示されているレジスタ・アドレスは、各レジスタを指定するのに使います。各レジスタは読み出し専用 (R) または読み出し/書き込み (R/W) のどちらかとして示されています。デバイスの起動時またはリセット後のレジスタの既定値が右側に示されています。

アドレス h00 の読み出し専用レジスタは、異なる状態フラグを決めるのに使われます。これらのフラグは、レジスタ h01 を構成設定することにより、STAT ピンに直ちに出力することができます。詳細については「STAT 出力」のセクションを参照してください。

アドレス h0E の読み出し専用レジスタは、デバイスの識別のための ROM バイトです。

## STAT 出力

STAT 出力ピンはレジスタ h01 の x[5,2:0] ビットによって設定されます。これらのビットは、式 1 に従って、状態レジスタ h00 の対応する状態フラグをビットごとにマスクするか、またはイネーブルするのに使われます。このビットごとのブール演算の結果は、次に STAT ピンに出力されます。

$$\text{STAT} = \text{OR} (\text{Reg00}[5,2:0] \text{ AND } \text{Reg01}[5,2:0]) \quad (1)$$

つまり、次のように展開されます。

$$\begin{aligned} \text{STAT} = & (\text{UNLOCK AND } x[5]) \text{ OR} \\ & (\text{LOCK AND } x[2]) \text{ OR} \\ & (\text{THI AND } x[1]) \text{ OR} \\ & (\text{TLO AND } x[0]) \end{aligned}$$

例えば、LOCK または THI のフラグがセットされると STAT を “H” にする必要があるアプリケーションでは、x[2] と x[1] を 1 に設定して、レジスタ値を h06 にします。

## ブロック・パワーダウン制御

LTC6947 のパワーダウン制御ビットはレジスタ h02 に置かれており、表 12 で説明されています。デバイスの異なる部分を個別にパワーダウンすることができます。レジスタの LSB、つまり POR (パワーオン・リセット) ビットには注意する必要があります。1 を書き込むと、このビットはデバイスのデジタル回路をその起動時の既定状態に強制的にリセットします。

## アプリケーション情報

### はじめに

PLLは複雑なフィードバック・システムで、概念的には周波数乗算器と考えることができます。このシステムは、REF<sup>±</sup>の周波数入力を乗算し、RF<sup>±</sup>にもっと高い周波数を出力します。PFD、チャージポンプ、N分周器、および外部のVCOとループ・フィルタがフィードバック・ループを形成して、出力周波数を正確に制御します(図14を参照)。

PLLのループ帯域幅BWを設定するには、外部ループ・フィルタを使用します。帯域幅を低くすると、通常はスプリアス性能が改善され、ΔΣ変調器の量子化ノイズが減少します。帯域幅を高くすると、積分位相ノイズの合計が改善されます。

R分周器とO分周器および周波数f<sub>REF</sub>は、出力周波数の分解能の設定に使用されます。分数モードにある場合、ΔΣ変調器は、平均的な分数分周比を実現するために、PFDのサイクルごとに分周比Nを変更します。これによって、特定のf<sub>PFD</sub>に対して、整数モードと比較して極めて小さい周波数分解能が得られます。

### 出力周波数

ループがロックしているとき、VCOの出力に生じる周波数f<sub>VCO</sub>(Hz単位)は、リファレンス周波数(f<sub>REF</sub>)、R分周器とN分周器の値、および分数値Fによって決まり、式2によって与えられます。

$$f_{VCO} = \frac{f_{REF} \cdot (N + F)}{R} \quad (2)$$

ここで、分数値Fは式3で与えられます。

$$F = \frac{NUM}{2^{18}} \quad (3)$$

NUMは、1~262143(2<sup>18</sup> - 1)の範囲内で設定できます。LTC6947を整数モードで使用している場合、Fはゼロです。

PFDの周波数f<sub>PFD</sub>は次式で与えられます。

$$f_{PFD} = \frac{f_{REF}}{R} \quad (4)$$

したがって、f<sub>VCO</sub>を次のように表すことができます。

$$f_{VCO} = f_{PFD} \cdot (N + F) \quad (5)$$

O分周器の出力に生じる出力周波数f<sub>RF</sub>は式6によって与えられます。

$$f_{RF} = \frac{f_{VCO}}{O} \quad (6)$$

上の各式を使用して、分数モードにおいて分子NUMが1だけ変化すると生じる出力周波数の最小分解能f<sub>STEP(MIN)</sub>は、式7によって与えられます。

$$f_{STEP(MIN)} = \frac{f_{REF}}{R \cdot O \cdot 2^{18}} \quad (7)$$

あるいは、特定の周波数ステップf<sub>STEP(FRAC)</sub>を生成するために必要な分子のステップ・サイズNUM<sub>STEP</sub>を計算するには、式8を使用します。

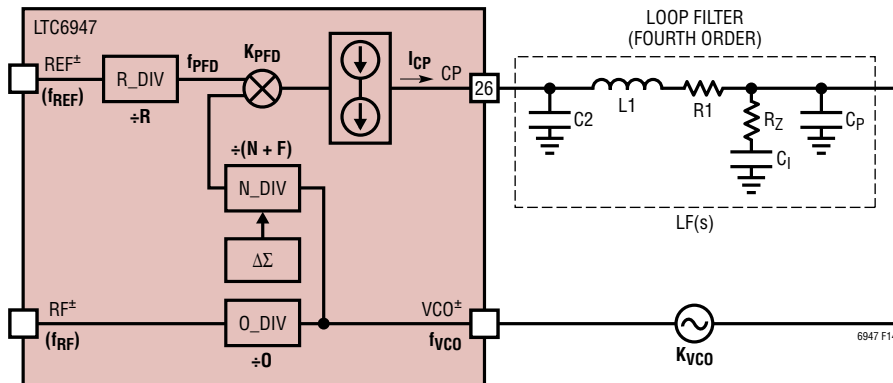


図14. PLLループの図

## アプリケーション情報

$$\text{NUM}_{\text{STEP}} = \frac{f_{\text{STEP(FRAC)}} \cdot R \cdot O \cdot 2^{18}}{f_{\text{REF}}} \quad (8)$$

整数モードにおいてNが1だけ変化することによって生じる出力周波数の分解能  $f_{\text{STEP(INT)}}$  は、式9によって与えられます。

$$f_{\text{STEP(INT)}} = \frac{f_{\text{REF}}}{R \cdot O} \quad (9)$$

### ループ・フィルタの設計

PLLシステムを安定させるには、外部ループ・フィルタの設計に注意が必要です。www.linear.comから入手できる、リニアテクノロジーのFracNWizardアプリケーションを、システム全体の設計およびシミュレーションに利用できます。

ループの設計には、以下のアルゴリズムを使います。

- 1) 出力周波数  $f_{\text{RF}}$  と周波数ステップの大きさ  $f_{\text{STEP}}$  を、アプリケーションの要件に基づいて決めます。式2、4、6、および7を使って、アプリケーションの周波数の制約条件が満たされるまで、 $f_{\text{REF}}$ 、N、R、およびOを変化させます。制約条件を満たす最小のR値を使います。
- 2)  $f_{\text{PFD}}$  とオーバーサンプリング比OSRによって制約される開ループ帯域幅BWを選択します。OSRは、BWに対する  $f_{\text{PFD}}$  の比率です(式10を参照)。

$$\text{OSR} = \frac{f_{\text{PFD}}}{\text{BW}}$$

or

$$\text{BW} = \frac{f_{\text{PFD}}}{\text{OSR}}$$

ここで、BWと  $f_{\text{PFD}}$  はHz単位です。

整数モードと分数モードの両方でループを安定させるには、OSRを10以上にする必要があります。さらに、分数モードでは、ループ・フィルタが変調器の量子化ノイズを許容レベルに低減できるように、OSRを十分に大きくする必要があります。

$\Delta\Sigma$ 変調器を使用する場合、より高次のループ・フィルタを選択することで、OSRを小さくすることができ、ループ帯域幅を大きくすることができます。リニアテクノロジーのFracNWizardは、適切なOSRおよびBWの値の選択に役立ちます。

- 3) ループ・フィルタの部品  $R_Z$  とチャージポンプ電流  $I_{\text{CP}}$  を、BWとVCOの利得係数( $K_{\text{VCO}}$ )に基づいて選択します。BW(単位はHz)は次式を使って近似します。

$$\text{BW} \cong \frac{I_{\text{CP}} \cdot R_Z \cdot K_{\text{VCO}}}{2 \cdot \pi \cdot N}$$

or

$$R_Z = \frac{2 \cdot \pi \cdot \text{BW} \cdot N}{I_{\text{CP}} \cdot K_{\text{VCO}}}$$

ここで、 $K_{\text{VCO}}$ の単位はHz/V、 $I_{\text{CP}}$ の単位はアンペア、 $R_Z$ の単位はオームです。 $K_{\text{VCO}}$ はVCOの周波数の同調感度で、VCOの仕様から決定することができます。部品の値によってもっと低い設定値に強制されない限り、 $I_{\text{CP}} = 5.6\text{mA}$ を使って帯域内ノイズを下げます。

- 4) ループ・フィルタの部品  $C_I$  と  $C_P$  を、BWと  $R_Z$  に基づいて選択します。以下の式を使用してループのコンデンサ(ファラッド単位)を選択することによって、信頼性の高い第2次ループ・フィルタ設計を実現できます。

$$C_I = \frac{3.5}{2 \cdot \pi \cdot \text{BW} \cdot R_Z} \quad (12)$$

$$C_P = \frac{1}{7 \cdot \pi \cdot \text{BW} \cdot R_Z} \quad (13)$$

より高次のループ・フィルタ設計を支援するために、FracNWizardを使用してください。

### オペアンプを使用したループ・フィルタ

VCOの同調電圧範囲はLTC6947のチャージポンプの電圧範囲より大きいことがあります。オペアンプを使ったアクティブ・ループ・フィルタにより、同調電圧範囲を広げることができます。LTC6947の高性能を維持するには、注意して適切なオペアンプを選択する必要があります。

オペアンプの入力同相電圧はLTC6947のチャージポンプの電圧範囲内にバイアスし、その出力電圧はVCOの同調範囲になるようにします。オペアンプを使ったループ・フィルタの一例を図15に示します。

オペアンプの入力バイアス電流はチャージポンプから供給されます。この電流を最小に抑えると、 $f_{\text{PFD}}$ に関連したスプリアスが低く抑えられます。入力バイアス電流はチャージポンプのリーク電流(「電気的特性」のセクションを参照)より小さくして、スプリアス積の増加を防ぎます。

## アプリケーション情報

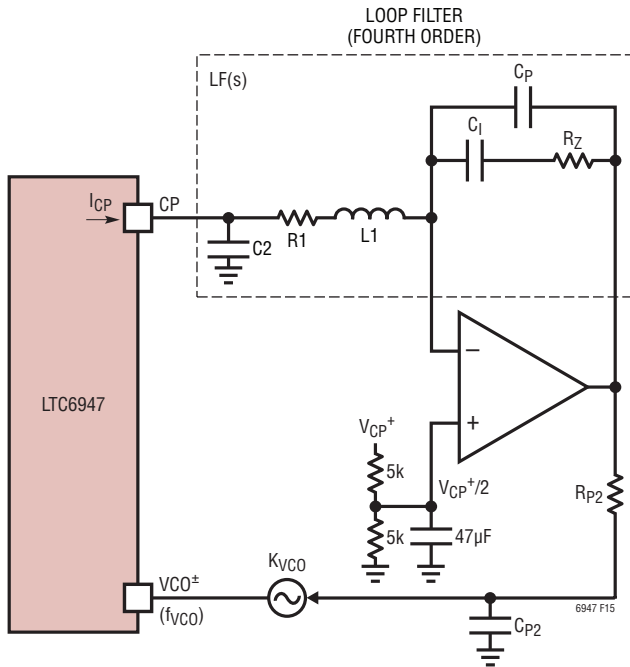


図15. オペアンプのループ・フィルタ

オペアンプのノイズ源の影響により、ループ帯域幅の近くで始まるシステム全体の位相ノイズが増加するので、オペアンプのノイズ源はPLLのループ・フィルタのハイパス特性で除去し、最小に抑えます。入力基準の電圧ノイズが $R_Z$ の熱雑音より小さな低ノイズのオペアンプを選択します。さらに、オペアンプの利得帯域幅がループの帯域幅の少なくとも20倍あるようにし、位相マージンの減少を抑えます。LT<sup>®</sup>1678はほとんどのアプリケーションで十分使えるオペアンプです。

VCOの入力に(図15の $R_{P2}$ と $C_{P2}$ によって形成される)R-Cローパス・フィルタを追加すると、オペアンプの出力ノイズ源を制限します。このフィルタの帯域幅をPLLループの帯域幅の約15倍~20倍にして、ループの位相マージンの減少を抑えます。 $R_{P2}$ を小さくして(できれば $R_Z$ より小さくして)、そのノイズのループに対する影響を最小に抑えます。ただし、あまりに小さな値を選択すると、(オペアンプはこのフィルタのコンデンサをドライブする必要がある)のでオペアンプが不安定になることがあります。

### 設計とプログラミングの例

このプログラミング例は、DC1846とともにLTC6947を使います。必要な以下のパラメータを仮定します。

$$f_{REF} = 100\text{MHz (}50\Omega \text{に}7\text{dBm)}$$

$$f_{STEP} = 50\text{kHz}$$

$$f_{RF} = 2415.15\text{MHz}$$

$$f_{VCO} = 2328\text{MHz} \sim 2536\text{MHz}$$

$$K_{VCO} = 78\text{MHz/V}$$

$$L_M(VCO) = -127\text{dBc/Hz (}100\text{kHzのオフセット)}$$

### 分周器の値の決定

「ループ・フィルタの設計アルゴリズム」に従って、分周器の全ての値を決めます。分数モードにあるとき、最大 $f_{PFD}$ が100MHz未満になるため、 $R$ を1よりも大きくする必要があります。さらに、分数モードでの最小 $N$ 値は35であり、 $R$ に対する下限値は次の値に設定されます。

$$R = 2$$

次に、式4および式6を使用して以下の値を計算します。

$$O = 1$$

$$f_{PFD} = 50\text{MHz}$$

式5を使用すると、次のようになります。

$$N+F = \frac{2415.15\text{MHz}}{50\text{MHz}} = 48.303$$

したがって次のようになります。

$$N = 48$$

$$F = 0.303$$

式3から次の結果が得られます。

$$\text{NUM} = 0.303 \cdot 2^{18} = 79430$$

### フィルタ・タイプとループ帯域幅の選択

アルゴリズムの次のステップは、開ループ帯域幅を選択することです。以下の制約から得られる最小帯域幅を選択します。

- OSRは10以上である必要があります(絶対最大BWを設定)。
- 変調器のノイズを無視して、熱ノイズに起因する積分位相ノイズを最小限に抑える必要があります。

## アプリケーション情報

3) ただし、ループ帯域幅も、変調器の量子化ノイズを適切にフィルタリングできるように、十分に狭くする必要があります。

FracNWizardは、上記制約のそれぞれから得られる帯域幅をレポートします。量子化ノイズによって制約される結果は、外部ループ・フィルタの形状に応じて変わります。FracNWizardは、複数のフィルタ・タイプについて最適な帯域幅をレポートします。

FracNWizardは、熱ノイズに最適化されたループ帯域幅が31.6kHzであることをレポートします。フィルタ2(第3次応答)は、量子化ノイズによって制約された56.2kHzのBWを持っているため、適切な選択になります。積分位相ノイズを最適化するために、フィルタ2を選択し、より小さい2つの帯域幅(31.6kHz)を使用します。式10を使用して、OSRを次のように計算します。

$$OSR = \frac{50\text{MHz}}{31.6\text{kHz}} = 1582$$

### ループ・フィルタの部品の選択

ここで、ループ・フィルタ抵抗 $R_Z$ とチャージポンプ電流 $I_{CP}$ を設定します。FracNWizardは、5.6mAの $I_{CP}$ と規定された78MHz/Vの $K_{VCO}$ を使用し、式11を用いて $R_Z$ を次のように決定します。

$$R_Z = \frac{2 \cdot \pi \cdot 31.6\text{k} \cdot 48}{5.6\text{m} \cdot 78\text{M}}$$

$$R_Z = 21.8\Omega$$

第3次フィルタ2の場合、FracNWizardは、修正された式7および式8を用いて $C_1$ 、 $C_p$ を次のように計算します。

$$C_1 = \frac{4}{2 \cdot \pi \cdot 31.6\text{k} \cdot 21.8} = 924\text{nF}$$

$$C_p = \frac{1}{10.5 \cdot \pi \cdot 31.6\text{k} \cdot 21.8} = 44\text{nF}$$

FracNWizardは、 $R_1$ と $C_2$ を次のように計算します。

$$R_1 = 21.8\Omega$$

$$C_2 = 29.3\text{nF}$$

これらの値は、図15の回路図で使用されます( $L_1$ は未使用)。

### 状態出力のプログラミング

この例では、STATピンを使用してLTC6947がロックされるのを示します。LOCKフラグがアサートされる時常にSTATピンを“H”に強制するには、 $x[2] = 1$ にプログラムします。

$$\text{Reg01} = \text{h04}$$

### パワー・レジスタのプログラミング

PLLが正しく動作するには、全ての内部ブロックがイネーブルされる必要があります。プログラミングが完了するまで、OMUTEをアサートしたままにする(またはMUTEピンを“L”に保つ)ことができます。OMUTEが1の場合は次のようになります。

$$\text{Reg02} = \text{h02}$$

### AUTORSTのプログラミング

変調器の自動リセット・オプション(AUTORST = 1)と $\Delta\Sigma$ 変調器のモード(DITHEN = 1、INTN = 0)を、次のように同時に設定します。

$$\text{Reg03} = \text{h06}$$

$\Delta\Sigma$ 変調器は、SPI書き込み通信バーストの終了時にリセットされます(ただし、自動インクリメント書き込みが全てのレジスタの書き込みに使用されている必要があります)。

### LDOのプログラミング

表9と $f_{\text{PFD}} = 50\text{MHz}$ を使用して、 $V(\text{LDO})$ と $\text{LDOV}[1:0]$ を次のように決定します。

$$V(\text{LDO}) = 2.3\text{V}, \text{LDOV}[1:0] = 1$$

$\text{LDOV}[1:0] = 1$ および $\text{LDOEN} = 1$ (LDOをイネーブルする)を使用し、Reg04を設定します。 $\Delta\Sigma$ 変調器に起因する帯域内ノイズとスプリアスを低減するために、次のようにして $\text{CPLE}$ を1に設定します。

$$\text{Reg04} = \text{h0E}$$

### SEEDのプログラミング

$\text{SEED}[7:0]$ の値は、 $\Delta\Sigma$ 変調器のデザイナー回路の初期化に使用されます。次のデフォルト値を使用します。

$$\text{Reg05} = \text{h11}$$

## アプリケーション情報

## R分周器とN分周器および分子のプログラミング

前に決めた、R分周器とN分周器および分子の値を使って、レジスタReg06～Reg0Aをプログラムします。AUTORSTビットが既に1に設定されているため、RSTFNを設定する必要はありません。

Reg06 = h10

Reg07 = h30

Reg08 = h13

Reg09 = h64

Reg0A = h60

## リファレンス入力の設定と出力分周器のプログラミング

表1から、100MHzのリファレンス周波数ではFILT = 0です。次に、7dBmを $V_{P-P}$ に変換します。CWトーンの場合、 $R = 50$ として次式を使います。

$$V_{P-P} \cong \sqrt{R} \cdot 10^{(dBm-21)/20} \quad (14)$$

これにより、 $V_{P-P} = 1.41V$ となり、表2に従って、BST = 1に設定します。

ここで、最大RF<sup>+</sup>出力電力(表10に従って、RFO[1:0] = 3)およびOD[2:0] = 1を仮定して、Reg0Bをプログラムします。

Reg0B = h99

## ロックの検出とチャージポンプ電流のプログラミング

次に、 $f_{PFD}$ からロック・インジケータのウィンドウを決めます。表3より、CPL = 1および $f_{VCO} = 2415MHz$ の場合、 $t_{LWW}$ が7.35ns、LKWIN[1:0]が1であることがわかります。LTC6947は、下の計算のように、位相がPFDのところでは $132^\circ$ 以内に一致している限り、ループがロックされているとみなします。

$$\begin{aligned} \text{位相} &= 360^\circ \cdot t_{LWW} \cdot f_{PFD} = 360 \cdot 7.35n \cdot 50M \\ &\approx 132^\circ \end{aligned}$$

適切なCOUNTSの値の選択は、OSRによって変わります。OSRを小さくするとCOUNTSの値が大きくなりますが、アプリケーションの要件が変わります。1582のOSR比では、COUNTSの値を32にします。表5から、32のカウントの場合LKCT[1:0] = 1です。

前に選択した5.6mAの $I_{CP}$ を使って表6を参照すると、CP[3:0] = 5が得られます。これによって十分な情報が与えられ、Reg0Cを次のように設定します。

Reg0C = h2D

## チャージポンプ機能のプログラミング

DC1846では、ループ・フィルタにLT1678Iオペアンプが含まれています。このため、回路は、VCOの同調入力の規定電圧範囲に達することができます。ただし、ループの伝達関数が反転します。CPINV = 1に設定して、この反転を補償します。

この例では、追加の電圧クランプ機能を使わないので、フォルト状態をモニタすることができます。オペアンプによって提供されるループ帰還により、チャージポンプの出力は、オペアンプの正入力ピンの電圧に等しくなるように強制されます。CPCHI = 0およびCPCLO = 0に設定して、チャージポンプの電圧クランプをディスエーブルします。他の全てのチャージポンプ機能(CPMID、CPRST、CPUPおよびCPDN)をディスエーブルして、ループがロックできるようにします。

Reg0D = h10

これでループはロックします。ここで、OMUTE = 0に設定することにより、出力のミュートを解除します(MUTEピンが“H”であると想定しています)。

Reg02 = h00

## リファレンスの信号源に関する検討事項

高品質の信号をREF<sup>+</sup>入力に与える必要があります。それらは、PLL全体の周波数の基準を与えるからです。前に述べたように、デバイスの帯域内位相ノイズ特性を達成するには、少なくとも6dBmのCW信号を50Ωに与えるか、またはスルーレートが少なくとも40V/μsの少なくとも0.5V<sub>P-P</sub>の方形波を与えます。

LTC6947はシングルエンドでCMOSレベル(2.7V<sub>P-P</sub>より上)にドライブすることができます。基準信号をREF<sup>+</sup>に与え、REF<sup>-</sup>を47pFのコンデンサを使用してGNDにバイパスします。BSTビットも、表2に与えられているガイドラインに従って、ゼロに設定する必要があります。

LTC6947の整数モードでは、帯域内正規化位相ノイズフロア $L_{NORM}(INT)$ は-226dBc/Hz(標準)に達し、分数モードでは、位相ノイズフロア $L_{NORM}(FRAC)$ は-225 dBc/Hz(標準)に達します。その等価入力位相ノイズフロア $L_{IN}$ を計算するには、次の式15を使います。



## アプリケーション情報

$$L_{IN} = L_{NORM} + 10 \cdot \log_{10}(f_{REF}) \quad (15)$$

例えば、整数モードで10MHzの基準周波数を使うと、-156dBc/Hzの入力位相ノイズフロアになります。システム全体の性能を制限しないためには、基準周波数源の位相ノイズは、これより少なくとも3dB良くなければなりません。

### 帯域内出力位相ノイズ

$f_{RF}$ に生じる帯域内位相ノイズフロア $L_{OUT}$ は、式16を使って計算することができます。

$$L_{OUT} = L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(f_{RF}/f_{PFD}) \quad (16)$$

または、

$$L_{OUT} \approx L_{NORM} + 10 \cdot \log_{10}(f_{PFD}) + 20 \cdot \log_{10}(N/O)$$

ここで、 $L_{NORM}$ は整数モードの場合で-226dBc/Hz、分数モードの場合で-225dBc/Hzです。

見られるとおり、PFDのある周波数 $f_{PFD}$ に対して、出力の帯域内位相ノイズは、N分周器のカウントのデカード当たり20dBの率で増加します。したがって、ある出力周波数 $f_{RF}$ に対して、 $f_{PFD}$ をできるだけ大きくし(つまり、Nをできるだけ小さくし)、なおかつアプリケーションの周波数ステップ・サイズの要件を満たすようにします。

### 1/fノイズによる出力位相ノイズ

非常に低いオフセット周波数での帯域内位相ノイズは、 $f_{PFD}$ に応じて、LTC6947の1/fノイズの影響を受けることがあります。-274dBc/Hzの正規化された帯域内1/fノイズ $L_{1/f}$ を式17を使って、ある周波数オフセット $f_{OFFSET}$ での出力の1/f位相ノイズを近似します。

$$L_{OUT(1/f)}(f_{OFFSET}) = L_{1/f} + 20 \cdot \log_{10}(f_{RF}) - 10 \cdot \log_{10}(f_{OFFSET}) \quad (17)$$

帯域内ノイズフロア $L_{OUT}$ とは異なり、1/fノイズ $L_{OUT(1/f)}$ は $f_{PFD}$ とともに変化することなく、オフセット周波数にわたって一定です。 $f_{PFD}$ が3MHzおよび100MHzである場合の、整数モードの帯域内位相ノイズの例については、図16を参照してください。全位相ノイズは、 $L_{OUT}$ と $L_{OUT(1/f)}$ の和になります。

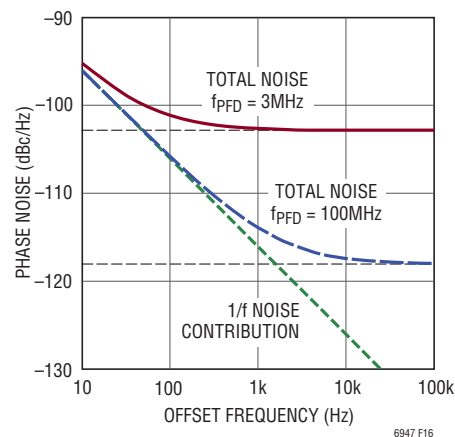


図16. 整数モードでの理論的帯域内位相ノイズ、 $f_{RF} = 2500\text{MHz}$

### VCOの入力整合

VCO<sup>+</sup>入力は差動またはシングルエンドで使用することができます。各入力はシングルエンドで121Ωの抵抗を示すので、高周波数でのインピーダンス整合が簡単になります。入力は自己バイアスされており、100pF(または、500MHz未満のVCO周波数では270pF)のコンデンサを使ってAC結合する必要があります。

AC結合されたVCO周波数をVCO<sup>+</sup>に与え、100pF(または、500MHz未満の周波数では270pF)のコンデンサでVCO<sup>-</sup>をGNDにバイパスすることにより、入力をシングルエンドで使うことができます。外部インピーダンス整合ネットワークの設計を助けるため、(VCO<sup>-</sup>を100pFでGNDにバイパスした状態で)測定したVCO<sup>+</sup>のsパラメータを表13に示します。

表13. シングルエンドのVCO<sup>+</sup>の入力インピーダンス

| 周波数 (MHz) | インピーダンス (Ω)  | S11 (dB) |
|-----------|--------------|----------|
| 250       | 118 - j78    | -5.06    |
| 500       | 83.6 - j68.3 | -5.90    |
| 1000      | 52.8 - j56.1 | -6.38    |
| 1500      | 35.2 - j41.7 | -6.63    |
| 2000      | 25.7 - j30.2 | -6.35    |
| 2500      | 19.7 - j20.6 | -5.94    |
| 3000      | 17.6 - j11.2 | -6.00    |
| 3500      | 17.8 - j3.92 | -6.41    |
| 4000      | 19.8 + j4.74 | -7.20    |
| 4500      | 21.5 + j15.0 | -7.12    |
| 5000      | 21.1 + j19.4 | -6.52    |
| 5500      | 27.1 + j22.9 | -7.91    |
| 6000      | 38.3 + j33.7 | -8.47    |
| 6500      | 36.7 + j42.2 | -6.76    |
| 7000      | 46.2 + j40.9 | -8.11    |
| 7500      | 76.5 + j36.8 | -9.25    |
| 8000      | 84.1 + j52.2 | -7.27    |

6947f

## アプリケーション情報

### 整数境界スプリアス

整数境界スプリアスは、PFD周波数  $f_{\text{PFD}}$  の高調波と VCO周波数  $f_{\text{VCO}}$  の高調波の間の混変調によって発生します。周波数源の高調波間の結合は、デバイス内とデバイス外のいずれでも発生する可能性があります。このスプリアスは、基準高調波と VCO周波数の間のビート周波数によって定義されるオフセット周波数で発生し、ループ・フィルタによって減衰されます。このスプリアスは、分数モードにある場合にのみ発生します。

整数境界スプリアスは、分数値  $F$  がゼロに近づいたとき、または整数周波数からの VCO周波数のオフセットがループ帯域幅の範囲内になるような値に分数値  $F$  が近づいたときに、最もよく発生します。

$$f_{\text{PFD}} \cdot F \leq \text{BW}$$

または、

$$f_{\text{PFD}} \cdot (1 - F) \leq \text{BW}$$

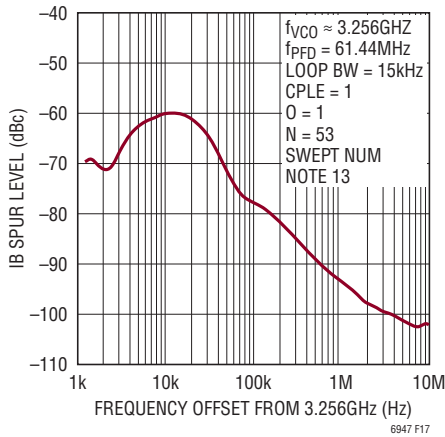


図17. 整数境界スプリアス電力と境界からの周波数オフセット

このスプリアスは、比較的一定の帯域内電力を持っており、帯域外ではループによって減衰されます。整数境界スプリアスの測定値の例を図17に示します。

### RF出力の整合

RF<sup>±</sup>出力は、シングルエンドまたは差動のいずれの構成方法でも使用できます。RF出力を差動で使うと、出力電力がシングルエンドよりも約3dB大きくなります。両方の場合とも、外部負荷へのインピーダンス整合のために、V<sub>RF</sub><sup>±</sup>に外部チョークを接続する必要があります。インピーダンス整合ネットワー

ク的设计に役立つように、RF<sup>±</sup>の測定されたSパラメータを下の表14に示します。

表14. シングルエンドRFの出力インピーダンス

| 周波数 (MHz) | インピーダンス (Ω)   | S11 (dB) |
|-----------|---------------|----------|
| 100       | 133.0 - j16.8 | -6.7     |
| 500       | 110.8 - j46.1 | -6.8     |
| 1000      | 74.9 - j57.0  | -6.9     |
| 1500      | 49.0 - j51.3  | -6.7     |
| 2000      | 34.4 - j41.4  | -6.5     |
| 2500      | 27.0 - j32.1  | -6.5     |
| 3000      | 23.2 - j24.1  | -6.6     |
| 3500      | 21.6 - j15.9  | -7.1     |
| 4000      | 20.9 - j7.7   | -7.5     |
| 4500      | 20.1 - j0.2   | -7.4     |
| 5000      | 18.1 + j7.4   | -6.4     |
| 5500      | 16.7 + j12.5  | -5.6     |
| 6000      | 17.1 + j16.1  | -5.5     |
| 6500      | 20.2 + j20.1  | -6.2     |
| 7000      | 26.9 + j24.6  | -7.6     |
| 7500      | 38.8 + j32.3  | -8.8     |
| 8000      | 52.9 + j43.1  | -8.2     |

シングルエンドのインピーダンス整合は、図18の回路を使って達成することができます。部品の値を表15に示します。推奨値より小さいインダクタンスを使うと、特に低い中心周波数で、位相ノイズが悪化することがあります。

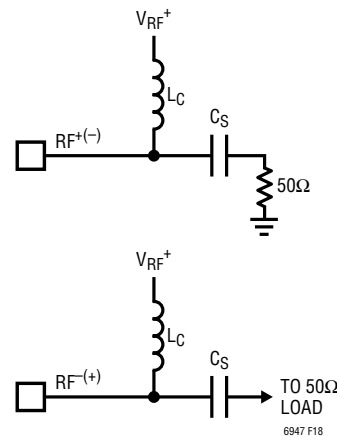


図18. シングルエンド出力整合方式

## アプリケーション情報

表 15. シングルエンド整合の推奨部品値

| $f_{RF}$ (MHz) | $L_C$ (nH) | $C_S$ (pF) |
|----------------|------------|------------|
| 350 to 1500    | 180        | 270        |
| 1000 to 6000   | 68         | 100        |

上の部品値を使ったDC1846で測定したリターン損失を図19に示します。広帯域整合は、(68nH、100pF)または(180nH、270pF)の( $L_C$ 、 $C_S$ )を使って達成されます。ただし、最大の出力電力と最良の位相ノイズ特性を得るには、表15の推奨部品値を使用します。 $L_C$ には、CoilcraftのHPシリーズのチップ・インダクタのような、QファクタとSRFが最大の巻線インダクタを選択します。

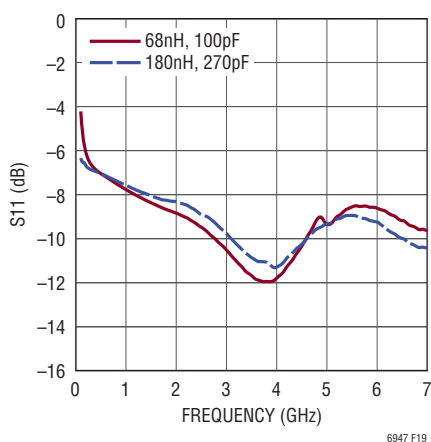


図 19. シングルエンド RF のリターン・ロス

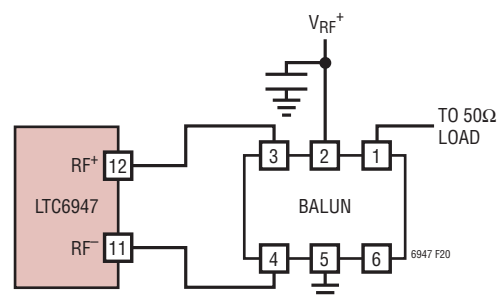
LTC6947の差動RF<sup>+</sup>出力は、シングルエンド負荷をドライブするため、外部バランを使って結合することができます。利点として、各出力を個別に使う場合より出力電力が約3dB増え、2次高調波特性が良くなります。

低い周波数では、M/A-COMのMABACT0065やTOKOの#617DB-1673のような伝送ライン・バラン(TL)により、良い結果が得られます。高い周波数では、TDK、Anaren、Johanson Technologyなどの表面実装(SMT)バランが魅力的な代替品になります。推奨バランの製品番号と周波数範囲に関しては、表16を参照してください。

リストされているSMTバランには、RF<sup>+</sup>をバイアスする内部チョークが含まれており、入力から出力へのDC絶縁も与えます。GNDまたはDC FEEDと記されているピンはV<sub>RF+</sub>電圧に接続します。DC FEEDピンを使った表面実装バランの接続方法を図20に示します。

表 16. 推奨バラン

| $f_{RF}$ (MHz) | 製品番号          | メーカー     | タイプ |
|----------------|---------------|----------|-----|
| 350 to 900     | #617DB-1673   | TOKO     | TL  |
| 400 to 600     | HHM1589B1     | TDK      | SMT |
| 600 to 1400    | BD0810J50200  | Anaren   | SMT |
| 600 to 3000    | MABACT0065    | M/A-COM  | TL  |
| 1000 to 2000   | HHM1518A3     | TDK      | SMT |
| 1400 to 2000   | HHM1541E1     | TDK      | SMT |
| 1900 to 2300   | 2450BL15B100E | Johanson | SMT |
| 2000 to 2700   | HHM1526       | TDK      | SMT |
| 3700 to 5100   | HHM1583B1     | TDK      | SMT |
| 4000 to 6000   | HHM1570B1     | TDK      | SMT |



BALUN PIN CONFIGURATION

|   |                 |
|---|-----------------|
| 1 | UNBALANCED PORT |
| 2 | GND OR DC FEED  |
| 3 | BALANCED PORT   |
| 4 | BALANCED PORT   |
| 5 | GND             |
| 6 | NC              |

図 20. SMT バランの接続例

リストされているTLバランは入力と出力の間がDC絶縁されていないので、出力でAC結合する必要があります。これらのバランを使ったRF<sup>+</sup>の接続を図21に示します。

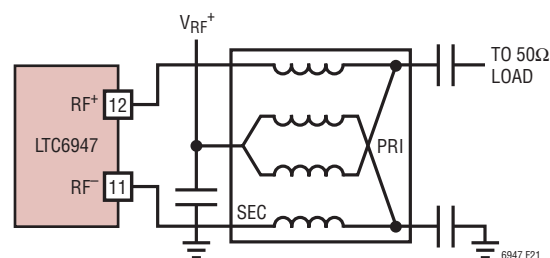


図 21. TL バランの接続例

## アプリケーション情報

### 電源バイパスおよびPCBレイアウトに関するガイドライン

PCBをレイアウトするときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。ピンのできるだけ近くに配置した0.1 $\mu$ Fのセラミック・コンデンサを使って、電源V<sup>+</sup>の全てのピンをグラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを使います。

パッケージの露出パッドはグラウンド接続なので、PCBのランドパターンに直接半田付けする必要があります。PCBのランドパターンには、グラウンド・インダクタンスと熱抵抗の両方を減らすために、グラウンド・プレーンへの複数のサーマル・ビアを配置します(図22の例を参照)。ランドパターンとランド・ビアの半田マスクに関する具体的な推奨事項については、リニアテクノロジーのWebサイトのパッケージ情報のページで、「QFNパッケージユーザーガイド」の8ページを参照してください。下にリンクを示します。

<http://www.linear-tech.co.jp/designtools/packaging/>

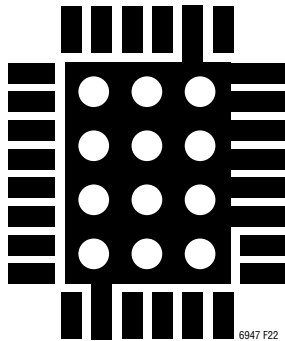


図22. 露出パッドのランド・パターンの例

### 基準信号の配線、スプリアス、および位相ノイズ

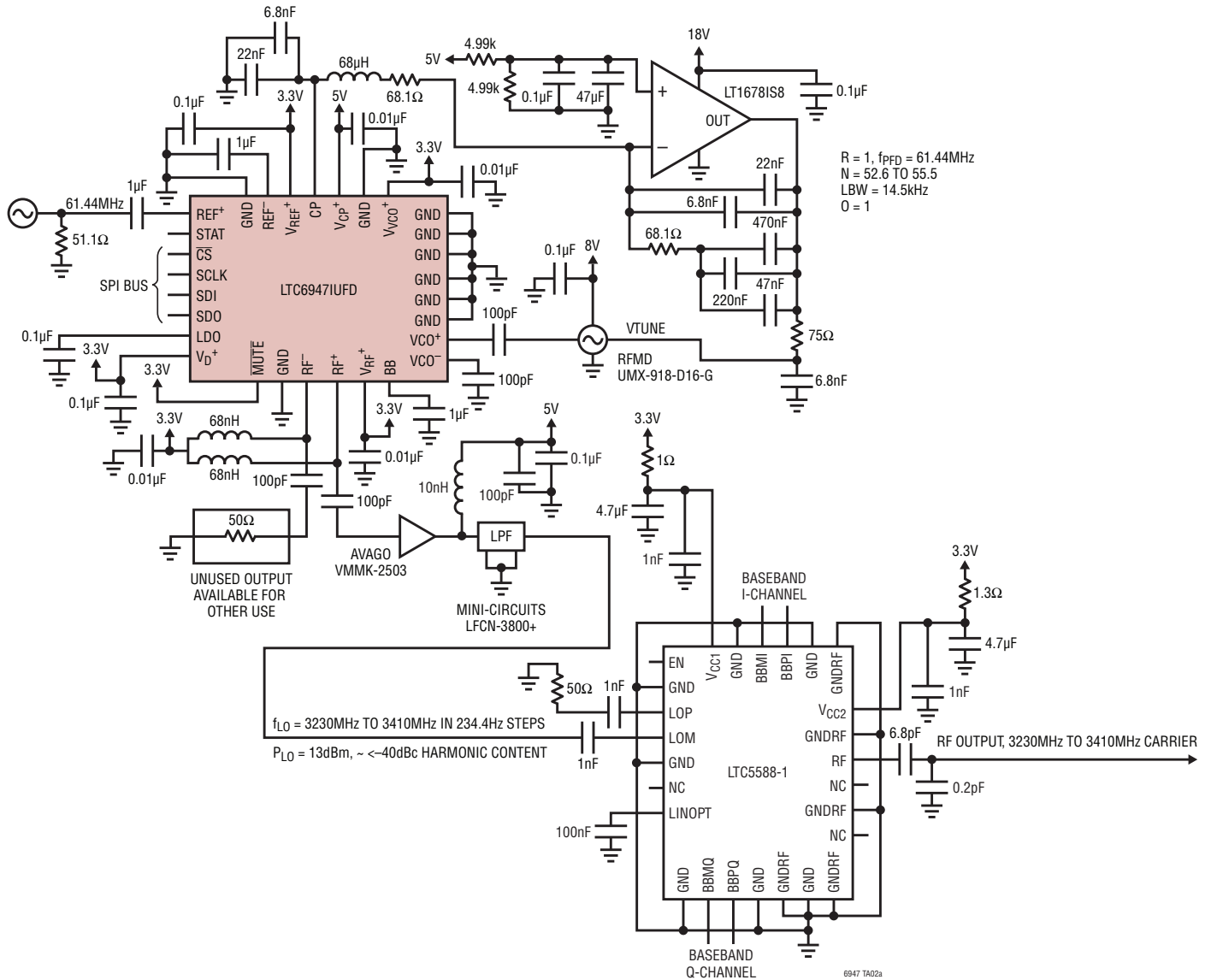
チャージポンプはPFDの比較周波数 $f_{PFD}$ で動作します。結果として生じる出力のスプリアス・エネルギーは小さく、VCO周波数を変調する前にループ・フィルタによってさらに減少します。

ただし、PCBのレイアウトが不適切だと、LTC6947の本来のスプリアス性能が低下することがあります。基準信号 $f_{REF}$ が、VCOの同調ライン、または他のループ・フィルタの信号に結合しないように、注意する必要があります。推奨事項は以下のとおりです。

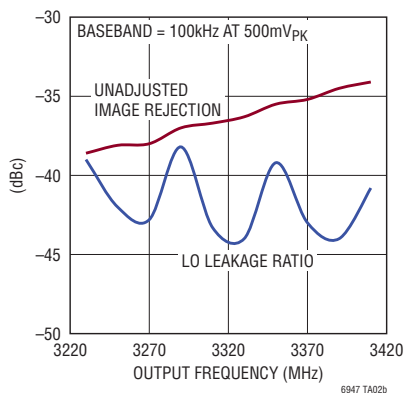
- 1) 電圧の等しい電源ピンの間では電源デカップリング・コンデンサを共有しないでください。
- 2) 各電源デカップリング・コンデンサ、特にV<sub>REF</sub><sup>+</sup>、V<sub>D</sub><sup>+</sup>、LDO、V<sub>CP</sub><sup>+</sup>、およびV<sub>VCO</sub><sup>+</sup>に接続するコンデンサには別々にグラウンド・ビアを使います。
- 3) 基準周波数信号は、ループ・フィルタおよびVCOから物理的に離します。

標準的応用例

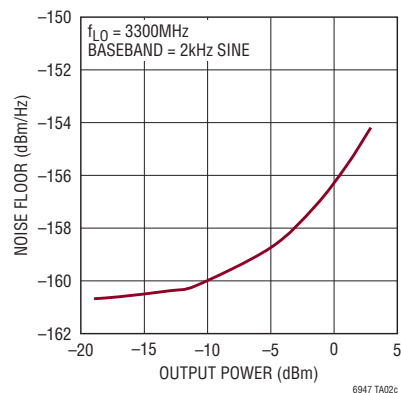
低イメージ除去比および低ノイズフロア用の変調器 LO



測定されたイメージ除去比および LO リーク比と出力周波数

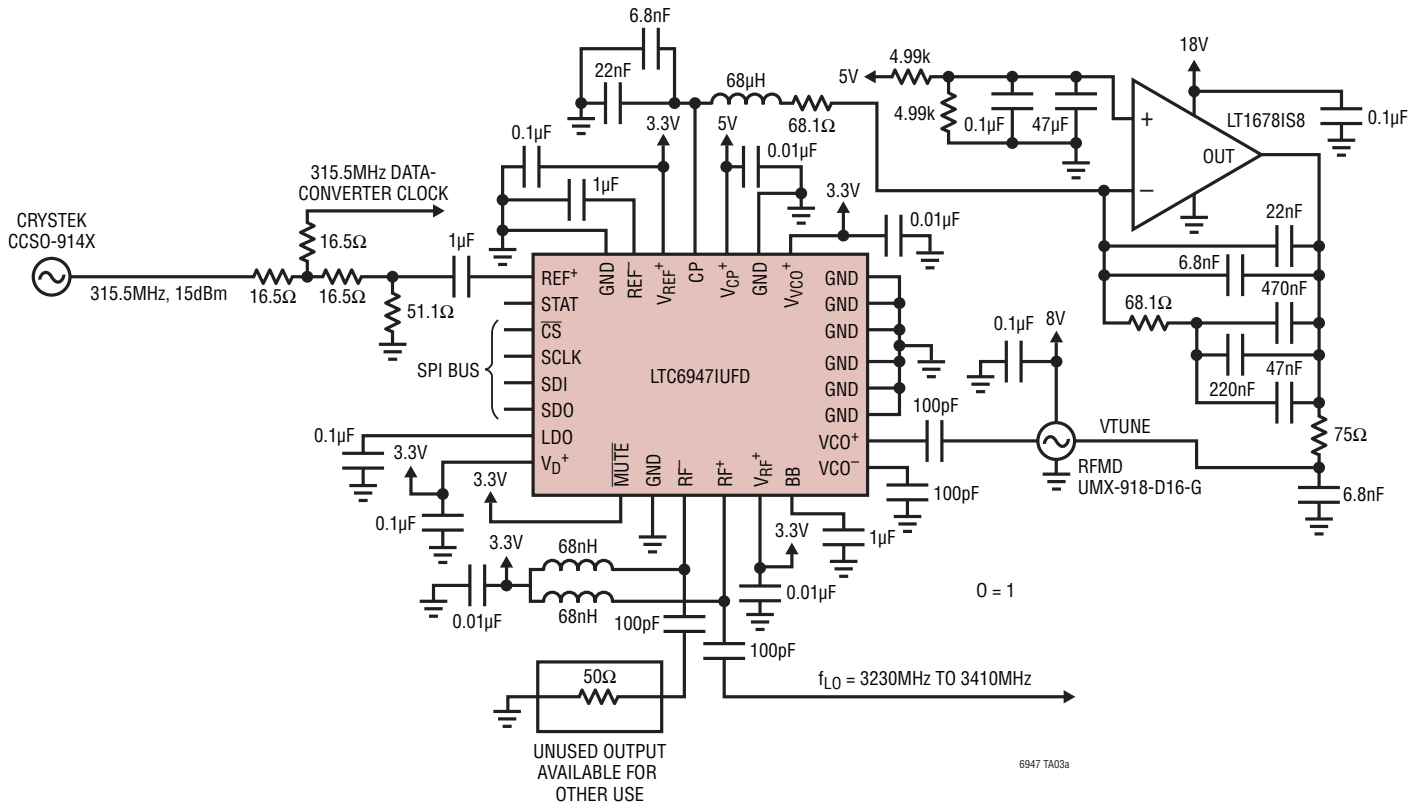


70MHz オフセットで測定された ノイズフロアと RF 出力電力



## 標準的応用例

### 整数境界スプリアスの防止



THIS APPLICATION EXAMPLE ILLUSTRATES A STRAIGHTFORWARD PROGRAMMING METHOD TO MINIMIZE INTEGER BOUNDARY SPURS. SWITCH THE REFERENCE DIVIDER VALUE, R, BETWEEN TWO PREDETERMINED VALUES TO AVOID FRACTIONAL VALUES, F, CLOSE TO 0 OR 1.

$$f_{REF} = 315.5\text{MHz}$$

$$\text{FOR } R1 = 6: f_{PDF}(R1) = 52.58\text{MHz}, f_{STEP}(R1) = 200.59\text{Hz}$$

$$\text{FOR } R2 = 5: f_{PDF}(R2) = 63.10\text{MHz}, f_{STEP}(R2) = 240.7\text{Hz}$$

FIRST, CALCULATE  $f_{SPUR}(R)$ , FREQUENCY OFFSET OF THE INTEGER-BOUNDARY SPUR NEAREST INTEGER BOUNDARY AS A DISTANCE FROM THE CARRIER, FOR EACH R VALUE.

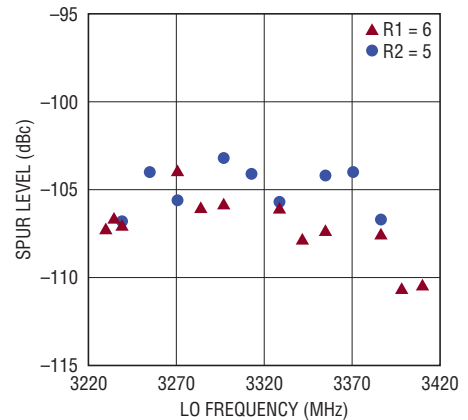
$$f_{SPUR}(R) = F \cdot \frac{f_{REF}}{R}, \text{ FOR } F < 0.5$$

$$f_{SPUR}(R) = (1 - F) \cdot \frac{f_{REF}}{R}, \text{ FOR } F \geq 0.5$$

$$\text{WHERE } F = \frac{\text{NUM}}{2^{18}}$$

NEXT, LET R = R1 FOR  $f_{SPUR}(R1) > f_{SPUR}(R2)$ , ELSE LET R = R2

### 整数境界スプリアスを防止した結果 (最も近い整数境界で測定)



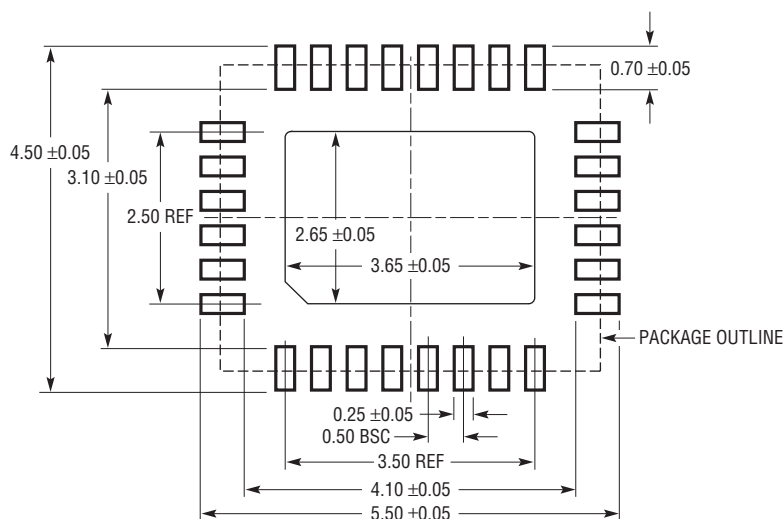
NOTE: SPURS UP TO  $-70\text{dBc}$  CAN BE FOUND NEAR F VALUES OF 0.5 IN VERY NARROW BANDS (10s OF kHz) AND UP TO  $-75\text{dBc}$  NEAR F VALUES OF 0.333 OR 0.667. APPROPRIATELY SWITCHING BETWEEN R1 AND R2 CAN AVOID THESE SPURS.

6947 TA03b

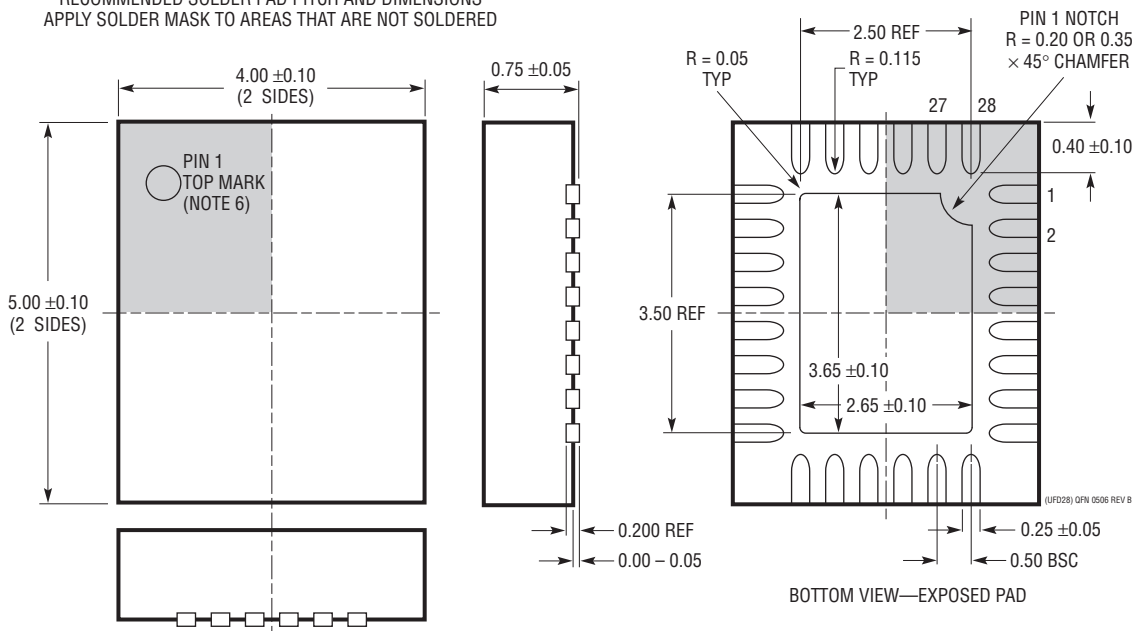
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

**UFD Package**  
**28-Lead Plastic QFN (4mm × 5mm)**  
 (Reference LTC DWG # 05-08-1712 Rev B)



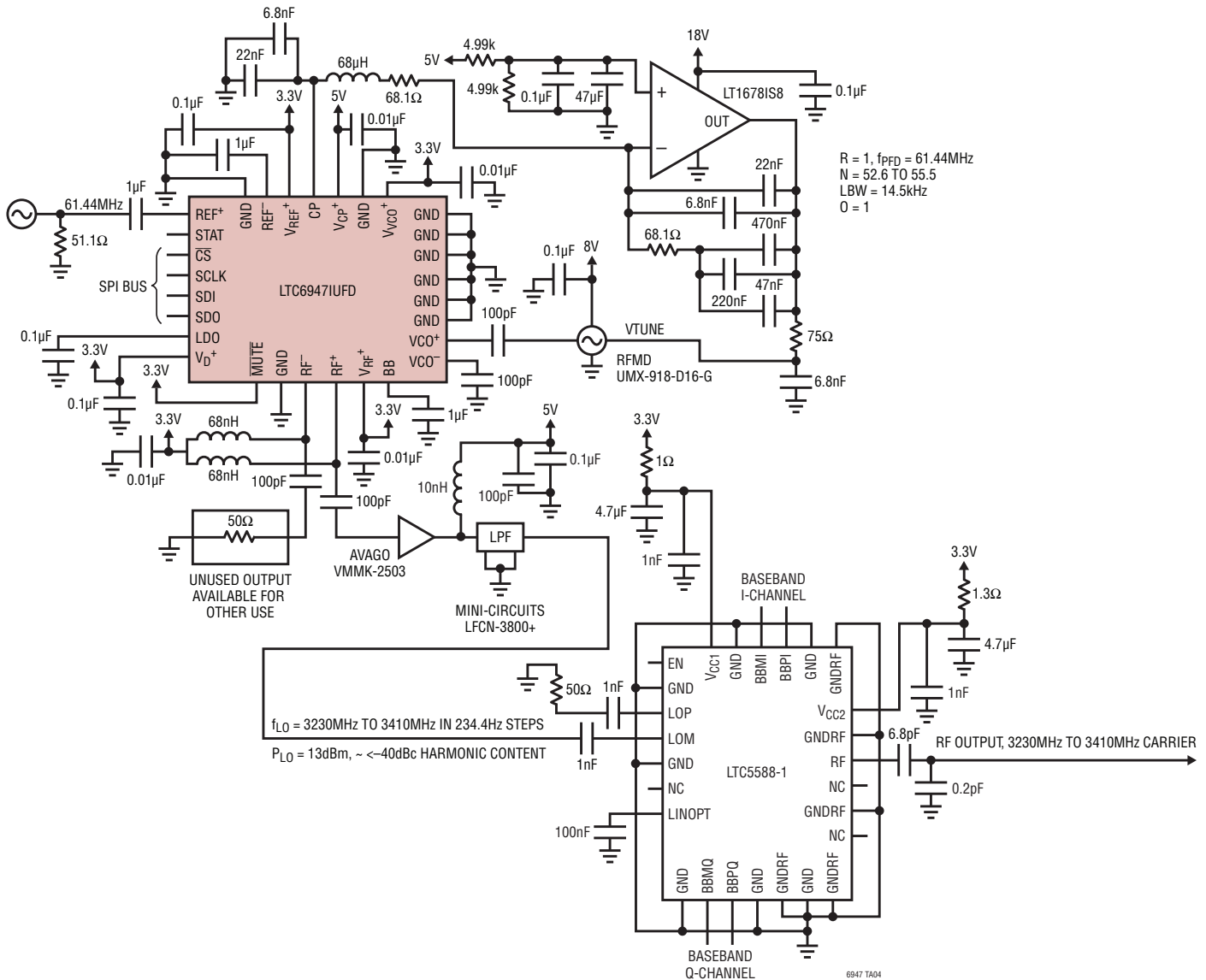
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
1. 図は JEDEC パッケージ外形 M0-220 のバリエーション (WXXX-X) にするよう提案されている
  2. 図は実寸とは異なる
  3. すべての寸法はミリメートル
  4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
 モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
  5. 露出パッドは半田メッキとする
  6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

## 標準的応用例

低イメージ除去比および低ノイズフロア用の変調器 LO



## 関連製品

| 製品番号      | 説明                                     | 注釈   |
|-----------|--|--|
| LTC6946-x | ノイズとスプリアスを極めて低く抑えた VCO 内蔵の整数分周方式シンセサイザ | 370MHz ~ 6.4GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz        |
| LTC6945   | ノイズとスプリアスを極めて低く抑えた 整数分周方式シンセサイザ        | 350MHz ~ 6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz          |
| LTC6948-x | ノイズを極めて低く抑えた VCO 内蔵の分数分周方式シンセサイザ       | 370MHz ~ 6.4GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz、広帯域出力位相ノイズフロア: -157dBc/Hz        |
| LTC6957   | 位相ノイズの小さいデュアル出力バッファ/ドライバ/ロジック・コンバータ    | 正弦波信号からロジック・レベル信号への最適な変換、LVPECL/LVDS/CMOS 出力、DC 300MHz、付加ジッタ: 45fsRMS (LVPECL) |
| LTC5588-1 | OIP3 が非常に高い I/Q 変調器                    | 200MHz ~ 6GHz、OIP3: 31dBm、ノイズフロア: -160.6dBm/Hz                                 |