

# ノイズとスプリアスを極めて 低く抑えたVCO内蔵の0.37GHz～6.39GHz 整数 分周方式シンセサイザ

## 特長

- VCO内蔵の低ノイズ整数分周方式PLL
- 正規化された帯域内位相ノイズフロア:  $-226\text{dBc/Hz}$
- 正規化された帯域内  $1/f$  ノイズ:  $-274\text{dBc/Hz}$
- 広帯域出力位相ノイズフロア:  $-157\text{dBc/Hz}$
- 優れたスプリアス特性
- 出力分周器 (1～6、デューティサイクル50%)
- 出力バッファのミュート
- 低ノイズのリファレンス・バッファ
- $250\mu\text{A} \sim 11.2\text{mA}$  の範囲で調整可能なチャージポンプ電流
- 設定可能な状態出力
- SPI 互換シリアル・ポート制御
- PLLWizard™ソフトウェア・デザイン・ツールによるサポート

## アプリケーション

- ワイヤレス基地局 (LTE, WiMAX, W-CDMA, PCS)
- ブロードバンド・ワイヤレス・アクセス
- 軍用および安全無線
- テストおよび測定

LT, LTC, LTM, Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。PLLWizard はリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。

## 概要

LTC®6946 は、VCO を内蔵した高性能で低ノイズの 6.39GHz フェーズロック・ループ (PLL) で、リファレンス分周器、フェーズロック・インジケータ付き位相周波数検出器 (PFD)、超低ノイズ・チャージポンプ、整数帰還分周器、VCO 出力分周器を内蔵しています。チャージポンプは、VCO のモニタに役立つ、選択可能な高電圧および低電圧クランプを内蔵しています。

内蔵された低ノイズ VCO に、外付け部品は不要です。この VCO は、外部システムのサポートなしに、正確な出力周波数に内部で較正されます。

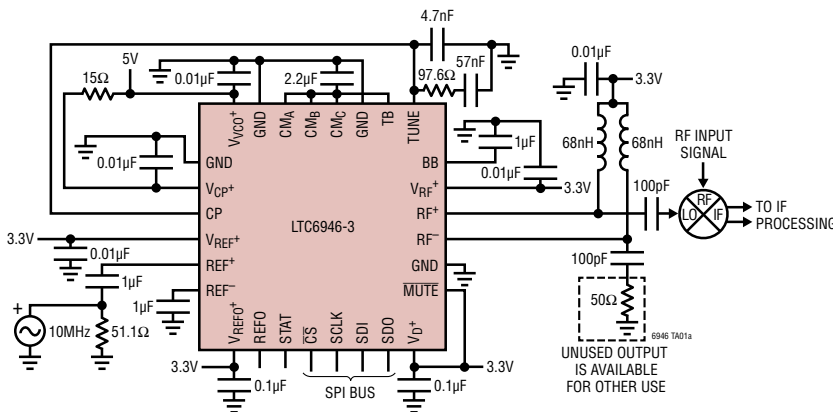
LTC6946 は、1～6 の範囲でプログラム可能なバッファ付き VCO 出力分周器を備えており、広い周波数範囲を実現します。

## 周波数カバーのオプション

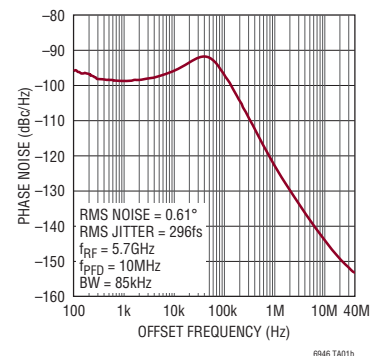
	LTC6946-1	LTC6946-2	LTC6946-3	LTC6946-4
0 DIV=1	2.240 to 3.740	3.080 to 4.910	3.840 to 5.790	4.200 to 6.390
0 DIV=2	1.120 to 1.870	1.540 to 2.455	1.920 to 2.895	2.100 to 3.195
0 DIV=3	0.747 to 1.247	1.027 to 1.637	1.280 to 1.930	1.400 to 2.130
0 DIV=4	0.560 to 0.935	0.770 to 1.228	0.960 to 1.448	1.050 to 1.598
0 DIV=5	0.448 to 0.748	0.616 to 0.982	0.768 to 1.158	0.840 to 1.278
0 DIV=6	0.373 to 0.623	0.513 to 0.818	0.640 to 0.965	0.700 to 1.065

## 標準的応用例

### 5.7GHz 広帯域レシーバ



### LTC6946-3 の PLL 位相ノイズ



# LTC6946

## 絶対最大定格 (Note 1)

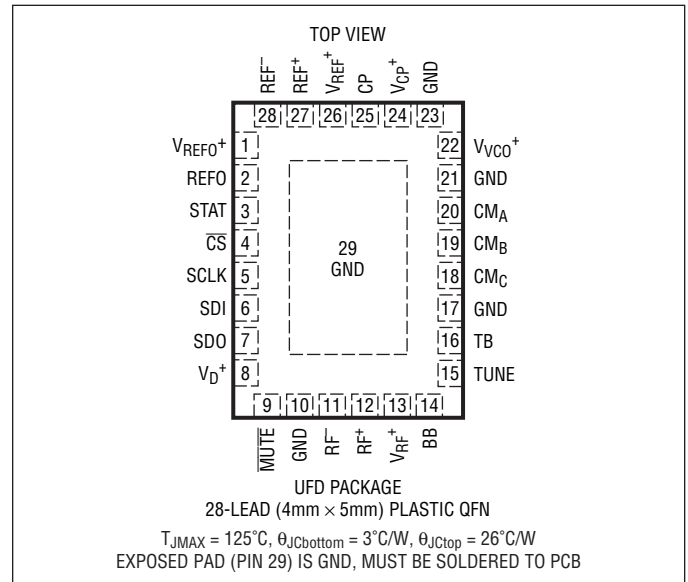
### 電源電圧

$V^+$ ( $V_{REF^+}$ , $V_{REFO^+}$ , $V_{RF^+}$ , $V_{D^+}$ ) から GND .....	3.6V
$V_{CP^+}$ , $V_{VCO^+}$ から GND .....	5.5V
CP ピンの電圧 .....	GND - 0.3V ~ $V_{CP^+} + 0.3V$
他の全てのピンの電圧 .....	GND - 0.3V ~ $V^+ + 0.3V$

動作接合部温度範囲、 $T_J$  (Note 2)

LTC6946I .....	-40°C ~ 105°C
接合部温度、 $T_{JMAX}$ .....	125°C
保存温度範囲 .....	-65°C ~ 150°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	接合部温度範囲
LTC6946IUFD-1#PBF	LTC6946IUFD-1#TRPBF	69461	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6946IUFD-2#PBF	LTC6946IUFD-2#TRPBF	69462	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6946IUFD-3#PBF	LTC6946IUFD-3#TRPBF	69463	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C
LTC6946IUFD-4#PBF	LTC6946IUFD-4#TRPBF	69464	28-Lead (4mm x 5mm) Plastic QFN	-40°C to 105°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 利用可能なオプション

VCO 周波数 (GHz)	パッケージの種類	出力周波数範囲と出力分周器の設定 (GHz)					
		0 DIV = 6	0 DIV = 5	0 DIV = 4	0 DIV = 3	0 DIV = 2	0 DIV = 1
2.240 to 3.740	LTC6946IUFD-1	0.373 to 0.623	0.448 to 0.748	0.560 to 0.935	0.747 to 1.247	1.120 to 1.870	2.240 to 3.740
3.080 to 4.910	LTC6946IUFD-2	0.513 to 0.818	0.616 to 0.982	0.770 to 1.228	1.027 to 1.637	1.540 to 2.455	3.080 to 4.910
3.840 to 5.790	LTC6946IUFD-3	0.640 to 0.965	0.768 to 1.158	0.960 to 1.448	1.280 to 1.930	1.920 to 2.895	3.840 to 5.790
4.200 to 6.390	LTC6946IUFD-4	0.700 to 1.065	0.840 to 1.278	1.050 to 1.598	1.400 to 2.130	2.100 to 3.195	4.200 to 6.390
オーバーラップ周波数帯域							

**電気的特性** ●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
 注記がない限り、 $V_{\text{REF}^+} = V_{\text{REFO}^+} = V_{\text{D}^+} = V_{\text{RF}^+} = 3.3\text{V}$ 、 $V_{\text{CP}^+} = V_{\text{VCO}^+} = 5\text{V}$  (Note 2)。すべての電圧はGND基準。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>リファレンス入力 (REF<sup>+</sup>, REF<sup>-</sup>)</b>							
f <sub>REF</sub>	Input Frequency		●	10	250	MHz	
V <sub>REF</sub>	Input Signal Level	Single Ended, 1μF AC-Coupling Capacitors	●	0.5	2	2.7	V <sub>p-p</sub>
	Input Slew Rate		●	20		V/μs	
	Input Duty Cycle			50		%	
	Self-Bias Voltage		●	1.65	1.85	2.25	V
	Input Resistance	Differential	●	6.2	8.4	11.6	kΩ
	Input Capacitance	Differential		3		pF	
<b>基準出力 (REFO)</b>							
f <sub>REFO</sub>	Output Frequency		●	10	250	MHz	
P <sub>REFO</sub>	Output Power	f <sub>REFO</sub> = 10MHz, R <sub>LOAD</sub> = 50Ω	●	-0.2	3.2	dBm	
	Output Impedance, Disabled			800		Ω	
<b>VCO</b>							
f <sub>VCO</sub>	Frequency Range	LTC6946-1 (Note 3)	●	2.24	3.74	GHz	
		LTC6946-2 (Note 3)	●	3.08	4.91	GHz	
		LTC6946-3 (Note 3)	●	3.84	5.79	GHz	
		LTC6946-4 (Note 3)	●	4.20	6.39	GHz	
K <sub>VCO</sub>	Tuning Sensitivity	LTC6946-1 (Notes 3, 4)		4.7 to 7.2		%Hz/V	
		LTC6946-2 (Notes 3, 4)		4.7 to 7.0		%Hz/V	
		LTC6946-3 (Notes 3, 4)		4.0 to 6.0		%Hz/V	
		LTC6946-4 (Notes 3, 4)		4.5 to 6.5		%Hz/V	
<b>RF出力 (RF<sup>+</sup>, RF<sup>-</sup>)</b>							
f <sub>RF</sub>	Output Frequency		●	0.373	6.39	GHz	
O	Output Divider Range	All Integers Included	●	1	6		
	Output Duty Cycle			50		%	
	Output Resistance	Single Ended, Each Output to V <sub>RF</sub> <sup>+</sup>	●	111	136	159	Ω
	Output Common Mode Voltage		●	2.4	V <sub>RF</sub> <sup>+</sup>	V	
P <sub>RF(SE)</sub>	Output Power, Single Ended, f <sub>RF</sub> = 900MHz	RFO[1:0] = 0, R <sub>Z</sub> = 50Ω, LC Match	●	-9.7	-6.0	dBm	
		RFO[1:0] = 1, R <sub>Z</sub> = 50Ω, LC Match	●	-6.8	-3.6	dBm	
		RFO[1:0] = 2, R <sub>Z</sub> = 50Ω, LC Match	●	-3.9	-0.4	dBm	
		RFO[1:0] = 3, R <sub>Z</sub> = 50Ω, LC Match	●	-1.2	2.3	dBm	
	Output Power, Muted	R <sub>Z</sub> = 50Ω, Single Ended, f <sub>RF</sub> = 900MHz, O = 2 to 6	●		-60	dBm	
	Mute Enable Time		●		110	ns	
	Mute Disable Time		●		170	ns	
<b>位相周波数検出器</b>							
f <sub>PDF</sub>	Input Frequency		●		100	MHz	
<b>ロック・インジケータ (STATピン、およびSPIでアクセス可能な状態レジスタを介して利用可能)</b>							
t <sub>LWW</sub>	Lock Window Width	LKWIN[1:0] = 0		3.0		ns	
		LKWIN[1:0] = 1		10.0		ns	
		LKWIN[1:0] = 2		30.0		ns	
		LKWIN[1:0] = 3		90.0		ns	
t <sub>LWHYS</sub>	Lock Window Hysteresis	Increase in t <sub>LWW</sub> Moving from Locked State to Unlocked State		22		%	

# LTC6946

**電気的特性** ●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
 注記がない限り、 $V_{REF^+} = V_{REF0^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$  (Note 2)。すべての電圧はGND基準。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>チャージポンプ</b>							
$I_{CP}$	Output Current Range	12 Settings (See Table 5)	0.25		11.2	mA	
	Output Current Source/Sink Accuracy	All Settings $V_{CP} = V_{CP^+}/2$			$\pm 6$	%	
	Output Current Source/Sink Matching	$I_{CP} = 250\mu\text{A}$ to $1.4\text{mA}$ , $V_{CP} = V_{CP^+}/2$ $I_{CP} = 2.0\text{mA}$ to $11.2\text{mA}$ , $V_{CP} = V_{CP^+}/2$			$\pm 3.5$ $\pm 2$	% %	
	Output Current vs Output Voltage Sensitivity	(Note 5)	●	0.1	1.0	%/V	
	Output Current vs Temperature	$V_{CP} = V_{CP^+}/2$	●	170		ppm/ $^\circ\text{C}$	
	Output Hi-Z Leakage Current	$I_{CP} = 700\mu\text{A}$ , $CP_{CLO} = CP_{CHI} = 0$ (Note 5) $I_{CP} = 11.2\text{mA}$ , $CP_{CLO} = CP_{CHI} = 0$ (Note 5)		0.5 5		nA nA	
$V_{CLMP(LO)}$	Low Clamp Voltage	$CP_{CLO} = 1$		0.84		V	
$V_{CLMP(HI)}$	High Clamp Voltage	$CP_{CHI} = 1$ , Referred to $V_{CP^+}$		-0.96		V	
$V_{MID}$	Mid-Supply Output Bias Ratio	Referred to $(V_{CP^+} - \text{GND})$		0.48		V/V	
<b>基準 (R) 分周器</b>							
R	Divide Range	All Integers Included	●	1	1023	counts	
<b>VCO (N) 分周器</b>							
N	Divide Range	All Integers Included	●	32	65535	counts	
<b>デジタル・ピンの仕様</b>							
$V_{IH}$	High Level Input Voltage	$\overline{MUTE}$ , $\overline{CS}$ , SDI, SCLK	●	1.55		V	
$V_{IL}$	Low Level Input Voltage	$\overline{MUTE}$ , $\overline{CS}$ , SDI, SCLK	●		0.8	V	
$V_{IHYS}$	Input Voltage Hysteresis	$\overline{MUTE}$ , $\overline{CS}$ , SDI, SCLK		250		mV	
	Input Current	$\overline{MUTE}$ , $\overline{CS}$ , SDI, SCLK	●		$\pm 1$	$\mu\text{A}$	
$I_{OH}$	High Level Output Current	SDO and STAT, $V_{OH} = V_{D^+} - 400\text{mV}$	●	-2.3	-1.4	mA	
$I_{OL}$	Low Level Output Current	SDO and STAT, $V_{OL} = 400\text{mV}$	●	1.8	2.6	mA	
	SDO Hi-Z Current		●		$\pm 1$	$\mu\text{A}$	
<b>デジタル・タイミングの仕様 (図7と図8を参照)</b>							
$t_{CKH}$	SCLK High Time		●	25		ns	
$t_{CKL}$	SCLK Low Time		●	25		ns	
$t_{CSS}$	$\overline{CS}$ Setup Time		●	10		ns	
$t_{CSH}$	$\overline{CS}$ High Time		●	10		ns	
$t_{CS}$	SDI to SCLK Setup Time		●	6		ns	
$t_{CH}$	SDI to SCLK Hold Time		●	6		ns	
$t_{DO}$	SCLK to SDO Time	To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF Load	●		16	ns	
<b>電源電圧</b>							
	$V_{REF^+}$ Supply Range		●	3.15	3.3	3.45	V
	$V_{REF0^+}$ Supply Range		●	3.15	3.3	3.45	V
	$V_{D^+}$ Supply Range		●	3.15	3.3	3.45	V
	$V_{RF^+}$ Supply Range		●	3.15	3.3	3.45	V
	$V_{VCO^+}$ Supply Range		●	4.75	5.0	5.25	V
	$V_{CP^+}$ Supply Range		●	4.0		5.25	V

**電気的特性** ●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
 注記がない限り、 $V_{REF}^+ = V_{REFO}^+ = V_D^+ = V_{RF}^+ = 3.3\text{V}$ 、 $V_{CP}^+ = V_{VCO}^+ = 5\text{V}$  (Note 2)。すべての電圧はGND基準。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>電源電流</b>						
$I_{DD}$	$V_D^+$ Supply Current	Digital Inputs at Supply Levels	●		500	$\mu\text{A}$
$I_{CC(5V)}$	Sum $V_{CP}^+$ , $V_{VCO}^+$ Supply Currents	$I_{CP} = 11.2\text{mA}$	●	50	63	$\text{mA}$
		$I_{CP} = 1.0\text{mA}$	●	28	39	$\text{mA}$
		PDALL = 1	●	405	660	$\mu\text{A}$
$I_{CC(REFO)}$	$V_{REFO}^+$ Supply Currents	REFO Enabled, $R_Z = \infty$	●	7.8	9.0	$\text{mA}$
$I_{CC(3.3V)}$	Sum $V_{REF}^+$ , $V_{RF}^+$ Supply Currents	RF Muted, OD[2:0] = 1	●	65	76	$\text{mA}$
		RF Enabled, RFO[1:0] = 0, OD[2:0] = 1	●	76	86	$\text{mA}$
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 1	●	85	97	$\text{mA}$
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 2	●	103	117	$\text{mA}$
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 3	●	108	123	$\text{mA}$
		RF Enabled, RFO[1:0] = 3, OD[2:0] = 4 to 6	●	113	128	$\text{mA}$
		PDALL = 1	●	195	340	$\mu\text{A}$

**位相ノイズとスプリアス**

$L_M$	Phase Noise (LTC6946-1, $f_{VCO} = 3.0\text{GHz}$ , $f_{RF} = 3.0\text{GHz}$ , OD[2 :0] = 1 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-80 -130 -157	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-2, $f_{VCO} = 4.0\text{GHz}$ , $f_{RF} = 4.0\text{GHz}$ , OD[2 :0] = 1 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-77 -127 -156	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 5.0\text{GHz}$ , OD[2 :0] = 1 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-75 -126 -155	dBc/Hz dBc/Hz dBc/Hz
	VCO Phase Noise (LTC6946-4, $f_{VCO} = 6.0\text{GHz}$ , $f_{RF} = 6.0\text{GHz}$ , OD[2 :0] = 1 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-73 -132 -154	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 2.50\text{GHz}$ , OD[2 :0] = 2 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-81 -132 -155	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 1.667\text{GHz}$ , OD[2 :0] = 3 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-84 -135 -156	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 1.25\text{GHz}$ , OD[2 :0] = 4 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-87 -138 -156	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 1.00\text{GHz}$ , OD[2 :0] = 5 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-89 -140 -157	dBc/Hz dBc/Hz dBc/Hz
	Phase Noise (LTC6946-3, $f_{VCO} = 5.0\text{GHz}$ , $f_{RF} = 0.833\text{GHz}$ , OD[2 :0] = 6 (Note 6))	10kHz Offset 1MHz Offset 40MHz Offset		-90 -141 -158	dBc/Hz dBc/Hz dBc/Hz
	$L_M(\text{NORM})$	Normalized In-Band Phase Noise Floor	$I_{CP} = 11.2\text{mA}$ (Notes 7, 8, 9)		-226
$L_M(\text{NORM} - 1/f)$	Normalized In-Band 1/f Phase Noise	$I_{CP} = 11.2\text{mA}$ (Notes 7, 10)		-274	dBc/Hz
$L_M(\text{IB})$	In-Band Phase Noise Floor	(Notes 7, 8, 9, 11)		-99	dBc/Hz
	Integrated Phase Noise from 100Hz to 40MHz	(Notes 8, 12)		0.17	$^\circ\text{RMS}$
	Spurious	$f_{\text{OFFSET}} = f_{\text{PFD}}$ , PLL Locked (Notes 8, 12, 13)		-103	dBc

## 電気的特性

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** LTC6946I は  $-40^{\circ}\text{C}$  ~  $105^{\circ}\text{C}$  の全動作接合部温度範囲で規定性能限界値に適合することが保証されている ( $\theta_{\text{JC}} = 7^{\circ}\text{C}/\text{W}$ )。最大の動作条件下では、接合部温度を  $105^{\circ}\text{C}$  以下に保つため、空気流または放熱が必要になる場合がある。「アプリケーション情報」のセクションで説明するように、露出パッド (ピン 29) は多数のサーマル・ビアを使用してグラウンド・プレーンに直接半田付けすることを強く推奨する。

**Note 3:** パワーサイクルまたはソフトウェアによるパワー・オンリセット (POR) 後に校正されたデバイスでは、 $1.60\text{V} \leq \text{TUNE} \leq 2.85\text{V}$  で有効。

**Note 4:** 特性評価に基づく。

**Note 5:** For  $0.9\text{V} \leq V_{\text{CP}} \leq (V_{\text{CP}}^* - 0.9\text{V})$ .

**Note 6:** 狭帯域ループを使って (RF0[1:0] = 3)、ループの帯域幅の外部で測定。

**Note 7:** ループをロックして、ループ帯域幅の内部で測定。

**Note 8:** 基準周波数は Wenzel の 501-04608A によって供給 ( $f_{\text{REF}} = 10\text{MHz}$ ,  $\text{PREF} = 13\text{dBm}$ )。

**Note 9:** 出力位相ノイズフロアは、 $L_{\text{M(OUT)}} = -226 + 10\log_{10}(f_{\text{PFD}}) + 20\log_{10}(f_{\text{RF}}/f_{\text{PFD}})$  によって、正規化された位相ノイズフロアから計算される。

**Note 10:** 出力 1/f 位相ノイズは、 $L_{\text{M(OUT-1/f)}} = -274 + 20\log_{10}(f_{\text{RF}}) - 10\log_{10}(f_{\text{OFFSET}})$  によって、正規化された 1/f 位相ノイズから計算される。

**Note 11:**  $I_{\text{CP}} = 11.2\text{mA}$ ,  $f_{\text{PFD}} = 250\text{kHz}$ ,  $\text{FILT}[1:0] = 3$ ,  $\text{Loop BW} = 25\text{kHz}$ ;  $f_{\text{RF}} = 900\text{MHz}$ ,  $f_{\text{VCO}} = 2.7\text{GHz}$  (LTC6946-1),  $f_{\text{VCO}} = 3.6\text{GHz}$  (LTC6946-2),  $f_{\text{VCO}} = 4.5\text{GHz}$  (LTC6946-3, LTC6946-4)。

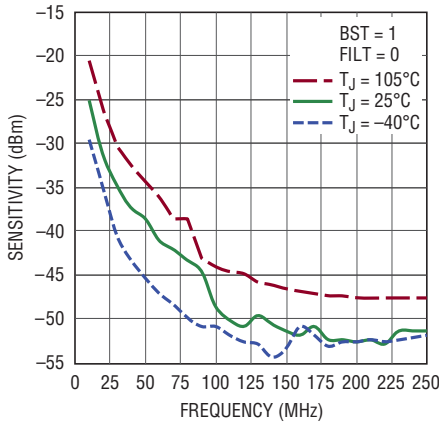
**Note 12:**  $I_{\text{CP}} = 11.2\text{mA}$ ,  $f_{\text{PFD}} = 1\text{MHz}$ ,  $\text{FILT}[1:0] = 3$ ,  $\text{Loop BW} = 40\text{kHz}$ ;  $f_{\text{RF}} = 900\text{MHz}$ ,  $f_{\text{VCO}} = 2.7\text{GHz}$  (LTC6946-1),  $f_{\text{VCO}} = 3.6\text{GHz}$  (LTC6946-2),  $f_{\text{VCO}} = 4.5\text{GHz}$  (LTC6946-3, LTC6946-4)。

**Note 13:** DC1705 を使って測定。

## 標準的性能特性

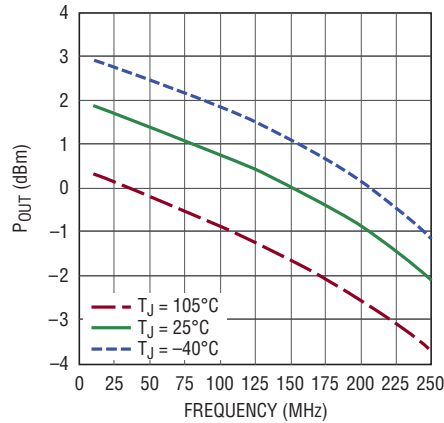
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{REF0^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $RF0[1:0] = 3$ 。

REF 入力の感度と周波数



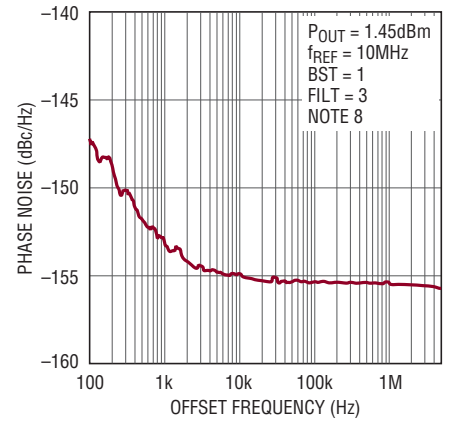
6946 G01

REF0 の出力電力と周波数



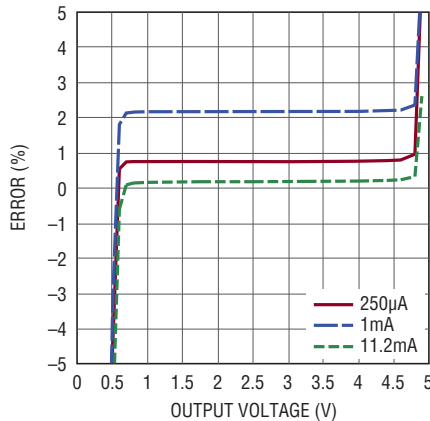
6946 G02

REF0 の位相ノイズ



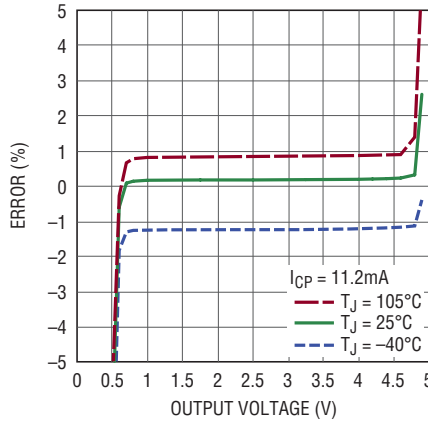
6946 G03

チャージポンプのシンク電流誤差と電圧、出力電流



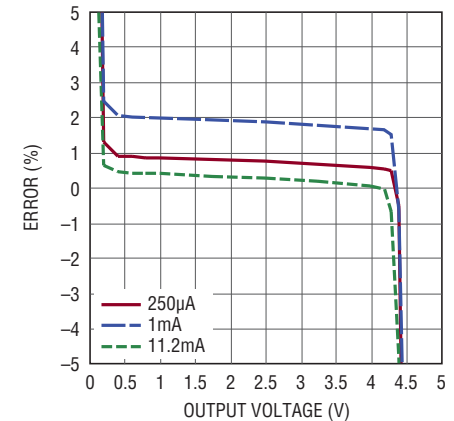
6946 G04

チャージポンプのシンク電流誤差と電圧、温度



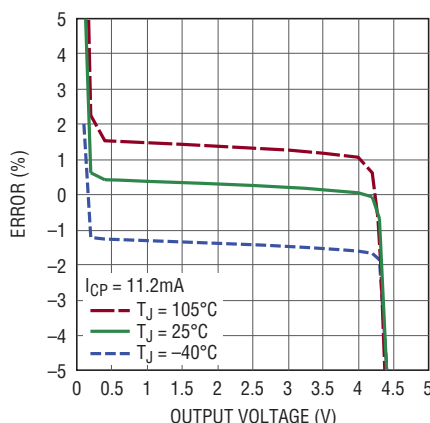
6946 G05

チャージポンプのソース電流誤差と電圧、出力電流



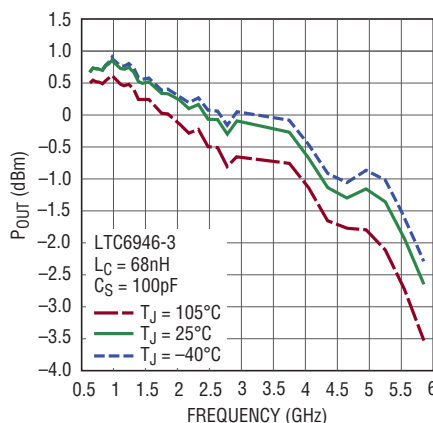
6946 G06

チャージポンプのソース電流誤差と電圧、温度



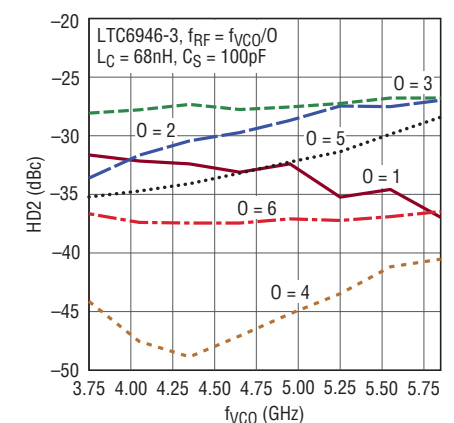
6946 G07

RF 出力電力と周波数 (シングルエンドの RF)



6946 G08

RF 出力の HD2 と出力分周比 (シングルエンドの RF)



6946 G09

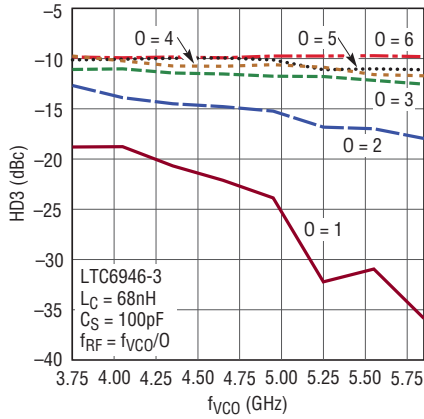
6946fb

# LTC6946

## 標準的性能特性

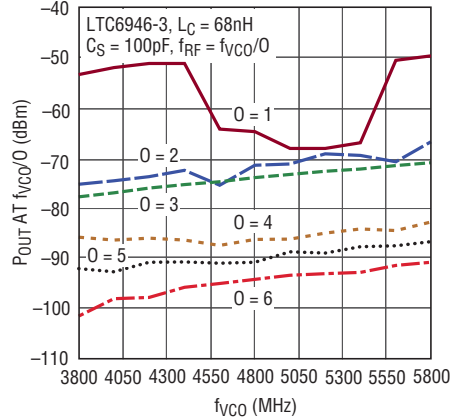
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{REF0^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $\text{RF0}[1:0] = 3_0$ 。

RF 出力の HD3 と出力分周比  
(シングルエンドの RF)



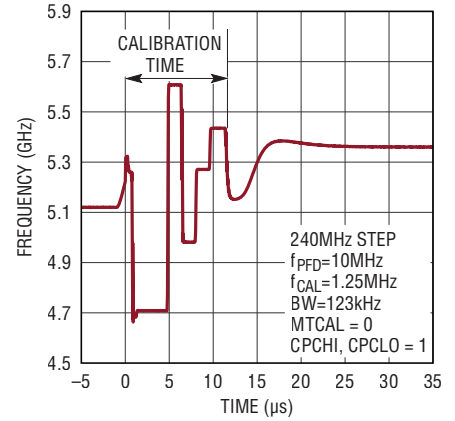
6946 G10

MUTE 出力電力と  $f_{VCO}$  および  
出力分周比 (シングルエンドの RF)



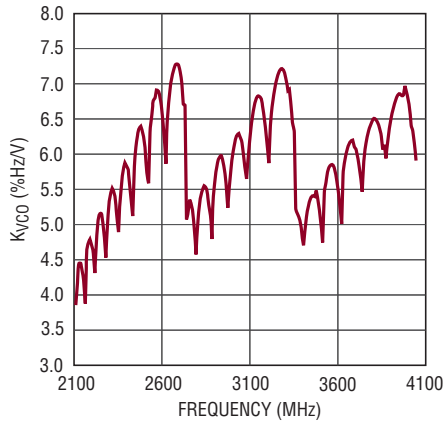
6946 G11

LTC6946-4 の周波数ステップに  
対するトランジェント



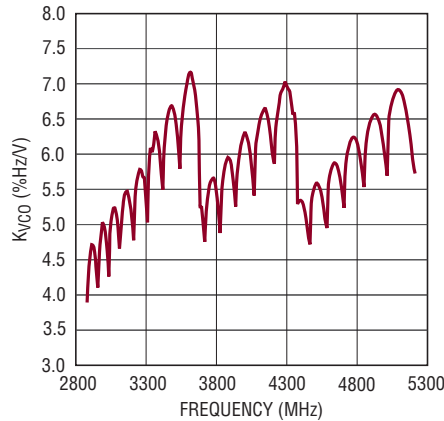
6946 G12

LTC6946-1 の VCO の同調感度



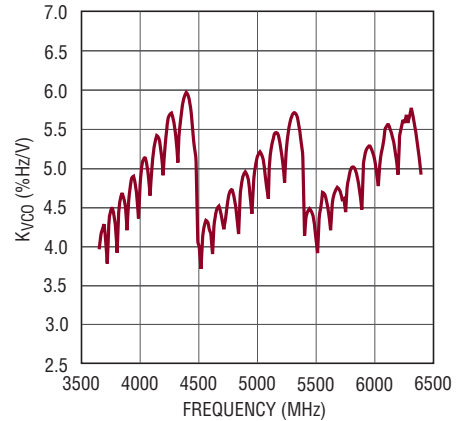
6946 G13

LTC6946-2 の VCO の同調感度



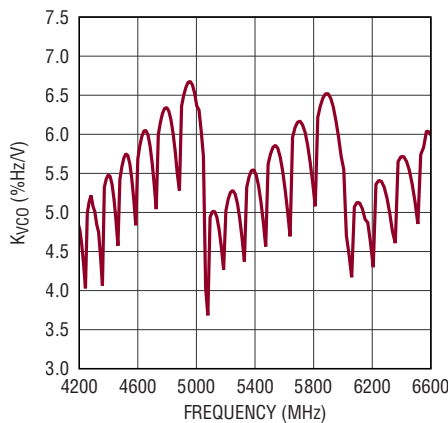
6946 G14

LTC6946-3 の VCO の同調感度



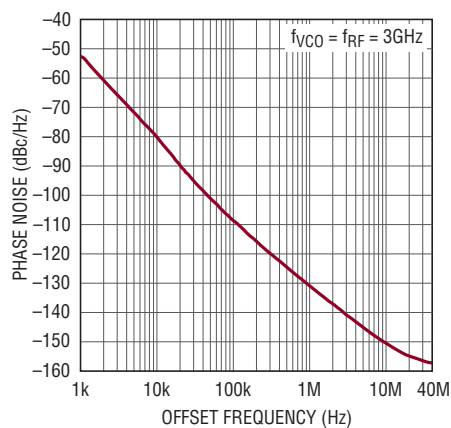
6946 G15

LTC6946-4 の VCO の同調感度



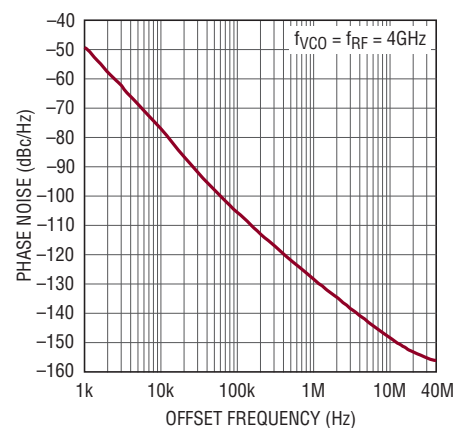
6946 G16

LTC6946-1 の VCO の位相ノイズ



6946 G17

LTC6946-2 の VCO の位相ノイズ



6946 G18

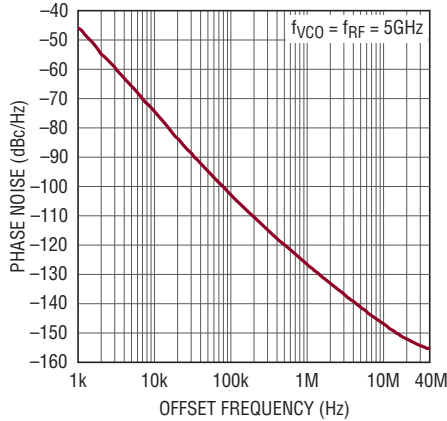
6946fb



## 標準的性能特性

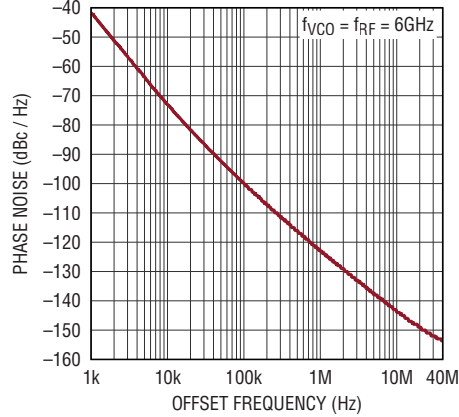
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{REF0^+} = V_D^+ = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $RF0[1:0] = 3_0$ 。

LTC6946-3のVCOの位相ノイズ



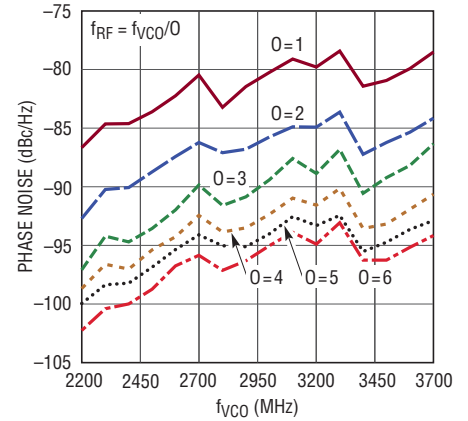
6946 G19

LTC6946-4のVCOの位相ノイズ



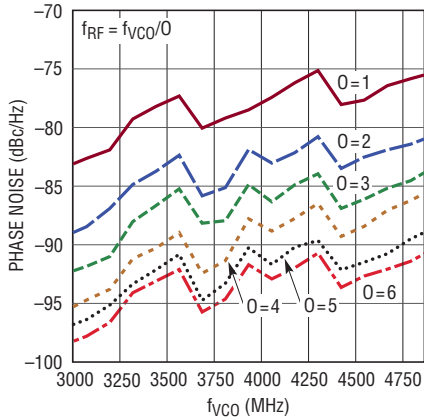
6946 G20

LTC6946-1のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 10\text{kHz}$ )



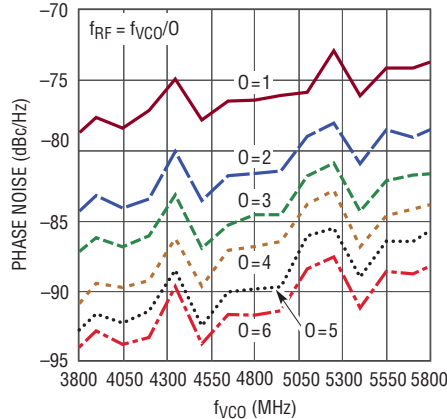
6946 G21

LTC6946-2のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 10\text{kHz}$ )



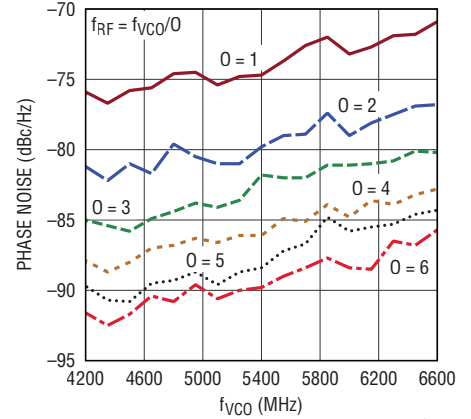
6946 G22

LTC6946-3のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 10\text{kHz}$ )



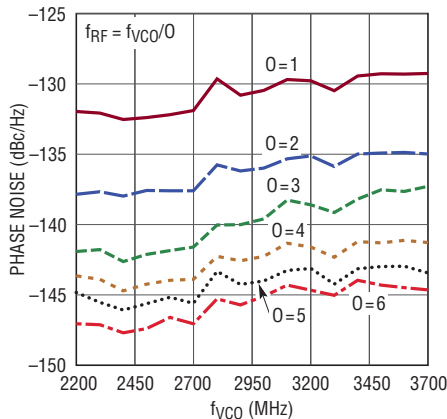
6946 G23

LTC6946-4のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 10\text{kHz}$ )



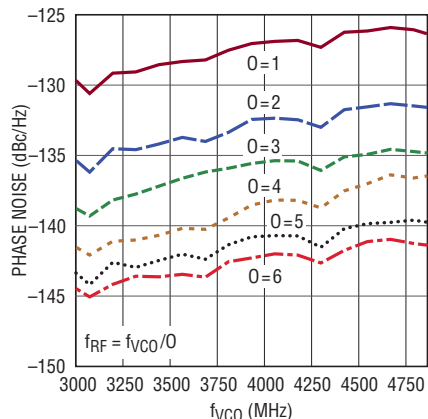
6946 G24

LTC6946-1のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 1\text{MHz}$ )



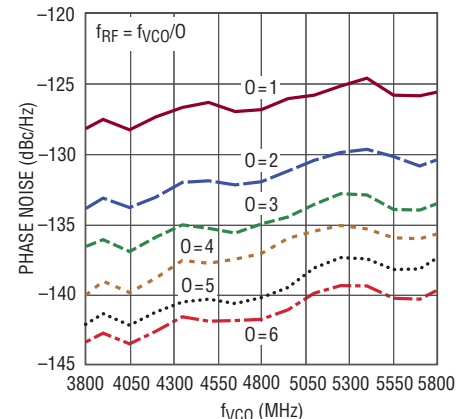
6946 G25

LTC6946-2のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 1\text{MHz}$ )



6946 G26

LTC6946-3のVCOの位相ノイズと  $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 1\text{MHz}$ )



6946 G27

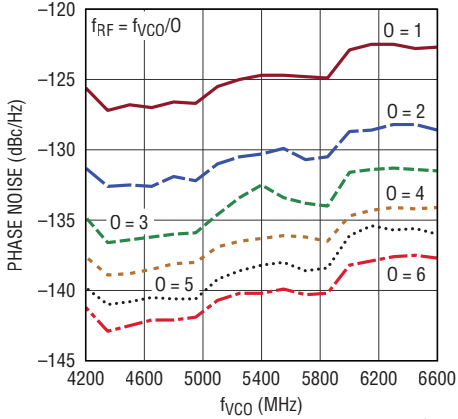
6946fb

# LTC6946

## 標準的性能特性

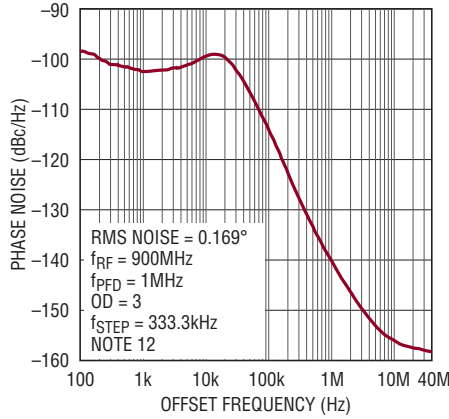
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{REF^+} = V_{REF0^+} = V_{D^+} = V_{RF^+} = 3.3\text{V}$ 、 $V_{CP^+} = V_{VCO^+} = 5\text{V}$ 、 $RFO[1:0] = 3$ 。

LTC6946-4のVCOの位相ノイズと  
 $f_{VCO}$ 、出力分周比 ( $f_{OFFSET} = 1\text{MHz}$ )



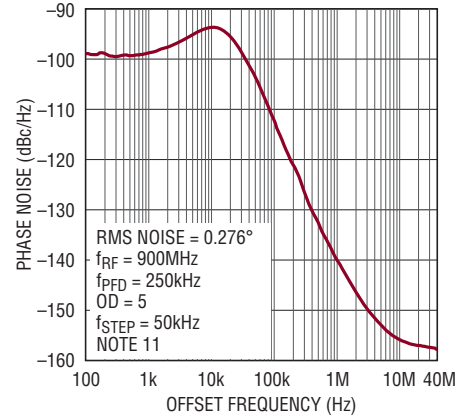
6946 G28

閉ループ位相ノイズ、  
ループ帯域幅 = 40kHz、LTC6946-1



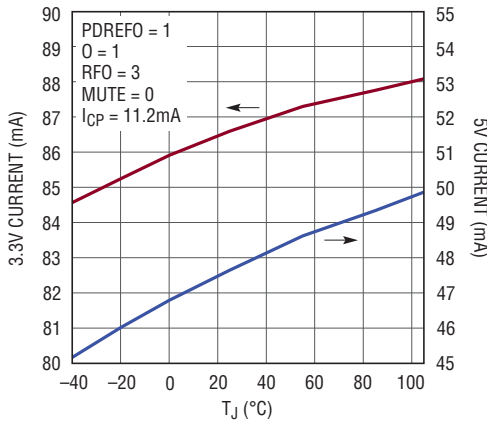
6946 G29

閉ループ位相ノイズ、  
ループ帯域幅 = 25kHz、LTC6946-3



6946 G30

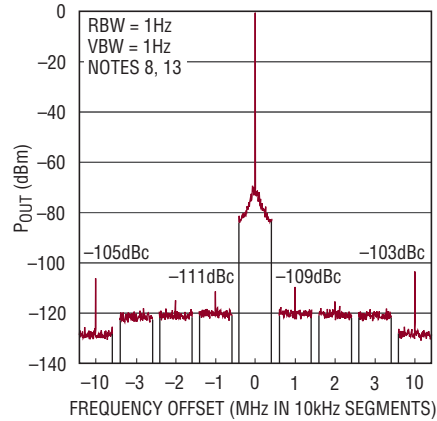
LTC6946-2の電源電流と温度



6946 G31

LTC6946-3のスプリアス応答

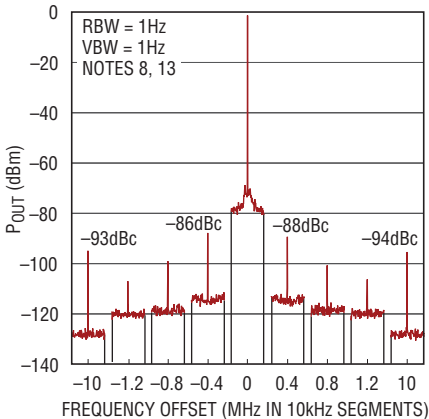
$f_{RF} = 900\text{MHz}$ 、 $f_{REF} = 10\text{MHz}$ 、  
 $f_{PFD} = 1\text{MHz}$ 、Loop BW = 40kHz



6946 G32

LTC6946-3のスプリアス応答

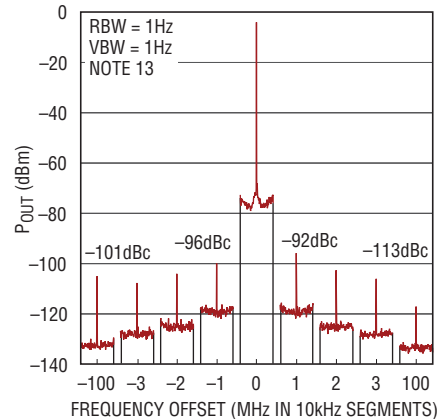
$f_{RF} = 2200\text{MHz}$ 、 $f_{REF} = 10\text{MHz}$ 、  
 $f_{PFD} = 0.4\text{MHz}$ 、Loop BW = 28kHz



6946 G33

LTC6946-3のスプリアス応答

$f_{RF} = 5700\text{MHz}$ 、 $f_{REF} = 100\text{MHz}$ 、  
 $f_{PFD} = 1\text{MHz}$ 、Loop BW = 33kHz



6946 G34

6946fb

## ピン機能

**V<sub>REF0</sub><sup>+</sup> (ピン1)** : REFO回路の3.15V～3.45Vの正電源ピン。このピンを、0.1μFのコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

**REFO (ピン2)** : 基準周波数の出力。これは、REF<sup>+</sup> 差動入力をバッファした低ノイズの方形波を発生します。出力は自己バイアスされており、22nFのコンデンサでAC結合する必要があります。

**STAT (ピン3)** : 状態出力。この信号は、UNLOK、LOK、ALCHI、ALCLO、THI、およびTLOの各状態ビットの、設定可能なロジックORによる組み合わせで、STATUSレジスタを介してプログラム可能です。詳細は「動作」のセクションを参照してください。

**CS (ピン4)** : シリアル・ポート・チップ・セレクト。このCMOS入力は、“L”にドライブされるとシリアル・ポートの通信バーストを開始し、再度“H”にドライブされるとバーストを終了します。詳細は「動作」のセクションを参照してください。

**SCLK (ピン5)** : シリアル・ポート・クロック。このCMOS入力は、その立ち上がりエッジでシリアル・ポートの入力データをクロックします。詳細は「動作」のセクションを参照してください。

**SDI (ピン6)** : シリアル・ポート・データ入力。シリアル・ポートはこのCMOS入力をデータに使用します。詳細は「動作」のセクションを参照してください。

**SDO (ピン7)** : シリアル・ポート・データ出力。このCMOSのストリーク状態出力は、読み出し通信バーストの間、シリアル・ポートからのデータを出力します。オプションで、200kより大きな抵抗をGNDに接続して出力がフロートするのを防ぎます。詳細は「動作」のセクションを参照してください。

**V<sub>D</sub><sup>+</sup> (ピン8)** : シリアル・ポート回路の3.15V～3.45Vの正電源ピン。このピンを、0.1μFのコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

**MUTE (ピン9)** : RFミュート。このCMOSのアクティブ“L”入力は、デアサートされたとき素早く応答できるように内部バイアス・レベルを維持しつつ、RF<sup>+</sup> 差動出力をミュートします。

**GND (ピン10、17、21)** : 負電源(グランド)。これらのグランド・ピンは、各ピンに複数のビアを使って、グランド・プレーンに直接接続します。

**RF<sup>-</sup>、RF<sup>+</sup> (ピン11、12)** : RF出力信号。VCOの出力分周器はバッファされ、差動でこれらのピンに出力されます。出力はオープン・コレクタで、136Ω(標準)のプルアップ抵抗がV<sub>RF</sub><sup>+</sup>に接続されていて、インピーダンス整合を助けます。シングルエンドで使用する場合、使用しない方の出力は50Ωで終端します。インピーダンス整合の詳細については、「アプリケーション情報」のセクションを参照してください。

**V<sub>RF</sub><sup>+</sup> (ピン13)** : RF回路の3.15V～3.45Vの正電源ピン。このピンを、0.01μFのコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

**BB (ピン14)** : RF基準信号のバイパス。この出力は1.0μFのセラミック・コンデンサを使ってGNDへバイパスする必要があります。このピンは他のどの信号にも結合しないでください。

**TUNE (ピン15)** : VCOの同調入力。この周波数制御ピンは通常外部のループ・フィルタに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

**TB (ピン16)** : VCOのバイパス。この出力は2.2μFのセラミック・コンデンサでGNDにバイパスする必要があります。通常は、CM<sub>A</sub>、CM<sub>B</sub>、およびCM<sub>C</sub>に短いトレースで接続します。このピンは他のどの信号にも結合しないでください。

**CM<sub>C</sub>、CM<sub>B</sub>、CM<sub>A</sub> (ピン18、19、20)** : VCOのバイアス入力。これらの入力通常、短いトレースを使ってTBに接続し、2.2μFのセラミック・コンデンサを使ってGNDに接続します。このピンは他のどの信号にも結合しないでください。**最良の位相ノイズ特性を得るには、パッケージの下のこれらのパッドの間にトレースを配置しないでください。**

**V<sub>VCO</sub><sup>+</sup> (ピン22)** : VCO回路の4.75V～5.25Vの正電源ピン。このピンを、0.01μFと1μFのコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

## ピン機能

**GND (ピン 23) :** 負電源 (グランド)。このピンはダイアタッチ・パドル (DAP) に直接アタッチされており、グランド・プレーンに直接接続します。

**V<sub>CP</sub><sup>+</sup> (ピン 24) :** チャージポンプ回路の 4.0V ~ 5.25V の正電源ピン。このピンを、0.1μF のコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

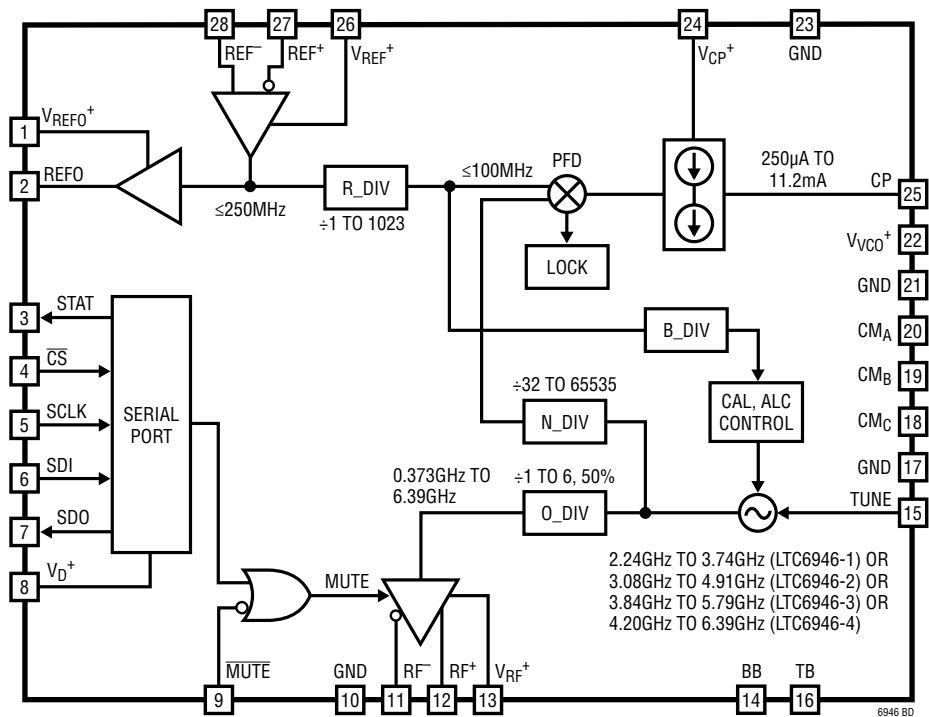
**CP (ピン 25) :** チャージポンプの出力。この双方向電流出力は通常外部のループ・フィルタに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

**V<sub>REF</sub><sup>+</sup> (ピン 26) :** 基準入力回路の 3.15V ~ 3.45V の正電源ピン。このピンを、0.1μF のコンデンサをできるだけピンの近くに使用して、グランド・プレーンに直接バイパスします。

**REF<sup>+</sup>, REF<sup>-</sup> (ピン 27, 28) :** 基準入力信号。この差動入力には低ノイズのアンプでバッファされ、基準分周器と基準信号バッファに与えられます。それらは自己バイアスされており、1μF のコンデンサで AC 結合する必要があります。シングルエンドで使用する場合は、1μF のコンデンサを使用して REF<sup>-</sup> を GND にバイパスします。シングルエンド信号が 2.7V<sub>P-P</sub> よりも大きい場合は、REF<sup>-</sup> を 47pF のコンデンサで GND にバイパスしてください。

**GND (露出パッドのピン 29) :** 負電源 (グランド)。パッケージの露出パッドは PCB のランドに半田付けする必要があります。PCB のランド・パターンには、グランド・インダクタンスと熱抵抗の両方を減らすためにグランド・プレーンへの複数のサーマル・ビアを配置します。

ブロック図



## 動作

LTC6946は高性能PLLで、3つの異なる周波数範囲のオプションで使用できる低ノイズVCOを備えています。出力分周器を使って、出力周波数範囲をさらに広げることができます(詳細については、「利用できるオプション」の表を参照)。デバイス、その非常に低い帯域内位相ノイズ特性と優れたVCOノイズ特性の組み合わせにより、卓越した積分位相ノイズ特性を達成することができます。

## 基準入力バッファ

PLLの基準周波数は、REF<sup>+</sup>ピンとREF<sup>-</sup>ピンに差動で与えられます。これらの高インピーダンス入力には自己バイアスされており、1 $\mu$ FのコンデンサでAC結合する必要があります(簡略回路図については、図1を参照)。あるいは、基準周波数をREF<sup>+</sup>に与え、1 $\mu$ FのコンデンサでREF<sup>-</sup>をGNDにバイパスすることにより、入力をシングルエンドで使うことができます。シングルエンド信号が2.7V<sub>P-P</sub>より大きい場合は、GNDへのバイパスに47pFのコンデンサを使用します。

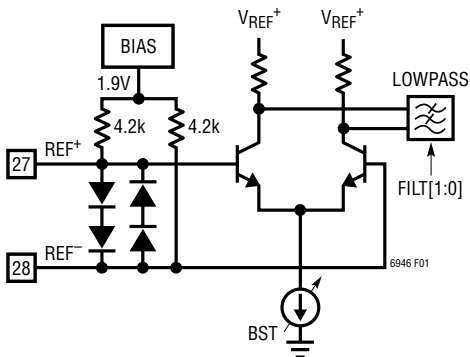


図1. REFインタフェースの簡略回路図

高品質の信号をREF<sup>+</sup>入力に与える必要があります。それらは、PLL全体の周波数の基準を与えるからです。デバイスの帯域内位相ノイズ特性を達成するには、少なくとも6dBmのCW信号を50 $\Omega$ に与えるか、またはスルーレートが少なくとも40V/ $\mu$ sの少なくとも0.5V<sub>P-P</sub>の方形波を与えます。

シリアル・ポート・レジスタh08により追加のオプションを利用することができます。アプリケーションをさらに洗練することができます。FILT[1:0]のビットは基準入力バッファのローパス・フィルタを制御します。これらのビットをf<sub>REF</sub>に基づいて設定して基準信号の広帯域ノイズを制限します。FILT[1:0]のビットは、正規化された帯域内位相ノイズフロアL<sub>M</sub>(NORM)に達するように、正しく設定する必要があります。推奨設定については、表1を参照してください。

BSTビットを入力信号レベルに基づいて設定し、基準入力バッファが飽和するのを防ぎます。推奨設定については表2を参照し、プログラミング例については「アプリケーション情報」のセクションを参照してください。

表1. FILT[1:0]のプログラミング

FILT[1:0]	f <sub>REF</sub>
3	<20MHz
2	NA
1	20MHz to 50MHz
0	>50MHz

表2. BSTのプログラミング

BST	V <sub>REF</sub>
1	<2.0V <sub>P-P</sub>
0	≥2.0V <sub>P-P</sub>

## 基準出力バッファ

基準出力バッファは、10MHzでノイズフロアが-155dBc/Hz(標準)の低ノイズ方形波を発生します。その出力は低インピーダンスであり、50 $\Omega$ 負荷に対して10MHzで標準0dBmの出力電力を発生します。大きなインピーダンスをドライブすると出力振幅が大きくなります。出力は自己バイアスされており、22nFのコンデンサでAC結合する必要があります(簡略回路図については、図2を参照)。このバッファは、シリアル・ポート・パワー・レジスタh02内のビットPDREFOを使ってパワーダウンすることができます。

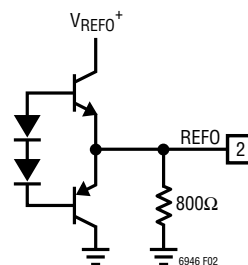


図2. REFOインタフェースの簡略回路図

## 動作

### 基準 (R) 分周器

PFD から見た周波数を下げるのに、10ビット分周器 (R\_DIV) が使われます。その分周比 R は、1 ~ 1023 の任意の整数に設定することができます。レジスタ h03 とレジスタ h04 の RD[9:0] ビットを使って、分周比 R を直接プログラムします。R と、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$  の間の関係については、「アプリケーション情報」のセクションを参照してください。

### 位相周波数検出器 (PFD)

位相周波数検出器 (PFD) は、チャージポンプと連携して、R 分周器と N 分周器の出力の間の位相差に比例したソース電流パルスとシンク電流パルスを発生します。この動作により、必要な帰還信号がフェーズロック・ループに与えられ、PFD の入力の位相が揃うように強制します。PFD は CPRST ビットによってディスエーブルすることができ、UP パルスと DOWN パルスが生じるのを防ぎます。PFD の簡略回路図に関しては、図 3 を参照してください。

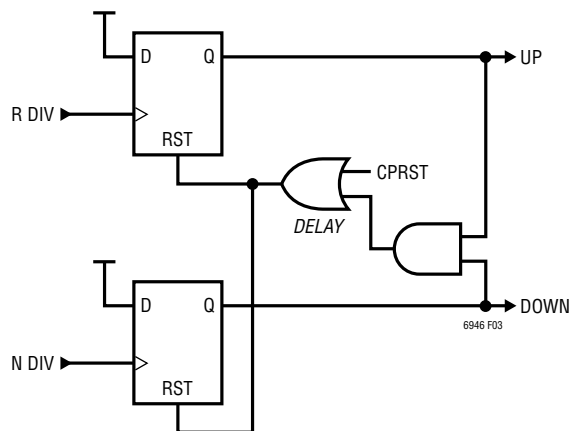


図 3. PFD の簡略回路図

### ロック・インジケータ

ロック・インジケータは PFD からの内部信号を使って、R 分周器と N 分周器の出力信号の間の位相の一致を測定します。これは、シリアル・ポート・レジスタ h07 の LKEN ビットを設定することによりイネーブルされ、LOCK と UNLOCK の両方の状態フラグを生成します。これらのフラグは STAT 出力とシリアル・ポート・レジスタ h00 の両方を介して利用することができます。

ユーザは LKWIN[1:0] ビットを使って、有効な LOCK 状態の位相差ロック・ウィンドウ時間 ( $t_{LWW}$ ) を設定します。異なる FPDF 周波数の推奨設定については表 3 を参照し、例については「アプリケーション情報」のセクションを参照してください。

表 3. LKWIN[1:0] のプログラミング

LKWIN[1:0]	$t_{LWW}$	$f_{PFD}$
0	3ns	>5MHz
1	10ns	$\leq 5$ MHz
2	30ns	$\leq 1.7$ MHz
3	90ns	$\leq 550$ kHz

PFD の位相差が、LOKCNT の数だけ連続してカウントする間  $t_{LWW}$  より小さいと、ロック・インジケータが LOCK フラグをアサートします。アプリケーションに従って LOKCNT を設定するには、レジスタ h09 の LKCNT[1:0] ビットを使います。LKCNT[1:0] のプログラミングについては表 4 を参照し、例については「アプリケーション情報」のセクションを参照してください。

表 4. LKCNT[1:0] のプログラミング

LKCNT[1:0]	カウント
0	32
1	128
2	512
3	2048

PFD の位相差が  $t_{LWW}$  より大きいと、ロック・インジケータは直ちに UNLOCK 状態フラグをアサートし、LOCK フラグをクリアして、ロックから外れた状態であることを表示します。位相差が  $t_{LWW}$  より小さくなると、UNLOCK フラグは直ちにデアサートされます。詳細については、図 4 を参照してください。

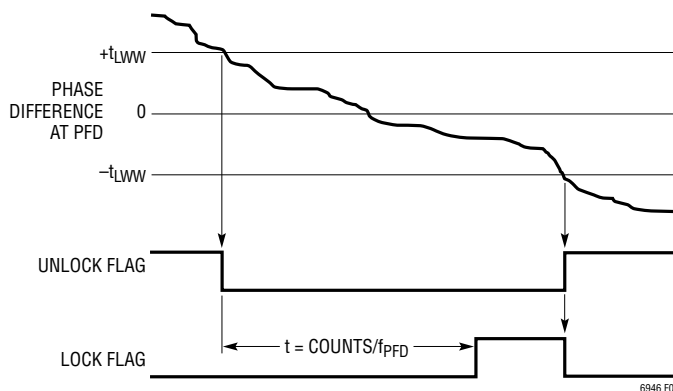


図 4. UNLOCK と LOCK のタイミング

## 動作

### チャージ・ポンプ

PFDによって制御されるチャージポンプが、シンク(DOWN)電流パルスまたはソース(UP)電流パルスをCPピンに強制します。このピンには適切なループ・フィルタを接続します。チャージポンプの簡略回路図に関しては、図5を参照してください。

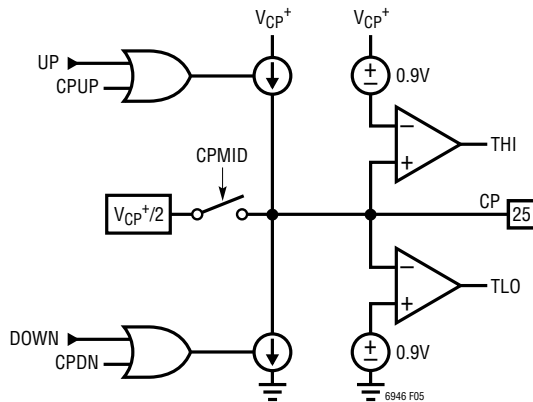


図5. チャージポンプの簡略回路図

出力電流の大きさ $I_{CP}$ は、シリアル・ポート・レジスタh09のCP[3:0]ビットを使って、 $250\mu\text{A} \sim 11.2\text{mA}$ に設定することができます。ループ・フィルタの部品のインピーダンスが小さいので、 $I_{CP}$ が大きいほど帯域内ノイズを低くすることができます。プログラミングの詳細については表5を参照し、ループ・フィルタの例については「アプリケーション情報」のセクションを参照してください。

表5. CP[3:0]のプログラミング

CP[3:0]	$I_{CP}$
0	$250\mu\text{A}$
1	$350\mu\text{A}$
2	$500\mu\text{A}$
3	$700\mu\text{A}$
4	$1.0\text{mA}$
5	$1.4\text{mA}$
6	$2.0\text{mA}$
7	$2.8\text{mA}$
8	$4.0\text{mA}$
9	$5.6\text{mA}$
10	$8.0\text{mA}$
11	$11.2\text{mA}$
12 to 15	Invalid

レジスタh0AのCPINVビットは、反転オペアンプを使った複雑な外部ループなど、PFDからの信号を反転する必要があるアプリケーションではセットします。図14に示されているような受動ループ・フィルタでは、CPINV = 0にします。

### チャージポンプの機能

チャージポンプには、システムの起動やモニタを助ける追加機能が備わっています。まとめとして表6を参照してください。

表6. チャージポンプの機能ビットの説明

ビット	説明
CPCHI	高電圧出力クランプをイネーブル
CPCLO	低電圧出力クランプをイネーブル
CPDN	シンク電流を強制
CPINV	PFDの位相を反転
CPMID	中電圧バイアスをイネーブル
CPRST	PFDをリセット
CPUP	ソース電流を強制
CPWIDE	電流パルス幅を拡張
THI	高電圧クランプ・フラグ
TLO	低電圧クランプ・フラグ

レジスタh0AのCPCHIビットとCPCLOビットは、それぞれ高電圧クランプと低電圧クランプをイネーブルします。CPCHIがイネーブルされ、CPピンの電圧がおおよそ $V_{CP^+} - 0.9\text{V}$ を超えると、THI状態フラグがセットされ、チャージポンプのソース電流がディスエーブルされます。代わりに、CPCLOがイネーブルされ、CPピンの電圧が約 $0.9\text{V}$ を下回ると、TLO状態フラグがセットされ、チャージポンプのシンク電流がディスエーブルされます。簡略ブロック図については、図5を参照してください。

レジスタh0AのCPMIDビットは抵抗性の $V_{CP^+}/2$ の出力バイアスをイネーブルします。このバイアスを使って、問題のあるループ・フィルタを有効な電圧範囲に予めバイアスすることができます。CPMIDを使うときは、CPRSTビットもアサートして、PFDのリセットを強制することを推奨します。通常動作では、CPMIDとCPRSTの両方をゼロに設定する必要があります。



## 動作

CPUPビットとCPDNビットはそれぞれ、一定の $I_{CP}$ のソース電流とシンク電流をCPピンに強制します。CPRSTビットは、CPUPビットおよびCPDNビットと組み合わせて使うこともでき、必要なら、ループのプリチャージを既知の状態にすることができます。ループがロックできるようにするには、CPUP、CPDN、およびCPRSTをゼロに設定する必要があります。

CPWIDEビットは、PFDリセットパスの遅延の値を大きくすることにより、チャージポンプの出力電流パルスの幅を広げます(図3を参照)。CPWIDEは通常はゼロに設定されます。

## VCO

内蔵VCOは3つの周波数範囲の1つで利用可能です。出力分周器を使って、出力周波数範囲をさらに広げることができます(詳細については、「利用できるオプション」の表を参照)。VCOの周波数範囲は広いので、出力分周器の能力と組み合わせると、LTC6946は連続的に選択可能な非常に広い周波数範囲をカバーすることができます。

### VCOの較正

VCOは、 $f_{REF}$ 、R分周器、またはN分周器のどれかによって(O分周器は除く)、その周波数を変更するたびに、較正する必要があります(R、N、O、および $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$ の各周波数の間の関係については、「アプリケーション情報」のセクションを参照)。そうすると、較正を行ったときの温度には関係なく、電源サイクルまたはソフトスタートによるパワーオン・リセット(POR)によってデバイスがリセットされるまで、LTC6946の全温度範囲で出力周波数が安定します。

ブロック図に示されているように、デジタル較正回路をクロックするには、B分周器の出力が使用されます。BD[3:0]のビットによってプログラムされるBの値は、式1に従って決められます。

$$B \geq \frac{f_{PFD}}{f_{CAL-MAX}} \quad (1)$$

デバイスのオプションごとの最大較正周波数 $f_{CAL-MAX}$ を表7に示します。

表7. 最大較正周波数

PART	$f_{CAL-MAX}$ (MHz)
LTC6946-1	1.0
LTC6946-2	1.33
LTC6946-3	1.7
LTC6946-4	1.8

BD[3:0]のビット、Bの値の間の関係を表8に示します。

表8. BD[3:0]のプログラミング

BD[3:0]	Bの分周比の値
0	8
1	12
2	16
3	24
4	32
5	48
6	64
7	96
8	128
9	192
10	256
11	384
12 to 15	Invalid

RD[9:0]、ND[15:0]、およびBD[3:0]のビットを書き込んだら、VCOを較正することができます。基準周波数 $f_{REF}$ もREF<sup>±</sup>入力に与えられ、安定している必要があります。

CALビットに1が書き込まれるたびに、較正サイクルが開始されます(このビットは自動的にクリアされます)。較正サイクルはB分周器の出力の12~14サイクルかかります。

## 動作

### VCOの自動レベル制御(ALC)

VCOは内部の自動レベル制御(ALC)アルゴリズムを使って、VCO共振器の最適振幅を維持し、それによって最適位相ノイズ特性を維持します。表9に示されているように、ユーザはいくつかのALS構成と状態報告を選択することができます。

表9. ALCビットの説明

ビット	説明
ALCCAL	CAL動作時にALCを自動イネーブル
ALCEN	ALCを常時イネーブル(ALCCAL、ALCMON、およびALCULOKをオーバーライド)
ALCHI	高すぎるALCに対するフラグ(共振器の振幅が高すぎる)
ALCLO	低すぎるALCに対するフラグ(共振器の振幅が低すぎる)
ALCMON	ALCによる状態フラグのみのモニタをイネーブル;振幅制御はイネーブルしない
ALCULOK	PLLがアンロックしたときALCを自動イネーブル

内部ALCの出力が変化すると、VCOの周波数に微小なジャンプが生じることがあります。このようなジャンプを受容できるアプリケーションがありますが、受容できないものもあります。ALCをいつアクティブにするか選択するのに上の表を使ってください。ALCがアクティブなとき、またはALCMONビットがセットされているときだけ有効な、ALCHIとALCLOのフラグを使って、共振器の振幅をモニタすることができます。

較正サイクル中またはその後、ALCの動作を許可する必要があります。少なくとも、ALCCAL、ALCEN、またはALCULOKのビットの1つをセットする必要があります。

### VCO (N)分周器

16ビットのN分周器はVCOからPFDへの帰還を与えます。その分周比Nは、32～65535の任意の整数に設定することができます。レジスタh05とレジスタh06のND[15:0]ビットを使って、分周比Nを直接プログラムします。Nと、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$ の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

### 出力(O)分周器

3ビットのO分周器はVCOの周波数を下げて、出力の周波数範囲を広げることができます。その分周比Oは、1～6の任意の整数に設定することができ、奇数の分周値であっても50%のデューティサイクルで出力します。レジスタh08のOD[2:0]

ビットを使って、分周比Oを直接プログラムします。Oと、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RF}$ の周波数の間の関係については、「アプリケーション情報」のセクションを参照してください。

### RF出力バッファ

低ノイズの差動出力バッファが、表10に従ってRFO[1:0]のビットを使って設定可能な、 $-6\text{dBm}$ ～ $3\text{dBm}$ の差動出力電力を発生します。出力は外部で組み合わせるか、個別に利用することができます。未使用の出力は、 $V_{RF^+}$ への $50\Omega$ 抵抗を使って終端します。

表10. RFO[1:0]のプログラミング

RFO[1:0]	$P_{RF}$ (差動)	$P_{RF}$ (シングルエンド)
0	$-6\text{dBm}$	$-9\text{dBm}$
1	$-3\text{dBm}$	$-6\text{dBm}$
2	$0\text{dBm}$	$-3\text{dBm}$
3	$3\text{dBm}$	$0\text{dBm}$

各出力は $V_{RF^+}$ への $136\Omega$ プルアップ抵抗付きのオープン・コレクタで、高い周波数でのインピーダンス整合が簡単です。回路の詳細については図6を参照し、整合のガイドラインについては「アプリケーション情報」のセクションを参照してください。バッファは、レジスタh02のOMUTEビットを使って、またはMUTE入力を“L”に強制することによって、ミュートすることができます。

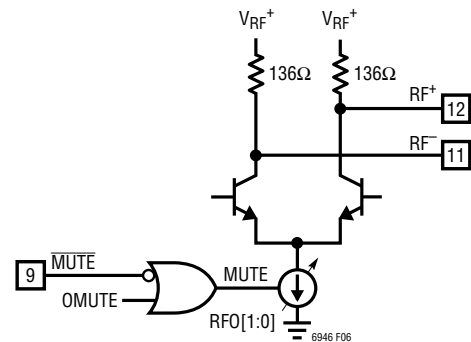


図6. RFインタフェースの簡略回路図

## 動作

### シリアル・ポート

SPI互換のシリアル・ポートは、制御およびモニタ機能を与えます。構成設定可能な状態出力(STAT)は追加の瞬時モニタ機能を与えます。

### 通信シーケンス

シリアル・バスは、 $\overline{\text{CS}}$ 、SCLK、SDI、およびSDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初に $\overline{\text{CS}}$ を“L”にしてLTC6946のポートをイネーブルすることにより、行われます。SDIに与えられた入力データはSCLKの立ち上がりエッジでクロックされます。全ての転送で、MSBが先頭にきます。通信バーストは、シリアル・バスのマスタが $\overline{\text{CS}}$ を“H”に戻すと終了します。詳細については図7を参照してください。

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。 $\overline{\text{CS}} = 1$ のとき、またはデバイスからデータが読み出されていないとき、SDOはスリーステート(Hi-Z)なので、リードバックをマルチドロップにする(シリアル・バスに複数のLTC6946を並列に接続する)ことができます。LTC6946をマルチドロップ構成で使用しない場合、またはシリアル・ポートのマスタが読み出しシーケンスの間にSDOラインのレベルを設定することができない場合、SDOとGNDの間に200kより大きな値の抵抗を接続して、Hi-Z状態の間にラインが確実に既知のレベルに戻るようすることを推奨します。詳細については図8を参照してください。

### 1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、12個のバイト幅のレジスタにより、状態と制御のデータを利用できます。全てのデータ・バーストは少なくとも2バイトで構成されます。最初のバイトの最上位7ビットはレジスタのアドレスです。1のLSBはデバイスからの読み出しを示し、0のLSBはデバイスへの書き込みを示します。それに続く1バイト、または複数バイトは、指定されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細な書き込みシーケンスの例については図9を、読み出しシーケンスについては図10を参照してください。

2つの書き込み通信バーストの例を図11に示します。シリアル・バスのマスタからSDIに送られる最初のバーストの最初のバイトには、宛先のレジスタ・アドレス(Addr0)および書き込みを示している0のLSBが含まれます。次のバイトは、アドレスがAddr0のレジスタ宛のデータです。続いて $\overline{\text{CS}}$ が“H”になり、転送が終了します。2番目のバーストの最初のバイトには、宛先のレジスタ・アドレス(Addr1)および書き込みを示しているLSBが含まれます。SDIの次のバイトは、アドレスがAddr1のレジスタ宛のデータです。続いて $\overline{\text{CS}}$ が“H”になり、転送が終了します。

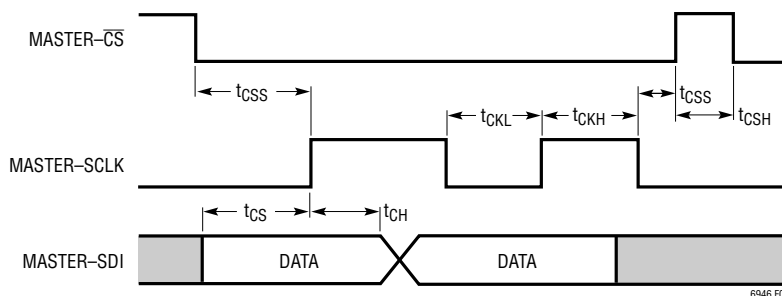


図7. シリアル・ポートの書き込みタイミング図

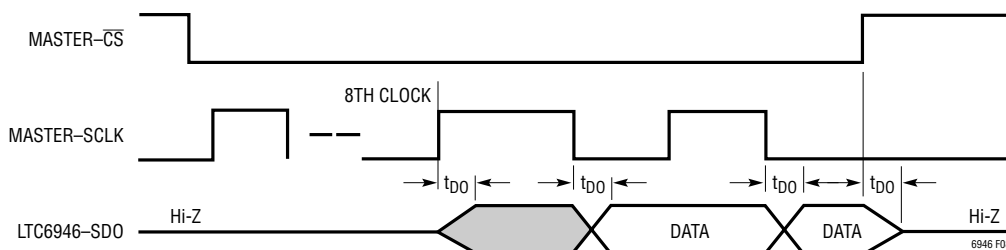


図8. シリアル・ポートの読み出しタイミング図

6946fb

## 動作

### 複数バイトの転送

複数バイトのもっと効率的なデータ転送は、図12に示されているように、LTC6946のレジスタ・アドレス自動インクリメント機能を使って実行することができます。シリアル・ポートのマスタは、前と同様に、最初のバイトで宛先レジスタのアドレスを送り、2番目のバイトでそのデータを送りますが、引き続き後続のレジスタ宛のバイトを送ります。バイト1のアドレスは  $Addr0 + 1$ 、バイト2のアドレスは  $Addr0 + 2$ 、以下同様です。レ

ジスタ・アドレス・ポインタが 11 (h0B) を過ぎてインクリメントしようとする、自動的に0にリセットします。

自動インクリメントによるデバイスからの読み出しの例を図13に示します。シリアル・バスのマスタからSDIに送られるバーストの最初のバイトには、宛先のレジスタ・アドレス (Addr0) および読み出しを示している1のLSBが含まれます。LTC6946が読み出しバーストを検出すると、SDOをHi-Z状態から抜け出させ、レジスタ Addr0 のデータから開始して、データ・バイトを

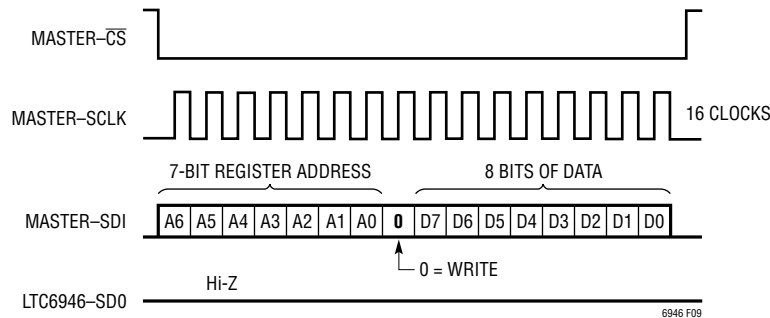


図9. シリアル・ポートの書き込みシーケンス

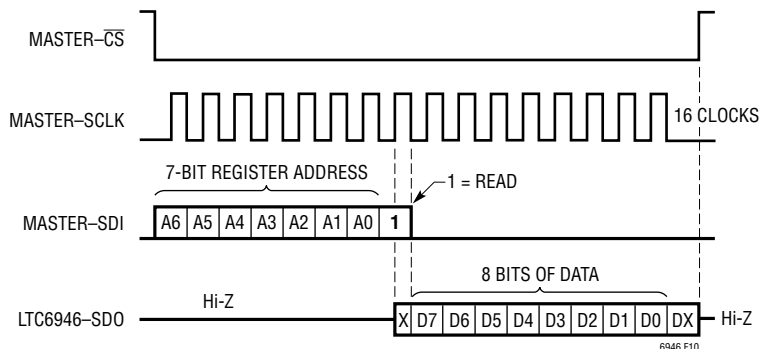


図10. シリアル・ポートの読み出しシーケンス

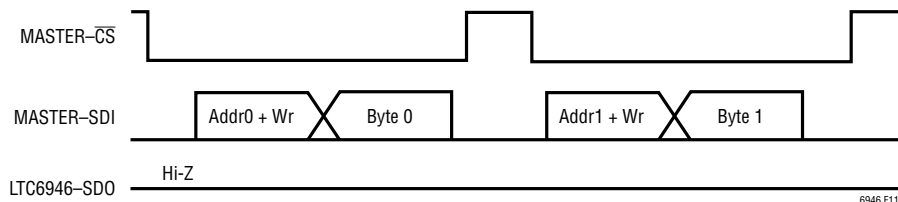


図11. シリアル・ポートのシングル・バイト書き込み

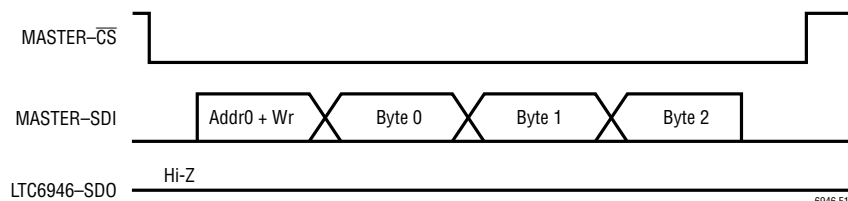


図12. シリアル・ポートの自動インクリメント書き込み

## 動作

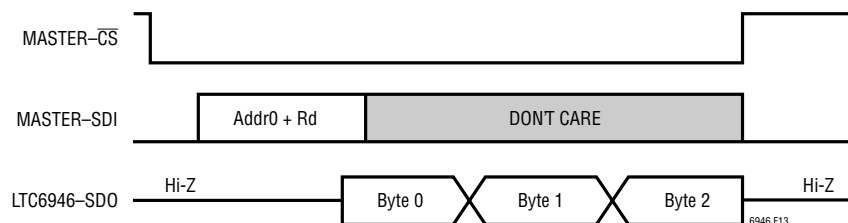


図13. シリアル・ポートの自動インクリメント読み出し

順に送り出します。デバイスは、バーストが終了するまで、SDIの他の全てのデータを無視します。

## マルチドロップ構成

複数のLTC6946がシリアル・バスを共有することができます。このマルチドロップ構成では、SCLK、SDI、およびSDOが全デバイス間で共通になります。シリアル・バスのマスタは各LTC6946ごとに別個のCSを使って、必ず1個のデバイスのCSだけがアサートされるようにする必要があります。値の大きな抵抗をSDOに接続して、Hi-Z状態の間ラインが既知のレベルに必ず戻るようにすることを推奨します。

## シリアル・ポート・レジスタ

LTC6946のメモリマップを表11に示します。詳細なビットの説明は表12に示します。ADDRの列に16進数で示されているレジスタ・アドレスは、各レジスタを指定するのに使います。各レジスタは読み出し専用(R)または読み出し/書き込み(R/W)のどちらかとして示されています。デバイスの起動時またはリセット後のレジスタの既定値が右側に示されています。

アドレスh00の読み出し専用レジスタは、異なる状態フラグを決めるのに使われます。これらのフラグは、レジスタh01を構成設定することにより、STATピンに直ちに出力することができます。詳細については「STAT出力」のセクションを参照してください。

アドレスh0Bの読み出し専用レジスタは、デバイスの識別のためのROMバイトです。

表11. シリアル・ポート・レジスタの内容

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
h00	*	*	UNLOCK	ALCHI	ALCLO	LOCK	THI	TLO	R	
h01	*	*	x[5]	x[4]	x[3]	x[2]	x[1]	x[0]	R/W	h04
h02	PDALL	PDPLL	PDVCO	PDOUT	PDREF0	MTCAL	OMUTE	POR	R/W	h0E
h03	BD[3]	BD[2]	BD[1]	BD[0]	*	*	RD[9]	RD[8]	R/W	h30
h04	RD[7]	RD[6]	RD[5]	RD[4]	RD[3]	RD[2]	RD[1]	RD[0]	R/W	h01
h05	ND[15]	ND[14]	ND[13]	ND[12]	ND[11]	ND[10]	ND[9]	ND[8]	R/W	h00
h06	ND[7]	ND[6]	ND[5]	ND[4]	ND[3]	ND[2]	ND[1]	ND[0]	R/W	hFA
h07	ALCEN	ALCMON	ALCCAL	ALCULOK	*	*	CAL	LKEN	R/W	h21
h08	BST	FILT[1]	FILT[0]	RFO[1]	RFO[0]	OD[2]	OD[1]	OD[0]	R/W	hF9
h09	LKWIN[1]	LKWIN[0]	LKCT[1]	LKCT[0]	CP[3]	CP[2]	CP[1]	CP[0]	R/W	h9B
h0A	CPCHI	CPCLO	CPMID	CPINV	CPWIDE	CPRST	CPUP	CPDN	R/W	hE4
h0B	REV[2]	REV[1]	REV[0]	PART[4]	PART[3]	PART[2]	PART[1]	PART[0]	R	hxx <sup>†</sup>

\*未使用 †バージョンに依存して変化

## 動作

表 12. シリアル・ポート・レジスタのビット・フィールドのまとめ

ビット	説明	デフォルト
ALCCAL	CAL 動作時に ALC を自動イネーブル	1
ALCEN	ALC を常にイネーブル (オーバーライド)	1
ALCHI	ALC が高すぎるフラグ	
ALCLO	ALC が低すぎるフラグ	
ALCMON	状態フラグだけの ALC モニタをイネーブル	0
ALCULOK	PLL がアンロックしたとき ALC をイネーブル	0
BD[3:0]	較正のための B 分周器の値	h3
BST	REF バッファのブースト電流	1
CAL	VCO の較正を開始 (自動クリア)	0
CP[3:0]	CP の出力電流	hB
CPCHI	CP の高電圧出力クランプをイネーブル	1
CPCLLO	CP の低電圧出力クランプをイネーブル	1
CPDN	CP のポンプダウンのみ	0
CPINV	CP の反転フェーズ	0
CPMID	ミッドレールへの CP バイアス	1
CPRST	CP スリーステート	1
CPUP	CP のポンプアップのみ	0
CPWIDE	CP のパルス幅を拡張	0
FILT[1:0]	REF 入力バッファのフィルタ	h3
LKCT[1:0]	PLL のロック・サイクルのカウント	h1
LKEN	PLL ロック・インジケータのイネーブル	1
LKWIN[1:0]	PLL ロック・インジケータのウィンドウ	h2
LOCK	PLL ロック・インジケータのフラグ	
MTCAL	較正時に出力をミュート	1
ND[15:0]	N 分周器の値 (ND[15:0] > 31)	h00FA
OD[2:0]	出力分周器の値 (0 < OD[2:0] < 7)	h1
OMUTE	RF 出力をミュート	1
PART[4:0]	デバイス・コード (LTC6946-1 は h01、LTC6946-2 は h02、LTC6946-3 は h03)	h01, h02, h03
PDALL	チップ全体のパワーダウン	0
PDOUT	O_DIV、RF 出力バッファをパワーダウン	0
PDPLL	REF、REFO、R_DIV、PFD、CPUMP、N_DIV をパワーダウン	0
PDREFO	REFO をパワーダウン	1
PDVCO	VCO、N_DIV をパワーダウン	0
POR	パワーオン・リセットを強制	0
RD[9:0]	R 分周器の値 (RD[9:0] > 0)	h001
REV[2:0]	リビジョン・コード	
RFO[1:0]	RF 出力電力	h3
THI	CP のクランプ・ハイ・フラグ	
TLO	CP のクランプ・ロー・フラグ	
UNLOCK	PLL アンロック・フラグ	
x[5:0]	STAT 出力の OR マスク	h04

## STAT 出力

STAT 出力ピンはレジスタ h01 の x[5:0] ビットによって設定されます。これらのビットは、式 2 に従って、状態レジスタ h00 の対応する状態フラグをビットサイズでマスクするか、またはイネーブルするのに使われます。このビットサイズのブール演算の結果は、次に STAT ピンに出力されます。

$$\text{STAT} = \text{OR} (\text{Reg00}[5:0] \text{ AND } \text{Reg01}[5:0]) \quad (2)$$

つまり、次のように展開されます。

$$\begin{aligned} \text{STAT} = & (\text{UNLOCK AND } x[5]) \text{ OR} \\ & (\text{ALCHI AND } x[4]) \text{ OR} \\ & (\text{ALCLO AND } x[3]) \text{ OR} \\ & (\text{LOCK AND } x[2]) \text{ OR} \\ & (\text{THI AND } x[1]) \text{ OR} \\ & (\text{TLO AND } x[0]) \end{aligned}$$

たとえば、アプリケーションで、ALCHI、ALCLO、または THI のフラグがセットされると STAT が“H”になるようにする必要があります。x[4]、x[3]、および x[1] を 1 に設定し、h1A のレジスタ値を与えます。

## ブロック・パワーダウン制御

LTC6946 のパワーダウン制御ビットはレジスタ h02 に置かれており、表 12 で説明されています。デバイスの異なる部分を個別にパワーダウンすることができます。レジスタの LSB、つまり POR (パワーオン・リセット) ビットには注意する必要があります。1 を書き込むと、このビットはデバイスのデジタル回路をその起動時の既定状態に強制的にリセットします。

## アプリケーション情報

### はじめに

PLLは複雑なフィードバック・システムで、概念的には周波数乗算器と考えることができます。このシステムは、REF<sup>±</sup>の周波数入力を乗算し、RF<sup>±</sup>にもっと高い周波数を出力します。PFD、チャージポンプ、N分周器、および外部のVCOとループ・フィルタがフィードバック・ループを形成して、出力周波数を正確に制御します(図14を参照)。R分周器とO分周器が、出力周波数の分解能を設定するのに使われます。

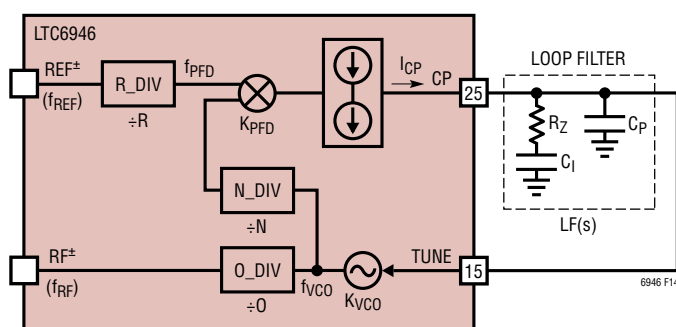


図14. PLLループの図

### 出力周波数

ループがロックしているとき、VCOの出力に生じる周波数 $f_{VCO}$ (単位はHz)は、基準周波数( $f_{REF}$ )およびR分周器とN分周器の値によって決まり、式3によって与えられます。

$$f_{VCO} = \frac{f_{REF} \cdot N}{R} \quad (3)$$

ここで、発生するPFDの周波数 $f_{PFD}$ は次式で与えられます。

$$f_{PFD} = \frac{f_{REF}}{R} \quad (4)$$

あるいは、 $f_{VCO}$ を次のように表すことができます。

$$f_{VCO} = f_{PFD} \cdot N$$

O分周器の出力に生じる出力周波数 $f_{RF}$ は式5によって与えられます。

$$f_{RF} = \frac{f_{VCO}}{O} \quad (5)$$

上の諸式を使うと、Nの単位変化によって生じる出力周波数の分解能 $f_{STEP}$ は式6によって与えられます。

$$f_{STEP} = \frac{f_{REF}}{R \cdot O} \quad (6)$$

### ループ・フィルタの設計

PLLシステムを安定させるには、外部ループ・フィルタの値の選択に注意が必要です。www.linear-tech.co.jpから入手できる、リニアテクノロジーのPLLWizardアプリケーションは、システム全体の設計およびシミュレーションを助けます。

ループの設計には、以下のアルゴリズムを使います。

1. 出力周波数( $f_{RF}$ )と周波数ステップの大きさ( $f_{STEP}$ )を、アプリケーションの要件に基づいて決めます。式3、4、5、および6を使って、アプリケーションの周波数の制約条件が満たされるまで、 $f_{REF}$ 、N、R、およびOを変化させます。制約条件を満たす最小のR値を使います。次に、式1と表7を使ってBを計算します。
2.  $f_{PFD}$ によって制約された開ループ帯域幅(BW)を選択します。ループを安定させるには、BWを $f_{PFD}$ より少なくとも1桁小さくする必要があります。
3. ループ・フィルタの部品 $R_Z$ とチャージポンプ電流 $I_{CP}$ を、BWとVCOの利得係数( $K_{VCO}$ )に基づいて選択します。BW(単位はHz)は次式によって近似します。

$$BW \cong \frac{I_{CP} \cdot R_Z \cdot K_{VCO}}{2 \cdot \pi \cdot N} \quad (7)$$

または、

$$R_Z = \frac{2 \cdot \pi \cdot BW \cdot N}{I_{CP} \cdot K_{VCO}}$$

ここで、 $K_{VCO}$ の単位はHz/V、 $I_{CP}$ の単位はアンペア、 $R_Z$ の単位はオームです。

$K_{VCO}$ は、「電気的特性」のVCOの同調感度から求められます。部品の値によってもっと低い設定値に強制されない限り、 $I_{CP} = 11.2\text{mA}$ を使って帯域内ノイズを下げます。

## アプリケーション情報

4. ループ・フィルタの部品  $C_I$  と  $C_P$  を、 $BW$  と  $R_Z$  に基づいて選択します。ループのコンデンサには以下の式を使うことによって(単位はファラッド)、信頼性の高いループを実現することができます。

$$C_I = \frac{3.5}{2 \cdot \pi \cdot BW \cdot R_Z} \quad (8)$$

$$C_P = \frac{1}{7 \cdot \pi \cdot BW \cdot R_Z} \quad (9)$$

## 設計とプログラミングの例

このプログラミング例は、LTC6946-3とともにDC1705Aを使います。必要な以下のパラメータを仮定します。

$$f_{REF} = 20\text{MHz} \quad (50\Omega \text{に} 7\text{dBm})$$

$$f_{STEP} = 125\text{kHz}$$

$$f_{RF} = 2.4\text{GHz}$$

「電気的特性」の表から

$$f_{VCO} = 3.840\text{GHz} \sim 5.790\text{GHz}$$

$$K_{VCO\%} = 4.0\% \text{Hz/V} \sim 6.0\% \text{Hz/V}$$

## 分周器の値の決定

「ループ・フィルタの設計アルゴリズム」に従って、分周器の全ての値を決めます。式2、3、4、および5を使って、以下の値を計算します。

$$O = 2$$

$$R = 20\text{MHz} / (125\text{kHz} \cdot 2) = 80$$

$$f_{PFD} = 250\text{kHz}$$

$$N = 2 \cdot 2.4\text{GHz} / 250\text{kHz} = 19200$$

$$f_{VCO} = 4.8\text{GHz}$$

また、式1または表7からBを決めます。

$$B = 8 \text{ および } BD[3:0] = 0$$

アルゴリズムの次のステップは、開ループ帯域幅を決めることです。 $BW$ は $f_{PFD}$ より少なくとも1桁小さくします。ループの帯域幅が広いほど、VCOの位相ノイズのシグネチャに依存して、

積分位相ノイズが下がり、帯域幅が狭いほど、スプリアス電力が下がる可能性があります。この設計例では15の係数を使います。

$$BW = \frac{250\text{kHz}}{15} = 16.7\text{kHz}$$

## ループ・フィルタの部品の選択

ここで、ループ・フィルタ抵抗 ( $R_Z$ ) とチャージポンプ電流 ( $I_{CP}$ ) を設定します。 $K_{VCO}$  はVCOの周波数範囲で変化するので、 $K_{VCO}$ の幾何平均を使うと良い結果が得られます。11.2mAの $I_{CP}$ を使うと、 $R_Z$ が決まります。

$$K_{VCO} = 4.8 \cdot 10^9 \cdot \sqrt{0.04 \cdot 0.06} = 235\text{MHz/V}$$

$$R_Z = \frac{2 \cdot \pi \cdot 16.7\text{k} \cdot 19200}{11.2\text{m} \cdot 235\text{M}}$$

$$R_Z = 765\Omega$$

ここで、式7と式8から $C_I$ と $C_P$ を計算します。

$$C_I = \frac{3.5}{2 \cdot \pi \cdot 16.7\text{k} \cdot 765} = 44\text{nF}$$

$$C_P = \frac{1}{7 \cdot \pi \cdot 16.7\text{k} \cdot 765} = 3.6\text{nF}$$

## 状態出力のプログラミング

この例では、LTC6946がフォールト状態を発生すると、STATピンを使ってシステムにアラートを出します。 $x[5]$ 、 $x[4]$ 、 $x[3]$ 、 $x[1]$ 、 $x[0] = 1$ にプログラムして、UNLOCK、ALCHI、ALCLO、THIまたはTLOのどのフラグがアサートされる時も、STATピンを“H”に強制します。

$$\text{Reg01} = \text{h3B}$$

## パワー・レジスタのプログラミング

PLLを正しく動作させるには、全ての内部ブロックをイネーブしますが、REFOピンを使用しない場合はPDREFOをセットします。プログラミングが完了するまで、OMUTEをアサートしたままにする(またはMUTEピンを“L”に保つ)ことができます。PDREFO = 1 および OMUTE = 1 の場合:

$$\text{Reg02} = \text{h0A}$$



## アプリケーション情報

### 分周器のプログラミング

前に決めた、B、R、およびNの各分周器の値を使って、レジスタReg03～Reg06をプログラムします。

Reg03 = h00

Reg04 = h50

Reg05 = h4B

Reg06 = h00

### VCOのALCおよび較正のプログラミング

これで、全ての分周器レジスタがプログラムされたので、REF<sup>+</sup>の基準周波数が安定していると仮定して、VCOを較正します。ALCのオプション(ALCMON = 1、ALCCAL = 1)およびロック・イネーブル・ビット(LKEN = 1)を同時にセットします。

Reg07 = h63

これで、LTC6946はそのVCOを較正します。ALCは較正サイクルの間だけアクティブですが、ALCHIとALCLOの状態はモニタされます。

### 基準入力の設定と出力分周器のプログラミング

表1から、20MHzの基準周波数ではFILT = 1です。

次に、7dBmをV<sub>P-P</sub>に変換します。CWトーンの場合、R = 50として次の式を使います。

$$V_{P-P} \cong \sqrt{R} \cdot 10^{(dBm-21)/20} \quad (10)$$

これにより、V<sub>P-P</sub> = 1.41Vとなり、表2に従って、BST = 1に設定します。

ここで、最大RF<sup>+</sup>出力電力(表10に従って、RFO[1:0] = 3)およびOD[2:0] = 2を仮定して、Reg08をプログラムします。

Reg08 = hBA

### ロックの検出とチャージポンプ電流のプログラミング

次に、f<sub>PF</sub>Dからロック・インジケータのウィンドウを決めます。表3から、90nsのt<sub>LWW</sub>ではLKWIN[1:0] = 3です。LTC6946は、下の計算のように、位相がPFDのところまで8°以内に一致している限り、ループは「ロックされている」とみなします。

$$\text{位相} = 360^\circ \cdot t_{LWW} \cdot f_{PF}D = 360 \cdot 90n \cdot 250k \cong 8^\circ$$

LKWIN[1:0]は、もっと控えめにするために、もっと小さな値に設定することができます。ただし、値が小さすぎると、ループの本来の位相ノイズにより、誤った「アンロック」が生じる可能性があります。

正しいLOKCNTの選択は、ループの帯域幅とPFD周波数の比(BW/f<sub>PF</sub>D)に依存します。比が小さいほど、LOKCNTの値が大きくなります。1/15の比では、128のLOKCNTの値でうまくいきます。表4から、128のカウントに対応するLKCNT[1:0]は1です。

前に選択した11.2mAのI<sub>CP</sub>で表5を使うと、CP[3:0] = 11 (hB)が得られます。この情報で、Reg09をプログラムするには十分です。

Reg09 = hDB

### チャージポンプ機能のプログラミング

この例では、追加の電圧クランプ機能を使うので、CPCHI = 1およびCPCLO = 1に設定することにより、フォールト状態をモニタすることができます。何かが起きてシステムが目標周波数にロックできなくなると、チャージポンプの出力がGNDまたはV<sub>CP</sub><sup>+</sup>に向かって変化し、それぞれTLOまたはTHIの状態フラグをセットします。他の全てのチャージポンプ機能(CPMID、CPINV、CPRST、CPUPおよびCPDN)をディスエーブルして、ループがロックできるようにします。

Reg0A = hC0

これでループはロックします。ここで、OMUTE = 0に設定することにより、出力のミュートを解除します(MUTEピンは「H」とあると想定しています)。

Reg02 = h08

### 基準源に関する検討事項

高品質の信号をREF<sup>+</sup>入力に与える必要があります。それらは、PLL全体の周波数の基準を与えるからです。前に述べたように、デバイスの帯域内位相ノイズ特性を達成するには、少なくとも6dBmのCW信号を50Ωに与えるか、またはスルーレートが少なくとも40V/μsの少なくとも0.5V<sub>P-P</sub>の方形波を与えます。

LTC6946はシングルエンドでCMOSレベル(2.7V<sub>P-P</sub>より上)にドライブすることができます。基準信号を、DCブロッキング・コンデンサなしに、REF<sup>+</sup>に直接与え、REF<sup>-</sup>をGNDに47pFのコンデンサでバイパスします。BSTビットも、表2に与えられているガイドラインに従って、ゼロに設定する必要があります。

## アプリケーション情報

LTC6946は、 $-226\text{dBc/Hz}$  (標準)の帯域内の正規化された位相ノイズフロアを達成します。その等価入力位相ノイズフロア  $L_M(\text{IN})$ を計算するには、次の式11を使います。

$$L_M(\text{IN}) = -226 + 10 \cdot \log_{10}(f_{\text{REF}}) \quad (11)$$

たとえば、10MHzの基準周波数を使うと、 $-156\text{dBc/Hz}$ の入力位相ノイズフロアになります。システム全体の性能を制限しないためには、基準周波数源の位相ノイズは、これより少なくとも3dB良くなければなりません。

## 帯域内出力位相ノイズ

$f_{\text{RF}}$ に生じる帯域内位相ノイズは、式12を使って計算することができます。

$$L_{M(\text{OUT})} = -226 + 10 \cdot \log_{10}(f_{\text{PFD}}) + 20 \cdot \log_{10}\left(\frac{f_{\text{RF}}}{f_{\text{PFD}}}\right) \quad (12)$$

or

$$L_{M(\text{OUT})} = -226 + 10 \cdot \log_{10}(f_{\text{PFD}}) + 20 \cdot \log_{10}\left(\frac{N}{O}\right)$$

見られるとおり、PFDのある周波数  $f_{\text{PFD}}$  に対して、出力の帯域内位相ノイズは、N分周器のカウントのデカード当たり20dBの率で増加します。したがって、ある出力周波数  $f_{\text{RF}}$  に対して、 $f_{\text{PFD}}$  をできるだけ大きくし(つまり、Nをできるだけ小さくし)、なおかつアプリケーションの周波数ステップ・サイズの要件を満たすようにします。

## 1/fノイズによる出力位相ノイズ

非常に低いオフセット周波数での帯域内位相ノイズは、 $f_{\text{PFD}}$  に依存して、LTC6946の1/fノイズによって影響されることがあります。 $-274\text{dBc/Hz}$ の正規化された帯域内1/fノイズを式13を使って、ある周波数オフセット  $f_{\text{OFFSET}}$  での出力の1/f位相ノイズを近似します。

$$L_{M(\text{OUT-1/f})}(f_{\text{OFFSET}}) = -274 + 20 \cdot \log_{10}(f_{\text{RF}}) - 10 \cdot \log_{10}(f_{\text{OFFSET}}) \quad (13)$$

帯域内ノイズフロア  $L_M(\text{OUT})$ とは異なり、1/fノイズ  $L_{M(\text{OUT-1/f})}$  は  $f_{\text{PFD}}$  とともに変化することはない、オフセット周波数にわたって一定です。3MHzおよび100MHzの  $f_{\text{PFD}}$  の帯域内位相ノイズ

の例については、図15を参照してください。合計位相ノイズは、 $L_M(\text{OUT})$ と  $L_{M(\text{OUT-1/f})}$ の和になります。

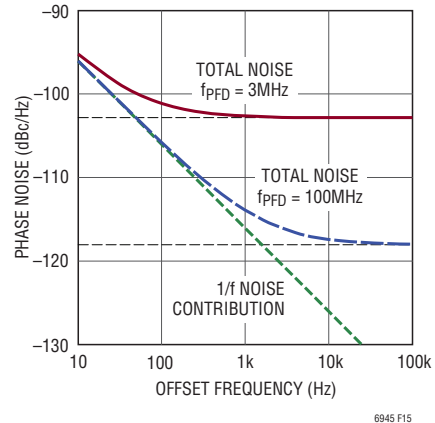


図15. 理論的帯域内位相ノイズ ( $f_{\text{RF}} = 2500\text{MHz}$ )

## RF出力の整合

RF<sup>+</sup>出力は、シングルエンドまたは差動のいずれの構成方法でも使用できます。RF出力を差動で使うと、出力電力がシングルエンドよりも約3dB大きくなります。両方の場合とも、外部負荷へのインピーダンス整合のために、 $V_{\text{RF}}^+$ に接続した外部チョークが必要です。インピーダンス整合ネットワークの設計に役立つように、RF<sup>+</sup>の測定されたsパラメータを下の表13に示します。

表13. シングルエンドRFの出力インピーダンス

周波数 (MHz)	インピーダンス (オーム)	S11 (dB)
500	102.8 - j49.7	-6.90
1000	70.2 - j60.1	-6.53
1500	52.4 - j56.2	-6.35
2000	43.6 - j49.2	-6.58
2500	37.9 - j39.6	-7.34
3000	32.7 - j28.2	-8.44
3500	27.9 - j17.8	-8.99
4000	24.3 - j9.4	-8.72
4500	22.2 - j3.3	-8.26
5000	21.6 + j1.9	-8.02
5500	21.8 + j6.6	-7.91
6000	23.1 + j11.4	-8.09
6500	25.7 + j16.9	-8.38
7000	29.3 + j23.0	-8.53
7500	33.5 + j28.4	-8.56
8000	37.9 + j32.6	-8.64

## アプリケーション情報

シングルエンドのインピーダンス整合は、図16の回路を使って達成することができます。部品の値を表14に示します。**推奨値より小さいインダクタンスを使うと、特に低い中心周波数で、位相ノイズが悪化することがあります。**

表14. シングルエンド整合の推奨部品値

$f_{RF}$ (MHz)	$L_C$ (nH)	$C_S$ (pF)
350 to 1500	180	270
1000 to 5800	68	100

上の部品値を使ったDC1705Aで測定されたリターン損失を図17に示します。広帯域整合は、(68nH、100pF)または(180nH、270pF)の( $L_C$ 、 $C_S$ )を使って達成されます。ただし、最大の出力電力と最良の位相ノイズ特性を得るには、表14の推奨部品値を使用します。 $L_C$ には、CoilcraftのHPシリーズのチップ・インダクタのような、最大のQ係数とSRFの巻線インダクタを選択します。

LTC6946の差動 $RF^{\pm}$ 出力は、シングルエンド負荷をドライブするため、外部バランを使って結合することができます。利点として、各出力を個別に使う場合より出力電力が約3dB増え、2次高調波特性が良くなります。

低い周波数では、M/A-COMのMABACT0065やTOKOの#617DB-1673のような伝送ライン・バラン(TL)により、良い結果が得られます。高い周波数では、TDK、Anaren、Johanson Technologyなどの表面実装(SMT)バランが魅力的な代替品になることがあります。推奨バランの製品番号と周波数範囲に関しては、表15を参照してください。

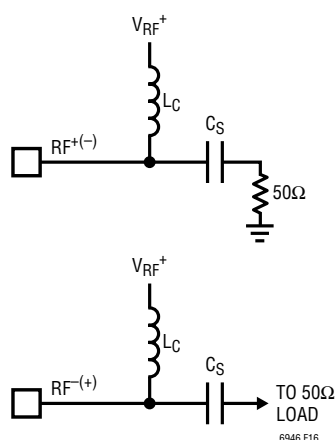
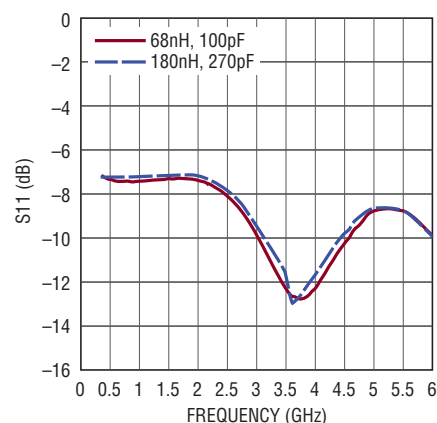


図16. シングルエンド出力の整合回路



6946 F17

図17. シングルエンドのリターン損失

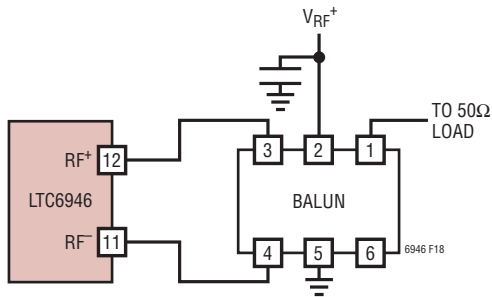
リストされているSMTバランには、 $RF^{\pm}$ をバイアスする内部チョークが含まれており、入力から出力へのDC絶縁も与えます。GNDまたはDC FEEDと記されているピンは $V_{RF^+}$ 電圧に接続します。DC FEEDピンを使った表面実装バランの接続方法を図18に示します。

表15. 推奨バラン

$f_{RF}$ (MHz)	製品番号	メーカー	タイプ
350 to 900	#617DB-1673	TOKO	TL
400 to 600	HHM1589B1	TDK	SMT
600 to 1400	BD0810J50200	Anaren	SMT
600 to 3000	MABACT0065	M/A-COM	TL
1000 to 2000	HHM1518A3	TDK	SMT
1400 to 2000	HHM1541E1	TDK	SMT
1900 to 2300	2450BL15B100E	Johanson	SMT
2000 to 2700	HHM1526	TDK	SMT
3700 to 5100	HHM1583B1	TDK	SMT
4000 to 6000	HHM1570B1	TDK	SMT

リストされているTLバランは入力と出力の間がDC絶縁されていないので、出力でAC結合する必要があります。これらのバランを使った $RF^{\pm}$ 接続を図18に示します。

## アプリケーション情報



**BALUN PIN CONFIGURATION**

1	UNBALANCED PORT
2	GND OR DC FEED
3	BALANCED PORT
4	BALANCED PORT
5	GND
6	NC

図 18. SMT バランの接続例

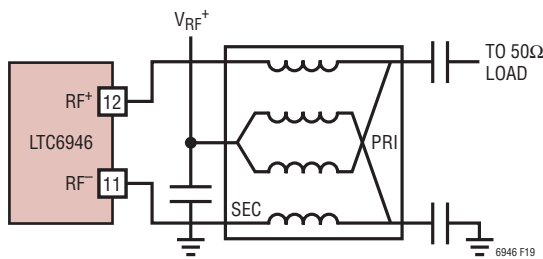


図 19. TL バランの接続例

### 電源バイパスおよびPCB レイアウトに関するガイドライン

PCBをレイアウトするときは、電源デカップリングとグラウンドのインダクタンスを最小に抑えるよう注意が必要です。電源  $V_{RF}^+$  の全てのピンを、 $0.1\mu\text{F}$  のコンデンサをできるだけピンの近くに使って、グラウンド・プレーンに直接バイパスします。電源デカップリング・コンデンサを含む全てのグラウンド接続に、グラウンド・プレーンへの複数のビアを使います。

パッケージの露出パッドはグラウンド接続なので、PCBのランドに直接半田付けする必要があります。PCBのランドパターンには、グラウンド・インダクタンスと熱抵抗の両方を減らすためにグラウンド・プレーンへの複数のサーマル・ビアを配置します(図20の例を参照)。ランド・パターンとランド・ビアの半田マスクに関する具体的な推奨事項に関しては、リニアテクノロジーのWebサイトのパッケージ情報のページの「QFNパッケージユーザガイド」の8ページを参照してください。下にリンクを示します。

<http://www.linear-tech.co.jp/designtools/packaging/index.jsp>

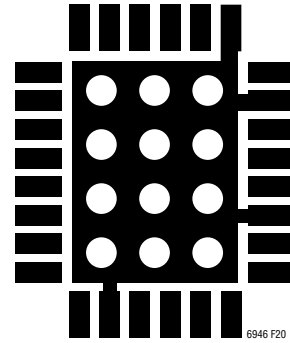


図 20. 露出パッドのランド・パターンの例

### 基準信号の配線、スプリアス・ノイズと位相ノイズ

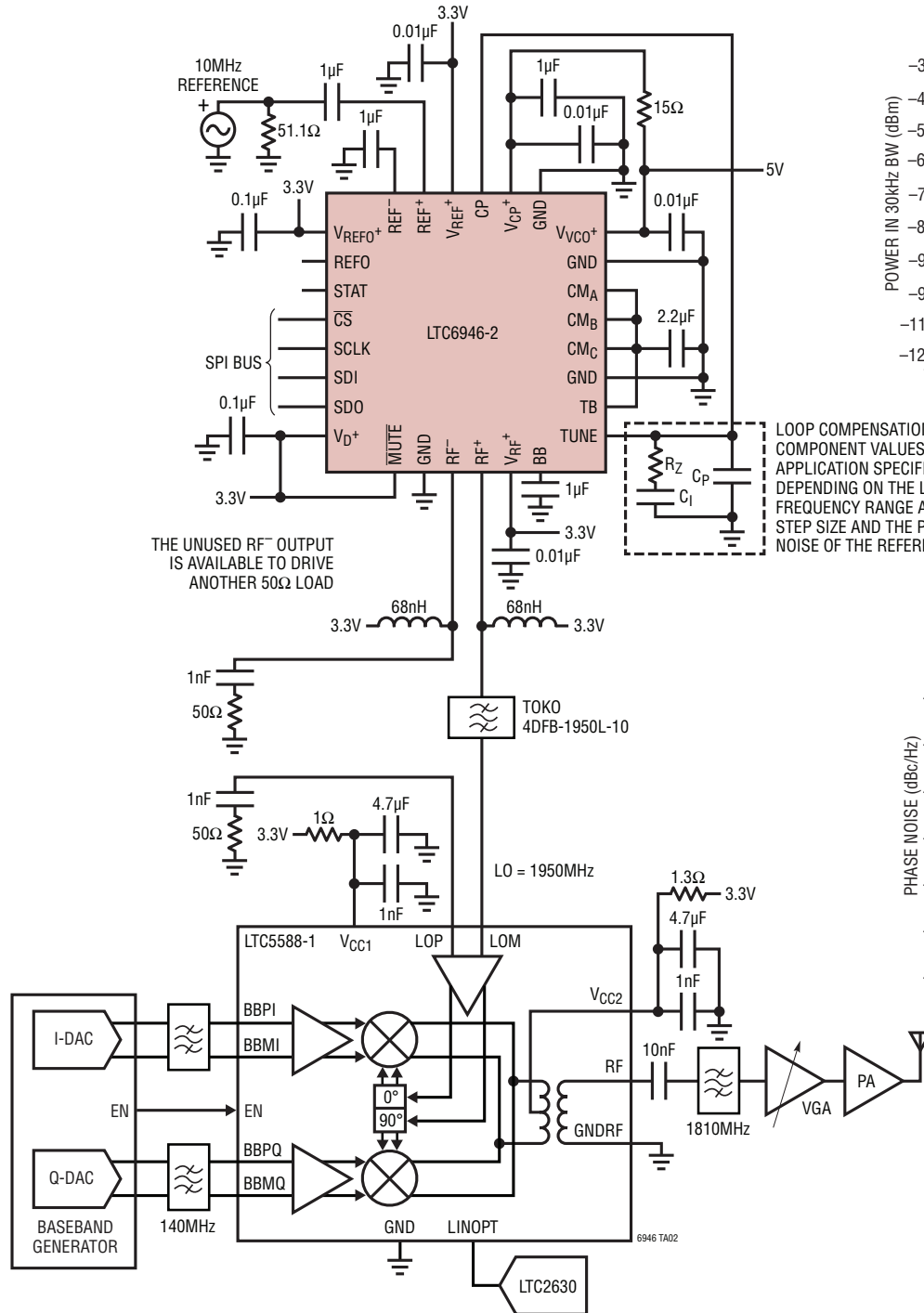
チャージポンプはPFDの比較周波数  $f_{\text{PFD}}$  で動作します。結果として生じる出力のスプリアス・エネルギーは小さく、VCO周波数を変調する前にループ・フィルタによってさらに減少します。

ただし、PCBのレイアウトが不適切だと、LTC6946の本来のスプリアス性能が低下することがあります。基準信号  $f_{\text{REF}}$  が、VCOの同調ライン、または他のループ・フィルタの信号に結合するのを防ぐように、注意する必要があります。推奨事項は以下のとおりです。

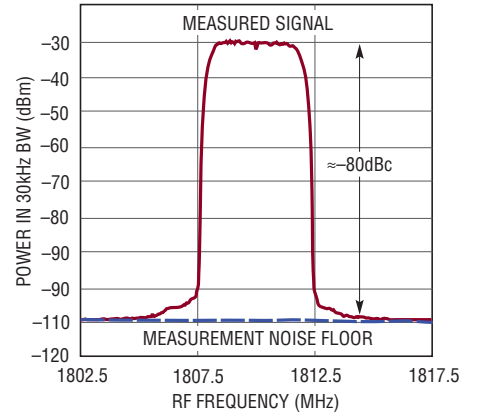
1. 同電圧の電源ピンの間では電源デカップリング・コンデンサを共有しないでください。
2. 各電源デカップリング・コンデンサ、特に  $V_{\text{REF}}^+$ 、 $V_{\text{CP}}^+$ 、および  $V_{\text{VCO}}^+$  に接続するコンデンサには別々にグラウンド・ビアを使います。
3. ループ・フィルタおよびVCOからの基準周波数信号は物理的に離します。
4. パッケージの下の、 $\text{CM}_A$ 、 $\text{CM}_B$  および  $\text{CM}_C$  の各パッドの間にはトレースを配置しないでください。位相ノイズが悪化する可能性があります。

アプリケーション情報

変調器をドライブするLTC6946-2

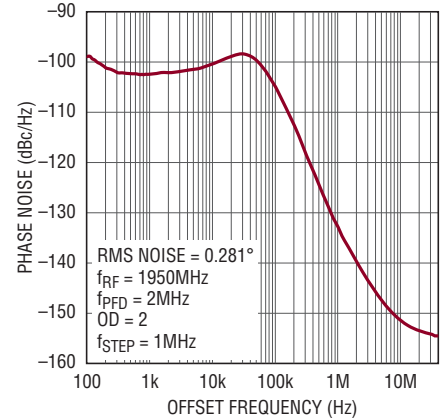


測定された W-CDMA ACPR (3.84MHz 帯域幅)



6946 TA02b

LTC6946-2の変調器 アプリケーションの位相ノイズ

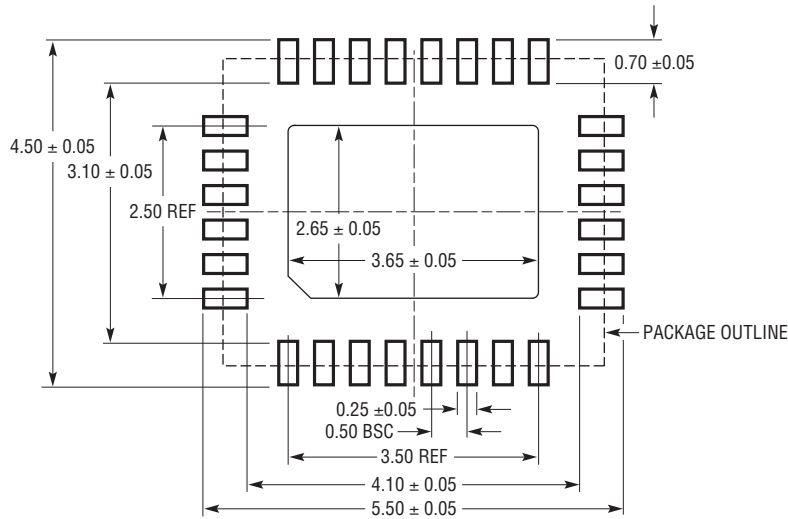


6946 TA02c

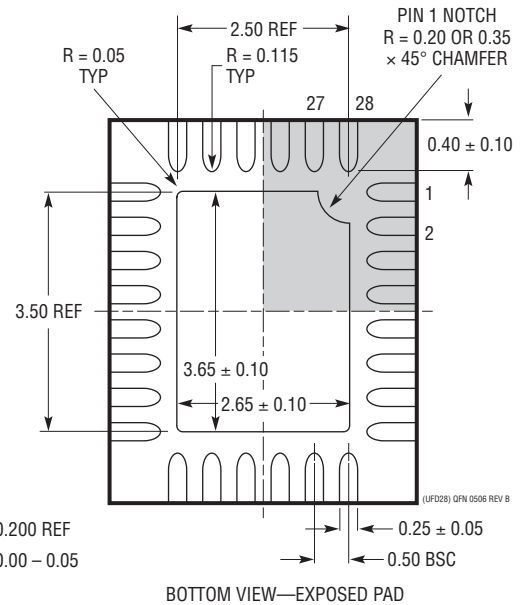
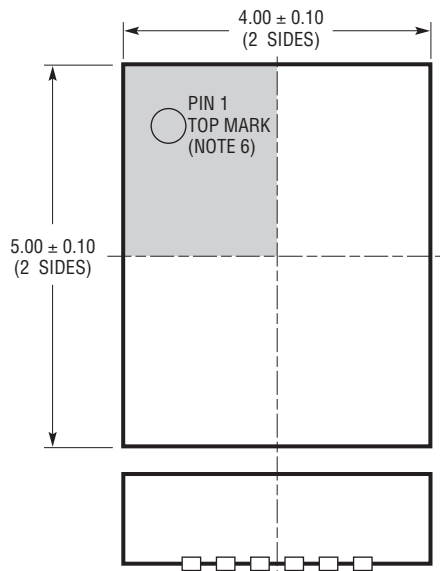
## パッケージ

パッケージの最新の図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

### UFD Package 28-Lead Plastic QFN (4mm × 5mm) (Reference LTC DWG # 05-08-1712 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



#### NOTE:

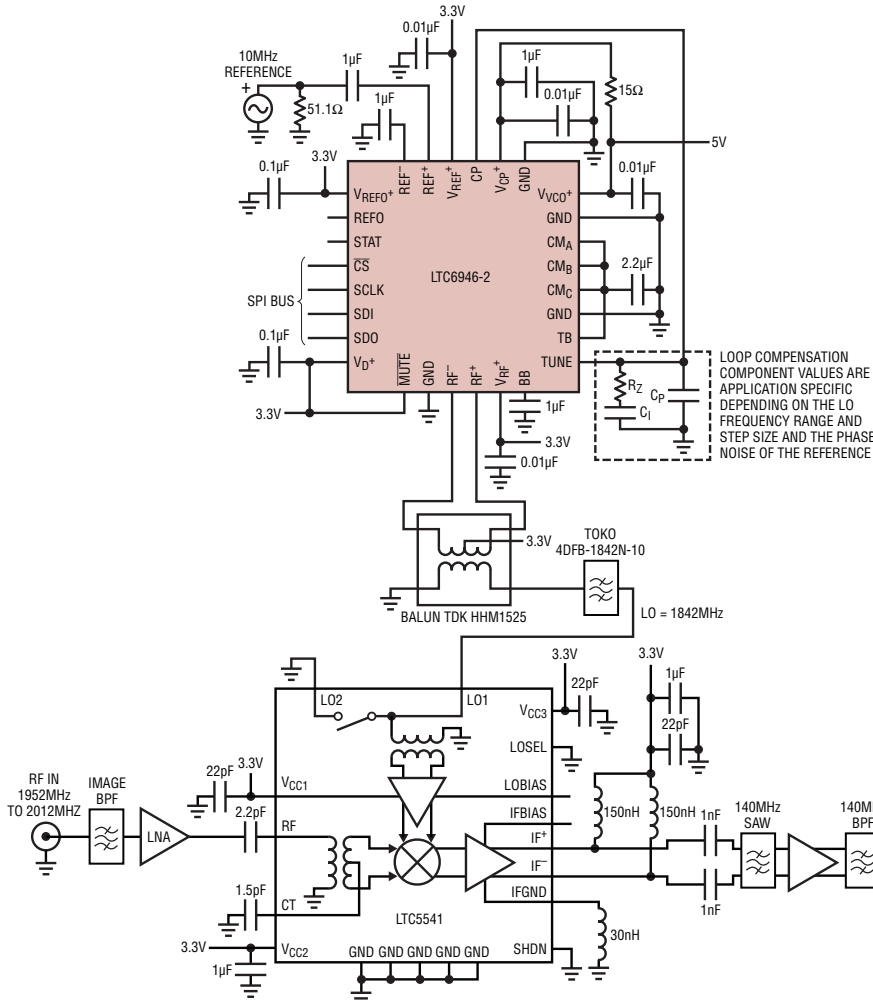
1. 図は JEDEC パッケージ外形 M0-220 のバリエーション (WXXX-X) にするよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

## 改訂履歴

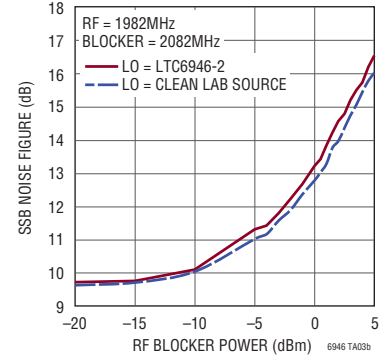
REV	日付	概要	ページ番号
A	11/11	I <sub>OL</sub> を追加し、最大値を削除、I <sub>OH</sub> の最小値を削除。 ブロック図の値を改訂。	4 11
B	3/15	LTC6946-4を追加。 動作ケース温度を動作接合部温度に変更。 電源電流を更新。 「VCOの較正」を更新。	全体 2 5 8、17

## 標準的応用例

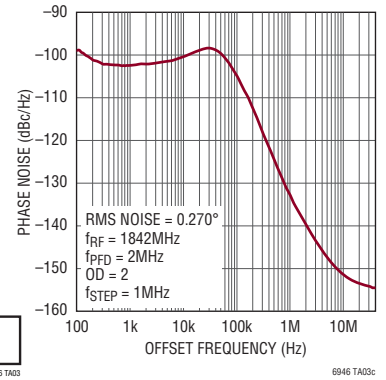
### パッシブ・ダウンコンバージョン・ミキサをドライブするLTC6946-2



### LTC5541のノイズフィギュアとブロッカ電力およびLO信号源



### LTC6946-2のミキサ・アプリケーションの位相ノイズ



## 関連製品

製品番号	説明	注釈
LTC6945	ノイズとスプリアスを極めて低く抑えた整数分周方式シンセサイザ	350MHz～6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz
LTC6947	ノイズとスプリアスを極めて低く抑えた分数分周方式シンセサイザ	350MHz～6GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz
LTC6948	ノイズとスプリアスを極めて低く抑えたVCO内蔵の分数分周方式シンセサイザ	370MHz～6.39GHz、正規化された帯域内位相ノイズフロア: -226dBc/Hz
LTC6950	5出力のクロック分配回路とEZSyncを内蔵した低位相ノイズ、低スプリアスの整数分周方式PLLコア	VCO入力周波数: 最大1.4GHz、付加ジッタ: <20fsRMS。正規化された帯域内位相ノイズフロア: -226dBc/Hz
LTC6957	位相ノイズの小さいデュアル出力バッファ/ドライバ/ロジック・コンバータ	正弦波信号からロジック・レベル信号への変換を最適化、LVPECL/LVDS/CMOS
LTC2000	16/14/11ビット、2.5Gsp/s D/Aコンバータ	70MHz出力での優れたSFDR: 80dBc、40mA(公称)の駆動能力と高直線性と高直線性
LTC5569	広帯域デュアル・ミキサ	300MHz～4GHz、IIP3: 26.8dB、利得: 2dB、NF: 11.7dB、電力: 600mW
LTC5588-1	OIP3が非常に高いI/Q変調器	200MHz～6GHz、OIP3: 31dBm、ノイズフロア: -160.6dBm/Hz
LT®5575	直接変換I/Q復調器	800MHz～2.7GHz、IIP3: 22.6dBm、IIP3: 60dBm、NF: 12.7dB

6946fb