

## 特長

- $V_{CC} = 1V$ でのリセットを保証
- 消費電流: 1.5mA(最大)
- RAMチップ・イネーブル信号の高速(最大35ns)ゲート機能搭載
- SO-8およびS16パッケージ
- 高精度電圧モニタ: 4.65V
- 電源OK/リセット時間遅延: 50ms、200ms、または可変
- 最小の外付け部品数
- スタンバイ時の消費電流: 1 $\mu$ A(最大)
- 電圧モニタにより、電源異常またはバッテリー低下を警告
- 熱制限機能
- 全温度範囲で性能を規定
- MAX690ファミリのアップグレード・デバイス

## アプリケーション

- マイクロプロセッサ電源の高精度モニタ
- インテリジェント計測器
- バッテリ駆動コンピュータおよびコントローラ
- 車載システム

## 概要

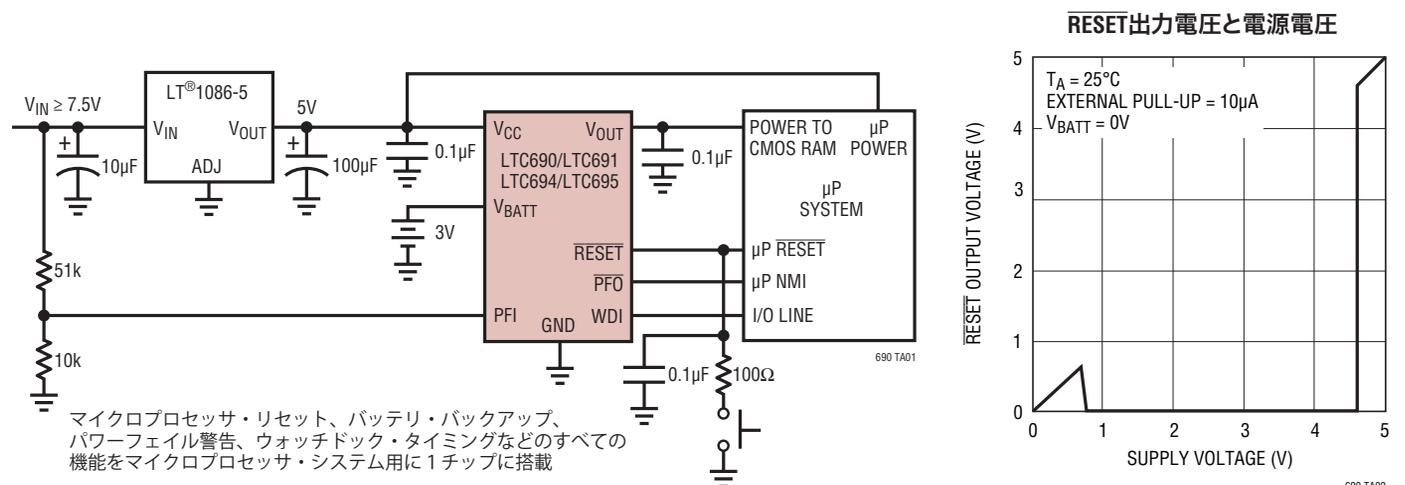
LTC<sup>®</sup>690ファミリ(LTC690/LTC691/LTC694/LTC695)は、マイクロプロセッサ・リセット、バッテリー・バックアップ、CMOS RAMの書き込み保護、電源異常警告、ウォッチドック・タイミングなどの完全な電源監視機能およびバッテリー制御機能を備えています。高精度な内部電圧リファレンスとコンパレータ回路で、電源ラインを監視します。電源が許容範囲外になると、リセット出力がアクティブ状態になり、チップ・イネーブル出力が無条件に外部メモリの書き込み保護を行います。またRESET出力は $V_{CC}$ が1Vになった場合でも“L”のままであることが保証されます。

LTC690ファミリは、チャージポンプ型NMOSパワー・スイッチでアクティブなCMOS RAMに電源を供給し、低損失と低消費電流を達成します。主電源が落ちた場合に、バッテリーの入力ピンに接続されている補助電源が効率的なPMOSスイッチを介してスタンバイ状態のRAMに電源を供給します。

差し迫った電源異常を早期に警告するために、LTC690ファミリはユーザがスレッシュホールド電圧を設定可能なコンパレータを内蔵しています。ウォッチドック・タイマも内蔵しており、設定されたタイムアウト期間より前にウォッチドッグ入力力がトグルしない場合、リセット・ピンをアクティブ状態にします。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例



# LTC690/LTC691 LTC694/LTC695

## 絶対最大定格

(Note 1, 2)

端子電圧

$V_{CC}$ ..... -0.3V~6.0V

$V_{BATT}$ ..... -0.3V~6.0V

その他の入力ピン ..... -0.3V~( $V_{OUT} + 0.3V$ )

入力電流

$V_{CC}$ .....200mA

$V_{BATT}$ .....50mA

GND .....20mA

$V_{OUT}$ の出力電流 .....短絡から保護

消費電力..... 500mW

動作温度範囲

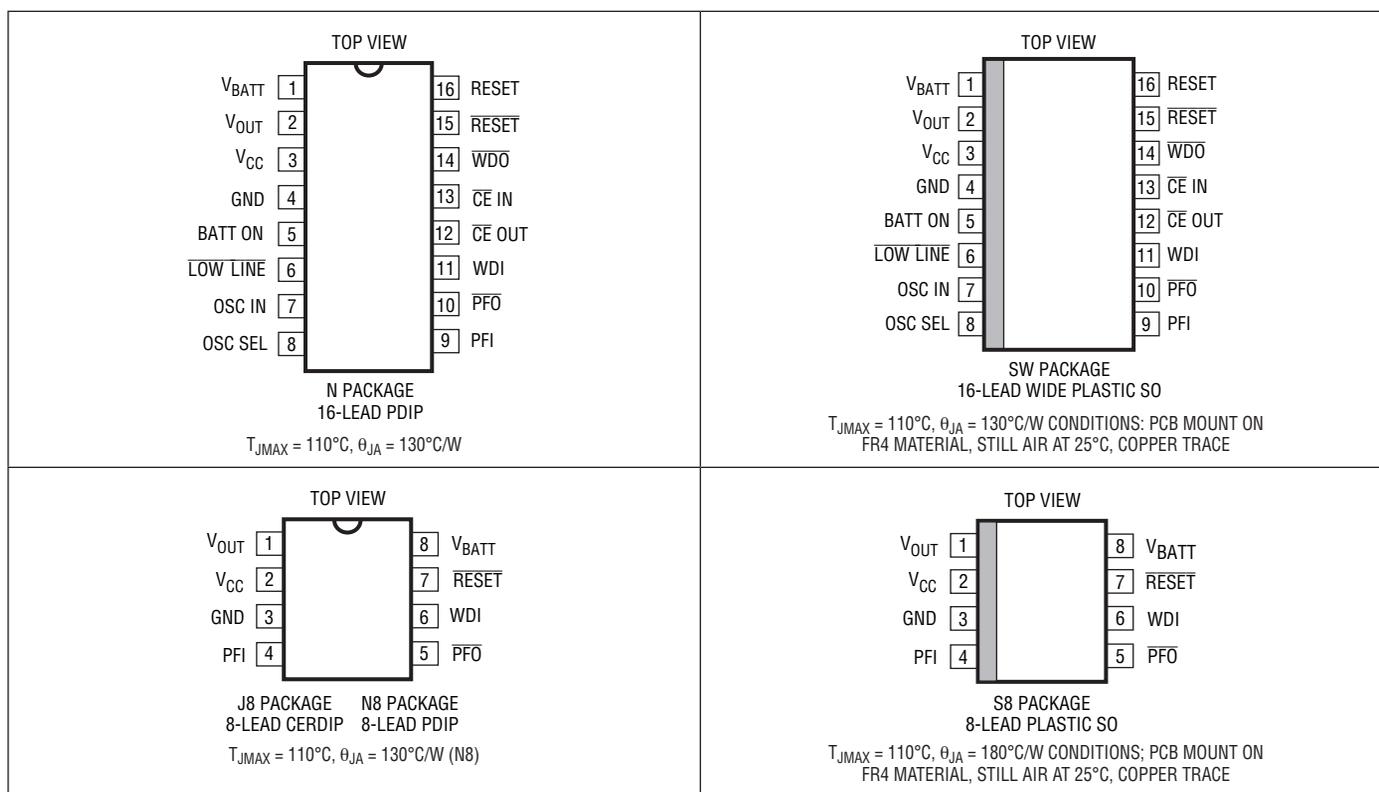
LTC690/91/94/95C..... 0°C~70°C

LTC690/91/94/95I..... -40°C~85°C

保存温度範囲..... -65°C~150°C

リード温度(半田付け、10秒).....300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC691CN#PBF	LTC691CN#PBF	LTC691CN	16-Lead PDIP	0°C to 70°C
LTC691IN#PBF	LTC691IN#PBF	LTC691IN	16-Lead PDIP	-40°C to 85°C
LTC695CN#PBF	LTC695CN#PBF	LTC695CN	16-Lead PDIP	0°C to 70°C
LTC695IN#PBF	LTC695IN#PBF	LTC695IN	16-Lead PDIP	-40°C to 85°C
LTC691CSW#PBF	LTC691CSW#PBF	LTC691CSW	16-Lead Wide Plastic SO	0°C to 70°C
LTC691ISW#PBF	LTC691ISW#PBF	LTC691ISW	16-Lead Wide Plastic SO	-40°C to 85°C
LTC695CSW#PBF	LTC695CSW#PBF	LTC695CSW	16-Lead Wide Plastic SO	0°C to 70°C
LTC695ISW#PBF	LTC695ISW#PBF	LTC695ISW	16-Lead Wide Plastic SO	-40°C to 85°C
LTC690CN8#PBF	LTC690CN8#PBF	LTC690CN8	8-Lead PDIP	0°C to 70°C
LTC690IN8#PBF	LTC690IN8#PBF	LTC690IN8	8-Lead PDIP	-40°C to 85°C
LTC694CN8#PBF	LTC694CN8#PBF	LTC694CN8	8-Lead PDIP	0°C to 70°C
LTC694IN8#PBF	LTC694IN8#PBF	LTC694IN8	8-Lead PDIP	-40°C to 85°C
LTC690CS8#PBF	LTC690CS8#PBF	690	8-Lead Plastic SO	0°C to 70°C
LTC690IS8#PBF	LTC690IS8#PBF	690	8-Lead Plastic SO	-40°C to 85°C
LTC694CS8#PBF	LTC694CS8#PBF	694	8-Lead Plastic SO	0°C to 70°C
LTC694IS8#PBF	LTC694IS8#PBF	694	8-Lead Plastic SO	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 製品選択ガイド

	ピン	リセット	ウォッチドッグ・ タイマ	バッテリー・ バックアップ	パワーフェイル 警告	RAM書込み 保護	プッシュボタン・ リセット	コンディショナル・ バッテリー・ バックアップ
LTC690	8	X	X	X	X			
LTC691	16	X	X	X	X	X		
LTC694	8	X	X	X	X			
LTC695	16	X	X	X	X	X		
LTC699	8	X	X					
LTC1232	8	X	X				X	
LTC1235	16	X	X	X	X	X	X	X

# LTC690/LTC691

# LTC694/LTC695

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = \text{全動作範囲}$ 、 $V_{BATT} = 2.8\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>バッテリー・バックアップの切り替え</b>						
Operating Voltage Range	$V_{CC}$	4.75		5.50	V	
	$V_{BATT}$	2.00		4.25	V	
$V_{OUT}$ Output Voltage	$I_{OUT} = 1\text{mA}$	● $V_{CC} - 0.05$	$V_{CC} - 0.005$		V	
		$V_{CC} - 0.10$	$V_{CC} - 0.005$		V	
	$I_{OUT} = 50\text{mA}$	$V_{CC} - 0.50$	$V_{CC} - 0.250$		V	
$V_{OUT}$ in Battery Back-Up Mode	$I_{OUT} = 250\mu\text{A}$ , $V_{CC} < V_{BATT}$	$V_{BATT} - 0.1$	$V_{BATT} - 0.2$		V	
Supply Current (Exclude $I_{OUT}$ )	$I_{OUT} = 50\text{mA}$	●	0.6	1.5	mA	
			0.6	2.5	mA	
Supply Current in Battery Back-Up Mode	$V_{CC} = 0\text{V}$ , $V_{BATT} = 2.8\text{V}$	●	0.04	1	$\mu\text{A}$	
			0.04	5	$\mu\text{A}$	
Battery Standby Current (+ = Discharge, - = Charge)	$5.5 > V_{CC} > V_{BATT} + 0.2\text{V}$	●	-0.1	+0.02	$\mu\text{A}$	
			-0.1	+0.10	$\mu\text{A}$	
Battery Switchover Threshold, $V_{CC} - V_{BATT}$	Power Up		70		mV	
	Power Down		50		mV	
Battery Switchover Hysteresis			20		mV	
BATT ON Output Voltage (Note 4)	$I_{SINK} = 3.2\text{mA}$			0.4	V	
BATT ON Output Short-Circuit Current (Note 4)	BATT ON = $V_{OUT}$ Sink Current		35		m	
	BATT ON = 0V Source Current	0.5	1	25	$\mu\text{A}$	
<b>リセットおよびウォッチドッグ・タイマ</b>						
Reset Voltage Threshold		● 4.5	4.65	4.75	V	
Reset Threshold Hysteresis			40		mV	
Reset Active Time (LTC690/91) (Note 5)	OSC SEL HIGH, $V_{CC} = 5\text{V}$	●	40	50	60	ms
			35	50	70	ms
Reset Active Time (LTC694/95) (Note 5)	OSC SEL HIGH, $V_{CC} = 5\text{V}$	●	160	200	240	ms
			140	200	280	ms
Watchdog Timeout Period, Internal Oscillator	Long Period, $V_{CC} = 5\text{V}$	●	1.2	1.6	2.00	sec
			1	1.6	2.25	sec
	Short Period, $V_{CC} = 5\text{V}$	●	80	100	120	ms
			70	100	140	ms
Watchdog Timeout Period, External Clock (Note 6)	Long Period		4032	4097	Clock Cycles	
	Short Period		960	1025		
Reset Active Time PSRR			1		ms/V	
Watchdog Timeout Period PSRR, Internal OSC			1		ms/V	
Minimum WDI Input Pulse Width	$V_{IL} = 0.4\text{V}$ , $V_{IH} = 3.5\text{V}$	●	200		ns	
RESET Output Voltage at $V_{CC} = 1\text{V}$	$I_{SINK} = 10\mu\text{A}$ , $V_{CC} = 1\text{V}$		4	200	mV	
RESET and LOW LINE Output Voltage (Note 4)	$I_{SINK} = 1.6\text{mA}$ , $V_{CC} = 4.25\text{V}$ $I_{SOURCE} = 1\mu\text{A}$ , $V_{CC} = 5\text{V}$			0.4	V	
			3.5		V	
RESET and WDO Output Voltage (Note 4)	$I_{SINK} = 1.6\text{mA}$ , $V_{CC} = 5\text{V}$ $I_{SOURCE} = 1\mu\text{A}$ , $V_{CC} = 4.25\text{V}$			0.4	V	
			3.5		V	

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = \text{全動作範囲}$ 、 $V_{BATT} = 2.8\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RESET, RESE $\bar{T}$ , WDO, LOW LINE Output Short-Circuit Current (Note 4)	Output Source Current		1	3	25	$\mu\text{A}$
	Output Sink Current			25		$\text{mA}$
WDI Input Threshold	Logic Low		3.5		0.8	V
	Logic high					
WDI Input Current	WDI = $V_{OUT}$	●	-50	4	50	$\mu\text{A}$
	WDI = 0V	●		-8		
<b>パワーフェイル検出器</b>						
PFI Input Threshold	$V_{CC} = 5\text{V}$	●	1.25	1.3	1.35	V
PFI Input Threshold PSRR				0.3		$\text{mV/V}$
PFI Input Current				$\pm 0.01$	$\pm 25$	$\text{nA}$
$\overline{\text{PFO}}$ Output Voltage (Note 4)	$I_{SINK} = 3.2\text{mA}$ $I_{SOURCE} = 1\mu\text{A}$		3.5		0.4	V
$\overline{\text{PFO}}$ Short-Circuit Source Current (Note 4)	PFI = HIGH, $\overline{\text{PFO}} = 0\text{V}$		1	3	25	$\mu\text{A}$
	PFI = LOW, $\overline{\text{PFO}} = V_{OUT}$			25		$\text{mA}$
PFI Comparator Response Time (Falling)	$\Delta V_{IN} = -20\text{mV}$ , $V_{OD} = 15\text{mV}$			2		$\mu\text{s}$
PFI Comparator Response Time (Rising) (Note 4)	$\Delta V_{IN} = 20\text{mV}$ , $V_{OD} = 15\text{mV}$ with $10\text{k}\Omega$ Pull-Up			40		$\mu\text{s}$
				8		
<b>チップ・イネーブル・ゲート</b>						
$\overline{\text{CE}}$ IN Threshold	$V_{IL}$ $V_{IH}$		2		0.8	V
$\overline{\text{CE}}$ IN Pull-Up Current (Note 7)				3		$\mu\text{A}$
$\overline{\text{CE}}$ OUT Output Voltage	$I_{SINK} = 3.2\text{mA}$ $I_{SOURCE} = 3.0\text{mA}$ $I_{SOURCE} = 1\mu\text{A}$ , $V_{CC} = 0\text{V}$				0.4	V
$\overline{\text{CE}}$ Propagation Delay	$V_{CC} = 5\text{V}$ , $C_L = 20\text{pF}$			20	35	ns
		●		20	45	
$\overline{\text{CE}}$ OUT Output Short-Circuit Current	Output Source Current Output Sink Current			30		$\text{mA}$
				35		
<b>発振器</b>						
OSC IN Input Current (Note 7)				$\pm 2$		$\mu\text{A}$
OSC SEL Input Pull-Up Current (Note 7)				5		$\mu\text{A}$
OSC IN Frequency Range	OSC SEL = 0V	●	0		250	$\text{kHz}$
OSC IN Frequency with External Capacitor	OSC SEL = 0V, $C_{OSC} = 47\text{pF}$			4		$\text{kHz}$

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** すべての電圧値はGNDを基準とする。

**Note 3:** 軍用温度範囲のデバイス、または、LTC692およびLTC693については、弊社にお問い合わせください。

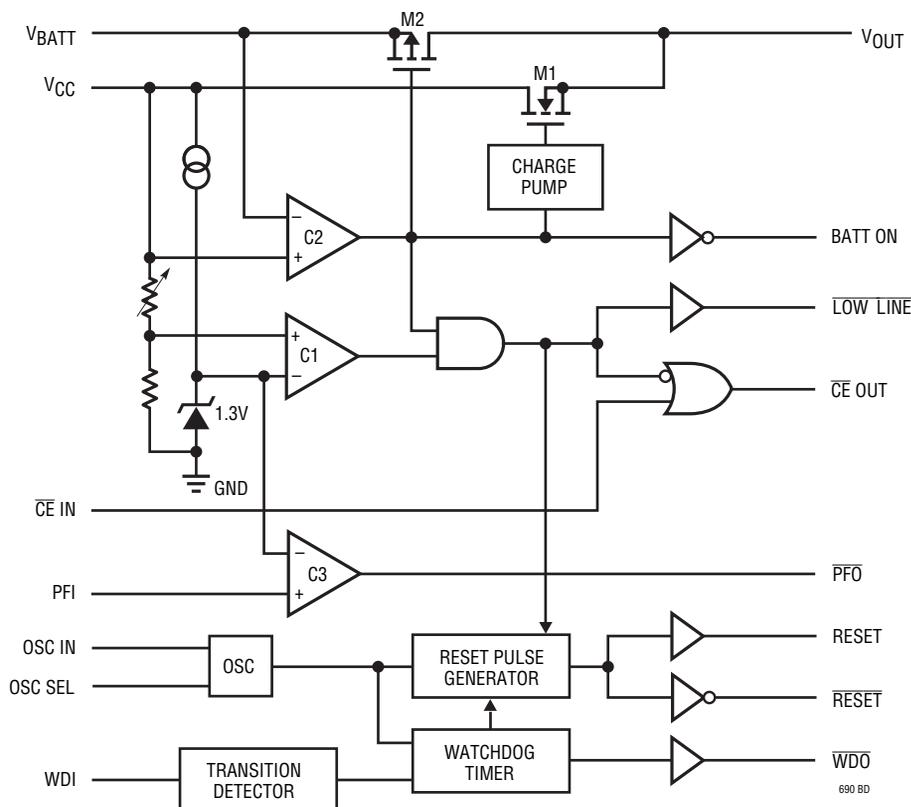
**Note 4:** 出力ピンのBATT ON、LOW LINE、PFO、WDO、RESE $\bar{T}$ 、およびRESE $\bar{T}$ には、標準 $3\mu\text{A}$ の弱い内部プルアップが備わっている。ただし、速度を上げる必要があれば、外付けのプルアップ抵抗を使うことができる。

**Note 5:** LTC690とLTC691のリセット・アクティブ時間は最小で $35\text{ms}$  (標準 $50\text{ms}$ )だが、LTC694とLTC695のリセット・アクティブ時間はそれよりも長く、最小で $140\text{ms}$  (標準 $200\text{ms}$ )である。LTC691とLTC695のリセット・アクティブ時間は調整することができる(「アプリケーション情報」のセクションの表2を参照)。

**Note 6:** 回路に供給される外部クロックは、発振器を通過してからウォッチドッグ・タイマをクロック制御する(ブロック図を参照)。発振器が外部クロックを64で分周するときに起きる位相誤差によってタイムアウト時間に変動が生じる。その結果、タイムアウト時間は、64クロックに1クロックのジッタを加えた時間となる。

**Note 7:** 入力ピン $\overline{\text{CE}}$  IN、OSC IN、およびOSC SELには、弱い内部プルアップが備わっており、これらの入力ピンがフロート状態のときに電源電圧に引き上げる。

ブロック図



ピン機能

**VCC:** 5V電源入力。VCCピンは0.1μFのコンデンサでバイパスします。

**VOUT:** バックアップ・メモリ用電圧出力。0.1μF以上のコンデンサでバイパスします。通常動作では、NMOSパワー・スイッチM1を介してVCCからVOUTへ電力が供給されます。M1は最大50mAの電流供給能力があり、その抵抗は標準で5Ωです。VCCがVBATTよりも低いときには、VOUTは内部でスイッチを介してVBATTに接続されます。VOUTとVBATTを使用しない場合は、VOUTをVCCに接続します。

**VBATT:** バックアップ・バッテリー入力。VCCがVBATTよりも低下すると、VBATTピンに接続された補助電源からVOUTにPMOSスイッチM2を介して電力が供給されます。バックアップ・バッテリーあるいは補助電源を使用しない場合は、VBATT端子をGNDに接続します。

**GND:** グランドピン。

**BATT ON:** コンパレータC2からのバッテリー・オン・ロジック出力。VOUTが内部でVCCに接続されている場合は、BATT ONは“L”になります。この出力ピンのシンク電流は標準35mAであり、この出力で外部PNPトランジスタのベースをドライブすることにより、VOUTの定格値である50mAよりも大きな出力電流を得ることができます。VOUTが内部でスイッチを介してVBATTに接続されると、BATT ONは“H”になります。

**PFI:** パワーフェイル入力。PFIはパワーフェイル・コンパレータC3への非反転入力です。反転入力は内部で1.3Vのリファレンスに接続されています。PFIが1.3Vより高いとパワーフェイル出力は“H”に維持されますが、PFIが1.3Vより低いと“L”になります。C3を使用しない場合は、PFIをGNDかVOUTに接続します。

## ピン機能

**PFO:** C3からのパワーフェイル出力。PFIが1.3Vよりも高いとPFOは“H”に維持されますが、PFIが1.3Vよりも低いと“L”になります。V<sub>CC</sub>がV<sub>BAT</sub>より低いと、C3はシャットダウンされ、PFOは強制的に“L”になります。

**RESET:** マイクロプロセッサのリセット・コントロールのためのロジック出力。V<sub>CC</sub>がリセット電圧スレッシュホールド(標準で4.65V)またはV<sub>BATT</sub>のいずれかより低くなると、RESETは必ずアクティブ“L”になります。V<sub>CC</sub>が5Vに戻った後、RESETはLTC690/LTC691では最小35ms(LTC694/LTC695では140ms)、リセット・パルス発生器によってアクティブ“L”に維持されます。また、ウォッチドッグ・タイマがイネーブルされていて、プリセットされたタイムアウト時間以内にウォッチドッグ入力が増えすぎたときも、リセット・パルス発生器はプリセットされたタイムアウト時間ごとに、LTC690/LTC691では最小35ms(LTC694/5では140ms)、RESETをアクティブ“L”に強制します。LTC691/LTC695のリセット・アクティブ時間は調節可能です。外部プッシュボタンをRESET出力に接続して、リセットに用いることが可能です。「アプリケーション情報」のセクションの「プッシュボタン・リセット」を参照。

**RESET:** RESETはアクティブ“H”ロジック出力であり、RESETを反転したものです。

**LOW LINE:** コンパレータC1からのロジック出力。LOW LINEは、V<sub>CC</sub>入力が増えすぎた状態になっていることを示します。V<sub>CC</sub>がリセット電圧スレッシュホールド(標準で4.65V)よりも低下すると、LOW LINEは“L”になります。V<sub>CC</sub>がリセット電圧スレッシュホールドよりも上昇すると、LOW LINEは直ちに“H”に戻ります(図1参照)。V<sub>CC</sub>がV<sub>BATT</sub>よりも低下すると、LOW LINEは“L”になります(表1参照)。

**WDI:** ウォッチドッグ入力。WDIは3レベル入力です。WDIをウォッチドッグ・タイムアウト時間よりも長く“H”または“L”のいずれかにドライブすると、RESETとWDOはいずれも“L”に強制されます。WDIをフロート状態にすると、ウォッチドッグ・タイマはディスエーブルされます。ウォッチドッグ入力が増えすぎると、タイマはリセットされます。(図11参照)。

**WDO:** ウォッチドッグ・ロジック出力。ウォッチドッグ入力が増えすぎると、WDOは“L”になります。WDIピンに増えすぎが生じるか、あるいはLOW LINEが“L”になるたび、WDOは“H”にされます。WDIをフロート状態にして、ウォッチドッグ・タイマをディスエーブルできます(図11参照)。

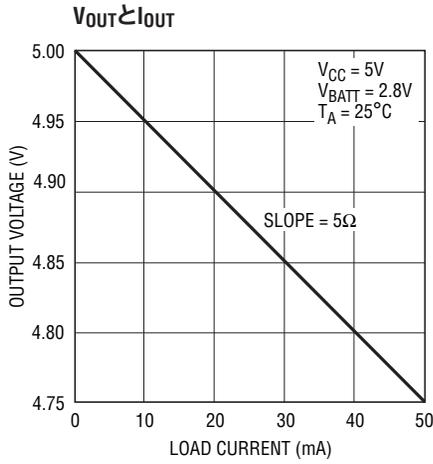
**CE IN:** Chip Enableゲート回路へのロジック入力。CE IN信号はマイクロプロセッサのアドレス・ラインまたはデコーダ出力から得られます。さらに詳細な情報については、「アプリケーション情報」のセクションと図5を参照してください。

**CE OUT:** Chip Enableゲート回路のロジック出力。V<sub>CC</sub>がリセット電圧スレッシュホールドよりも高いときは、CE OUTはCE INをそのままバッファした信号です。V<sub>CC</sub>がリセット電圧スレッシュホールドよりも低いと、CE OUTは強制的に“H”になります(図5参照)。

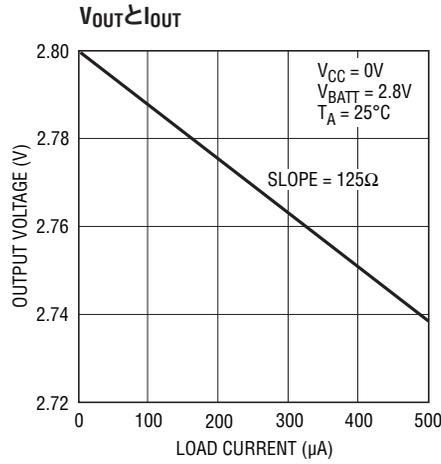
**OSC SEL:** 発振器選択入力。OSC SELを“H”またはフロート状態にすると、内部発振器によって、リセット・アクティブ時間とウォッチドッグ・タイムアウト時間が設定されます。OSC SELを“L”にすると、OSC INを外部クロック信号でドライブするか、あるいはOSC INとGNDとの間に外付けコンデンサを接続することが可能になります。

**OSC IN:** 発振器入力。OSC SELが“L”に強制されているときは、OSC INを外部クロック信号によってドライブするか、または、OSC INとGNDの間にコンデンサを接続することができます。この構成の場合、公称リセット・アクティブ時間とウォッチドッグ・タイムアウト時間はクロック数によって定まるか、あるいは数式によって設定されます(「アプリケーション情報」を参照)。OSC SELを“H”にするか、フロート状態にすると、内部発振器がイネーブルされ、リセット・アクティブ時間がLTC691では標準50msに、LTC695では標準200msに固定されます。OSC INによって、標準で1.6秒または100msのウォッチドッグ・タイムアウト時間を選択できます。どちらの場合も、リセット直後のタイムアウト時間は標準で1.6秒となります。

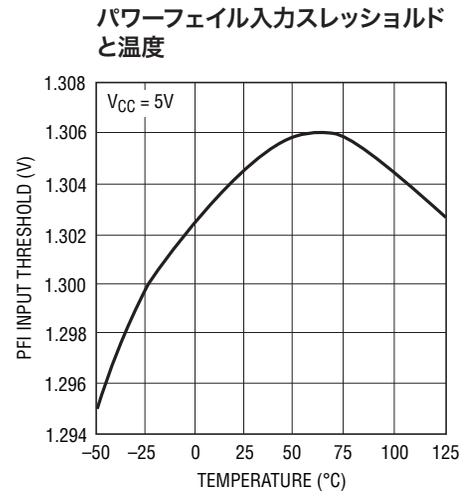
## 標準的性能特性



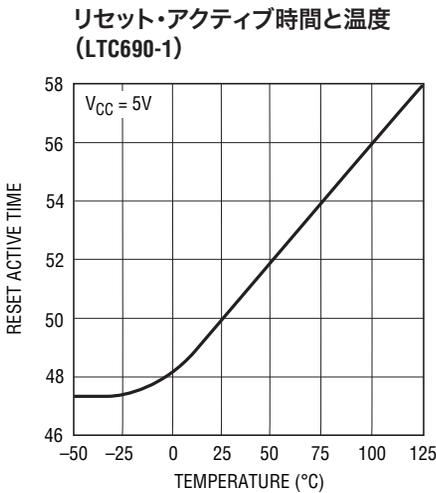
690 G01



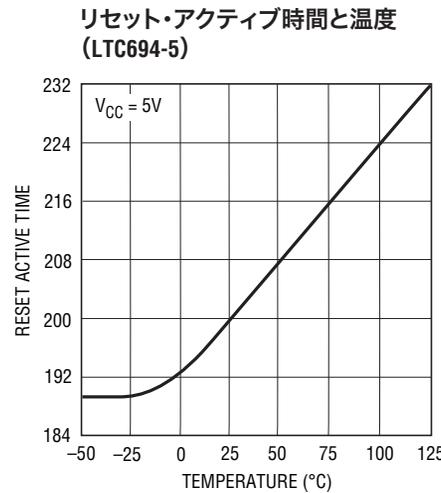
690 G02



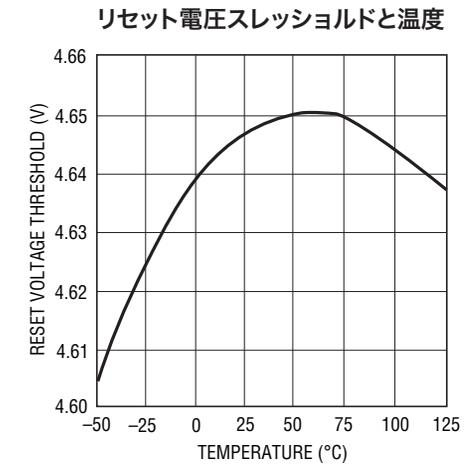
690 G03



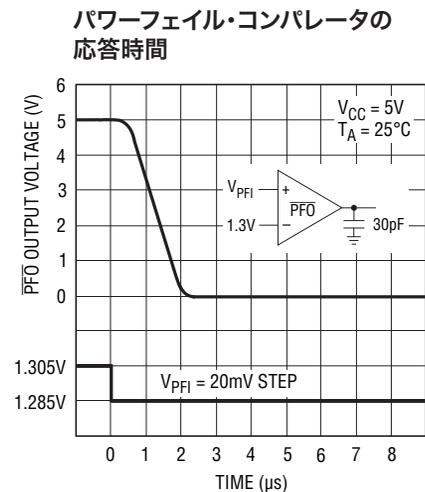
690 G04



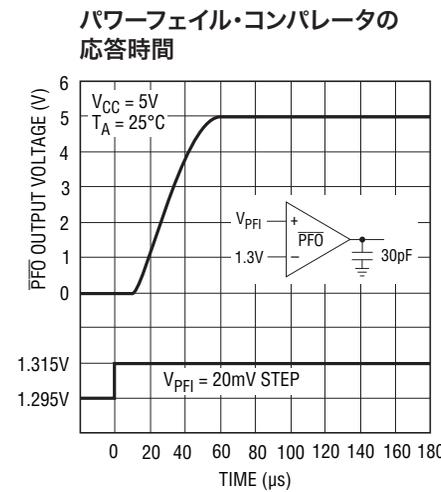
690 G05



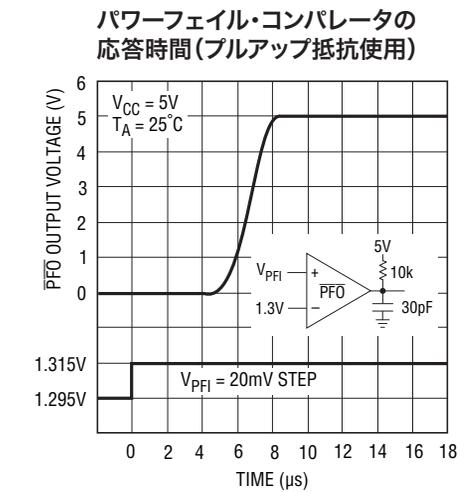
690 G06



690 G07



690 G08



690 G09

690ff

## アプリケーション情報

### マイクロプロセッサのリセット

LTC690ファミリは、バンドギャップ電圧リファレンスと高精度電圧コンパレータC1を用いて、V<sub>CC</sub>の5V電源入力をモニタします(ブロック図参照)。V<sub>CC</sub>がリセット電圧スレッシュホールドよりも低下すると、 $\overline{\text{RESET}}$ 出力がアクティブ“L”状態になります。リセット電圧スレッシュホールドはV<sub>CC</sub>の5%の変化に相当するので、V<sub>CC</sub>が4.75V(標準で4.65V)よりも低下すると、 $\overline{\text{RESET}}$ はアクティブ“L”となります。パワーアップ時、電源とマイクロプロセッサが安定できるように、 $\overline{\text{RESET}}$ 信号は、V<sub>CC</sub>がリセット電圧スレッシュホールドに達した後LTC690/LTC691で最低35ms(LTC694/LTC695で140ms)の間アクティブ“L”に保持されます。LTC691/LTC695のリセット・アクティブ時間は調節可能です。パワーダウン時には、V<sub>CC</sub>が1Vまで低下しても $\overline{\text{RESET}}$ 信号はアクティブ“L”に維持されます。この機能により、マイクロプロセッサを安定したシャットダウン状態に保つことができます。 $\overline{\text{RESET}}$ 信号のタイミング図を図1に示します。

高精度電圧コンパレータC1は標準で40mVのヒステリシスを有しているため、V<sub>CC</sub>ピンのグリッチによって $\overline{\text{RESET}}$ 出力がアクティブとなることはありません。応答時間は標準で10 $\mu$ sです。過渡的な負荷による誤ったトリガを防ぐため、V<sub>CC</sub>ピンはリードを可能な限り短くした0.1 $\mu$ Fのコンデンサでバイパスする必要があります。

LTC691とLTC695はさらに2つの出力、RESETとLOW LINEを有しています。RESETはアクティブ“H”出力であり、 $\overline{\text{RESET}}$ を反転したものです。LOW LINEは高精度電圧コンパレータC1の出力です。V<sub>CC</sub>がリセット電圧スレッシュホールドよりも低下す

ると、 $\overline{\text{LOW LINE}}$ は“L”になります。V<sub>CC</sub>がリセット電圧スレッシュホールドを超えると、 $\overline{\text{LOW LINE}}$ は直ちに“H”に戻ります。

### バッテリーの切り替え

バッテリー切り替え回路はV<sub>CC</sub>をV<sub>BATT</sub>入力と比較し、どちらか高い方にV<sub>OUT</sub>を接続します。V<sub>CC</sub>がV<sub>BATT</sub>より70mV高くなると、バッテリー切り替えコンパレータC2が、チャージポンプ型NMOSパワー・スイッチM1を介してV<sub>OUT</sub>をV<sub>CC</sub>に接続します。V<sub>CC</sub>がV<sub>BATT</sub>より50mVだけ高い値まで低下すると、C2はPMOSスイッチM2を介してV<sub>OUT</sub>をV<sub>BATT</sub>に接続します。C2は標準20mVのヒステリシスを有しているため、V<sub>CC</sub>がV<sub>BATT</sub>にほぼ等しいときに誤った切り替えが起きるのを防ぎます。C2の応答時間は約20 $\mu$ sです。

LTC690ファミリは、チャージポンプ型NMOSパワー・スイッチを用いることによって、通常の動作において低損失電圧と低消費電流とを達成しています。このパワー・スイッチは最大50mAの電流をV<sub>CC</sub>からV<sub>OUT</sub>へ伝達することが可能で、標準のオン抵抗は5 $\Omega$ です。安定動作を確実にするために、V<sub>OUT</sub>ピンを0.1 $\mu$ F以上のコンデンサでバイパスすることが必要です。さらに大きなバイパス・コンデンサを使用すれば、大きな過渡的負荷に対して電流を供給することが可能となります。

50mAより大きな動作電流をV<sub>OUT</sub>から供給する必要がある場合や、より小さな損失電圧(V<sub>CC</sub>とV<sub>OUT</sub>との電圧差)が必要な場合は、LTC691とLTC695を使用します。これらのデバイスはBATT ON出力を備えており、この出力によって外付けPNPトランジスタのベースをドライブすることができます(図2)。

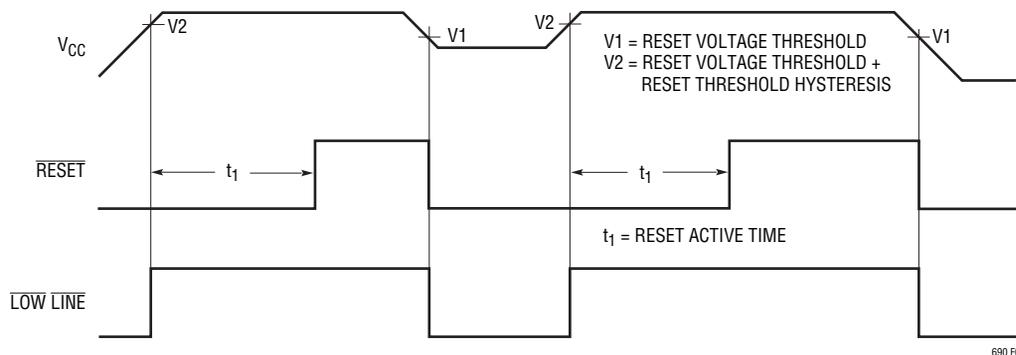


図1. リセット・アクティブ時間

## アプリケーション情報

LTC690とLTC694でさらに大きな電流を供給する必要があるときは、高電流ショットキー・ダイオードをV<sub>CC</sub>ピンとV<sub>OUT</sub>ピンとの間に接続すれば、電流を余分に供給することが可能です。

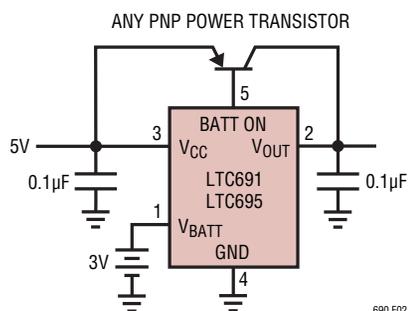


図2. BATT ONによる外付けPNPトランジスタのドライブ

LTC690ファミリは、安全領域動作のため、短絡制限によって保護されます。出力電流は約200mAに制限されています。デバイスの過負荷状態が長時間にわたって続くと、サーマル・シャットダウンによってパワー・スイッチがオフし、デバイスがクールダウンするまでオフ状態が維持されます。サーマル・シャットダウンのスレッシュホールド温度は約155°Cで、約10°Cのヒステリシスを有します。このヒステリシスが、デバイスがシャットダウンとシャットダウンからの回復を繰り返すことを防ぎます。

競合デバイスで使用されているPNPスイッチは、望ましくない電流の基板への注入が起こるため、内部パワー・スイッチとしては使われていません。競合デバイスでは、この電流はV<sub>BATT</sub>ピンに集められてバッテリーの充電電流に加わるので、リチウム・バッテリーを損傷する可能性があります。LTC690ファミリは、チャージポンプ型NMOSパワー・スイッチを用いることによって、低損失電圧と低消費電流とを達成しながら、望ましくない充電電流も除去することができます。電流が基板に流れ込まないので、V<sub>BATT</sub>ピンに集められる電流は接合リーク電流のみです。

バッテリー・バックアップ・モードでは、125ΩのPMOSスイッチを介してV<sub>BATT</sub>入力がV<sub>OUT</sub>に接続されます。このスイッチは損失電圧（入力と出力の間の電圧差）が非常に小さくなるように設計されています。この特長は、CMOS RAMのバッテリー・バックアップやその他の低消費電力CMOS回路などの低電流アプリケーションに適しています。バッテリー・バックアップ・モードにおける消費電流は最大1µAです。

V<sub>BATT</sub>ピンの動作電圧は2.0V～4.25Vです。バッテリーの代わりに、電解コンデンサやファラッド・サイズの2層コンデンサなどの大容量コンデンサを短時間のメモリ・バックアップに用いることも可能です。コンデンサおよびリチャージャブルバッテリー用の充電抵抗はいずれもV<sub>OUT</sub>に接続してください。これにより、充電抵抗をV<sub>CC</sub>に接続した場合に存在する放電経路が除去されるからです(図3)。

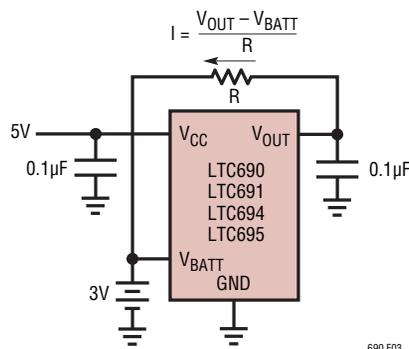


図3. V<sub>OUT</sub>を介した外部バッテリーの充電

### バックアップ・バッテリーの交換

システムの電源がオン状態のままバックアップ・バッテリーを交換するとき、バッテリーの取り外し時に流れるバッテリー・スタンバイ電流によって擬似リセットが発生することがあります。バッテリー・スタンバイ電流は非常に小さなリーク電流ですが、それでもV<sub>BATT</sub>ピンの浮遊容量を充電可能です。これにより、次のようにして発振が起きます。V<sub>BATT</sub>とV<sub>CC</sub>との差が50mV以内になるとLTC690はバッテリー・バックアップに切り替わります。V<sub>OUT</sub>によってV<sub>BATT</sub>が“L”に引き下げられ、デバイスは正常動作に復帰します。この後、リーク電流によってV<sub>BATT</sub>ピンが再度充電され、上記のサイクルが繰り返されます。

もしバッテリー交換時における擬似リセットが問題とならなければ、対策は必要ありません。しかし、問題となる場合には、V<sub>BATT</sub>からGNDに抵抗を接続することにより、バッテリーの交換を行っている間、V<sub>BATT</sub>ピンを低く保つようにします。例えば、バッテリー・スタンバイ電流が全温度範囲で最大1µAである場合、V<sub>BATT</sub>をV<sub>CC</sub>以下にするために次のような外付け抵抗が必要です。

$$R \leq \frac{V_{CC} - 50\text{mV}}{1\mu\text{A}}$$

V<sub>CC</sub> = 4.5Vの場合、4.3Mの抵抗を用いることができます。3Vバッテリーの場合、バッテリーからこの抵抗に流れ込む電流はわずか0.7µAであり、ほとんどの場合無視できるほど微小です。

## アプリケーション情報

バッテリー接続配線が長い場合には、 $10\Omega \sim 100\Omega$ の直列抵抗と $0.1\mu\text{F}$ のコンデンサを使って、リード・インダクタンスに起因する $V_{CC}$ を超えるオーバーシュートを防ぐことを推奨します(図4)。

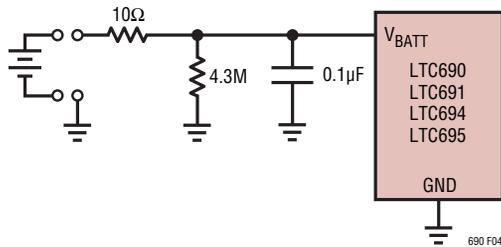


図4.  $10\Omega$ の抵抗と $0.1\mu\text{F}$ のコンデンサによるバッテリー交換時の誘導性オーバーシュートと擬似リセットの防止

表1はバッテリー・バックアップ時の各ピンの状態を示します。バッテリー切り替え機能を使用しない場合は、 $V_{BATT}$ をGNDに、また $V_{OUT}$ を $V_{CC}$ に接続します。

### メモリ保護

LTC691とLTC695は、 $V_{CC}$ が無効レベルのときに書き込み操作が行われるのを防いでメモリのデータの完全性を保証するメモリ保護回路を備えています。さらに2つのピン $\overline{\text{CE IN}}$ と $\overline{\text{CE OUT}}$ によってCMOS RAMのChip Enable入力とWrite入力を制御します。 $V_{CC}$ が5Vのとき、 $\overline{\text{CE OUT}}$ は標準20nsの伝搬遅延をはさんで $\overline{\text{CE IN}}$ に追随します。 $V_{CC}$ がリセット電圧スレッシュホールドまたは $V_{BATT}$ よりも低下すると、 $\overline{\text{CE IN}}$ にかかわらず、 $\overline{\text{CE OUT}}$ が強制的に“H”にされます。あるいは、 $\overline{\text{CE OUT}}$ 信号を用いてバッテリー・バックアップCMOS RAMの $\overline{\text{CE}}$ 、 $\overline{\text{CS}}$ 、またはWrite入力をドライブすることもできます。また、同様の保護

を行うのに、 $\overline{\text{CE OUT}}$ を使って、EEPROMやEAROMまたはNOVRAMのStore入力またはWrite入力をドライブすることもできます。図5は、 $\overline{\text{CE IN}}$ と $\overline{\text{CE OUT}}$ のタイミング図です。

$\overline{\text{CE IN}}$ 信号はマイクロプロセッサのアドレス・デコーダ出力から得ることができます。図6に標準的な不揮発性CMOS RAMアプリケーションを示します。

LTC690とLTC694のメモリ保護は、 $\overline{\text{RESET}}$ を図7のように用いることによっても達成できます。

表1. バッテリー・バックアップ・モードにおける入力と出力の状態

信号	状態
$V_{CC}$	$C2$ が $V_{CC}$ をモニタして、アクティブに切り替える
$V_{OUT}$	$V_{OUT}$ が内部PMOSスイッチを介して $V_{BATT}$ に接続される
$V_{BATT}$	消費電流は最大 $1\mu\text{A}$
BATT ON	ロジック“H”。オープン状態での出力電圧は $V_{OUT}$ に等しい
PFI	パワーフェイル入力は無視される
$\overline{\text{PFO}}$	ロジック“L”
$\overline{\text{RESET}}$	ロジック“L”
RESET	ロジック“H”。オープン状態での出力電圧は $V_{OUT}$ に等しい
$\overline{\text{LOW LINE}}$	ロジック“L”
WDI	Watchdog入力は無視される
$\overline{\text{WDO}}$	ロジック“H”。オープン状態での出力電圧は $V_{OUT}$ に等しい
$\overline{\text{CE IN}}$	Chip Enable入力は無視される
$\overline{\text{CE OUT}}$	ロジック“H”。オープン状態での出力電圧は $V_{OUT}$ に等しい
OSC IN	OSC INは無視される
OSC SEL	OSC SELは無視される

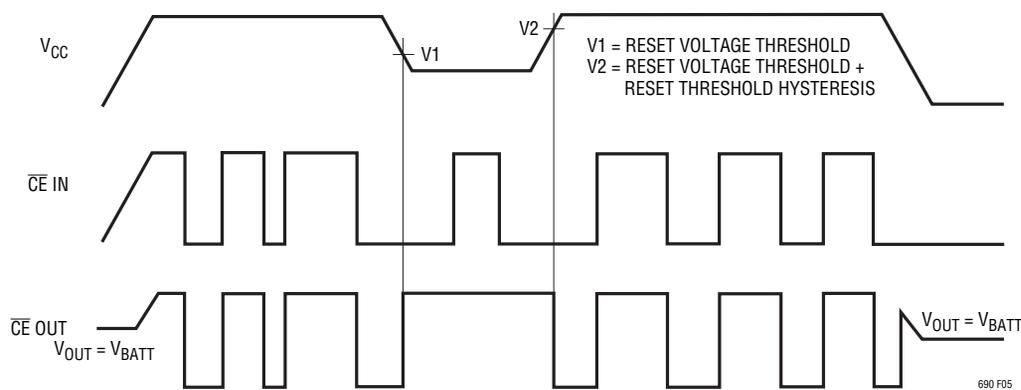


図5.  $\overline{\text{CE IN}}$ と $\overline{\text{CE OUT}}$ のタイミング図

## アプリケーション情報

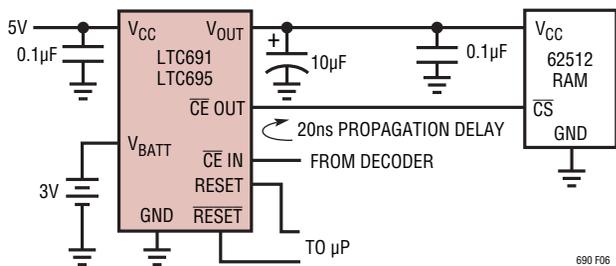


図6. 標準的な不揮発性CMOS RAMアプリケーション

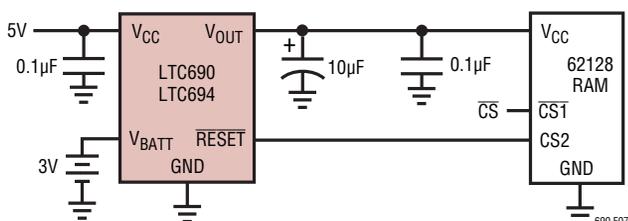


図7. LTC690またはLTC694を用いたRAMの書き込み保護

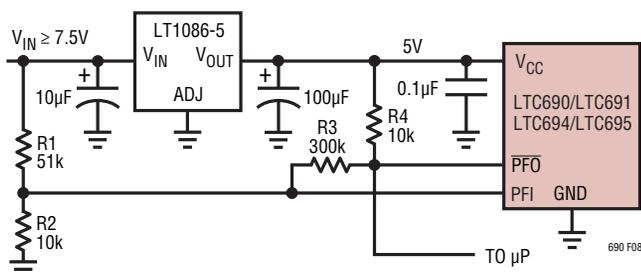


図8. LTC690のパワーフェイル・コンパレータによる非安定化DC電源の監視

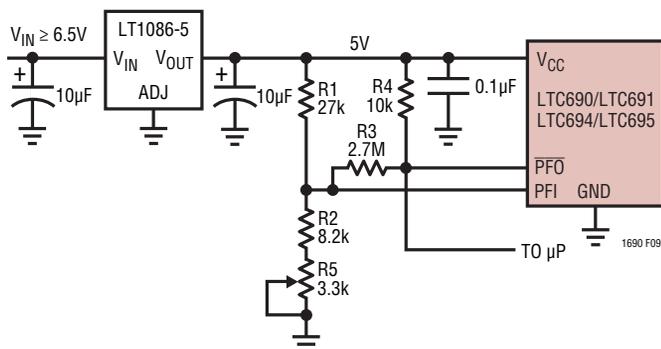


図9. LTC690のパワーフェイル・コンパレータによる安定化DC電源の監視

### パワーフェイルの警告

LTC690ファミリはマイクロプロセッサの電源故障の早期警告を行うためのパワーフェイル出力( $\overline{\text{PFO}}$ )を生成します。これは、パワーフェイル入力(PFI)を内部1.3Vリファレンスと比較することによって行われます。PFIピンの電圧が1.3Vよりも低下すると $\overline{\text{PFO}}$ が“L”に遷移します。通常、外付け分圧器(図8や図9のR1とR2)によって非安定化DC入力または安定化5V出力を検出してPFIをドライブします。分圧器の比は、5V電源が最大リセット電圧スレッシュホールドの4.75Vより低くなる数ミリ秒前に、PFIピンの電圧が1.3Vよりも低くなるように選択します。通常、 $\overline{\text{PFO}}$ によってマイクロプロセッサに割り込みをかけ、 $\overline{\text{PFO}}$ とRESETまたはRESETの間でシャットダウン処理を実行します。

パワーフェイル・コンパレータC3はヒステリシスを備えていません。ヒステリシスが必要であれば、図8や図9に示すように、 $\overline{\text{PFO}}$ 出力と非反転PFI入力ピンの間に抵抗を接続することによってヒステリシスを追加できます。コンパレータの上側および下側のトリップ・ポイントは次のように設定できます。

$\overline{\text{PFO}}$ 出力が“L”のとき、R3がPFIピンの加算点からの電流をシンクします。

$$V_H = 1.3V \left( 1 + \frac{R1}{R2} + \frac{R1}{R3} \right)$$

$\overline{\text{PFO}}$ 出力が“H”のときは、直列に接続されたR3とR4がPFIピンの加算点へ電流をソースします。

$$V_L = 1.3V \left( 1 + \frac{R1}{R2} - \frac{(5V - 1.3V)R1}{1.3V(R3 + R4)} \right)$$

$$\text{Assuming } R4 \ll R3, V_{\text{HYSTERESIS}} = 5V \frac{R1}{R3}$$

**例1:** 図8の回路はパワーフェイル・コンパレータを用いて非安定化電源入力をモニタする例です。ここで、電源入力 $V_{\text{IN}}$ の減衰速度が100mV/msであり、シャットダウン処理を実行する総時間が8msであると仮定し、さらに $V_{\text{IN}}$ のノイズが200mVであると仮定します。これらの仮定のもと、最大リセット電圧スレッシュホールドとLT1086-5の損失電圧の和(4.75V+1.5V)よりも1.25V大きくなるように $V_L=7.5V$ と設定し、さらに $V_{\text{HYSTERESIS}}=850\text{mV}$ と設定するのが妥当です。

## アプリケーション情報

$$V_{HYSTERESIS} = 5V \frac{R1}{R3} = 850mV$$

$$R3 = 5.88 R1$$

ここで、R3 = 300k、R1 = 51kを選択し、さらにR3よりもずっと小さいR4 = 10kを選択すれば次のようになります。

$$7.5V = 1.3V \left( 1 + \frac{51k}{R2} - \frac{(5V - 1.3V)51k}{1.3V(310k)} \right)$$

従って、R2 = 9.7kΩです。これに最も近い10kの5%抵抗を採用してV<sub>L</sub>を再計算すると次のようになります。

$$V_L = 1.3V \left( 1 + \frac{51k}{10k} - \frac{(5V - 1.3V)51k}{1.3V(310k)} \right) = 7.32V$$

$$V_H = 1.3V \left( 1 + \frac{51k}{10k} + \frac{51k}{300k} \right) = 8.151V$$

$$\frac{(7.32V - 6.25V)}{100mV/ms} = 10.7ms$$

$$V_{HYSTERESIS} = 8.151V - 7.32V = 831mV$$

10.7msはマイクロプロセッサのシャットダウン処理を実行する時間として十分であり、831mVのヒステリシスはV<sub>IN</sub>のノイズによってPFOが“L”になるのを防止するのに十分な値です。

**例2:** 図9の回路は、安定化5V電源を測定してパワーフェイルを早期に警告するのに使用できます。PFIスレッシュホールドにはばらつきがあるので、リセット・スレッシュホールドに達する前にPFIコンパレータがトリップするように回路を調節することが必要です。R5を調節して、V<sub>CC</sub>電源が望みのレベル(例えば4.85V)に達したときにPFO出力が“L”に遷移するようにします。

### バッテリーの状態の監視

C3でメモリ・バックアップ・バッテリーの状態をモニタすることも可能です(図10)。必要であれば、CE OUTを使用してバッテリーに試験負荷を与えることもできます。バッテリー・バックアップ・モードではCE OUTが強制的に“H”とされるので、たとえマイクロプロセッサに電力が供給されていない状況であっても、バッテリーが使用されているときにバッテリーに試験負荷が与えられることはありません。

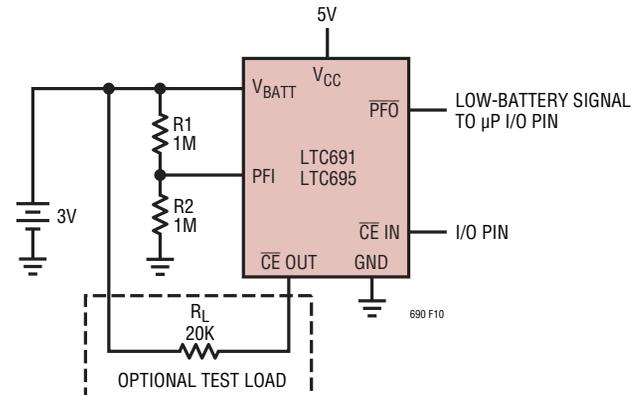


図10. オプションの試験負荷を有する  
バックアップ・バッテリー・モニタ

### ウォッチドッグ・タイマ

LTC690ファミリはマイクロプロセッサの動作をモニタするためのウォッチドッグ・タイマ機能を備えています。マイクロプロセッサが選択されたタイムアウト時間内にウォッチドッグ入力(WDI)をトグルしないと、LTC690/LTC691で最小35ms (LTC694/LTC695で140ms)、RESETが強制的にアクティブ“L”となります。LTC691/LTC695のリセット・アクティブ時間は調節可能です。多くのシステムでは、リセット直後にはウォッチドッグ・タイマが動作しないため、LTC691とLTC695では、リセットが発生した直後は、タイムアウト時間は通常よりも長く(最小1.0秒)なります。RESETが非アクティブとなった後にWDIの最初の遷移が起こると、その後はタイムアウト時間は通常値(最小70ms)が有効になります。LTC690とLTC694ではウォッチドッグ・タイムアウト時間は最小1.0秒に固定されています。図11は、ウォッチドッグ・タイムアウト時間とリセット・アクティブ時間のタイミング図です。RESETが非アクティブになると直ちにウォッチドッグ・タイムアウト時間が再開されます。タイムアウトの前にWDIピンが“H”から“L”または“L”から“H”に遷移すると、ウォッチドッグ・タイマがリセットされて新たなタイムアウト時間が開始されます。ウォッチドッグ・タイマがタイムアウトしないためには、最小タイムアウト時間内にWDIピンが“H”から“L”または“L”から“H”に遷移する必要があります。WDIピンの入力が“H”または“L”のいずれかに維持されると、標準で1.6秒ごとにリセット・パルスが送られます。WDIピンをフロート状態にすると、ウォッチドッグ・タイマは無効になります。V<sub>CC</sub>がリセット電圧スレッシュホールドまたはV<sub>BATT</sub>よりも低下したときも、ウォッチドッグ・タイマは無効になります。

## アプリケーション情報

LTC691とLTC695のもう1つの出力ピン(ウォッチドッグ出力、 $\overline{WDO}$ )は、ウォッチドッグ・タイマがタイムアウトとなったときに“L”となり、その後にWDIピンの次の遷移によって“H”にされるまで“L”の状態を維持します。 $V_{CC}$ がリセット電圧スレッシュヨルドまたは $V_{BATT}$ を下回ったときも $\overline{WDO}$ は“H”になります。

LTC691とLTC695はさらに2つのピンOSC SELとOSC INを備えており、これらのピンによって、リセット・アクティブ時間とウォッチドッグ・タイムアウト時間を表2に示すように調節することができます。いくつかの構成例を図12に示します。

OSC SELが“L”に強制されているときは、OSC INを外部クロック信号でドライブするか、または、OSC INとGNDの間に外付けコンデンサを接続することができます。これらの構成では、リセット・アクティブ時間とウォッチドッグ・タイムアウト時間の公称値は表2に示したクロック数で決定されるか、または表2に示した式によって設定されます。OSC SELが“H”またはフロート状態のときは、内部発振器がイネーブルされ、リセット・アクティブ時間はLTC691で最小35ms、LTC695では最小140msに固定されます。OSC INによって、通常のウォッチドッグ・タイムアウト時間を最小1秒と最小70msのどちらかに設定できます。いずれの場合でも、リセット直後のタイムアウト時間は最小1秒となります。

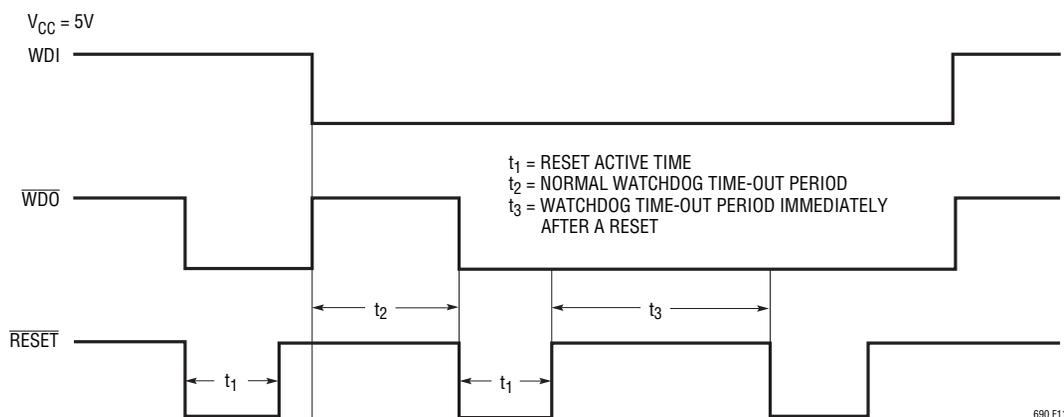


図11.ウォッチドッグ・タイムアウト時間とリセット・アクティブ時間

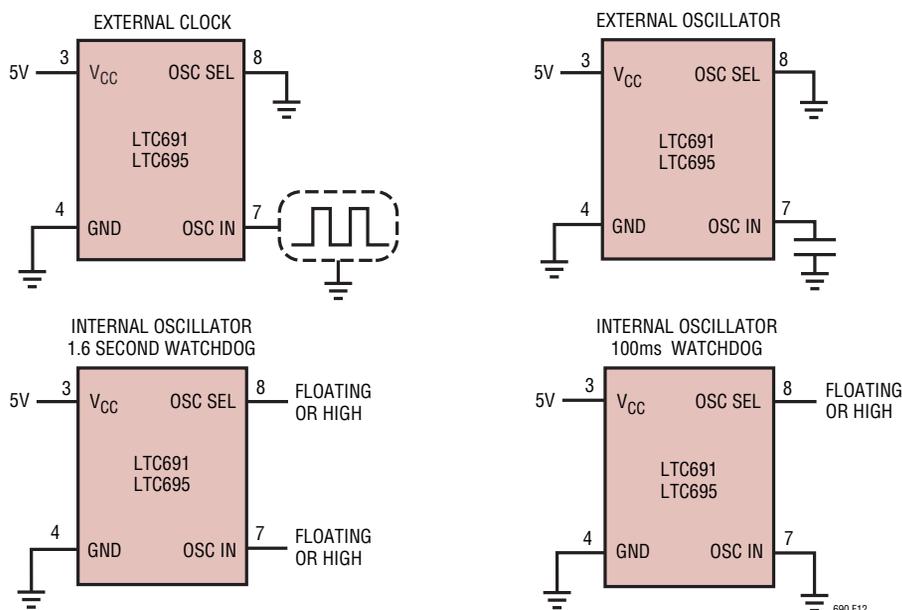


図12.発振器の構成

## アプリケーション情報

表2. LTC691とLTC695のリセット・アクティブ時間とウォッチドッグ・タイムアウト時間の選択

OSC SEL	OSC IN	ウォッチドッグ・タイムアウト時間		リセット・アクティブ時間	
		通常(短い)	リセット直後(長い)	LTC691	LTC695
Low	External Clock Input	1024 clks	4096 clks	512 clks	2048 clks
Low	External Capacitor*	$\frac{400\text{ms}}{70\text{pF}} \cdot C$	$\frac{1.6\text{sec}}{70\text{pF}} \cdot C$	$\frac{200\text{ms}}{70\text{pF}} \cdot C$	$\frac{800\text{ms}}{70\text{pF}} \cdot C$
Floating or High Floating or High	Low Floating or High	100ms 1.6 sec	1.6 sec 1.6 sec	50ms 50ms	200ms 200ms

\*内部周波数の公称値は10.24kHzです。外付けコンデンサを使用した場合の発振器周波数の公称値は $f_{\text{osc}}(\text{Hz}) = \frac{184,000}{C(\text{pF}) \cdot 1025}$ です。

### プッシュボタンによるリセット

LTC690ファミリはプッシュボタンに直接接続するためのロジック入力ピンを備えていませんが、RESET出力ピンに100Ωの直列抵抗を介してプッシュボタンを接続すれば、マニュアル・リセットが可能となります(図3)。0.1μFのコンデンサをRESETピンに接続すると、プッシュボタン入力がデバウンスされます。

容量とリード・インダクタンスによるリングングによってMPUとLTC69XのRESETピンがグランドより下になるのを防ぐために、プッシュボタンに直列に100Ωの抵抗を接続することが必要です。

専用のプッシュボタン・リセット入力ピンが必要な場合は、LTC1235を推奨します(図14)。LTC1235はLTC695のすべての機能を備えており、さらに加えて、プッシュボタン・リセット機能を備えています。LTC1235では、プッシュボタンのデバウンスは内部で行われ、通常のリセット・シーケンスは200msです。従って、LTC1235では100Ω抵抗と0.1μFのコンデンサは不要です。さらに、LTC1235では、より確実なリセット・パルスが得られます。

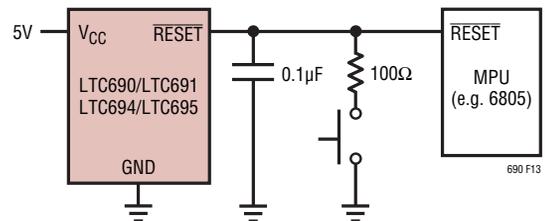


図13. 外部プッシュボタンによるリセット

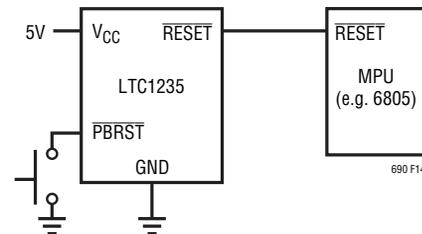
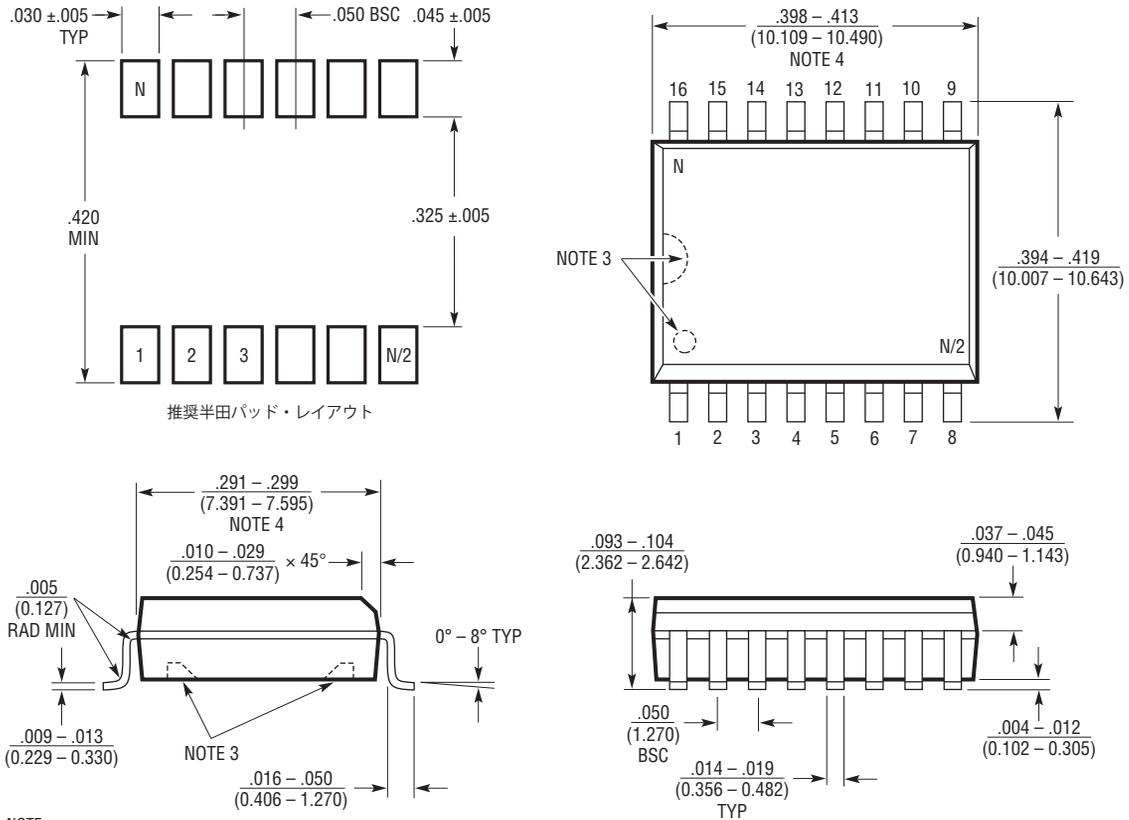


図14. LTC1235を用いた外部プッシュボタンによるリセット

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

### SWパッケージ 16ピン・プラスチック・スモール・アウトライン(ワイド型0.300インチ) (Reference LTC DWG # 05-08-1620)



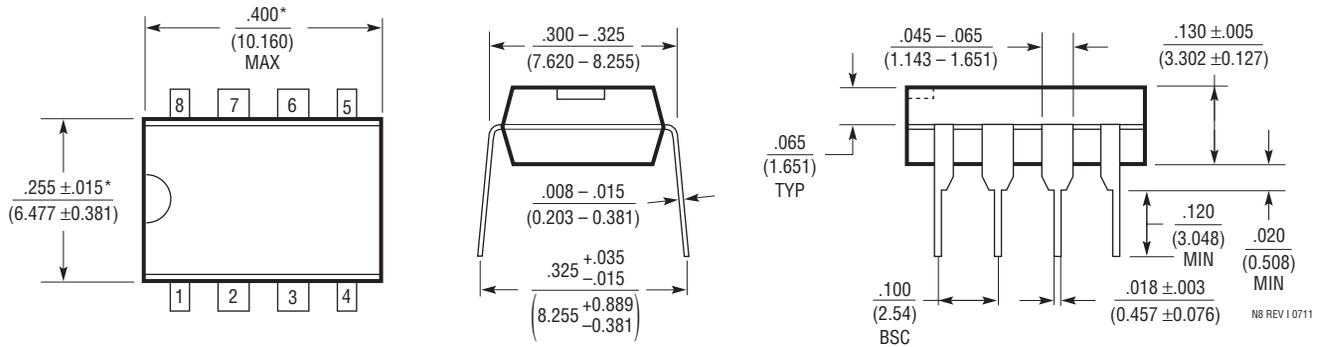
- NOTE:
1. 寸法は  $\frac{\text{インチ}}{\text{(ミリメートル)}}$
  2. 図は実寸とは異なる
  3. ピン1の識別、パッケージ上面のノッチとパッケージの底面のキャビティは製造時のオプションである  
デバイスはオプション付きまたはオプション無しで供給することができる
  4. これらの寸法にはモールドのバリまたは突出部を含まない  
モールドのバリまたは突出部は、0.15mm (0.006") を超えないこと

S16 (WIDE) 0502

パッケージ

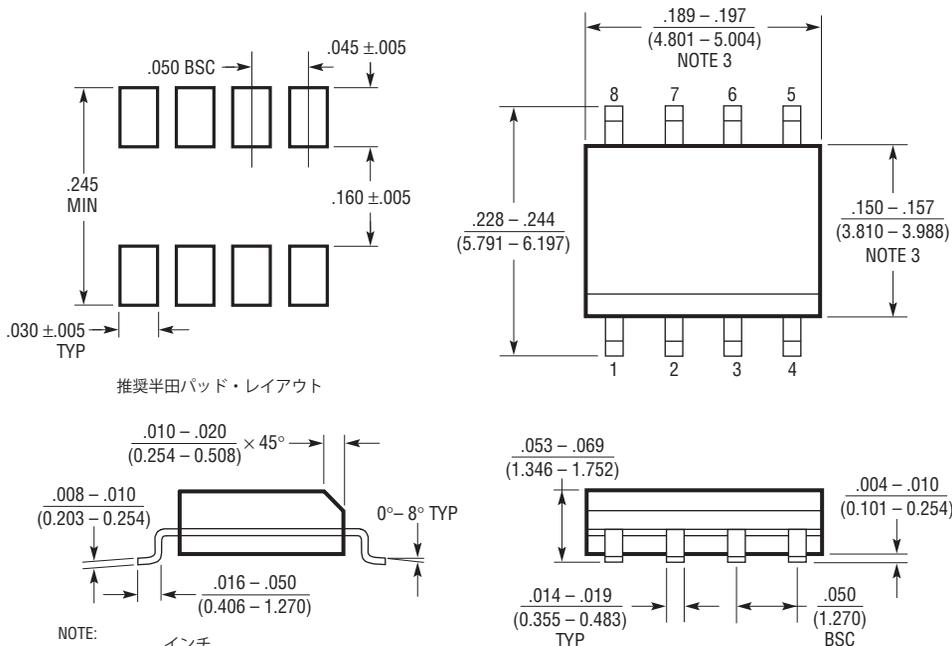
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

**Nパッケージ**  
**8ピン PDIP (細型0.300インチ)**  
(Reference LTC DWG # 05-08-1510 Rev I)



NOTE:  
1. 寸法は  $\frac{\quad}{\quad}$  インチ  
(ミリメートル)  
\*これらの寸法にはモールドのバリまたは突出部を含まない  
モールドのバリまたは突出部は、0.254mm (0.010") を超えないこと

**S8パッケージ**  
**8ピン・プラスチック・スモール・アウトライン (細型0.150インチ)**  
(Reference LTC DWG # 05-08-1610 Rev G)



推奨半田パッド・レイアウト

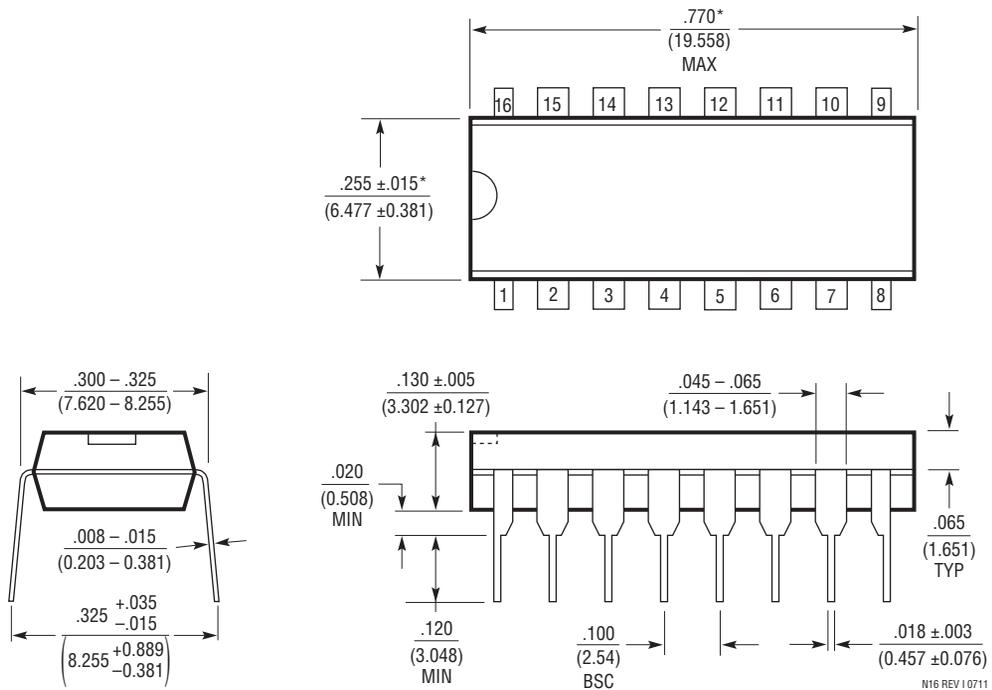
NOTE:  
1. 寸法は  $\frac{\quad}{\quad}$  インチ  
(ミリメートル)  
2. 図は実寸とは異なる  
3. これらの寸法にはモールドのバリまたは突出部を含まない  
モールドのバリまたは突出部は、0.15mm (0.006") を超えないこと  
4. ピン1は斜めのエッジかへこみのいずれか

S08 REV G 0212

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

Nパッケージ  
16ピン PDIP (細型0.300インチ)  
(Reference LTC DWG # 05-08-1510 Rev I)



NOTE:  
1. 寸法は  $\frac{\text{インチ}}{\text{(ミリメートル)}}$

\*これらの寸法にはモールドのバリまたは突出部を含まない  
モールドのバリまたは突出部は、0.254mm (0.010") を超えないこと

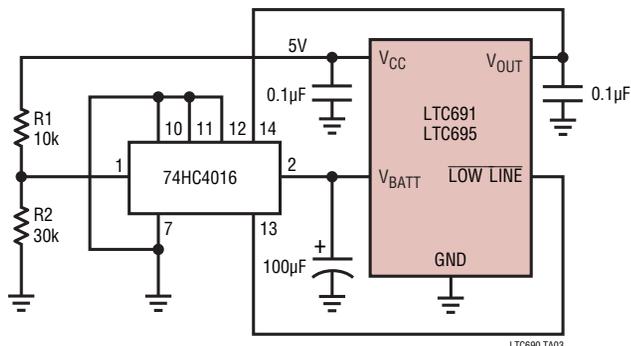
## 改訂履歴 (Rev Dよりスタート)

Rev	日付	概要	ページ番号
D	3/10	「特長」から「UL認定済み」およびULファイル番号を削除	1
E	4/10	LTC690MJ8を削除	3
F	3/13	LTC690CS8とLTC690IS8のトップ・マーキングを修正	3

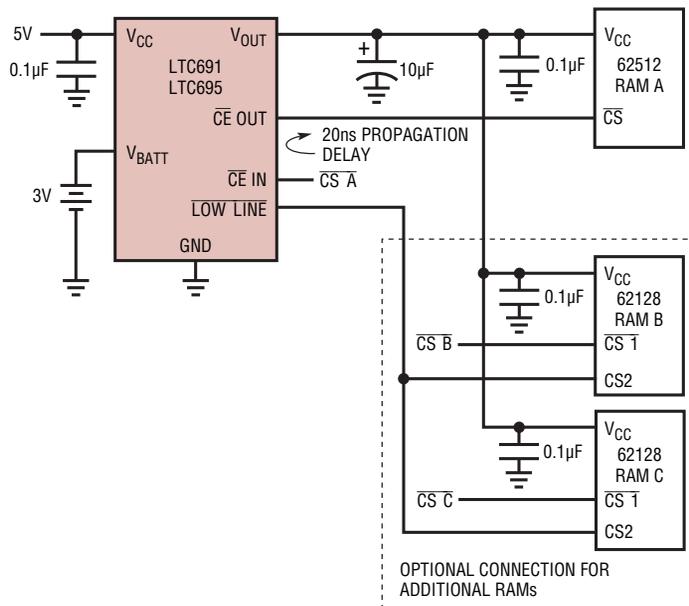
# LTC690/LTC691 LTC694/LTC695

## 標準的応用例

74HC4016スイッチを使用したコンデンサのバックアップ



追加RAMの書き込み保護



## 関連製品

製品番号	説明	注釈
LTC699	マイクロプロセッサ監視回路	スレッシュホールド: 4.65V、ウォッチドッグ・タイマ
LTC1232	マイクロプロセッサ監視回路	スレッシュホールド: 4.62V、4.37V、ウォッチドッグ・タイマ、手動リセット
LTC1235	マイクロプロセッサ監視回路	スレッシュホールド: 4.65V、ウォッチドッグ・タイマ、パワーフェイル警告、手動リセット、RAM保護
LTC1326	マイクロパワー高精度トリプル電源モニタ	スレッシュホールド: 4.725V、3.118V、1V (±0.75%)
LTC1536	PCIアプリケーション用マイクロパワー・トリプル電源モニタ	PCI t <sub>FAIL</sub> タイミング仕様に適合
LTC2912	シングルUV/OV電圧モニタ	抵抗でプログラム可能なスレッシュホールド、UV/OV出力、シャント・レギュレータ
LTC2915	選択可能な27種類のスレッシュホールドを備えた電源監視デバイス	9つのピン選択可能なスレッシュホールド、3種類の許容誤差、1.5V~5.5V電源動作
LTC2916	選択可能な9種類のスレッシュホールドを備えた電源監視デバイス	9つのピン選択可能なスレッシュホールド、1.5V~5.5V電源動作、手動リセット
LTC2917	選択可能な27種類のスレッシュホールドとウォッチドッグ・タイマを備えた電源監視デバイス	9つのピン選択可能なスレッシュホールド、3種類の許容誤差、1.5V~5.5V電源動作、調整可能なウォッチドッグ・タイマ
LTC2918	選択可能な9種類のスレッシュホールドとウォッチドッグ・タイマを備えた電圧電源監視デバイス	9つのピン選択可能なスレッシュホールド、1.5V~5.5V電源動作、手動リセット、調整可能なウォッチドッグ・タイマ
LTC2934	パワーフェイル出力付きの調整可能な超低消費電力モニタ	抵抗でプログラム可能なスレッシュホールド、消費電流: 500nA、1.6V~5.5V電源動作、パワーフェイル警告、手動リセット
LTC2935	パワーフェイル出力付きの調整可能な超低消費電力モニタ	8つのピン選択可能なスレッシュホールド、消費電流: 500nA、パワーフェイル警告、手動リセット

690ff