

特長

- 1Mbpsの絶縁型SPIデータ通信
- 標準トランスを使用したシンプルな電氣的絶縁
- 1本のより対線による双方向インタフェース
- 最大100メートルのケーブル長をサポート
- EMIの影響をきわめて受けにくくEMIの放射が非常に少ない
- ノイズ排除性が高く低消費電力の構成が可能
- ISO26262 準拠システムに対応した設計
- ほとんどのSPIシステムでソフトウェア変更不要
- 超低アイドル電流: 2μA
- 自動起動検出
- 動作温度範囲: -40°C ~ 125°C
- 電源電圧: 2.7V ~ 5.5V
- 1.7V ~ 5.5Vのすべてのロジックにインタフェース
- 16ピンQFNパッケージおよびMSOPパッケージで供給可能

アプリケーション

- 産業用ネットワーク通信
- バッテリ・モニタ・システム
- リモート・センサ

概要

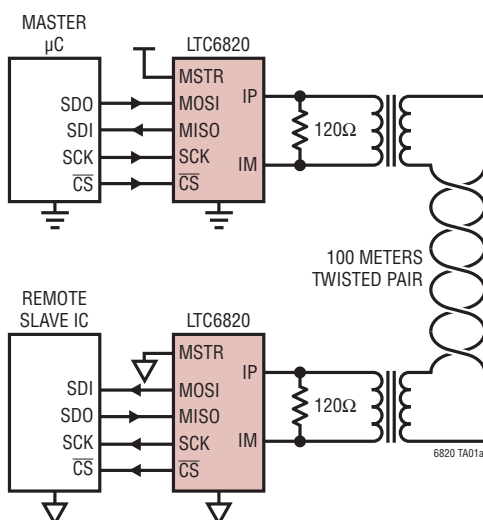
LTC®6820は、2つの絶縁されたデバイス間で1本のより対線による接続を介して双方向のSPI通信を実現します。各LTC6820は、ロジックの状態を信号に符号化し、その信号を絶縁障壁を越えて別のLTC6820に伝送します。受信側のLTC6820は、伝送信号を復号し、スレーブ・バスを該当のロジック状態に駆動します。絶縁障壁は簡素なパルス・トランスでブリッジを構成して、数百Vの絶縁を達成できます。

LTC6820は、整合したシンク電流およびソース電流を使用して差動信号を駆動するので、トランスの中間タップが不要であり、EMIが低減されます。レシーバ内の高精度ウィンドウ・コンパレータが差動信号を検出します。駆動電流とコンパレータのしきい値は簡素な外付け抵抗分割器で設定するので、必要なケーブル長と目的の信号対ノイズ比性能に合わせてシステムを最適化できます。

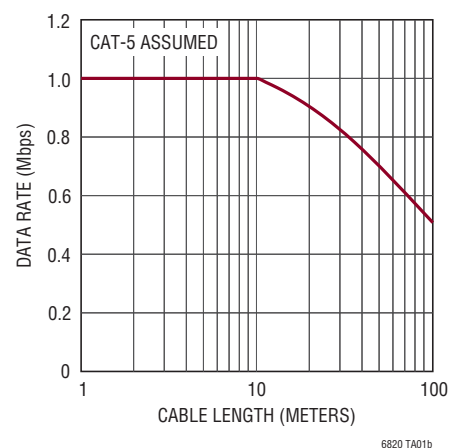
LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。isoSPIはリニアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。特許出願中。

標準的応用例

マイクロコントローラからSPIスレーブへの絶縁インタフェース



データレートとケーブル長



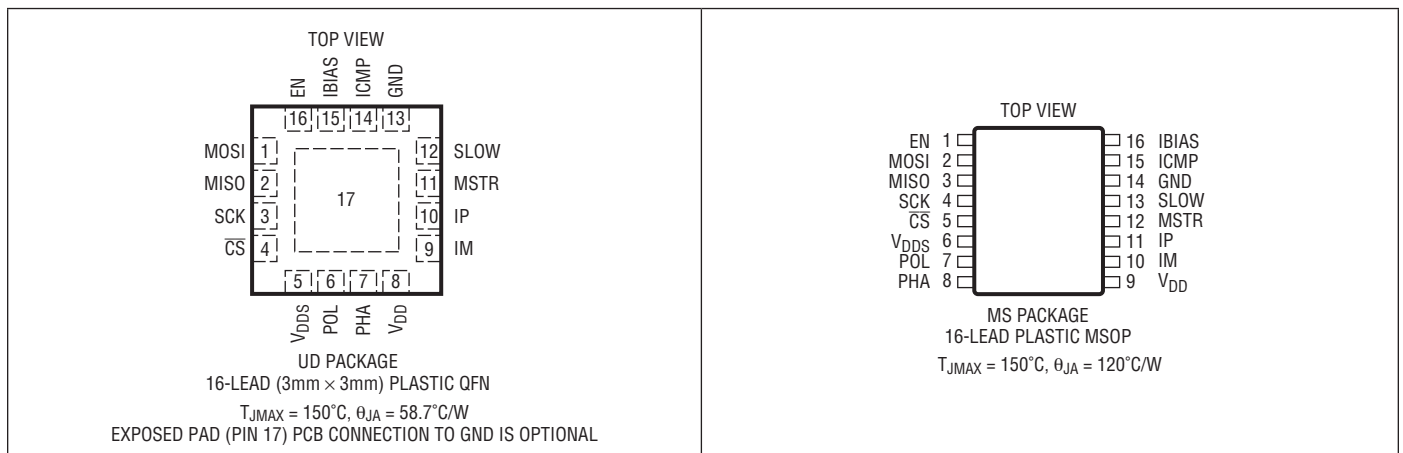
LTC6820

絶対最大定格 (Note 1, 2, 3)

GND への入力電源電圧 (V_{DD} および V_{DDS})	6V
ピン電圧	
SCK, \overline{CS} , EN	-0.3V ~ $V_{DDS} + 0.3V$ (最大 6V)
IBIAS, SLOW, IP, IM	-0.3V ~ $V_{DD} + 0.3V$ (最大 6V)
その他全てのピンの電圧	-0.3V ~ 6V
最大ソース/シンク電流	
IP, IM	30mA
MOSI, MISO, SCK, \overline{CS}	20mA
動作温度範囲	
LTC6820I	-40°C ~ 85°C
LTC6820H	-40°C ~ 125°C

規定温度範囲	
LTC6820I	-40°C ~ 85°C
LTC6820H	-40°C ~ 125°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け, 10 秒)	
MSOP	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6820IUD#PBF	LTC6820IUD#TRPBF	LGFM	16-Lead (3mm x 3mm) Plastic QFN	-40°C to 85°C
LTC6820HUD#PBF	LTC6820HUD#TRPBF	LGFM	16-Lead (3mm x 3mm) Plastic QFN	-40°C to 125°C
LTC6820IMS#PBF	LTC6820IMS#TRPBF	6820	16-Lead Plastic MSOP	-40°C to 85°C
LTC6820HMS#PBF	LTC6820HMS#TRPBF	6820	16-Lead Plastic MSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ●は全規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{DDS} = 1.7\text{V} \sim 5.5\text{V}$ 、 $R_{BIAS} = 2\text{k} \sim 20\text{k}$ 。すべての電圧値はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電源							
V_{DD}	Operating Supply Voltage Range		●	2.7	5.5	V	
V_{DDS}	IO Supply Voltage Range (Level Shifting)	Affects \overline{CS} , SCK, MOSI, MISO and EN Pins	●	1.7	5.5	V	
I_{DD}	Supply Current, READY/ACTIVE States (Note 4)	$R_{BIAS} = 2\text{k}\Omega$ ($I_B = 1\text{mA}$)	●	4	4.8 7	5.8	mA mA
		$R_{BIAS} = 20\text{k}\Omega$ ($I_B = 0.1\text{mA}$)	●	1.3	2 2.4	2.9	mA mA
	Supply Current, IDLE State	MSTR = 0V	●		2	6	μA
		MSTR = V_{DD}	●		1	3	μA
I_{DDS}	IO Supply Current (Note 5)	SPI Inputs and EN Pin at 0V or V_{DDS} , SPI Outputs Unloaded	●		1	μA	
バイアス							
V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2.0 0	2.1 V	V V
I_B	Isolated Interface Bias Current (Note 6)	$R_{BIAS} = 2\text{k}$ to 20k	●	V_{BIAS}/R_{BIAS}		mA	
A_{IB}	Isolated Interface Current Gain	$V_A \leq 1.6\text{V}$	●	18	20	22	mA/mA
		$I_B = 1\text{mA}$ $I_B = 0.1\text{mA}$	●	18	20	24	mA/mA
V_A	Transmitter Pulse Amplitude	$V_A = V_{IP} - V_{IM} $	●		$V_{DD} - 1.7\text{V}$	V	
		$V_{DD} < 3.3\text{V}$ $V_{DD} \geq 3.3\text{V}$	●		1.6	V	
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{TCMP} = A_{TCMP} \cdot V_{ICMP}$	●	0.2	1.5	V	
$I_{LEAK(ICMP)}$	Leakage Current on ICMP Pin	$V_{ICMP} = 0\text{V}$ to V_{DD}	●		± 1	μA	
$I_{LEAK(IP/IM)}$	Leakage Current on IP and IM Pins	IDLE State, $V_{IP} = V_{IM} = 0\text{V}$ to V_{DD}	●		± 2	μA	
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{CM} = V_{DD}/2$ to $V_{DD} - 0.2\text{V}$, $V_{ICMP} = 0.2\text{V}$ to 1.5V	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP/IM Not Driving		$(V_{DD} - V_{ICMP}/3 - 167\text{mV})$		V	
R_{IN}	Receiver Input Resistance	Single-Ended to IP or IM	●	26	35	42	$\text{k}\Omega$
アイドル/ウェイクアップ (図 13、14、15 を参照)							
V_{WAKE}	Differential Wake-Up Voltage (See Figure 13)	$t_{DWELL} = 240\text{ns}$	●	240		mV	
t_{DWELL}	Dwell Time at V_{WAKE}	$V_{WAKE} = 240\text{mV}$	●	240		ns	
t_{READY}	Start-Up Time After Wake Detection		●		8	μs	
t_{IDLE}	Idle Time-Out Duration		●	4	5.7	7.5	ms
デジタルI/O							
$V_{IH(CFG)}$	Digital Voltage Input High, Configuration Pins (PHA, POL, MSTR, SLOW)	$V_{DD} = 2.7\text{V}$ to 5.5V (POL, PHA, MSTR, SLOW)	●	$0.7 \cdot V_{DD}$		V	
$V_{IL(CFG)}$	Digital Voltage Input Low, Configuration Pins (PHA, POL, MSTR, SLOW)	$V_{DD} = 2.7\text{V}$ to 5.5V (POL, PHA, MSTR, SLOW)	●	$0.3 \cdot V_{DD}$		V	
$V_{IH(SPI)}$	Digital Voltage Input High, SPI Pins (\overline{CS} , SCK, MOSI, MISO)	$V_{DDS} = 2.7\text{V}$ to 5.5V	●	$0.7 \cdot V_{DDS}$		V	
		$V_{DDS} = 1.7\text{V}$ to 2.7V	●	$0.8 \cdot V_{DDS}$		V	
$V_{IL(SPI)}$	Digital Voltage Input Low, SPI Pins (\overline{CS} , SCK, MOSI, MISO)	$V_{DDS} = 2.7\text{V}$ to 5.5V	●	$0.3 \cdot V_{DDS}$		V	
		$V_{DDS} = 1.7\text{V}$ to 2.7V	●	$0.2 \cdot V_{DDS}$		V	
$V_{IH(EN)}$	Digital Voltage Input High, EN Pin	$V_{DDS} = 2.7\text{V}$ to 5.5V	●	2		V	
		$V_{DDS} = 1.7\text{V}$ to 2.7V	●	$0.85 \cdot V_{DDS}$		V	
$V_{IL(EN)}$	Digital Voltage Input Low, EN Pin	$V_{DDS} = 2.7\text{V}$ to 5.5V	●	0.8		V	
		$V_{DDS} = 1.7\text{V}$ to 2.7V	●	$0.25 \cdot V_{DDS}$		V	
V_{OH}	Digital Voltage Output High (\overline{CS} and SCK)	$V_{DDS} = 3.3\text{V}$, Sourcing 2mA	●	$V_{DDS} - 0.2$		V	
		$V_{DDS} = 1.7\text{V}$, Sourcing 1mA	●	$V_{DDS} - 0.25$		V	
V_{OL}	Digital Voltage Output Low (MOSI, MISO, \overline{CS} , SCK)	$V_{DDS} = 3.3\text{V}$, Sinking 3.3mA	●	0.2		V	
		$V_{DDS} = 1.7\text{V}$, Sinking 1mA	●	0.2		V	

LTC6820

電気的特性 ●は全規定接合部温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{DDS} = 1.7\text{V} \sim 5.5\text{V}$ 。 $R_{BIAS} = 2\text{k} \sim 20\text{k}$ 。すべての電圧値はGNDを基準にしている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{LEAK(DIG)}$	Digital Pin Input Leakage Current	PHA, POL, MSTR, SLOW = 0V to V_{DD} \overline{CS} , SCK, MOSI, MISO, EN = 0V to V_{DDS}	●		±1	μA
$C_{I/O}$	Input/Output Pin Capacitance	(Note 9)			10	pF

絶縁型パルス・タイミング (図2を参照)

$t_{1/2PW(CS)}$	Chip-Select Half-Pulse Width		●	120	150	180	ns
$t_{INV(CS)}$	Chip-Select Pulse Inversion Delay		●			200	ns
$t_{DEL(CS)}$	Chip-Select Response Delay		●		140	190	ns
$t_{1/2PW(D)}$	Data Half-Pulse Width		●	40	50	60	ns
$t_{INV(D)}$	Data Pulse Inversion Delay		●			70	ns
$t_{DEL(D)}$	Data Response Delay	(Note 8)	●		75	120	ns

isoSPI™ タイミング・マスタ (図3と4を参照)

t_{CLK}	SCK Latching Edge to SCK Latching Edge	(Note 7)	SLOW = 0 SLOW = 1	● ●	1 5		μs μs
t_1	MOSI Setup Time Before SCK Latching Edge	(Note 8)		●	25		ns
t_2	MOSI Hold Time After SCK Latching Edge			●	25		ns
t_3	SCK Low	$t_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$		●	50		ns
t_4	SCK High	$t_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$		●	50		ns
t_5	\overline{CS} Rising Edge to \overline{CS} Falling Edge			●	0.6		μs
t_6	SCK Latching Edge to \overline{CS} Rising Edge	(Note 7)		●	1		μs
t_7	\overline{CS} Falling Edge to SCK Latch Edge	(Note 7)		●	1		μs
t_8	SCK Non-Latch Edge to MISO Valid	(Note 8)		●		55	ns
t_9	SCK Latching Edge to Short ±1 Transmit			●		50	ns
t_{10}	\overline{CS} Transition to Long ±1 Transmit			●		55	ns
t_{11}	\overline{CS} Rising Edge to MISO Rising	(Note 8)		●		55	ns

isoSPI タイミングスレーブ (図3と4を参照)

t_{12}	isoSPI Data Recognized to SCK Latching Edge	(Note 8)	SLOW = 0 SLOW = 1	● ●	110 0.9	145 1.1	185 1.4	ns μs
t_{13}	SCK Pulse Width		SLOW = 0 SLOW = 1	● ●	90 0.9	115 1.1	150 1.4	ns μs
t_{14}	SCK Non-Latch Edge to isoSPI Data Transmit	(Note 8)	SLOW = 0 SLOW = 1	● ●	115 0.9	145 1.1	190 1.4	ns μs
t_{15}	\overline{CS} Falling Edge to SCK Non-Latch Edge	PHA = 1	SLOW = 0 SLOW = 1	● ●	90 0.9	120 1.1	160 1.4	ns μs
t_{16}	\overline{CS} Falling Edge to isoSPI Data Transmit		SLOW = 0 SLOW = 1	● ●	200 1.8	265 2.2	345 2.8	ns μs
t_{17}	\overline{CS} Rising Edge to SCK Latching Edge	PHA = 1	SLOW = 0 SLOW = 1	● ●	90 0.9	120 1.1	160 1.4	ns μs
t_{18}	\overline{CS} Rising Edge to MOSI Rising Edge	(Note 8)		●			35	ns
t_{RTN}	Data Return Delay		SLOW = 0 SLOW = 1	● ●		485 3.3	625 4	ns μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 注記がない限り、ピンに流れ込む電流はすべて正であり、すべての電圧はGNDを基準にしている。

Note 3: LTC6820Iは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6820Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

Note 4: アクティブ電源電流(I_{DD})は、IPおよびIM上で出力ドライバがアクティブになる時間の長さによって異なる。これらの時間、 I_{DD} は $20 \cdot I_B$ ドライブ電流だけ増加する。最大データレートが1MHzのとき、MSTR = 1の場合はドライバは時間の約10%アクティブになり、MSTR = 0の場合は約5%アクティブになる。詳細については「アプリケーション情報」のセクションを参照のこと。

電气的特性

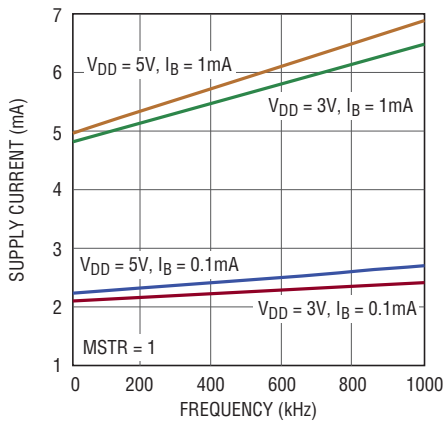
Note 5: IO電源ピン(V_{DDS})は、ENピンを含むSPI入力および出力に電力を供給する。入力が0Vに近いまたは V_{DDS} であり(入力バッファ内の静電流を回避し)、出力がソース電流ではない場合、 I_{DDS} には漏れ電流だけが含まれる。

Note 6: LTC6820は、 R_{BIAS} の抵抗値が2k~20k(許容誤差1%以下)の場合、仕様に適合することが保証されている。これらの抵抗値は、0.1mA(20k)~1mA(2k)の標準 I_B に対応する。

Note 7: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に50nsの遅延を許容する。50nsは10mのCAT-5ケーブル(伝播速度が光速の66%)に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

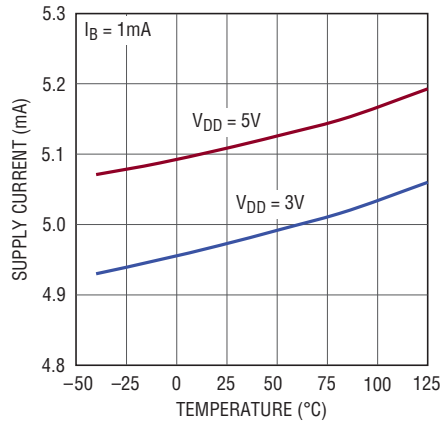
Note 8: これらの仕様には、立ち上がり時間と立ち下がり時間は含まれない。立ち下がり時間(内部プルダウン・トランジスタのため標準で5ns)は問題ではないが、立ち上がりエッジの遷移時間 t_{RISE} はプルアップ抵抗と負荷容量によって異なる。特に、 t_{12} と t_{14} は、(SLOW=0の場合)スレープのセットアップ時間とホールド時間のために $t_{RISE} < 110ns$ にする必要がある。したがって、推奨時定数は50ns以下である。例えば、データ・ピン上の総容量が25pF(10pFの自己容量 $C_{I/O}$ を含む)である場合、必要なプルアップ抵抗値は $R_{PU} \leq 2k\Omega$ である。これらの要件を満たせない場合は、SLOW=1を使用すること。

Note 9: 設計により保証されている。製造プロセスではテストされない。

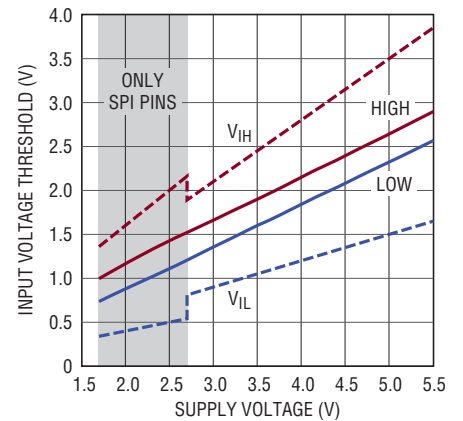
標準的性能特性 注記がない限り、 $V_{DD} = V_{DDS}$ 。電源電流(READY/ACTIVE)と
クロック周波数

6820 G01

電源電流(READY)と温度

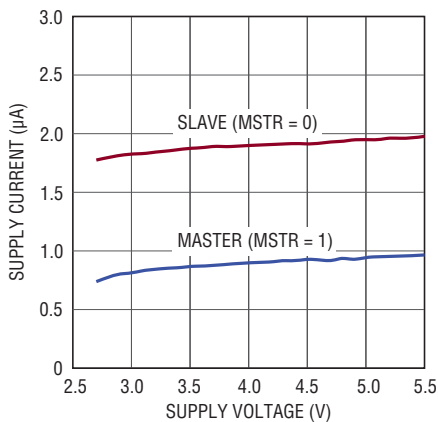


6820 G02

入力電圧のしきい値(ENピンを除く)と
電源電圧(V_{DD} または V_{DDS})

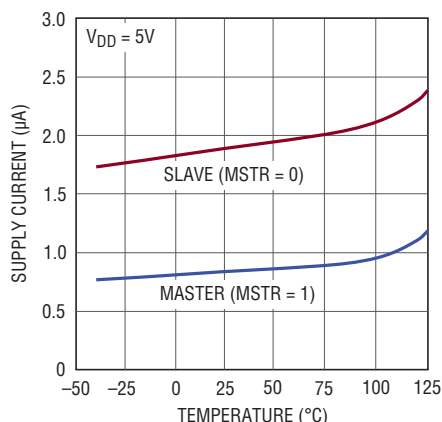
6820 G03

電源電流(IDLE)と電源電圧

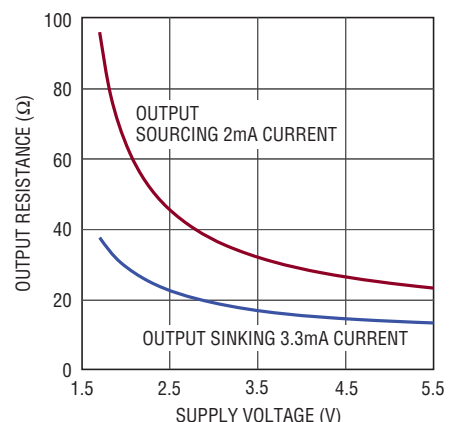


6820 G04

電源電流(IDLE)と温度



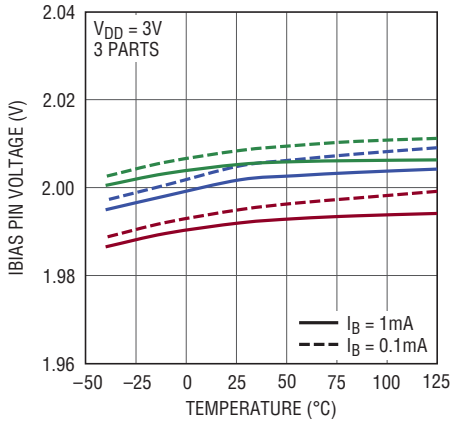
6820 G05

出力抵抗と電源電圧(V_{OH}/V_{OL})

6820 G19

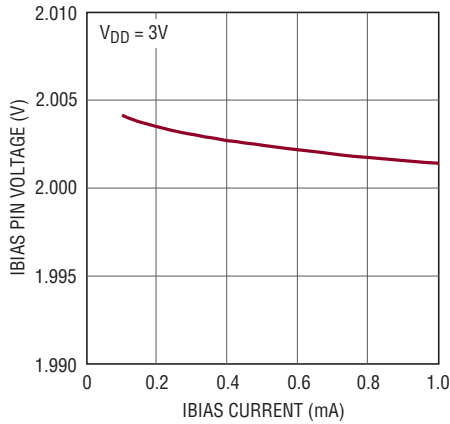
標準的性能特性 注記がない限り、 $V_{DD} = V_{DSS}$ 。

IBIAS 電圧と温度



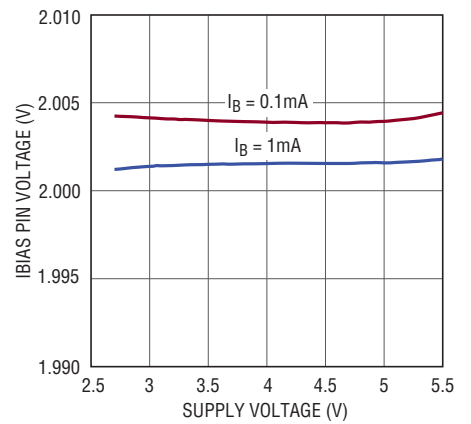
6820 G07

IBIAS 電圧の負荷レギュレーション



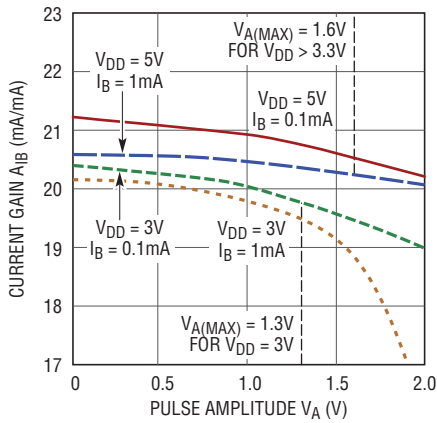
6820 G08

IBIAS 電圧と電源電圧



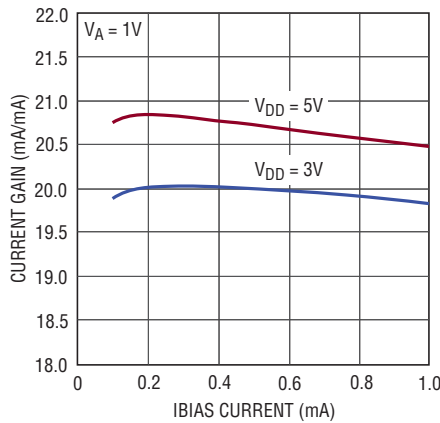
6820 G09

ドライバ電流の利得と振幅



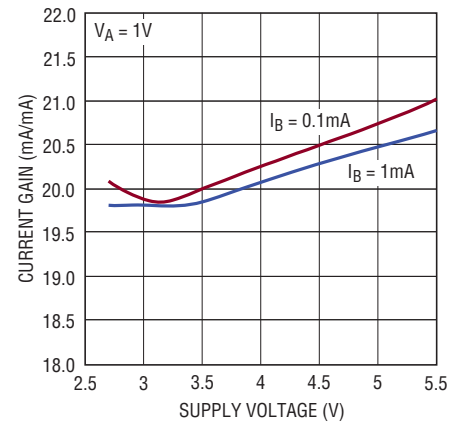
6820 G10

ドライバ電流の利得と IBIAS 電流 (I_B)



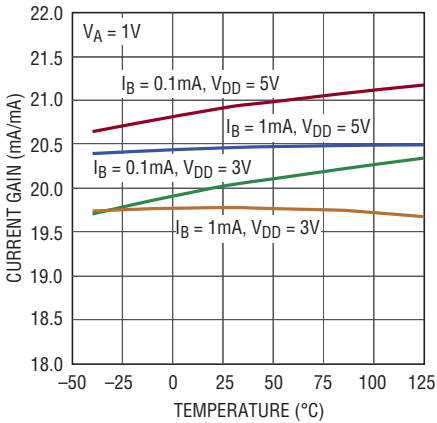
6820 G11

ドライバ電流の利得と電源電圧



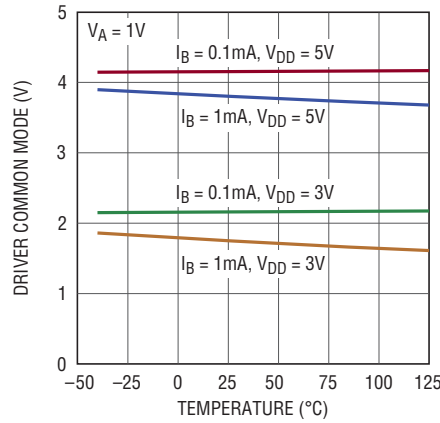
6820 G12

ドライバ電流の利得と温度



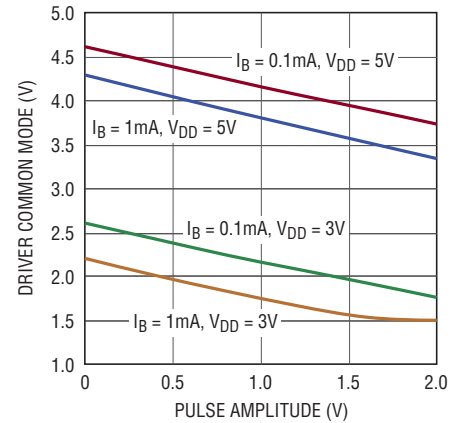
6820 G13

ドライバ同相電圧と温度



6820 G14

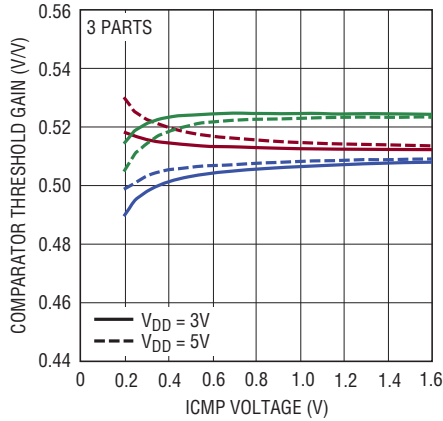
ドライバ同相電圧とパルス振幅



6820 G15

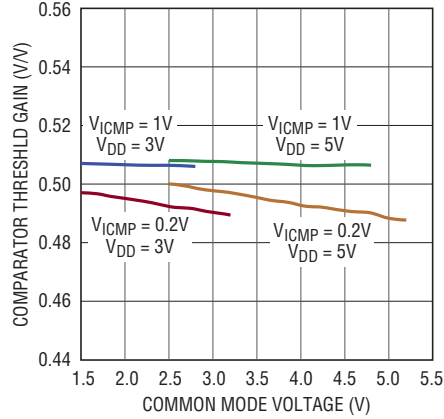
標準的性能特性 注記がない限り、 $V_{DD} = V_{DDs}$ 。

コンパレータのしきい値の利得と
ICMP 電圧



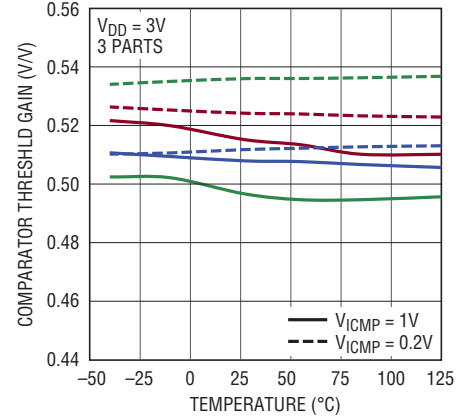
6820 G16

コンパレータのしきい値の利得と
同相電圧



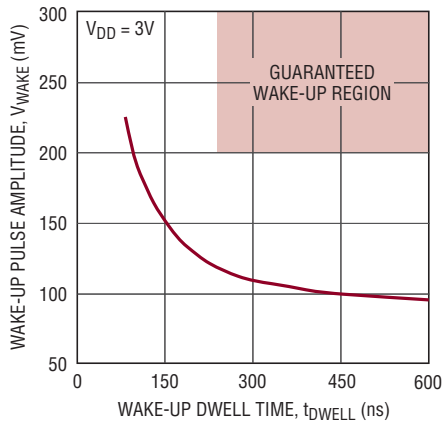
6820 G17

コンパレータのしきい値の利得と
温度



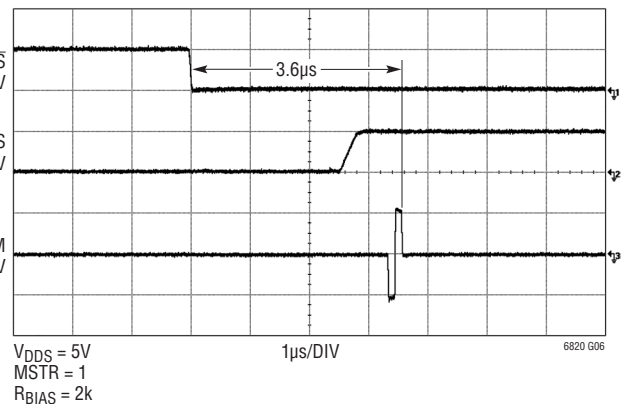
6820 G18

ウェイクアップパルスの振幅と
ドウェル・タイム



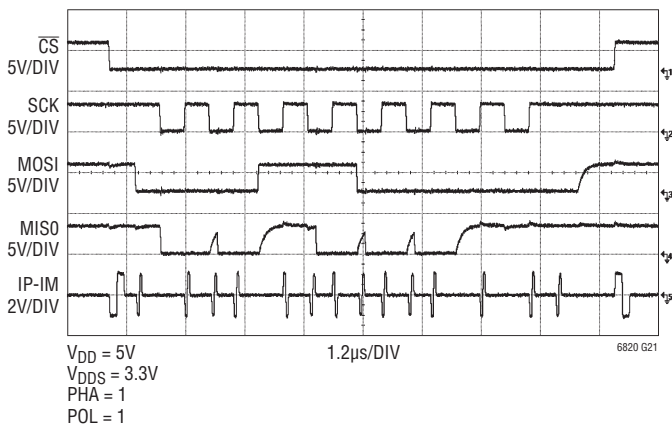
6820 G20

スタートアップ時間



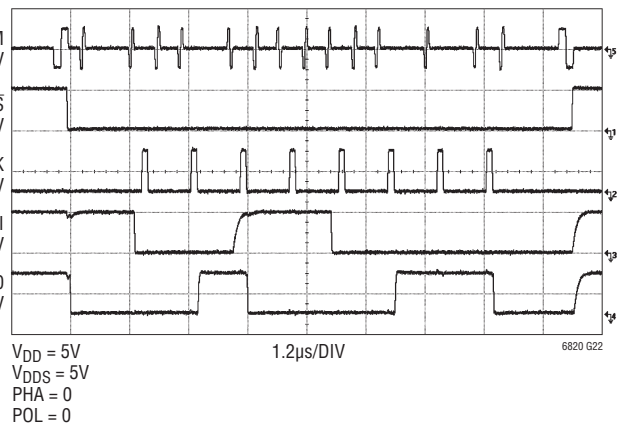
6820 G06

SPI 信号と isoSPI パルス、MSTR = 1



6820 G21

SPI 信号と isoSPI パルス、MSTR = 0



6820 G22

ピン機能 (QFN/MSOP)

MOSI (ピン1/ピン2) : SPI マスタ出力/スレーブ入力データ。SPI インタフェースのマスタ側に接続した場合 (MSTR ピンは“H”)、このピンはマスタ SPI コントローラからのデータ信号出力を受信します。SPI インタフェースのスレーブ側に接続した場合 (MSTR ピンは“L”)、このピンはスレーブ SPI デバイスへのデータ信号入力を駆動します。出力はオープン・ドレインであるため、 V_{DDs} に外付けプルアップ抵抗を接続する必要があります。

MISO (ピン2/ピン3) : SPI マスタ入力/スレーブ出力データ。SPI インタフェースのマスタ側に接続した場合 (MSTR ピンは“H”)、このピンはマスタ SPI コントローラへのデータ信号入力を駆動します。SPI インタフェースのスレーブ側に接続した場合 (MSTR ピンは“L”)、このピンはスレーブ SPI デバイスからのデータ信号出力を受信します。出力はオープン・ドレインであるため、 V_{DDs} に外付けプルアップ抵抗を接続する必要があります。

SCK (ピン3/ピン4) : SPI クロック入力/出力。SPI インタフェースのマスタ側に接続した場合 (MSTR ピンは“H”)、このピンはマスタ SPI コントローラからのクロック信号を受信します。この入力は V_{DDs} より上に引き上げられません。SPI インタフェースのスレーブ側に接続した場合 (MSTR ピンは“L”)、このピンはスレーブ・デバイスへのクロック信号を出力します。出力ドライバはプッシュプルであり、外付けプルアップ抵抗は不要です。

\overline{CS} (ピン4/ピン5) : SPI チップ選択入力/出力。SPI インタフェースのマスタ側に接続した場合 (MSTR ピンは“H”)、このピンはマスタ SPI コントローラからのチップ選択信号を受信します。この入力は V_{DDs} より上に引き上げられません。SPI インタフェースのスレーブ側に接続した場合 (MSTR ピンは“L”)、このピンはスレーブ・デバイスへのチップ選択信号を出力します。出力ドライバはプッシュプルであり、外付けプルアップ抵抗は不要です。

V_{DDs} (ピン5/ピン6) : SPI 入力/出力電源入力。SCK ピンおよび \overline{CS} ピンの出力ドライバは、正の電源として V_{DDs} 入力を使用します。SCK、 \overline{CS} 、MOSI、MISO、および EN の入力しきい値電圧は、 V_{DDs} によって決まります。 V_{DD} に接続するか、 V_{DD} より上または下の電源に接続して、SPI の I/O をレベルシフトできます。 V_{DD} から切り離す場合は、 $0.01\mu\text{F}$ 以上のバイパス・コンデンサを V_{DDs} と GND の間に直接接続します。

POL (ピン6/ピン7) : SPI クロック極性入力。 V_{DD} または GND に接続します。詳細は「動作」のセクションを参照してください。

PHA (ピン7/ピン8) : SPI クロック位相入力。 V_{DD} または GND に接続します。詳細は「動作」のセクションを参照してください。

V_{DD} (ピン8/ピン9) : デバイスの電源入力。 $0.01\mu\text{F}$ 以上のバイパス・コンデンサを V_{DD} と GND の間に直接接続します。

IM (ピン9/ピン10) : 絶縁型インタフェースの負の入力/出力。

IP (ピン10/ピン11) : 絶縁型インタフェースの正の入力/出力。

MSTR (ピン11/ピン12) : シリアル・インタフェース・マスタ/スレーブ・セレクト入力。デバイスが絶縁型インタフェースのマスタ側に接続される場合は、このピンを V_{DD} に接続します。デバイスが絶縁型インタフェースのスレーブ側に接続される場合は、このピンを GND に接続します。

SLOW (ピン12/ピン13) : 低速インタフェース選択入力。クロック周波数が 200kHz 以下の場合またはスレーブ・デバイスがタイミング要件を満たせない場合は、このピンを V_{DD} に接続します。クロック周波数が 200kHz を超える場合は、このピンを GND に接続します。

GND (ピン13/ピン14) : デバイスのグラウンド。

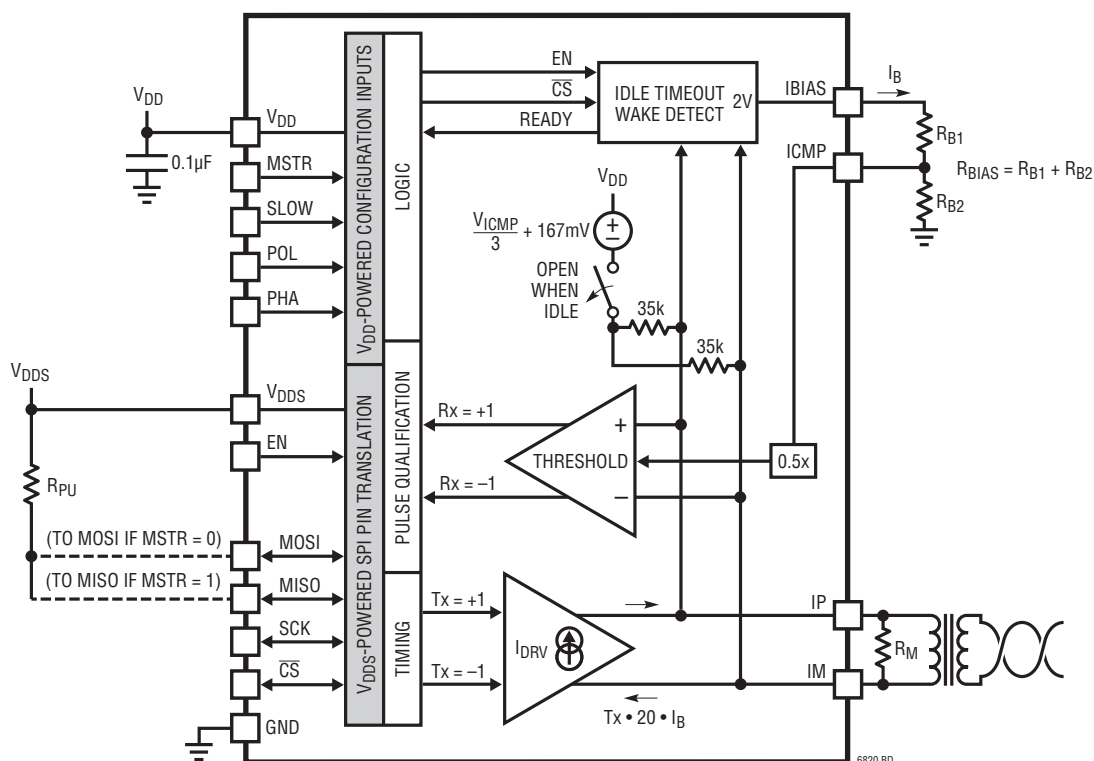
ICMP (ピン14/ピン15) : 絶縁型インタフェースのコンパレータ電圧しきい値セット。このピンを IBIAS と GND の間の抵抗分割器に接続し、インタフェースのレシーバ・コンパレータの電圧しきい値を設定します。コンパレータの電圧しきい値は、ICMP ピン上の電圧の $1/2$ に設定されます。

IBIAS (ピン15/ピン16) : 絶縁型インタフェースの電流バイアス。抵抗分割器を介して IBIAS を GND に接続し、インタフェースの出力電流レベルを設定します。デバイスがイネーブルされたときのこのピンの電圧は約 2V です。パルス送信時の IP ピンと IM ピンそれぞれのシンク電流は、IBIAS ピンから GND への電流ソースの 20 倍に設定されます。IBIAS ピンの容量を 50pF 以下に制限し、IBIAS 電圧を調整する帰還回路の安定性を維持します。

EN (ピン16/ピン1) : デバイスのイネーブル入力。“H”の場合、このピンは、LTC6820 の内部 IDLE モード機能を無効にし、LTC6820 を強制的にイネーブルに維持します。“L”の場合、 \overline{CS} ピンが 5.7ms の間“H”になったとき (MSTR ピンが“H”の場合)、または IP/IM ピン上に 5.7ms の間信号がなかったとき (MSTR ピンが“L”の場合)、LTC6820 は IDLE モードに移行します。LTC6820 は、 \overline{CS} の立ち下がりの後 (MSTR が“H”)、または IP/IM 上に信号が検出された後 (MSTR が“L”)、 $8\mu\text{s}$ 以内にウェークアップします。

露出パッド (ピン17、QFN パッケージのみ) : 露出パッドは開放のままにするか、デバイスの GND に接続することができます。

ブロック図



動作

LTC6820は、1本のみ対線による双方向絶縁シリアル・ポート・インタフェース (isoSPI) を実現し、非絶縁インタフェースに比べて安全性とノイズ排除性を高めます。LTC6820は、トランスを使って、標準SPI信号 (\overline{CS} 、SCK、MOSI、およびMISO) を、より対線上で送受信可能なパルスに変換します。

標準システムは2個のLTC6820デバイスを使用します。1つ目のLTC6820は、マイクロコントローラまたは他のSPIマスタと対になります。1つ目のLTC6820のIPおよびIMトランスミッタ/レシーバ・ピンは、絶縁障壁を介して2つ目のLTC6820に接続されます。2つ目のLTC6820は、1つ以上のスレーブ・デバイスが使用するSPI信号を再現します。

トランスミッタは電流レギュレーション差動ドライバです。電圧振幅は、駆動電流と等価抵抗負荷 (ケーブル特性インピーダンスと終端抵抗 R_M) によって決まります。

レシーバは、差動電圧しきい値 V_{TCMP} を持つウィンドウ・コンパレータで構成されます。 $V_{IP} - V_{IM}$ が $+V_{TCMP}$ より大きいとき、コンパレータはロジック+1を検出します。 $V_{IP} - V_{IM}$ が $-V_{TCMP}$ より小さいとき、コンパレータはロジック-1を検出します。ロジック0 (ヌル) は、 $V_{IP} - V_{IM}$ が正のしきい値と負のしきい値の間であることを示します。

コンパレータの出力は、短いパルスと長いパルスを区別するパルス・タイマ (フィルタ) に送信されます。

バイアス抵抗の選択

可変信号振幅により、システムの消費電力を重視するか、通信の安定性を重視するかを選択できます。また、可変コンパレータしきい値により、システムの信号損失を調整できます。

動作

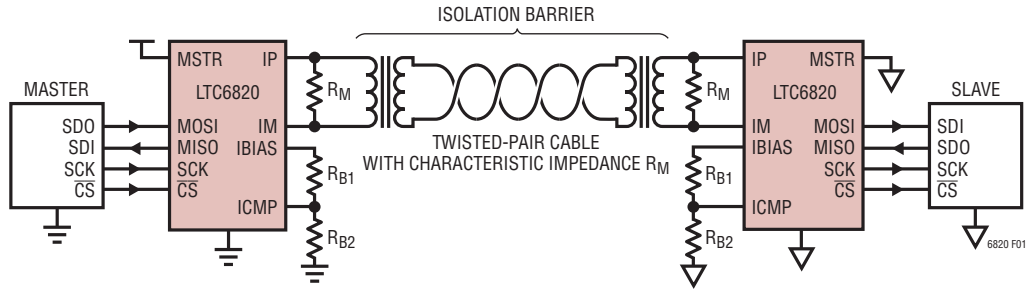


図1. 2個のLTC6820デバイスを使用した標準システム

トランスミッタの駆動電流とコンパレータの電圧しきい値は、IBIASピンとGNDの間の抵抗分割器($R_{BIAS} = R_{B1} + R_{B2}$)によって設定されます。分割された電圧はICMPピンに接続されます。LTC6820が(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流 I_B がIBIASピンから流れ出します。IPおよびIMピンの駆動電流は $20 \cdot I_B$ です。コンパレータのしきい値はICMPピンの電圧(V_{ICMP})の1/2です。

例えば、抵抗分割器 R_{B1} が1.21k、抵抗 R_{B2} が787 Ω (したがって、 $R_{BIAS} = 2k$)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 1mA$$

$$I_{DRV} = I_{IP} = I_{IM} = 20 \cdot I_B = 20mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 788mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 394mV$$

この例では、パルス駆動電流 I_{DRV} は20mAになります。レシーバ・コンパレータは、IP-IM振幅が $\pm 394mV$ より大きいパルスを検出します。

絶縁障壁に、より対線で接続され、各終端を100 Ω 抵抗で終端した1:1トランスを使用する場合、送信される差動信号振幅(\pm)は次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 1V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています。)

isoSPIパルスの詳細

isoSPIトランスミッタは、 $+V_A$ 、0V、および $-V_A$ の3つの電圧レベルを発生します。DC信号成分を除去して信頼性を向上させるために、isoSPIパルスは対称パルスペアとして定義されます。A+1パルスペアは、 $+V_A$ パルスに続いて $-V_A$ パルスとして定義されます。A-1パルスペアは、 $-V_A$ に続いて $+V_A$ です。

各パルスの持続時間は $t_{1/2PW}$ として定義されます(isoSPIパルスの総持続時間は $2 \cdot t_{1/2PW}$)です。LTC6820は2つの異なる $t_{1/2PW}$ 値を使用できるため、表1に示すように、4種類のパルスを送信できます。

表1. isoSPIパルスの種類

パルスの種類	第1レベル	第2レベル	最終レベル
Long +1	$+V_A$ (150ns)	$-V_A$ (150ns)	0V
Long -1	$-V_A$ (150ns)	$+V_A$ (150ns)	0V
Short +1	$+V_A$ (50ns)	$-V_A$ (50ns)	0V
Short -1	$-V_A$ (50ns)	$+V_A$ (50ns)	0V

長いパルスは \overline{CS} の変化の送信に使用します。短いパルスはデータ(MOSIまたはMISO)を送信します。LTC6820は、SPIマスタからの4種類の通信イベント(\overline{CS} の立ち下がり、 \overline{CS} の立ち上がり、SCKのラッチング・エッジ(MOSI=0)、SCKのラッチング・エッジ(MOSI=1))を検出します。LTC6820は、表2に示すように、各イベントを4種類のパルスのいずれかに変換します。

表2. マスタの通信イベント

SPIマスタのイベント	送信されるパルス
\overline{CS} Rising	Long +1
\overline{CS} Falling	Long -1
SCK Latching Edge, MOSI = 1	Short +1
SCK Latching Edge, MOSI = 0	Short -1

動作

絶縁障壁の反対側(すなわち、ケーブルの反対側の端)では、もう1個のLTC6820をSPIスレーブに対するインタフェースとして構成します。このLTC6820は、送信されたパルスを受信し、表3に示すように出力ポート上でSPI信号を再構築します。さらに、スレーブ・デバイスはリターン・データ・パルスをマスタに送信してMISOの状態を設定できます。詳細については、「isoSPIの相互作用とタイミング」のセクションを参照してください。

表3. スレーブSPIポートの出力

受信パルス	SPIポートの動作	リターン・パルス
Long +1	Drive \overline{CS} High	None
Long -1	Drive \overline{CS} Low	Short -1 Pulse if MISO = 0 (No Return Pulse if MISO = 1)
Short +1	1. Set MOSI = 1 2. Pulse SCK	
Short -1	1. Set MOSI = 0 2. Pulse SCK	

スレーブLTC6820は、長(\overline{CS})パルスを送信しません。さらに、スレーブは(MISO = 0のとき) -1の短いパルスのみを送信し、+1のパルスを送信しません。これにより、1本のケーブルに複数のスレーブ・デバイスを接続しても、衝突が発生するおそれはありません(「マルチドロップ」のセクションを参照)。

isoSPIパルスの仕様

+1および-1のisoSPIパルスのタイミング仕様の詳細を図2に示します。対称パルスのどちらのバージョンにも同じタイミング仕様が適用されます。電気的特性の表では、これらの仕様は

さらに \overline{CS} (長いパルス)とデータ(短いパルス)のパラメータに分けられます。

有効なパルスは、 $t_{1/2PW}$ の最小仕様と t_{INV} の最大仕様を満たす必要があります。つまり、1/2パルス幅は該当のパルス・タイムを通過するのに十分な長さでなければならず、有効な時間幅内で逆転を開始するのに十分な長さでなければなりません。

MOSI、MISO、または \overline{CS} で観察される応答は、パルスの逆転からの遅延 t_{DEL} 後に発生します。

クロックの位相と極性(PHAとPOL)の設定

SPIデバイスは、多くの場合、1つのクロック・エッジを使ってデータをラッチし、もう1つのクロック・エッジを使ってデータをシフトします。これにより、クロック・スキューに関連するタイミングの問題を回避します。シフトとラッチのどちらを先に実行するかを指定する基準はありません。また、立ち上がりクロック・エッジと立ち下がりクロック・エッジのどちらでデータをラッチするかは要求されていませんが、立ち上がりエッジでラッチするのが一般的です。LTC6820は、PHAピンとPOLピンで構成される4つのSPI動作モードをすべてサポートします。

表4. SPIモード

モード	POL	PHA	概要
0	0	0	SCK Idles Low, Latches on Rising (1st) Edge
1	0	1	SCK Idles Low, Latches on Falling (2nd) Edge
2	1	0	SCK Idles High, Latches on Falling (1st) Edge
3	1	1	SCK Idles High, Latches on Rising (2nd) Edge

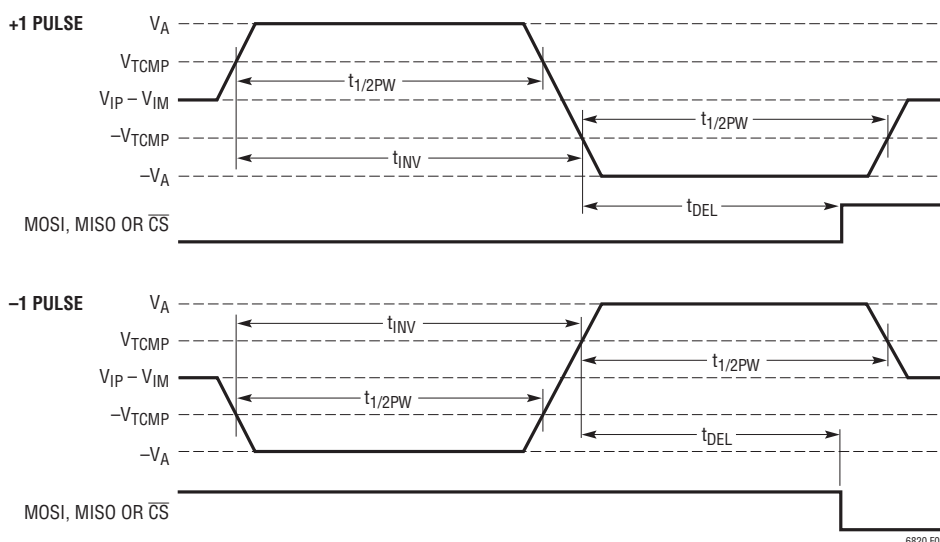


図2. isoSPI差動パルスの詳細

動作

POL = 0 の場合、SCK は“L”でアイドルになります。データは、PHA = 0 の場合は立ち上がり(最初の)クロック・エッジでラッチされ、PHA = 1 の場合は立ち下がり(2番目の)クロック・エッジでラッチされます。

POL = 1 の場合、SCK は“H”でアイドルになります。データは、PHA = 0 の場合は立ち下がり(最初の)クロック・エッジでラッチされ、PHA = 1 の場合は立ち上がり(2番目の)クロック・エッジでラッチされます。

最も一般的な構成は、立ち上がりクロック・エッジでデータをラッチする、モード 0 (PHA = 0 および POL = 0) とモード 3 (PHA = 1 および POL = 1) の 2 つです。

isoSPI の相互作用とタイミング

図 3 と図 4 のタイミング図は、(SPI マスタに接続される) マスタ・モードの isoSPI と (SPI スレーブに接続される) スレーブ・モードの isoSPI の相互作用を示しています。PHA = 0 での動作の詳細(および POL = 0 または 1 での SCK 信号)を図 3 に示します。PHA = 1 でのタイミング図を図 4 に示します。図は掲載していませんが、マスタ・デバイスおよびスレーブ・デバイス上で他の SPI モード (PHA と POL の設定) を使用することもできます。

マスタ SPI デバイスは、 \overline{CS} を“L”にして通信を開始します。LTC6820 は、この遷移を IP/IM ピン上で -1 の長いパルスに変換します。このパルスは (関連するケーブル遅延の後) 絶縁障壁を越えて、スレーブ LTC6820 の IP/IM ピンに到達します。-1 の長いパルスは、検証された後に立ち下がり \overline{CS} 遷移に変換され、今度はスレーブ SPI デバイスに供給されます。スレーブ PHA = 1 の場合、SCK はこの時点でアイドル状態を終了します。

マスタ SPI デバイスが最初のラッチング・クロック・エッジ (通常は立ち上がりエッジですが、例外については表 4 を参照) を供給する前に、スレーブ LTC6820 は、最初のスレーブ・データ・ビット S_N を送信しなければなりません。このビットは、スレーブ LTC6820 が適切な遅延後に MISO の状態をサンプリングして決定します。

MISO = 0 の場合、スレーブは -1 の短いパルスをマスタに送信します。マスタ LTC6820 は、パルスを受信およびデコードし、(スレーブに合わせて) マスタ MISO = 0 に設定します。しかし、**スレーブ MISO = 1 の場合、スレーブはパルスを送信しません**。マスタはこのヌル応答を 1 として解釈し、マスタ MISO = 1 に設定します。これにより、複数のスレーブ LTC6820 を、信号が重複しないように 1 本のケーブルに接続できます (「マルチドロップ」のセクションを参照)。

立ち下がり \overline{CS} シーケンスの後、マスタ上の各ラッチング・クロック・エッジで、MOSI ピンの状態が isoSPI データ・パルス (M_N, M_{N-1}, \dots, M_0) に変換され、同時にスレーブのデータ・ビットがラッチされます。スレーブ LTC6820 は、各データ・ビットを受信すると、スレーブ MOSI ピンを適切な状態に設定し、SCK パルスを生成した後、スレーブの MISO データを (-1 の短いパルスまたはヌルとして) 返します。

通信の終わりにスレーブによって (パルスまたはヌルとして) 送信される最後のデータ・ビットは、マスタ・コントローラによって無視されます (スレーブ LTC6820 は、いつ通信が終了するかを予想できないため、データ・ビットを返さなければなりません)。これでマスタ SPI デバイスは、 \overline{CS} の立ち上がりエッジを発生させることができます。これは +1 の長いパルスの形式でスレーブに送信されます。このプロセスは、スレーブ LTC6820 が \overline{CS} を“H”に遷移し、(PHA = 1 の場合は) SCK をアイドル状態に戻したところで終了します。

立ち上がり時間

MOSI および MISO 出力はオープン・ドレイン・ドライバです。データ出力の立ち上がり時間 t_{RISE} は、プルアップ抵抗と負荷容量によって決まります。十分なセットアップ時間とホールド時間を確保するため、 R_{PU} は十分に小さい値にします。

低速モード

LTC6820 は、スレーブ動作に構成されている場合、各種の SPI タイミング・シナリオとの互換性を確保するために 2 つの動作モードを提供します。これらは高速モードと低速モードと呼ばれ、SLOW ピンを使って設定されます。マスタ動作に構成されている場合、SLOW ピンは LTC6820 の動作に影響を与えません。この場合は、SLOW ピンを GND に接続することを推奨します。

高速モード (SLOW ピンを GND に接続) では、LTC6820 は最大 1MHz ($t_{CLK} = 1\mu s$) のクロック・レートで動作します。ただし、一部の SPI スレーブ・デバイスは、応答速度が不十分なためにこのデータレートに対応できません。高速モードを使用するには、スレーブが 100ns のセットアップ時間、100ns の応答時間、および 100ns のクロック幅で動作する必要があります。さらに、MOSI と MISO のオープン・ドレイン出力の RC 立ち上がり時間を確保する必要があります。低速モード (SLOW ピンを V^+ に接続) では、最大データレートが抑えられる代わりにタイミング要件が緩和されます。「電気的特性」で示したように、クロック・パルスと必要なセットアップおよび応答時間は、最小 0.9 μs に増加します。したがって、(マスタによって制御される) 最小 t_{CLK} は 5 μs までに制限する必要があります。SLOW ピンの設定は、マスタ LTC6820 (MSTR = 1) には影響を与えません。

6820fa

動作

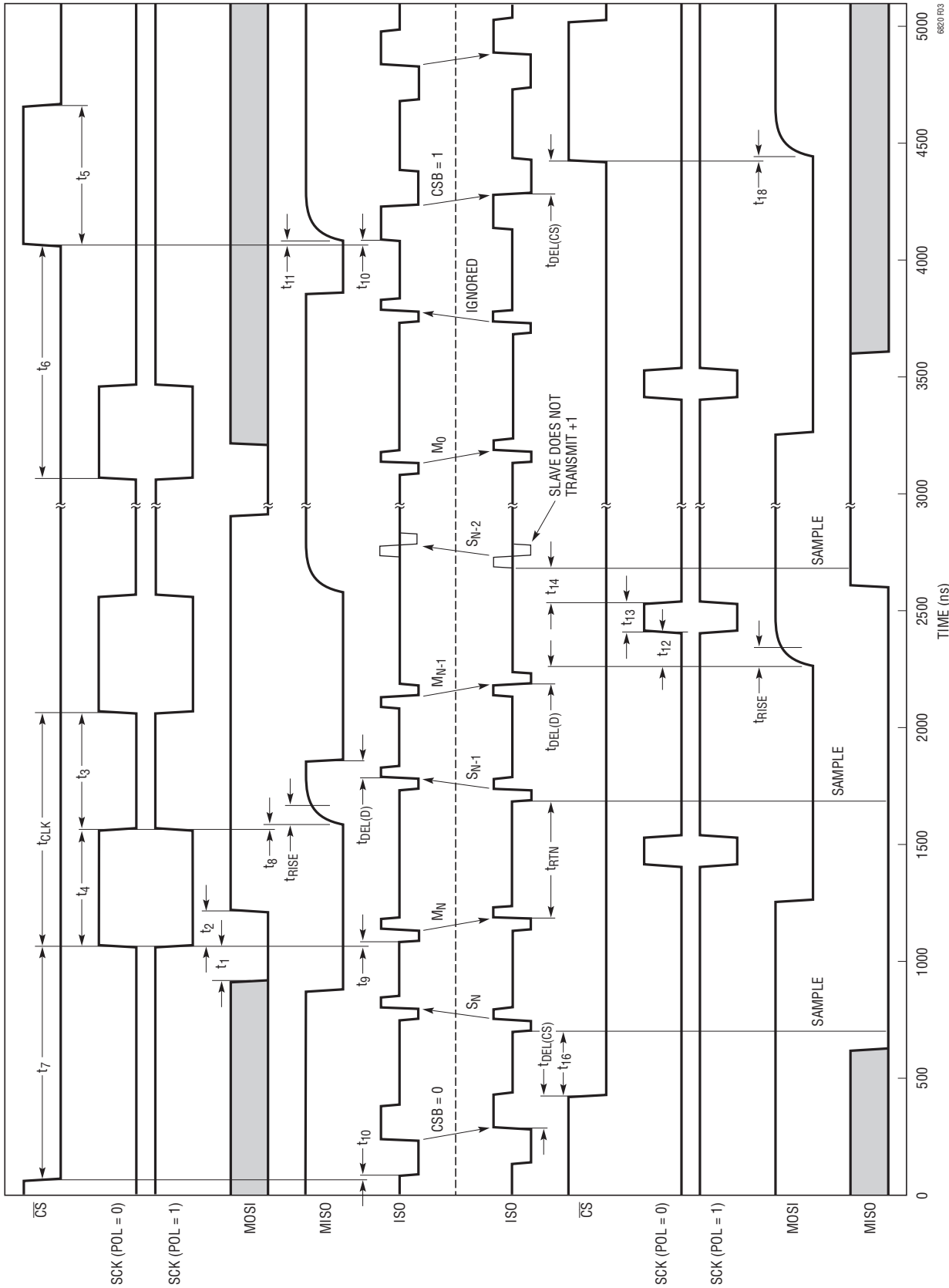


図3. トランシーバのタイミング図 (PHA = 0)

動作

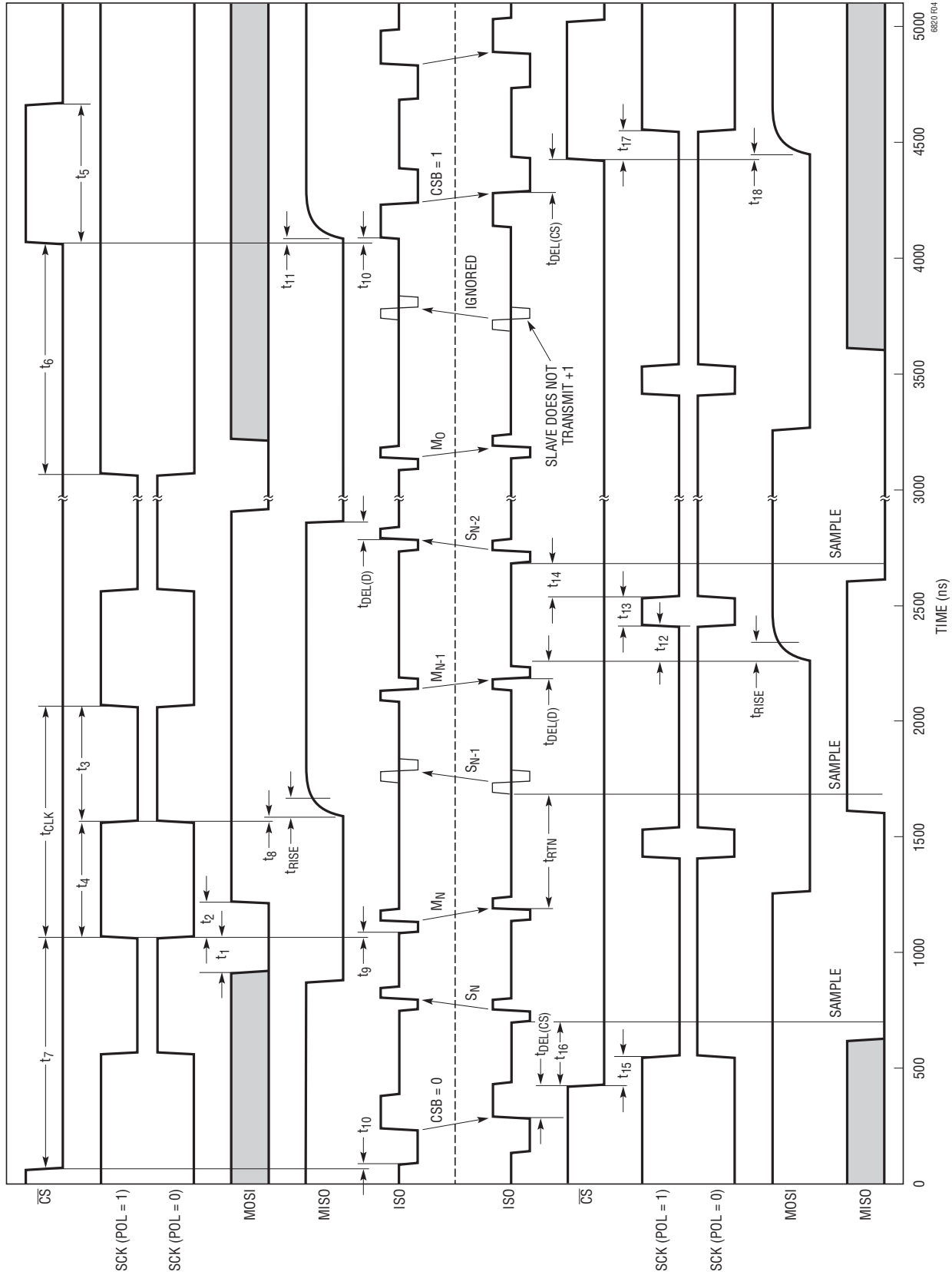


図 4. トランシーバのタイミング図 (PHA = 1)

動作

低速モードを図6に示します。高速モードを図5に示します。

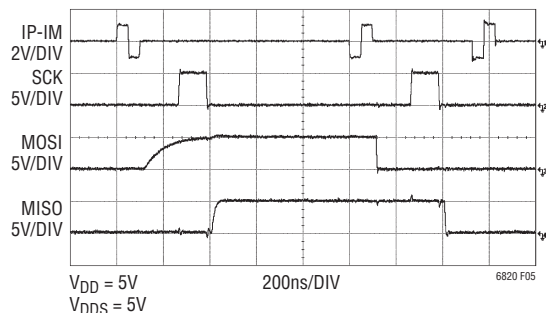


図5. 高速モード(SLOW = 0)

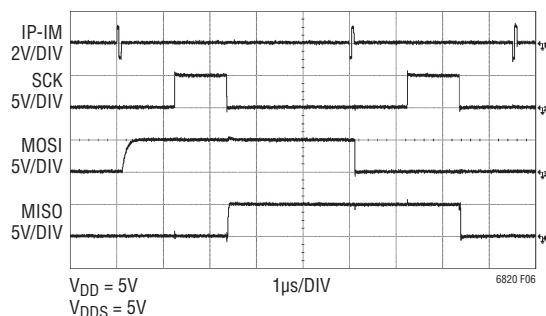


図6. 高速モード(SLOW = 1)

IPおよびIMパルス・ドライバ

IPピンとIMピンはisoSPIパルスを送受信します。トランスミッタは、電流レギュレーション・ドライバ(図7を参照)を使用して、IBIASピン電流(I_B)と負荷抵抗によって決まるパルス振幅を設定します。シンク電流ソースはバイアス電流 I_B の20倍に調整されます。ソース電流ソースは、カレント・スターブド(抵抗)方式で動作し、図8および図9に示すようにソース・ピンの電圧を V_{DD} に近い値に維持します。同相電圧(駆動中)は、バイアス電流と出力振幅によって決まります。

出力ドライバは、IPとIMの同相電圧とピーク振幅を適切なレベルに調整し、図10に示すようにほぼフラットな利得で広範囲にわたる出力振幅を許容します。

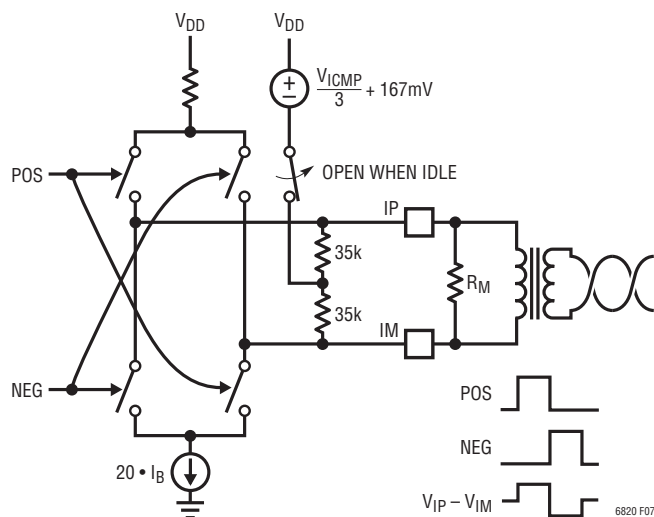


図7. パルス・ドライバ

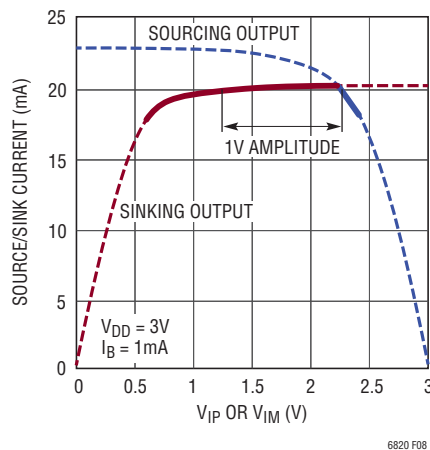


図8. ドライバ・ソース/シンクと出力電圧

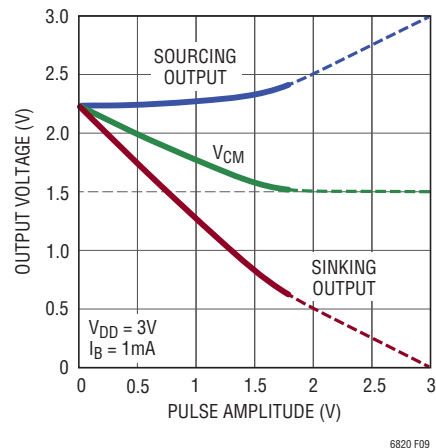


図9. 出力電圧および同相電圧と振幅

動作

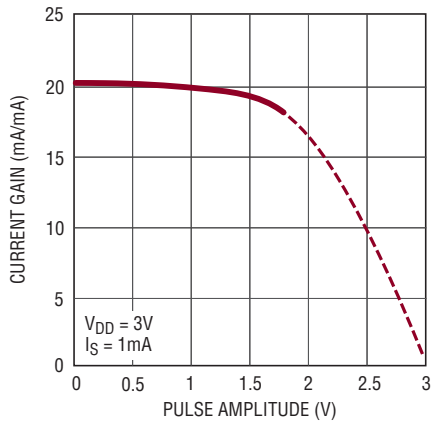


図10. I_B 電流の利得と振幅

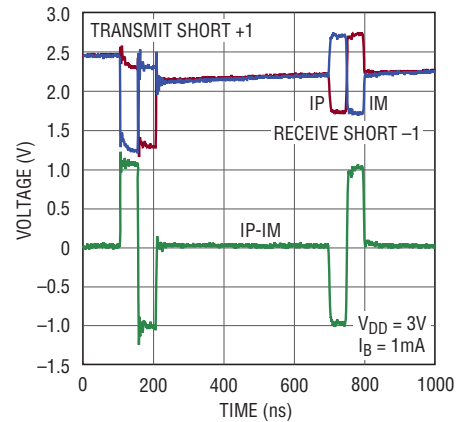


図11. データの送信と受信

このタイプのドライバは中間タップ付きトランスを必要としませんが、中間タップ付きトランス(特に同相チョーク付きトランス)を使用すると、ノイズ排除性が向上します。詳細については、「アプリケーション情報」のセクションを参照してください。

レシーバの同相バイアス

送信中でない場合、出力ドライバは、35k (R_{IN}) 抵抗のペアを使用して、 V_{DD} に近いIPとIMを $V_{DD} - V_{ICMP}/3 - 167mV$ の電圧に維持します。この弱いバイアス回路網は、ケーブルに大きな負荷をかけることなく、出力を望ましい動作ポイントの近くに維持します。これにより、信号振幅に影響を与えることなく、多数のLTC6820を並列接続できます。

データを送受信中のIPおよびIMの差動信号およびシングルエンド信号を図11に示します。ドライバは、送信中は必要な同相電圧を強制し、 $R_{IN} \cdot C_{LOAD}/2$ の時定数でバイアス・レベルに戻ります。ここで、 C_{LOAD} はIPピンとIMピンの容量の和です。

LTC6820が低消費電力IDLEモードのときは、バイアス電圧が35k抵抗から切り離されるため、70kの差動負荷が発生します。

状態図

通信がない期間は、低電流IDLE(またはシャットダウン)ステートを利用して消費電力を削減できます。IDLEステートでは、LTC6820はほとんどの回路をシャットダウンします。スレーブ・デバイスは低電流コンパレータを使用してアクティビティを監視するため、大きめのIDLE電流を消費します。

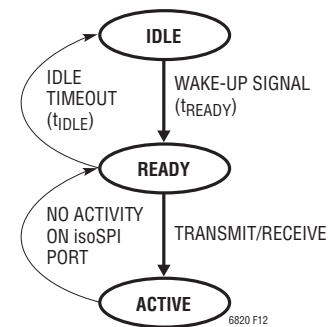


図12. 状態図

READYステートでは、すべての回路がイネーブルされ、送信または受信を実行できる状態になりますが、IPおよびIM上でアクティブに信号を送信していません。

アクティブに通信しているときは電源電流が増加するため、この状態をACTIVEステートと呼びます。

電源電流

各ステートの I_{DD} を推定する式を表5に示します。結果は(ピーク電流ではなく)平均電源電流であり、スレーブが同じ数の0と1を戻すことを前提としています(スレーブは+1のデータ・パルスを発生しないため、平均ドライバ電流は小さくなるので、このことは重要です)。

動作

表5. I_{DD}の式

ステート	MSTR	推定される I _{DD}
IDLE	0 (slave)	2μA
	1 (master)	1μA
READY	0 or 1	1.7mA + 3 • I _B
ACTIVE	0 (slave)	$2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 0.5}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$
	1 (master)	$2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$

IDLEモードとウェークアップ検出

節電のため、スレーブ・モード (MSTR = 0) の LTC6820 は、IP/IM ピンが 5.7ms (t_{IDLE}) の間非アクティブでいると、IDLE ステートに移行します。この状態では、I_{DD} は 6μA 以下に低下し、SPI ピンはアイドルにされます (CS = 1、MOSI = 1、および SCK = POL)。

LTC6820 は、低消費電力 AC 結合検出器を使って IP ピンと IM ピンをモニタし続けます。そして、240mV 以上の差動信号が 240ns 以上持続したのを検出したときにウェークアップします。実際には、長い (CS) isoSPI パルスだけでデバイスはウェークアップします。コンパレータがウェークアップ信号を発生した後、バイアス回路が安定するまで最大 8μs (t_{READY}) かかります。

スレーブ LTC6820 のウェークアップ (READY ステートへの移行)、通信の実行、低消費電力 IDLE ステートへの復帰までのシーケンスを図 14 に示します。

マスタ・モード (MSTR = 1) の LTC6820 は、ウェークアップ検出コンパレータを使用しません。CS の立ち下がりエッジから t_{READY} 以内に isoSPI ポートがイネーブルされ、LTC6820 は IDLE ステートの終了時に長い (CS) パルスを送信します (パルスの極性は t_{READY} の終了時の CS ステートに一致します)。

マスタ LTC6820 は、CS = 0 の間は READY/ACTIVE ステートを維持します。CS が “H” に遷移し、EN = 0 の場合、LTC6820 は t_{IDLE} が経過してから IDLE ステートに移行します。これにより、データ・パケットの送信中にデバイスがシャットダウンすることを防ぎます。

マスタ・モードとスレーブ・モードのいずれでも、EN を “H” にドライブすれば、IDLE 機能はディスエーブルされます。この場合、デバイスは常に「レディ」状態を維持します。

マスタ (MSTR = 1) LTC6820 とそれに接続されたスレーブ (MSTR = 0) LTC6820 を起動する簡単な手順を図 15 に示します。CS 上の立ち下がりエッジでマスタは IBIAS を 2V にドライブし、短い遅延の後、+1 の長いパルスを送信します (CS が t_{READY} の間ずっと “L” を保つ場合、LTC6820 は先に -1 のパルスを生成し、CS が “H” に戻ったときに +1 のパルスを送信します)。この長いパルスはスレーブ・デバイスのウェークアップ信号として機能します。これに対する応答として、スレーブ・デバイスは IBIAS ピンを 2V にドライブし、READY ステートに移行します。

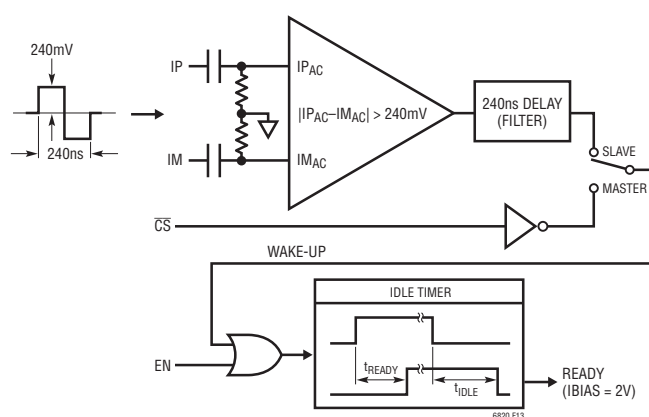


図 13. ウェークアップ検出と IDLE タイマ

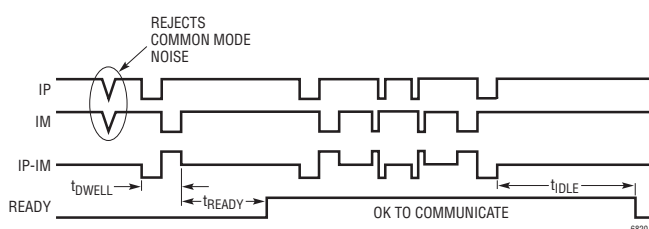


図 14. スレーブ LTC6820 のウェークアップ/アイドルのタイミング

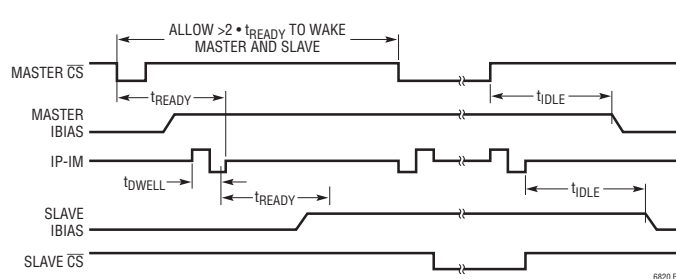


図 15. マスタとスレーブのウェークアップ/アイドルのシーケンス

動作

マルチドロップ

複数のスレーブを1本のケーブルに沿って並列に接続すれば(マルチドロップ構成)、複数のスレーブを1つのマスタに接続できます。図16に示すように、ケーブルは始点(マスタ)と終点でのみ終端します。始点と終点の間で、追加のLTC6820および関連するスレーブ・デバイスが、ケーブル上の「スタブ」に接続されます。これらのスタブは、ケーブル上の終端の劣化を避けるため、できるだけ短く、小さな容量にします。

SPIスレーブが次の特性を持つ場合にのみ、マルチドロップ方式が可能です。

- SPIスレーブは(各スレーブLTC6820によってデコードされる)同じ \overline{CS} 信号をモニタするため、SPIスレーブはアドレス指定可能でなければならない。
- アドレス指定されていないときは、スレーブSDOは“H”を保たなければならない。

スレーブがアドレス指定されていないとき、MISO (SPIデバイスのSDO)が“H”を保つ間は、そのスレーブのLTC6820はデータ・パルスを送信しません。これにより、アドレス指定されたスレーブ・デバイスだけがマスタにデータを戻すため、衝突が起こる可能性がなくなります。

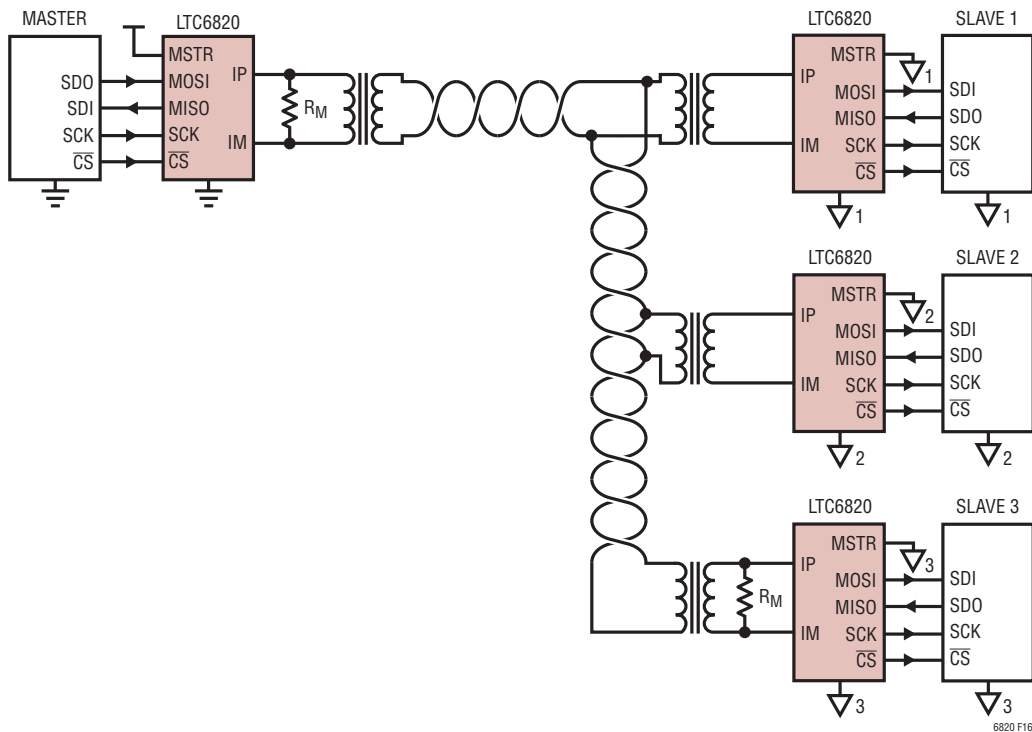


図16. 1本のケーブルに複数のスレーブを接続したマルチドロップ構成

アプリケーション情報

isoSPIのセットアップ

LTC6820は、消費電力またはノイズ排除性を重視して各アプリケーションの構成を最適化できます。isoSPIシステムの消費電力とノイズ排除性は、プログラムされた I_B 電流によって決まります。 I_B 電流の範囲は0.1mA～1mAです。 I_B が小さい場合、READYおよびACTIVEステートでのisoSPIの消費電力が低減されます。 I_B が大きい場合、マッチする終端抵抗 R_M の差動信号電圧 V_A の振幅が大きくなります。

I_B は、 I_{BIAS} ピンとGNDの間に接続される R_{B1} および R_{B2} 抵抗の和によってプログラムされます。大半のアプリケーションでは、 I_B を0.5mAに設定すると、消費電力とノイズ排除性のバランスがよくなります。この I_B の設定を巻数比1:1のトランスと $R_M = 120\Omega$ で使用する場合は、 R_{B1} を2.8k、 R_{B2} を1.2kに設定します。標準CAT5より対線では、この設定で最大50mの通信が可能です。

50mを超える長さのケーブルが必要なアプリケーションでは、 I_B を1mAに上げて、振幅 V_A を大きくすることを推奨します。これにより、ケーブル内の挿入損失の増加が補償され、高いノイズ排除性を維持できます。したがって、50mを超えるケーブルと巻数比1:1のトランスおよび $R_M = 120\Omega$ を使用する場合は、 R_{B1} を1.4k、 R_{B2} を600 Ω にします。

アプリケーションに応じて、消費電力の削減またはノイズ排除性の向上を目的として、他の I_B 設定を使用できます。これらの場合は、次の規則に従って V_{ICMP} を設定し、 R_{B1} および R_{B2} の抵抗値を選択します。

ケーブル長50メートル以下の場合：

$$I_B = 0.5\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/2 \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left(\frac{2V}{I_B} \right) - R_{B2}$$

ケーブル長が50メートルを超える場合：

$$I_B = 1\text{mA}$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/4 \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left(\frac{2V}{I_B} \right) - R_{B2}$$

isoSPIリンクの最大データレートは、使用するケーブルの長さによって異なります。ケーブル長が10メートル以下の場合、SPIの最大クロック周波数の1MHzが可能です。ケーブルが長くなるほど、可能な最大SPIクロック・レートは低下します。これは、ケーブルの伝播遅延の増加によってタイミング違反が発生するためです。

ケーブルの遅延は、 t_{CLK} 、 t_6 、および t_7 の3つのタイミング仕様に影響を与えます。「電気的特性」の表では、各方向に50nsのケーブル遅延を許容するために、それぞれの仕様に100nsが加算されています。10メートルを超えるケーブルを使用する場合は、次の式で最小タイミング・パラメータを計算できます。

$$t_{CLK}, t_6, \text{および } t_7 > 0.9\mu\text{s} + 2 \cdot t_{CABLE}$$

プルアップ抵抗に関する検討事項

データ出力(MSTR = 0の場合はMOSI、MSTR = 1の場合はMISO)には、プルアップ抵抗(R_{PU})が必要です。立ち上がり時間 t_{RISE} は、 R_{PU} とピン上の容量によって決まります。十分なセットアップ時間とホールド時間を確保するため、 R_{PU} は十分に小さい値にします。スレーブ・デバイスの場合、時定数は t_{12} および t_{14} より小さい値でなければなりません。高速モードでは、50nsを推奨します。

$$R_{PU} < 50\text{ns}/C_{LOAD}$$

低速モードでは、より大きなプルアップ抵抗(最大5k)を使用できます。

アプリケーション情報

表6. R_{B1}とR_{B2}の標準値

最大ケーブル長	巻数比	終端抵抗	I _B	V _A	V _{TCMP}	V _{ICMP}	R _{B2}	R _{B1}	IDRV	レディ電流
100m	1:1	120Ω	1mA	1.2V	0.3V	0.6V	604Ω	1.4k	20mA	4.7mA
50m	1:1	120Ω	0.5mA	0.6V	0.3V	0.6V	1.21k	2.8k	10mA	3.2mA
100m	1:1	75Ω	1mA	0.75V	0.19V	0.38V	374Ω	1.62k	20mA	4.7mA
50m	1:1	75Ω	0.5mA	0.375V	0.19V	0.38V	750Ω	3.24k	10mA	3.2mA

トランス選択ガイド

図1に示すように、1個のトランスまたはトランスのペアを使用して、2つのLTC6820間のIP信号とIM信号を絶縁します。これらのisoSPI信号は、最大1.6V、パルス幅50nsおよび150nsのプログラム可能なパルス振幅を持ちます。これらの要件を満たすには、50μH～350μHの磁化インダクタンスと1:1または2:1の巻数比のトランスを選択します。トランスの挿入損失を最小限に抑えれば、必要な送信電力を低減できます。一般的に、挿入損失を-1.5dBより小さくすることを推奨します。

最適な同相ノイズ除去を得るには、中間タップ付きトランスまたは集積型同相チョーク付きトランスを選択します。中間タップは27pF以下のコンデンサに接続できます（これより大容量のコンデンサに接続すると、ドライバの同相電圧設定能力が制限されます）。トランスの1次側に中間タップと同相チョークの両方を付ける場合は、より大容量のコンデンサを使用できます。

LTC6820と組み合わせて使用する推奨トランスのリストを表7に示します。10/100BaseTXイーサネット・トランスは低価格であり、このアプリケーションで非常に有効に機能します。イーサネット・トランスには通常は同相チョークが搭載されており、他のトランスよりも同相除去が向上します。

表7. 推奨トランス

メーカー	製品番号	絶縁電圧	巻数比	中間タップ	同相チョーク
PCA	EPF8119SE	1500V _{RMS}	1:1	Yes	Yes
Halo	TG110-AE050N5LF	1500V _{RMS}	1:1	Yes	Yes
Pulse	PE-68386NL	1500V DC	1:1	No	No
Murata	78613/3C	1000V _{RMS}	1:1	Yes	No
Murata	78604/3C	1000V _{RMS}	2:1	No	No
Pulse	HX1188NL	1500V _{RMS}	1:1	Yes	Yes
EPCOS	B82804A0354A110	1500V DC	1:1	No	No

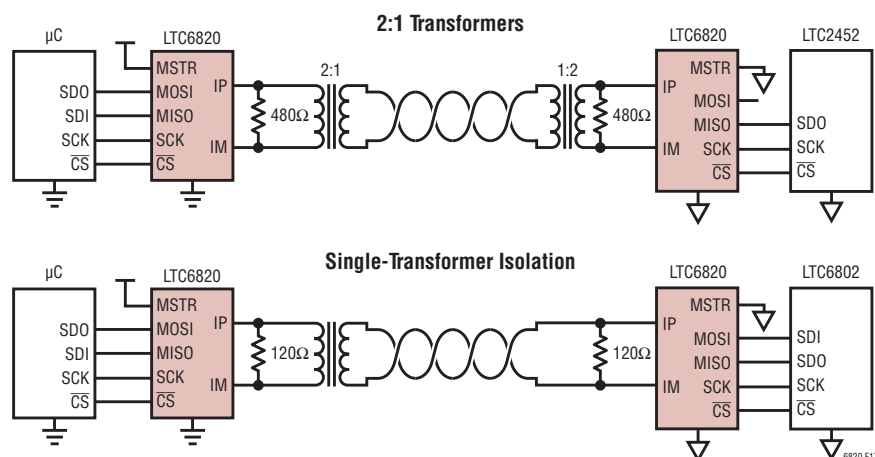


図17. 代替絶縁障壁

アプリケーション情報

容量性絶縁障壁

比較的ノイズが少ない環境で、電気的な絶縁だけが必要とされるアプリケーションでは、絶縁障壁としてトランスの代わりにコンデンサを使用できます。容量性結合により、より対線は電圧によって駆動され、ケーブル長による信号損失が発生します。この低コストの絶縁ソリューションは、隣接する回路基板間または大型PCB上などの短距離の相互接続(1メートル以下)に最適です。コンデンサは電気的な絶縁を提供しますが、同相除去機能はありません。このオプションは、プルアップ抵抗を使って同相電圧を V_{DD} 近くに保つという異なる方法でドライバを使用し、シンク駆動電流だけが効果を持ちます。1メートルのケーブルを駆動できる容量性絶縁障壁を使用したアプリケーション回路の例を図18に示します。

メーカー	製品番号	容量	定格電圧
Murata	GCM188R72A104KA64	100nF	100V

EMC

LTC6820を使用するとき、最高の電磁環境適合性(EMC)性能が得られるように、図19に示すような中間タップおよび同相

チョーク付きトランスの使用を推奨します。トランスの中間タップは27pFコンデンサでバイパスされます。中間タップ・コンデンサは同相信号を減衰させます。大きな中間タップ・コンデンサを使用すると、isoSPIトランスミッタの同相電圧のセトリングの妨げになるため、大きなコンデンサの使用は避けてください。

同相電流除去を改善するには、LTC6820のIP線およびIM線に対して直列に同相チョークを配置します。同相チョークにより、EMIの影響を受けにくくなり、EMIの放射も少なくなります。同相チョークを選ぶ際は、50MHz以下の信号で差動モード・インピーダンスが 20Ω 以下のものにします。一般的に、イーサネット・アプリケーションに使用されるものと同様の同相チョークを推奨します。

表8. 推奨同相チョーク

メーカー	製品番号	50MHzでの差動インピーダンス	50MHzでの同相インピーダンス
TDK	ACT45B-220-2P	20Ω	5000 Ω

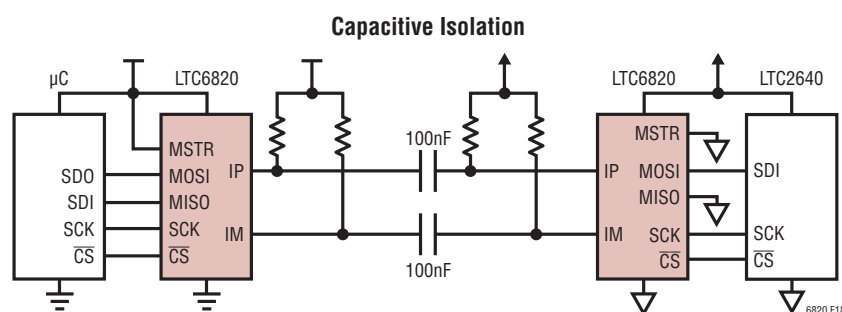


図18. 容量性絶縁障壁

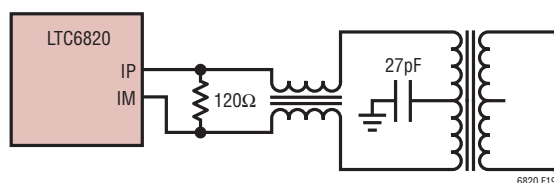


図19. トランスと同相チョークの接続

アプリケーション情報

isoSPI信号線のレイアウトは、回路のノイズ排除性を最大限に高めるのにも重要な役割を果たします。次のレイアウトのガイドラインに従います。

1. トランスはisoSPIケーブル・コネクタにできるだけ近づけて配置する。距離は2cm以下に保つ。LTC6820はトランスから1cm～2cm以上離して配置し、磁界からデバイスを絶縁する。
2. トップ層では、磁界、isoSPIコネクタ、トランスとコネクタの間にはグランド・プレーンを配置しない。
3. IPおよびIMトレースは周囲の回路から絶縁する。プリント回路基板内のグランド・プレーンによって分離されている場合を除き、トレースがIPおよびIMラインと交差しないようにする。

isoSPI駆動電流はプログラム可能であり、消費電力とノイズ排除性の間のバランスを調整できます。LTC6820のノイズ排除性は、バルク電流注入(BCI)テストによって評価されています。BCIテストは、1MHz～400MHzの周波数範囲で設

定されたレベルの電流をより対線に注入します。最小 I_B 電流(0.1mA)では、isoSPIシリアル・リンクは40mAのBCIテストにビット・エラーなしで合格しました。大半の産業用アプリケーションでは、40mAのBCIテスト・レベルで十分です。自動車アプリケーションではBCI要件が高くなる傾向があるため、推奨 I_B は最大電力レベルの1mAに設定されます。isoSPIシステムは、200mAのBCIテストに送信ビット・エラーなしで合格しました。自動車アプリケーションのテストでは、200mAのテスト・レベルが標準的です。

ソフトウェア層

isoSPIの物理層は高いEMI排除性を持っており、ノイズによるビット・エラーの影響を特に受けやすいわけではありません。しかし、高ノイズ環境で最善の結果を得るには、巡回冗長検査やチェックサムなどのエラー検出コードを使用するソフトウェア層を実装することを推奨します。エラー検出コードは、ビット・エラーをソフトウェアによって検出し、最後にエラーになったシリアル通信を再試行するようにシステムに通知します。

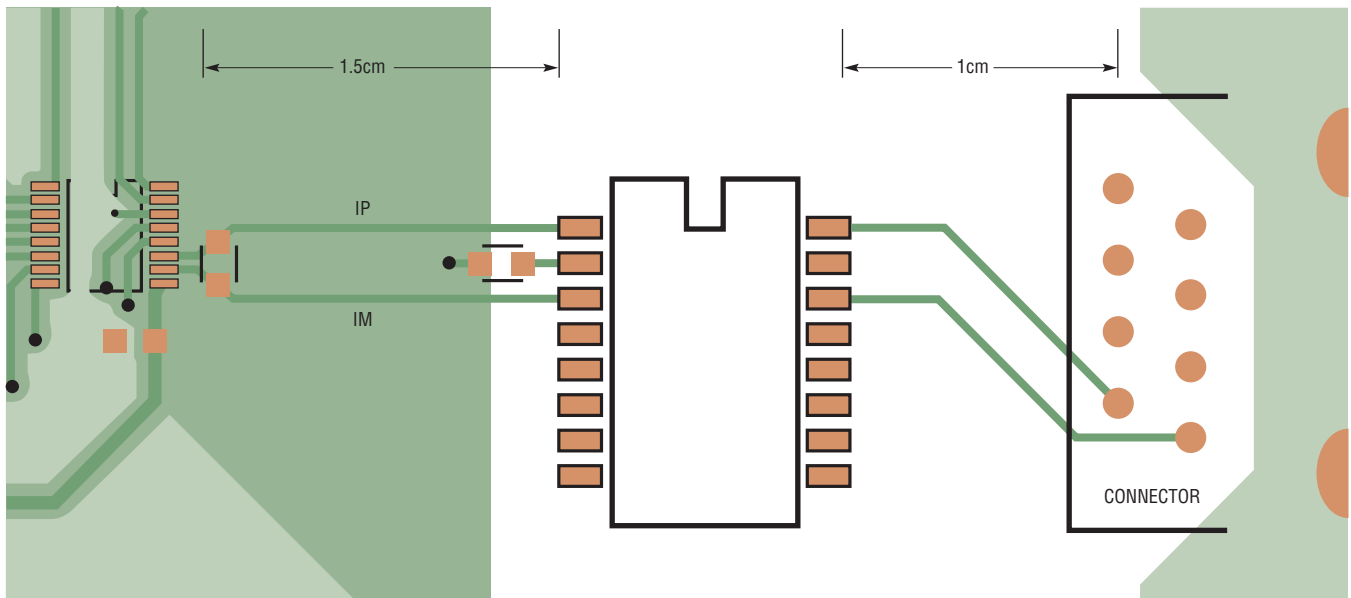
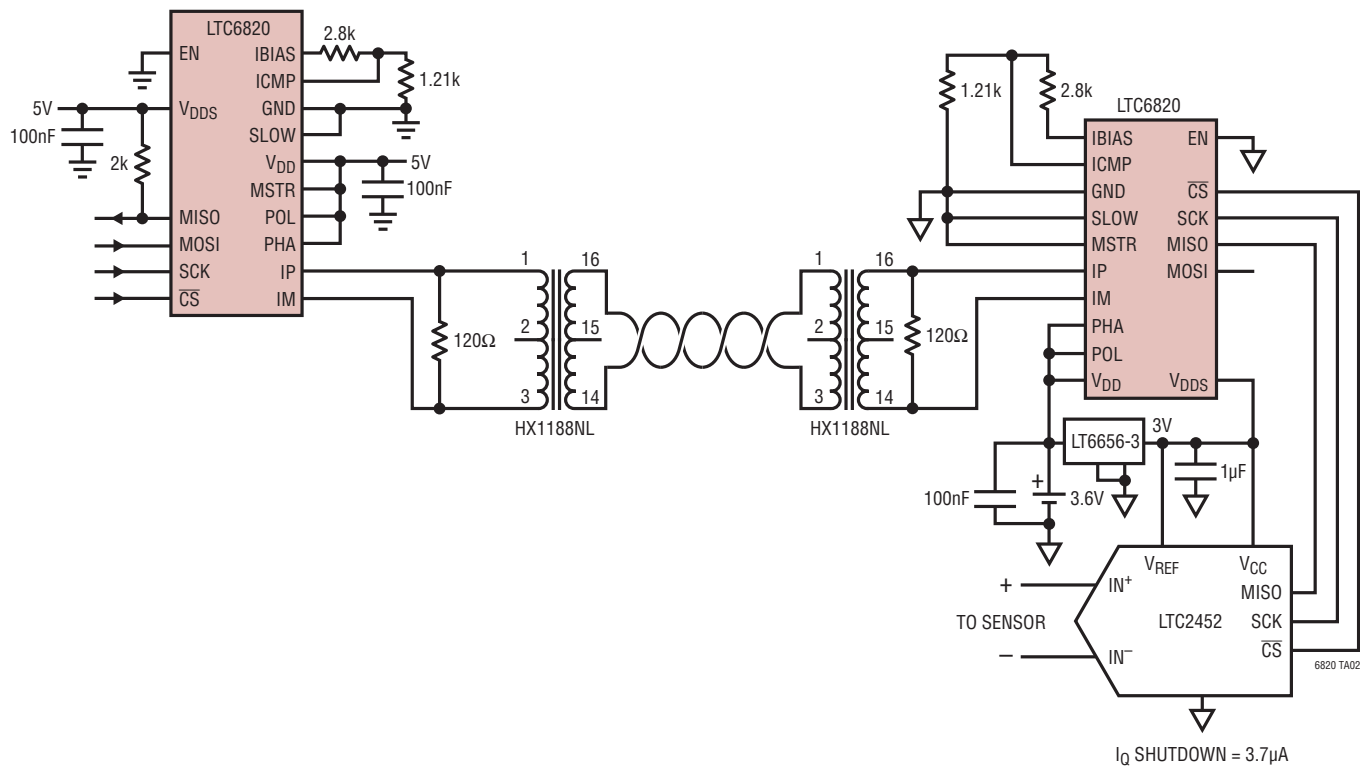


図20. レイアウトの例

6820 F20

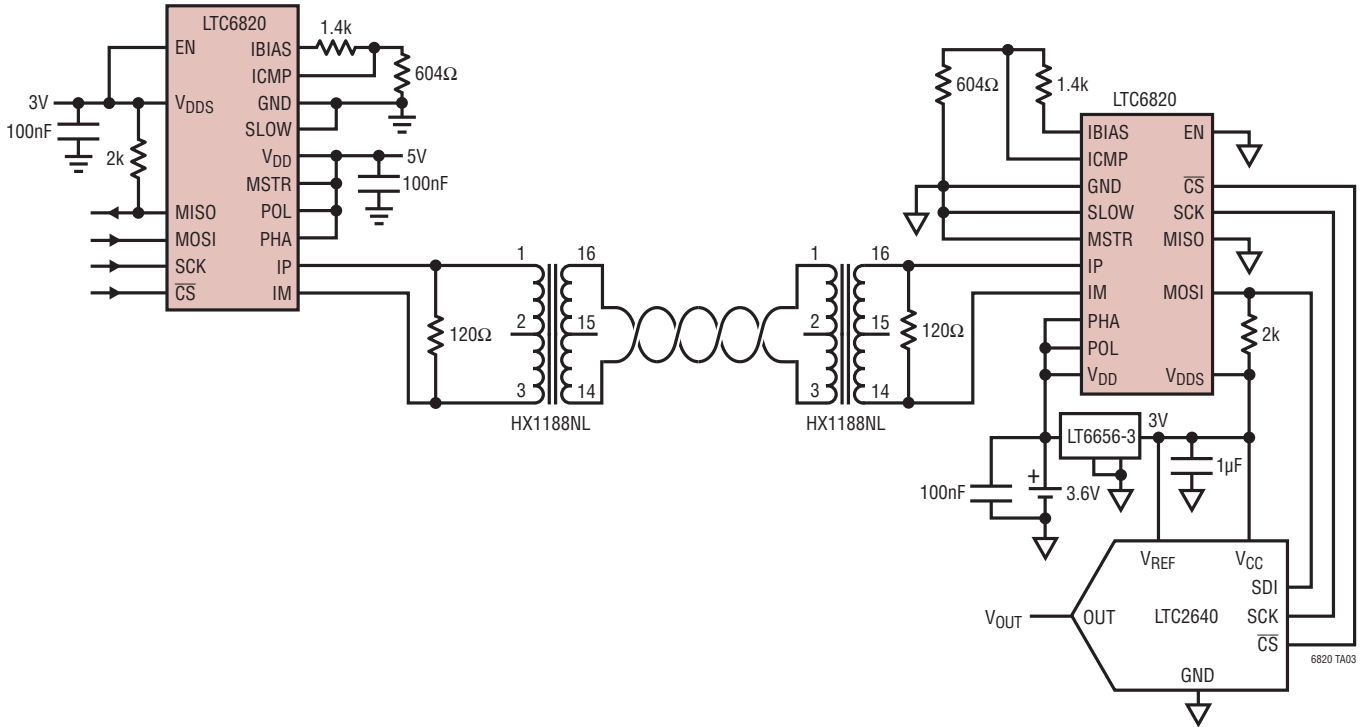
標準的応用例

マイクロパワー・シャットダウン付きリモート・センサ・モニタ



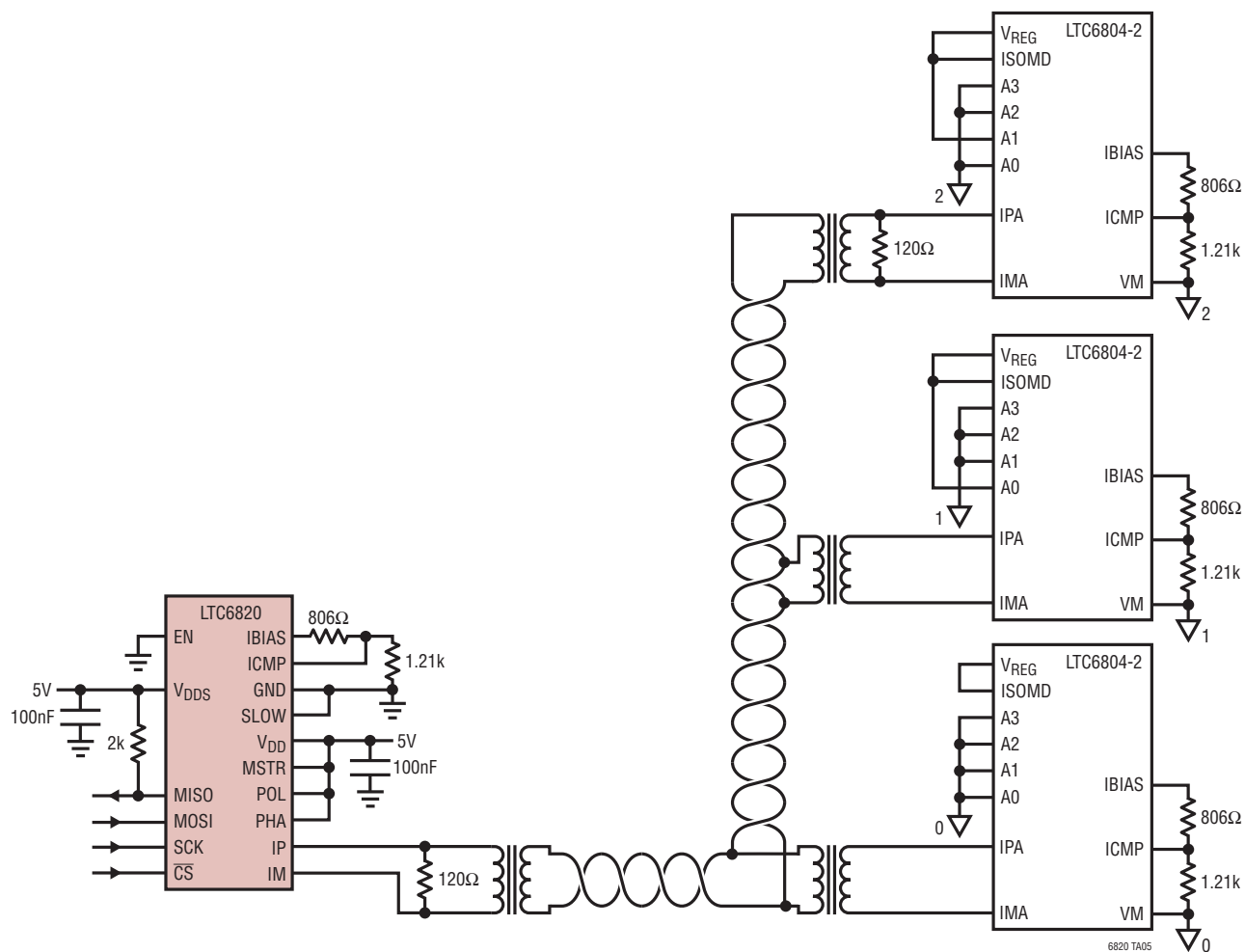
標準的応用例

100メートルのリモートDAC制御



標準的応用例

LTC6804-2 マルチセル・バッテリー・モニタのアドレス指定可能なスタックへのインタフェース

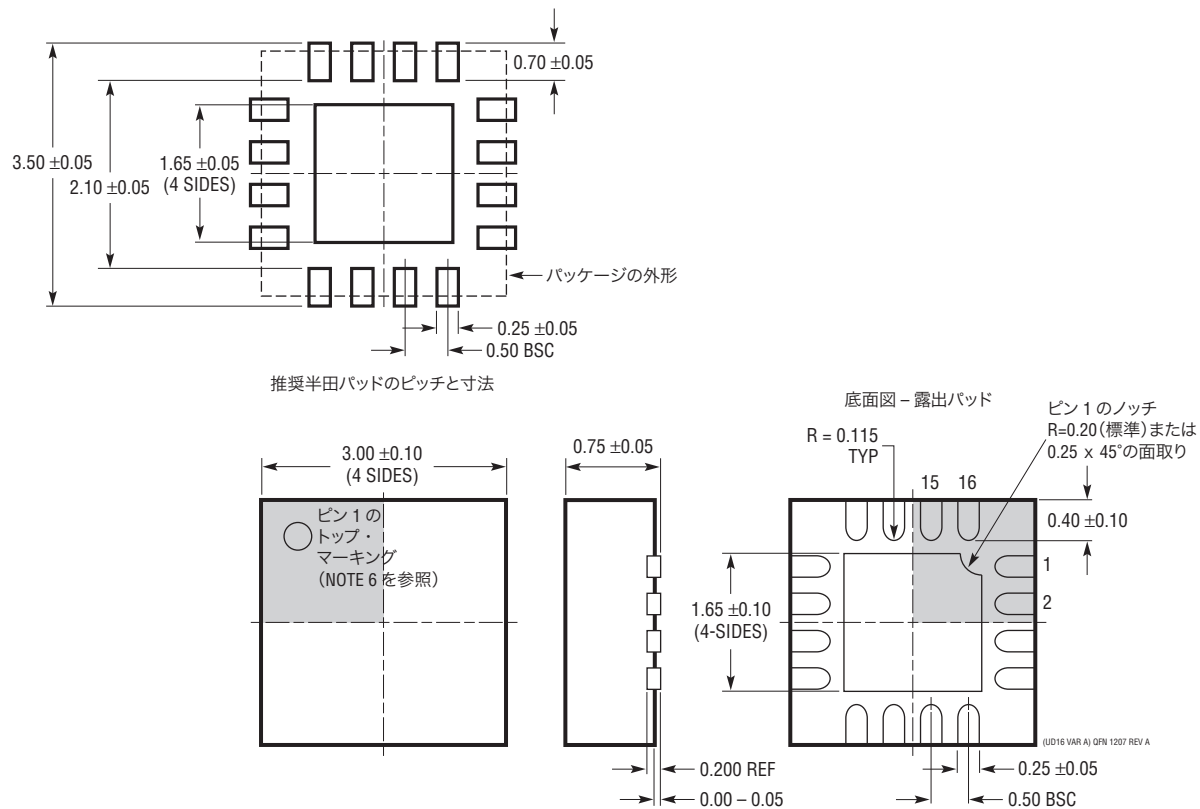


6820 TA05

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

UD Package
16-Lead Plastic QFN (3mm × 3mm)
 (Reference LTC DWG # 05-08-1700 Rev A)
Exposed Pad Variation AA



NOTE:

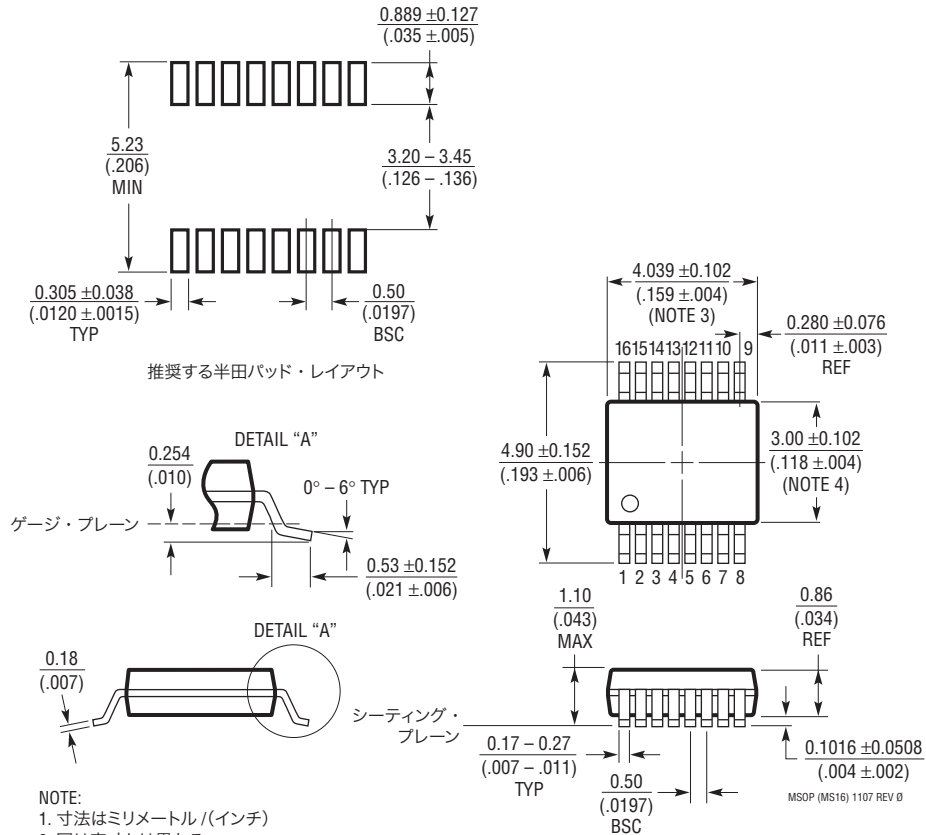
1. 図面は JEDEC のパッケージ外形 M0-220 のバリエーション (WEED-4) に適合
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

MS Package 16-Lead Plastic MSOP

(Reference LTC DWG # 05-08-1669 Rev 0)



NOTE:

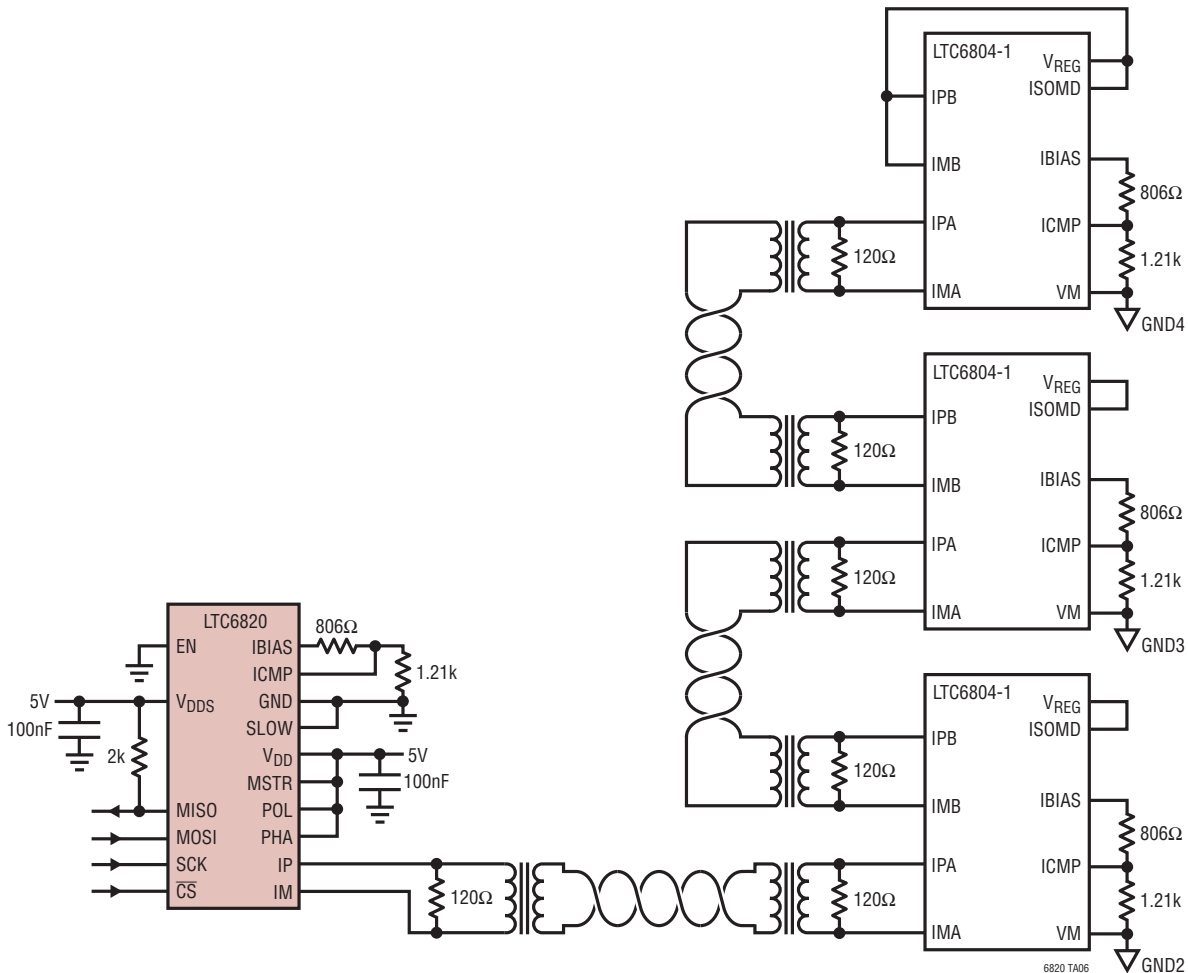
1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで 0.152mm (0.006") を超えないこと
5. リードの平坦度 (成形後のリードの底面) は最大 0.102mm (0.004") であること

改訂履歴

REV	日付	概要	ページ番号
A	6/13	Web ハイパーリンクを追加。 「電気的特性」セクションに Note 8 を追加。	1 ~ 30 5

標準的応用例

LTC6804-1 マルチセル・バッテリー・モニタのデジチェーン・スタックへのインタフェース



関連製品

製品番号	説明	注釈
LTC6803-2/ LTC6803-4	個別にアドレス指定可能なSPIインタフェース付き マルチセル・バッテリー・スタック・モニタ	LTC6803-1/LTC6803-3と同等の機能。 パラレル通信バッテリー・スタック・トポロジーに対応
LTC6803-1/ LTC6803-3	デジチェーンSPIインタフェース付き マルチセル・バッテリー・スタック・モニタ	LTC6803-2/LTC6803-4と同等の機能。 複数のデバイスのデジチェーン接続に対応
LTC6903	1kHz～68MHzのプログラム可能な SPIインタフェース付きシリコン発振器	周波数分解能は0.01%。外付け部品は不要。 2.7V～5.5Vで動作
LTC6804-1/ LTC6804-2	内蔵isoSPIインタフェース付きマルチセル・ バッテリー・スタック・モニタ	マスタLTC6820デバイスおよび他のLTC6804デバイスとの 通信用のisoSPIインタフェースを内蔵