

レール・トゥ・レール入力および CMOS 出力を備えた 280MHz、 2.9ns コンパレータ・ファミリ

特長

- 切り替え速度が非常に高速: 280MHz
- 短い伝播遅延時間: 2.9ns
- レール・トゥ・レール入力を両方のレールを超えて拡張
- 出力電流供給能力: ±22mA
- 低静止電流: 4.5mA
- LTC6752 ファミリ共通の特長:
 - 入力電源電圧: 2.45V ~ 5.25V、出力電源電圧: 1.71V ~ 3.5V (個別電源オプション)
 - 電源電圧: 2.45V ~ 3.5V (単電源オプション)
 - シャットダウン・ピンによる消費電力の低減
 - 出力ラッチと調整可能なヒステリシス
 - 相補出力
- パッケージ: TSOT-23、SC70、MSOP、3mm×3mm QFN
- ADCMP60X ファミリをそのまま置き換え
- 動作温度範囲: -40°C ~ 125°C

アプリケーション

- クロックとデータの復元
- レベルシフト処理
- 高速データ収集システム
- ウィンドウ・コンパレータ
- 高速ライン・レシーバ
- 高速水晶発振器
- 飛行時間測定
- 時間領域反射測定

概要

LTC®6752 は、最大 280MHz の切り替え速度をサポートできる非常に高速のコンパレータ・ファミリです。これらのコンパレータは、伝播遅延時間が 2.9ns と短く、立ち上がり時間/立ち下がり時間が 1.2ns と高速です。LTC6752 ファミリには、オプション (個別の入力電源と出力電源、シャットダウン、出力ラッチ、調整可能なヒステリシス、相補出力、およびパッケージ) が異なる製品が合計 5 品種あります。

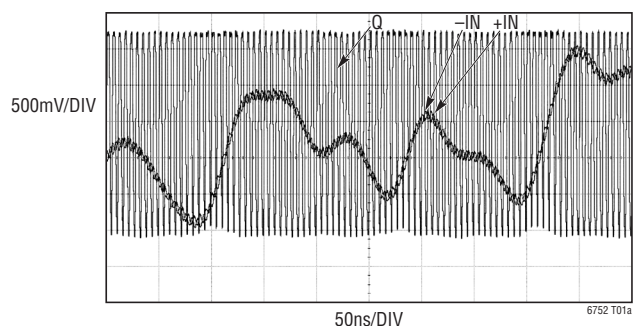
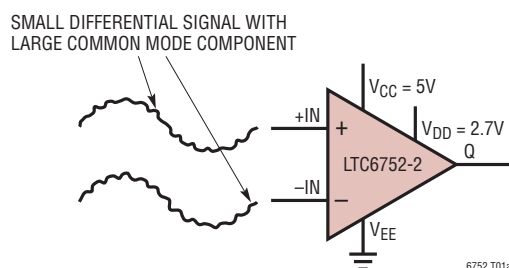
すべての LTC6752 コンパレータはレール・トゥ・レール入力を備えており、その最小動作電圧は 2.45V で、最大動作電圧はオプションによって 3.5V または 5.25V です。出力は CMOS で、個別電源オプションでは最小 1.71V で動作でき、1.8V ロジック・デバイスとのインタフェースを直接とることができます。

伝播遅延時間がわずか 2.9ns と短く、しかもその分散がわずか 1.8ns (オーバードライブの変化は 10mV ~ 125mV) と小さいので、これらのコンパレータはタイミングが肝要なアプリケーションの優れた選択肢となります。同様に、切り替え速度が高速で RMS ジッタが 4.5ps (100mV_{p-p}、100MHz の入力時) と小さいので、LTC6752 ファミリは高周波ライン・ドライバやクロック信号復元回路に最適です。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

同相除去比の優れた高速差動ライン・レシーバ



LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

絶対最大定格

(Note 1)

全電源電圧 ($V_{CC} - V_{EE}$ 間)

(LTC6752-2/LTC6752-3/LTC6752-4) 5.5V

(LTC6752/LTC6752-1) 3.6V

全電源電圧 ($V_{DD} - V_{EE}$ 間) 3.6V

入力電流 (+IN、-IN、SHDN、 $\overline{LE}/HYST$)

(Note 2) $\pm 10\text{mA}$

出力電流 (Q、 \overline{Q}) (Note 3) $\pm 50\text{mA}$

規定温度範囲 (Note 4)

LTC6752I $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

LTC6752H $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

保存温度範囲 $-65^{\circ}\text{C} \sim 125^{\circ}\text{C}$

最大接合部温度 (Note 3) 150°C

半田付け時リード温度 (10秒) 300°C

ピン配置

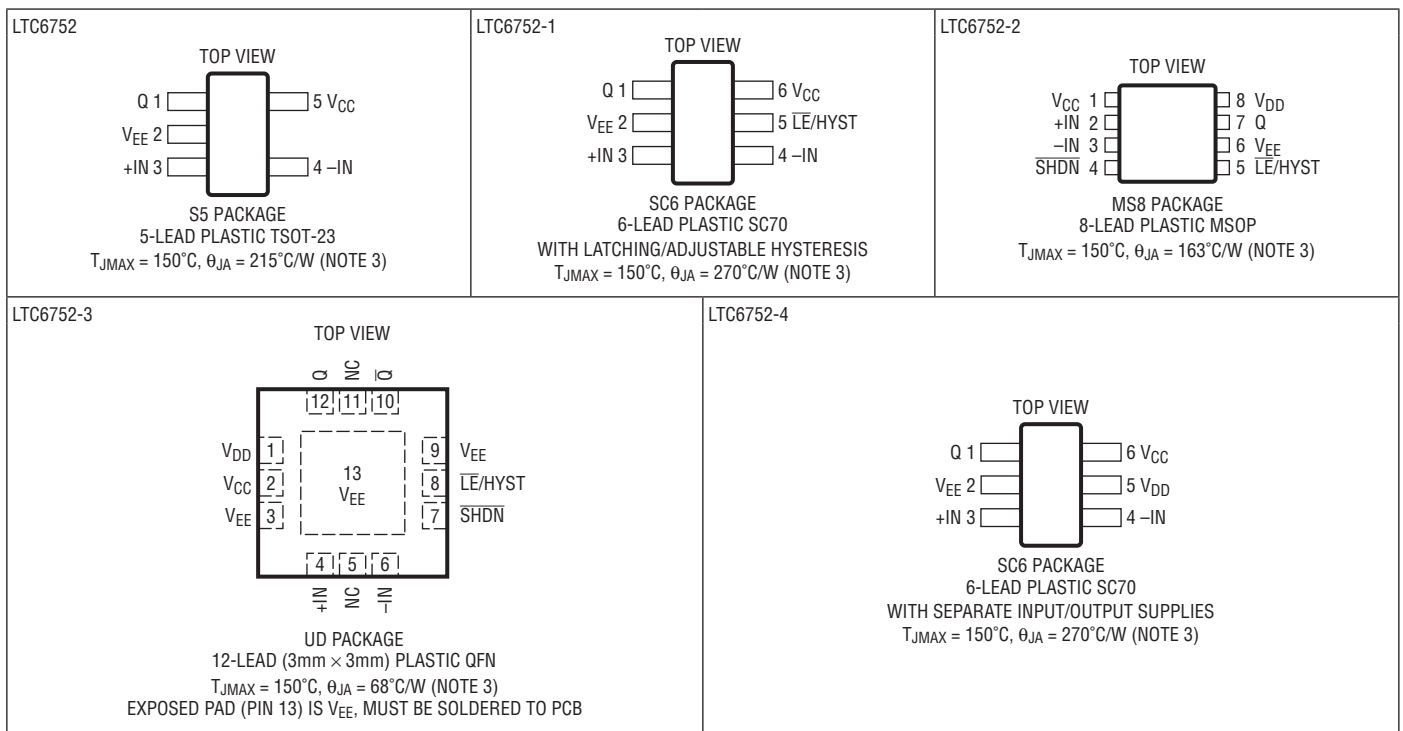


表 1. 特長および製品番号

製品番号	ラッチ/調整可能なヒステリシス	独立した入力電源/出力電源	シャットダウン	相補出力	供給パッケージ
LTC6752					TSOT-23-5
LTC6752-1	●				SC70-6
LTC6752-2	●	●	●		MS8
LTC6752-3	●	●	●	●	3mm x 3mm QFN
LTC6752-4		●			SC70-6

発注情報

無鉛仕上げ

テープ・アンド・リール(ミニ)	テープ・アンド・リール	製品マーキング*	パッケージ	規定温度範囲
LTC6752IS5#TRMPBF	LTC6752IS5#TRPBF	LTGKT	5-Lead Plastic TSOT-23	-40°C to 85°C
LTC6752HS5#TRMPBF	LTC6752HS5#TRPBF	LTGKT	5-Lead Plastic TSOT-23	-40°C to 125°C
LTC6752ISC6-1#TRMPBF	LTC6752ISC6-1#TRPBF	LGQK	6-Lead Plastic SC-70	-40°C to 85°C
LTC6752HSC6-1#TRMPBF	LTC6752HSC6-1#TRPBF	LGQK	6-Lead Plastic SC-70	-40°C to 125°C
LTC6752ISC6-4#TRMPBF	LTC6752ISC6-4#TRPBF	LGQM	6-Lead Plastic SC-70	-40°C to 85°C
LTC6752HSC6-4#TRMPBF	LTC6752HSC6-4#TRPBF	LGQM	6-Lead Plastic SC-70	-40°C to 125°C

TRM = 500個。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	規定温度範囲
LTC6752IMS8-2#PBF	LTC6752IMS8-2#TRPBF	LTGKW	8-Lead Plastic MSOP	-40°C to 85°C
LTC6752HMS8-2#PBF	LTC6752HMS8-2#TRPBF	LTGKW	8-Lead Plastic MSOP	-40°C to 125°C
LTC6752IUD-3#PBF	LTC6752IUD-3#TRPBF	LGKV	12-Lead Plastic QFN (3mm×3mm)	-40°C to 85°C
LTC6752HUD-3#PBF	LTC6752HUD-3#TRPBF	LGKV	12-Lead Plastic QFN (3mm×3mm)	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

($V_{CC} = 2.5V$, $V_{DD} = 2.5V$, $V_{EE} = 0$)。● は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{CC} - V_{EE}$	Supply Voltage (Note 5)	LTC6752/LTC6752-1 (Total Supply)	●	2.45	3.5	V	
		LTC6752-2/LTC6752-3/LTC6752-4 (Input Stage)	●	2.45	5.25	V	
$V_{DD} - V_{EE}$	Output Stage Supply Voltage (Note 5)	LTC6752-2/LTC6752-3/LTC6752-4	●	1.71	3.5	V	
V_{CMR}	Input Voltage Range (Note 7)		●	$V_{EE} - 0.2$	$V_{CC} + 0.1$	V	
V_{OS}	Input Offset Voltage (Note 6)		●	-5.5	±1.2	5.5	mV
			●	-8.5		8.5	mV
TCV_{OS}	Input Offset Voltage Drift		●	18		$\mu V/^\circ C$	
V_{HYST}	Input Hysteresis Voltage (Note 6)	$\overline{LE}/HYST$ Pin Floating		5		mV	
C_{IN}	Input Capacitance			1.1		pF	
R_{DM}	Differential Mode Resistance			57		k Ω	
R_{CM}	Common Mode Resistance			6.4		M Ω	
I_B	Input Bias Current	$V_{CM} = V_{EE} + 0.3V$	●	-3.8	-1.35	μA	
		$V_{CM} = V_{CC} - 0.3V$	●		0.3	1.25	μA
I_{OS}	Input Offset Current		●	-0.75	±0.1	0.75	μA
$CMRR_{LVCM}$	Common Mode Input Range, Low V_{CM} Region	$V_{EE} - 0.2V$ to $V_{CC} - 1.5V$	●	51	69	dB	
			●	46		dB	
$CMRR_{FR}$	Common Mode Rejection Ratio (Measured at Extreme Ends of V_{CMR})	$V_{CM} = V_{EE} - 0.2V$ to $V_{CC} + 0.1V$	●	50	65	dB	
			●	45.5		dB	

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

電気的特性

($V_{CC} = 2.5V$, $V_{DD} = 2.5V$, $V_{EE} = 0$)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PSRR_VCC	Input Power Supply Rejection Ratio	$V_{CM} = 0.3V$, $V_{DD} = 2.5V$, V_{CC} Varied from 2.45V to 5.25V (LTC6752-2/LTC6752-3/LTC6752-4)	● 59 57	74		dB dB
	Total Power Supply Rejection Ratio	$V_{CM} = 0.3V$, V_{CC} Varied from 2.45V to 3.5V (LTC6752/LTC6752-1)	● 53 51	73		dB dB
PSRR_VDD	Output Power Supply Rejection Ratio	$V_{CM} = 0.3V$, V_{DD} Varied from 1.71V to 3.5V (LTC6752-2/LTC6752-3/LTC6752-4)	● 56 51	71		dB dB
AVOL	Open Loop Gain	LTC6752-1/LTC6752-2/LTC6752-3, Hysteresis Removed (Note 12)		6000		V/V
VOH	Output High Voltage (Amount Below V_{DD} (LTC6752-2/LTC6752-3/LTC6752-4), V_{CC} (LTC6752/LTC6752-1))	$I_{SOURCE} = 8mA$	●	130	260 340	mV mV
VOL	Output Low Voltage (Referred to V_{EE})	$I_{SINK} = 8mA$	●	200	340 400	mV mV
ISC	Output Short-Circuit Current	Source	● 16 12	30		mA mA
		Sink	● 15 9	22		mA mA
IVCC	V_{CC} Supply Current, Device On	LTC6752/LTC6752-1	●	4.5	5.0 5.9	mA mA
		LTC6752-2/LTC6752-3/LTC6752-4	●	1.9	2.25 2.5	mA mA
IVDD	V_{DD} Supply Current, Device On	LTC6752-2/LTC6752-4	●	2.6	3.2 3.4	mA mA
		LTC6752-3	●	4.3	4.75 5.2	mA mA
ITOTAL	Total Supply Current, Device On	LTC6752/LTC6752-1/LTC6752-2/LTC6752-4	●	4.5	5.0 5.9	mA mA
		LTC6752-3	●	6.2	6.65 7.7	mA mA
t_R, t_F	Rise/Fall time	10% to 90%		1.2		ns
t_{PD}	Propagation Delay (Note 8)	$V_{OVERDRIVE} = 50mV$	●	2.9	5 5.5	ns ns
t_{SKEW}	Propagation Delay Skew, Rising to Falling Transition (Note 9)			300		ps
t_{ODD}	Overdrive Dispersion (Note 8)	Overdrive Varied from 10mV to 125mV		1.8		ns
t_{CMD}	Common Mode Dispersion	V_{CM} Varied from $V_{EE} - 0.2V$ to $V_{CC} + 0.1V$		240		ps
TR	Toggle Rate (Note 11)	100mV _{P-P} Input, LTC6752/LTC6752-1/LTC6752-2/ LTC6752-4 100mV _{P-P} Input, LTC6752-3		280 250		MHz MHz
t_{JITTER}	RMS Jitter	$V_{IN} = 100mV_{P-P}$, $f_{IN} = 100MHz$, Jitter BW = 10Hz – 50MHz $f_{IN} = 61.44MHz$, Jitter BW = 10Hz – 30.72MHz $f_{IN} = 10MHz$, Jitter BW = 10Hz – 5MHz		4.5 6.0 30		ps ps ps

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

電気的特性

($V_{CC} = 2.5V$, $V_{DD} = 2.5V$, $V_{EE} = 0$)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ラッチ特性/調整可能なヒステリシス特性 (LTC6752-1/LTC6752-2/LTC6752-3のみ)							
$V_{\overline{LE}/HYST}$	$\overline{LE}/HYST$ Pin Voltage	Open Circuit		1.05	1.25	1.45	V
R_{HYST}	Resistance Looking Into $\overline{LE}/HYST$	$\overline{LE}/HYST$ Pin Voltage < Open Circuit Value	●	15	20	25	k Ω
V_{HYST_LARGE}	Hysteresis Voltage	$V_{\overline{LE}/HYST} = 800mV$			40		mV
V_{IL_LE}	Latch Pin Voltage, Latch Guaranteed		●			0.3	V
V_{IH_LE}	Latch Pin Voltage, Hysteresis Disabled	Output Not Latched	●	1.7			V
I_{IH_LE}	Latch Pin Current High	$V_{\overline{LE}/HYST} = 1.7V$	●		30	72	μA
I_{IL_LE}	Latch Pin Current Low	$V_{\overline{LE}/HYST} = 0.3V$	●	-70	-47		μA
t_{SETUP}	Latch Setup Time (Note 10)				-2		ns
t_{HOLD}	Latch Hold Time (Note 10)				2		ns
t_{PL}	Latch to Output Delay				7		ns
シャットダウン特性 (LTC6752-2/LTC6752-3のみ)							
I_{SD_VCC}	Shutdown Mode Input Stage Supply Current	$V_{SHDN} = 0.6V$	●		400	585	μA
I_{SD_VDD}	Shutdown Mode Output Stage Supply Current	$V_{SHDN} = 0.6V$, LTC6752-2	●		185	340	μA
		$V_{SHDN} = 0.6V$, LTC6752-3	●		250	650	μA
t_{SD}	Shutdown Time	Output Hi-Z			80		ns
V_{IH_SD}	Shutdown Pin Voltage High	Part Guaranteed to Be Powered On	●	1.3			V
V_{IL_SD}	Shutdown Pin Voltage Low	Part Guaranteed to Be Powered Off	●			0.6	V
t_{WAKEUP}	Wake-Up Time from Shutdown	$V_{OD} = 100mV$, Output Valid			100		ns

($V_{CC} = 3.3V$, $V_{DD} = 3.3V$, $V_{EE} = 0$)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{CC} - V_{EE}$	Supply Voltage (Note 5)	LTC6752/LTC6752-1 (Total Supply)	●	2.45		3.5	V
		LTC6752-2/LTC6752-3/LTC6752-4 (Input Stage)	●	2.45		5.25	V
$V_{DD} - V_{EE}$	Output Supply Voltage (Note 5)	LTC6752-2/LTC6752-3/LTC6752-4	●	1.71		3.5	V
V_{CMR}	Input Voltage Range (Note 7)		●	$V_{EE} - 0.2$		$V_{CC} + 0.1$	V
V_{OS}	Input Offset Voltage (Note 6)		●	-5.5	± 1.2	5.5	mV
			●	-9		9	mV
TCV_{OS}	Input Offset Voltage Drift		●		18	$\mu V/^\circ C$	
V_{HYST}	Input Hysteresis Voltage (Note 6)	$\overline{LE}/HYST$ Pin Floating			4.7		mV
C_{IN}	Input Capacitance				1.1		pF
R_{DM}	Differential Mode Resistance				57		k Ω
R_{CM}	Common Mode Resistance				6.4		M Ω
I_B	Input Bias Current	$V_{CM} = V_{EE} + 0.3V$	●	-3.8	-1.4		μA
		$V_{CM} = V_{CC} - 0.3V$	●	-4.1		0.33	μA
I_{OS}	Input Offset Current		●		1.5		μA
			●	-0.75	± 0.1	0.75	μA

6752fa

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

電気的特性

($V_{CC} = 3.3V$, $V_{DD} = 3.3V$, $V_{EE} = 0$)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 \overline{SHDN} ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMRR_LVCM	Common Mode Input Range, Low V_{CM} Region	$V_{EE} - 0.2V$ to $V_{CC} - 1.5V$	● 52 48	70		dB dB
CMRR_FR	Common Mode Rejection Ratio (Measured at Extreme Ends of V_{CMR})	$V_{CM} = V_{EE} - 0.2V$ to $V_{CC} + 0.1V$	● 50 46	66		dB dB
PSRR_VCC	Input Power Supply Rejection Ratio Total Power Supply Rejection Ratio	$V_{CM} = 0.3V$, $V_{DD} = 3.3V$, V_{CC} Varied from 2.45V to 5.25V (LTC6752-2/LTC6752-3/LTC6752-4)	● 59 57	75		dB
		$V_{CM} = 0.3V$, V_{CC} Varied from 2.45V to 3.5V (LTC6752/LTC6752-1)	● 53 51	73		dB dB
PSRR_VDD	Output Power Supply Rejection Ratio	$V_{CM} = 0.3V$, V_{DD} Varied from 1.71V to 3.5V (LTC6752-2/LTC6752-3/LTC6752-4)	● 56 51	71		dB dB
AVOL	Open Loop Gain	LTC6752-1/LTC6752-2/LTC6752-3, Hysteresis Removed (Note 12)		7000		V/V
VOH	Output High Voltage (Amount Below V_{DD} (LTC6752-2/LTC6752-3/LTC6752-4), V_{CC} (LTC6752/LTC6752-1))	$I_{SOURCE} = 8mA$	●	81	200 300	mV mV
VOL	Output Low Voltage (Referred to V_{EE})	$I_{SINK} = 8mA$	●	155	320 350	mV mV
Isc	Output Short-Circuit Current	Source	● 35 30	70		mA mA
		Sink	● 20 15	39		mA mA
Ivcc	V_{CC} Supply Current, Device On	LTC6752/LTC6752-1	●	4.8	5.8 6.2	mA mA
		LTC6752-2/LTC6752-3/LTC6752-4	●	1.9	2.35 2.55	mA mA
Ivdd	V_{DD} Supply Current, Device On	LTC6752-2/LTC6752-4	●	2.9	3.45 3.65	mA mA
		LTC6752-3	●	4.75	5.35 5.75	mA mA
ITOTAL	Total Supply Current, Device On	LTC6752/LTC6752-1/LTC6752-2/LTC6752-4	●	4.8	5.8 6.2	mA mA
		LTC6752-3	●	6.6	7.7 8.3	mA mA
t_R, t_F	Rise/Fall Time	10% to 90%		1.35		ns
t_{PD}	Propagation Delay (Note 8)	$V_{OVERDRIVE} = 50mV$	●	3.00	5 5.5	ns ns
t_{SKEW}	Propagation Delay Skew, Rising to Falling Transition (Note 9)			600		ps
t_{ODD}	Overdrive Dispersion (Note 8)	Overdrive Varied from 10mV to 125mV		1.8		ns
t_{CMD}	Common Mode Dispersion	V_{CM} Varied from $V_{EE} - 0.2V$ to $V_{CC} + 0.1V$		240		ps
TR	Toggle Rate (Note 11)	100mV _{P-P} Input		215		MHz
t_{JITTER}	RMS jitter	$V_{IN} = 100mV_{P-P}$, $f_{IN} = 100MHz$, Jitter BW = 10Hz – 50MHz		4.8		ps
		$f_{IN} = 61.44MHz$, Jitter BW = 10Hz – 30.72MHz		5.8		ps
		$f_{IN} = 10MHz$, Jitter BW = 10Hz – 5MHz		29		ps

電気的特性

($V_{CC} = 3.3V$, $V_{DD} = 3.3V$, $V_{EE} = 0$)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ラッチ特性/調整可能なヒステリシス特性 (LTC6752-1/LTC6752-2/LTC6752-3のみ)							
$V_{\overline{LE}/HYST}$	$\overline{LE}/HYST$ Pin Voltage	Open Circuit	●	1.05	1.25	1.45	V
R_{HYST}	Resistance Looking Into $\overline{LE}/HYST$	$\overline{LE}/HYST$ Pin Voltage < Open Circuit Value		15	20	25	k Ω
V_{HYST_LARGE}	Hysteresis Voltage	$V_{\overline{LE}/HYST} = 800mV$			40		mV
V_{IL_LE}	Latch Pin Voltage, Latch Guaranteed		●			0.3	V
V_{IH_LE}	Latch Pin Voltage, Hysteresis Disabled	Output Not Latched	●	1.7			V
I_{IH_LE}	Latch Pin Current High	$V_{\overline{LE}/HYST} = 1.7V$			30	72	μA
I_{IL_LE}	Latch Pin Current Low	$V_{\overline{LE}/HYST} = 0.3V$		-70	-47		μA
t_{SETUP}	Latch Setup Time (Note 10)				-2		ns
t_{HOLD}	Latch Hold Time (Note 10)				2		ns
t_{PL}	Latch to Output Delay				7		ns

シャットダウン特性 (LTC6752-2/LTC6752-3のみ)

I_{SD_VCC}	Shutdown Mode Input Stage Supply Current	$V_{SHDN} = 0.6V$	●		430	600 660	μA μA
I_{SD_VDD}	Shutdown Mode Output Stage Supply Current	$V_{SHDN} = 0.6V$, LTC6752-2	●		200	420 450	μA μA
		$V_{SHDN} = 0.6V$, LTC6752-3	●		300	700 800	μA μA
t_{SD}	Shutdown Time	Output Hi-Z			80		ns
V_{IH_SD}	Shutdown Pin Voltage High	Part Guaranteed to Be Powered On	●	1.3			V
V_{IL_SD}	Shutdown Pin Voltage Low	Part Guaranteed to Be Powered Off	●			0.6	V
t_{WAKEUP}	Wake-Up Time from Shutdown	$V_{OD} = 100mV$, Output Valid			100		ns

($V_{CC} = 5V$, $V_{DD} = 1.8V$, $V_{EE} = 0$, LTC6752-2/LTC6752-3/LTC6752-4のみ)。●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。注記がない限り、 $\overline{LE}/HYST$ ピン、 $SHDN$ ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CC} - V_{EE}$	Input Supply Voltage (Note 5)		●	2.45	5.25	V
$V_{DD} - V_{EE}$	Output Supply Voltage (Note 5)		●	1.71	3.5	V
V_{CMR}	Input Voltage Range (Note 7)		●	$V_{EE} - 0.2$	$V_{CC} + 0.1$	V
V_{OS}	Input Offset Voltage (Note 6)		●	-5.5 -9	± 1.2 5.5 9	mV mV
TCV_{OS}	Input Offset Voltage Drift		●		14	$\mu V/^\circ C$
V_{HYST}	Input Hysteresis Voltage (Note 6)	$\overline{LE}/HYST$ Pin Floating			5.2	mV
C_{IN}	Input Capacitance				1.1	pF
R_{DM}	Differential Mode Resistance				57	k Ω
R_{CM}	Common Mode Resistance				6.4	M Ω
I_B	Input Bias Current	$V_{CM} = V_{EE} + 0.3V$	●	-3.9 -4.2	-1.5	μA μA
		$V_{CM} = V_{CC} - 0.3V$	●		0.36	1.6 2.5

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

電気的特性 ($V_{CC} = 5V$, $V_{DD} = 1.8V$, $V_{EE} = 0$, LTC6752-2/LTC6752-3/LTC6752-4のみ)。

●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

注記がない限り、 $\overline{LE}/HYST$ ピン、 \overline{SHDN} ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_{OS}	Input Offset Current		-0.9	± 0.1	0.9	μA
CMRR_LVCM	Common Mode Input Range, Low V_{CM} Region	$V_{EE} - 0.2V$ to $V_{CC} - 1.5V$	54 51	70		dB dB
CMRR_FR	Common Mode Rejection Ratio (Measured at Extreme Ends of V_{CMR})	$V_{CM} = V_{EE} - 0.2V$ to $V_{CC} + 0.1V$	53 48	68		dB dB
PSRR_VCC	Input Power Supply Rejection Ratio	$V_{CM} = 0.3V$, $V_{DD} = 1.8V$, V_{CC} Varied from 2.45V to 5.25V	59 57	75		dB
PSRR_VDD	Output Power Supply Rejection Ratio	$V_{CM} = 0.3V$, V_{DD} Varied from 1.71V to 3.5V	57 51	71		dB dB
A_{VOL}	Open Loop Gain	LTC6752-2/LTC6752-3 Hysteresis Removed (Note 12)		3500		V/V
V_{OH}	Output High Voltage (Amount Below V_{DD})	$I_{SOURCE} = 5.5mA$		200	400 450	mV mV
V_{OL}	Output Low Voltage (Referred to V_{EE})	$I_{SINK} = 5.5mA$		200	400 550	mV mV
I_{SC}	Output Short-Circuit Current	Source	9 6.2	17		mA mA
		Sink	11 6.2	19		mA mA
I_{VCC}	V_{CC} Supply Current, Device On			2.1	2.65 2.85	mA mA
I_{VDD}	V_{DD} Supply Current, Device On	LTC6752-2/LTC6752-4		2.5	3 3.25	mA mA
		LTC6752-3		3.4	4.4 4.8	mA mA
I_{TOTAL}	Total Supply Current, Device On	LTC6752-2/LTC6752-4		4.5	5.65 6.1	mA mA
		LTC6752-3		6	7.05 7.65	mA mA
t_R, t_F	Rise/Fall Time	10% to 90%		1.25		ns
t_{PD}	Propagation Delay (Note 8)	$V_{OVERDRIVE} = 50mV$		3.4	5.3 5.7	ns ns
t_{SKEW}	Propagation Delay Skew, Rising to Falling Transition (Note 9)			400		ps
t_{ODD}	Overdrive Dispersion (Note 8)	Overdrive Varied from 10mV to 125mV		1.8		ns
t_{CMD}	Common Mode Dispersion	V_{CM} Varied from $V_{EE} - 0.2V$ to $V_{CC} + 0.1V$		240		ps
TR	Toggle Rate (Note 11)	100mV _{P-P} Input, LTC6752-2/LTC6752-4 100mV _{P-P} Input, LTC6752-3		230 185		MHz MHz
t_{JITTER}	RMS Jitter	$V_{IN} = 100mV_{P-P}$, $f_{IN} = 100MHz$, Jitter BW = 10Hz – 50MHz		4.3		ps
		$f_{IN} = 61.44MHz$, Jitter BW = 10Hz – 30.72MHz		5.8		ps
		$f_{IN} = 10MHz$, Jitter BW = 10Hz – 5MHz		28		ps

6752fa

電気的特性 ($V_{CC} = 5V$, $V_{DD} = 1.8V$, $V_{EE} = 0$, LTC6752-2/LTC6752-3のみ)。

●は規定温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ C$ での値。

注記がない限り、 $\overline{LE}/HYST$ ピン、 \overline{SHDN} ピンはフロート状態、 $C_L = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $-IN = V_{CM} = 300mV$ 、 $+IN = -IN + V_{OVERDRIVE}$ 、 $150mV$ のステップ・サイズ。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ラッチ特性/調整可能なヒステリシス特性 (LTC6752-2/LTC6752-3のみ)						
$V_{\overline{LE}/HYST}$	$\overline{LE}/HYST$ Pin Voltage	Open Circuit	1.05	1.25	1.45	V
R_{HYST}	Resistance Looking Into $\overline{LE}/HYST$	$\overline{LE}/HYST$ Pin Voltage < Open Circuit Value	15	20	25	k Ω
V_{HYST_LARGE}	Modified Input Hysteresis Voltage (Note 2)	$V_{\overline{LE}/HYST} = 800mV$		40		mV
V_{IL_LE}	Latch Pin Voltage, Latch Guaranteed		●		0.3	V
V_{IH_LE}	Latch Pin Voltage, Hysteresis Disabled	Output Not Latched	●	1.7		V
I_{IH_LE}	Latch Pin Current High	$V_{\overline{LE}/HYST} = 1.7V$		30	72	μA
I_{IL_LE}	Latch Pin Current Low	$V_{\overline{LE}/HYST} = 0.3V$		-70	-47	μA
t_{SETUP}	Latch Setup Time (Note 10)			-2		ns
t_{HOLD}	Latch Hold Time (Note 10)			2		ns
t_{PL}	Latch To Output Delay			7		ns

シャットダウン特性 (LTC6752-2/LTC6752-3のみ)

I_{SD_VCC}	Shutdown Mode Input Stage Supply Current	$V_{\overline{SHDN}} = 0.6V$	●	500	650 750	μA μA
I_{SD_VDD}	Shutdown Mode Output Stage Supply Current	$V_{\overline{SHDN}} = 0.6V$, LTC6752-2	●	170	400 450	μA μA
		$V_{\overline{SHDN}} = 0.6V$, LTC6752-3	●	240	600 650	μA μA
t_{SD}	Shutdown Time	Output Hi-Z		80		ns
V_{IH_SD}	Shutdown Pin Voltage High	Part Guaranteed to Be Powered On	●	1.3		V
V_{IL_SD}	Shutdown Pin Voltage Low	Part Guaranteed to Be Powered Off	●		0.6	V
t_{WAKEUP}	Wake-Up Time from Shutdown	$V_{DD} = 100mV$, Output Valid		100		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 逆バイアス状態のESD保護ダイオードは、すべての入力ピン、シャットダウン・ピン、ラッチ/ヒステリシス・ピン、出力ピンに存在する。これらのピンの電圧がどちらかの電源レールを300mVを超える場合は、電流を10mA未満に制限する必要がある。このパラメータは、設計または特性評価あるいはその両方により、規格を満たすことが保証される。量産時にはテストされない。

Note 3: 接合部温度を絶対最大定格より低く抑えるためにヒートシンクが必要な場合がある。このパラメータは、設計または特性評価あるいはその両方により、規定の性能を満たすことが保証される。量産時にはテストされない。

Note 4: LTC6752/LTC6752-1/LTC6752-2/LTC6752-3/LTC6752-4Iは $-40^\circ C \sim 85^\circ C$ で規定の性能を満たすことが保証されている。LTC6752H/LTC6752-1H/LTC6752-2H/LTC6752-3H/LTC6752-4Hは $-40^\circ C \sim 125^\circ C$ で規定の性能を満たすことが保証されている。

Note 5: 全出力電源電圧範囲はPSRR $_{VDD}$ テストによって保証される。LTC6752-2、LTC6752-3およびLTC6752-4の全入力電源電圧範囲は、PSRR $_{VCC}$ テストによって保証される。LTC6752およびLTC6752-1の場合、電源電圧範囲はPSRR $_{VCC}$ テストによって保証される。

Note 6: ヒステリシスとオフセットは、両方とも正と負の作動点を求めることによって測定する(入力値は出力を反対方向に変えるために必要)。ヒステリシスは2つの作動点の差として規定され、オフセットは2つの作動点の平均として規定される。

Note 7: CMRRテストによって保証される。

Note 8: 伝播遅延は150mVのステップ・サイズによって測定される。

Note 9: 伝播遅延スキューは、LTC6752、LTC6752-1、LTC6752-2およびLTC6752-4の場合は正と負のステップの伝播遅延の差として規定され、LTC6752-3の場合は相補出力間の伝播遅延の差として規定される。

Note 10: ラッチのセットアップ時間は、 $\overline{LE}/HYST$ ピンが“L”にアサートされ、入力信号の変化を収集して出力で保持するまでの最小時間として規定される。ラッチの保持時間は、出力の状態が変化しないようにするため、 $\overline{LE}/HYST$ ピンの入力信号が“H”から“L”に切り替わるまでの最小時間として規定される。これらの用語の図式的な定義については、図7を参照。

Note 11: 切り替えが有効と定義されるのは、出力振幅範囲が以下に該当する場合。LTC6752-2/LTC6752-3/LTC6752-4の場合には $V_{DD} - V_{EE}$ の10% $\sim V_{DD} - V_{EE}$ の90%の範囲、LTC6752/LTC6752-1の場合には $V_{CC} - V_{EE}$ の10% $\sim V_{CC} - V_{EE}$ の90%の範囲。この項目は、1k Ω の負荷を V_{CM} に接続してテストする。

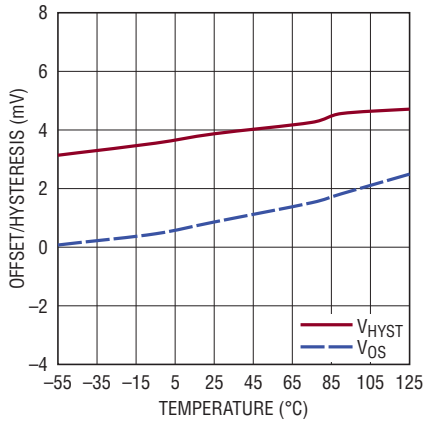
Note 12: ヒステリシスが有効になっているとき、デバイスの利得は実質的に無限大になる。

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

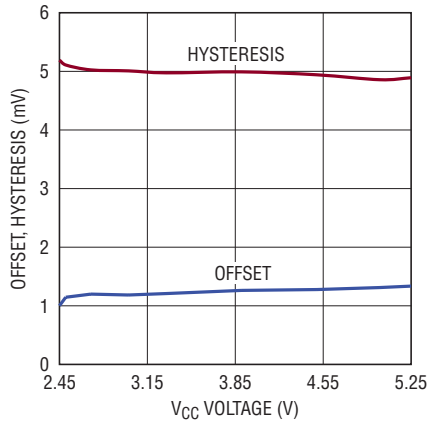
標準的性能特性: DC

注記がない限り、 $V_{CC} = V_{DD} = 2.5V$ 、 $C_{LOAD} = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $V_{CM} = 300mV$ 、 $T_A = 25^{\circ}C$ 。
 $V_{CC} \neq V_{DD}$ の条件はLTC6752-2/LTC6752-3/LTC6752-4にのみ適用可能。

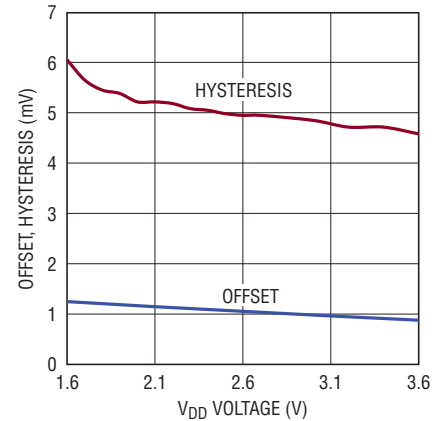
入力オフセット電圧および
ヒステリシスと温度



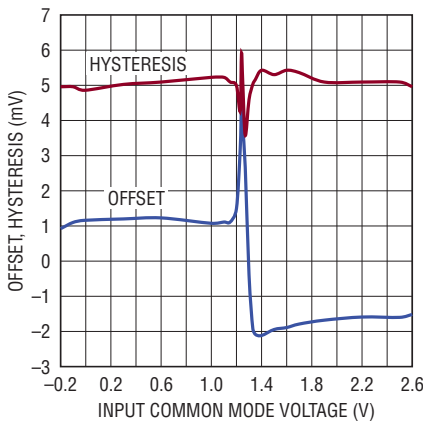
入力オフセット電圧および
ヒステリシスと V_{CC} の電圧



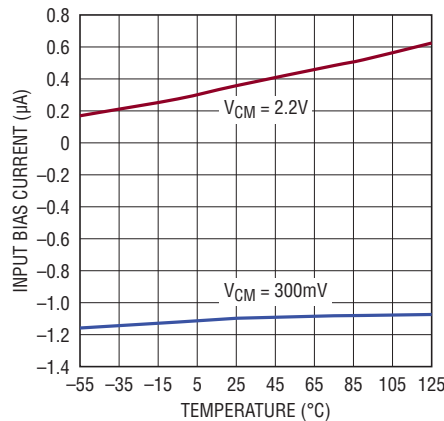
入力オフセット電圧および
ヒステリシスと V_{DD} の電圧



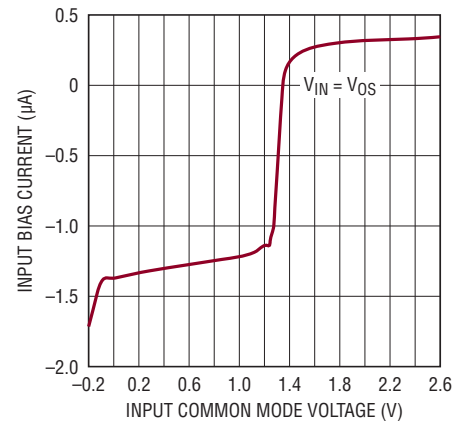
入力オフセット電圧および
ヒステリシスと入力同相電圧



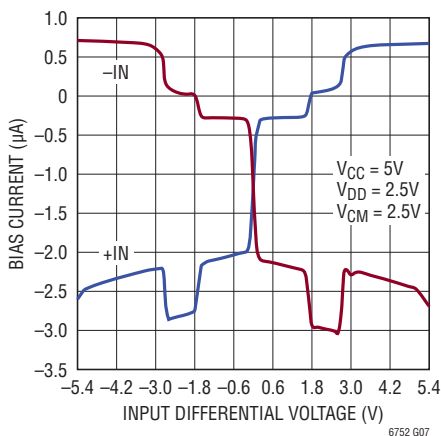
入力バイアス電流と温度



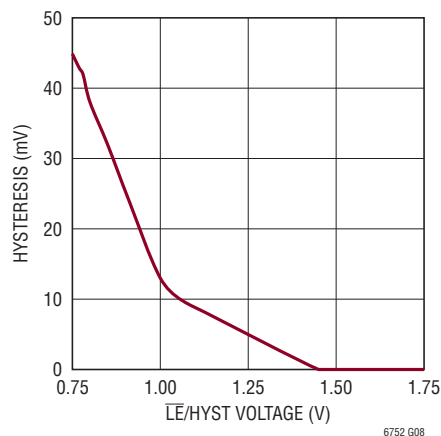
入力バイアス電流と同相電圧



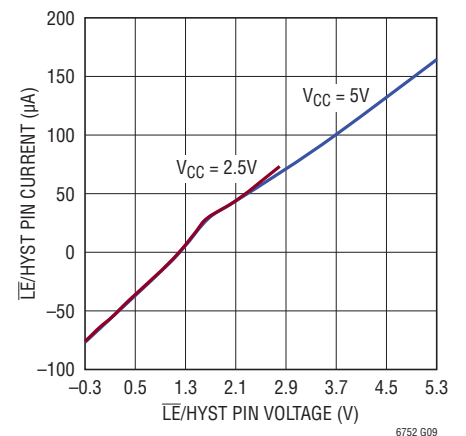
入力バイアス電流と差動入力電圧



入力ヒステリシスと
 $\overline{LE}/HYST$ ピンの電圧



$\overline{LE}/HYST$ ピンのI-V特性

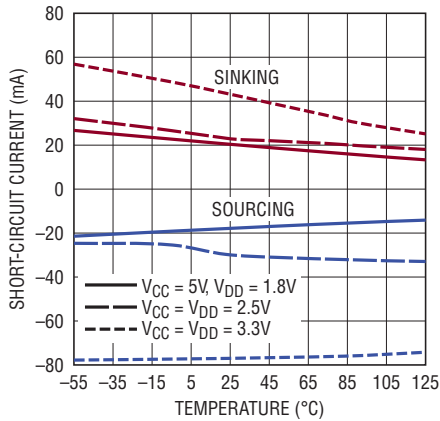


6752fa

標準的性能特性: DC

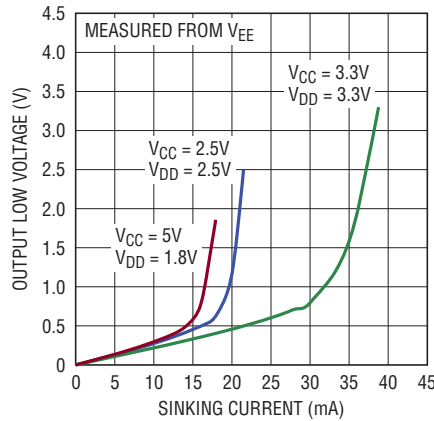
注記がない限り、 $V_{CC} = V_{DD} = 2.5V$ 、 $C_{LOAD} = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $V_{CM} = 300mV$ 、 $T_A = 25^{\circ}C$ 。
 $V_{CC} \neq V_{DD}$ の条件は LTC6752-2/LTC6752-3/LTC6752-4 にのみ適用可能。

出力短絡電流と温度



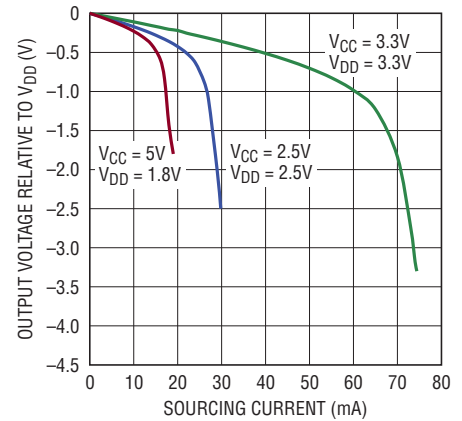
6752 G10

出力“L”電圧と負荷電流



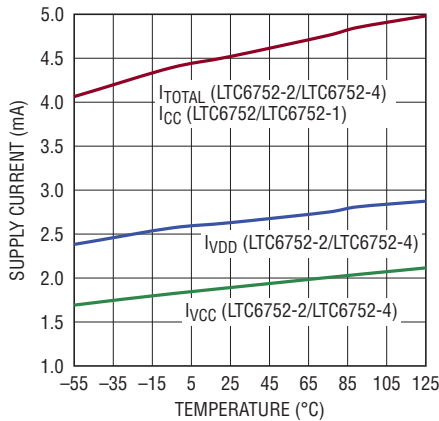
6752 G11

出力“H”電圧とソース電流



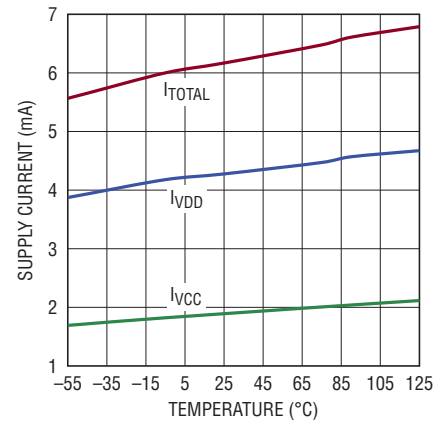
6752 G12

電源電流と温度
(LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4)



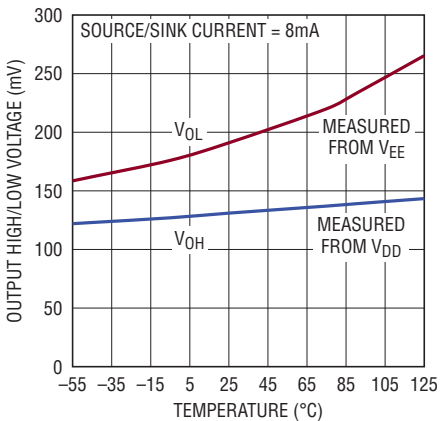
6752 G14

電源電流と温度 (LTC6752-3)



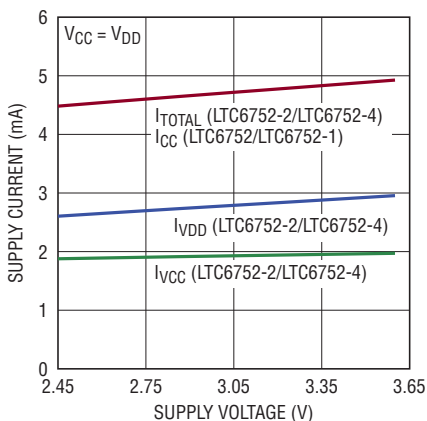
6752 G15

出力の“H/L”電圧と温度



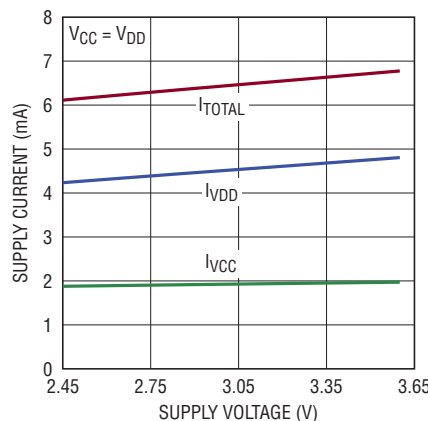
6752 G13

電源電流と電源電圧
(LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4)



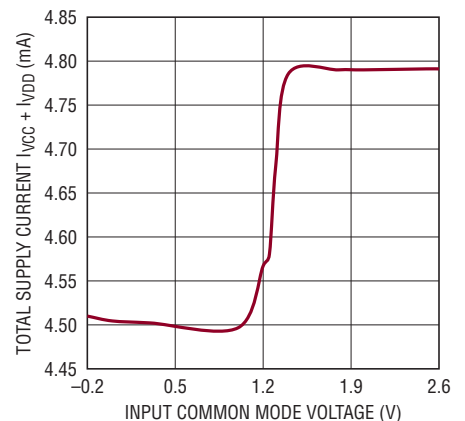
6752 G16

電源電流と電源電圧 (LTC6752-3)



6752 G17

電源電流と入力同相電圧
(LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4)



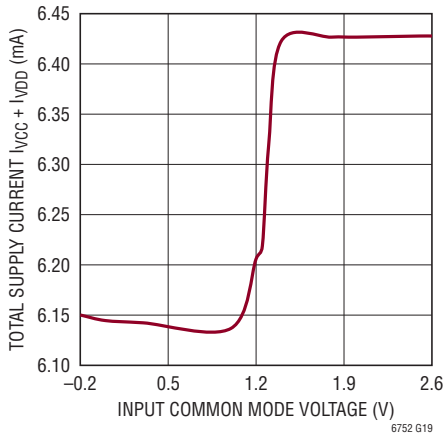
6752 G18

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

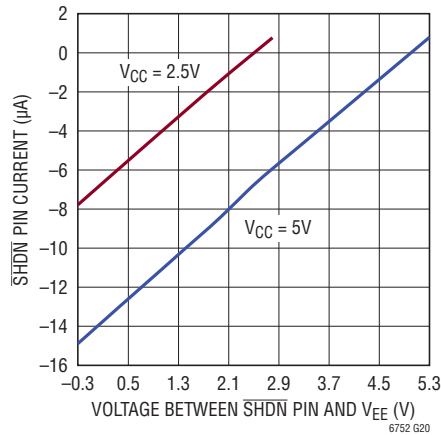
標準的性能特性: DC

注記がない限り、 $V_{CC} = V_{DD} = 2.5V$ 、 $C_{LOAD} = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $V_{CM} = 300mV$ 、 $T_A = 25^\circ C$ 。
 $V_{CC} \neq V_{DD}$ の条件は LTC6752-2/LTC6752-3/LTC6752-4 にのみ適用可能。

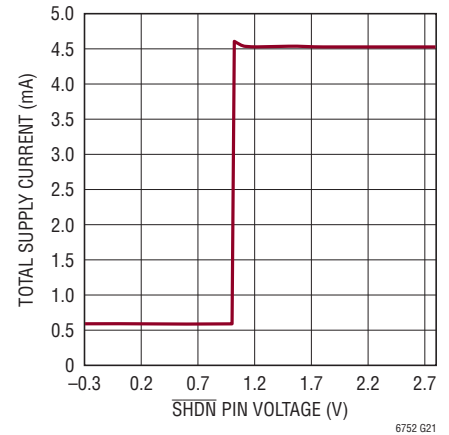
電源電流と入力同相電圧
(LTC6752-3)



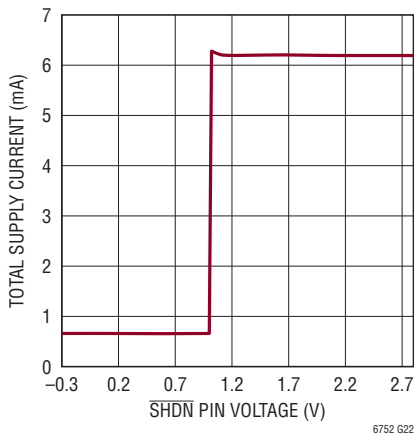
SHDN ピンの I-V 特性



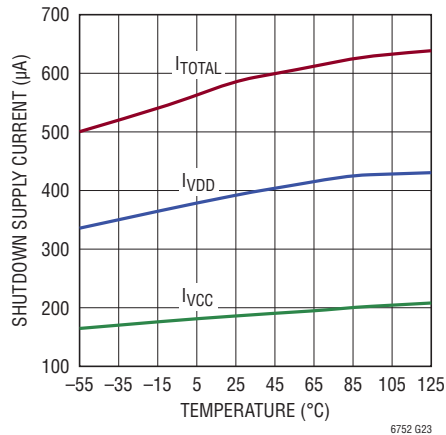
全電源電流と SHDN ピンの電圧
(LTC6752-2)



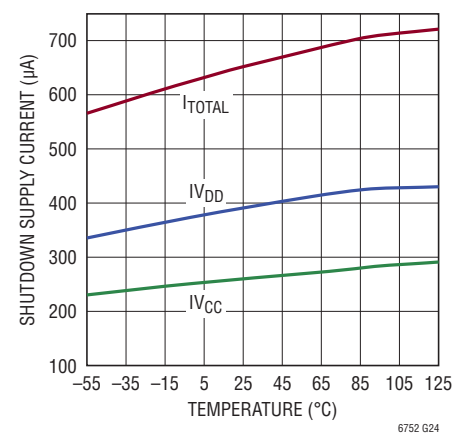
全電源電流と SHDN ピンの電圧
(LTC6752-3)



電源電流と温度、シャットダウン
(LTC6752-2)



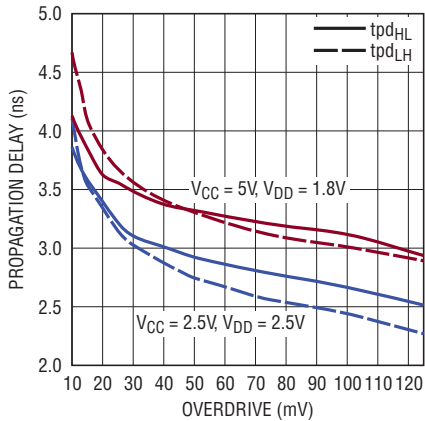
電源電流と温度、シャットダウン
(LTC6752-3)



標準的性能特性: AC

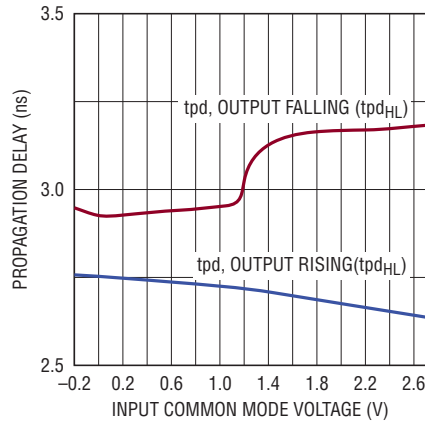
注記がない限り、 $V_{CC} = V_{DD} = 2.5V$ 、 $C_{LOAD} = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $V_{CM} = 300mV$ 、 $T_A = 25^\circ C$ 、トランジェント入力電圧は10MHz、150mV_{P-P}の矩形波。 $V_{CC} \neq V_{DD}$ の条件はLTC6752-2/LTC6752-3/LTC6752-4にのみ適用可能。

伝播遅延と入力オーバードライブ



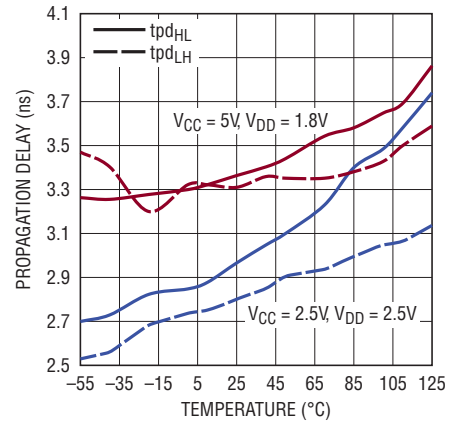
6752 G25

伝播遅延と同相電圧



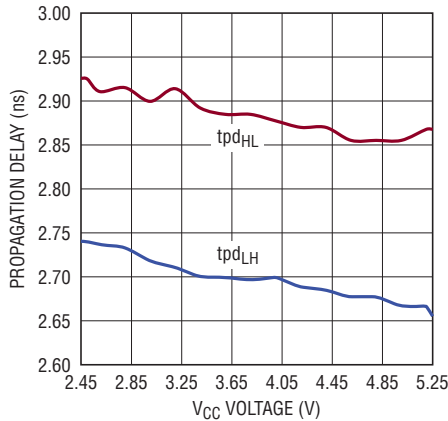
6752 G26

伝播遅延と温度



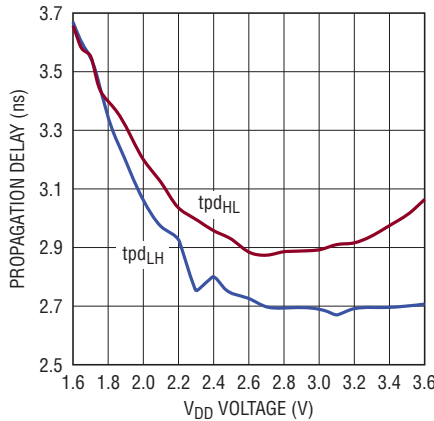
6752 G27

伝播遅延と入力段の電源電圧



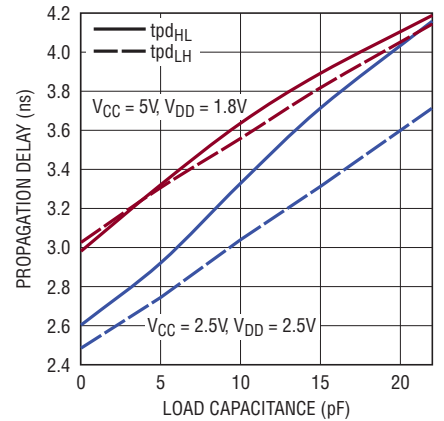
6752 G28

伝播遅延と出力段の電源電圧



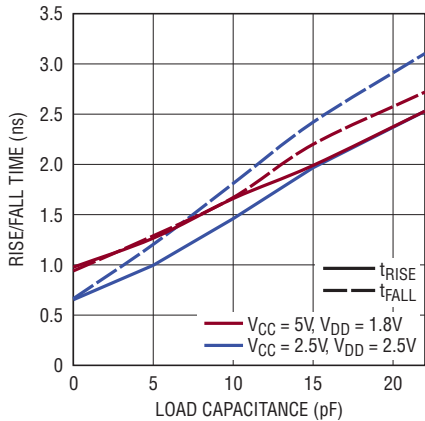
6752 G29

伝播遅延と容量性負荷



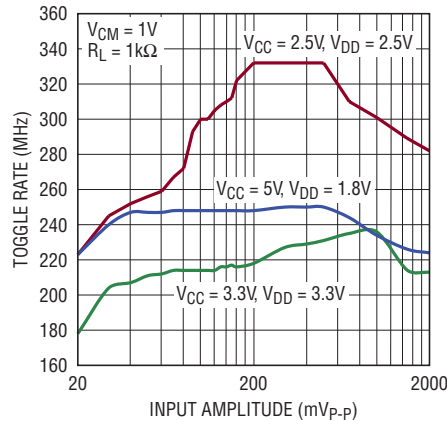
6752 G30

立ち上がり/立ち下がり時間と容量性負荷



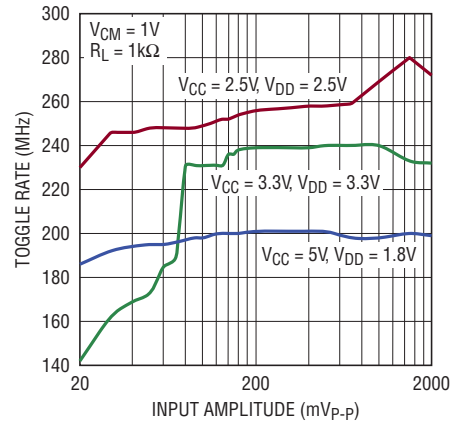
6752 G31

切り替え速度と入力振幅、
LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4



6752 G32

切り替え速度と入力振幅、
LTC6752-3



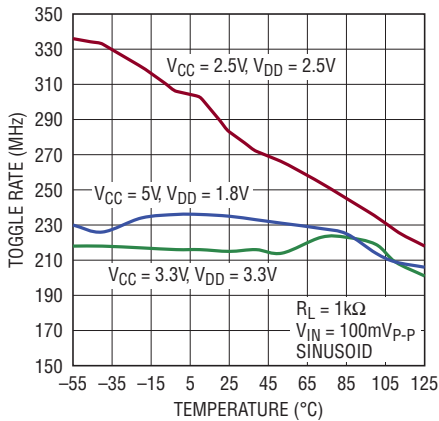
6752 G33

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

標準的性能特性: AC

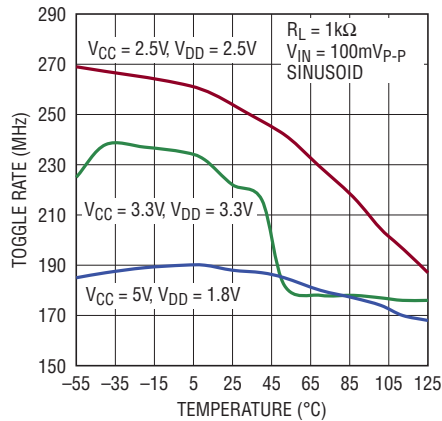
注記がない限り、 $V_{CC} = V_{DD} = 2.5V$ 、 $C_{LOAD} = 5pF$ 、 $V_{OVERDRIVE} = 50mV$ 、 $V_{CM} = 300mV$ 、 $T_A = 25^\circ C$ 、トランジェント入力電圧は10MHz、150mV_{P-P}の矩形波。 $V_{CC} \neq V_{DD}$ の条件はLTC6752-2/LTC6752-3/LTC6752-4にのみ適用可能。

切り替え速度と温度、
(LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4)



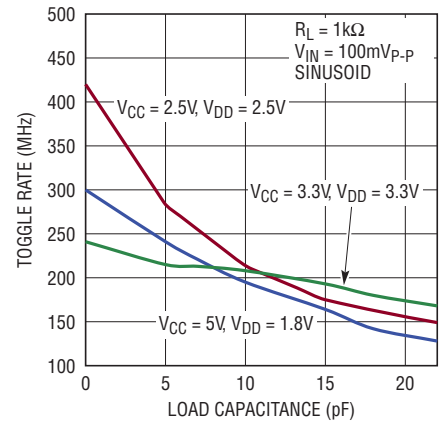
6752 G34

切り替え速度と温度、
(LTC6752-3)



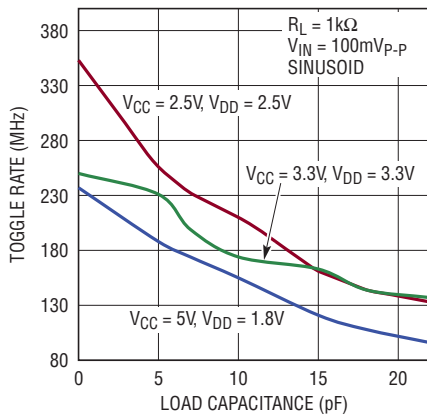
6752 G35

切り替え速度と容量性負荷、
(LTC6752/LTC6752-1/LTC6752-2/
LTC6752-4)



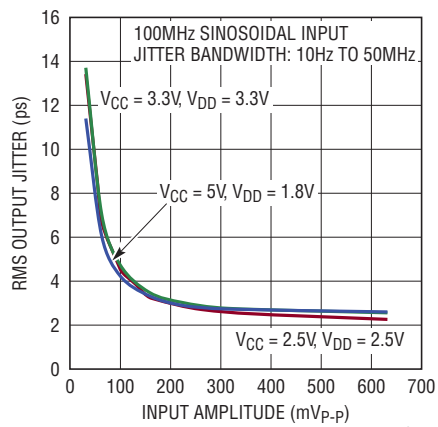
6752 G36

切り替え速度と容量性負荷、
(LTC6752-3)



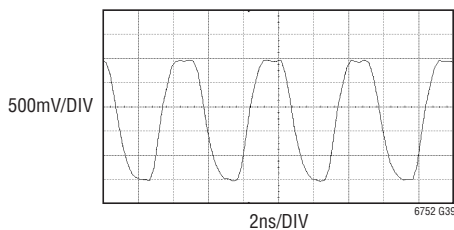
6752 G37

出力ジッタと入力振幅



6752 G38

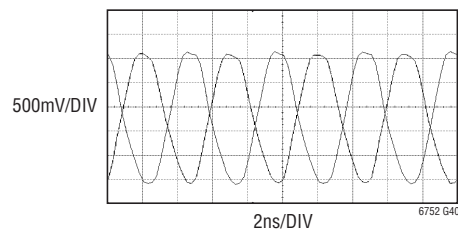
出力切り替え波形、LTC6752-2



6752 G39

LTC6752-2
 $V_{CC} = V_{DD} = 2.5V$
 $C_L = 5pF$
200MHz

QおよびQ̄の出力切り替え波形、
LTC6752-3



6752 G40

LTC6752-3
 $V_{CC} = V_{DD} = 2.5V$
 $C_L = 5pF$
200MHz

ピン機能

+IN : コンパレータの正入力。このピンの電圧範囲は $V_{EE} \sim V_{CC}$ にすることができます。

-IN : コンパレータの負入力。このピンの電圧範囲は $V_{EE} \sim V_{CC}$ にすることができます。

V_{CC} : LTC6752/LTC6752-1の正の電源電圧、LTC6752-2/LTC6752-3/LTC6752-4の入力段の正の電源電圧。

V_{DD} : LTC6752-2/LTC6752-3/LTC6752-4の出力段の正の電源電圧。標準的な電圧の範囲は1.71V～3.5Vです。適切な電源レイアウトおよびバイパス処理については、「高速基板の設計技法」のセクションを参照してください。

V_{EE} : 負電源、通常はグランドに接続します。全電源電圧に対する制約条件が V_{CC} (個別電源動作の場合は V_{DD}) を基準にして維持される限り、このピンはグランド以外の電圧に接続してもかまいません。

SHDN : アクティブ“L”のコンパレータ・シャットダウン・ピンで、しきい値は V_{EE} より0.6V高い値です。このピンを未接続のままにしておくと、コンパレータはイネーブル状態になります。

LE/HYST : このピンの電圧が V_{EE} より高くその差が300mV以内である場合、このピンを使用すると、コンパレータのヒステリシスを調整することだけでなく、出力の状態をラッチすることができます。ヒステリシスの増加やディスエーブルは、このピンの電圧、電流、または V_{EE} までの抵抗によって行うことができます。このピンを未接続のままにすると、ヒステリシスは標準的な5mVになります。

Q : コンパレータの出力。Qは $+IN > -IN$ のとき“H”になり、 $+IN < -IN$ のとき“L”になります。

\bar{Q} : コンパレータの相補出力 (LTC6752-3の場合にのみ使用可能)。Qの論理反転。

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

ブロック図

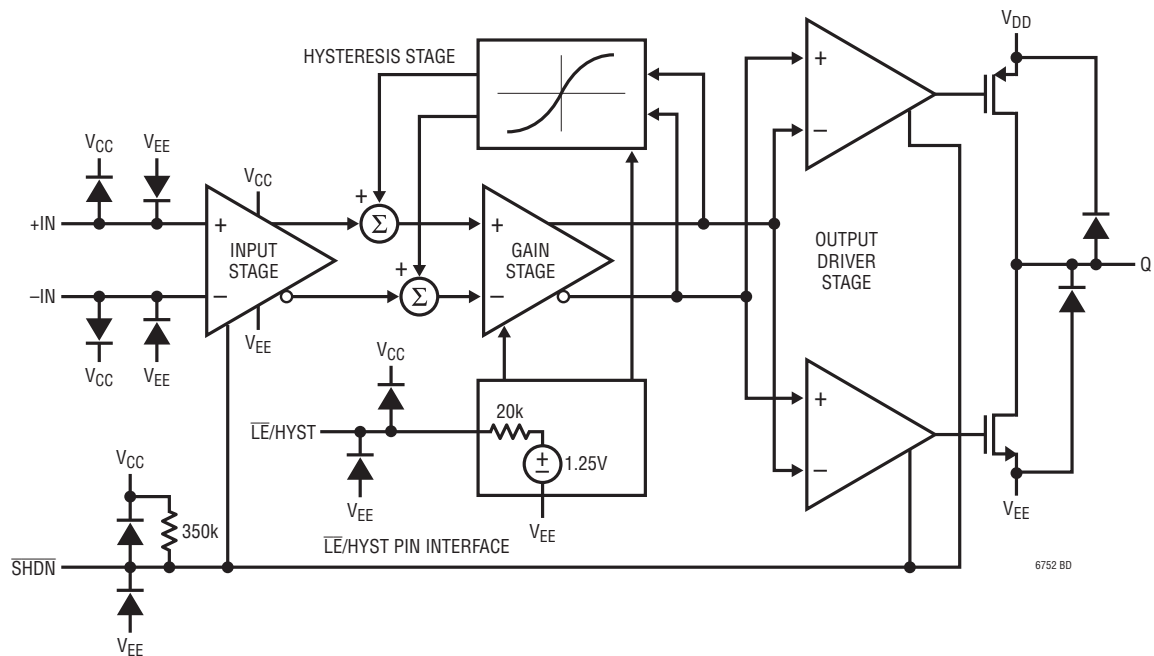


図1. LTC6752/LTC6752-1/LTC6752-2/LTC6752-3/LTC6752-4のブロック図

アプリケーション情報

回路の説明

ブロック図を図1に示します。差動入力(+IN、-IN)、負電源(V_{EE})、2つの正電源：入力段の場合は V_{CC} で出力段の場合は V_{DD} 、出力ピン(Q)、ラッチ用とヒステリシスの調整用のピン($\overline{LE}/HYST$)、およびデバイスを低消費電力モードにするためのピン(\overline{SHDN})があります。LTC6752およびLTC6752-1では、2つの正電源ピンは相互に結合され、 V_{CC} と呼ばれます。信号経路は、レール・トゥ・レールの入力段、中間利得段、および出力ピンの振幅をいずれか一方の電源レールまで到達させることができる1組の相補型FETを駆動する出力段で構成されます。ラッチ/ヒステリシス・インタフェース・ブロックにより、出力状態をラッチすることや、コンパレータの入力ヒステリシスの解消または調整を行うことができます。すべての内部信号経路は、低電圧振幅を利用して低消費電力での高速化に対応します。

LTC6752-3は、相補型ロジック出力信号用に反転出力段を別途内蔵しています(図示せず)。

電源構成

LTC6752-2/LTC6752-3/LTC6752-4の正電源ピンは入力段と出力段に分かれており、アナログ入力と出力ロジックに対して別個の電圧範囲が可能です。実現可能な構成を図2にいくつか示します。信頼できる適度な動作を確保するため、入力電源ピンの電圧は2.45V～負電源ピンより5.25V高い電圧の範囲にし、また出力電源ピンの電圧は1.71V～負電源ピンより3.5V高い電圧の範囲にしてください。絶対最大定格に違反しない限り、電源の印加順序に関する制限はありません。

LTC6752およびLTC6752-1の正電源ピンは1つだけです。適切で信頼できる動作を確保するため、電源電圧は2.45V～3.5Vの範囲内にします。

入力電圧範囲とオフセット

LTC6752ファミリは、異なる入力同相電圧範囲でアクティブになるpnp対およびnpn対で構成されるレール・トゥ・レールの入力段を使用しています。pnp対がアクティブになる入力電圧範囲は、 $V_{EE} - 0.2V$ とほぼ $V_{CC} - 1.5V$ (低い方の同相動作領域)の間です。npn対がアクティブになる入力電圧範囲は、ほぼ $V_{CC} - 1V$ と $V_{CC} + 0.1V$ (高い方の同相動作領域)の間です。一方の入力が低い方の同相動作領域内にあり、もう一方の入力が高い方の同相動作領域内にある場合、または入力が両方ともほぼ $V_{CC} - 1.5V$ と $V_{CC} - 1V$ の間(遷移領域)にある場合は、pnp対とnpn対が両方とも部分的にアクティブになります。低い方または高い方の同相動作領域内に両方の入力が完全に入っている限り、デバイスのオフセットは小さく、調整済みです。遷移領域では、オフセット電圧が増加する場合があります。良好なDC精度が必要なアプリケーションでは、遷移領域を避けてください。

入力バイアス電流

入力が両方とも低い方の同相動作領域内にある場合、入力バイアス電流は負で、電流は入力ピンから流れ出します。入力が両方とも高い方の同相動作領域内にある場合、入力バイアス電流は正で、電流は入力ピンに流れ込みます。

入力段は、入力バイアス電流が大幅に増加することなく大きな差動入力電圧に対応できるように設計されています。一方の入力電圧が正の入力電源レールでもう一方の入力電圧が負の電源レールである場合、入力バイアス電流の大きさは、どちらのピンも標準で $3.5\mu A$ 未満です。

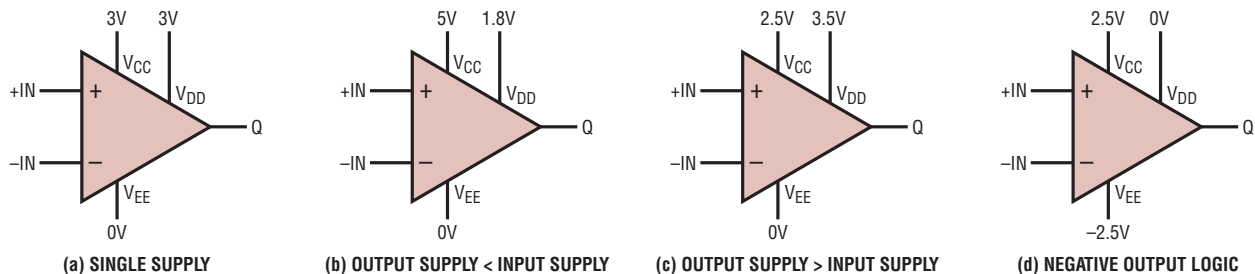


図2. 標準的な電源構成(LTC6752-2/LTC6752-3/LTC6752-4に適用可能)

アプリケーション情報

入力保護

入力段は、いずれかのピンの電圧が電源電圧 (V_{CC} と V_{EE} の間) を超える状態に起因する損傷から外部保護回路なしで保護されています。外部入力保護回路が必要になるのは、入力電流が絶対最大定格を超える可能性がある場合だけです。たとえば、入力が正電源または負電源のいずれかより (絶対値が) 300mV を超えて大きくなると、内部 ESD 保護ダイオードが導通するので、外付け抵抗を使用して電流を 10mA 未満に制限する必要があります。

出力

LTC6752 ファミリーは優れた駆動能力を備えています。コンパレータが供給できる出力電流は、出力電源が 2.5V の場合は標準で $\pm 22\text{mA}$ であり、出力電源が 3.3V の場合は $\pm 39\text{mA}$ です。出力が連続した短絡状態になっている場合は、IC の接合部温度を 150°C 未満に抑え続けるよう注意する必要があります。

ロジック駆動能力

LTC6752 ファミリーは、3.3V、2.5V、および 1.8V の電源で CMOS ロジックを駆動するよう設計されています。デバイスの信頼性を確保するため、出力電源 (V_{DD}) の電圧を負電源より 3.6V を超えて高い電圧にはしないことが必要です。 V_{DD} が 3V 以上である場合、LTC6752 ファミリーの CMOS 出力は、有効な TTL ロジックしきい値レベルを実現するので、5V 電源で動作する TTL ロジック・デバイスとのインタフェースを容易にとることができます。これが可能なのは、TTL ロジックに関連したすべてのしきい値レベル ($V_{IH}/V_{IL}/V_{OH}/V_{OL}$) が 2.4V 以下であるからです。

容量性負荷

LTC6752 ファミリーは、容量性負荷を駆動できます。「電気的特性」の表および「標準的性能特性」セクションでのトランジェント性能パラメータは 5pF の負荷を対象にしており、標準的な TTL/CMOS 負荷に対応しています。デバイスは、さらに大きな容量性負荷に対しても完全に動作しますが、速度性能は低下します。タイトルが「伝播遅延と容量性負荷」のグラフと「切り替え速度と容量性負荷」のグラフは、全容量性負荷に対する変化の影響を示しています。速度性能を最適化するには、出力負荷容量をできるだけ小さくします。

ESD

LTC6752 ファミリー製品の各ピンには、図 1 に示すように、逆バイアス状態の ESD 保護ダイオードがあります。

ESD を受けたときにデバイスをさらに保護する追加のクランプが正電源と負電源の間にあります。通電状態のソケットにデバイスを活線挿入することは推奨しません。こうすると、クランプが作動して、電源ピン間に大電流が流れることになる可能性があるからです。

ヒステリシス

コンパレータの開ループ利得は非常に高い値です。互いに近接している低速入力信号では、入力ノイズが原因で出力電圧がランダムに切り替わる場合があります。これはヒステリシスを利用すれば対処できます。ヒステリシスは、出力が切り替わったときに、作動点の電圧を入力信号の遷移方向に増加させる正帰還です。これにより、入力信号は互いから離れるので、出力の状態が切り替わり続けることが防止されます。正帰還を追加すると、小信号利得が作動点の前後で無限大になる効果も得られます。ヒステリシスはほとんどのコンパレータの設計に組み込まれています。また、LTC6752 ファミリーのヒステリシスは調整可能であり、デフォルトのヒステリシスは 5mV です。

入出力間の伝達特性を図 3 に示します。ここでは、2 つの測定可能な作動点に基づいて V_{OS} と $HYST$ の定義を示しています。

場合によっては、公称 5mV のヒステリシスによって実現されるノイズ耐性を上回る耐性が必要です。逆に、小さい差動信号または高速の差動信号を処理する場合は、ヒステリシスをなくすることが必要になる場合があります。LTC6752-1/LTC6752-2/LTC6752-3 にはヒステリシス・ピン ($\overline{LE}/HYST$) があります。

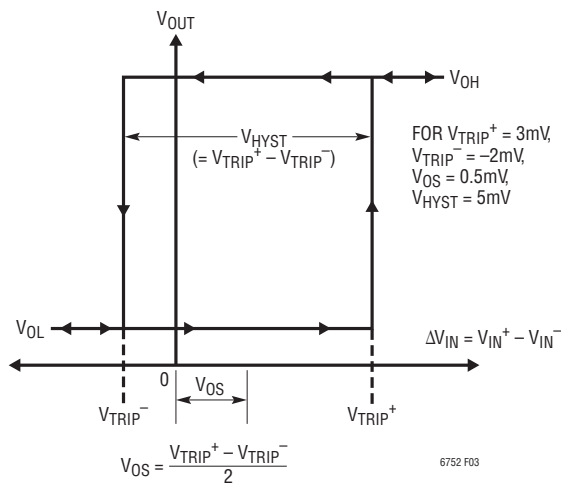


図 3

アプリケーション情報

このピンを使用すると、内部ヒステリシスを増加させるか完全になくすこと、または出力をラッチさせることができます。LTC6752のこれら3つのオプションでは、 $\overline{\text{LE}}/\text{HYST}$ ピンの電圧が1.7Vより高くなると、内部ヒステリシスは解除されます。ヒステリシスを解除するとコンパレータの電圧利得は減少して有限値になりますが、多くの場合、小入力信号を処理するには十分高い利得(標準で6000V/V)です。 $\overline{\text{LE}}/\text{HYST}$ ピンの電圧が0.3Vより低くなると、出力はラッチします。このピンの電圧がその開放時のデフォルト値である1.25Vから800mVに調整されるのに応じて、内部ヒステリシスは増加します。

$\overline{\text{LE}}/\text{HYST}$ ピンは、20kの抵抗と直列に接続した1.25Vの電圧源としてモデル化できます。内部ヒステリシスを増加させる最も簡単な方法は、図4に示すように $\overline{\text{LE}}/\text{HYST}$ ピンと V_{EE} の間に1本の抵抗を接続してヒステリシスを調整する方法です。ヒステリシスが抵抗の値に応じて通常はどのように変化するかを図5に示します。

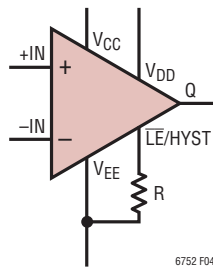


図4. $\overline{\text{LE}}/\text{HYST}$ ピンでの外付け抵抗の使用によるヒステリシスの調整

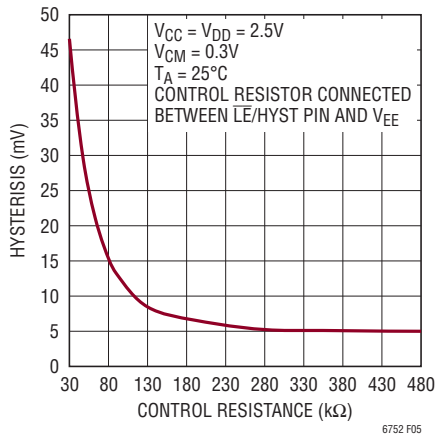


図5. ヒステリシスと制御抵抗

$\overline{\text{LE}}/\text{HYST}$ ピンを使用してヒステリシスを調整する方法のほかに、図6に示すように、出力からの正帰還を正入力に戻して使用することによってヒステリシスを追加できます。

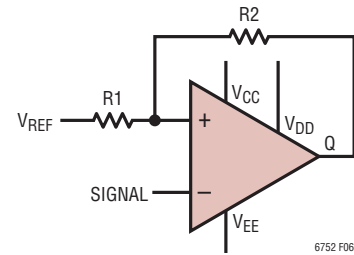


図6. 正帰還の使用による追加のヒステリシス

(入力信号を基準にした)オフセットとヒステリシスは次のようになります。

$$V_{OS_FB} = \frac{(V_{DD} + V_{EE})}{2} \frac{R1}{R1 + R2} + V_{REF} \frac{R2}{R1 + R2} - V_{OS}$$

$$- \frac{V_{OH}}{2} \frac{R1}{R1 + R2} + V_{OL} \frac{R2}{R1 + R2} \rightarrow (1)$$

$$V_{HYST_FB} = (V_{DD} - V_{EE}) \frac{R1}{R1 + R2} + V_{OL} \frac{R2}{R1 + R2} +$$

$$V_{OH} \frac{R1}{R1 + R2} + V_{HYST} \rightarrow (2)$$

V_{OS_FB} と V_{HYST_FB} は、正帰還がある場合のオフセットおよびヒステリシスの値を示します。 V_{HYST} は、正帰還がない場合のデバイスのヒステリシスを示します。軽負荷の場合、 V_{OH} (出力振幅高レベル)および V_{OL} (出力振幅低レベル)は、標準では数mV(500 μ A負荷では標準で10mV未満)です。

全電源電圧が3.0Vで $V_{EE} = 0V$ の場合、 $V_{REF} = 1.25V$ 、 $R2 = 4.53k\Omega$ 、 $R1 = 511\Omega$ という条件でヒステリシスを約300mV増加させることができますが、約1.275Vのオフセットが発生します。

アプリケーション情報

ラッチ動作

$\overline{\text{LE}}/\text{HYST}$ ピンの電圧が負電源の電圧より高く、その差が300mV未満である場合、LTC6752-1/LTC6752-2/LTC6752-3の内部ラッチは出力の状態を保持します。

ラッチのタイミング定義を図7a～図7eに示します。ラッチのセットアップ時間は、正しい状態が出力で確実に保持されるように、入力が安定状態になってからラッチ・ピンが“L”にアサートされるまでの時間として定義されます。ラッチの保持時間は、ラッチ・ピンがアサートされた時点で出力が正しい状態になっているように、ラッチ・ピンがアサートされた後に、入力信号が安定状態を維持している必要がある時間間隔です。ラッチの伝播遅延時間(t_{PDL})は、ラッチ・ピンが解放された後、出力が入力制御に戻るまでに要する時間です。 $\overline{\text{LE}}/\text{HYST}$ ピンをフロート状態のままにすると、ラッチ動作はディスエーブルされます。LTC6752-3の2つの出力はラッチが同時に制御されます。

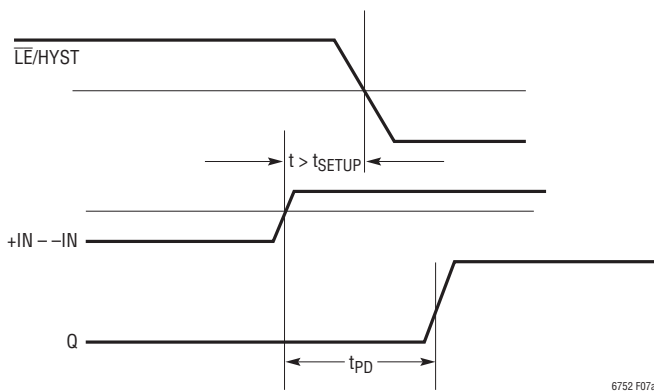


図7a. 入力状態の変化を正常にラッチ

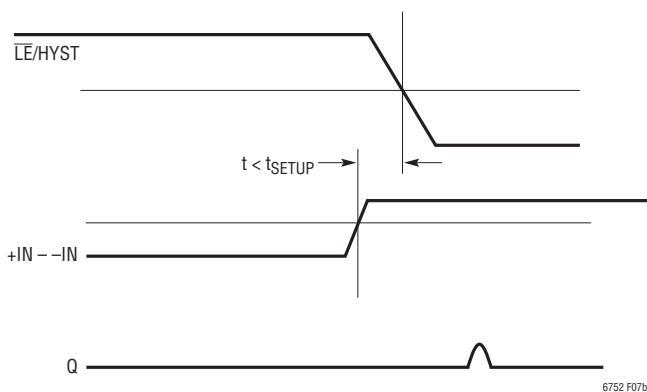


図7b. 入力変化のセットアップ時間が短すぎる

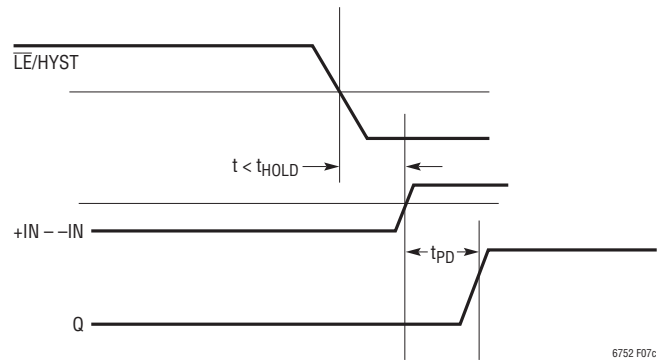


図7c. 入力状態の保持時間が不十分。誤った出力状態をラッチ

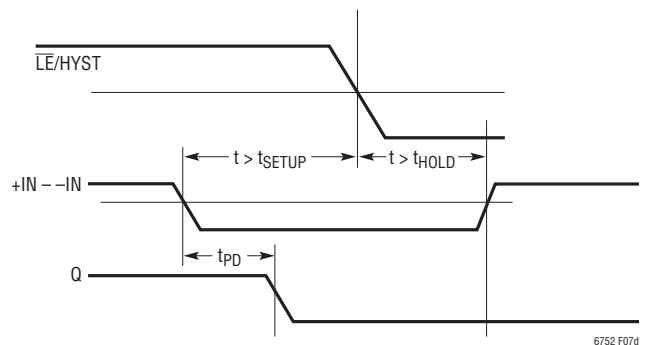


図7d. 短い入力パルスを正常に捕捉してラッチ

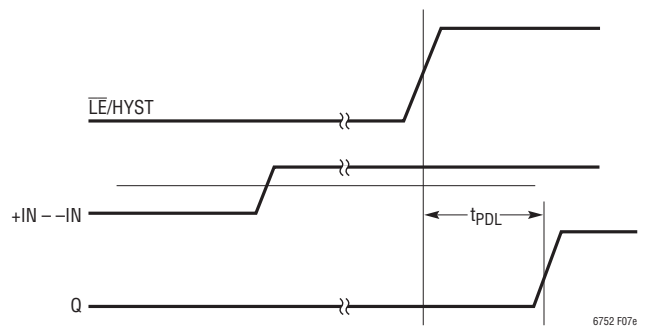


図7e. ラッチ出力をディスエーブル

シャットダウン

LTC6752-2とLTC6752-3にはシャットダウン・ピン($\overline{\text{SHDN}}$ 、アクティブ“L”)があり、LTC6752-2の場合は580 μA 、LTC6752-3の場合は650 μA の標準値(2.5V電源時)まで全電源電流を減少させることができます。デバイスがシャットダウン状態のとき、出力は高インピーダンス状態になります。これは、ドレインが出力ピンに接続されている出力トランジスタPFETおよ

アプリケーション情報

びNFETが遮断され、ソース電流/シンク電流をまったく流すことができないからです。デバイスがシャットダウンするには、シャットダウン・ピンの電圧を負電源の電圧から600mV以内にする必要があります。シャットダウン・ピンは、フロート状態のままにすると内部で正電源電圧の方向に引かれるので、コンパレータは完全にバイアスされたオン状態に維持されます。

分散

分散は、異なる入力条件での伝播遅延の変化として定義されます。これは、タイミングに左右されるアプリケーションでは非常に重要になります。10mVのオーバードライブから125mVのオーバードライブまでのオーバードライブ分散は、標準で1.8ns未満です(全ステップ・サイズは150mV)。「伝播遅延と同相電圧」というタイトルのグラフは、入力同相電圧の変化による分散を示しています。

ジッタ

LTC6752ファミリは、低位相ノイズおよび低ジッタを目指して設計されました。これにより、高周波で低振幅の正弦波を完全なロジック・レベルの矩形波に変換して、付加的なジッタを最小限に抑える必要があるアプリケーションでデバイスを使用できます。「出力ジッタと入力振幅」というタイトルのグラフは、正弦波入力のみさまざまな振幅に対するLTC6752ファミリの付加的なジッタを示しています。ジッタが信号の周波数に応じてどのように変化するかを確認するには、「電気的特性」の表を参照してください。

高速基板の設計技法

LTC6752ファミリの製品は非常に高速なデバイスなので、基板レベルで一定のガイドラインに従わなかった場合、出力が発振しやすい傾向があります。電源プレーン、特にV_{DD}ピンとV_{EE}ピンの電源プレーンを低インピーダンスにすると、発振に関連した電源バウンスの低減に役立ちます。振幅が大きく出力電流駆動能力が高いことが原因で、出力電源電圧が高いときに電源バウンスが悪化する傾向があります。出力ピンと入力ピンの間の寄生帰還を最小限に抑えるようにしてください。LTC6752ファミリ製品のピン配置は、寄生帰還を最小限に抑えるように配置されています。基板上的入力と出力のトレースは、互いから遠ざけて配置します。そうすることができない場合は、グラウンドまたは電源のトレースを防護トレースとして使用して、入力と出力のトレースを分離するようにします。可能であれば、デバイスの電源ピンには直接接続されていないが、正確には基板の電源端子に直接接続されている電源/グラウンド・トレースをそのような目的に使用してください。

正電源ピンはV_{EE}ピンに適切にバイパスして、電源でのトランジェントを最小限に抑えます。デバイスの高速性により、ESRとESLの低いコンデンサが必要です。電源のバイパス回路と直列のトレースに存在する数nHの寄生インダクタンスであっても、出力遷移時には電源ピンに数百mVの外乱を引き起こす可能性があります。低ESL、低ESRの複数の100nFコンデンサと2.2μFのコンデンサを並列にして、電源ピンにできるだけ近づけて接続し、トレースのインピーダンスを最小限に抑えることを推奨します。多くのアプリケーションでは、V_{EE}ピンをグラウンドに接続します。V_{EE}ピンをグラウンドに接続していないアプリケーションでは、正電源を引き続きV_{EE}にバイパスします。その後、可能であればV_{EE}ピンには2.2μFのコンデンサと低ESL、低ESRの100nFコンデンサを並列に接続して、グラウンド・プレーンにもバイパスします。

正入力電源と正出力電源が別個のデバイスでは、コンデンサを2つの正電源間に配置しないでください。正電源間に配置すると、出力の切り替わりによる外乱が入力に戻って結合することがあります。

電源バウンスを最小限に抑えるため、電源電流の帰還経路を慎重に検討して基板レイアウトを作成する必要があります。出力電流はインピーダンスが最も低い利用可能な経路を介して電源に戻ります。基板上で簡単に負荷の終端接続が可能な場合は、前述したように2.2μFと100nFのコンデンサを使用し、V_{EE}を終端接続までバイパスします。

LTC6752/LTC6752-1/LTC6752-2/LTC6752-3/LTC6752-4の立ち上がり時間と立ち下がり時間が短い場合、出力トレースは低インピーダンスのグラウンド・プレーンを使用して遮蔽し、電磁干渉を最小限に抑える必要があります。LTC6752-3の出力には相補性があるので、LTC6752-3はEMIの影響を一次的に相殺することができます。

入力のスルーレートが小さい場合は、入力の遷移中にグラウンド・バウンスがあると、それが1mVであっても出力ピンに持続発振が生じる可能性があります。入力のスルーレートが小さいアプリケーションでは、 $\overline{LE}/HYST$ ピンを“H”にして内部ヒステリシスを解除しないでください。ヒステリシスが加わることで、コンパレータはグラウンド・バウンスなどの外乱に対する耐性が高くなるからです。ヒステリシスに関するセクションで説明したように、 $\overline{LE}/HYST$ ピンの電圧を調整するか正帰還を加えることによってヒステリシスを大きくすると、ノイズ耐性をさらに向上させることができます。

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

標準的応用例

高速クロック復元/レベル変換回路

高速コンパレータは、歪んだクロック波形を復元するためにデジタル・システム内で使用されることがよくあります。LTC6752-2は、独立した入力/出力電源という機能を備えているので、ある電圧領域から別の電圧領域に信号をシフトする必要があるアプリケーションで使用できます。復元機能とレベル変換機能の両方を実行できる回路を図8に示します。

このアプリケーションでは、入力クロック信号の信号源は5Vで動作し、クロック信号は1.8Vで動作するレシーバを駆動することを要求されます。このデバイスが備える5Vの入力電源/1.8Vの出力電源という機能は、こうした状況で理想的です。浮遊容量、浮遊インダクタンス、または伝送線上での反射が原因で入力信号が歪み、振幅が極端に小さくなった場合は、LTC6752-2を使用して入力信号をフルスケールのデジタル出力信号に変換し、これによってレシーバを駆動できます。

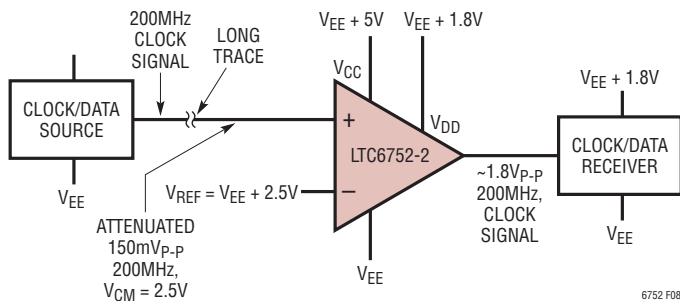


図8. 高速クロック復元/レベル変換/
レベルシフト回路

LTC6752-2の入力波形と出力波形を図9に示します。この場合には、負電源を基準にした2.5Vの同相電圧で、150mV_{P-P}、200MHzの歪んだ信号をフルスケールの1.8V出力信号に復元する目的で使用しています。AC結合はコンパレータの入力で使用できた可能性がありますが、入力のデューティ・サイクル情報を保持するには、DC結合の方が望ましい場合があり、入力同相電圧範囲が広いことがDC結合の利点です。

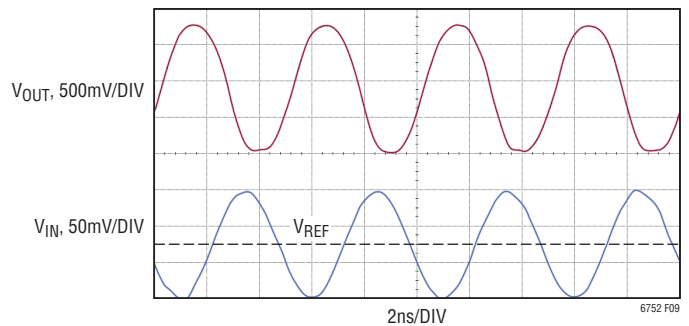


図9

光受信器回路

LTC6752はLTC6268のような高速、高性能のFET入力オペアンプと併用して、図10に示すような光受信器を実現することができます。

LTC6752-2の-INピン、LTC6752-2の+INピン、およびLTC6752-2の出力を駆動するLTC6268の出力を図11に示します。フォトダイオードは、強度が正弦波的に変化する光源によって駆動されています。

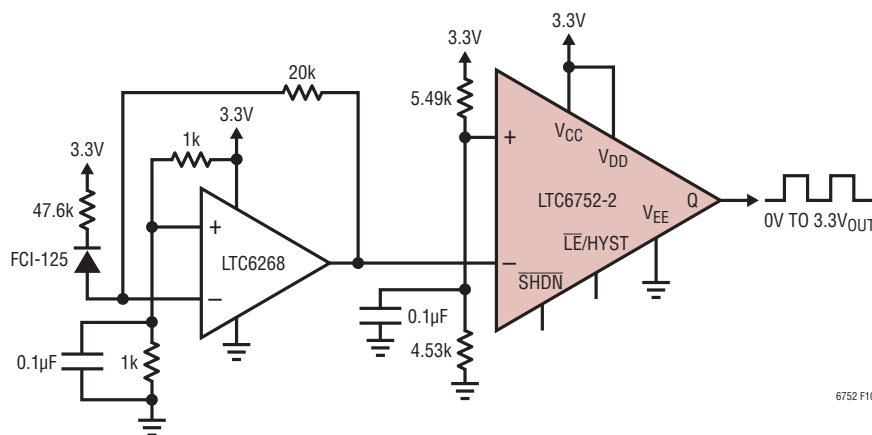


図10. 光受信器回路

6752 F10

標準的応用例

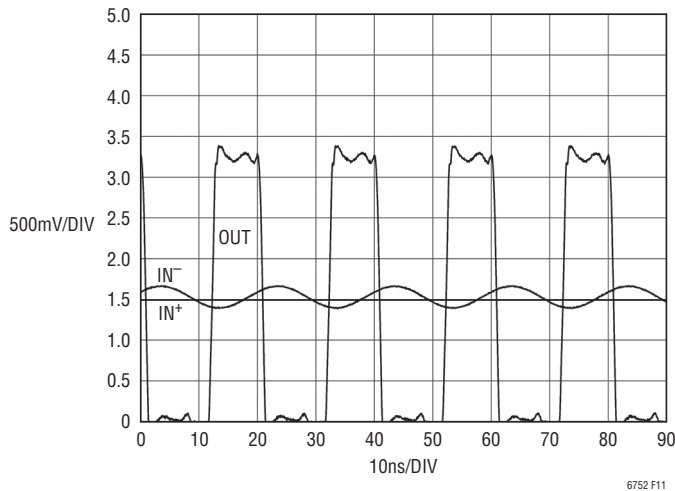


図 11

ンパレータとシステムのオフセットに打ち勝ち、入力信号がない状態での出力“L”を確立するために、しきい値を11mVに設定してバイアスされます。入力パルスによってU1の出力が“H”になり、その後、U2の出力が“H”になります。U2の出力が第1のコンパレータ(U1)の入力に戻されると、タイミング・コンデンサCの充電がRを介して開始されます。100ns後にU2は“L”になり、これによってU1も“L”になることができます。U2の入力に新しいパルスが入ると、処理を再開することができます。タイミング・コンデンサCは、出力パルスを長くするために、制限なしで大きくすることができます。

パルス・ストレッチャ回路の入出力波形を図13に示します。

パルス・ストレッチャ回路/単安定マルチバイブレータ

1個のセンサからの短いパルスを検出するには、たいていの場合、パルス・ストレッチャが必要です。図12の回路はワンショットとして動作し、到来パルスの幅を均一な約100nsに広げます。この回路は以下のように動作します。コンパレータU1はしきい値検出器として機能し、コンパレータU2はワンショットとして機能します。コンパレータU1は、コ

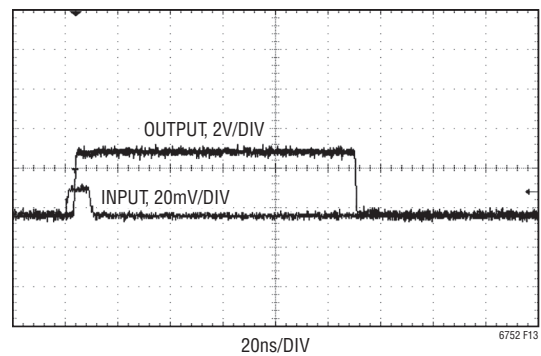


図 13

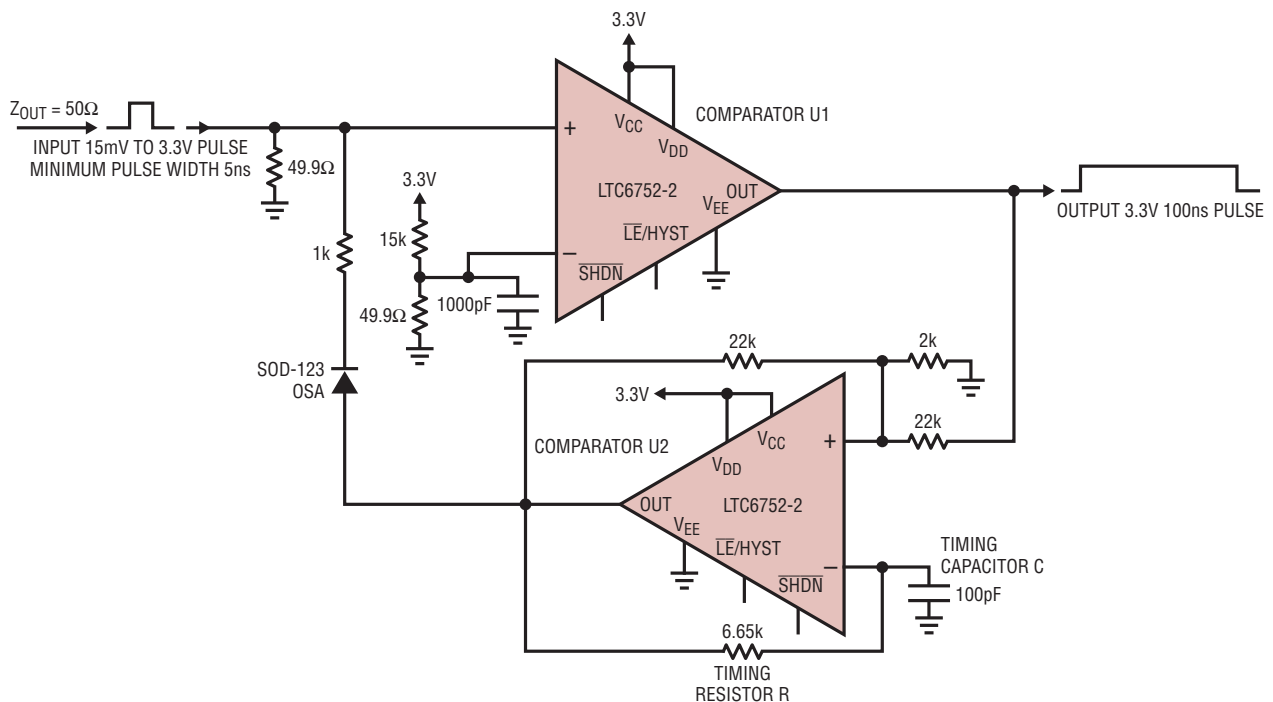


図 12

標準的応用例

同相信号除去型ライン・レシーバ

長いケーブルを介して伝送される差動電気信号は、たいていの場合、減衰します。ケーブルに乗る電気ノイズは、同相信号の形をとることがあります。

図14に示すように、LTC6752コンパレータを使用して、高周波の同相ノイズによって崩れた減衰状態の差動信号を取り出すことができます。

2.5Vのランダムな同相ノイズが重畳されている状態の入力信号から200MHz、200mV_{P-P}の差動入力信号を取り出しているLTC6752-2の動作を図15に示します。使用した入力電源(V_{CC})は5Vで、使用した出力電源は2.7Vでした。入力にわずかな差動変調が存在するため、出力にもわずかな差動変調が観測されます。これにより、伝播遅延にサイクル間のばらつきが生じます。

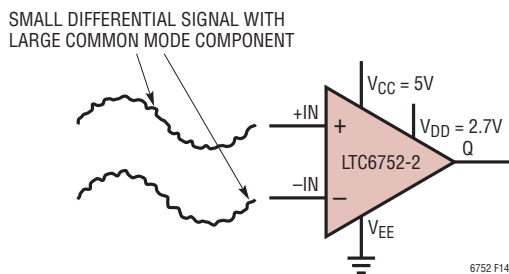


図14

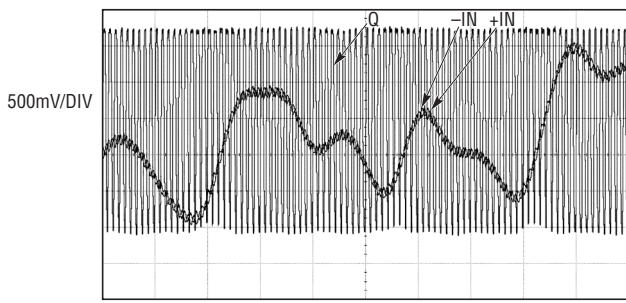


図15

高速イベント・キャプチャ

図16に示す回路を使って、小さな高速イベントをキャプチャすることができます。ラッチ・ピンに信号を送って出力を“H”の状態にホールドするのにコンデンサの出力が使われています。RESETラインが“L”のとき回路はリセットします。出力信号の反転とスーパーバイザ回路からのRESETラインの多重化の両方に、オープン・ドレインの1.5ns NANDゲートが使われています。NANDのひとつの重要な特長はオープン・ドレインであるということ、そのためコンパレータはそのデフォルトの5mVのヒステリシスまたはユーザーがプログラム可能なヒステリシスのどちらでも使用することができます。この回路のラッチ回復時間は約210nsで、NANDゲートの出力容量とLE/HYSTピンの20k直列抵抗値によって生じる時定数によって支配されます。その波形を図17に示します。

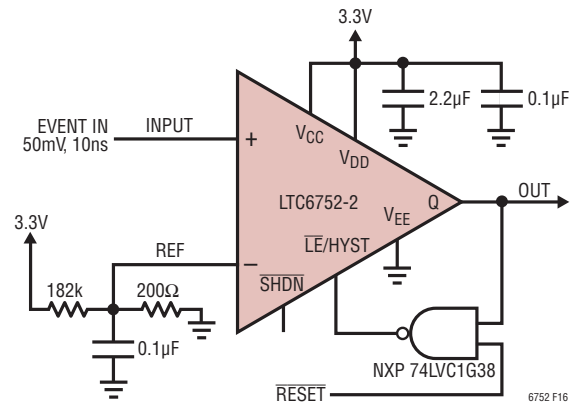


図16

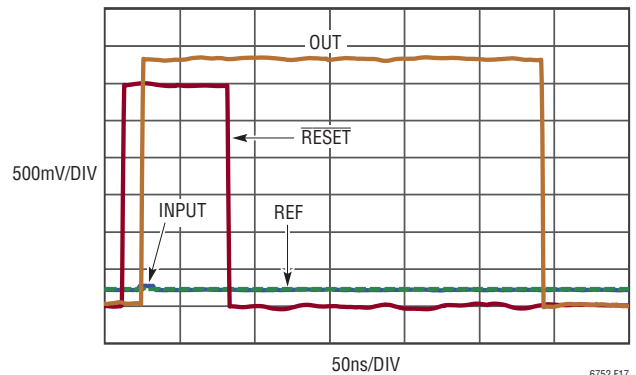
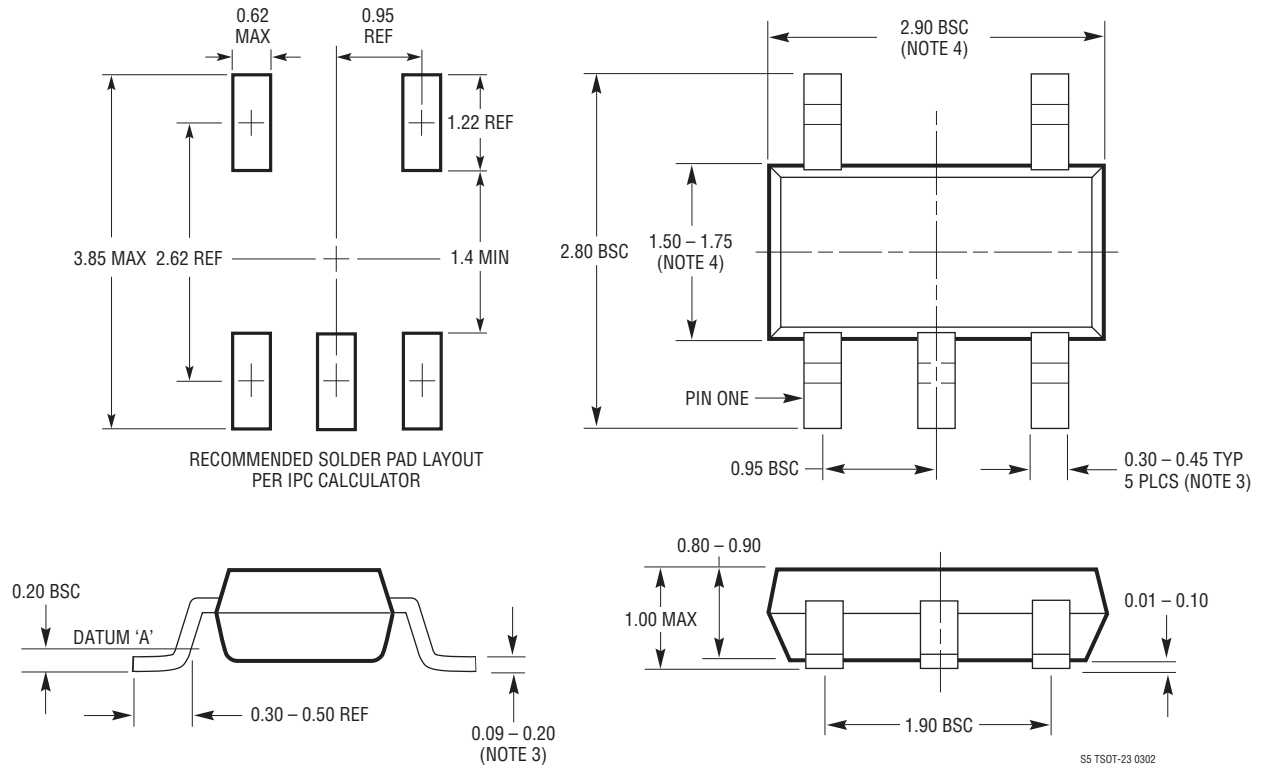


図17

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

S5 Package 5-Lead Plastic TSOT-23 (Reference LTC DWG # 05-08-1635)



NOTE:

1. 寸法はミリメートル
2. 図は実寸とは異なる
3. 寸法はメッキを含む

4. 寸法はモールドのバリおよび金属のバリを含まない
5. モールドのバリは 0.254mm を超えないこと
6. JEDEC パッケージリファレンスは MO-193

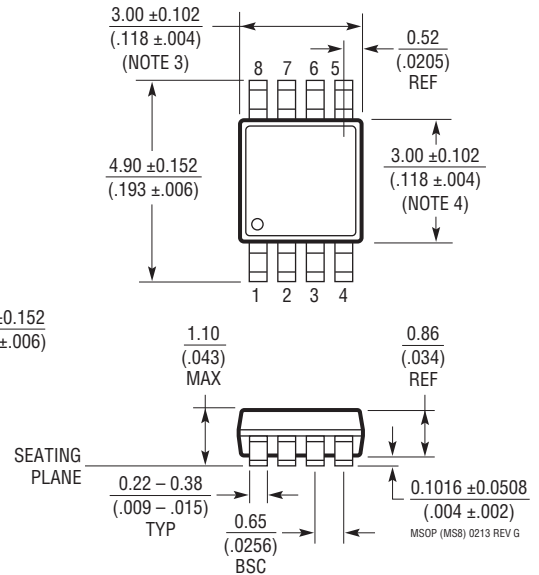
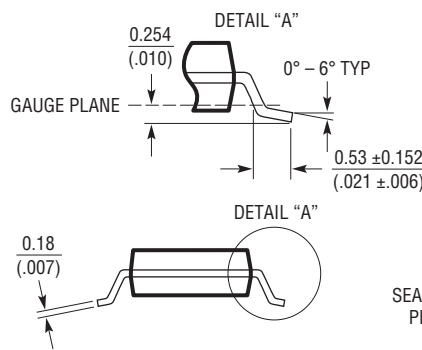
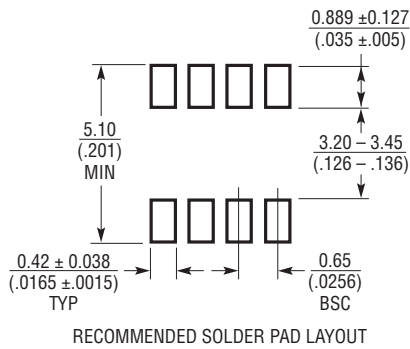
LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

MS8 Package 8-Lead Plastic MSOP

(Reference LTC DWG # 05-08-1660 Rev G)



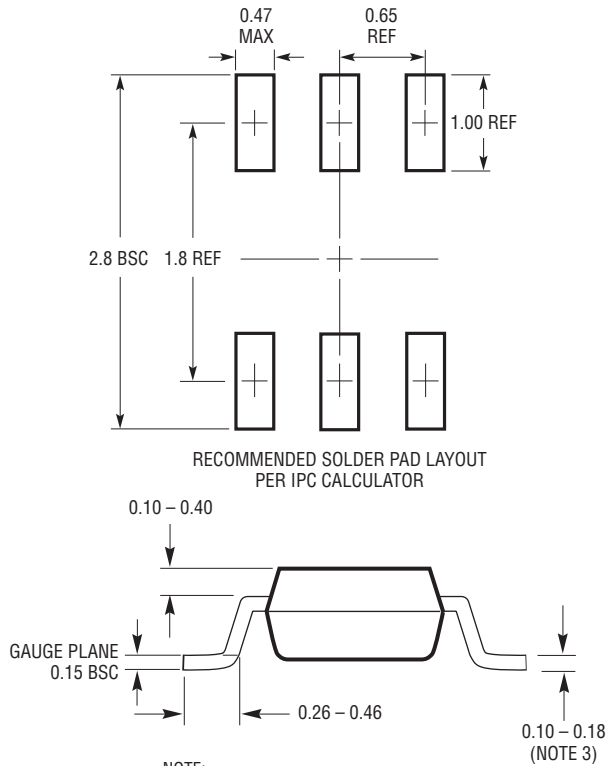
NOTE:

1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない
リード間のバリまたは突出部は、各サイドで 0.152mm (0.006") を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大 0.102mm (0.004") であること

パッケージ

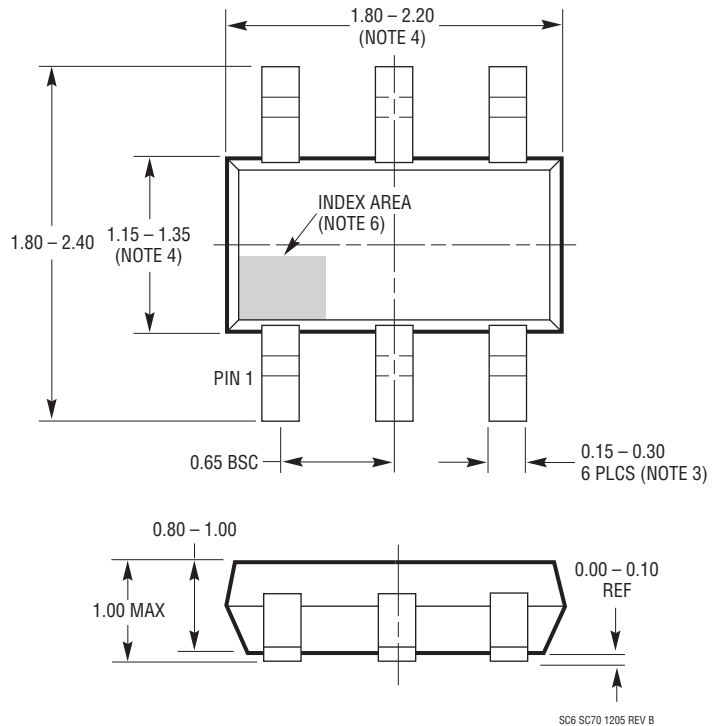
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

SC6 Package 6-Lead Plastic SC70 (Reference LTC DWG # 05-08-1638 Rev B)



NOTE:

1. 寸法はミリメートル
2. 図は実寸とは異なる
3. 寸法には半田を含む
4. 寸法にはモールドのバリや金属のバリを含まない



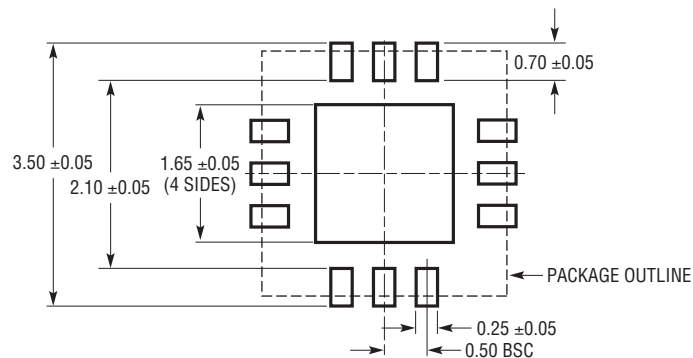
5. モールドのバリは 0.254mm を超えてはならない
6. ピン 1 の識別マークの詳細はオプションだが、インデックス・エリア内になければならない
7. EIAJ パッケージ参照番号は EIAJ SC-70 である
8. JEDEC パッケージ参照番号は MO-203 のバリエーション AB である

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

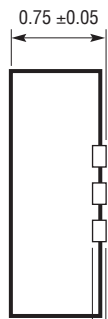
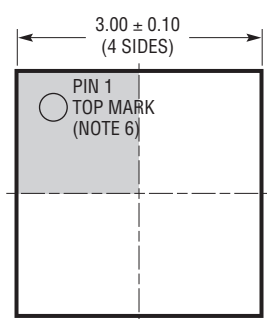
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

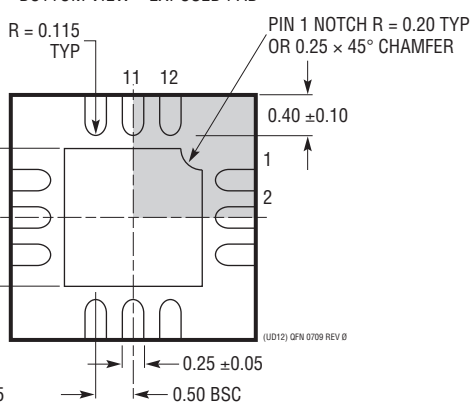
UD Package 12-Lead Plastic QFN (3mm × 3mm) (Reference LTC DWG # 05-08-1855 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



BOTTOM VIEW—EXPOSED PAD



NOTE:

1. 図面は JEDEC のパッケージ外形 MO-220 のバリエーション (WEED-1) に適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

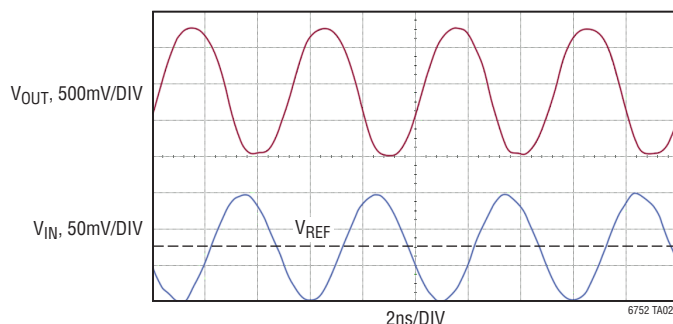
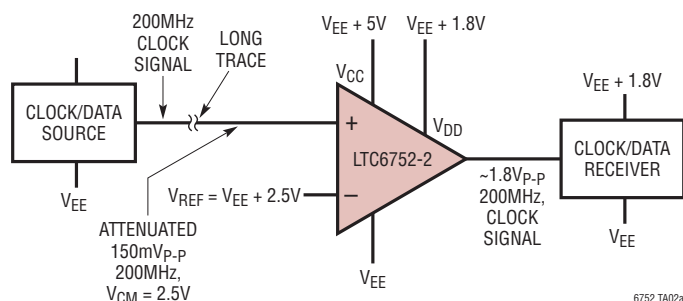
改訂履歴

REV	日付	概要	ページ番号
A	1/15	LTC6752-1とLTC6752-4 オプションを追加。 SC6 Package を追加。 「標準的応用例」に「高速イベント・キャプチャ」を追加。	全て 2 24

LTC6752/LTC6752-1/ LTC6752-2/LTC6752-3/LTC6752-4

標準的応用例

200MHzクロック復元/レベルシフト回路



関連製品

製品番号	説明	注釈
高速コンパレータ		
LT1715	4ns、150MHz デュアル・コンパレータ	4.6mA (3V時)
LT1711	高速レール・トゥ・レール・コンパレータ	3V/5V/±5V、20mV のオーバードライブで4.5ns
LT1713/LT1714	シングル/デュアル低消費電力レール・トゥ・レール・コンパレータ	2.7V/5V/±5V、20mV のオーバードライブで7ns
LT1719/LT1720	4.5ns、レール・トゥ・レール出力のデュアル/クワッド・コンパレータ	4mA/コンパレータ、5mV のオーバードライブで7ns
LT1394	7ns、単電源グランド検出コンパレータ	6mA、800μV オフセット
クロック・バッファ/ロジック・コンバータ		
LTC6957-1/LTC6957-2/ LTC6957-3/LTC6957-4	位相ノイズの小さいデュアル出力バッファ/ドライバ/ロジック・コンバータ	LVPECL/LVDS/CMOS 出力、付加ジッタ:45fsRMS (LTC6957-1)
高速オペアンプ		
LTC6252/LTC6253/ LTC6254	シングル/デュアル/クワッド 3.5mA、720MHz	280V/μs、2.75nV/√Hz、レール・トゥ・レール入出力
LTC6246/LTC6247/ LTC6248	シングル/デュアル/クワッド 1mA、180MHz	90V/μs、4.2nV/√Hz、レール・トゥ・レール入出力
LTC6255/LTC6256/ LTC6257	シングル/デュアル/クワッド 65μA、6.5MHz	
LTC6240/LTC6241/ LTC6242	18MHz、低ノイズ、CMOS	レール・トゥ・レール出力
LTC6406	3GHz、差動アンプ/ドライバ	レール・トゥ・レール入力
LTC6409	10GHz、差動アンプ/ADCドライバ	1.1nV/√Hz

6752fa