

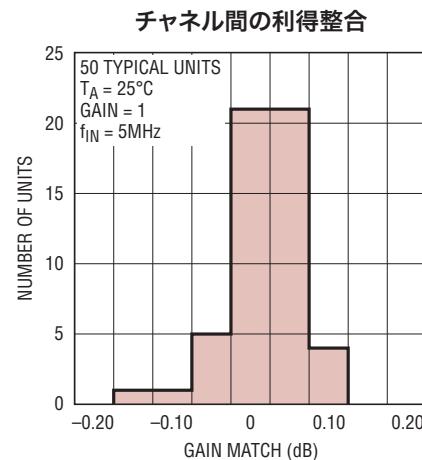
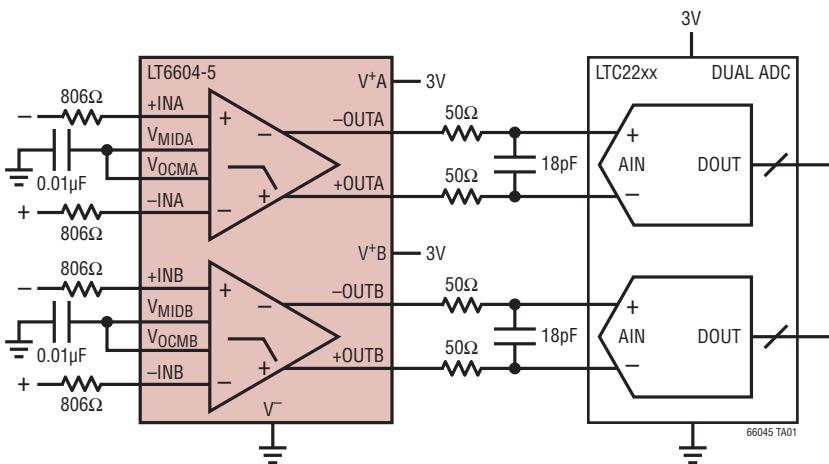
特長

- 5MHzローパス・フィルタ付きデュアル差動アンプ
4次フィルタ
チェビシェフ応答を近似
位相と利得の整合を保証
抵抗で設定可能な差動利得
- 信号対ノイズ比(SNR) : >82dB(3V電源、2V_{P-P}出力)
- 低歪み(1MHz、2V_{P-P}出力、800Ω負荷)
HD2:93dBc
HD3:96dBc
- 3V、5V、±5V電源での動作を規定
- 完全差動入出力
- 出力同相電圧を調整可能
- 4mm×7mm×0.75mmの小型QFNパッケージ

アプリケーション

- デュアル差動ADCドライバおよびフィルタ
- シングルエンドから差動への変換
- 整合したデュアルの差動利得またはフィルタ段
- 差動信号の同相変換
- ワイヤレス・インフラストラクチャまたはネットワーク・
アプリケーションでの高速ADCアンチエイリアシングと
DACの平滑化
- 高速テストおよび計測機器
- 医療用画像処理

標準的応用例



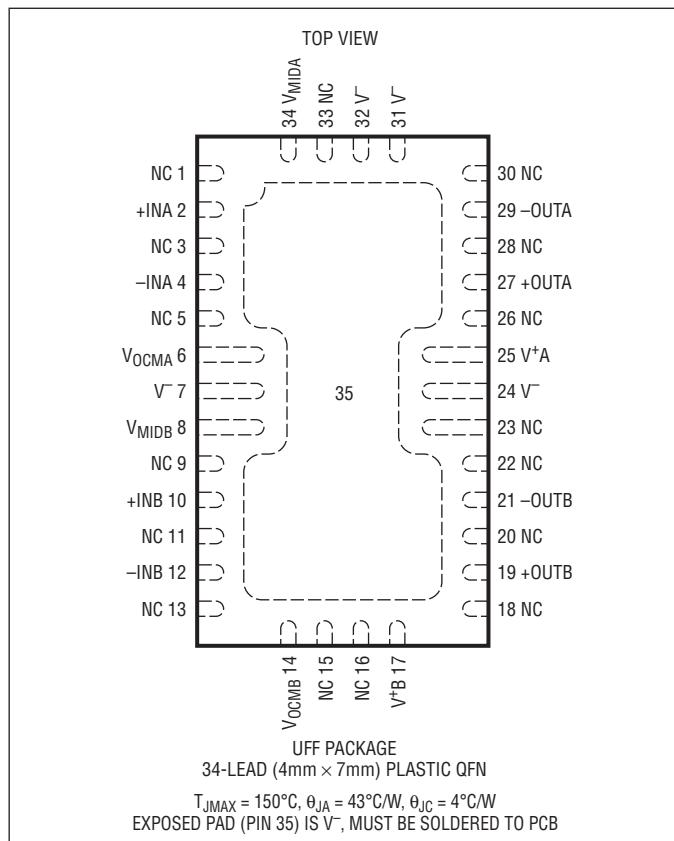
LT6604-5

絶対最大定格

(Note 1)

全電源電圧.....	11V
動作温度範囲 (Note 6).....	-40°C ~ 85°C
規定温度範囲 (Note 7).....	-40°C~85°C
接合部温度.....	150°C
保存温度範囲.....	-65°C~150°C
入力電流 +IN、-IN、V _{OCL} 、V _{MID} (Note 8)	±10mA

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LT6604CUFF-5#PBF	LT6604CUFF-5#TRPBF	66045	34-Lead (4mm × 7mm) Plastic QFN	0°C to 70°C
LT6604IUFF-5#PBF	LT6604IUFF-5#TRPBF	66045	34-Lead (4mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 *温度グレードは出荷時のコンテナのラベルで識別されます。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_S = 5\text{V}$ ($V^+ = 5\text{V}, V^- = 0\text{V}$)、 $R_{IN} = 806\Omega$ 、 $R_{LOAD} = 1\text{k}\Omega$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Filter Gain Either Channel, $V_S = 3\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 500\text{kHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 15\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 25\text{MHz}$ (Gain Relative to 260kHz)	-0.5 ● ● ● ● ● ● ●	0 -0.15 -0.4 -0.7 -1.1	0.5 0.1 0.3 0.6 0.8 -28 -44	dB dB dB dB dB dB dB	
Matching of Filter Gain, $V_S = 3\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 500\text{kHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 15\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 25\text{MHz}$ (Gain Relative to 260kHz)	● ● ● ● ● ● ● ●	0.05 0.005 0.01 0.03 0.05 0.15 0.1	0.7 0.1 0.2 0.5 0.6 1.8 2.8	dB dB dB dB dB dB dB	
Matching of Filter Phase, $V_S = 3\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$	● ●	0.2 0.5	2 3	deg deg	
Filter Gain Either Channel, $V_S = 5\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 500\text{kHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 15\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 25\text{MHz}$ (Gain Relative to 260kHz)	● ● ● ● ● ● ● ●	-0.5 -0.15 -0.4 -0.7 -1.1	0.5 0.1 0.3 0.6 0.8 -28 -44	dB dB dB dB dB dB dB	
Matching of Filter Gain, $V_S = 5\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 500\text{kHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 5\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 15\text{MHz}$ (Gain Relative to 260kHz) $V_{IN} = 2V_{P-P}$, $f_{IN} = 25\text{MHz}$ (Gain Relative to 260kHz)	● ● ● ● ● ● ● ●	0.05 0.005 0.01 0.03 0.05 0.15 0.1	0.7 0.1 0.2 0.5 0.6 1.8 2.8	dB dB dB dB dB dB dB	
Matching of Filter Phase, $V_S = 5\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = 2.5\text{MHz}$ $V_{IN} = 2V_{P-P}$, $f_{IN} = 4\text{MHz}$	● ●	0.2 0.5	2 3	deg deg	
Filter Gain Either Channel, $V_S = \pm 5\text{V}$	$V_{IN} = 2V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$		-0.6	-0.1	0.4	dB
Filter Gain, $R_{IN} = 229\Omega$	$V_{IN} = 0.5V_{P-P}$, $f_{IN} = \text{DC to } 260\text{kHz}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$		10.4 10.3 10.1	10.9 10.8 10.7	11.5 11.4 11.3	dB dB dB
Filter Gain Temperature Coefficient (Note 2)	$f_{IN} = 260\text{kHz}$, $V_{IN} = 2V_{P-P}$			780		ppm/°C
Noise	Noise BW = 10kHz to 5MHz, $R_{IN} = 806\Omega$			45		μVRMS
Distortion (Note 4)	$V_{IN} = 2V_{P-P}$, $f_{IN} = 1\text{MHz}$, $R_L = 800\Omega$ 2nd Harmonic 3rd Harmonic $V_{IN} = 2V_{P-P}$, $f_{IN} = 5\text{MHz}$, $R_L = 800\Omega$ 2nd Harmonic 3rd Harmonic			93 96 66 73		dBc dBc dBc dBc
Channel Separation (Note 9)	$V_{IN} = 2V_{P-P}$, $f_{IN} = 1\text{MHz}$			-117		dB
Differential Output Swing	Measured Between OUT+ and OUT-, V_{OCM} Shorted to V_{MID} $V_S = 5\text{V}$ $V_S = 3\text{V}$	● ●	3.85 3.85	4.8 4.8		V_{P-P_DIFF} V_{P-P_DIFF}
Input Bias Current	Average of IN+ and IN-	●	-70	-30		μA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_S = 5\text{V}$ ($V^+ = 5\text{V}, V^- = 0\text{V}$)、 $R_{IN} = 806\Omega$ 、 $R_{LOAD} = 1\text{k}\Omega$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Referred Differential Offset	$R_{IN} = 806\Omega$ $V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$	●		5	25	mV
		●		10	30	mV
		●		8	35	mV
	$R_{IN} = 229\Omega$ $V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$	●		5	13	mV
		●		5	16	mV
		●		5	20	mV
Differential Offset Drift				10		$\mu\text{V}/^\circ\text{C}$
Input Common Mode Voltage (Note 3)	Differential Input = $500\text{mV}_{\text{P-P}}$, $R_{IN} = 229\Omega$ $V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$	●	0		1.5	V
		●	0		3	V
		●	-2.5		1	V
Output Common Mode Voltage (Note 5)	Differential Output = $2\text{V}_{\text{P-P}}$, $V_{MID} = \text{OPEN}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$	●	1		1.5	V
		●	1.5		3	V
		●	-1		2	V
Output Common Mode Offset (with Respect to V_{OCM})	$V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = \pm 5\text{V}$	●	-25	5	50	mV
		●	-30	5	45	mV
		●	-55	-5	35	mV
Common Mode Rejection Ratio				61		dB
Voltage at V_{MID}	$V_S = 5\text{V}$	●	2.45	2.51	2.56	V
	$V_S = 3\text{V}$	●		1.5		V
V_{MID} Input Resistance		●	4.3	5.5	7.7	k Ω
V_{OCM} Bias Current	$V_{OCM} = V_{MID} = V_S/2$ $V_S = 5\text{V}$ $V_S = 3\text{V}$	●	-15	-3		μA
		●	-10	-3		μA
Power Supply Current (Per Channel)	$V_S = 3\text{V}, V_S = 5\text{V}$	●		28	31	mA
	$V_S = 3\text{V}, V_S = 5\text{V}$	●			34	mA
	$V_S = \pm 5\text{V}$	●		30	38	mA

Note 1:絶対最大定格はそれを超えるとデバイスに永続的な損傷を与える可能性がある値。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2:これは、温度に依存しない外付け抵抗(R_{IN})を想定したときの、内部帰還抵抗の温度係数である。

Note 3:入力同相電圧は外付け抵抗(R_{IN})に印加される電圧の平均である。 $R_{IN} \geq 229\Omega$ で規定値が保証される。

Note 4:歪みは差動信号を使って差動で測定される。入力同相電圧、 V_{OCM} の電圧、および V_{MID} の電圧は全電源電圧の1/2に等しい。

Note 5:出力同相電圧は $+OUT$ と $-OUT$ の電圧の平均である。出力同相電圧は V_{OCM} に等しい。

Note 6:LT6604C-5は $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作温度範囲で動作することが保証されている。

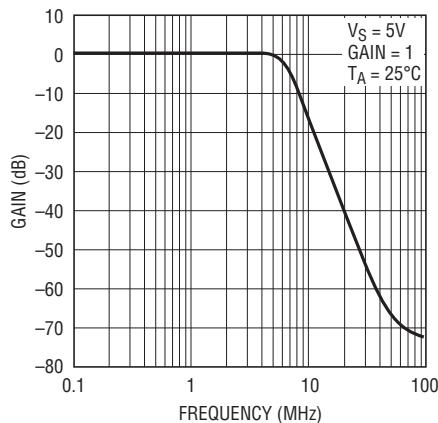
Note 7:LT6604C-5は $0^\circ\text{C} \sim 70^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されており、 $-40^\circ\text{C} \sim 85^\circ\text{C}$ の拡張温度範囲で性能仕様に適合するように設計され、特性評価され、適合すると予測されるが、これらの温度ではテストされない。LT6604I-5は $-40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。

Note 8:入力ピン(+IN, -IN, V_{OCM} , V_{MID})は両方の電源へのステアリング・ダイオードによって保護されている。入力がいずれかの電源電圧を超える場合は、入力電流は10mA以下に制限しなければならない。さらに、入力+INおよび-INは1組のバックトゥバック・ダイオードで保護されている。差動入力電圧が1.4Vを超える場合、入力電流は10mA以下に制限しなければならない。

Note 9:チャネル分離(クロストークの逆特性)は、信号を1つの入力にドライブし、もう片方の入力を終端することによって測定される。チャネル分離は、ドライブされるチャネルで結果として出力される信号とドライブされないチャネルの出力の比である。

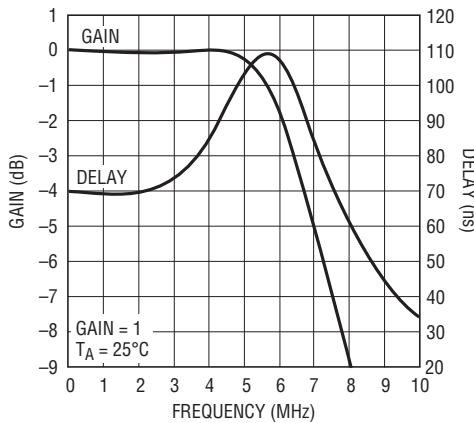
標準的性能特性

周波数応答



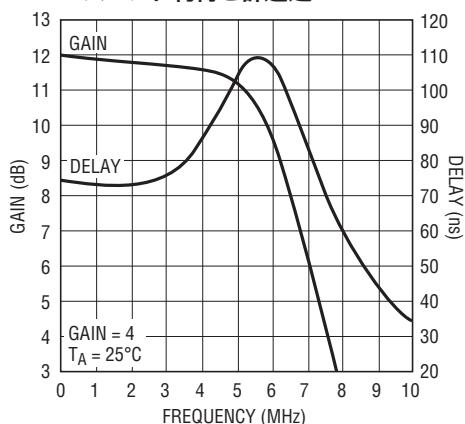
66045 G01

パスバンド利得と群遅延



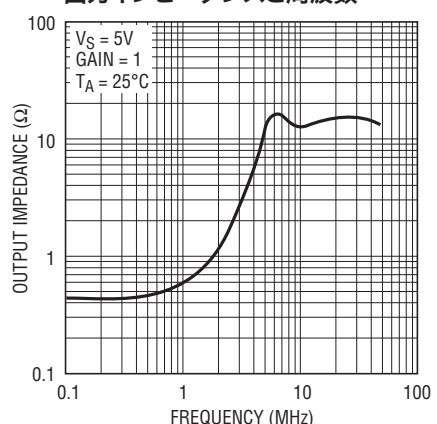
66045 G02

パスバンド利得と群遅延



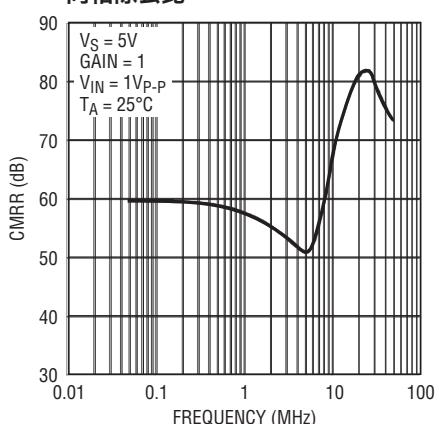
66045 G03

出力インピーダンスと周波数



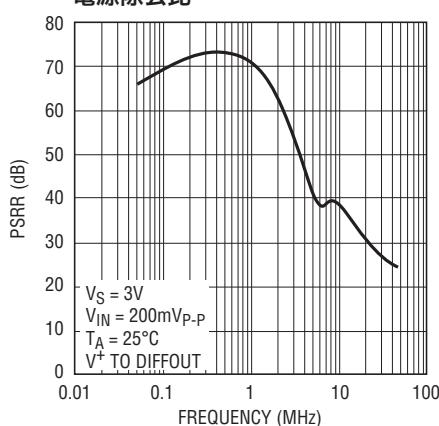
66045 G04

同相除去比



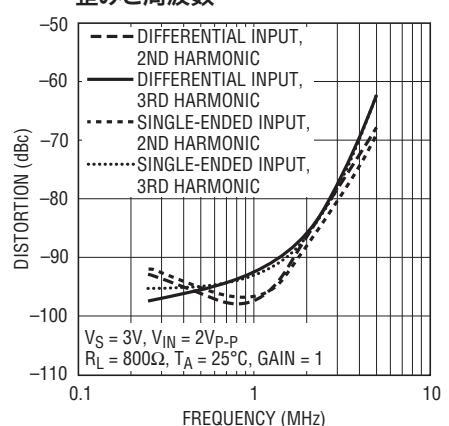
66045 G05

電源除去比



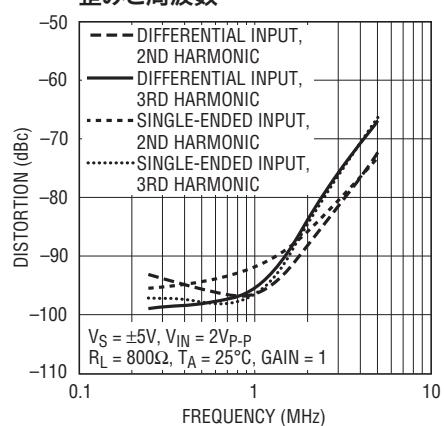
66045 G06

歪みと周波数



66045 G07

歪みと周波数

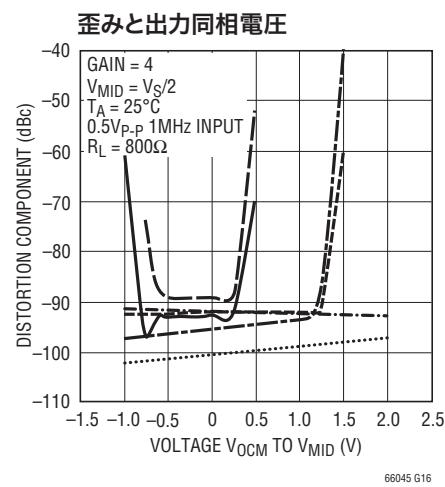
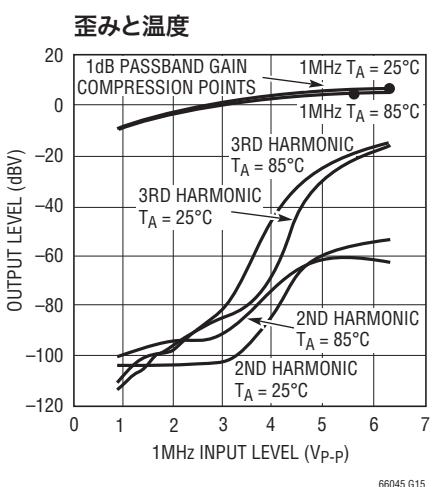
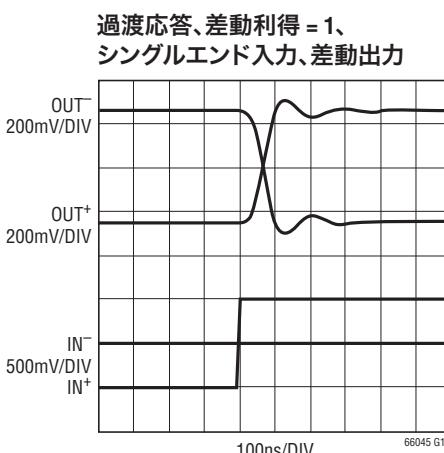
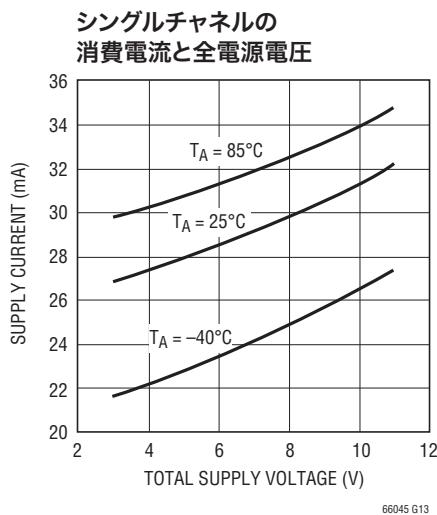
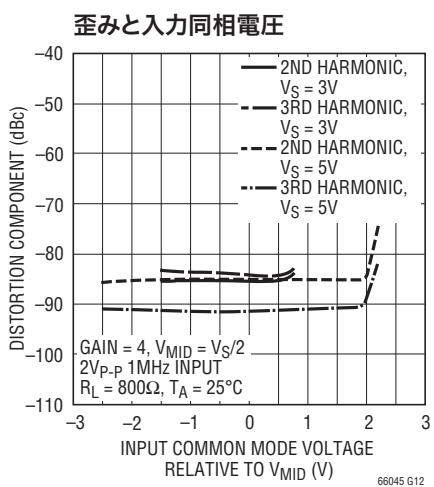
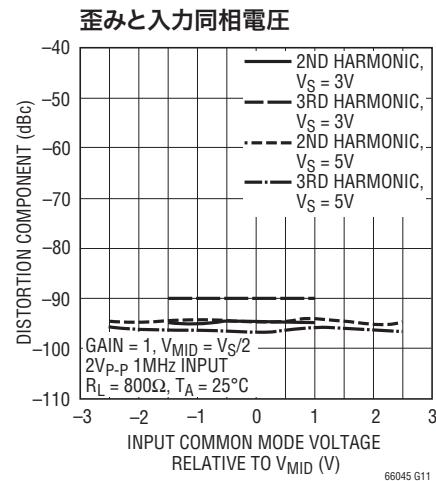
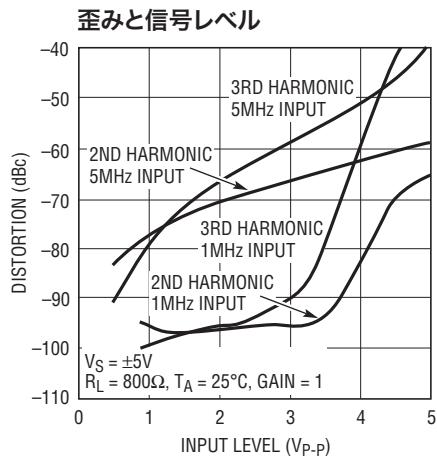
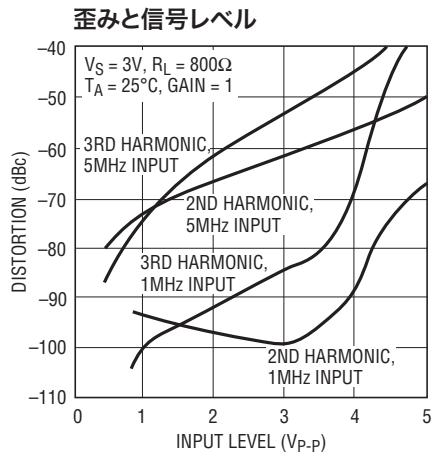


66045 G08

66045fa

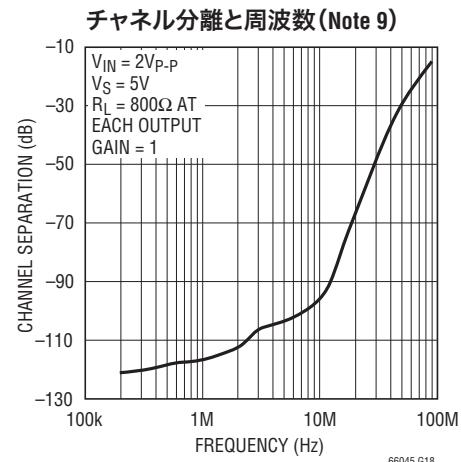
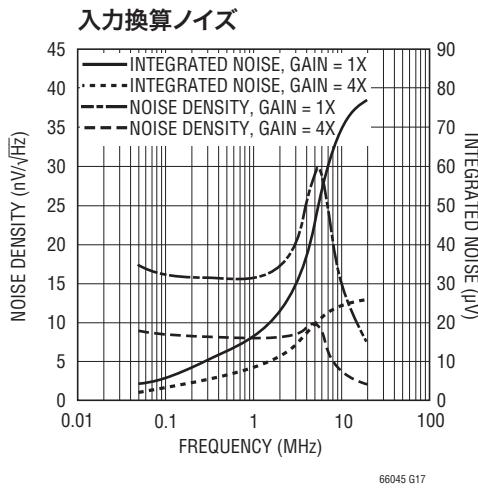
LT6604-5

標準的性能特性



66045fa

標準的性能特性



ピン機能

+INA、-INA(ピン2、4): チャネルAの入力ピン。同じ値の外付け抵抗R_{IN}を介して入力ピンの片方または両方に信号を供給することができます。差動入力から差動出力へのDC利得は806Ω/R_{IN}です。

V_{OCPMA}(ピン6): チャネルAの2番目のフィルタ段のDC同相リファレンス電圧。その値により、フィルタの差動出力の同相電圧が設定されます。ピン6は高インピーダンス入力で、外部電圧リファレンスでドライブするか、またはPCボード上でピン34に接続することができます。ピン6は、グランド・プレーンに接続されていない限り、0.01μFのセラミック・コンデンサでバイパスします。

V⁻(ピン7、24、31、32、35): 負電源ピン(接地可能)。

V_{MIDB}(ピン8): V_{MIDB}ピンは内部で電源電圧の中点にバイアスされています(ブロック図を参照)。单一電源動作では、V_{MIDB}ピンを高品質の0.01μFセラミック・コンデンサでV⁻にバイパスします。両電源動作では、ピン8を高品質のDCグランドにバイパスまたは接地することができます。グランド・プレーンを使います。グランドの質が良くないと、ノイズと歪みが増加します。ピン8はチャネルBのフィルタの初段の出力同相電圧を設定します。そのインピーダンスは5.5kΩで、外部の低インピーダンス電圧源で無効にすることができます。

+INB、-INB(ピン10、12): チャネルBの入力ピン。同じ値の外付け抵抗R_{IN}を介して入力ピンの片方または両方に信号を供給することができます。差動入力から差動出力へのDC利得は806Ω/R_{IN}です。

V_{OCPMB}(ピン14): チャネルBの2番目のフィルタ段のDC同相リファレンス電圧。その値により、フィルタの差動出力の同相電圧が設定されます。ピン14は高インピーダンス入力で、外部電圧リファレンスでドライブするか、またはPCボード上でピン8に接続することができます。ピン14は、グランド・プレーンに接続されていない限り、0.01μFのセラミック・コンデンサか、もっと容量の大きなコンデンサでバイパスします。

V⁺A、V⁺B(ピン25、17): チャネルAとチャネルBの正電源ピン。3.3Vまたは5Vの单一電源(V⁻を接地)では、高品質の0.1μFセラミック・バイパス・コンデンサをそれぞれの正電源ピン(V⁺A、V⁺B)から負電源ピン(V⁻)に接続する必要があります。バイパスはできるだけデバイスに近づけます。両電源のアプリケーションでは、高品質の0.1μFセラミック・コンデンサを使って、負電源ピンをグランドにバイパスし、正電源ピン(V⁺A、V⁺B)をそれぞれグランドにバイパスします。

+OUTB、-OUTB(ピン19、21): 出力ピン。ピン19とピン21はチャネルBのフィルタの差動出力です。標準の短絡電流制限値が±40mAを超える各ピンは、ACグランドに接続された100Ωと50pFの負荷の両方または片方をドライブすることができます。

ピン機能

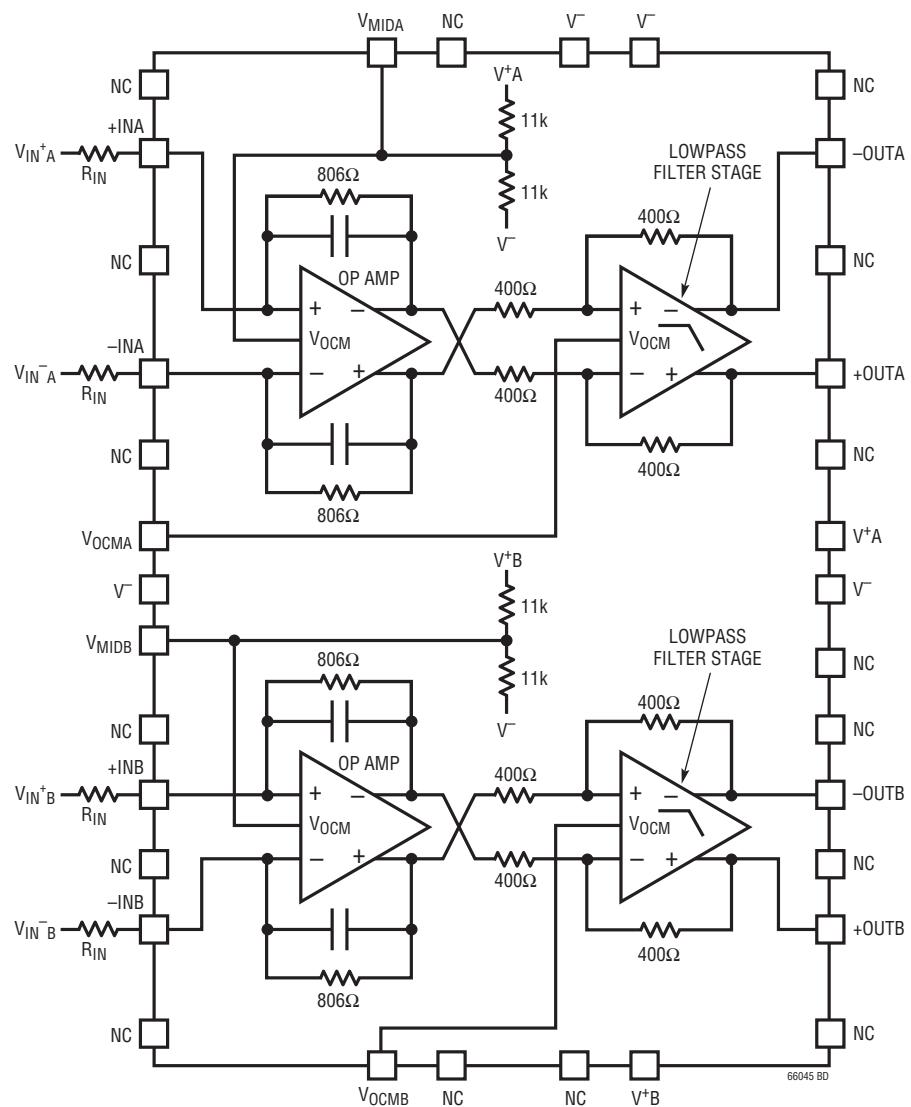
+OUTA、-OUTA(ピン27、29):出力ピン。ピン27とピン29はチャネルAのフィルタの差動出力です。標準の短絡電流制限値が $\pm 40\text{mA}$ を超える各ピンは、ACグランドに接続された 100Ω と 50pF の負荷の両方または片方をドライブすることができます。

V_{MIDA}(ピン34):V_{MIDA}ピンは内部で電源の中点にバイアスされています(ブロック図を参照)。単一電源動作では、V_{MIDA}ピンを高品質の $0.01\mu\text{F}$ セラミック・コンデンサで負電源ピンV⁻にバイパスします。両電源動作では、ピン34を高品質のDCグ

ランドにバイパスまたは接続することができます。グランド・ブレーンを使います。グランドの質が良くないと、ノイズと歪みが増加します。ピン34はチャネルAのフィルタの初段の出力同相電圧を設定します。そのインピーダンスは $5.5\text{k}\Omega$ で、外部の低インピーダンス電圧源で無効にすることができます。

露出パッド(ピン35):V⁻。露出パッドはPCBに半田付けする必要があります。V⁻がグランドから分離されている場合は、露出パッドをV⁻に接続します。

ブロック図



アプリケーション情報

LT6604-5へのインターフェイス

注: LT6604-5は2つの同じローパス・フィルタを内蔵しています。下記のアプリケーション情報では、1つのフィルタのみを取り上げています。2つのフィルタは、同じ負電源電圧 V^- を共用していることを除いては、独立しています。2つのフィルタは、例に示す回路と同じ構成にすることによって同時に使用することができます。参照ピン番号はAチャネル・フィルタに対応しています。

差動利得を $806\Omega/R_{IN}$ に設定するため、LT6604-5の各チャネルには値の等しい2本の外付け抵抗 R_{IN} が必要です。フィルタへの入力はこれらの外部部品に供給される電圧 V_{IN^+} および V_{IN^-} です(図1)。 V_{IN^+} と V_{IN^-} の間の差が差動入力電圧です。 V_{IN^+} と V_{IN^-} の平均が同相入力電圧です。同様に、LT6604-5のピン27とピン29に現れる電圧 V_{OUT^+} と V_{OUT^-} がフィルタの出力です。 V_{OUT^+} と V_{OUT^-} の間の差が差動出力電圧です。 V_{OUT^+} と V_{OUT^-} の平均が同相出力電圧です。単一3.3V電源とユニティ・パスバンド・ゲインで動作し、入力信号がDC結合されているLT6604-5を図1に示します。同相入力電圧は0.5V、差動入力電圧は2V_{P-P}

です。同相出力電圧は1.65V、差動出力電圧は5MHzより低い周波数では2V_{P-P}です。同相出力電圧は V_{OCM} の電圧によって決まります。 V_{OCM} は V_{MID} に短絡されているので、出力同相電圧は電源電圧の中点になります。さらに、同相入力電圧は電源電圧の中点 V_{MID} に等しくなることができます。

信号をLT6604-5にAC結合する方法を図2に示します。この例では、入力はシングルエンドの信号です。AC結合を使うと、シングルエンドまたは差動の信号を任意の同相レベルで処理することができます。0.1μFのカップリング・コンデンサと806Ωの利得設定抵抗により、ハイパス・フィルタが形成され、2kHzより低周波数の信号を減衰します。カップリング・コンデンサの値を大きくすると、このハイパスの3dB周波数が比例して減少します。

図3では、LT6604-5は12dBの利得を提供します。利得抵抗にはオプションの62pFが並列に接続されており、5MHz付近のパスバンドの平坦性が改善されます。同相出力電圧は2Vに設定されます。

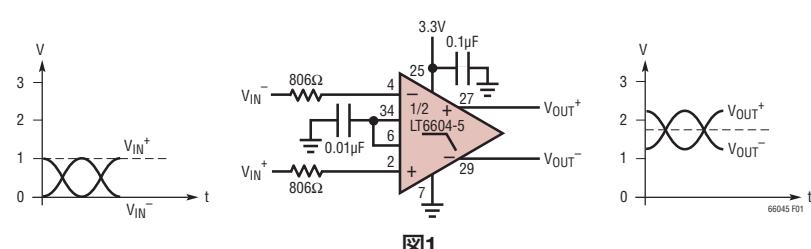


図1

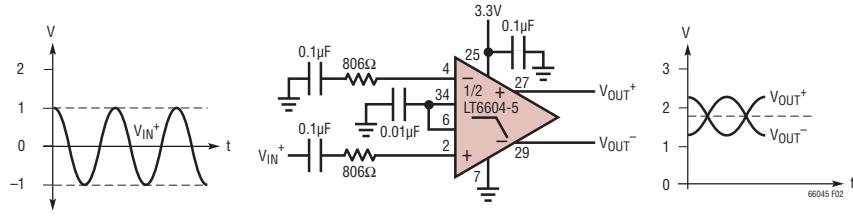


図2

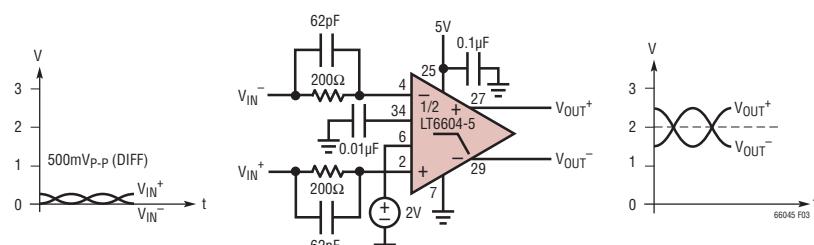


図3

LT6604-5

アプリケーション情報

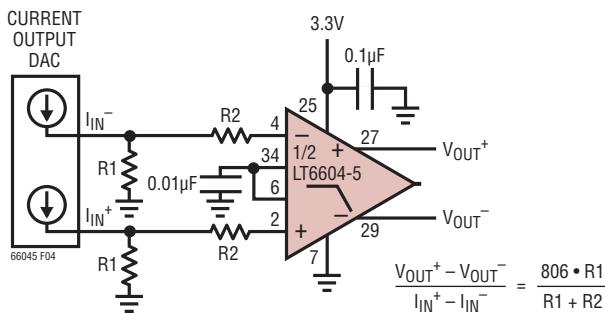


図4

図4を使って、LT6604-5と電流出力DACの間のインターフェースを決定します。利得(つまり「トランスインピーダンス」)は $A = V_{OUT}/I_{IN}$ として定義されます。トランスインピーダンスを計算するには、次式を使います。

$$A = \frac{806 \cdot R_1}{R_1 + R_2} \Omega$$

$R_1 + R_2 = 806\Omega$ とすると、利得の式は $A = R_1(\Omega)$ に整理されます。DACのピンの電圧は R_1, R_2, V_{MID} の電圧およびDACの出力電流によって決まります。 $R_1 = 49.9\Omega$ および $R_2 = 750\Omega$ のときの図4について検討します。 V_{MID} の電圧は、 $V_S = 3.3V$ のとき $1.65V$ です。DACピンの電圧は次式で求められます。

$$V_{DAC} = V_{MID} \cdot \frac{R_1}{R_1 + R_2 + 806} + I_{IN} \frac{R_1 \cdot R_2}{R_1 + R_2} \\ = 51mV + I_{IN} 46.8\Omega$$

LT6604-5の評価

LT6604-5の低インピーダンス・レベルと高周波数動作のため、LT6604-5と他のデバイスの間の整合ネットワークに注意を払う必要があります。上記の諸例では、理想的なソース・インピーダンス(0Ω)と大きな負荷抵抗($1k$)を想定しています。インピーダンスを考慮しなければならない実際的な例の1つに、ネットワーク・アナライザを使ったLT6604-5の評価があります。

ソース・インピーダンスが 50Ω 、入力インピーダンスが 50Ω のシングルエンドの装置を使ってLT6604-5の特性を評価するのに使用できる実験回路を図5に示します。ユニティ・ゲイン設定

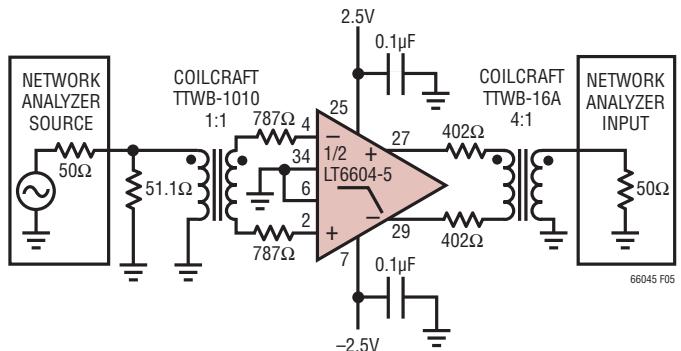


図5

では、LT6604-5は 806Ω のソース抵抗を必要としますが、ネットワーク・アナライザの出力は 50Ω 負荷抵抗用に較正されています。1:1のトランス、 51.1Ω と 787Ω の抵抗は上の2つの制約を満たします。トランスはシングルエンドのソースを差動信号に変換します。同様に、大きな負荷抵抗によってLT6604-5の出力の歪みが小さくなります。それでもアナライザの入力は標準 50Ω です。図5の4:1の巻数の(16:1のインピーダンスの)トランスと2本の 402Ω 抵抗は、LT6604-5の出力に 1600Ω の差動負荷(つまり、各出力からグランドに 800Ω 相当)をかけます。ネットワーク・アナライザ入力から見たインピーダンスは依然として 50Ω で、トランスとアナライザ入力の間のケーブルの反射を減少させます。

差動と同相の電圧範囲

LT6604-5内部の差動アンプは、フィルタを介して最大ピーク-ピーク間差動電圧を制限する回路を備えています。この制限機能によって内部回路での過度の電力損失を防ぎ、出力の短絡に対して保護します。制限機能は、出力信号レベルが $2V_{P-P}$ を超えると効果を発揮し始め、 $3.5V_{P-P}$ を超えると顕著になります。これは図6に示されています。LT6604-5チャネルはユニティ・パスバンド利得に設定されており、フィルタの入力は $1MHz$ の信号でドライブされています。この電圧制限は、フィルタの出力段が電源レールに達するずっと前に行われるため、図6に示すデバイスの入出力は、電源電圧には比較的関係なく動作します。

アプリケーション情報

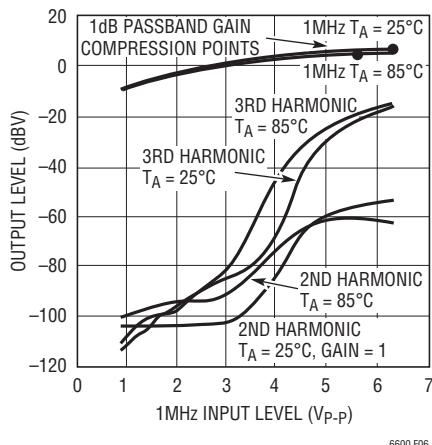


図6 差動電圧範囲

LT6604-5チャネル内部の2個のアンプは、それらの出力同相電圧を個別に制御します(「ブロック図」を参照)。以下のガイドラインでは、フィルタの性能を最適化します。

V_{MID} はフロートさせてもかまいませんが、 $0.01\mu F$ のコンデンサを使ってACグランドにバイパスする必要があります。そうしないと、不安定性が見られることがあります。 V_{MID} は、 V^- よりも多くとも $1.5V$ 高い電圧から V^+ よりも多くとも $1.5V$ 低い電圧の間に留まる限り、低インピーダンスのソースからドライブすることができます。内部抵抗分割器が V_{MID} の電圧を設定します。内部の $11k$ 抵抗は十分整合していますが、それらの絶対値は $\pm 20\%$ 変動する可能性があります。このことは、外部抵抗ネットワークを接続して V_{MID} の電圧を変更する場合、考慮に入れる必要があります。

簡素化するため、 V_{OCM} を V_{MID} に短絡することができます。異なる同相出力電圧が必要ならば、 V_{OCM} を電圧源または抵抗ネットワークに接続します。3Vおよび3.3Vの電源では、 V_{OCM} の電圧は電源電圧の中点のレベル以下にする必要があります。たとえば、单一3.3V電源では V_{OCM} の電圧を1.65V以下にします。3.3Vより高い電源電圧では、 V_{OCM} の電圧を電源電圧の中点より高く設定することができます。 V_{OCM} の電圧は、 V_{MID} の電圧を1V以上下回ってはならず、2V以上上回ってなりません。 V_{OCM} は高インピーダンス入力です。

LT6604-5は、電源電圧の中点を中心とした信号や、単一電源システムでグランドと正電圧の間で振幅する信号(図1)など、多様な入力信号を処理するように設計されています。入力同相電圧(図1の V_{IN}^+ と V_{IN}^- の平均)の許容範囲は、電源電圧レベルと利得設定によって決まります(「電気的特性」を参照)。

同相DC電流

図1や図3のような、LT6604-5がローパス・フィルタ機能を提供するだけでなく入力信号の同相電圧をレベルシフトするアプリケーションでは、入力端子と出力端子の間のDC経路を通るDC電流が生じます。これらの電流を最小限に抑えて、電力消費と歪みを減らします。

図3のアプリケーションについて検討します。 V_{MID} はLT6604-5チャネル内部の1番目の差動アンプ(「ブロック図」を参照)の出力同相電圧を $2.5V$ に設定します。入力同相電圧は $0V$ に近いので、内部の 806Ω 帰還抵抗と外付けの 200Ω 入力抵抗の直列結合の両端には合計約 $2.5V$ の電圧降下が生じます。その結果生じる各入力経路の $2.5mA$ の同相DC電流をソース V_{IN}^+ とソース V_{IN}^- によって吸収する必要があります。 V_{OCM} はLT6604-5チャネル内部の2番目の差動アンプの同相出力電圧を設定し、したがって、フィルタの同相出力電圧を設定します。図3の例では、 V_{OCM} は V_{MID} と $0.5V$ だけ異なるので、追加の $1.25mA$ (片側で $625\mu A$)のDC電流が、1番目の差動アンプの出力段をフィルタ出力に結合している抵抗に流れます。したがって、合計 $6.25mA$ が同相電圧の変換に使用されます。

図3の簡単な修正により、DC同相電流が36%だけ減少します。 V_{MID} を V_{OCM} に短絡すると、両方のオペアンプ段の同相出力電圧は $2V$ となり、その結果生じるDC電流は $4mA$ になります。もちろん、図3の入力をAC結合し、 V_{MID} を V_{OCM} に短絡することにより、同相DC電流をなくすことができます。

LT6604-5

アプリケーション情報

ノイズ

LT6604-5チャネルのノイズ性能は図7の回路を使って評価することができます。LT6604-5のノイズ出力が小さく、トランジスト結合ネットワークには6dBの減衰があるという状況から、スペクトル・アナライザのノイズフロアを測定し、装置のノイズをフィルタ・ノイズの測定値から差し引く必要があります。

例:デバイスを取り外し、 25Ω 抵抗を接地して(図7)、スペクトル・アナライザの全積分ノイズ(e_S)を10kHzから5MHzまで測定します。デバイスを差し込み、信号源(V_{IN})を切断し、入力抵抗を接地して、フィルタからの全積分ノイズ(e_O)を測定します。信号源を接続し、周波数を1MHzに設定し、 V_{IN} の測定値が100mVp-pになるまで振幅を調整します。出力振幅(V_{OUT})を測定し、パスバンド利得 $A = V_{OUT}/V_{IN}$ を計算します。ここで、入力換算の積分ノイズ(e_{IN})を次のように計算します。

$$e_{IN} = \frac{\sqrt{(e_O)^2 - (e_S)^2}}{A}$$

さまざまな R_{IN} の値に対する入力換算の標準積分ノイズを表1に示します。

表1. ノイズ性能

パスバンド利得	R_{IN}	入力換算の積分ノイズ(10kHz~5MHz)	入力換算ノイズ(dBm/Hz)
4	200Ω	$24\mu V_{RMS}$	-149
2	402Ω	$38\mu V_{RMS}$	-145
1	806Ω	$69\mu V_{RMS}$	-140

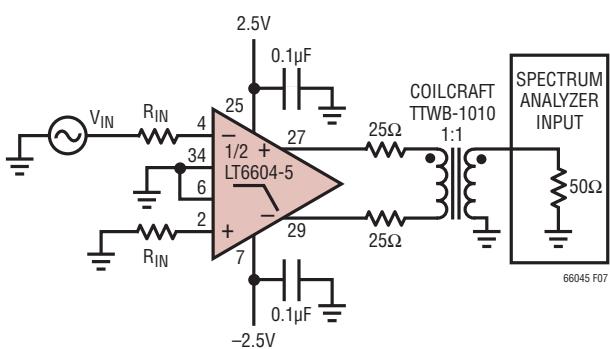


図7

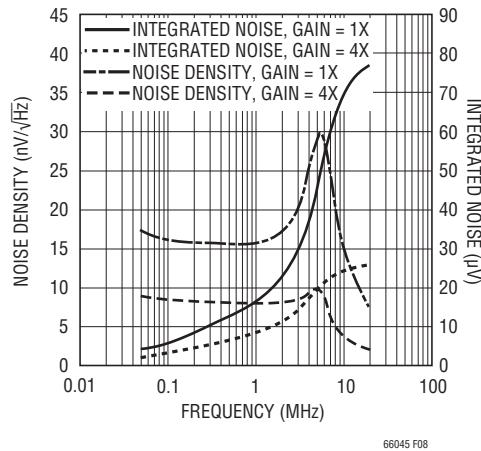


図8. 入力換算ノイズ

図8は、図7の測定装置を使った $R_{IN} = 806\Omega$ のときのLT6604-5のノイズ・スペクトル密度と周波数の相関関係を示すプロットです(装置のノイズは測定結果から差し引かれています)。

各出力のノイズは差動成分と同相成分を含んでいます。トランジストまたはコンバイナを使って差動出力をシングルエンドの信号に変換すると、同相ノイズが除去され、システムでのS/Nの真の測定を行うことができます。逆に、各出力が個別に測定され、ノイズ電力が一緒に加算されると、その結果計算されるノイズ・レベルは真の差動ノイズより高くなります。

電力損失

LT6604-5アンプは小型パッケージで高速動作と大きな信号電流を実現します。ダイの接合部温度が150°Cを超えないようにする必要があります。LT6604-5の露出パッド(ピン35)はより低電圧の電源(V^-)に接続されています。パッドをグランド・プレーンに接続することにより、デバイスが発生する熱の放散に役立ちます。メタル・トレースとメッキ・スルーホールを使って、デバイスが発生する熱をPCボードの裏面に放散することができます。

66045fa

アプリケーション情報

接合部温度(T_J)は周囲温度(T_A)と電力損失(P_D)から算出されます。電力損失は電源電圧(V_S)と全消費電流(I_S)の積です。したがって、接合部温度は次式で求められます。

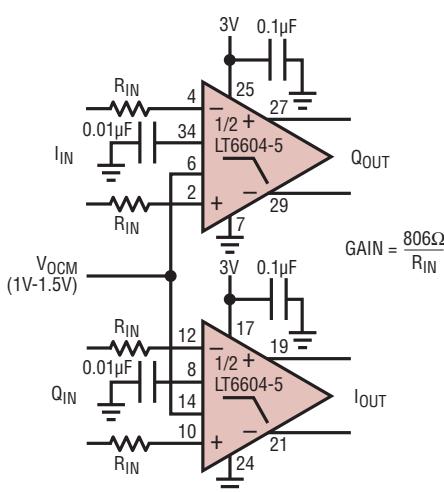
$$T_J = T_A + (P_D \cdot \theta_{JA}) = T_A + (V_S \cdot I_S \cdot \theta_{JA})$$

ここで、消費電流(I_S)は信号レベル、負荷インピーダンス、温度および同相電圧に応じて変動します。所定の電源電圧に対し、ワーストケースの電力損失は、差動入力信号が最大、同相電流が最大(同相DC電流については「アプリケーション情報」を参照)、負荷インピーダンスが小さく、周囲温度が最大のとき生じます。接合部温度を計算するには、これらのワー-

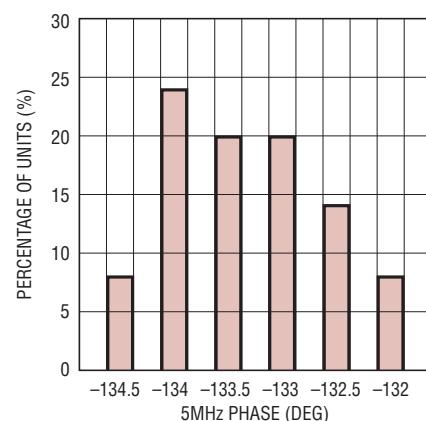
ストケースの条件で消費電流を測定し、パッケージの熱抵抗として $43^{\circ}\text{C}/\text{W}$ を使用し、 T_J の式を適用します。たとえば、DC差動入力電圧が 250mV 、差動出力電圧が 1V 、負荷抵抗が $1\text{k}\Omega$ 、周囲温度が 85°C の条件で図3の回路を使用すると、消費電流(V^+ へ流れ込む電流)の測定値は 32.2mA /チャネルです。その結果生じる接合部温度は次のようになります。 $T_J = T_A + (P_D \cdot \theta_{JA}) = 85 + (5 \cdot 2 \cdot 0.0322 \cdot 43) = 99^{\circ}\text{C}$ 。熱抵抗は、 V^- に接続されているPCB上の銅の量に影響されることがあります。露出パッドが大きなグランド・プレーンに多数のビアで接続されていなければ、回路の熱抵抗が増加する恐れがあります。

標準的応用例

整合したデュアル5MHzローパス・フィルタ



5MHz位相分布
(50個)

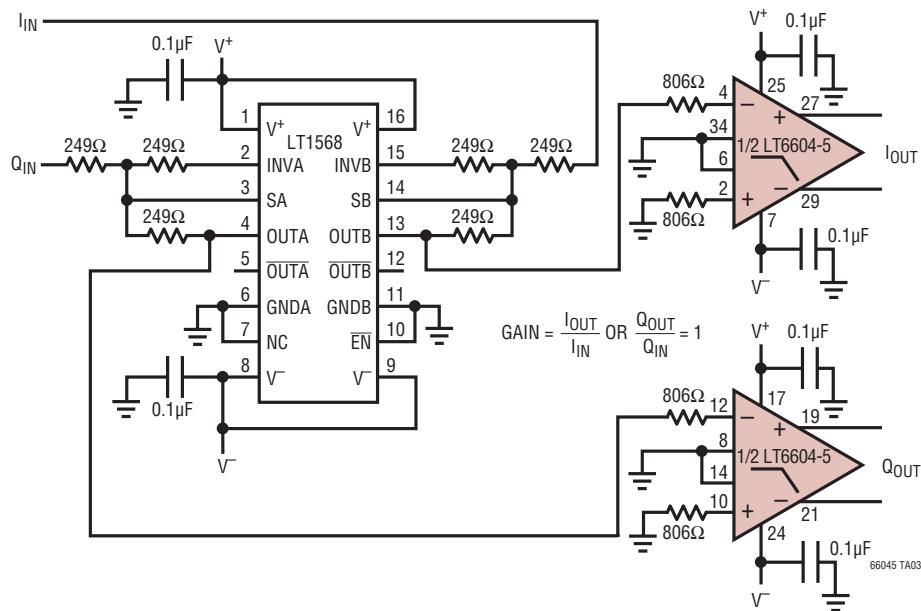


66045 TA02

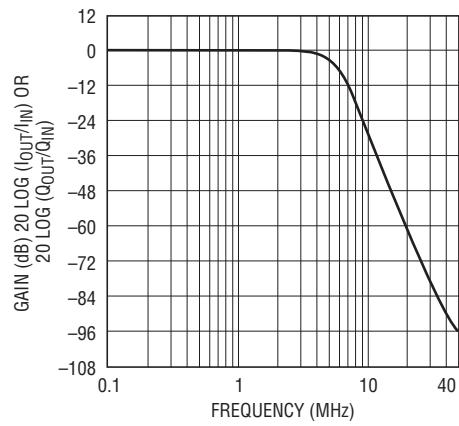
LT6604-5

標準的応用例

整合したデュアル6次、5MHzローパス・フィルタ、
シングル・エンド入力(I_{IN} と Q_{IN})と差動出力(I_{OUT} と Q_{OUT})

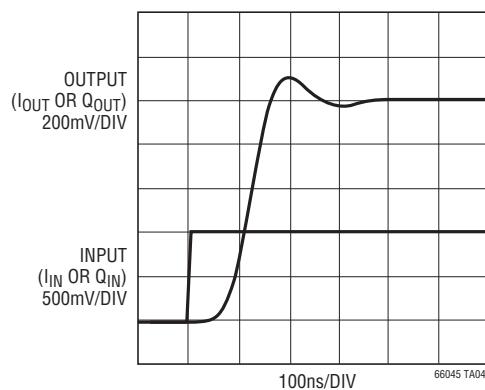


周波数応答



66045 TA04a

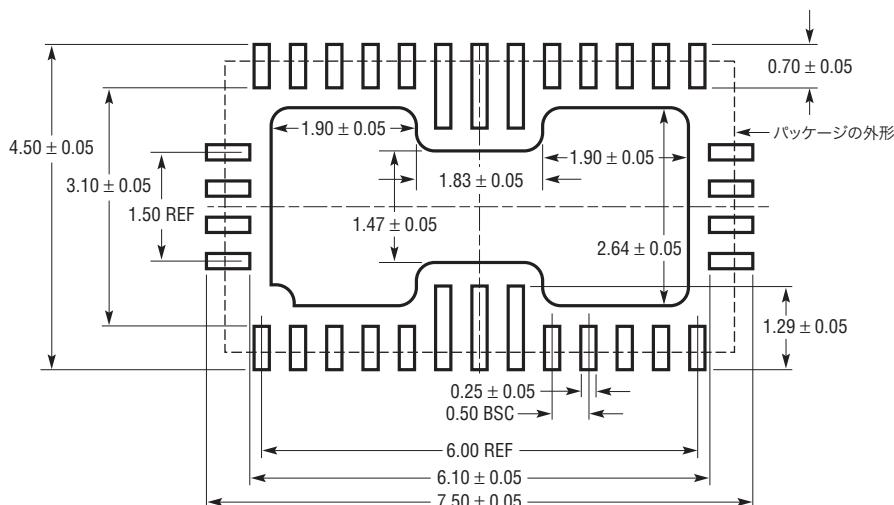
過渡応答



66045fa

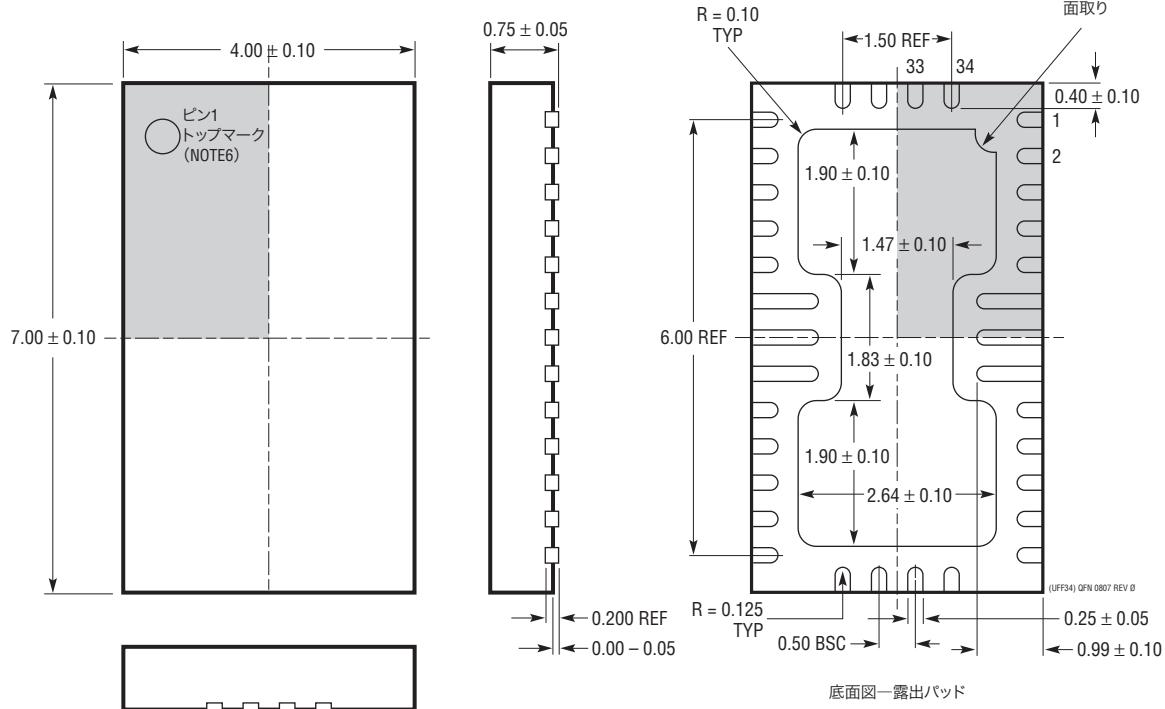
パッケージ

UFFパッケージ
34ピン・プラスチックQFN (4mm×7mm)
(Reference LTC DWG # 05-08-1758 Rev Ø)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する

ピン1のノッチ
 $R = 0.30$ または
 $0.25 \times 45^\circ$ の
面取り



NOTE:

1. 図はJEDECパッケージ外形ではない
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田めっきとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

LT6604-5

関連製品

製品番号	説明	注釈
内蔵フィルタ		
LTC1562-2	低ノイズ、8次フィルタ構成ブロック	最大300kHzまでのローパスおよびバンドパス・フィルタ
LTC1565-31	650kHzリニアフェーズ・ローパス・フィルタ	連続時間、7次、差動
LTC1566-1	低ノイズ、2.3MHzローパス・フィルタ	連続時間、7次、差動
LT1568	低ノイズ、4次フィルタ構成ブロック	最大10kHzまでのローパスおよびバンドパス・フィルタ
LTC1569-7	リニア・フェーズ、調整可能な10次ローパス・フィルタ	1本の抵抗でプログラム可能なカットオフ周波数:最大300kHz
LT6600-2.5	低ノイズ差動2.5MHzローパス・フィルタ	3V電源でSNR=86dB、4次フィルタ
LT6600-5	低ノイズ差動5MHzローパス・フィルタ	3V電源でSNR=82dB、4次フィルタ
LT6600-10	低ノイズ差動10MHzローパス・フィルタ	3V電源でSNR=82dB、4次フィルタ
LT6600-15	低ノイズ差動15MHzローパス・フィルタ	3V電源でSNR=76dB、4次フィルタ
LT6600-20	低ノイズ差動20MHzローパス・フィルタ	3V電源でSNR=76dB、4次フィルタ
LTC6601	低ノイズ、完全差動、ピン設定可能なアンプ/ドライバ/2次フィルタ構成ブロック	
LTC6602	RFID用の調整可能なデュアル・ローパス・フィルタ	
LTC6603	通信用の調整可能なデュアル・ローパス・フィルタ	
LT6604-2.5	デュアル、低ノイズ、差動アンプ および2.5MHzローパス・フィルタ	3V電源でSNR=82dB、4次フィルタ
LT6604-10	デュアル、低ノイズ、差動アンプ および10MHzローパス・フィルタ	3V電源でSNR=82dB、4次フィルタ
LT6604-15	デュアル、低ノイズ、差動アンプ および15MHzローパス・フィルタ	3V電源でSNR=76dB、4次フィルタ

66045fa