

低ノイズ、許容誤差0.5%、  
5MHz～28MHz、ピンで設定可能な  
フィルタ/ADCドライバ

## 特長

- 利得と28MHzまでのフィルタ応答をピンで設定可能
- 外付け部品がほとんど不要
- 抵抗:0.5%(標準)にトリミング済み
- コンデンサ:0.5%(標準)にトリミング済み
- 非常に低ノイズ:100MHz帯域幅でS/Nが80dB
- 非常に低歪み(2VP-P):
  - 1MHz:-100dBc(2次)、-123dBc(3次)
  - 10MHz:-72dBc(2次)、-103dBc(3次)
- 出力同相電圧を調整可能
- レール・トゥ・レール出力振幅
- 消費電力を設定可能、低消費電力のシャットダウン
- 小型(0.75mm×4mm×4mm) 20ピンQFNパッケージ

## アプリケーション

- 差動入力A/Dコンバータのドライバ
- アンチエイリアシング/リコンストラクション・フィルタ
- シングルエンドから差動への変換/増幅
- 低電圧、低ノイズの差動信号処理
- 同相電圧の変換

## 概要

LTC®6601-1は、非常に使いやすい完全差動2次アクティブRCフィルタおよびドライバです。一貫性と再現性のあるフィルタ特性が得られるように、内蔵の抵抗、コンデンサ、アンプの帯域幅がトリミングされています。

フィルタ特性はピン・ストラップによって設定可能です。カットオフ周波数は5MHz～28MHzで、利得はピン・ストラップによって-17dB～+17dBの範囲で設定可能です。

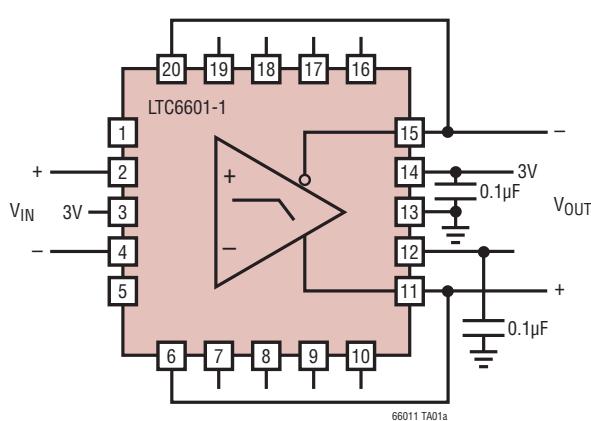
アンプの消費電力はスリーステートのBIASピンにより設定可能で、高性能モード、低消費電力(消費電力が半減)モード、スタンバイ・モードのいずれかを選択できます。

LTC6601-1は4mm×4mmの小型20ピン・リードレスQFNパッケージで供給されます。

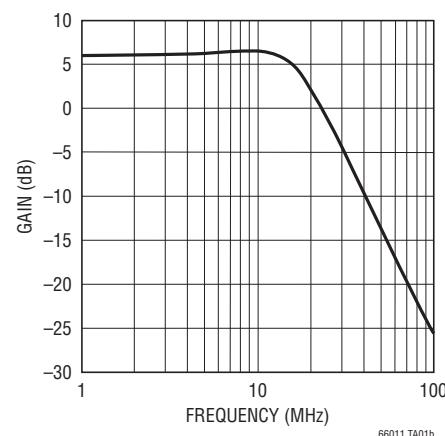
 LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。  
他の全ての商標はそれぞれの所有者に所有権があります。  
6271719を含む米国特許によって保護されています。

## 標準的応用例

19MHz、2次ローパス・フィルタ。利得 = 6dB



周波数応答

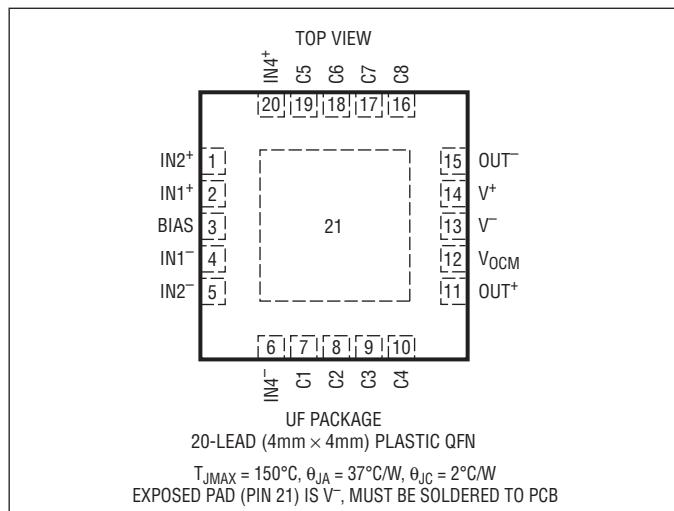


## 絶対最大定格

(Note 1)

全電源電圧( $V^+$ から $V^-$ )	5.5V
入力電圧(どのピンでも)(Note 2) .... ( $V^+ + 0.3V$ )~( $V^- - 0.3V$ )	
入力電流 ( $V_{OCM}$ 、BIAS) .....	$\pm 10\text{mA}$
入力電流(ピン1、5) (Note 2).....	$\pm 20\text{mA}$
入力電流(ピン2、4) (Note 2).....	$\pm 30\text{mA}$
入力電流(ピン6、20) (Note 2).....	$\pm 15\text{mA}$
入力電流(ピン7、8、9、10、16、17、18、19) (Note 2) .....	$\pm 10\text{mA}$
出力短絡時間 (Note 3) .....	無期限
動作温度範囲 (Note 4).....	-40°C~85°C
規定温度範囲 (Note 5).....	-40°C~85°C
接合部温度.....	150°C
保存温度範囲.....	-65°C~150°C

## ピン配置



## 発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC6601CUF-1#PBF	LTC6601CUF-1#TRPBF	66011	20-Lead (4mm × 4mm) Plastic QFN	0°C to 70°C
LTC6601IUF-1#PBF	LTC6601IUF-1#TRPBF	66011	20-Lead (4mm × 4mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 \*温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー製品のマーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

## DC電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 3\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{INCM} = V_{OCM}$  = 電源の中点、BIASは $V^+$ に接続するかフロート状態、 $I_{LOAD} = 0$ ,  $R_{BAL} = 100\text{k}\Omega$ 。注記がない限り、フィルタは利得1に設定される。 $V_S$ は $(V^+ - V^-)$ として定義されている。 $V_{OUTCM}$ は $(V_{OUT^+} + V_{OUT^-})/2$ として定義されている。 $V_{INCM}$ は $(V_{INP} + V_{INM})/2$ として定義されている。 $V_{OUTDIFF}$ は $(V_{OUT^+} - V_{OUT^-})$ として定義されている。 $V_{INDIFF}$ は $(V_{INP} - V_{INM})$ として定義されている。図1を参照。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{OSDIFF}$ (Note 6)	Amplifier Differential Offset Voltage (Input Referred)	$V_S = 2.7\text{V}$ to $5.25\text{V}$ , BIAS = $V^+$ BIAS = Floating	● ●	$\pm 0.25$ $\pm 0.25$	$\pm 1$ $\pm 1.5$	mV mV
$\Delta V_{OSDIFF}/\Delta T$ (Note 6)	Amplifier Differential Offset Voltage Drift (Input Referred)	$V_S = 2.7\text{V}$ to $5.25\text{V}$		1		$\mu\text{V}/^\circ\text{C}$
$R_{IN}$ (Note 14)	Input Resistance, BIAS = $V^+$ Single Ended Input Resistance, Pin 2 or Pin 4 Differential Input Resistance	$V_S = 3\text{V}$ $V_S = 3\text{V}$			133 200	$\Omega$ $\Omega$

## DC電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 3\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{INCM} = V_{OCM}$  = 電源の中点、BIASは $V^+$ に接続するかフロート状態、 $I_{LOAD} = 0$ 、 $R_{BAL} = 100\text{k}\Omega$ 。注記がない限り、フィルタは利得1に設定される。 $V_S$ は $(V^+ - V^-)$ として定義されている。 $V_{OUTCM}$ は $(V_{OUT}^+ + V_{OUT}^-)/2$ として定義されている。 $V_{INCM}$ は $(V_{INP} + V_{INM})/2$ として定義されている。 $V_{OUTDIFF}$ は $(V_{OUT}^+ - V_{OUT}^-)$ として定義されている。 $V_{INDIFF}$ は $(V_{INP} - V_{INM})$ として定義されている。図1を参照。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$\Delta R_{IN}$ (Note 14)	Input Resistance Match, BIAS = $V^+$ Single Ended Input Resistance, Pin 2 or Pin 4	$V_S = 3\text{V}$			$\pm 0.25$		$\Omega$
$I_B$ (Note 7)	Internal Amplifier Input Bias	$V_S = 2.7\text{V to } 5\text{V}$	BIAS = $V^+$ BIAS = Floating	-50 -25	-25 -12.5	0 0	$\mu\text{A}$
$I_{OS}$ (Note 7)	Internal Amplifier Input Offset	$V_S = 2.7\text{V to } 5\text{V}$	BIAS = $V^+$ BIAS = Floating		$\pm 1$ $\pm 1$	$\pm 10$ $\pm 5$	$\mu\text{A}$
$V_{INCM}$ (Note 8)	Input Signal Common Mode Range $(V_{INP} + V_{INM})/2$	$V_S = 3\text{V}$ $V_S = 5\text{V}$					
	BIAS = $V^+$ , $V_{OCM} = 1.5\text{V}$			0		1.7	$\text{V}$
	BIAS = $V^+$ , $V_{OCM} = 2.5\text{V}$			0		4.7	$\text{V}$
CMRR <sub>I</sub> (Notes 9, 14)	Input Common Mode Rejection Ratio (Amplifier Input Referred) $\Delta V_{INCM}/\Delta V_{OSDIFF}$	$V_S = 5\text{V}$				74	$\text{dB}$
	$\Delta V_{INCM} = 2.5\text{V}$						
CMRRO (Notes 9, 14)	Output Common Mode Rejection Ratio (Amplifier Input Referred) $\Delta V_{OCM}/\Delta V_{OSDIFF}$	$V_S = 5\text{V}$				70	$\text{dB}$
	$\Delta V_{OCM} = 1\text{V}$						
PSRR (Note 10)	Power Supply Rejection Ratio (Amplifier Input Referred) $\Delta V_S/\Delta V_{OSDIFF}$	$V_S = 2.7\text{V to } 5\text{V}$ $V_S = 2.7\text{V to } 5\text{V}$					
	BIAS = $V^+$ BIAS Pin Floating			66 60		95 95	$\text{dB}$
PSRR <sub>C</sub> (Note 10)	Common Mode Power Supply Rejection Ratio ( $\Delta V_S/\Delta V_{OSCM}$ )	$V_S = 2.7\text{V to } 5\text{V}$		46		60	$\text{dB}$
$g_{cm}$	Common Mode Gain ( $\Delta V_{OUTCM}/\Delta V_{OCM}$ )	$V_S = 5\text{V}$				1	$\text{V/V}$
	$\Delta V_{OCM} = 2\text{V}$						
BAL	Common Mode Gain Error = $100 \cdot (g_{cm} - 1)$	$V_S = 5\text{V}$				$\pm 0.1$	$\pm 0.3$
	$\Delta V_{OCM} = 2\text{V}$						
$V_{OSCM}$	Common Mode Offset Voltage ( $V_{OUTCM} - V_{OCM}$ )	$V_S = 2.7\text{V to } 5\text{V}$ $V_S = 2.7\text{V to } 5\text{V}$	BIAS = $V^+$ BIAS = Floating		$\pm 5$ $\pm 8$	$\pm 15$ $\pm 20$	$\text{mV}$
							$\text{mV}$
$\Delta V_{OSCM}/\Delta T$	Common Mode Offset Voltage Drift ( $V_{OUTCM} - V_{OCM}$ )	$V_S = 2.7\text{V to } 5\text{V}$ $V_S = 2.7\text{V to } 5\text{V}$	BIAS = $V^+$ BIAS = Floating		5 20		$\mu\text{V}/^\circ\text{C}$
							$\mu\text{V}/^\circ\text{C}$
$V_{OUTCMR}$ (Note 8)	Output Signal Common Mode Range (Voltage Range for the $V_{OCM}$ Pin)	$V_S = 3\text{V}$ $V_S = 5\text{V}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$	BIAS = $V^+$ BIAS = $V^+$ BIAS Pin Floating BIAS Pin Floating	1.1 1.1 1.1 1.1		1.7 4 1.8 4	$\text{V}$
$R_{INVOCM}$	Input Resistance, $V_{OCM}$ Pin	$V_S = 3\text{V}$		12.5	18	23.5	$\text{k}\Omega$
$V_{MID}$	Voltage at the $V_{OCM}$ Pin	$V_S = 3\text{V}$		1.475	1.5	1.525	$\text{V}$

## DC電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V^+ = 3\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{INCM} = V_{OCM}$  = 電源の中点、BIASは $V^+$ に接続するかフロート状態、 $I_{LOAD} = 0$ ,  $R_{BAL} = 100\text{k}\Omega$ 。注記がない限り、フィルタは利得1に設定される。 $V_S$ は $(V^+ - V^-)$ として定義されている。 $V_{OUTCM}$ は $(V_{OUT}^+ + V_{OUT}^-)/2$ として定義されている。 $V_{INCM}$ は $(V_{INP} + V_{INM})/2$ として定義されている。 $V_{OUTDIFF}$ は $(V_{OUT}^+ - V_{OUT}^-)$ として定義されている。 $V_{INDIFF}$ は $(V_{INP} - V_{INM})$ として定義されている。図1を参照。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{OUT}$	Output Voltage, High, Either Output Pin (Note 11)	$V_S = 3\text{V}$ , $I_L = 0\text{mA}$ BIAS = $V^+$	●	245	450	mV
		$V_S = 3\text{V}$ , $I_L = -5\text{mA}$ BIAS = $V^+$	●	285	525	mV
		$V_S = 3\text{V}$ , $I_L = -20\text{mA}$ BIAS = $V^+$	●	415	750	mV
		$V_S = 5\text{V}$ , $I_L = 0\text{mA}$ BIAS = $V^+$	●	350	625	mV
		$V_S = 5\text{V}$ , $I_L = -5\text{mA}$ BIAS = $V^+$	●	390	700	mV
		$V_S = 5\text{V}$ , $I_L = -20\text{mA}$ BIAS = $V^+$	●	550	1000	mV
	Output Voltage, Low, Either Output Pin (Note 11)	$V_S = 3\text{V}$ , $I_L = 0\text{mA}$ , BIAS Pin Floating	●	240	450	mV
		$V_S = 3\text{V}$ , $I_L = -5\text{mA}$ , BIAS Pin Floating	●	290	525	mV
		$V_S = 3\text{V}$ , $I_L = -20\text{mA}$ , BIAS Pin Floating	●	470	850	mV
		$V_S = 5\text{V}$ , $I_L = 0\text{mA}$ , BIAS Pin Floating	●	370	675	mV
		$V_S = 5\text{V}$ , $I_L = -5\text{mA}$ , BIAS Pin Floating	●	430	775	mV
		$V_S = 5\text{V}$ , $I_L = -20\text{mA}$ , BIAS Pin Floating	●	650	1100	mV
$I_{SC}$	Output Short-Circuit Current, Either Output Pin (Note 12)	$V_S = 3\text{V}$ $V_S = 5\text{V}$	● ●	$\pm 45$ $\pm 60$	$\pm 65$ $\pm 90$	mA mA
$V_S$	Supply Voltage Range		●	2.7	5.25	V
$I_S$	Supply Current, BIAS Pin Tied to $V^+$	$V_S = 2.7\text{V}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$	● ● ●	32.9 33.1 33.9	43 43.5 45	mA
	Supply Current, BIAS Pin Floating	$V_S = 2.7\text{V}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$	● ● ●	16.0 16.2 16.9	25 25.5 26.5	mA
$I_{SHDN}$	Supply Current, BIAS Pin Tied to $V^-$	$V_S = 2.7\text{V}$ $V_S = 3\text{V}$ $V_S = 5\text{V}$	● ● ●	0.34 0.35 0.55	0.9 1 1.6	mA
$V_{BIASSD}$	BIAS Input Pin Range for Shutdown	$V_S = 2.7\text{V}$ to $5\text{V}$	●	$V^-$	$V^- + 0.4$	V
$V_{BIASLP}$ (Note 13)	BIAS Input for Half Power Operation	$V_S = 2.7\text{V}$ to $5\text{V}$	●	$V^- + 1.0$	$V^- + 1.5$	V
$V_{BIASHP}$	BIAS Input for High Performance Operation	$V_S = 2.7\text{V}$ to $5\text{V}$	●	$V^- + 2.3$	$V^+$	V
$R_{BIAS}$	BIAS Input Resistance	$V_S = 2.7\text{V}$ to $5\text{V}$	●	100	150	k $\Omega$
$V_{BIAS}$	BIAS Float Voltage	$V_S = 2.7\text{V}$ to $5\text{V}$	●	$V^- + 1.05$	$V^- + 1.12$	V
$t_{ON}$	Turn-On Time	$V_S = 3\text{V}$ , $V_{SHDN} = 0.25\text{V}$ to $3\text{V}$		400		ns
$t_{OFF}$	Turn-Off Time	$V_S = 3\text{V}$ , $V_{SHDN} = 3\text{V}$ to $0.25\text{V}$		400		ns

## AC電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V^+ = 3\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{INCM} = V_{OCM}$  = 電源の中点、 $V_{BIAS}$ は $V^+$ に接続するかフロート状態。(ACテストの構成設定については、図2を参照。) $V_S$ は $(V^+ - V^-)$ として定義されている。 $V_{OUTCM}$ は $(V_{OUT}^+ + V_{OUT}^-)/2$ として定義されている。 $V_{ICM}$ は $(V_{INP} + V_{INM})/2$ として定義されている。 $V_{OUTDIFF}$ は $(V_{OUT}^+ - V_{OUT}^-)$ として定義されている。 $V_{INDIFF}$ は $(V_{INP} - V_{INM})$ として定義されている。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GAIN	Filter Gain, See Figure 2, BIAS Pin Tied to $V^+$ , AC Gain Measurements Relative to 1MHz	$\Delta V_{IN} = \pm 0.25\text{V}$ , $f_{TEST} = DC$ (Note 14)	●	-0.25	$\pm 0.05$	0.25
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 1\text{MHz}$	●	0		dB
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 2\text{MHz}$	●	-0.08	0.02	0.12
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 5\text{MHz}$	●	-0.01	0.11	0.23
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 10\text{MHz}$	●	-0.54	-0.34	-0.14
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 14.45\text{MHz}$	●	-2.75	-2.35	-1.95
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 20\text{MHz}$	●	-7.14	-6.24	-5.34
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 50\text{MHz}$	●	-23.70	-21.70	-19.70
PHASE	Filter Phase, See Figure 2, BIAS Pin Tied to $V^+$	$\Delta V_{IN} = \pm 0.25\text{V}$ , $f_{TEST} = DC$	●	0		Deg
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 1\text{MHz}$	●	-6.0	-5.4	-4.8
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 2\text{MHz}$	●	-12.0	-10.8	-9.6
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 5\text{MHz}$	●	-30.7	-28.2	-25.7
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 10\text{MHz}$	●	-67.6	-62.6	-57.6
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 14.45\text{MHz}$	●	-100.1	-94.1	-88.1
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 20\text{MHz}$	●	-127.3	-122.3	-117.3
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 50\text{MHz}$	●	-169.3		Deg
NOISE	Wide Band Output Noise, 14.45MHz Cutoff, BIAS Pin Tied to $V^+$	BW = 100MHz BW = 20MHz		71 54		$\mu\text{V}_{\text{RMS}}$ $\mu\text{V}_{\text{RMS}}$
SNR	BIAS Pin Tied to $V^+$	BW = 100MHz BW = 20MHz		80 82.3		dB dB
DISTORTION	$V_{IN} = 2\text{V}_{\text{P-P}}$ , 10MHz, BIAS Pin Tied to $V^+$	HD2, Single-Ended Input		-70		dBc
		HD3, Single-Ended Input		-103		dBc
		HD2, Differential Input		-72		dBc
		HD3, Differential Input		-103		dBc
$f_0$ TC	Cutoff Frequency Temperature Coefficient			-120		ppm/ $^\circ\text{C}$
GAIN	Filter Gain, See Figure 2, BIAS Pin Floating (Remaining AC Measurements Relative to 1MHz)	$\Delta V_{IN} = \pm 0.25\text{V}$ , $f_{TEST} = DC$ (Note 14)	●	-0.25	$\pm 0.05$	0.25
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 1\text{MHz}$	●	0		dB
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 2\text{MHz}$	●	-0.08	0.02	0.12
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 5\text{MHz}$	●	-0.01	0.11	0.23
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 10\text{MHz}$	●	-0.54	-0.34	-0.14
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 14.45\text{MHz}$	●	-2.90	-2.50	-2.10
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 20\text{MHz}$	●	-7.43	-6.53	-5.63
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 50\text{MHz}$	●	-23.90	-21.90	-19.90
PHASE	Filter Phase, See Figure 2, BIAS Pin Floating	$\Delta V_{IN} = \pm 0.25\text{V}$ , $f_{TEST} = DC$	●	0		Deg
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 1\text{MHz}$	●	-6.0	-5.5	-4.8
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 2\text{MHz}$	●	-12.4	-11.2	-10.0
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 5\text{MHz}$	●	-31.8	-29.3	-26.8
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 10\text{MHz}$	●	-70.2	-65.2	-60.2
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 14.45\text{MHz}$	●	-103.5	-97.5	-91.5
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 20\text{MHz}$	●	-130.1	-125.1	-120.1
		$V_{IN} = 600\text{mV}_{\text{P-P}}$ , $f_{TEST} = 50\text{MHz}$	●	-173.6		Deg
NOISE	Output Noise, See Figure 2, BIAS Pin Floating	BW = 100MHz BW = 20MHz		78 58		$\mu\text{V}_{\text{RMS}}$ $\mu\text{V}_{\text{RMS}}$
SNR	BIAS Pin Floating	BW = 100MHz BW = 20MHz		79 81.7		dB dB
Distortion	$V_{IN} = 2\text{V}_{\text{P-P}}$ , 10MHz, BIAS Pin Floating	HD2, Single-Ended Input HD3, Single-Ended Input HD2, Differential Input HD3, Differential Input		-64 -71 -70 -72		dBc dBc dBc dBc
$f_0$ TC	Cutoff Frequency Temperature Coefficient			-120		ppm/ $^\circ\text{C}$

## 電気的特性

**Note 1:**絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:**全てのピンは、どちらの電源へもステアリング・ダイオードで保護されている。どのピンもデバイスの電源電圧より上にドライブされる場合、超過入力電流(そのピンを電源レールまでドライブするのに必要な電流を超過する電流)は10mA未満に制限する。

**Note 3:**出力が無期限に短絡されるときは、接合部温度を絶対最大定格より下に抑えるために、ヒートシンクが必要になることがある。絶対最大定格を超える出力電流を長時間流すと、デバイスの寿命に悪影響を与えることがある。

**Note 4:**LTC6601C/LTC6601Iは−40°C～85°Cの動作温度範囲で動作することが保証されている。

**Note 5:**LTC6601Cは0°C～70°Cの温度範囲で性能仕様に適合することが保証されている。LTC6601Cは−40°C～85°Cの温度範囲で性能仕様に適合するように設計され、特性が評価されており、性能仕様に適合すると予想されるが、これらの温度ではテストされないし、QAサンプリングも行われない。LTC6601Iは−40°C～85°Cの温度範囲で性能仕様に適合することが保証されている。

**Note 6:**出力を基準にした電圧オフセットはLTC6601の低周波利得の関数である。出力を基準にした電圧オフセットまたは出力電圧オフセット・ドリフトを決めるには、この規定値にノイズ利得(1+利得)を掛ける。

詳細についてはアプリケーション情報を参照してください。

**Note 7:**入力バイアス電流は内部アンプの非反転入力および反転入力に流れ込む電流の平均として定義されており、デバイスのピンで測定した値から計算される。入力オフセット電流は内部アンプの非反転入力および反転入力に流れ込む電流の差として定義されており、デバイスのピンで測定した値から計算される。

**Note 8:**入力同相範囲は、図1の回路を使い、 $V_{ICM}$  = 電源の中点で、さらに $V_{ICM}$ が「電気的特性」の表に示されている入力同相範囲のリミットのときの差動DC利得を測定し、差動利得が電源の中点の同相モードの入力の場合から1%より大きくなることなく、同相オフセット( $V_{OCMOS}$ )が電源の中点の同相オフセットから±10mVより大きくなることを検証することによって、テストされる。

出力同相範囲の電圧範囲は、図1の回路を使い、 $V_{OCM}$  = 電源の中点で、さらに $V_{OCM}$ ピンの電圧が「電気的特性」の表のリミットに設定された状態で差動DC利得を測定し、差動利得が電源の中点の同相モードの入力の場合から1%より大きくなることなく、同相オフセット( $V_{OCMOS}$ )が電源の中点の場合から±10mVより大きくなることを検証することによって、テストされる。

**Note 9:**入力CMRRは、アンプ入力の入力同相電圧の変化に対する、入力を基準にした差動電圧オフセットの変化の比として定義されている。出力CMRRは、 $V_{OCM}$ ピンの電圧の変化に対する、入力を基準にした差動電圧オフセットの変化の比として定義されている。

**Note 10:**電源除去比(PSRR)は、電源電圧の変化に対する、入力を基準にした差動電圧オフセットの変化の比として定義されている。同相電源除去比(PSRRCM)は、電源電圧の変化に対する、同相オフセット( $V_{OUTCM}/V_{OCM}$ )の変化の比として定義されている。

**Note 11:**出力振幅は出力とそれぞれの電源レールとの差として測定される。

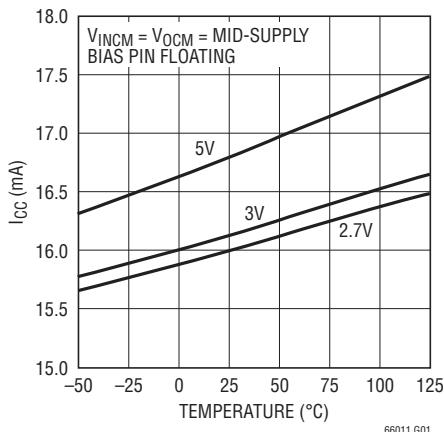
**Note 12:**出力が短絡状態での長時間動作は、接合部温度が150°Cのリミットを超えることがあるので推奨しない。

**Note 13:**BIASピンをフロートさせるとデバイスは確実にハーフパワー・モードになる。このピンをドライブする必要はない。ただし、このピンに流れ込む、またはこのピンから流れ出す外部リード電流がピンを望ましくない状態にするのを防ぐよう注意する。

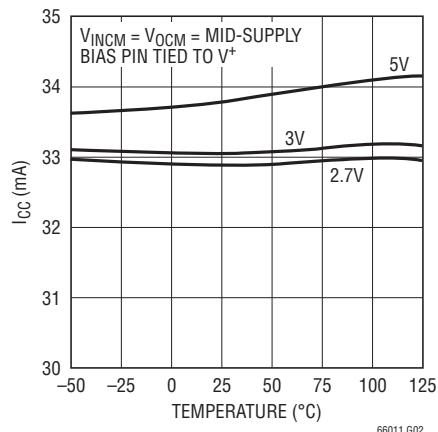
**Note 14:**高速テスト装置の変化する接触抵抗により、このテストの精度が制限される。これらのパラメータは標準値、または控えめな最小値および最大値を示すにすぎない。

## 標準的性能特性

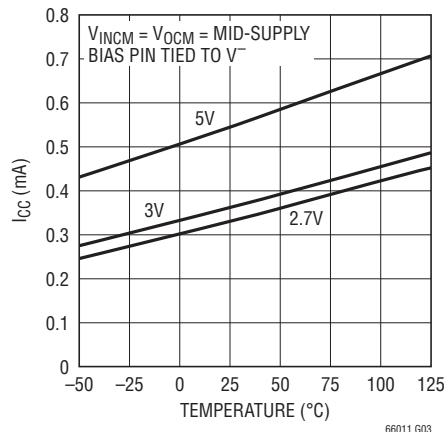
低電力時消費電流と温度および電源電圧



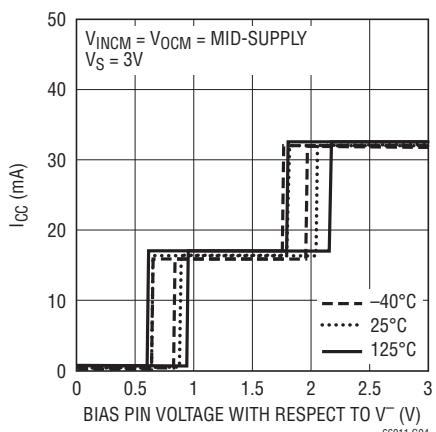
高性能時消費電流と温度および電源電圧



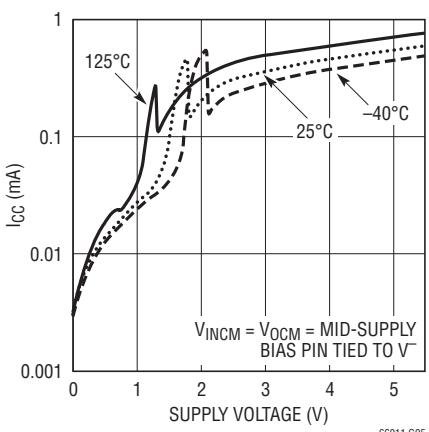
シャットダウン時消費電流と温度および電源電圧



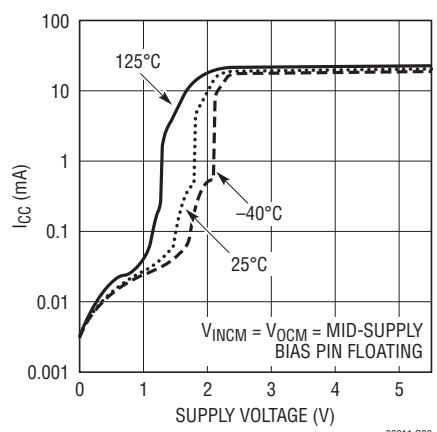
消費電流とバイアス・ピンの電圧および温度



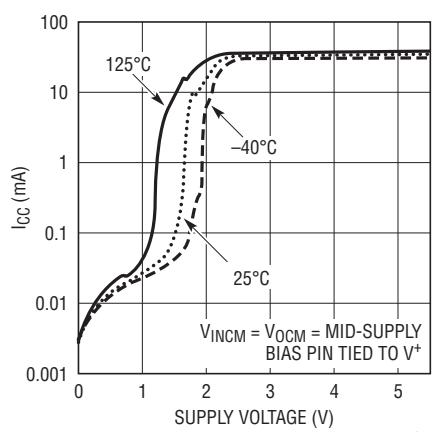
シャットダウン時消費電流と電源電圧および温度



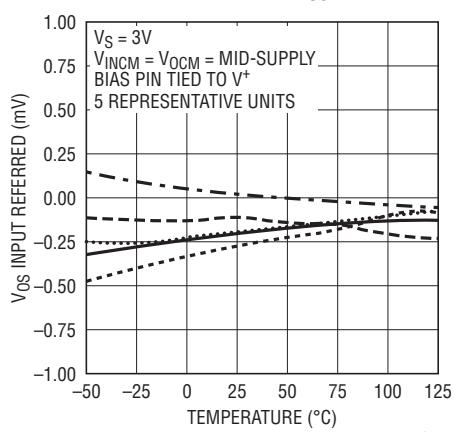
低電力モードの消費電流と電源電圧および温度



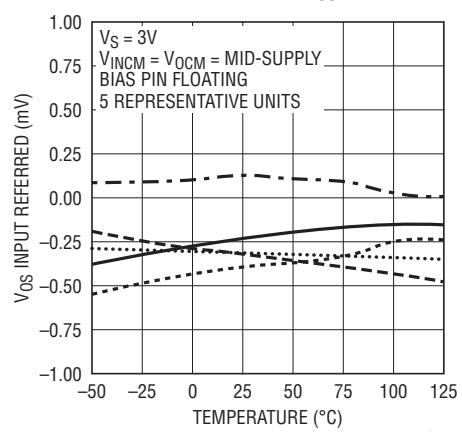
高性能時消費電流と電源電圧および温度



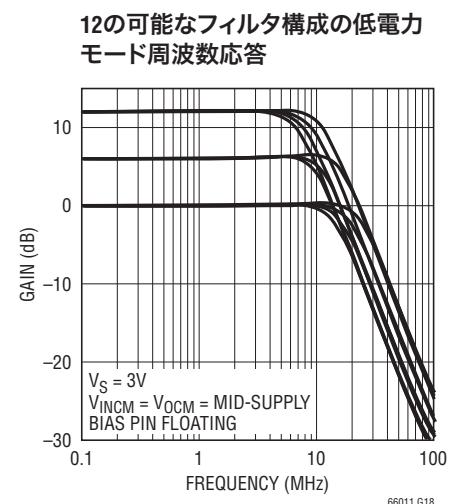
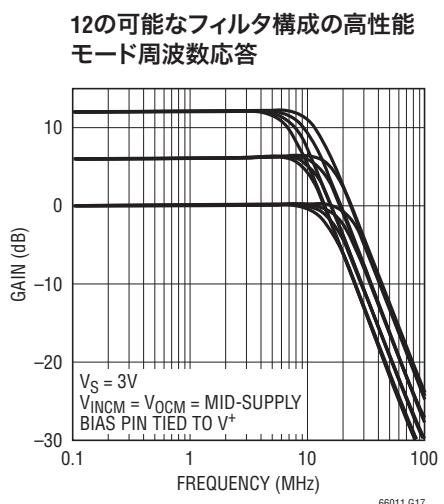
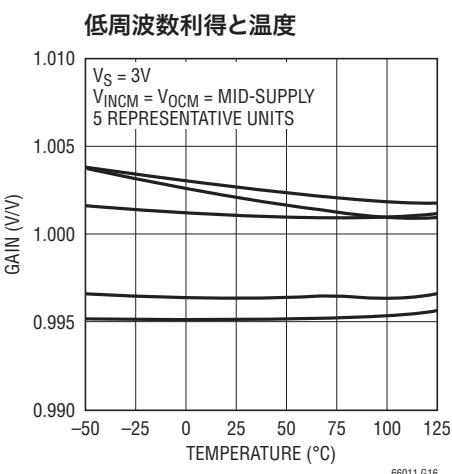
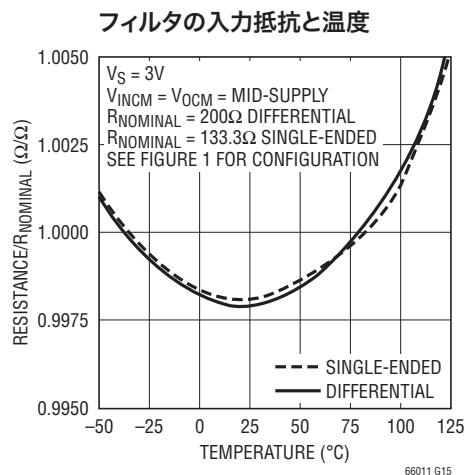
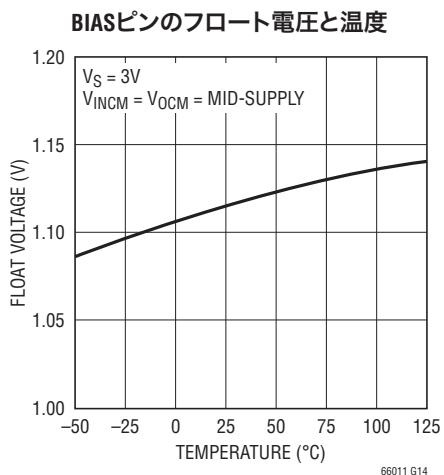
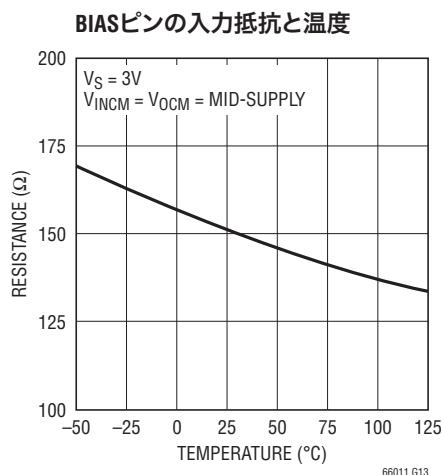
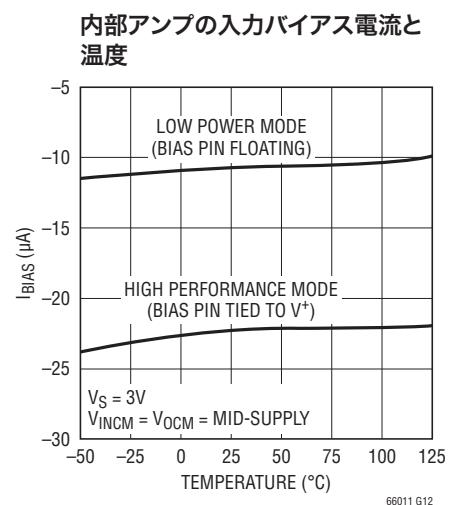
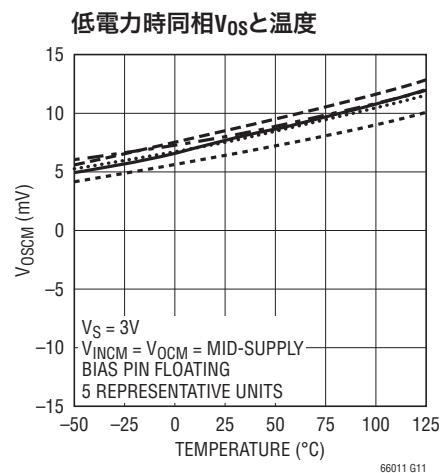
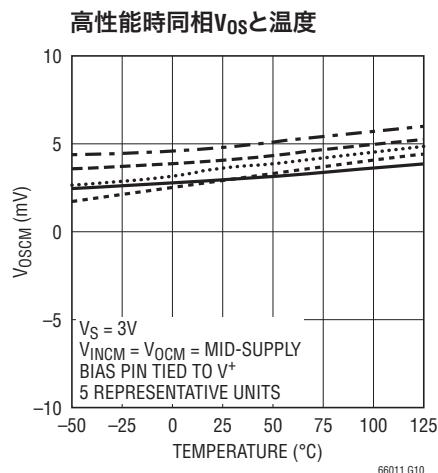
高性能モードの差動 $V_{OS}$ と温度



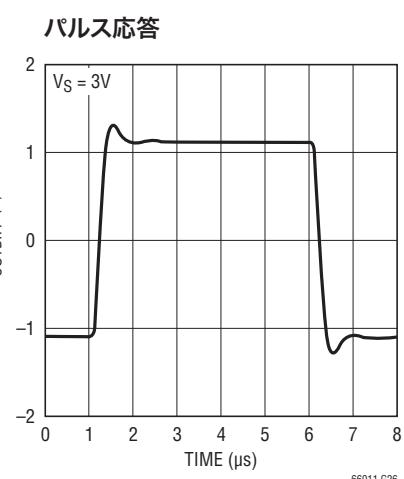
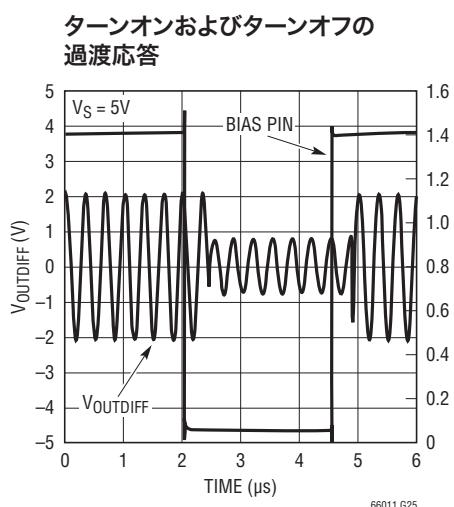
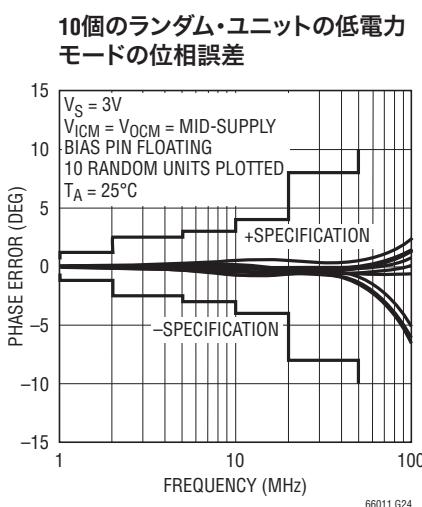
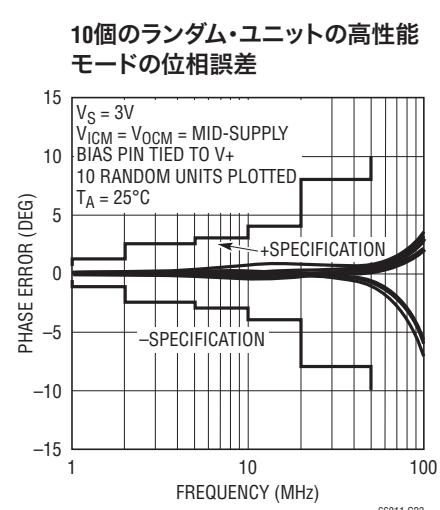
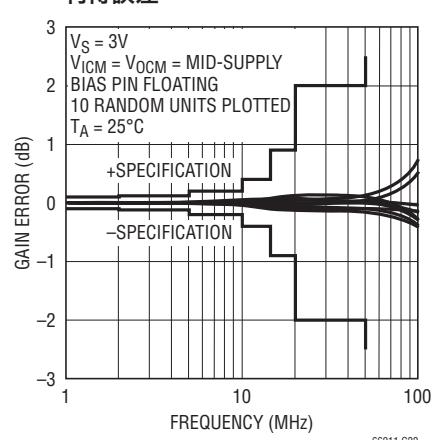
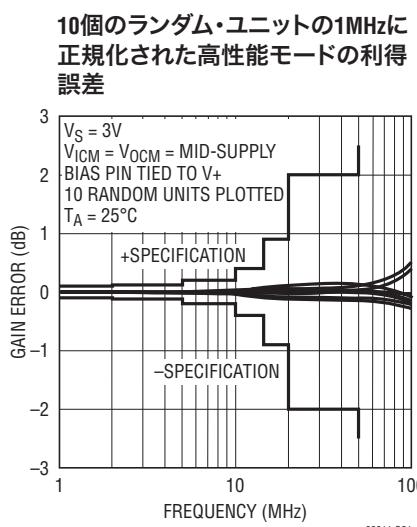
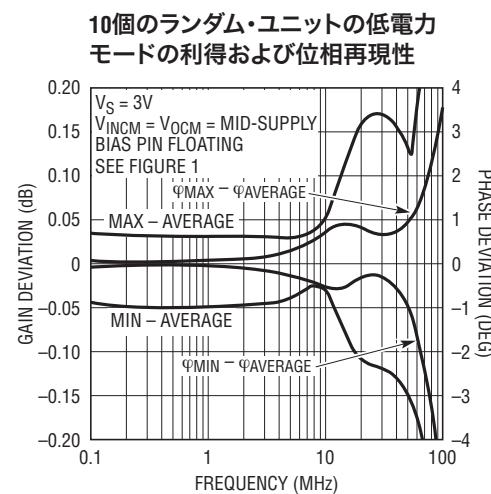
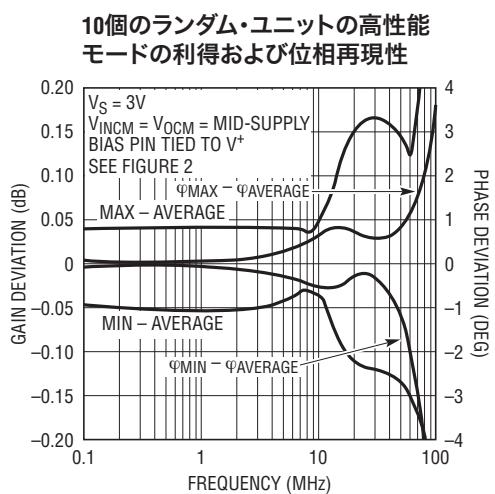
低電力モードの差動 $V_{OS}$ と温度



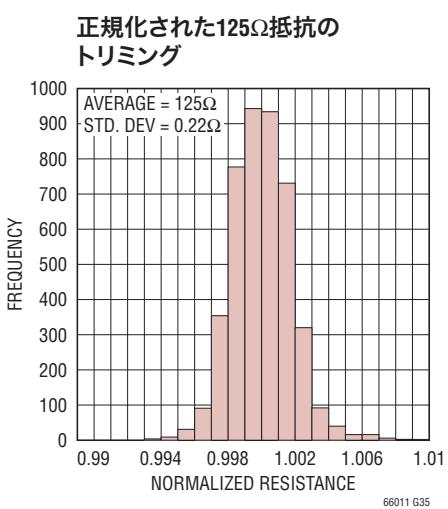
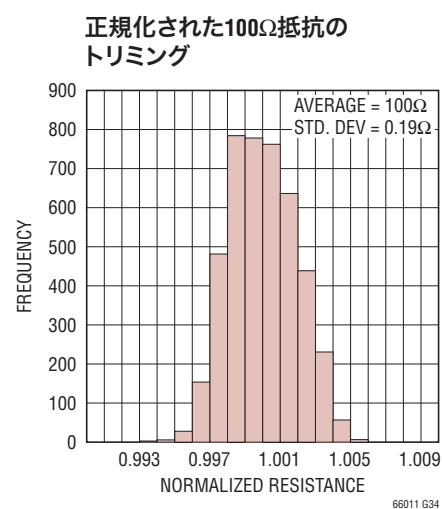
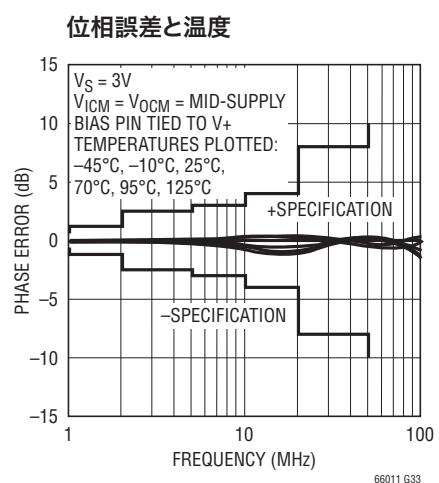
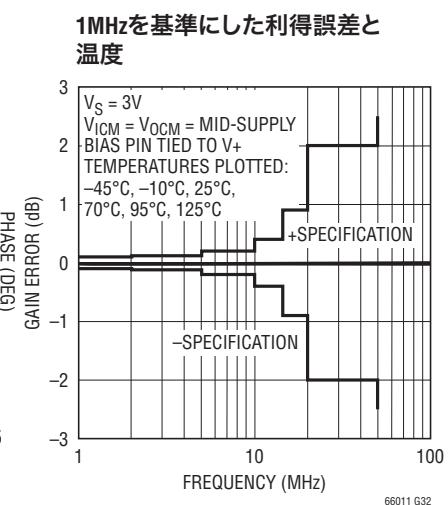
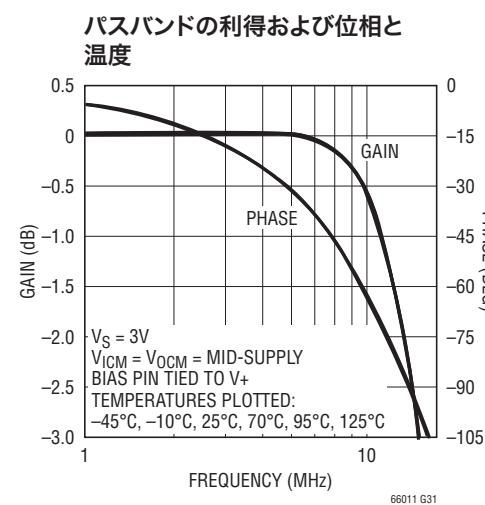
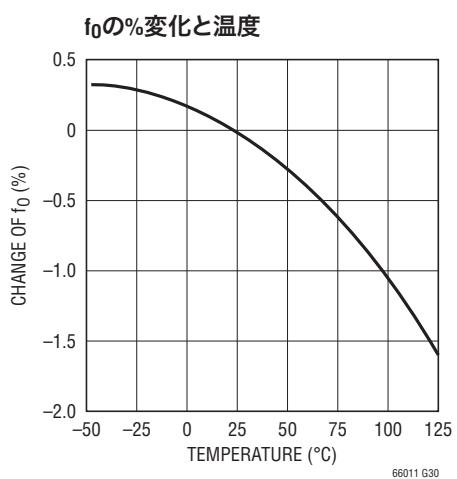
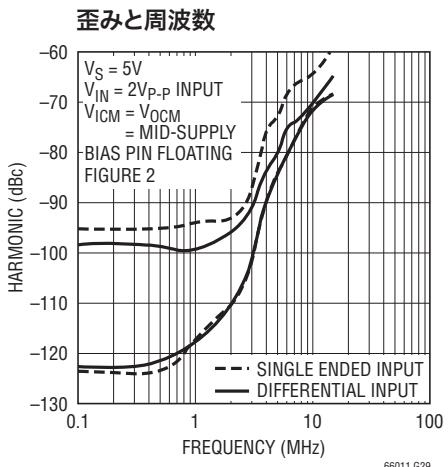
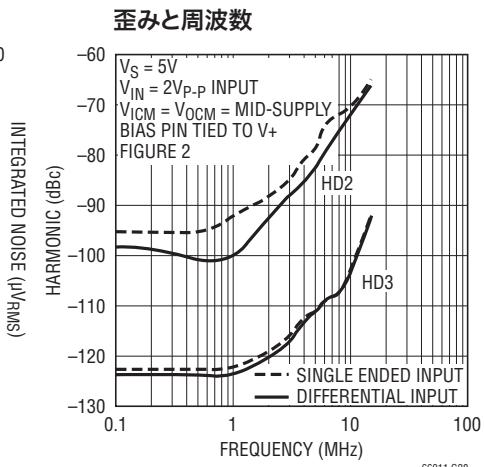
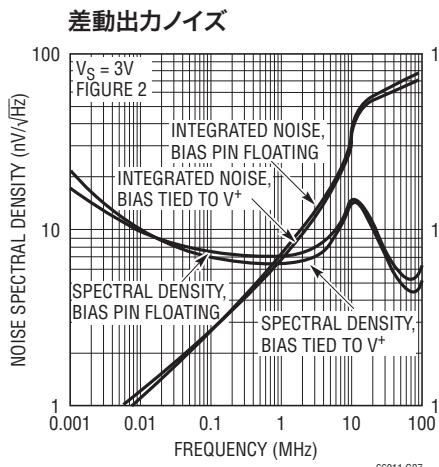
## 標準的性能特性



## 標準的性能特性

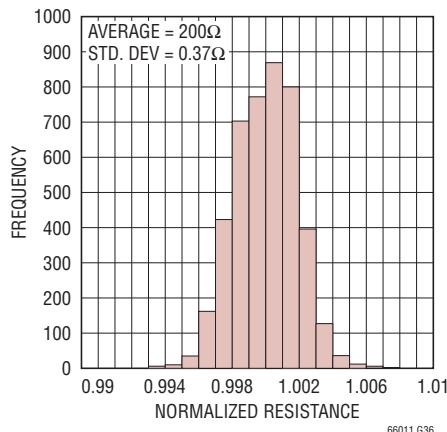


## 標準的性能特性

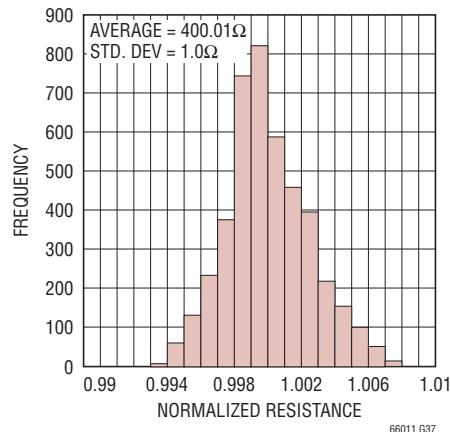


## 標準的性能特性

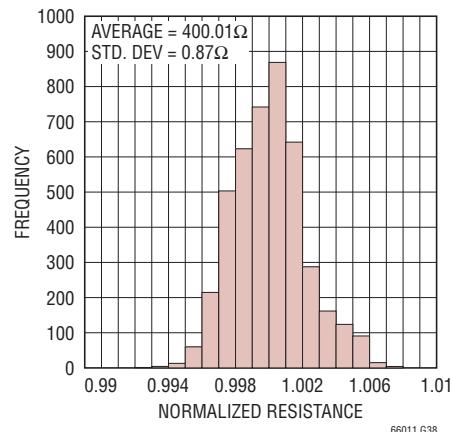
正規化された $200\Omega$ 抵抗の  
トリミング



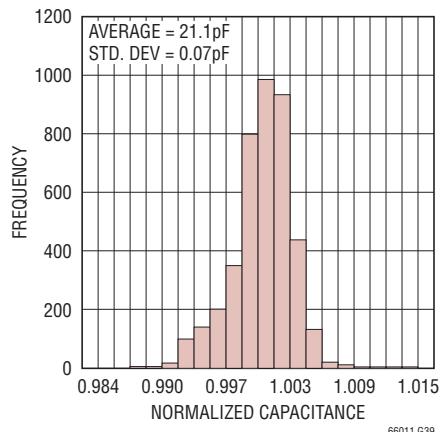
正規化された入力 $400\Omega$ 抵抗の  
トリミング



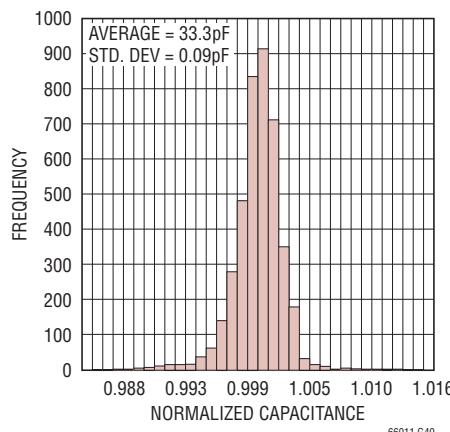
正規化された帰還 $400\Omega$ 抵抗の  
トリミング



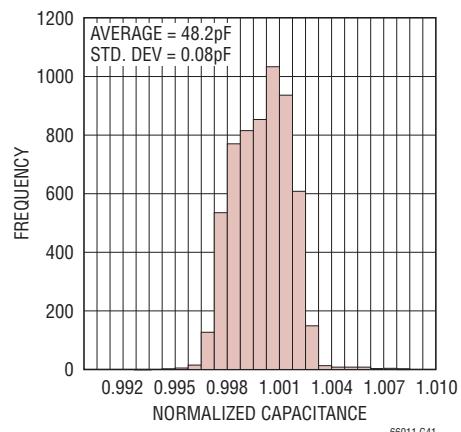
正規化された $21.1\text{pF}$ コンデンサの  
トリミング



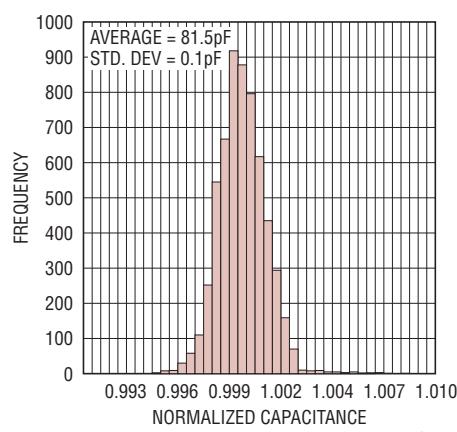
正規化された $33.3\text{pF}$ コンデンサの  
トリミング



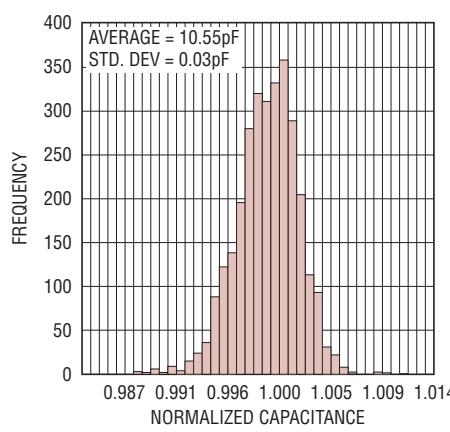
正規化された $48.2\text{pF}$ コンデンサの  
トリミング



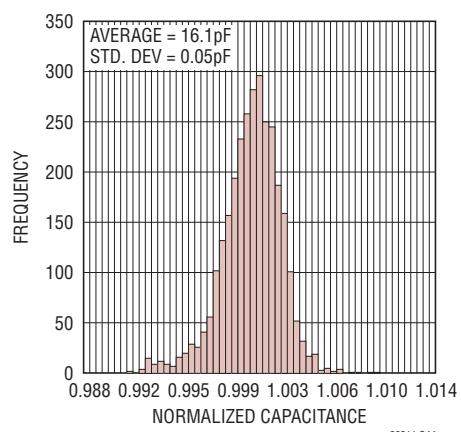
正規化された $81.5\text{pF}$ コンデンサの  
トリミング



正規化された $10.55\text{pF}$ コンデンサの  
トリミング



正規化された $16.1\text{pF}$ コンデンサの  
トリミング



## ピン機能 (ブロック図を参照)

**IN1<sup>+</sup>、IN2<sup>+</sup>、IN4<sup>+</sup>(ピン2、1、20):**非反転加算ノードに接続された、 $100\Omega$ 、 $200\Omega$ 、 $400\Omega$ のトリミングされた抵抗への入力。入力信号を受け入れることができ、フロートさせるか、またはOUT<sup>-</sup>に接続することができます。最良の性能を得るには、プリント回路の接続をできるだけ短くまっすぐにして浮遊容量をできるだけ低く抑えます。必要なら、これらのピンの周囲のグランド・プレーンを剥ぎ取ります。

**BIAS(ピン3):**スリーステート・コンパレータへの入力。このコンパレータの3つの状態により、ユーザーはアンプのパワーを調節することができます。このピンのインピーダンスは $150k\Omega$ の抵抗として現れ、開放回路の既定の電位はV<sup>-</sup>電源を基準にして $1.15V$ です。BIASがV<sup>-</sup>電源の $0.4V$ 以内にドライブされると、アンプは低電力シャットダウン状態になり、標準 $350\mu A$ を消費します。BIASをフロートさせると、アンプはその低電力アクティブ状態で動作します。このピンをV<sup>-</sup>より $2.3V$ 上に強制すると、デバイスは高性能アクティブ状態になります。詳細については「アプリケーション情報」を参照してください。

**IN1<sup>-</sup>、IN2<sup>-</sup>、IN4<sup>-</sup>(ピン4、5、6):**反転加算ノードに接続された、 $100\Omega$ 、 $200\Omega$ 、 $400\Omega$ のトリミングされた抵抗への入力。入力信号を受け入れることができ、フロートさせるか、またはOUT<sup>+</sup>に接続することができます。最高の性能を得るには、プリント回路接続をできるだけ短くまっすぐにして浮遊容量をできるだけ低く抑え、必要なら、これらのピンの近くでは周囲のグランド・プレーンを剥ぎ取ることを推奨します。

**C1、C2(ピン7、8):**非反転加算ノードに接続された、 $16.1pF$ 、 $33.3pF$ のトリミングされたコンデンサへの入力。一般に、フロートさせるか、OUT<sup>-</sup>に接続します。これらのピンのどちらでもOUT<sup>-</sup>以外の低インピーダンスのソースに接続する場合、少なくとも $25\Omega$ の抵抗を直列に接続します。最高の性能を得るには、プリント回路接続をできるだけ短くまっすぐにして浮遊容量をできるだけ低く抑え、必要なら、これらのピンの近くでは周囲のグランド・プレーンを剥ぎ取ることを推奨します。

**C3、C4(ピン9、10):**アンプの反転加算ノードに接続された、 $10.55pF$ 、 $21.1pF$ のトリミングされたコンデンサへの入力。一般に、フロートさせるか、OUT<sup>+</sup>に接続します。最高の性能を得るには、プリント回路接続をできるだけ短くまっすぐにして浮遊容量をできるだけ低く抑え、必要なら、これらのピンの近くでは周囲のグランド・プレーンを剥ぎ取ることを推奨します。

**OUT<sup>+</sup>、OUT<sup>-</sup>(ピン11、15):**出力ピン。各ピンは、内部帰還ネットワークをドライブする他に、 $\pm 65mA$ の標準短絡電流制限で、グランドに接続された追加の $50\Omega$ をドライブすることができます。これらのピンの容量性負荷は、少なくとも $25\Omega$ の抵抗を使って出力を負荷からデカップリングすることにより最小にします。

**V<sub>OCM</sub>(ピン12):**出力同相基準電圧。V<sub>OCM</sub>の電圧によって出力同相電圧レベル(これはOUT<sup>+</sup>ピンとOUT<sup>-</sup>ピンの電圧の平均として定義されます)が設定されます。V<sub>OCM</sub>ピンは両電源間の内部抵抗分圧器の中点であり、電源の(既定の)中点電位を発生して出力信号振幅を最大にします。V<sub>OCM</sub>ピンは、V<sub>OCM</sub>ピンに現れる入力インピーダンスをドライブする能力のある外部電圧リファレンスによってオーバードライブすることができます。V<sub>OCM</sub>ピンには、電源の中点の電位に対して約 $18k\Omega$ の入力抵抗があります。V<sub>OCM</sub>は(対称的な両電源が使われていて、低インピーダンス、低ノイズのグランド・プレーンに直接接続するのでない限り)高品質の少なくとも $0.01\mu F$ のセラミック・バイパス・コンデンサ(たとえば、X7R誘電体のもの)でバイパスし、デバイスの外部と内部の両方のインピーダンスの不整合によって同相ノイズが差動ノイズに変換されるのを最小に抑えます。

## ピン機能 (ブロック図を参照)

**V<sup>+</sup>、V<sup>-</sup>(ピン14、13):**電源ピン。電源のバイパスに細心の注意を払うことが重要です。単一電源のアプリケーションでは(ピン13を接地)、高品質の0.1μFの表面実装型セラミック・バイパス・コンデンサ(たとえば、X7R誘電体のもの)をピン14とピン13の間に短くまっすぐなトレースで接続することを推奨します。ピン13は低インピーダンスのグランド・プレーンに最短の配線で直接接続します。両電源では、少なくとも2個の追加の高品質の0.1μFのセラミック・コンデンサを使って、V<sup>+</sup>とV<sup>-</sup>をそれぞれグランドに最短の配線でバイパスすることを推奨します。大きな負荷(< 200Ω)をドライブする場合、最適性能のため、バイパス・コンデンサを追加することができます。サイズの小さな(たとえば、0603)表面実装型セラミック・コンデンサのESLはリード付きコンデンサのESLよりはるかに小さく、高速アプリケーションで最良の性能を発揮することに注意してください。

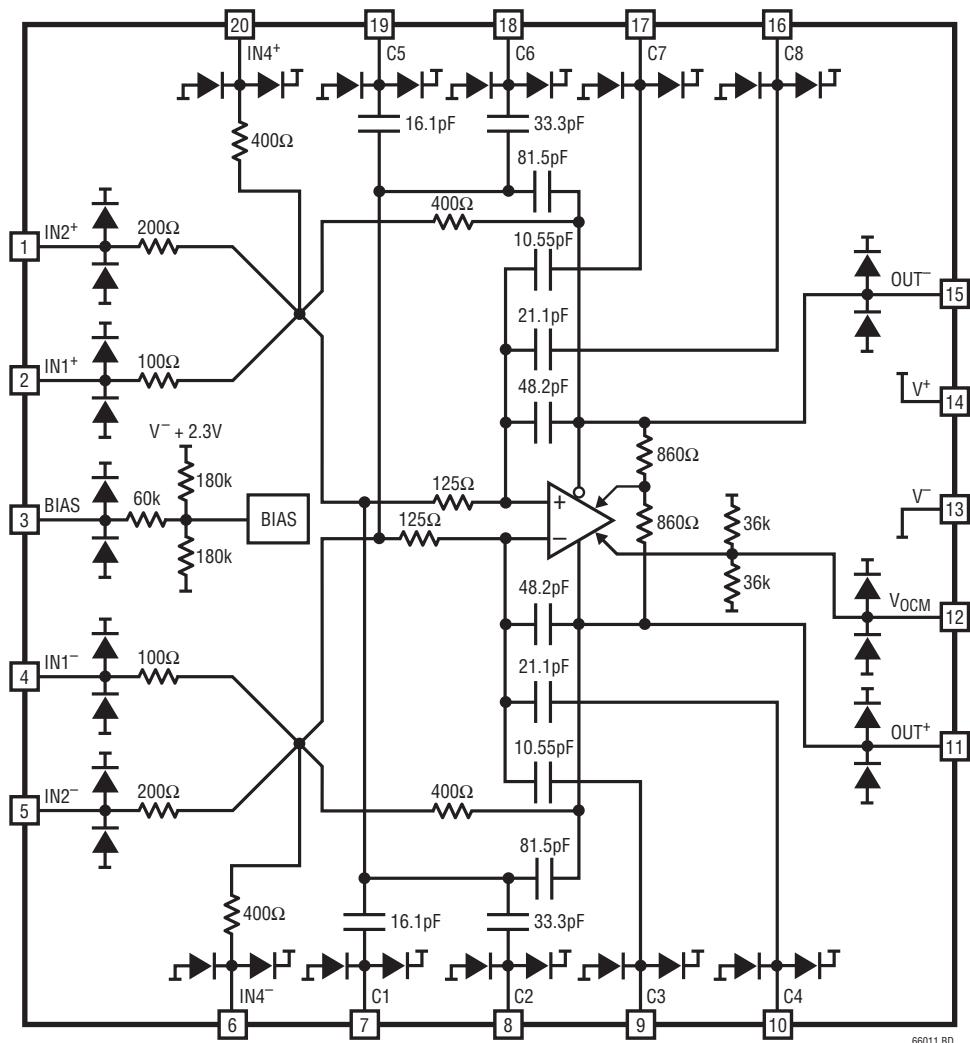
**C7、C8(ピン17、16):**アンプの非反転加算ノードに接続された、10.55pF、21.1pFのトリミングされたコンデンサへの入力。一般に、フロートさせるか、OUT<sup>-</sup>に接続します。最良の性能を得るには、プリント回路の接続をできるだけ短く直線にして浮遊容量をできるだけ低く抑えます。必要なら、これらのピンの周囲のグランド・プレーンを剥ぎ取ります。

**C5、C6(ピン19、18):**反転加算ノードに接続された、16.1pF、33.3pFのトリミングされたコンデンサへの入力。一般に、フロートさせるか、OUT<sup>+</sup>に接続します。これらのピンのどちらでもOUT<sup>+</sup>以外の低インピーダンスのソースに接続する場合、少なくとも25Ωの抵抗を直列に接続します。最高の性能を得るには、プリント回路接続をできるだけ短くまっすぐにして浮遊容量をできるだけ低く抑え、必要なら、これらのピンの近くでは周囲のリファレンス・プレーンを剥ぎ取ることを推奨します。

**露出パッド(ピン21):**底面の露出パッドは常にV<sup>-</sup>(ピン13)に接続します。両電源を使用する場合、パッドをグランドに接続しないでください。V<sup>-</sup>に接続します。

# LTC6601-1

## ブロック図



66011f

## テスト回路

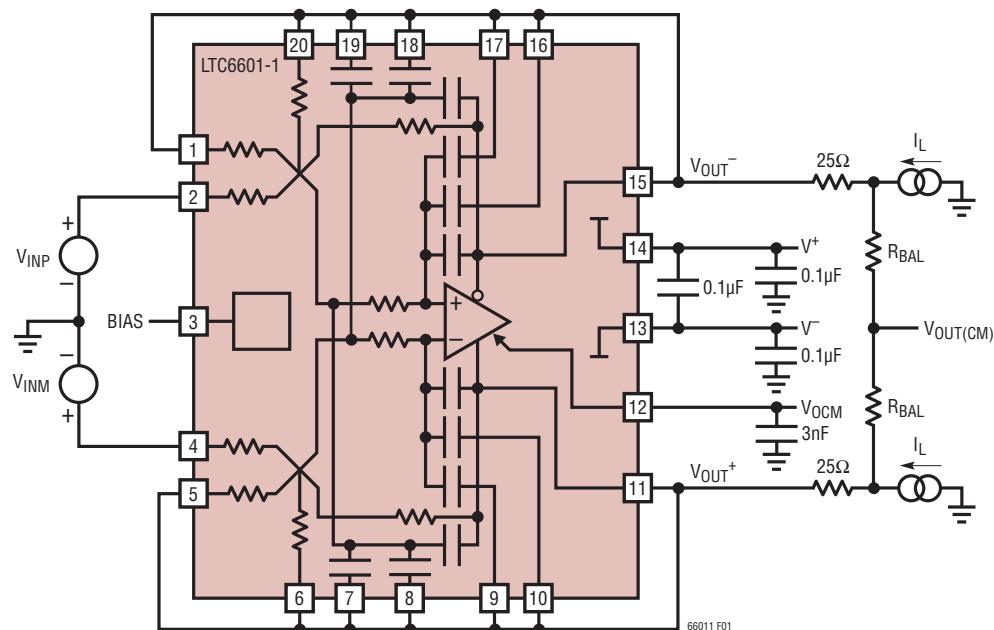


図1. DCテスト回路

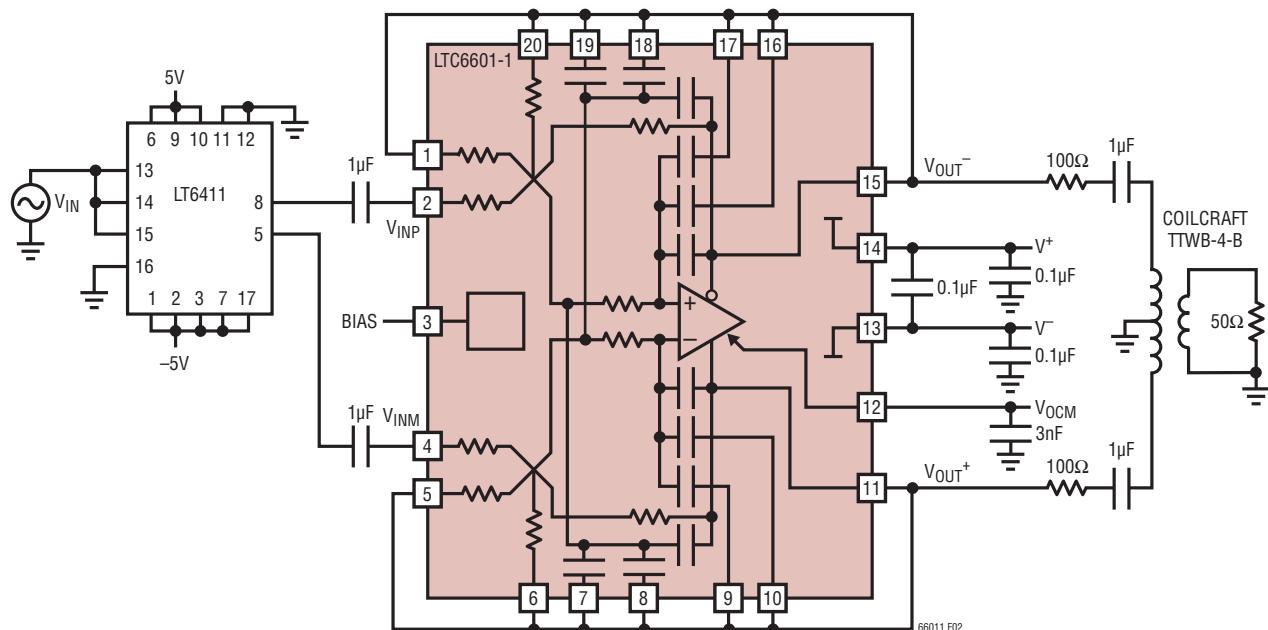


図2. ACテスト回路(周波数応答テスト)

## アプリケーション情報

### 機能の概要

LTC6601は高周波数の完全差動フィルタ機能の実装を非常に簡単にするように設計されています。非常にノイズの低いアンプを8個の整合した精密抵抗と12個の整合した精密コンデンサが取り囲んでいるので、可能な組合せと想像力によってだけ制限される無数のフィルタ伝達関数をハードワイヤ接続ピンによって構成することができます。アンプ自体は、高精度出力位相バランス調整付き、広帯域、低ノイズ、低歪みの完全差動アンプです。低電圧、単一電源、差動入力のA/Dコンバータ(ADC)のドライブ用に最適化されています。LTC6601の出力はわずか2.7Vの電源でもレール・トゥ・レールで振幅可能なので、グランド基準のシングルエンド信号をV<sub>OCM</sub>基準の差動信号に変換するのに最適です。出力が1つの従来のオペアンプとは異なり、LTC6601は2つの出力を備えており、信号を差動で処理します。このため、シングルエンド出力のアンプに比べると、低電圧システムで2倍の信号振幅が可能です。アンプおよび周囲の整合した部品のバランスのとれた差動特性により、偶数次高調波歪みがキャンセルされ、(電源ノイズのような)同相ノイズの影響を受けにくくなります。LTC6601は、シングルエンド入力から差動出力へのアンプとして、または差動入力から差動出力へのアンプとして使うことができます。

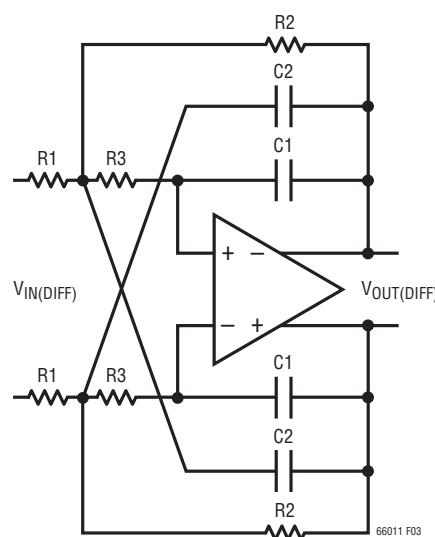
基本となるフィルタ・アーキテクチャを図3に示します。2次ローパス・フィルタのV<sub>INDIFF</sub>からV<sub>OUTDIFF</sub>へのラプラス変換関数は、一般化された次式によって与えられます。

$$\frac{V_{\text{OUTDIFF}}}{V_{\text{INDIFF}}} = \frac{\text{Gain}}{1 + \frac{s}{2\pi f_0 \cdot Q} + \frac{s^2}{(2\pi f_0)^2}}$$

フィルタの利得とQの両方が部品の値の比に基づいており、それらは全温度範囲にわたって非常に良く整合し、トラッキングします。フィルタのコーナー周波数はRC積の関数です。RC積は±1%(標準)までトリミングされており、全温度範囲(-40°C ~85°C)にわたって公称値から±1%を超えてドリフトすることはない予想されます。その結果、タイトな大きさ、位相許容差および再現性を備えた完全に差動のフィルタが実現されます。

図3は差動入力を示唆していますが、LTC6601はどちらの入力にもシングルエンド入力を容易に受け入れ、信号を差動形式で出力に忠実に複製します。

LTC6601の(2つの出力電圧の平均として定義された)出力同相電圧は入力同相電圧とは関係なく、V<sub>OCM</sub>ピンに電圧を印加することによって調整されます。このピンをオープンにしておくと、内蔵されている抵抗分圧器により、V<sup>+</sup>ピンとV<sup>-</sup>ピンの中点の電位が発生します。



$$f_0 = \frac{1}{2\pi\sqrt{R2 \cdot R3 \cdot C1 \cdot C2}}$$

$$Q = \sqrt{\frac{C2 \cdot R3}{C1 \cdot R2}} \cdot \frac{1}{1 + (1 + |\text{GAIN}|) \cdot \frac{R3 - C2}{R2 - C1}}$$

$$\text{GAIN} = \frac{R2}{R1}$$

$$f_{3\text{dB}} = \frac{f_0 \cdot \sqrt{(6089 \cdot \sqrt{(3568 \cdot Q^4 - 1788 \cdot Q^2 + 447)} + 1.287 \cdot 10^5 \cdot (2 \cdot Q^2 - 1)})}{507.6 \cdot Q}$$

$$Q = \frac{0.2236 \cdot f_0 \cdot \sqrt{(2.109 \cdot 10^5 \cdot \sqrt{(9.891 \cdot 10^{12} \cdot f_{3\text{dB}}^4 - 5.486 \cdot 10^9 \cdot f_0^4)} + 120 \cdot (5.526 \cdot 10^9 \cdot f_{3\text{dB}}^2 + 3.082 \cdot 10^6 \cdot f_0^2)})}{\sqrt{(16 \cdot f_0^2 \cdot (8.29 \cdot 10^9 \cdot f_{3\text{dB}}^2 + 4.127 \cdot 10^9 \cdot f_0^2) - 6.638 \cdot 10^{10} \cdot f_{3\text{dB}}^4)}}$$

図3. 基本フィルタのトポロジーと式

## アプリケーション情報

このピンが低インピーダンスのグランド・プレーンに直接配線されないときは、高品質のセラミック・コンデンサを使ってV<sub>OCM</sub>ピンを低インピーダンスのグランド・プレーンにバイパスします（「レイアウトに関する検討事項」を参照）。LTC6601の内部同相帰還経路により、精確な出力位相バランス調整が強制され、偶数次高調波が減少し、それぞれの出力がV<sub>OCM</sub>ピンによって設定される電位を中心にして設定されます。

$$V_{OUTCM} = V_{OCM} = \frac{V_{OUT}^+ + V_{OUT}^-}{2}$$

LTC6601の出力(OUT<sup>+</sup>とOUT<sup>-</sup>)はレール・トゥ・レールで振幅することができます。それらは約75mAの電流をソースまたはシンクすることができます。負荷容量は少なくとも25Ωの直列抵抗を使って各出力からデカッピングします。

LTC6601の「電気的特性」の表で入力基準のオフセットが規定されています。この仕様は実際にはオフセット・バイアス電流(I<sub>OS</sub>)による電圧オフセットとアンプの電圧オフセットを1つの仕様にまとめています。この仕様を出力を基準にして表すには、単にこの仕様にLTC6601が構成設定されているノイズ利得を掛けます。

$$V_{OSODIFF} = 1 + 利得$$

ここで、利得は特定のフィルタ・アプリケーションの閉ループ利得です。

$$利得 = \frac{R2}{R1}$$

### 部品入力ピンの保護

LTC6601のV<sup>+</sup>とV<sup>-</sup>以外の全てのピンは、どちらかの電源へのステアリング・ダイオードによって保護されています。ピンが電源レールを超えてドライブされる場合、超過電流を10mAより低く制限してデバイスへの損傷を防ぎます。

### BIASピン

LTC6601にはBIASピン(ピン3)があり、LTC6601の性能と電力の両方を調節する働きをします。このピンは、V<sup>-</sup>電源の1.15V上の電位の電圧源へのテブナン等価インピーダンスが約150kΩです。このピンはV<sup>-</sup>を基準にした固定ロジック・レベル（「電気的特性」の表を参照）を備えており、その等価入力イ

ンピーダンスと等価入力電圧に注意して、外部ソースでドライブすることができます。BIASピンをフロートさせる場合、このピンへの外部リーク電流を1μA未満に抑えてLTC6601が望ましくない状態になるのを防ぐように注意します。

BIASを正電源に接続すると、LTC6601差動フィルタは完全にアクティブ状態になり、最高性能(最低のノイズと最低の歪み)に構成設定されます。BIASピンがフロート状態または未接続だと、LTC6601フィルタは完全にアクティブ状態になり、アンプの電流が減少し、性能が下げられて電力消費が抑えられます。BIASピンが最も負の電源(V<sup>-</sup>)に接続されると、LTC6601は低電力シャットダウン・モードになり、アンプの出力はディスエーブルされます。この状態では、LTC6601には約350μA流れます。

低電力シャットダウン時、全ての内部バイアス電流源はオフし、出力ピンのOUT<sup>+</sup>とOUT<sup>-</sup>はそれぞれ非線形コンデンサが並列に接続されたオープン・コレクタ、およびどちらの電源にも接続されたステアリング・ダイオードとして現れます。各状態間のターンオンおよびターンオフの時定数は0.4μsの程度です。この関数を使って出力を一緒にワイヤOR接続することを推奨します。

### 一般的な設計と使用法

集積化のレベルが上がり、それに応じてシステムの電源電圧が下がるにつれ、高い信号対雑音比を維持するため、信号を差動で処理するADCが必要になってきました。これらのADCは一般にわずか3V(最小2.7V)の単一の電源電圧で動作し、電源の中点近くで同相入力範囲が最適になります。LTC6601は、アンチエイリアス・フィルタ、シングルエンドから差動への変換、および同相レベルのシフト(変換)を与えるので、これらのADCへのインターフェースが非常に簡単になります。この一般的な応用例を図3に示します。VINからV<sub>OUTDIFF</sub>への低周波利得は単に次のとおりです。

$$V_{OUTDIFF} = V_{OUT}^+ - V_{OUT}^- \approx \frac{R2}{R1} \cdot V_{INDIFF}$$

差動出力電圧(V<sub>OUT</sub><sup>+</sup>-V<sub>OUT</sub><sup>-</sup>)は、入力と出力の同相電圧(つまり同相ピンの電圧)から完全に独立しています。

## アプリケーション情報

このため、LTC6601は、差動入力のADCをドライブするための、前段増幅、レベルシフトおよびシングルエンド信号から差動出力信号への変換に最適です。

### 入力インピーダンス

LTC6601の低周波入力インピーダンスは、入力のドライブ方法（シングルエンドまたは差動のどちらのソースでドライブされるか）に依存します。

LTC6601の簡略化した低周波等価回路を図4に示します。バランスのとれた入力ソース( $V_{INP} = -V_{INM}$ )の場合、低周波入力インピーダンスは次式で与えられます。

$$R_{INP} = R_{INM} = R1$$

差動入力インピーダンスは単に次のようにになります。

$$R_{INDIFF} = 2 \cdot R1$$

シングルエンド入力( $V_{INM} = 0$ )では、バランスのとれた差動の場合に比べて入力インピーダンスが実際には増加します。これは、(R1、R2およびR3の結合部)の加算ノードが $V_{INP}$ に伴って移動し、入力インピーダンスをブーストストラップするためです。図4を参照すると、 $V_{INM} = 0$ では、どちらの入力を見込む入力インピーダンスも次のようにになります。

$$R_{INP} = R_{INM} \frac{R1}{\left(1 - \frac{1}{2} \cdot \left(\frac{R2}{R1+R2}\right)\right)}$$

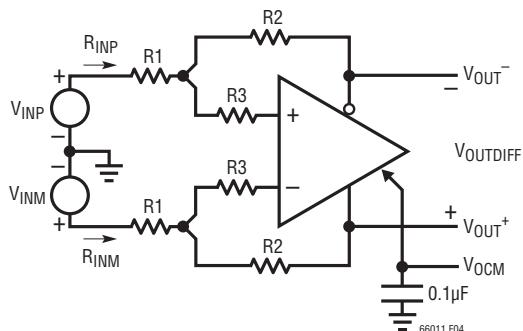


図4. 入力インピーダンス

### 入力と出力の同相電圧範囲

入力同相電圧は次のように2つの入力の平均として定義されています。

$$V_{INCM} = \frac{V_{INP} + V_{INM}}{2}$$

入力同相範囲の下限は入力のESD保護ダイオードによって支配されます。入力を $V^-$ より下に振幅させることは可能ですが、入力が $V^-$ よりダイオードの電圧降下だけ下に引き下げられるとダイオードが導通します。入力同相範囲の上限は、フィルタの構成設定(GAIN)、 $V_{OCM}$ の電位、および入力がシングルエンドと差動のどちらであるかに依存して変化します。同相範囲の上限を超えることは可能ですが、そうするとフィルタの直線性が低下します。図4を参照して、リニア動作の場合、R1、R2およびR3が一緒に接続される加算ノードが $V^+$ 電源の1.4V以内に振幅しないようにします。

一般には、入力同相電圧の上限は次のように制限します。

$$V_{OCM} \cdot \frac{R1}{R1+R2} + V_{INCM} \cdot \frac{R2}{R1+R2} \leq V^+ - 1.4V$$

または、等価的に次のようにになります。

$$V_{INCM} \leq \left(1 + \frac{R1}{R2}\right)(V^+ - 1.4V) - \frac{R1}{R2} \cdot V_{OCM}$$

入力同相範囲( $V_{INCMR}$ )の仕様は、 $R1 = R2 = 100\Omega$ 、および $V_{OCM}$  = 電源の中点の、これらの制約に基づいています。単一3V電源( $V^+ = 3V$ 、 $V^- = 0V$ )、 $V_{OCM} = 1.5V$ 、および $R1 = R2 = 100\Omega$ の数値を上式に代入すると、入力同相範囲( $V_{INCMR}$ )は以下の2つのリミットの間になります。

$$0V \leq V_{INCM} \leq 1.7V$$

これは、3V電源に対して規定されているとおりです。

## アプリケーション情報

同様に、単一5V電源( $V^+ = 5V$ 、 $V^- = 0V$ )、 $V_{OCM} = 2.5V$ 、および $R1 = R2 = 100\Omega$ の数値を上式に代入すると、入力同相範囲( $V_{INCMR}$ )は以下の2つのリミットの間になります。

$$0V \leq V_{INCMR} \leq 4.7V$$

出力同相電圧は次のように2つの出力の平均として定義されています。

$$V_{OUTCM} = V_{OCM} = \frac{V_{OUT}^+ + V_{OUT}^-}{2}$$

内部で $V_{OUT}^+ = -V_{OUT}^-$ に強制する内部同相帰還ループによって、 $V_{OCM}$ ピンはこの平均を設定します。出力同相範囲は $V^-$ の1.1V上から $V^+$ の1V下まで伸びています。 $V_{OCM}$ ピンは、(電源の中点の既定開放回路電位を設定する)分圧器の中点に位置します。

LTC6601を使ってADCにインターフェースする单一電源のアプリケーションでは、ADCへの最適同相入力は、多くの場合ADCのリファレンスによって定まります。ADCのリファレンスを入力同相電圧を設定するために使える場合、それを $V_{OCM}$ ピンに直接接続することができますが、 $V_{OCM}$ ピンの入力イン

ピーダンス( $R_{VOCM}$ )をドライブする能力が必要です。このインピーダンスは電源の中点の電位に接続されると想定することができます。外部リファレンスで $V_{OCM}$ ピンをドライブする場合、熱雑音を除去し、このピンの同相信号が意図せず差動信号に変換されるのを防ぐため、高品質の0.01 $\mu F$ 以上のコンデンサを使ってこのピンを低インピーダンスのグランド・ブレーンにバイパスします。

### ノイズに関する検討事項

LTC6601のノイズを他のアンプと比べるとき、必ず同様の仕様を比べてください。競合製品は多くの場合アンプの入力を基準にしたノイズを規定しています。LTC6601-1の入力を基準にした電圧ノイズは $2.1nV/\sqrt{Hz}$ です。このレベルは、このスピードと電力の範囲のアンプで与えられている最低のレベルの1つです。

アンプによって発生するノイズに加えて、周囲の帰還抵抗もノイズに寄与します。ノイズ・モデルを図5に示します。アンプと帰還部品の両方によって発生する出力スポットノイズは次式によって支配されます。

$$e_{no} = \sqrt{\left(e_{ni} \cdot \left(1 + \frac{R2}{R1}\right)\right)^2 + 2 \cdot \left(I_n^2 \cdot \left(R2^2 + R3^2 \cdot \left(1 + \frac{R2}{R1}\right)^2\right)\right) + 2 \cdot \left(e_{nR1} \cdot \left(\frac{R2}{R1}\right)\right)^2 + 2 \cdot \left(e_{nR3} \cdot \left(1 + \frac{R2}{R1}\right)\right)^2 + 2 \cdot e_{nR2}^2}$$

抵抗のジョンソン・ノイズの式( $e_{nR}^2 = 4kTR$ )を代入して整理すると、次のようになります。

$$e_{no} = \sqrt{\left(e_{ni} \cdot \left(1 + \frac{R2}{R1}\right)\right)^2 + 2 \cdot \left(I_n^2 \cdot \left(R2^2 + R3^2 \cdot \left(1 + \frac{R2}{R1}\right)^2\right)\right) + 8 \cdot k \cdot T \left(R2 \left(1 + \frac{R2}{R1}\right) + R3 \left(1 + \frac{R2}{R1}\right)^2\right)}$$

## アプリケーション情報

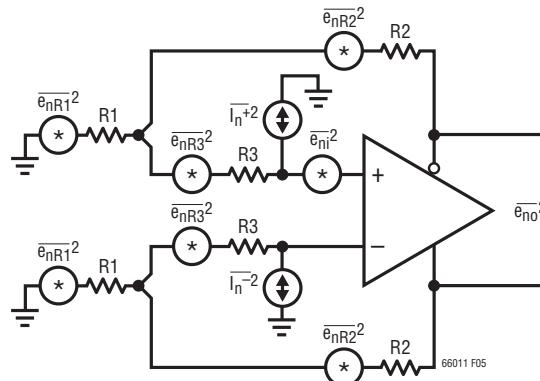


図5. LTC6601の差動ノイズ・モデル

LTC6601のアンプの入力を基準にしたノイズを表1に示します。表2～表10には、LTC6601-1の一般的構成のデバイスの入力ピンを基準にしたノイズを示します。入力のスポットノイズを求めるには、単にノイズに利得 =  $R_2/R_1$ を掛けます。出力での積分ノイズを推算するには、ノイズに利得を掛け、ノイズ帯域幅の平方根を掛けます。ノイズ帯域幅はフィルタの構成設定に依存します。図2では、ノイズ帯域幅は100MHz、つまりフィルタの帯域幅の約7倍です。出力に追加のRCフィルタを追加して、ADCに与える前に帯域の広いノイズの帯域を制限することにより、SNRを改善することができます。詳細については、「ADCコンバータへのLTC6601のインターフェース」のセクションを参照してください。

表1. LTC6601-1のアンプの(入力を基準にした)ノイズの特性

バイアス・ピンはV <sup>+</sup> に接続	BIASピンはフロート状態		
e <sub>nj</sub> nV/√Hz	i <sub>n</sub> pA/√Hz	e <sub>nj</sub> nV/√Hz	i <sub>n</sub> pA/√Hz
2.1	3	2.6	2.1

### レイアウトの検討事項

LTC6601は高速アンプなので、浮遊容量と浮遊インダクタンスの両方に敏感です。電源のバイパスに細心の注意を払うことが重要です。単一電源のアプリケーションでは、高品質の0.1μFの表面実装型セラミック・バイパス・コンデンサをピン14とピン13の間に短くまっすぐなトレースで接続することを推奨します。ピン13と露出パッド(ピン21)は、低インピーダンスのグランド・プレーンに最短の配線で直接接続します。両電源では、追加の高品質の0.1μFのセラミック・コンデンサを使って、

V<sup>+</sup>とV<sup>-</sup>をそれぞれグランドに最短の配線でバイパスすることを推奨します。大きな差動負荷(< 200Ω)をドライブする場合、最適性能のため、V<sup>+</sup>とV<sup>-</sup>の間に追加のバイパス容量が必要になることがあります。サイズの小さな(たとえば、0603)表面実装型セラミック・コンデンサの自己共振周波数はリード付きコンデンサよりはるかに高く、高速アプリケーションで最良の性能を発揮することに注意してください。

V<sub>O</sub>C<sub>M</sub>ピンは0.01μFを超える高品質セラミック・バイパス・コンデンサを使って直接短い接続でグランドにバイパスします。両電源のアプリケーションでは、V<sub>O</sub>C<sub>M</sub>ピンはグランドにバイパスするか、または直接グランドにハードワイヤ接続します。V<sub>O</sub>C<sub>M</sub>ピンの出力同相範囲の仕様に違反しないように注意します。

フィルタ特性を設定する部品の未使用ピンの浮遊寄生容量を最小に抑えます。これにより、理想周波数応答からの変動が防がれます。理想的なレイアウト手法として、未使用ピンの半田パッドを除去し、これらのピンの下のグランド・プレーンを剥ぎ取って、容量を全くの最小に抑えます。フィルタ特性を設定する部品の未使用ピンをフロートさせても、LTC6601の信頼性は低下しません。

出力では、LTC6601は本来的に差動であり、両方の出力から見た(浮遊または意図された)負荷インピーダンスができるだけバランスさせ、対称にすることが重要であることに注意してください。こうすると、LTC6601の本来のバランスを維持するのに役立ち、偶数次高調波の発生が最小に抑えられ、同相信号とノイズの除去性能が保たれます。

## アプリケーション情報

### ADCコンバータへのLTC6601のインターフェース

LTC6601はレール・トゥ・レール差動出力であり、出力同相電圧を調節可能なので、低電圧单一電源で動作する差動入力ADCへのインターフェースに最適です。ADCのサンプリング・プロセスでは、ADCのサンプリング・コンデンサのスイッチングによるサンプリング過渡が生じます。このサンプリング・コンデンサのスイッチングは、電荷がアンプとサンプリング・コンデンサの間で転送されるとき、アンプの出力を短時間「短絡」します。入力信号を有効に表わすため、アンプはこの収集時間が終了する前にこの負荷過渡から回復し、セトリングする必要があります。LTC6601は2Vの入力ステップからよりもこれらの周期的負荷インパルスからはるかに速くセトリングしますが、LTC6601の出力の後にRCネットワークを追加して、ADCのサンプリング過渡をデカップリングするのは良いアイデアです(図6を参照)。デカップリング・ネットワークの容量はサンプリング・プロセスの間に電荷の大半を供給するのに役立ち、フィルタの2個の抵抗はADCによって生じる過渡を弱め、減衰させるのに使われます。ADCのサンプリング帯域幅は多くの場合はLTC6601の帯域幅よりはるかに大きいので、このディスクリートRCフィルタは広帯域出力ノイズの帯域を制限する追加の利点を与えます。

RCの時定数の選択は与えられたADCに対して試行錯誤を通して行われますが、以下のガイドラインを推奨します。LTC6601のカットオフ周波数より大きなRCポール周波数を選択します。広帯域ノイズをフィルタするには80MHzのRCフィルタで十分です。低周波RCフィルタはセトリング時間を代価にしてSNRを改善します。デカップリング・ネットワークの抵抗は少なくとも $25\Omega$ にします。デカップリング・ネットワークの抵抗が大きすぎると、セトリング時間が不十分になり、ADCのダイナミック入力インピーダンスとデカップリング抵抗の間に分圧器が作られます。不十分な抵抗を使うと、サンプリング・プロセスによって生じる負荷過渡を適切に弱めることが妨げられセトリングに必要な時間が長くなることがあります。16ビットのアプリケーションでは、これには一般に最小でも11RC時定数が必要です。誘電吸収の低いコンデンサ(C0G多層セラミック・コンデンサなど)を選択することを推奨します。

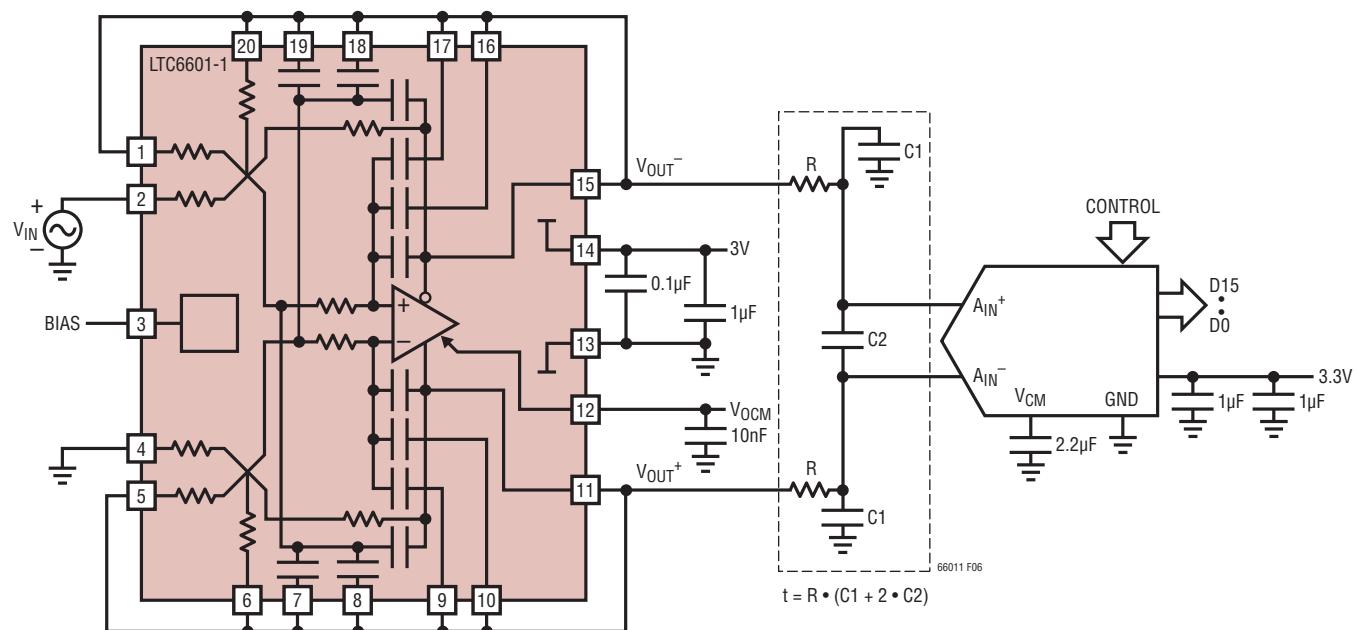


図6. A/DコンバータへのLTC6601のインターフェース

## アプリケーション情報

### 基本フィルタ・トポロジーのギャラリー

LTC6601を使って簡単に実現できる100種類の可能なフィルタ・トポロジーを(利得に従って並べて)表2～表10に示します。入力抵抗R1(BIASピンはV<sup>+</sup>にプルアップ)を基準にした、LTC6601-1のおよそのミッドバンド(1MHz)スポット・ノイズe<sub>in</sub>も表に示されています。これらのトポロジーの利得は1V/V～

7V/Vです。示されているQは0.54～1.72の範囲内です。示されているf<sub>0</sub>は6.96MHz～22.71MHzの範囲で、示されている-3dB周波数は5.5MHz～27.5MHzの範囲です。示されている全てのフィルタでR3 = 125Ωです。各フィルタ構成のピン・ストラップ接続を図7～図10に示します。

表2. 利得が7のフィルタ構成

GAIN		f <sub>0</sub> (MHz)	f <sub>-3dB</sub> (MHz)	Q	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)	e <sub>in</sub> (nV/√Hz)
V/V	dB								
7.0	16.902	10.38	7.43	0.539	57.14	400.00	48.2	97.6	3.7
7.0	16.902	9.57	10.36	0.771	57.14	400.00	48.2	114.8	3.7
7.0	16.902	8.96	12.10	1.175	57.14	400.00	48.2	130.9	3.7
7.0	16.902	8.12	7.49	0.656	57.14	400.00	58.75	130.9	3.7

表3. 利得が6のフィルタ構成

GAIN		f <sub>0</sub> (MHz)	f <sub>-3dB</sub> (MHz)	Q	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)	e <sub>in</sub> (nV/√Hz)
V/V	dB								
6.0	15.563	10.38	10.03	0.684	66.67	400.00	48.2	97.6	3.8
6.0	15.563	9.57	12.52	1.071	66.67	400.00	48.2	114.8	3.8
6.0	15.563	8.67	7.67	0.634	66.67	400.00	58.75	114.8	3.8
6.0	15.563	8.12	9.59	0.870	66.67	400.00	58.75	130.9	3.8
6.0	15.563	7.47	6.07	0.592	66.67	400.00	69.3	130.9	3.8

表4. 利得が5のフィルタ構成

GAIN		f <sub>0</sub> (MHz)	f <sub>-3dB</sub> (MHz)	Q	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)	e <sub>in</sub> (nV/√Hz)
V/V	dB								
5.0	13.979	11.36	9.67	0.614	80.00	400.00	48.2	81.5	4.0
5.0	13.979	10.38	12.78	0.936	80.00	400.00	48.2	97.6	4.0
5.0	13.979	9.40	7.67	0.594	80.00	400.00	58.75	97.6	4.0
5.0	13.979	8.67	10.07	0.849	80.00	400.00	58.75	114.8	4.0
5.0	13.979	8.12	11.25	1.290	80.00	400.00	58.75	130.9	4.0
5.0	13.979	7.98	6.46	0.591	80.00	400.00	69.3	114.8	4.0
5.0	13.979	7.47	8.16	0.779	80.00	400.00	69.3	130.9	4.0
5.0	13.979	6.96	5.50	0.579	80.00	400.00	79.85	130.9	4.0

## アプリケーション情報

表5. 利得が4のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ MHz	Q	$R1$ ( $\Omega$ )	$R2$ ( $\Omega$ )	$C1$ (pF)	$C2$ (pF)	$e_{in}$ (nV/ $\sqrt{Hz}$ )
V/V	dB								
4.0	12.041	11.36	13.05	0.834	100.00	400.00	48.2	81.5	4.2
4.0	12.041	10.38	14.80	1.480	100.00	400.00	48.2	97.6	4.2
4.0	12.041	9.40	10.47	0.799	100.00	400.00	58.75	97.6	4.2
4.0	12.041	8.67	12.00	1.284	100.00	400.00	58.75	114.8	4.2
4.0	12.041	8.65	6.76	0.575	100.00	400.00	69.3	97.6	4.2
4.0	12.041	7.98	8.84	0.794	100.00	400.00	69.3	114.8	4.2
4.0	12.041	7.43	6.09	0.596	100.00	400.00	79.85	114.8	4.2
4.0	12.041	7.47	10.00	1.141	100.00	400.00	69.3	130.9	4.2
4.0	12.041	6.96	7.57	0.775	100.00	400.00	79.85	130.9	4.2

表6. 利得が3のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ (MHz)	Q	$R1$ ( $\Omega$ )	$R2$ ( $\Omega$ )	$C1$ (pF)	$C2$ (pF)	$e_{in}$ (nV/ $\sqrt{Hz}$ )
V/V	dB								
3.0	9.542	16.06	12.36	0.568	66.67	200.00	48.2	81.5	4.3
3.0	9.542	14.68	15.74	0.763	66.67	200.00	48.2	97.6	4.3
3.0	9.542	13.53	17.83	1.091	66.67	200.00	48.2	114.8	4.3
3.0	9.542	13.29	9.88	0.554	66.67	200.00	58.75	97.6	4.3
3.0	9.542	12.26	12.39	0.715	66.67	200.00	58.75	114.8	4.3
3.0	9.542	11.36	15.77	1.300	133.33	400.00	48.2	81.5	4.6
3.0	9.542	11.48	14.07	0.928	66.67	200.00	58.75	130.9	4.3
3.0	9.542	11.29	8.34	0.552	66.67	200.00	69.3	114.8	4.3
3.0	9.542	10.29	11.04	0.763	133.33	400.00	58.75	81.5	4.6
3.0	9.542	10.57	10.06	0.674	66.67	200.00	69.3	130.9	4.3
3.0	9.542	9.40	12.85	1.224	133.33	400.00	58.75	97.6	4.6
3.0	9.542	8.65	9.54	0.788	133.33	400.00	69.3	97.6	4.6
3.0	9.542	8.06	6.69	0.601	133.33	400.00	79.85	97.6	4.6
3.0	9.542	7.98	10.88	1.212	133.33	400.00	69.3	114.8	4.6
3.0	9.542	7.43	8.48	0.825	133.33	400.00	79.85	114.8	4.6
3.0	9.542	6.96	9.40	1.172	133.33	400.00	79.85	130.9	4.6
3.0	9.542	9.85	7.13	0.544	66.67	200.00	79.85	130.9	4.3

# LTC6601-1

## アプリケーション情報

表7. 利得が2のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ (MHz)	Q	R1 ( $\Omega$ )	R2 ( $\Omega$ )	C1 (pF)	C2 (pF)	$e_{in}$ (nV/ $\sqrt{\text{Hz}}$ )
V/V	dB								
2.0	6.021	16.06	18.95	0.868	100.00	200.00	48.2	81.5	5.0
2.0	6.021	14.55	12.69	0.626	100.00	200.00	58.75	81.5	5.0
2.0	6.021	14.68	20.46	1.323	100.00	200.00	48.2	97.6	5.0
2.0	6.021	13.29	15.34	0.840	100.00	200.00	58.75	97.6	5.0
2.0	6.021	12.24	10.96	0.640	100.00	200.00	69.3	97.6	5.0
2.0	6.021	12.26	16.66	1.200	100.00	200.00	58.75	114.8	5.0
2.0	6.021	11.29	12.98	0.835	100.00	200.00	69.3	114.8	5.0
2.0	6.021	10.29	13.97	1.197	200.00	400.00	58.75	81.5	5.5
2.0	6.021	10.51	9.76	0.660	100.00	200.00	79.85	114.8	5.0
2.0	6.021	10.57	13.97	1.102	100.00	200.00	69.3	130.9	5.0
2.0	6.021	9.47	10.52	0.796	200.00	400.00	69.3	81.5	5.5
2.0	6.021	9.85	11.17	0.819	100.00	200.00	79.85	130.9	5.0
2.0	6.021	8.82	7.55	0.616	200.00	400.00	79.85	81.5	5.5
2.0	6.021	8.65	11.91	1.254	200.00	400.00	69.3	97.6	5.5
2.0	6.021	8.06	9.48	0.864	200.00	400.00	79.85	97.6	5.5
2.0	6.021	7.43	10.40	1.341	200.00	400.00	79.85	114.8	5.5

表8. 利得が1.667のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ MHz	Q	R1 ( $\Omega$ )	R2 ( $\Omega$ )	C1 (pF)	C2 (pF)	$e_{in}$ nV/ $\sqrt{\text{Hz}}$
V/V	dB								
1.667	4.437	19.67	19.35	0.696	80.00	133.33	48.2	81.5	5.1
1.667	4.437	17.97	22.12	0.934	80.00	133.33	48.2	97.6	5.1
1.667	4.437	16.57	23.16	1.336	80.00	133.33	48.2	114.8	5.1
1.667	4.437	16.28	15.60	0.679	80.00	133.33	58.75	97.6	5.1
1.667	4.437	15.01	17.80	0.875	80.00	133.33	58.75	114.8	5.1
1.667	4.437	14.33	18.58	1.046	80.00	133.33	58.75	126	5.1
1.667	4.437	13.82	13.19	0.676	80.00	133.33	69.3	114.8	5.1
1.667	4.437	12.94	14.77	0.826	80.00	133.33	69.3	130.9	5.1
1.667	4.437	12.06	11.32	0.666	80.00	133.33	79.85	130.9	5.1

## アプリケーション情報

表9. 利得が1.333のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ MHz	Q	$R1$ ( $\Omega$ )	$R2$ ( $\Omega$ )	$C1$ (pF)	$C2$ (pF)	$e_{in}$ nV/ $\sqrt{\text{Hz}}$
V/V	dB								
1.333	2.499	19.67	22.73	0.841	100.00	133.33	48.2	81.5	5.7
1.333	2.499	17.82	15.77	0.633	100.00	133.33	58.75	81.5	5.7
1.333	2.499	17.97	24.34	1.185	100.00	133.33	48.2	97.6	5.7
1.333	2.499	16.28	18.44	0.818	100.00	133.33	58.75	97.6	5.7
1.333	2.499	14.99	13.58	0.646	100.00	133.33	69.3	97.6	5.7
1.333	2.499	15.01	19.82	1.097	100.00	133.33	58.75	114.8	5.7
1.333	2.499	14.06	20.12	1.506	100.00	133.33	58.75	130.9	5.7
1.333	2.499	13.82	15.61	0.814	100.00	133.33	69.3	114.8	5.7
1.333	2.499	12.88	12.03	0.663	100.00	133.33	79.85	114.8	5.7
1.333	2.499	12.94	16.64	1.025	100.00	133.33	69.3	130.9	5.7
1.333	2.499	12.06	13.45	0.801	100.00	133.33	79.85	130.9	5.7

表10. 利得が1のフィルタ構成

GAIN		$f_0$ (MHz)	$f_{-3dB}$ MHz	Q	$R1$ ( $\Omega$ )	$R2$ ( $\Omega$ )	$C1$ (pF)	$C2$ (pF)	$e_{in}$ nV/ $\sqrt{\text{Hz}}$
V/V	dB								
1.0	0.0	22.71	25.40	0.804	100.0	100.0	48.2	81.5	6.4
1.0	0.0	20.75	27.23	1.079	100.0	100.0	48.2	97.6	6.4
1.0	0.0	20.57	17.86	0.623	100.0	100.0	58.75	81.5	6.4
1.0	0.0	19.14	27.50	1.543	100.0	100.0	48.2	114.8	6.4
1.0	0.0	18.80	20.62	0.784	100.0	100.0	58.75	97.6	6.4
1.0	0.0	17.31	15.35	0.634	100.0	100.0	69.3	97.6	6.4
1.0	0.0	17.33	22.15	1.011	100.0	100.0	58.75	114.8	6.4
1.0	0.0	16.23	22.58	1.312	100.0	100.0	58.75	130.9	6.4
1.0	0.0	15.96	17.45	0.781	100.0	100.0	69.3	114.8	6.4
1.0	0.0	14.55	19.09	1.079	200.0	200.0	58.75	81.5	6.9
1.0	0.0	14.87	13.57	0.650	100.0	100.0	79.85	114.8	6.4
1.0	0.0	14.95	18.59	0.954	100.0	100.0	69.3	130.9	6.4
1.0	0.0	13.39	14.90	0.798	200.0	200.0	69.3	81.5	6.9
1.0	0.0	13.92	15.04	0.769	100.0	100.0	79.85	130.9	6.4
1.0	0.0	12.48	11.38	0.650	200.0	200.0	79.85	81.5	6.9
1.0	0.0	12.24	16.25	1.115	200.0	200.0	69.3	97.6	6.9
1.0	0.0	11.40	13.27	0.850	200.0	200.0	79.85	97.6	6.9
1.0	0.0	11.29	16.47	1.715	200.0	200.0	69.3	114.8	6.9
1.0	0.0	10.51	14.17	1.167	200.0	200.0	79.85	114.8	6.9
1.0	0.0	9.47	13.26	1.350	400.0	400.0	69.3	81.5	7.9
1.0	0.0	8.82	10.86	0.935	400.0	400.0	79.85	81.5	7.9
1.0	0.0	8.06	11.57	1.535	400.0	400.0	79.85	97.6	7.9

# LTC6601-1

## アプリケーション情報

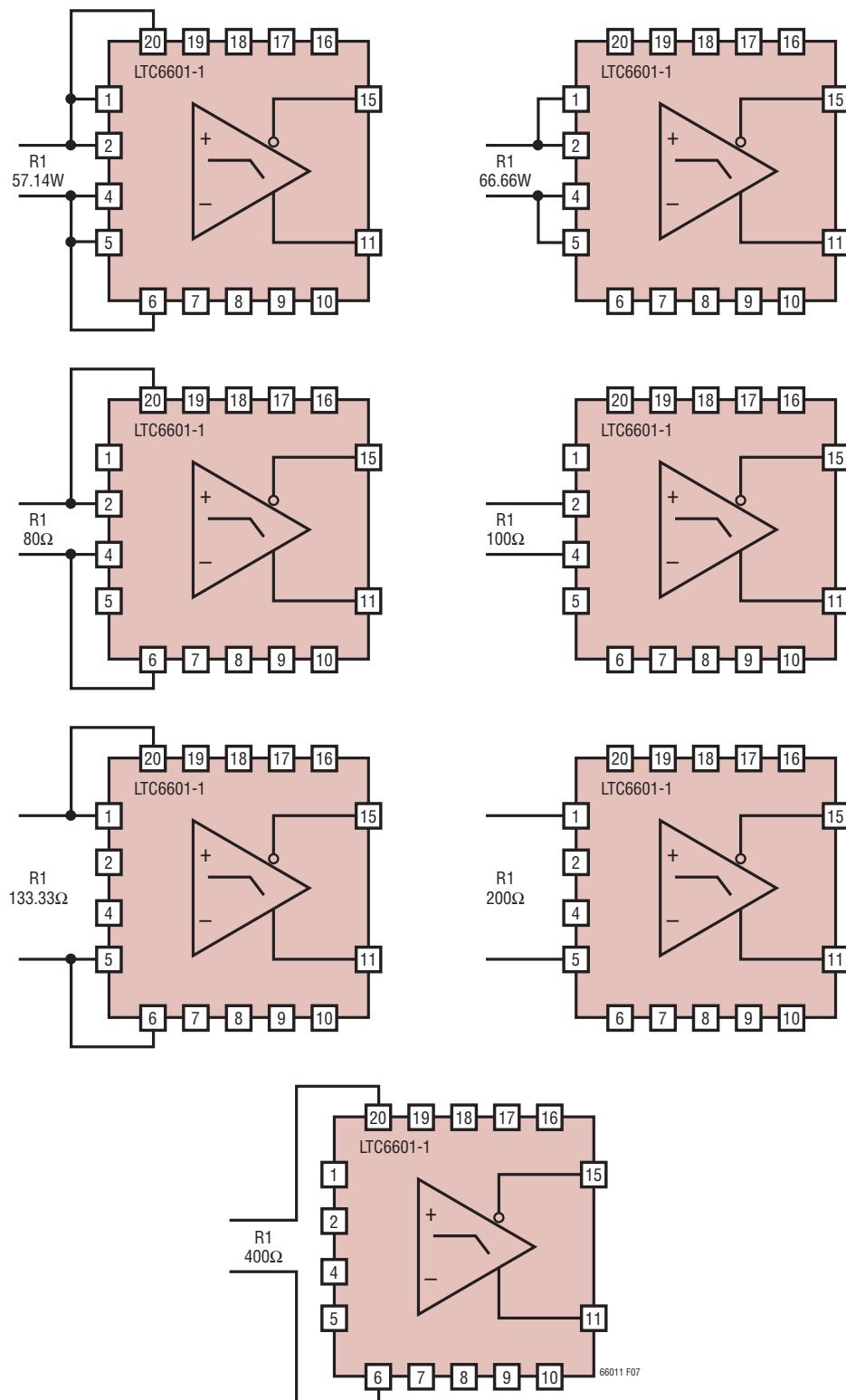


図7. 特定のR1のピン・ストラップ接続

66011f

## アプリケーション情報

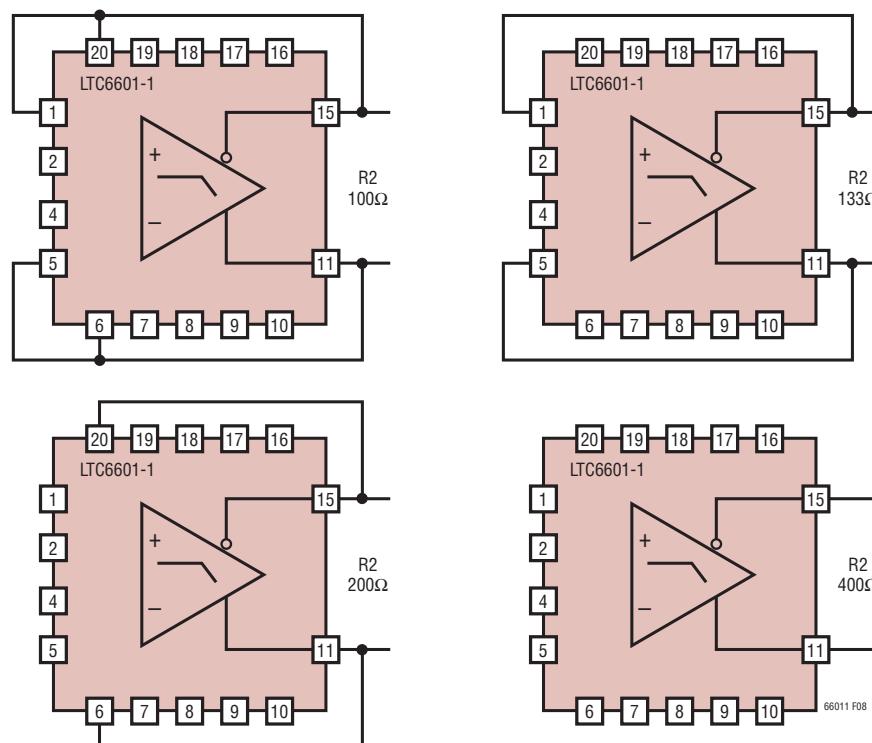


図8. 特定のR2のピン・ストラップ接続

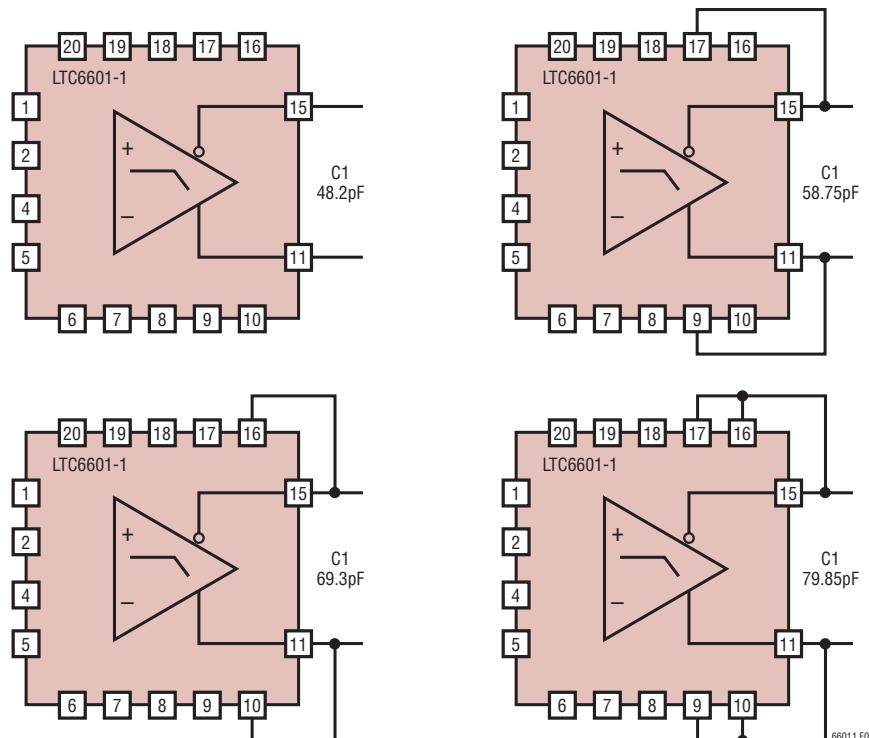


図9. 特定のC1のピン・ストラップ接続

# LTC6601-1

## アプリケーション情報

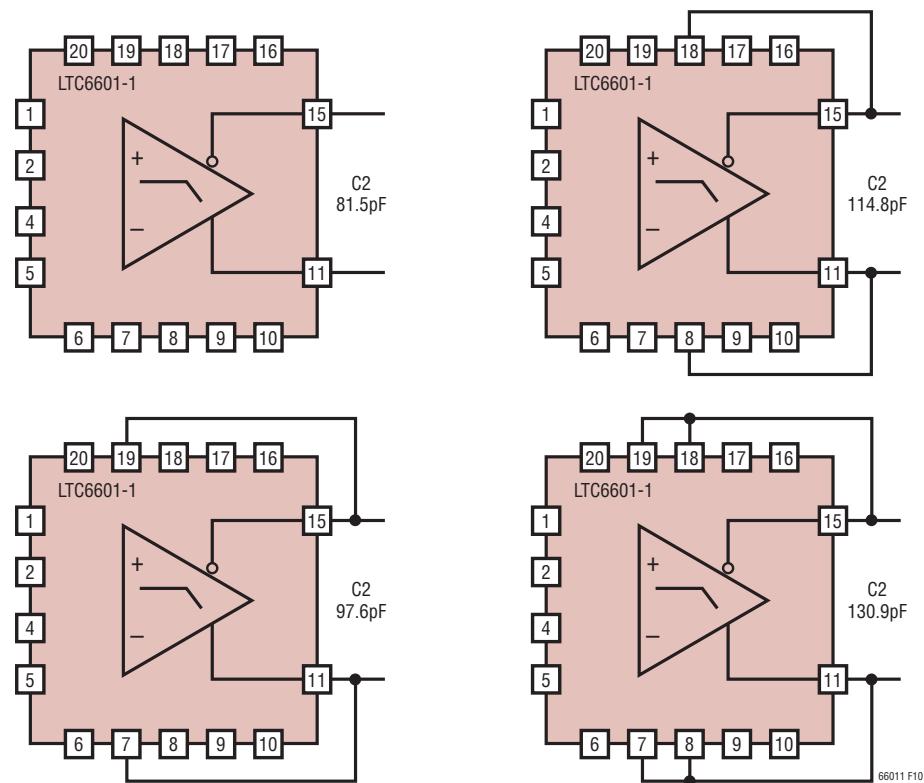


図10. 特定のC2のピン・ストラップ接続

## アプリケーション情報

## 基本的2次フィルタのフィルタ構成例

図11は、表7、表9および表10から選択したフィルタの簡略化した部品の接続方法のいくつかを示しています。簡単にするた

め、VOCMピンのバイパスおよび電源のバイパスは示されていません。

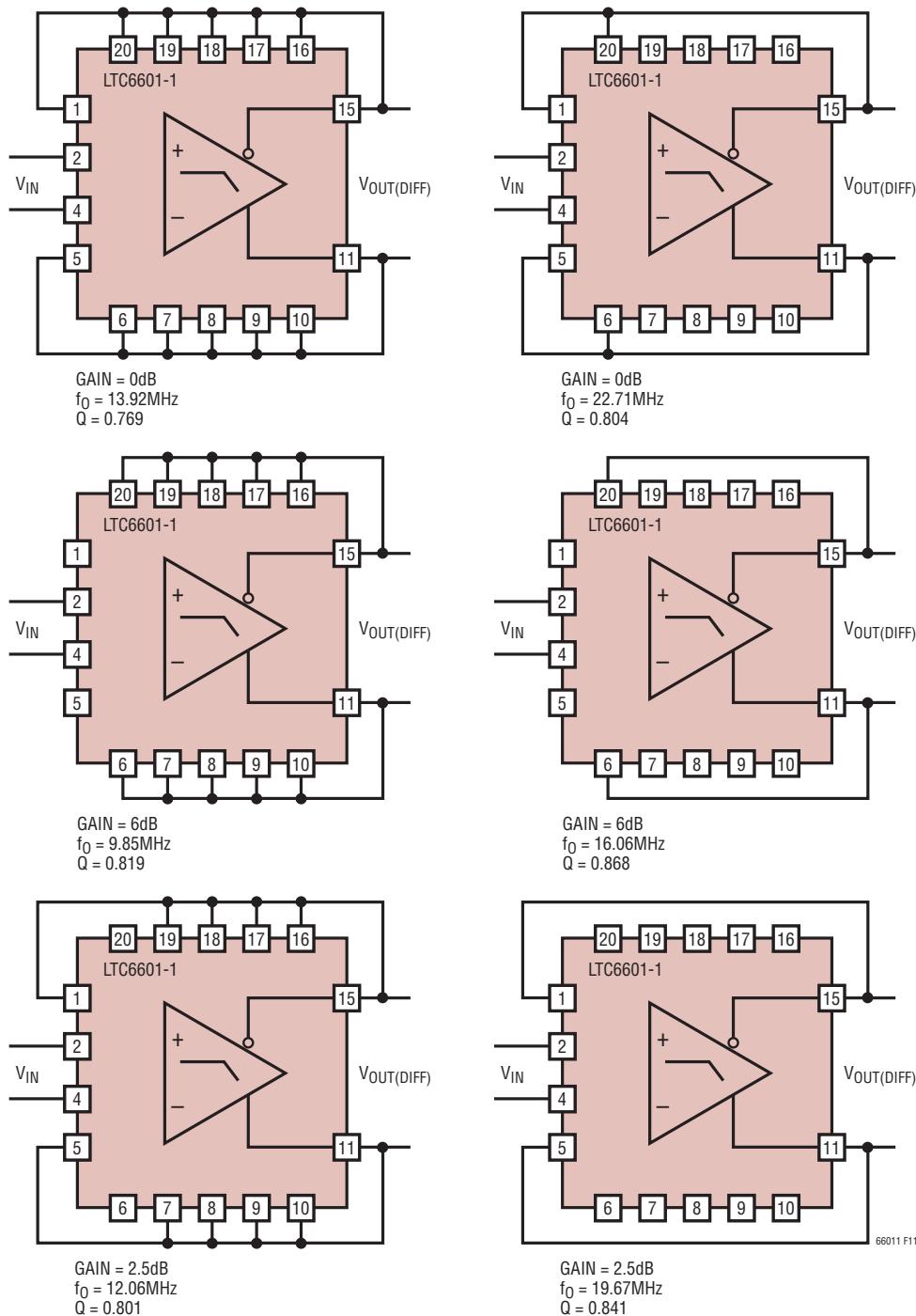


図11. 基本的2次フィルタの構成設定

66011f

# LTC6601-1

## アプリケーション情報

図12は、表4、表5および表6から選択したフィルタの簡略化した部品の接続方法のいくつかを示しています。簡単にするた

め、VOCMピンのバイパスおよび電源のバイパスは示されていません。

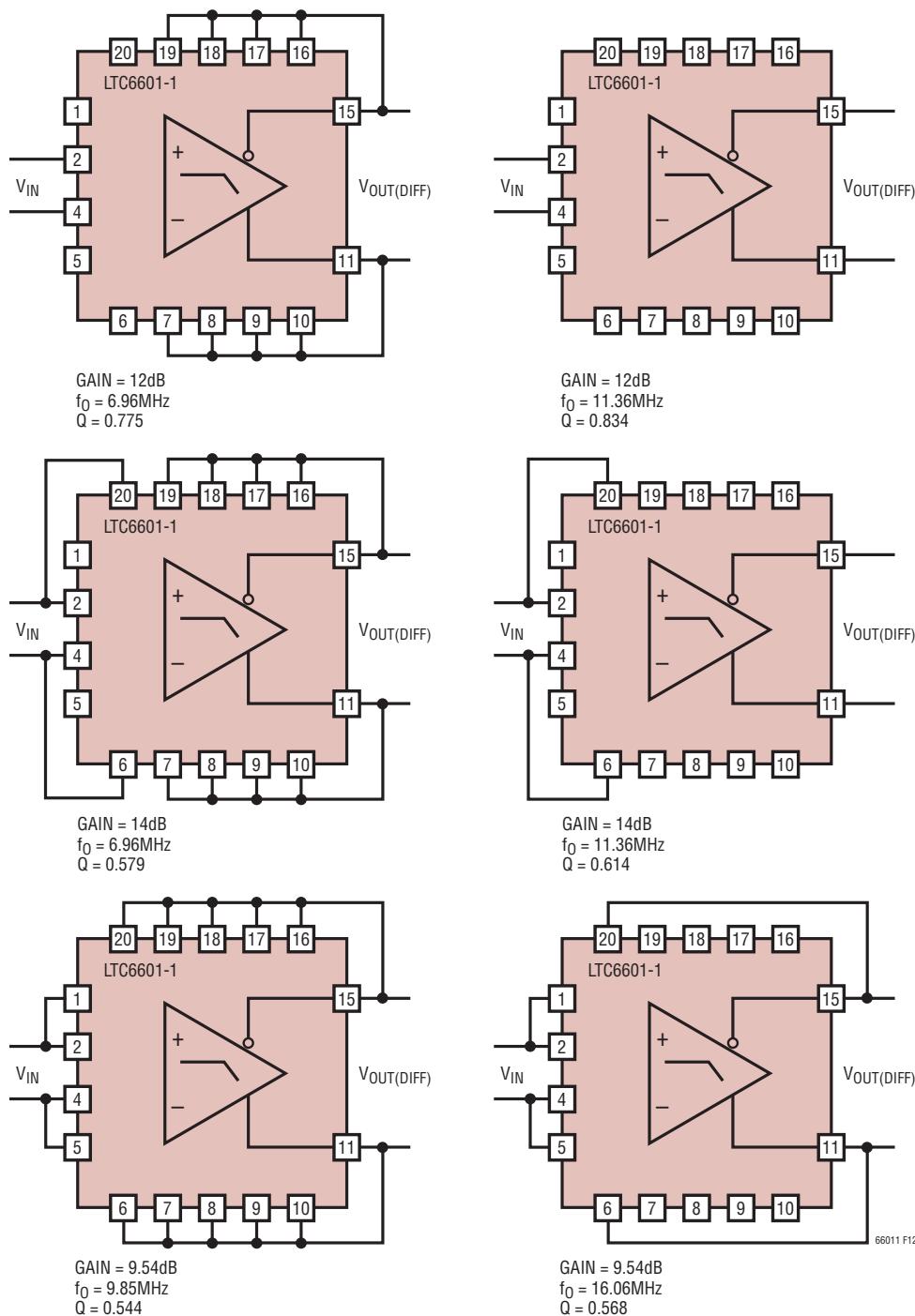


図12. 基本的2次フィルタの構成設定

## アプリケーション情報

### 複雑なフィルタの構成設定

#### 変更を加えた2次ローパス・フィルタのトポロジー

図3の基本的フィルタ・トポロジーは、図13に示されているように変更することができます。図13の回路には2つの加算ノード（抵抗R1、R2およびR3に共通な回路ノード）の間にインピーダンス経路が含まれています。加算ノード間の抵抗やコンデンサはさらに大きな柔軟性を与え、フィルタ・デザインの選択肢を増やします（C3がゼロでR4が無限であると、図13に示されている $f_0$ とQの式は図3の式に整理されます）。

変更された2次フィルタ・トポロジーでは、 $f_0$ の値を変えることなく（R4で）Qの値を設定し、Qの値を変えることなくパスバンドの利得を1より大きくすることができます（図13の式で、分母の因数 $[1+GAIN+2(R2/R4)]$ の値が変化しなければ、Qの値は変化しません）。R4を使ってQの値を設定すると、オプションで-3dB周波数（ $f_{3dB}$ ）を設計することができます。Qの値が変化するが $f_0$ の値が一定であれば、 $f_{3dB}$ 周波数は2次ローパス関数に従って変化します（図13の $f_{3dB}$ の式を参照）。

加算ノード間にコンデンサ（C3）と抵抗（R4）を使った3つの構成設定を図14に示します。外部の49.9Ω抵抗はLTC6601の出力が容量性負荷を直接ドライブしないように分離します。図14の3つの回路は、 $f_0$ とQの値が等しく、パスバンド利得だけが異なります。 $f_{3dB} = 5\text{MHz}$ および $f_0 = 6.954\text{MHz}$ では、160ΩのR4抵抗はQの値を0.54に設定します。

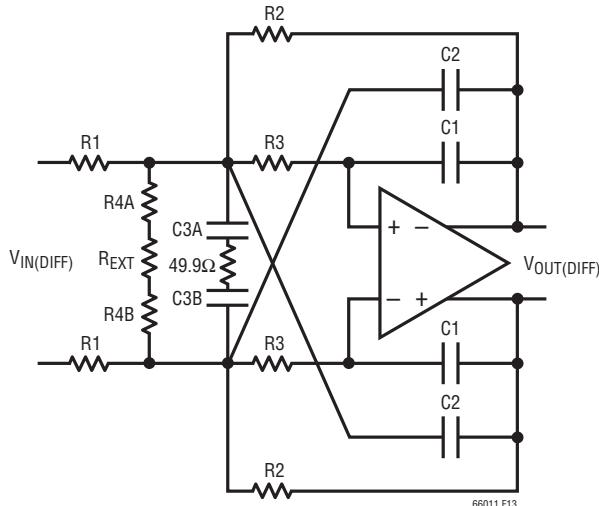
$f_{3dB}$ 周波数をそれぞれ7.5MHz、10MHzおよび15MHzに設定するための、変更された2次回路でのR4の使い方をハイライトする追加回路を図15～図17に示します。

特定の $f_{3dB}$ 周波数の設計手順は以下のとおりです。

1. 選択されたC1、C2およびC3の値を使って $f_0$ の値を計算します。
2. ステップ1の $f_0$ と特定の $f_{3dB}$ を使ってQの値を計算します。
3. ステップ3のQの値を使ってR4の値を計算します。
4. ステップ3のR4に対して必要な外部抵抗 $R_{EXT}$ の値を計算します。たとえば、図14では、 $f_{3dB} = 5\text{MHz}$ のQの値は0.54、必要なR4抵抗は350Ω、R4AとR4Bの抵抗は内部100Ω、 $R_{EXT}$ 抵抗は15Ω（ $R_{EXT} = R4 - (R4A + R4B)$ ）です。

注記：変更された2次フィルタ・トポロジーには、3つの入力抵抗対のうちの少なくとも2つ（3つの400Ω、200Ωおよび100Ωの対のうちの2つ）を使う必要があります。

## アプリケーション情報



$$f_{3dB} = \frac{f_0 \cdot \sqrt{\left(6089 \cdot \sqrt{(3568 \cdot Q^4 - 1788 \cdot Q^2 + 447)} + 1.287 \cdot 10^5 \cdot (2 \cdot Q^2 - 1)\right)}}{507.6 \cdot Q}$$

$$Q = \frac{0.2236 \cdot f_0 \cdot \sqrt{\left(2.109 \cdot 10^5 \cdot \sqrt{(9.891 \cdot 10^{12} \cdot f_{3dB}^4 - 5.486 \cdot 10^9 \cdot f_0^4)} + 120 \cdot (5.526 \cdot 10^9 \cdot f_{3dB}^2 + 3.082 \cdot 10^6 \cdot f_0^2)\right)}}{\sqrt{(16 \cdot f_0^2 \cdot (8.29 \cdot 10^9 \cdot f_{3dB}^2 + 4.127 \cdot 10^9 \cdot f_0^2) - 6.638 \cdot 10^{10} \cdot f_{3dB}^4)}}$$

$$R4 = \frac{1.25 \cdot 10^4 \cdot C1 \cdot Q \cdot R2}{559 \cdot C1 \cdot \sqrt{R2} \cdot \sqrt{\left(\frac{C2 + 2 \cdot C3}{C1}\right) - 50 \cdot Q \cdot (C1 \cdot (125 \cdot GAIN + R2 + 125) - C2 \cdot R2)}}$$

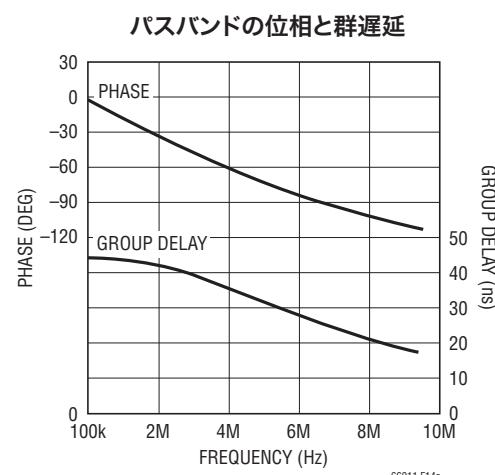
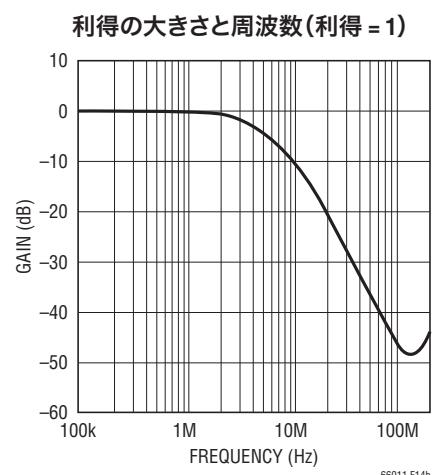
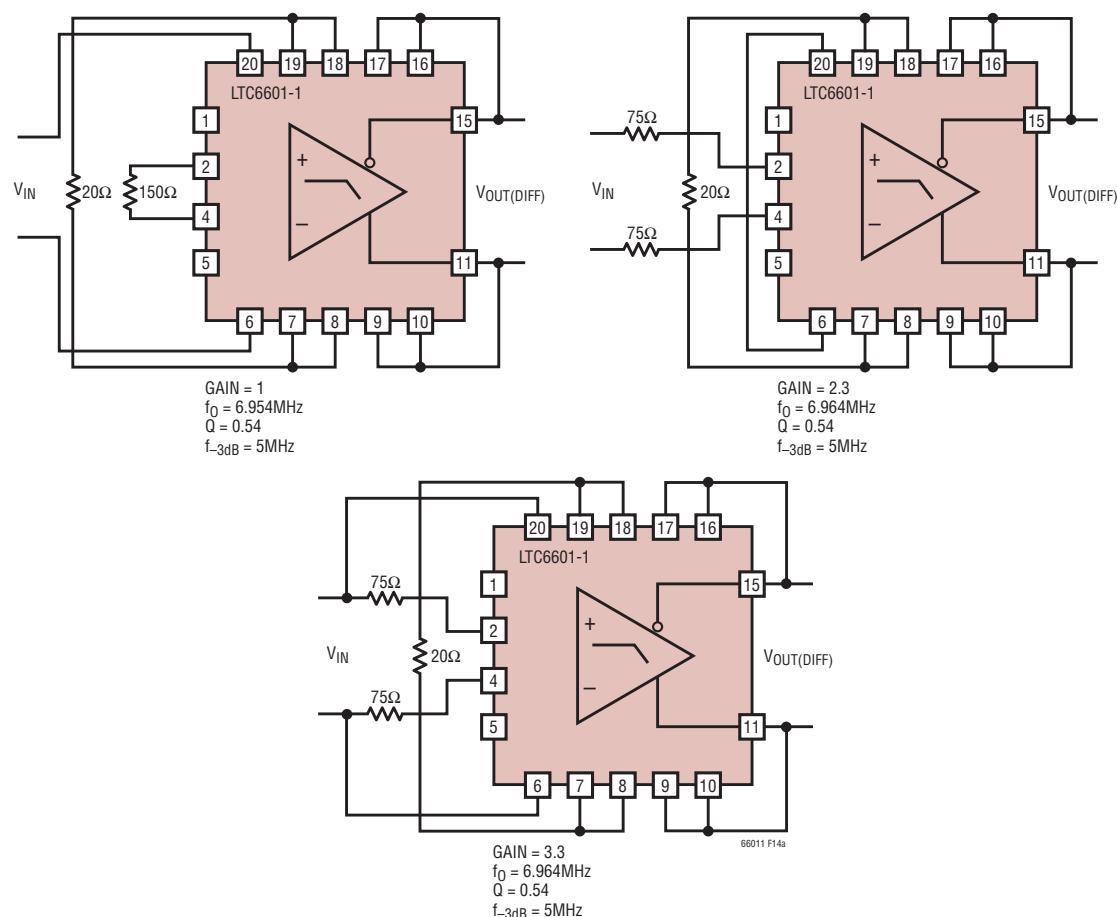
$$\frac{V_{OUT(DIFF)}}{V_{IN(DIFF)}} = -\frac{\frac{GAIN}{R2 \cdot R3 \cdot C1 \cdot (C2 + 2 \cdot C3)}}{S^2 + \frac{R1 \cdot (R2 \cdot (2 \cdot R3 + R4) + R3 \cdot R4) + R2 \cdot R3 \cdot R4}{R1 \cdot R2 \cdot R3 \cdot R4 \cdot (C2 + 2 \cdot C3)} \cdot S + \frac{1}{R2 \cdot R3 \cdot C1 \cdot (C2 + 2 \cdot C3)}}$$

$$GAIN = -\frac{V_{OUT(DIFF)}}{V_{IN(DIFF)}} = -\frac{R2}{R1}$$

$$f_0 = \frac{1}{2 \cdot \pi \cdot \sqrt{R2 \cdot R3 \cdot C1 \cdot (C2 + 2 \cdot C3)}} \quad Q = \frac{\sqrt{\left(\frac{R3}{R2}\right)} \cdot \sqrt{\left(\frac{C2}{C1} + 2 \cdot \frac{C3}{C1}\right)}}{1 + \left(1 + |GAIN| + 2 \cdot \frac{R2}{R4}\right) \cdot \frac{R3}{R2} - \frac{C2}{C1}}$$

図13. 変更されたフィルタ・トポロジーと式

## アプリケーション情報

図14. 加算ノード間にコンデンサと抵抗を使った変更されたフィルタの構成設定(f<sub>-3dB</sub> = 5MHz)

# LTC6601-1

## アプリケーション情報

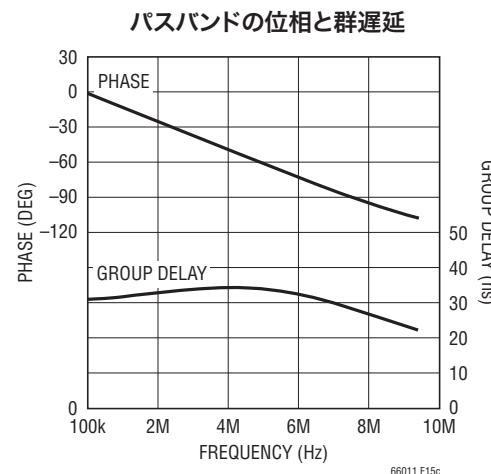
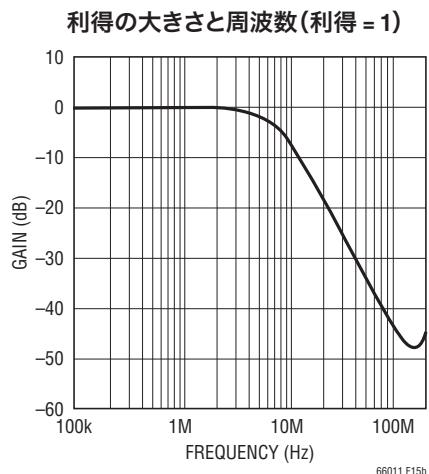
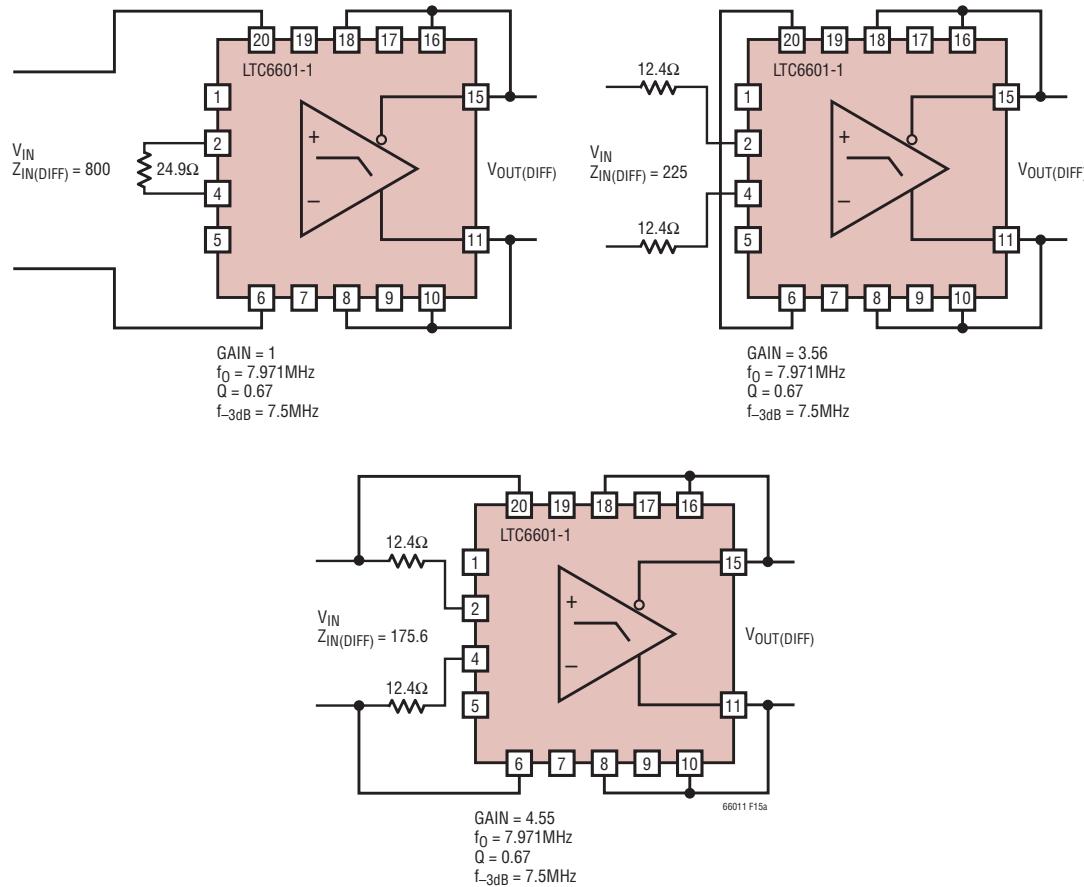
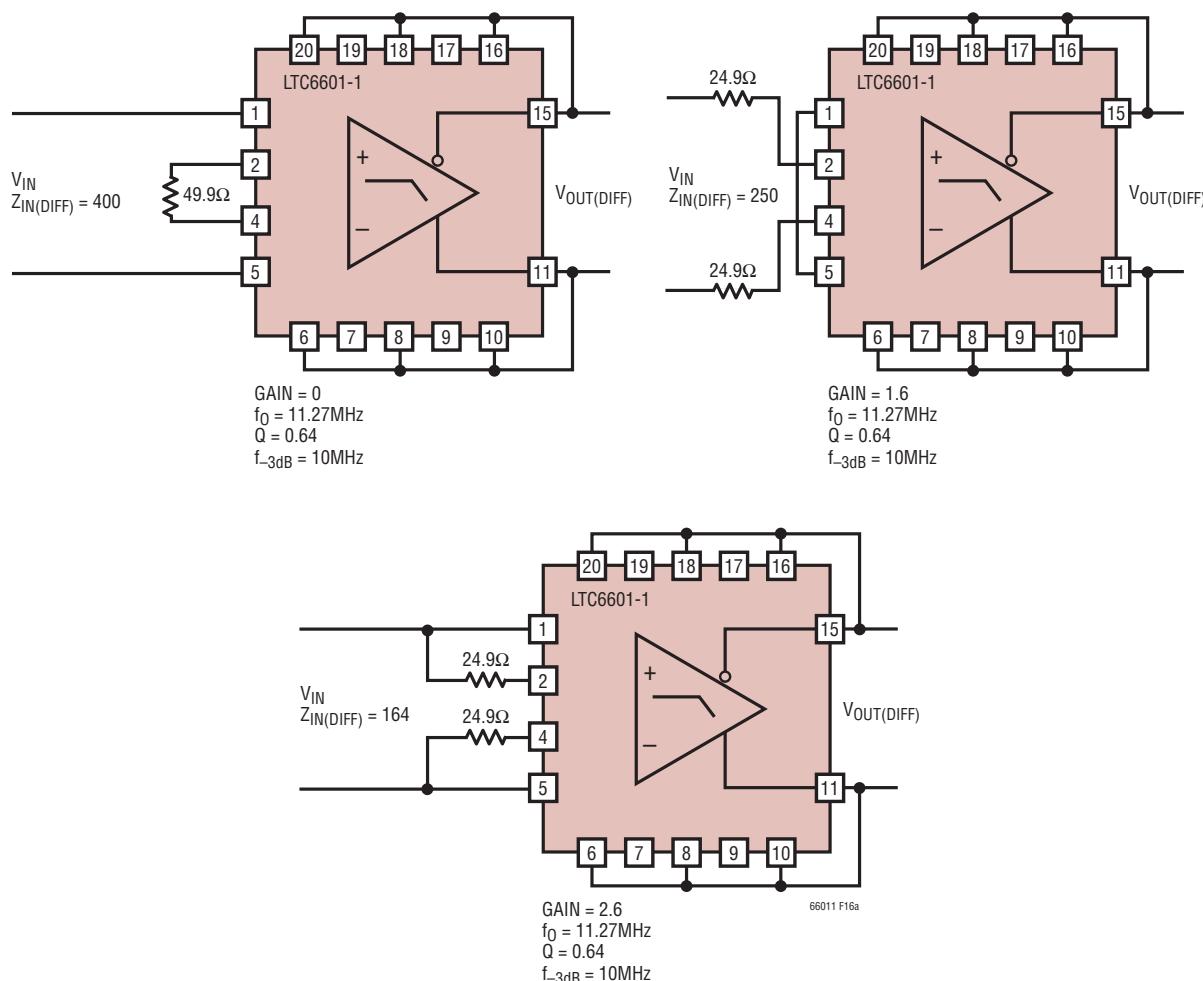


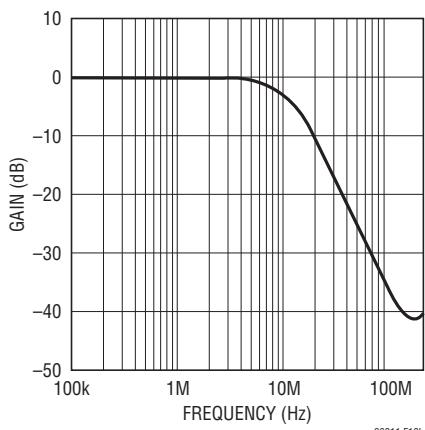
図15. 加算ノード間に抵抗を使った変更されたフィルタの構成設定( $f_{-3\text{dB}} = 7.5\text{MHz}$ )

66011f

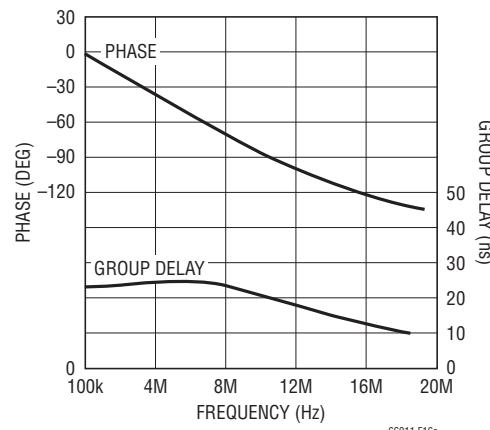
## アプリケーション情報



利得の大きさと周波数(利得 = 1)



パスバンドの位相と群遅延

図16. 加算ノード間に抵抗を使った変更されたフィルタの構成設定( $f_{-3\text{dB}} = 10\text{MHz}$ )

# LTC6601-1

## アプリケーション情報

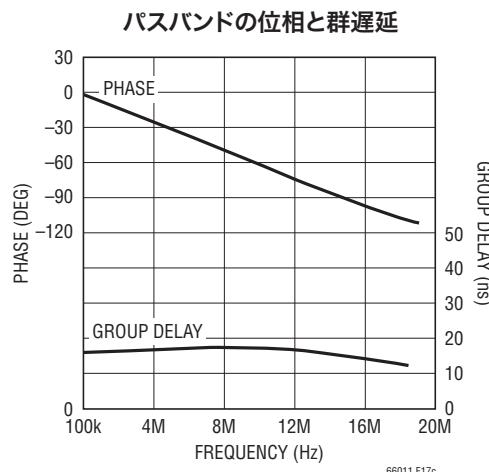
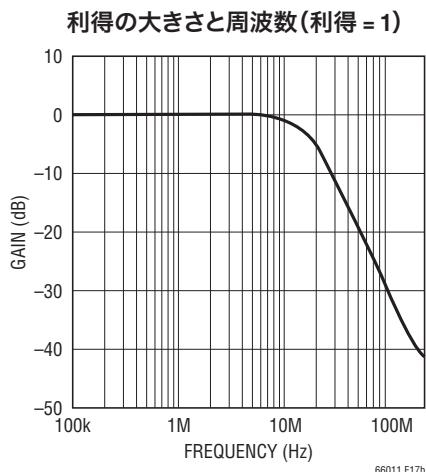
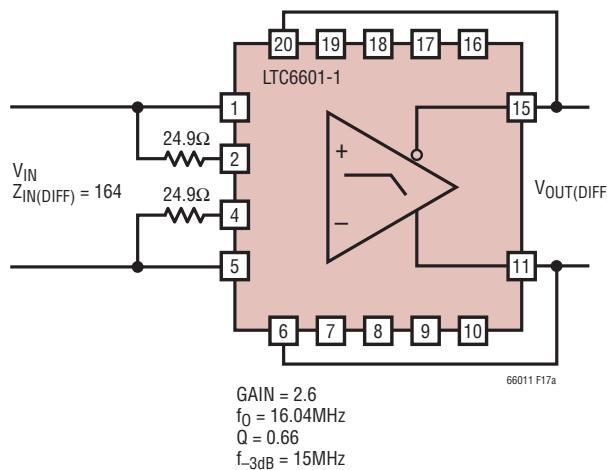
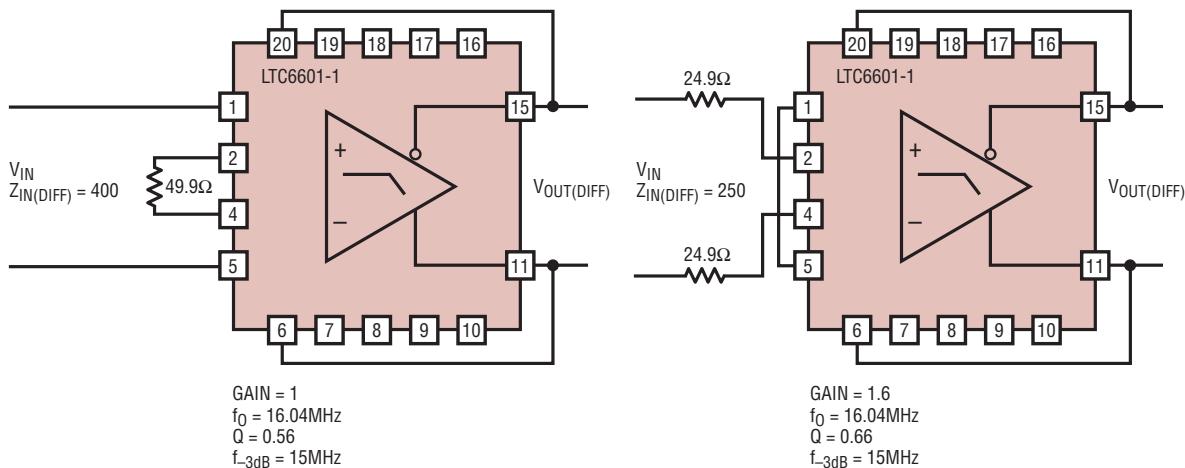


図17. 加算ノード間に抵抗を使った変更されたフィルタの構成設定( $f_{-3\text{dB}} = 15\text{MHz}$ )

66011f

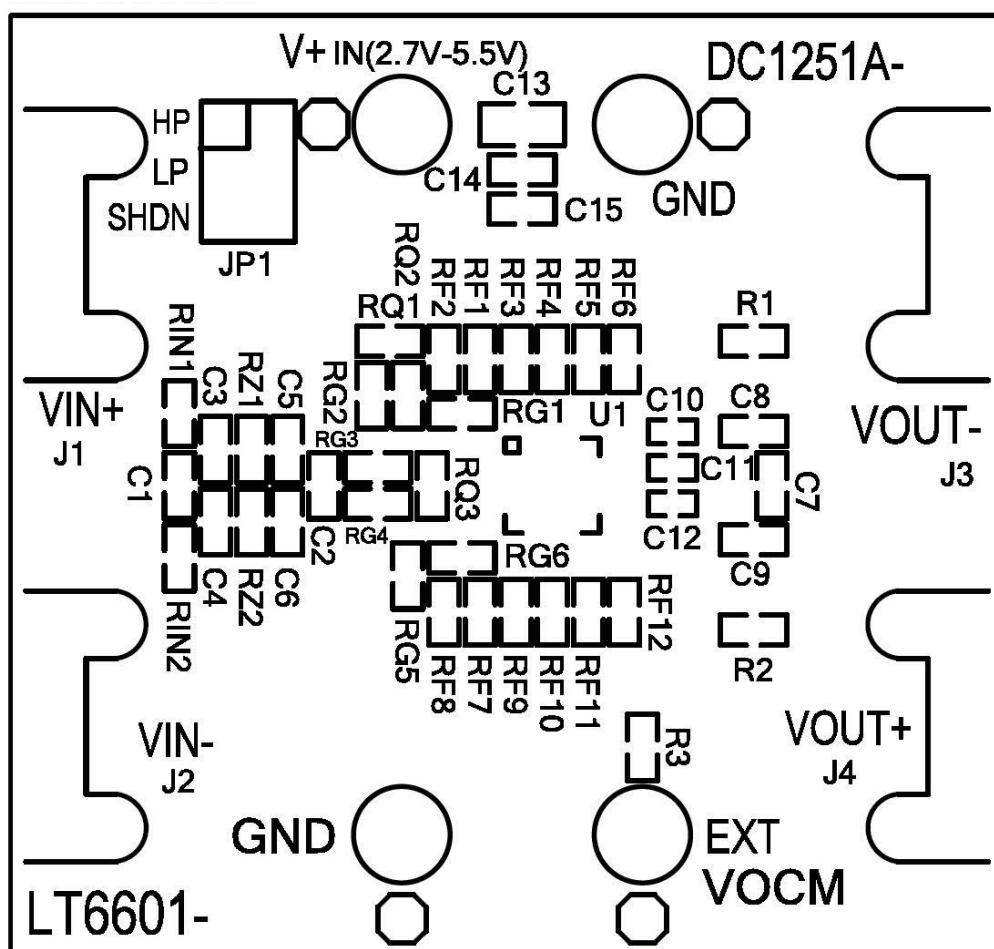
## アプリケーション情報

## DC1251Aデモ用ボード

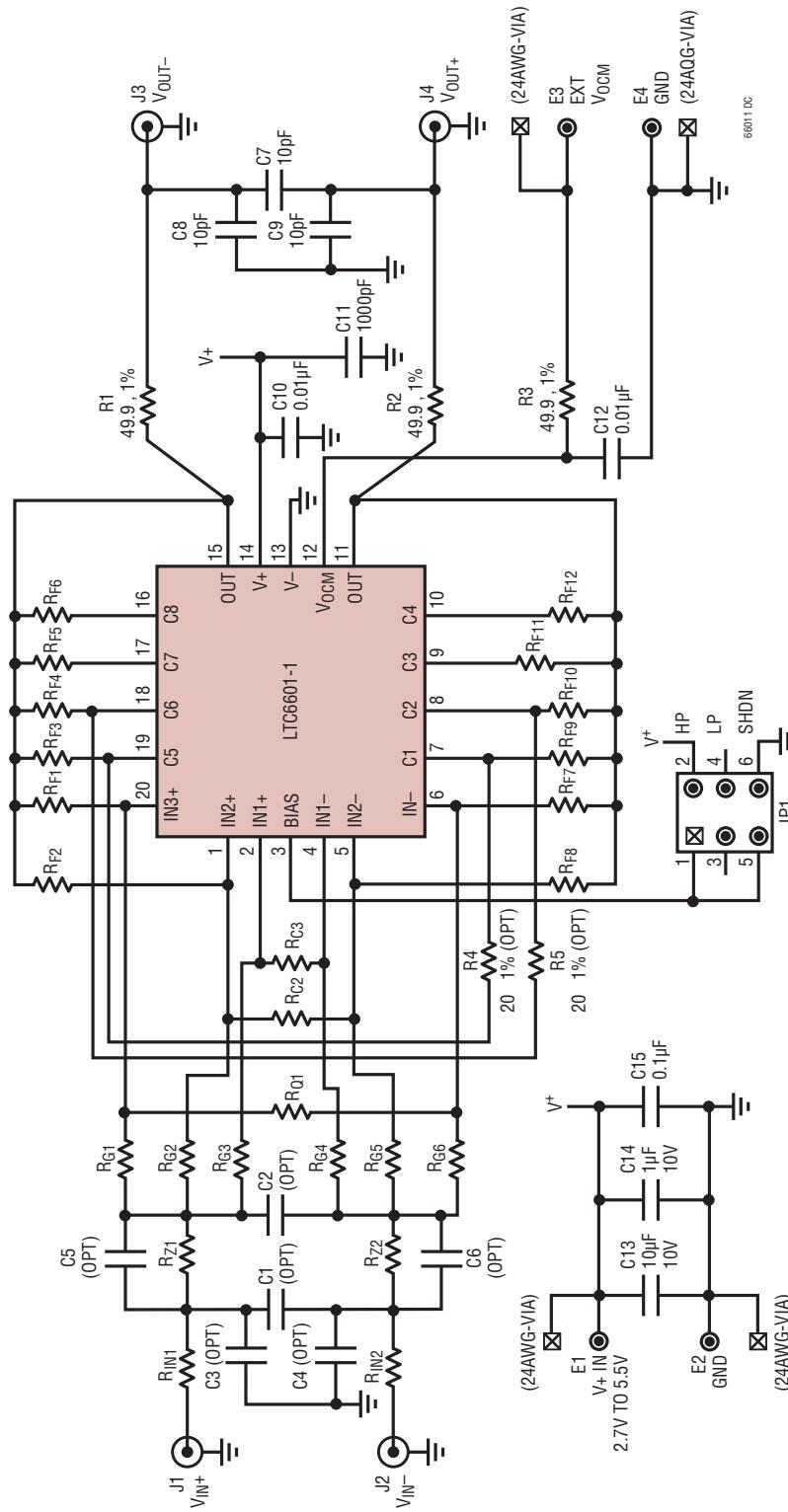
DC1251Aデモ用回路はLTC6601-1を搭載しています(DC1251A-A)。DC1251Aでは、LTC6601-1のプログラミング・ピンは0603抵抗ジャンパを使って接続することができます。さらに、追加のフィルタのために、LTC6601の入力や出力に

オプションの表面実装コンデンサとインダクタを接続することができます(DC1251A回路では、5次までのローパス・フィルタを実装することができます)。DC1251AはLTC6601-1の差動入力と差動出力にSMAコネクタを備えています。ボード上の106MHzローパスRCがLTC6601-1の出力をフィルタします。

DC12351Aのトップ・シルク・スクリーン



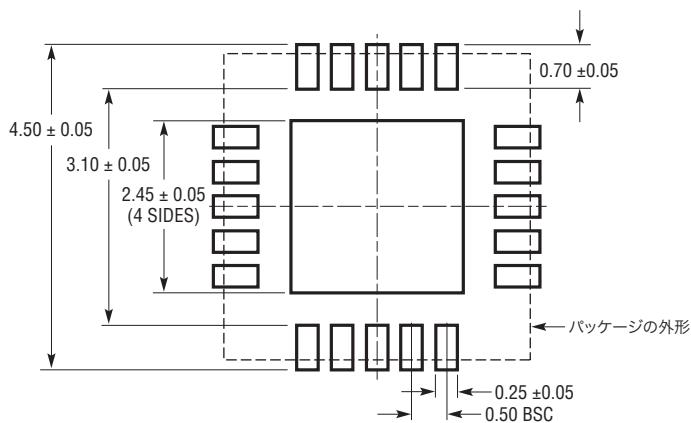
LTC6601-Xデモ用回路DC1251A



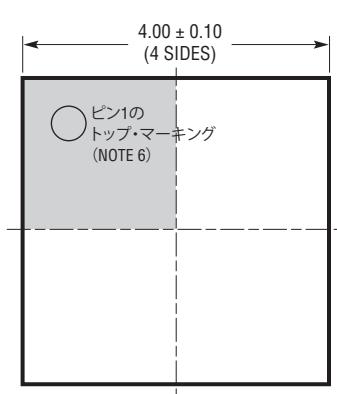
部品番号	説明
ASSY	U1 LTC6601CUF-1
DC1251(A-A)	LTC6601CUF-1
DC1251(A-B)	LTC6601CUF-2

## パッケージ

**UFパッケージ  
20ピン・プラスチックQFN (4mm×4mm)  
(Reference LTC DWG # 05-08-1710)**

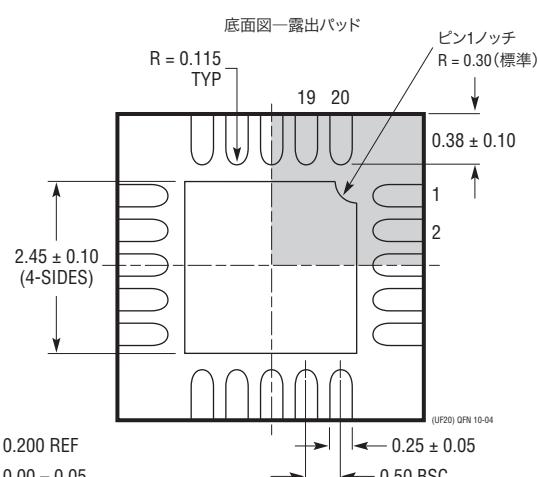
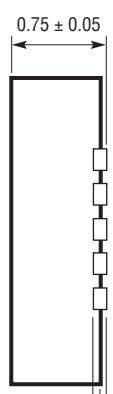


推奨する半田パッドのピッチと寸法



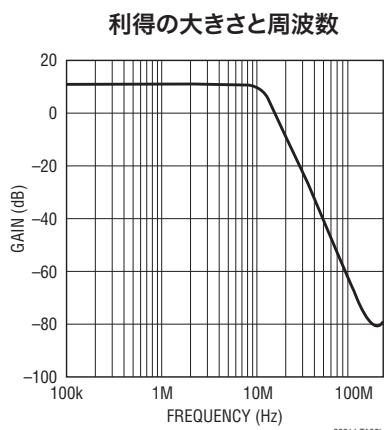
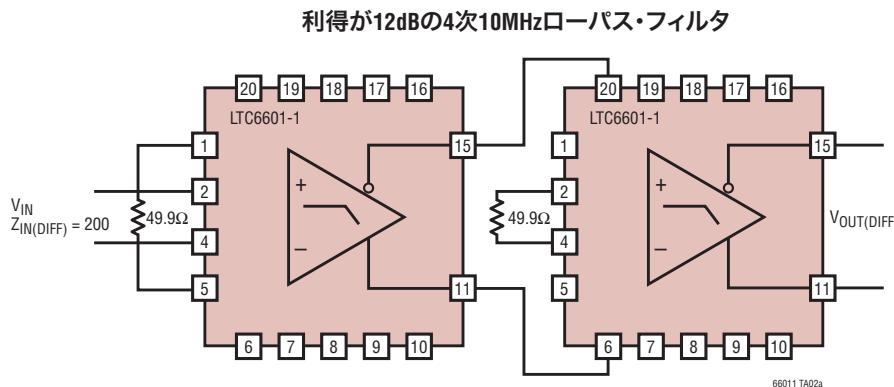
## NOTE:

1. 図はJEDECパッケージ外形MO-220のバリエーション(WGKD-1)にするよう提案されている(承認待ち)
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
- モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 网掛けの部分はパッケージのトップとボトムのピン1の位置の参考に過ぎない



# LTC6601-1

## 標準的応用例



## 関連製品

製品番号	説明	注釈
LT <sup>®</sup> 1568	超低ノイズ、高周波数アクティブRC、フィルタ・ビルディング・ブロック	10MHzまでのフィルタ、SNR = 92dB、THD = 2MHzで-84dBc
LT1993-2/LT1993-4/ LT1993-10	800MHz/900MHz/700MHzの低歪み、低ノイズ差動アンプ/ADCドライバ	A <sub>v</sub> = 2V/V / A <sub>v</sub> = 4V/V / A <sub>v</sub> = 10V/V、NF = 12.3dB/14.5dB /12.7dB、OIP3 = 70MHzで38dBm/40dBm/40dBm
LT1994	低ノイズ、低歪みの完全差動入力/出力アンプ/ドライバ	低歪み:-94dBc (2V <sub>P-P</sub> , 1MHz)、13mA、低ノイズ:3nV/√Hz
LT6402-6/LT6402-12/ LT6402-20	300MHz低歪み、低ノイズ差動アンプ/ADCドライバ	A <sub>v</sub> = 6dB/A <sub>v</sub> = 12dB/A <sub>v</sub> = 20dB、NF = 18.6dB/15dB/12.4dB、OIP3 = 20MHzで49dBm/43dBm/51dBm
LTC6404-1	完全差動アンプ、GBW = 500MHz	非常に低歪み、(2V <sub>P-P</sub> , 10MHz):-91dBc
LTC6404-2	完全差動アンプ、GBW = 900MHz	非常に低歪み、(2V <sub>P-P</sub> , 10MHz):-96dBc
LTC6404-4	完全差動アンプ、GBW = 1700MHz	非常に低歪み、(2V <sub>P-P</sub> , 10MHz):-101dBc
LT6600-2.5/LT6600-5/ LT6600-10/LT6600-20	超低ノイズ、完全差動アンプおよびフィルタ	2.5MHz/5MHz/10MHz/20MHzの集積化されたフィルタ、3V電源、SO-8パッケージ
LTC6602	デュアルの整合したバンドパス・フィルタ	RFIDアプリケーションのプログラム可能な利得と帯域幅(40kHz~1MHz)
LTC6603	デュアルの整合したローパス・フィルタ	プログラム可能な利得と帯域幅(25kHz~2.5MHz)
LTC6604-X	デュアルの整合したローパス・フィルタ	2.5MHz、5MHz、10MHzおよび15MHz
LTC6605-X	デュアルの整合したローパス・フィルタ	7MHz、10MHzおよび14MHz

66011f

40

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F  
TEL 03-5226-7291・FAX 03-5226-0268・www.linear-tech.co.jp

LT 1108 • PRINTED IN JAPAN

LINEAR  
TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2008