

真のゼロ出力を備えた 超低ノイズのシングルエンド SAR ADCドライバ

特長

- 単一電源で真のゼロまでの出力振幅
- ノイズ密度: $2.3\text{nV}/\sqrt{\text{Hz}}$
- 高速セトリング時間: 150ns (16ビット、4Vステップ)
- 3MHz帯域幅のSNR: 110dB
- 低歪み (HD_2/HD_3): $-103\text{dBc}/-109\text{dBc}$ (4V_{p-p}出力、40kHz)
- 低いオフセット電圧: $250\mu\text{V}$ (最大)
- 低消費電力のシャットダウン: $350\mu\text{A}$ (最大)
- 3mm×3mm 8ピンDFN および 8ピンMSOPパッケージ

アプリケーション

- 16ビットおよび18ビット SAR ADCドライバ
- 高速バッファ・アンプ
- 低ノイズ信号処理

概要

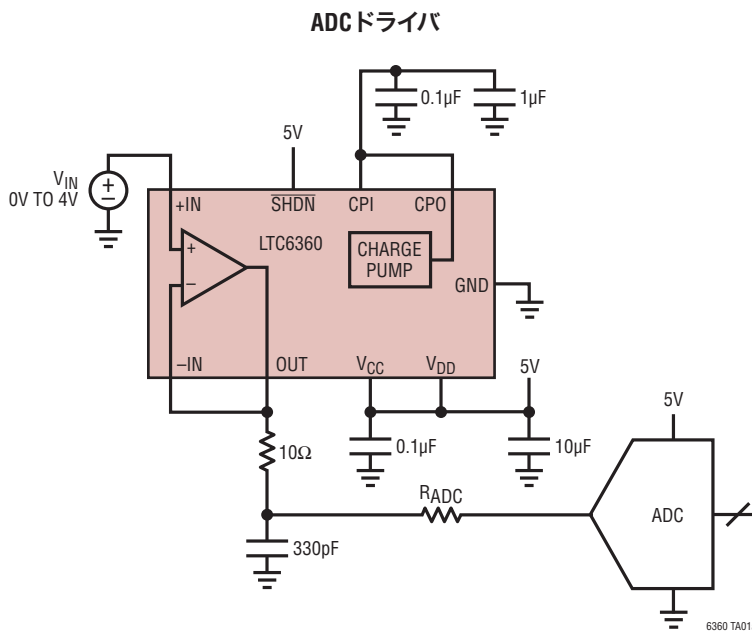
LTC[®]6360は、逐次比較型(SAR)ADCのドライブに適した、超低ノイズ、高精度高速アンプです。LTC6360は、全出力ノイズが $2.3\text{nV}/\sqrt{\text{Hz}}$ 、および16ビット・レベル($A_V = 1$)へのセトリング時間が 150ns という特長を備えています。

5V単一電源から電力を供給されているときに、アンプの出力は高直線性を維持しながら0Vまで振幅できます。これは、負電圧を発生してアンプの出力段をバイアスし、許容負電圧振幅を上げる超低ノイズのチャージポンプを内蔵することにより可能にしています。

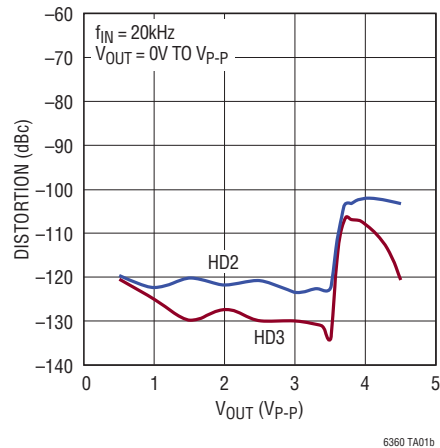
LTC6360は3mm×3mmの小型8ピン・リードレスDFNパッケージと露出パッド付き8ピンMSOPパッケージで供給され、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度範囲で動作します。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



高調波歪みと出力振幅



LTC6360

絶対最大定格

(Note 1)

総電源電圧

($V_{CC}/V_{DD} - GND$) 5.5V

入力電流 (Note 2) $\pm 10\text{mA}$

出力短絡時間 (Note 3) 無期限

動作周囲温度範囲 (Note 4) $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

規定温度範囲 (Note 5) $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

最大接合部温度 150°C

保存温度範囲 $-65^{\circ}\text{C} \sim 150^{\circ}\text{C}$

リード温度 (半田付け、10秒) MS8Eのみ 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6360CDD#PBF	LTC6360CDD#TRPBF	LFQT	8-Lead (3mm × 3mm) Plastic DFN	0°C to 70°C
LTC6360IDD#PBF	LTC6360IDD#TRPBF	LFQT	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6360HDD#PBF	LTC6360HDD#TRPBF	LFQT	8-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6360CMS8E#PBF	LTC6360CMS8E#TRPBF	LTFQS	8-Lead Plastic MSOP	0°C to 70°C
LTC6360IMS8E#PBF	LTC6360IMS8E#TRPBF	LTFQS	8-Lead Plastic MSOP	-40°C to 85°C
LTC6360HMS8E#PBF	LTC6360HMS8E#TRPBF	LTFQS	8-Lead Plastic MSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = V_{DD} = 5\text{V}$ 、 $V_{+IN} = 2\text{V}$ 、 $V_{SHDN} = 5\text{V}$ 。回路構成については、図1を参照すること。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OS}	Input Offset Voltage (MS8E)	$V_{+IN} = 0\text{V}$	●	30	250 600	μV μV
		$V_{+IN} = 2\text{V}$	●	30	250 600	μV μV
		$V_{+IN} = 4.25\text{V}$	●	40	300 700	μV μV
V_{OS}	Input Offset Voltage (DD8)	$V_{+IN} = 0\text{V}$	●	90	400 900	μV μV
		$V_{+IN} = 2\text{V}$	●	90	400 900	μV μV
		$V_{+IN} = 4.25\text{V}$	●	170	600 1200	μV μV
$V_{OS}/\Delta T$	Offset Voltage Drift		●	1.3		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current (at +IN, -IN)	$V_{+IN} = 0\text{V}$	●	-30 -39	-17	μA μA
		$V_{+IN} = 2\text{V}$	●	-28 -36	-15	μA μA
		$V_{+IN} = 4.25\text{V}$	●	-26 -31	-13.5	μA μA
I_{OS}	Input Offset Current (at +IN, -IN)	$V_{+IN} = 0\text{V}$	●	0.1	1.0	μA
		$V_{+IN} = 2\text{V}$	●	0.1	1.0	μA
		$V_{+IN} = 4.25\text{V}$	●	0.1	1.0	μA
e_n	Input Voltage Noise Density	$f = 1\text{MHz}$		2.3		$\text{nV}/\sqrt{\text{Hz}}$
i_n	Input Current Noise Density	$f = 1\text{MHz}$		3		$\text{pA}/\sqrt{\text{Hz}}$
SNR	Signal to Noise Ratio	$V_{OUT} = 4\text{V}_{P-P}$, 3MHz Noise Bandwidth		110		dB
V_{CMR}	Input Common Mode Voltage Range	Guaranteed by CMRR	●	0	4.25	V
R_{IN}	Input Resistance	Differential Mode		8		$\text{k}\Omega$
		Common Mode		940		$\text{k}\Omega$
C_{IN}	Input Capacitance	+IN, -IN		2		pF
A_{VOL}	Large Signal Voltage Gain	$V_{OUT} = 0\text{V}$ to 4.5V	●	235 200	1000	V/mV V/mV
CMRR	Common Mode Rejection Ratio	$V_{+IN} = V_{-IN} = 0\text{V}$ to 3V	●	83	114	dB
		$V_{+IN} = V_{-IN} = 0\text{V}$ to 4.25V (MS8E)	●	78	111	dB
		$V_{+IN} = V_{-IN} = 0\text{V}$ to 4.25V (DD8)	●	75	96	dB
PSRR	Power Supply Rejection Ratio ($\Delta V_S/\Delta V_{OS}$)	$V_{CC} = 4.75\text{V}$ to 5.25V		99		dB
V_S	Supply Voltage	$V_{CC} = V_{DD}$	●	4.75	5 5.25	V
INL	DC Linearity (Note 6)	$V_{+IN} = 0\text{V}$ to 4.25V		40		μV
V_{OH}	Output Voltage High	No Load	●	4.80	4.91	V
		Sourcing 1mA	●	4.75	4.89	V
V_{OL}	Output Voltage Low	No Load	●	-0.48	-0.20	V
		Sinking 1mA	●	-0.47	-0.15	V
I_{SC}	Output Short Circuit Current	Sourcing, Output Shorted to GND, $V_{+IN} - V_{-IN} = 200\text{mV}$	●	18 16	45	mA mA
		Sinking, Output Shorted to V_{CC} , $V_{+IN} - V_{-IN} = -200\text{mV}$	●	4.1 3.2	5.8	mA mA

LTC6360

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = V_{DD} = 5\text{V}$ 、 $V_{+IN} = 2\text{V}$ 、 $V_{SHDN} = 5\text{V}$ 。回路構成については、図1を参照すること。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_L	SHDN Pin Input Voltage, Logic Low		●		0.8	V	
V_H	SHDN Pin Input Voltage, Logic High		●	2.0		V	
I_{SHDNH}	SHDN Pin Current, Logic High	$V_{SHDN} = 5\text{V}$	●		100	nA	
I_{SHDNL}	SHDN Pin Current, Logic Low	$V_{SHDN} = 0\text{V}$	●	-15	-9.5	μA	
I_{CC}	V_{CC} Supply Current	$V_{SHDN} = 2.0\text{V}$	●	6.6	8 9	mA mA	
I_{DD}	V_{DD} Supply Current	$V_{SHDN} = 2.0\text{V}$	●	7.0	9.5 10	mA mA	
I_{TOT}	Total Supply Current $I_{CC} + I_{DD}$	$V_{SHDN} = 2.0\text{V}$	●	13.6	17.5 19	mA mA	
$I_{CC}(\text{SHDN})$	V_{CC} Supply Current in Shutdown	$V_{SHDN} = 0.8\text{V}$	●	110	200	μA	
$I_{DD}(\text{SHDN})$	V_{DD} Supply Current in Shutdown	$V_{SHDN} = 0.8\text{V}$	●	80	150	μA	
$I_{TOT}(\text{SHDN})$	Total Supply Current $I_{CC} + I_{DD}$ in Shutdown	$V_{SHDN} = 0.8\text{V}$	●	190	350	μA	
GBW	Gain-Bandwidth Product	Noninverting, $f = 1\text{MHz}$		1		GHz	
BW	Closed Loop -3dB Bandwidth	$V_{OUT} = 50\text{mV}_{P-P}$, $A_V = 1$		150	250	MHz	
FPBW	Full Power Bandwidth (Note 7)	$V_{OUT} = 0\text{V}$ to 4V		2.7		MHz	
SR	Slew Rate	$A_V = -1$ Rising Falling		135 95		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$	
HD2/HD3	Harmonic Distortion	$V_{OUT} = 0\text{V}$ to 2V $f_{IN} = 10\text{kHz}$ $f_{IN} = 40\text{kHz}$ $f_{IN} = 1\text{MHz}$		-121/-130 -121/-123 -96/-116		dBc dBc dBc	
HD2/HD3	Harmonic Distortion	$V_{OUT} = 0\text{V}$ to 4V $f_{IN} = 10\text{kHz}$ $f_{IN} = 40\text{kHz}$ $f_{IN} = 1\text{MHz}$		-101/-110 -103/-109 -87/-105		dBc dBc dBc	
t_S	Settling Time	4V Step 0.25% 0.025% 0.0015% ($\pm 1\text{LSB}$, 16-Bit, Falling Edge)		45 110 150		ns ns ns	
t_{OVDR}	Overdrive Recovery Time	V_{+IN} to GND and V_{CC}		30		ns	
t_{ON}	Turn-On Time	$V_{SHDN} = 0\text{V}$ to 5V		1		μs	
t_{OFF}	Turn-Off Time	$V_{SHDN} = 5\text{V}$ to 0V		0.3		μs	
V_{CPO}	CPO Output Voltage		●	-0.8	-0.6	-0.3	V
$V_{CPO\text{RIPPLE}}$	CPO Ripple Voltage	No External CPO/CPI Capacitors, 100MHz Measurement Bandwidth		1.5		mV_{RMS}	
$V_{OUT\text{RIPPLE}}$	Output Ripple Voltage	No External CPO/CPI Capacitors, 50MHz Measurement Bandwidth		11.5		μV_{RMS}	
f_{RIPPLE}	Ripple Frequency		●	9.5 9.25	10	10.5 10.75	MHz MHz
$I_{CPO(\text{MAX})}$	Maximum Continuous CPO Output Current	$V_{CPO} \leq -0.4\text{V}$ (Note 8)		3.5	4.5	mA	
R_{CPO}	CPO DC Output Impedance	$I_{CPO} = 0$ to 3.5mA (Note 8)	●	30	65	Ω	

電气的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 入力、バック・トゥ・バック・ダイオードと各電源に対するダイオードによって保護されている。入力が電源を超えた場合、または差動入力電圧が0.7Vを超えた場合、入力電流は10mA未満に制限されなければならない。

Note 3: 出力が無期限に短絡されるときは、接合部温度を絶対最大定格より低く抑えるためにヒートシンクが必要になることがある。

Note 4: LTC6360C/LTC6360I/LTC6360Hは、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の温度範囲にわたって機能することが保証されている。

Note 5: LTC6360Cは、 $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ で性能仕様に適合することが保証されている。LTC6360Cは $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で性能仕様に適合するように設計され、特性が評価されており、性能仕様

に適合すると予想されるが、これらの温度ではテストされないし、QAサンプリングも行われない。LTC6360Iは $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で性能仕様に適合することが保証されている。LTC6360Hは $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で性能仕様に適合することが保証されている。

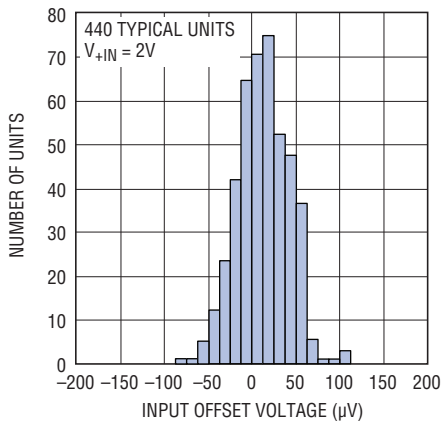
Note 6: DC直線性は、出力電圧対入力電圧を測定し、100mVの増分で最小二乗法による最良のあてはめ線からの最大偏差を計算することにより求められる。

Note 7: FPBWは、有効な出力の基準としてHD2、HD3 < -70dBc を使用した歪み性能から求められる。FPBWは、チャージポンプの電流シンク能力による制限を受ける。詳細については本文を参照すること。

Note 8: $I_{\text{CPO}}(\text{MAX})$ および R_{CPO} は、CPIから切断されたCPO、外部 -0.7V ソースによってドライブされるCPIによって測定される。

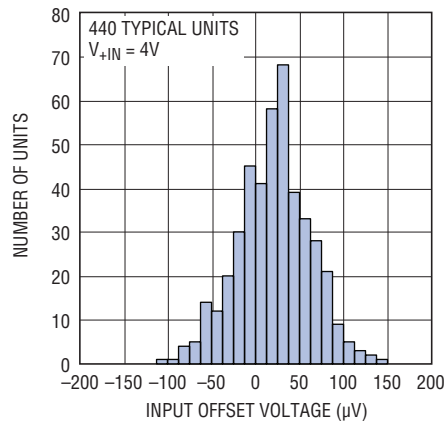
標準的性能特性 $T_A = 25^{\circ}\text{C}$ 、 $V_{\text{CC}} = V_{\text{DD}} = 5\text{V}$ 、 $V_{+\text{IN}} = 2\text{V}$ 、 $V_{\text{SHDN}} = 5\text{V}$ 。回路構成については、図1を参照すること。

V_{OS} の分布、MS8E (PNP段)



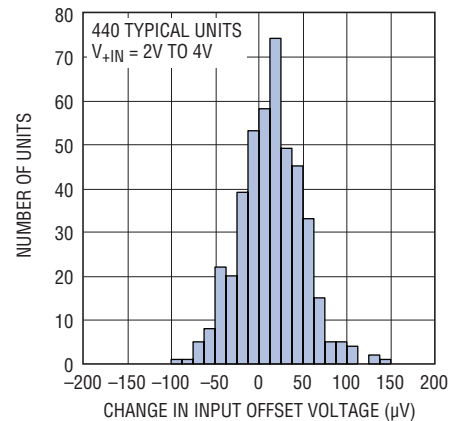
6360 G01

V_{OS} の分布、MS8E (NPN段)



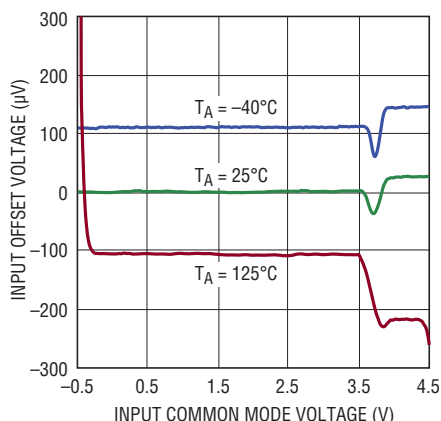
6360 G02

ΔV_{OS} の分布、MS8E (PNPからNPN段)



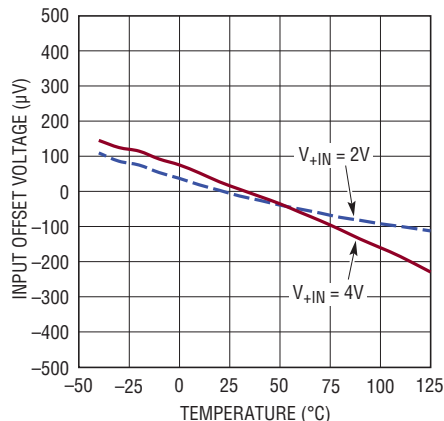
6360 G03

オフセット電圧と入力同相電圧



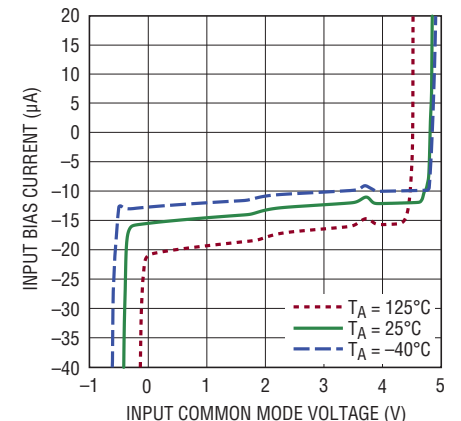
6360 G04

V_{OS} と温度



6360 G05

入力バイアス電流と入力同相電圧

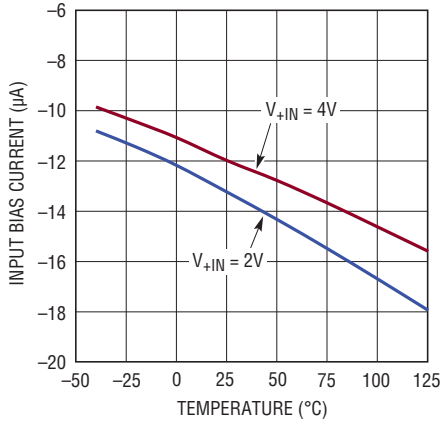


6360 G06

LTC6360

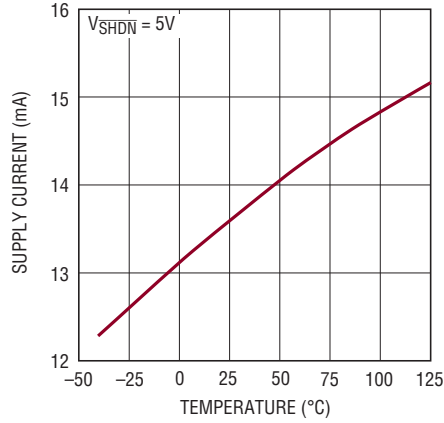
標準的性能特性 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = V_{DD} = 5\text{V}$ 、 $V_{+IN} = 2\text{V}$ 、 $V_{SHDN} = 5\text{V}$ 。回路構成については、図1を参照すること。

入力バイアス電流と温度



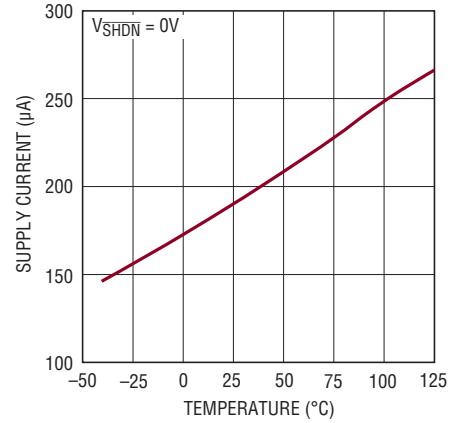
6360 G07

総消費電流と温度



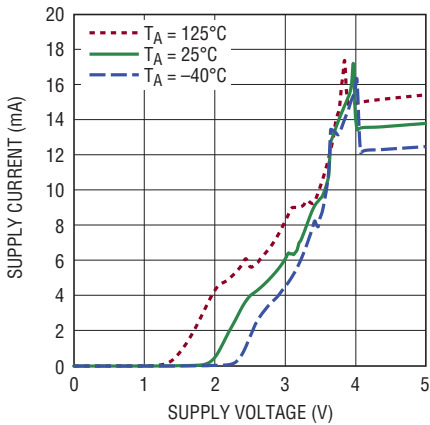
6360 G08

シャットダウン時の
総消費電流と温度



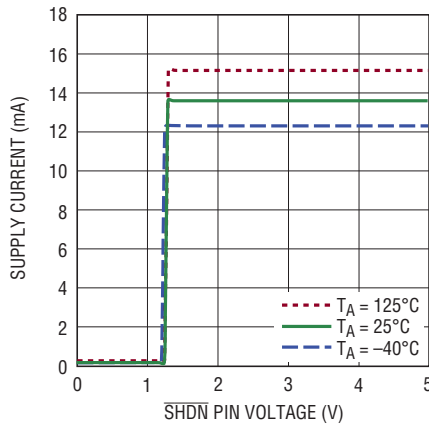
6360 G09

総消費電流と電源電圧



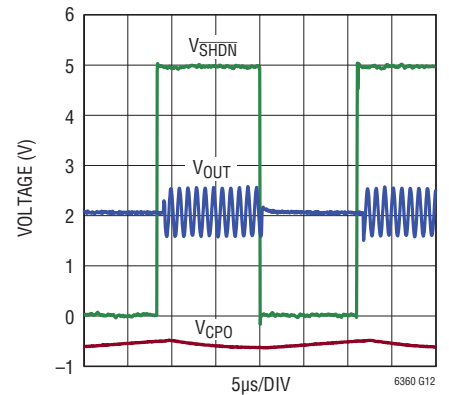
6360 G10

総消費電流とSHDN電圧



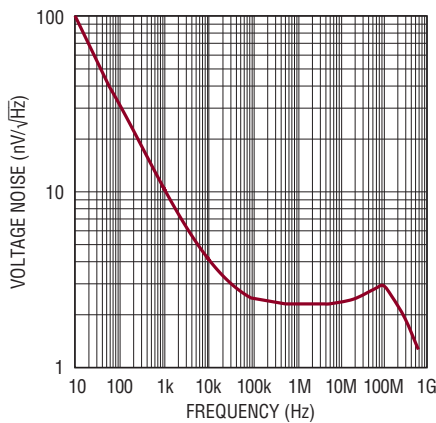
6360 G11

ターンオンおよび
ターンオフ時の過渡応答



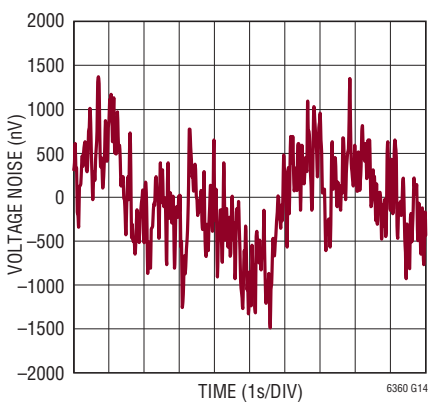
6360 G12

入力電圧ノイズと周波数



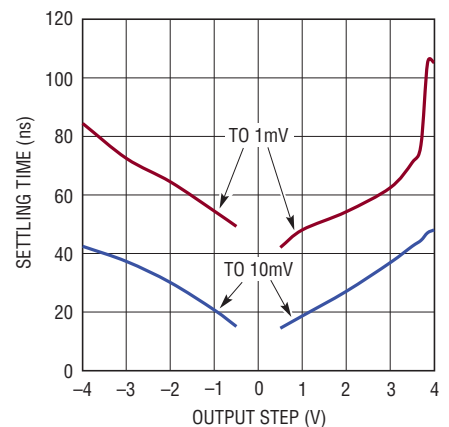
6360 G13

0.1Hz~10Hz 電圧ノイズ



6360 G14

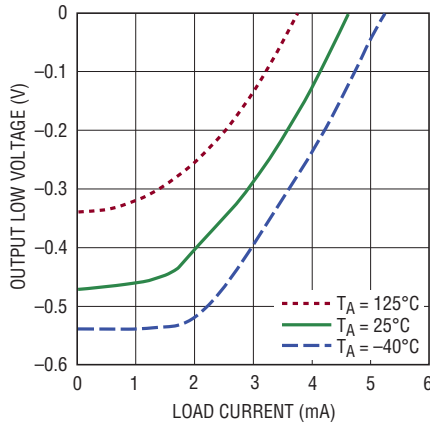
出力セトリング時間と
出力ステップ



6360 G15

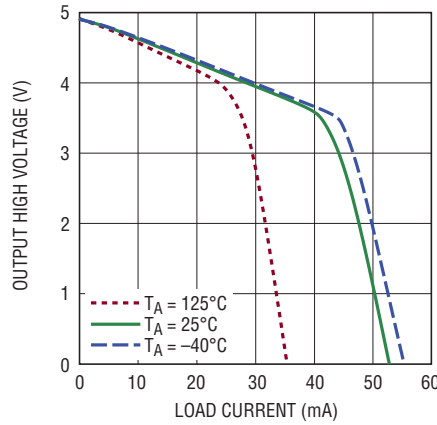
標準的性能特性 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = V_{DD} = 5\text{V}$ 、 $V_{+IN} = 2\text{V}$ 、 $V_{SHDN} = 5\text{V}$ 。回路構成については、図1を参照すること。

出力低電圧と負荷電流



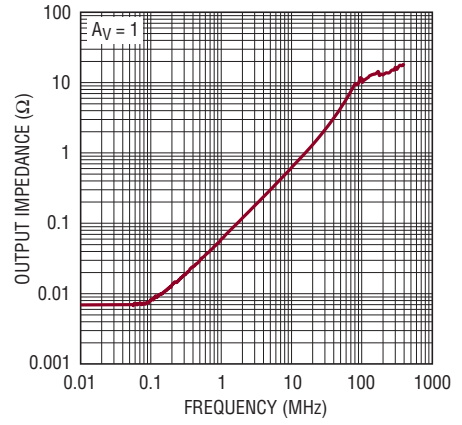
6360 G16

出力高電圧と負荷電流



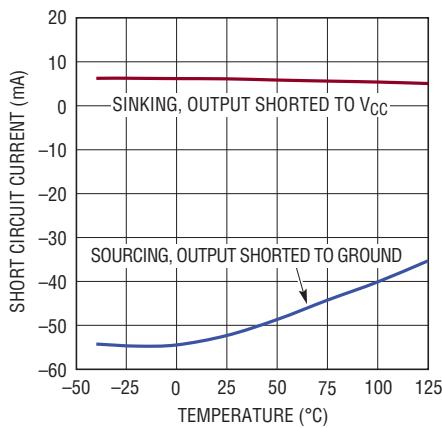
6360 G17

出カインピーダンスと周波数



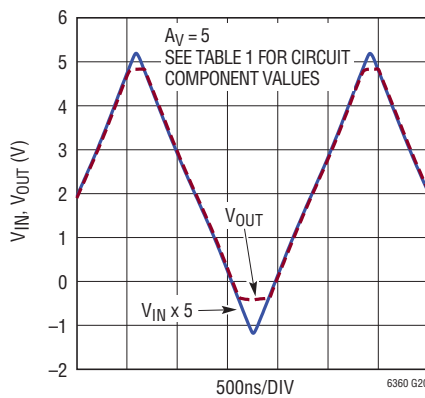
6360 G18

出力短絡電流と温度



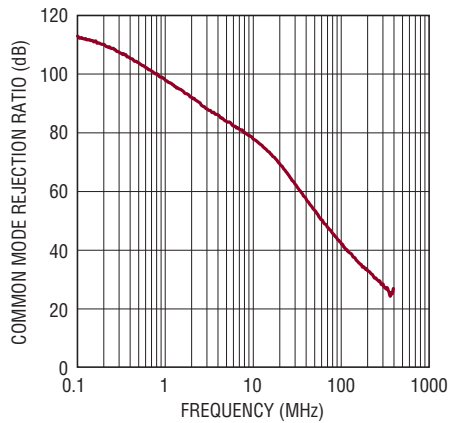
6360 G19

出力オーバードライブ時の回復



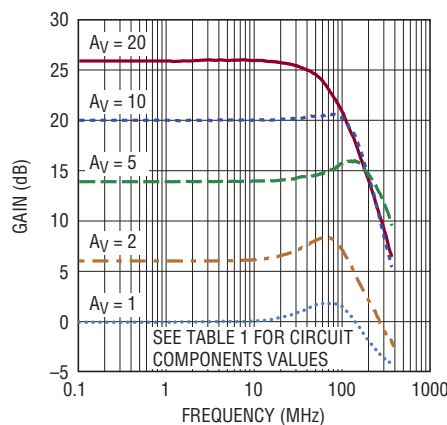
6360 G20

同相除去比と周波数



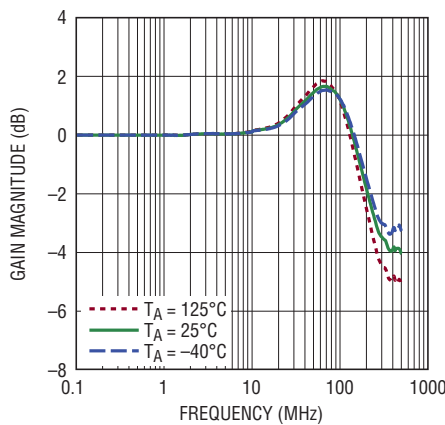
6360 G21

周波数応答と利得



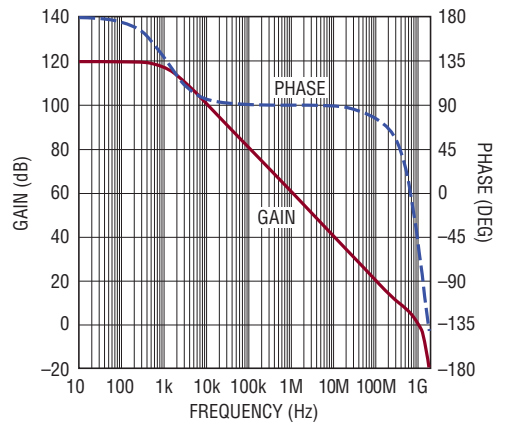
6360 G22

周波数応答と温度



6360 G23

開ループ利得および位相と周波数

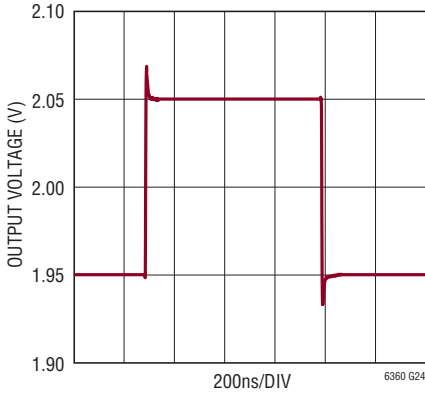


6360 G23a

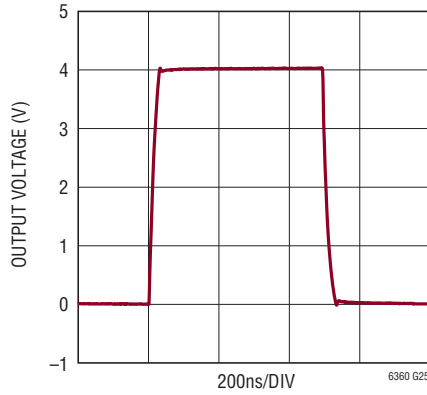
LTC6360

標準的性能特性 $T_A = 25^\circ\text{C}$, $V_{CC} = V_{DD} = 5\text{V}$, $V_{+IN} = 2\text{V}$, $V_{SHDN} = 5\text{V}$ 。回路構成については、図1を参照すること。

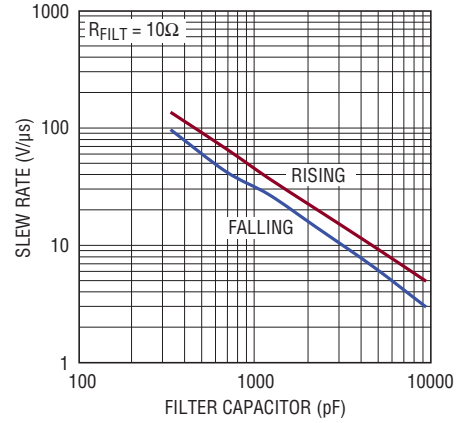
小信号ステップ応答



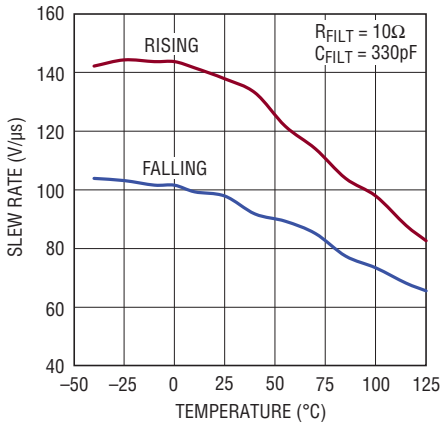
大信号ステップ応答



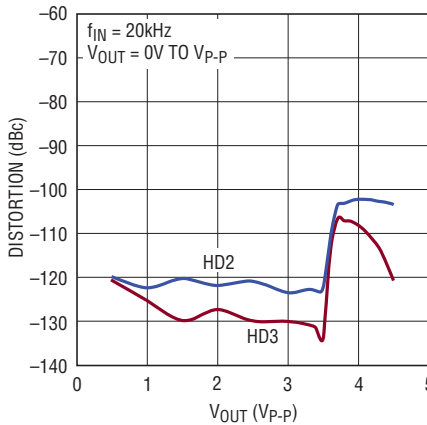
スループットとフィルタ・コンデンサ



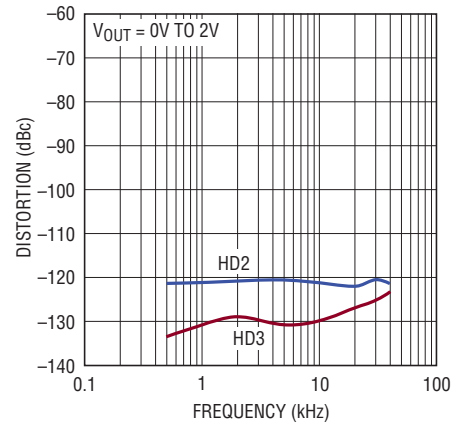
スループットと温度



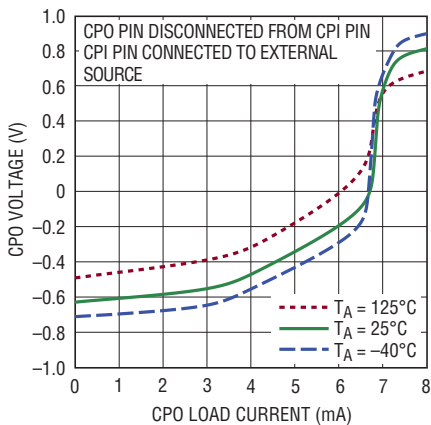
高調波歪みと出力振幅



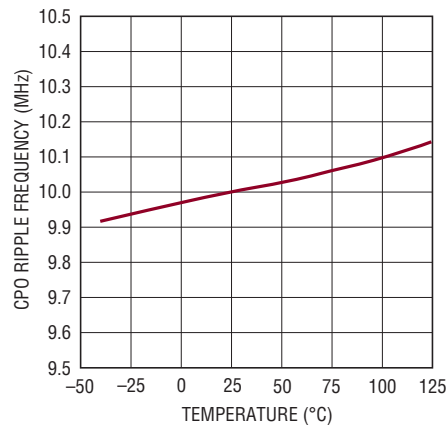
高調波歪みと周波数



CPO 電圧と CPO 負荷電流



CPO リップル周波数と温度



ピン機能

-IN (ピン1): 反転アンプ入力。

OUT (ピン2): アンプの出力。

V_{CC} (ピン3): アナログ電源。通常、5V 電源に接続されます。

V_{DD} (ピン4): デジタル電源。通常、V_{CC} に接続されます。

CPO (ピン5): チャージポンプの出力。このピンは、GND の下 -0.6V に内部的にバイアスされています。

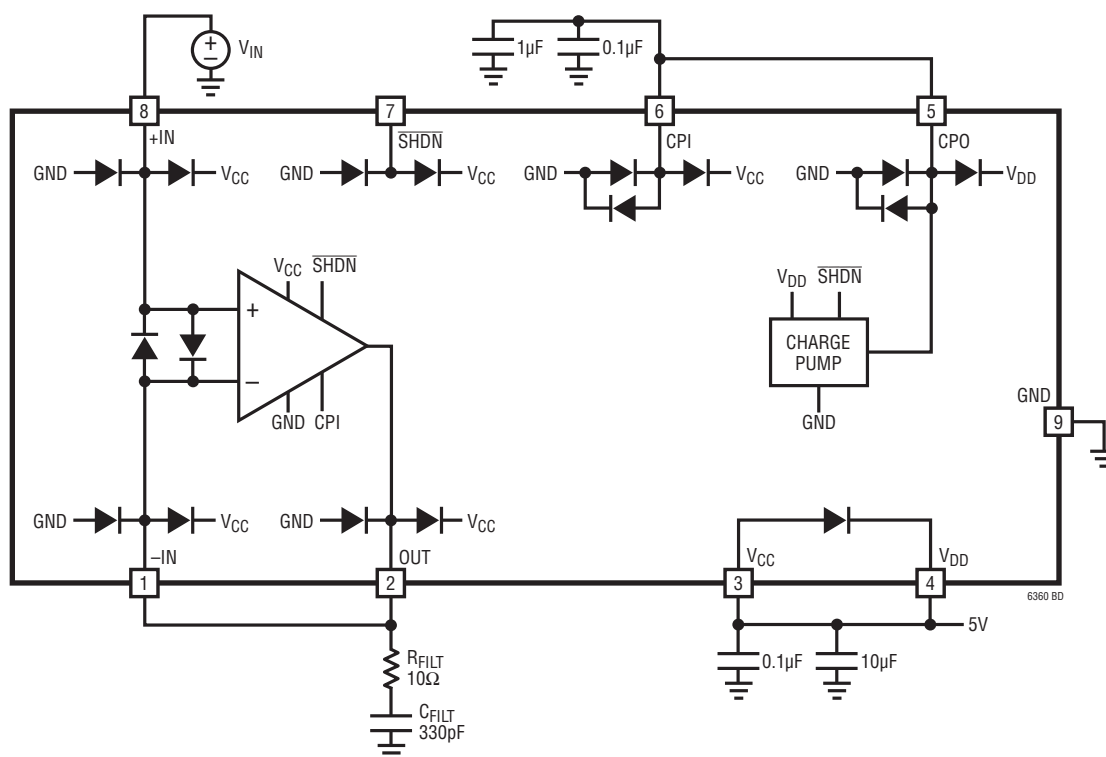
CPI (ピン6): 負のレールのアンプ入力。通常、CPO に接続されます。

SHDN (ピン7): シャットダウン・ピン。“H”に接続するかフロート状態のままにするとデバイスがイネーブルされます。“L”に接続した場合、デバイスはデイスエーブルされ、消費電流が 350 μ A 未満となります。

+IN (ピン8): 非反転アンプ入力。高インピーダンスの入力を提供します。

GND (露出パッドのピン9): グランド・ピン。通常、グランドに接続されます。

ブロック図



テスト回路

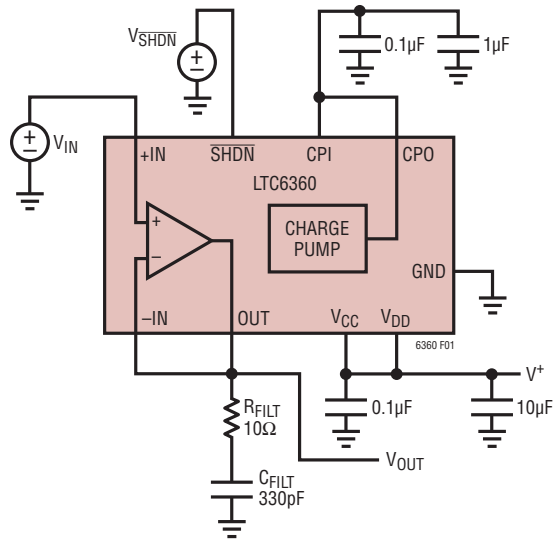


図1. テスト回路

動作

LTC6360は、シングルエンドの高性能逐次比較型(SAR)ADCのドライブに適した、低ノイズアンプです。ブロック図に示すように、LTC6360は、負のチャージポンプ・トポロジーを持つ単一アンプを使用します。

出力振幅の範囲は、 $-0.48\text{V} \sim 4.91\text{V}$ です。アンプは、 10Ω の直列抵抗とグラウンドに接続された 330pF コンデンサ・フィルタ・ネットワークをドライブするよう設計されていますが、これより大きな負荷容量をドライブすることもできます。

低ノイズの内蔵チャージポンプにより、CPOピンに小さな負電圧(通常 -0.6V)が生成されます。通常、この負電圧はCPIピンを介してアンプの出力段に接続されており、 5V 単一電源における真のゼロまでの出力振幅を可能にします。グラウンドから数百mV以内しか振幅できない標準的なレール・トゥ・レール出力アンプと比較して、LTC6360は直線性に優れ、真のゼロの出力振幅がメリットとなるアプリケーションで優れた機能を発揮します。

LTC6360は、 3MHz ノイズ帯域にわたって 110dB のSNRをサポート可能な低ノイズ・アンプを備えています。

基本接続

図2に示すのは、LTC6360のユニティ・ゲイン・ドライバとしての標準的なアプリケーションです。アンプの2つの入力(+INと-IN)は、 5V 単一のレール上で $0\text{V} \sim 4.25\text{V}$ の電圧範囲に

対応できます。これにより、 4.096V のフルスケール範囲をカバーする、 5V ADC向けのシンプルなインタフェースが提供されます。

また、非反転利得(図3参照)と反転利得(図4参照)の構成も可能です。DC精度を最も高くするには、 R_S を、 R_F と R_G の並列の組み合わせと等しくするようにしてください。 R_S は、ノイズの影響を低減するため、コンデンサでバイパスできます。

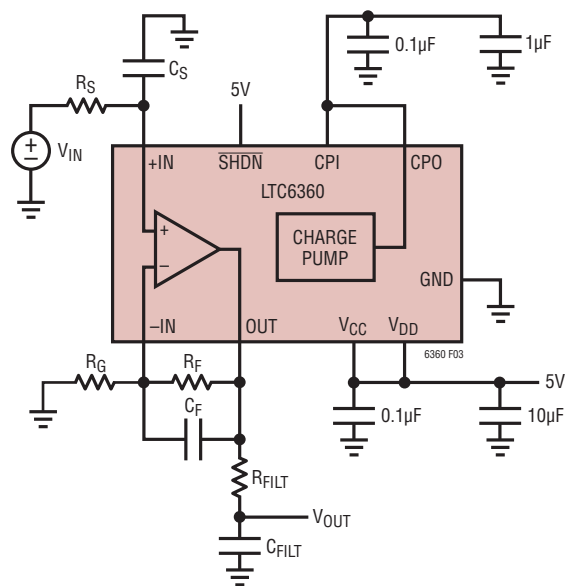


図3. 非反転利得の構成

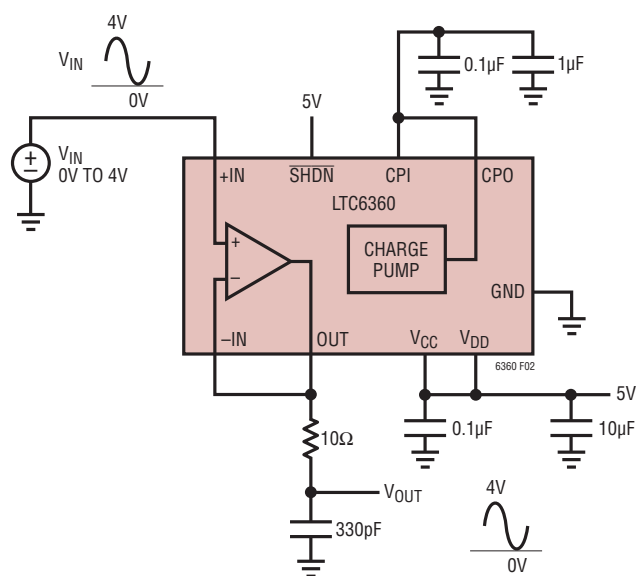


図2. ユニティ・ゲイン・ドライバ

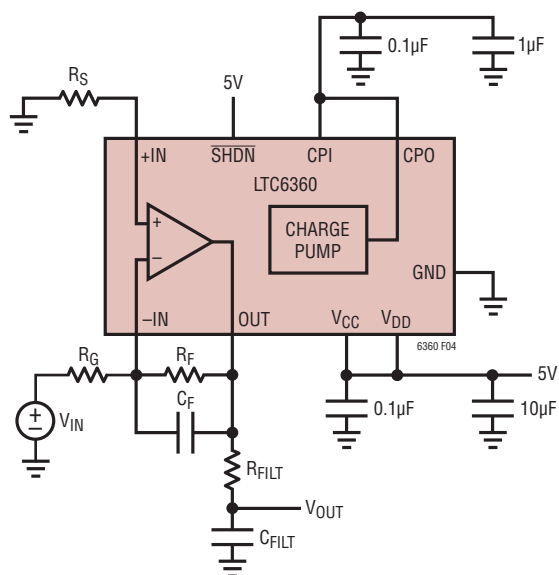


図4. 反転利得の構成

アプリケーション情報

アンプ特性

図5は、LTC6360のアンプの簡略回路図です。入力段には、並列で動作するNPN差動対とPNP差動対があります。このトポロジーでは、入力振幅を負のレールから正電源レールの0.75V以内までの全域とすることができます。PNP差動対は1次側入力差動対であり、同相電圧の正のレールからの差が1.5V未満のときアクティブです。同相電圧が $V_{CC} - 1.5V$ を超えると、NPN対がアクティブになり、PNPは非アクティブ化されます。PNP対からNPN対への遷移中、入力段のトランスコンダクタンス g_m は、ほぼ一定に保たれます。また、入力同相電圧範囲全体にわたってほぼ一定のオフセット電圧を保つために、精密な2ポイント・トリム・アルゴリズムが使われます。

入力バイアス電流は、+INおよび-IN入力から流れ出ます。この電流の大きさは、入力電流補償回路によって安定化されることによって、一方の入力対から他方の入力対への遷移時に発生しうる、入力バイアス電流の中断と極性の反転が解消さ

れます。入力同相電圧範囲全体にわたる入力バイアス電流の標準的な合計変化量は、約3.5 μA です。

アンプの帰還部品

帰還抵抗を使用して利得を設定するときは、帰還抵抗と反転入力-INの合計容量で形成されるポールによって安定性が損なわれないように注意してください。たとえば、LTC6360の利得を+2に設定するのは、図3の R_F と R_G を2kに設定することで可能となります。-INの合計容量(LTC6360とPC基板)が2pFの場合は、ループ応答で80MHzに新しいポールが形成され、これにより、ステップ応答における安定性の低下やリングングが生じる可能性があります。-INの合計寄生容量と同じ値を持つコンデンサを帰還抵抗の両端に接続することで、リングングや発振を解消することができます。寄生容量を最小限に抑えるため、レイアウト時にはトレース長をできるだけ短くし、-INピンの下のグラウンド・プレーンを除去するなど、特別な注意を払ってください。

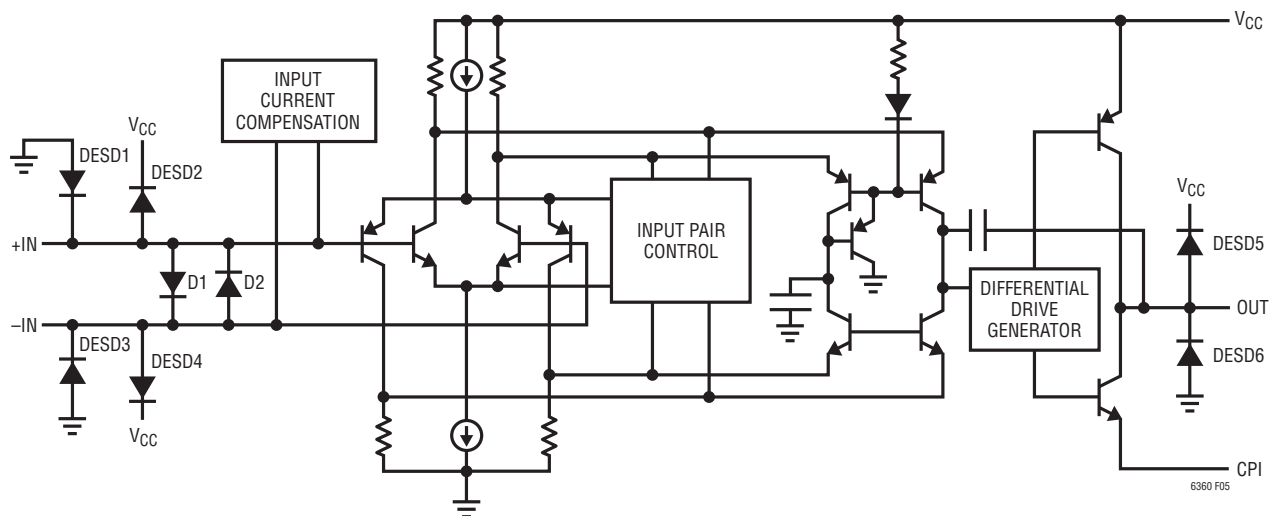


図5. アンプの簡略回路図

アプリケーション情報

入力バイアス電流によって生じるDC電圧オフセットは、 R_F と R_G の並列インピーダンスと、ソース・インピーダンスの R_S を整合させることによって、最小限に抑えることができます。たとえば、アンプがユニティ・ゲイン・バッファとして構成されている標準的なアプリケーションでは、 $R_F=R_S$ とすることで、オフセットが最小になります。値がゼロ以外の R_F は合計出力ノイズの一因となるのですが、ノイズ帯域を減らすためにコンデンサを使用して R_F をバイパスすることができます。

入力保護

+INと-INの間には、入力デバイスを保護するバック・トゥ・バック・ダイオード(図5のD1とD2)があります。入力トランジスタと直列に接続された内部抵抗を入力段に組み込むというのは、オーバードライブ状態での過電流から入力トランジスタを保護するためによく使われる手法ですが、このデバイスの入力にはそのような内部抵抗はありません。直列抵抗を組み込むと、低ノイズ性能が著しく損なわれることになります。したがって、アンプの入力にかかる電圧が $\pm 0.7V$ を超える可能性がある場合は、保護ダイオードを流れる定常電流は、外部から $\pm 10mA$ に制限してください。入力ダイオードは十分堅牢であり、保護抵抗がなくても、アンプのスルーレート・オーバードライブによる過渡電流や一時的なクリッピングを処理できます。

規定された入力同相電圧範囲を大きく超える入力信号をドライブすると、入力トランジスタが飽和します。飽和すると、アンプは位相反転段を失い、出力が反転し始めます。ダイオードD1またはD2(図5)は順方向にバイアスされ、入力信号からのダイオード電圧降下分以内の電圧に出力を保ちます。この反転を防ぐには、入力ドライブを、規定された入力同相電圧範囲内に制限します。

ESD

LTC6360のすべての入力と出力には、ESD保護ダイオードが備わっています。これらのダイオードは、通常動作時は逆バイアスされています。入力ピンがどちらかの電源を超えてドライブされると、これらのダイオードに大きな電流が流れます。この電流が過渡的なものであり、 $10mA$ 以下に制限されていれば、デバイスは損傷を受けません。

内蔵チャージポンプ

低ノイズの内蔵チャージポンプは、小さい負電圧を生成します。この負電圧は、アンプの出力段をバイアスし、 $0V$ を下回る出力振幅を可能にするために使用されます。チャージポンプの出力電圧は、通常 $-0.6V$ です。チャージポンプのスイッチング動作が原因でOUTに発生するリップルを低減するため、いくつかの設計手法が使用されてきました。チャージポンプの出力は、CPOピン、およびCPIピンにおけるアンプのチャージポンプ入力を介して、使用可能となります。これにより、CPIからGNDに接続されるコンデンサを介した、さらなる外部フィルタリングが可能です。

チャージポンプは、公称周波数 $10MHz$ で動作します。CPOの出力電圧は、 $5MHz$ の倍数である小さい周波数成分を持ちます。これらの成分は、アンプの出力段のPSRRにより、さらに低減されます。OUTピンにおける基本成分の振幅は、CPIに $0.1\mu F$ バイパス・コンデンサを接続した場合、通常 $1\mu V_{RMS}$ です。

従来、真のゼロまでの出力振幅を単一電源で実現するには、1つのアンプと、負のレールを提供する反転チャージポンプとで構成される、2チップ・ソリューションが選択されています。2チップ・ソリューションと比較すると、LTC6360には、より少ないデバイス数によるよりコンパクトなレイアウト、低出力リップル、低EMI、および低消費電力といった利点があります。

図6は、 $0.1\mu F$ 外部CPIバイパス・コンデンサを接続した場合の、出力 V_{OUT} におけるリップル電圧スペクトラムを示しています。

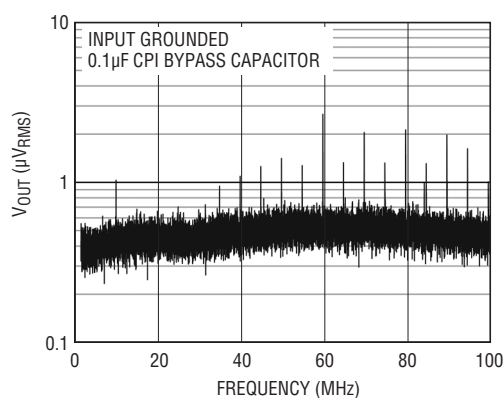


図6. 出力リップル電圧

アプリケーション情報

チャージポンプは、標準的なDC出力インピーダンス30Ωにおいて、最大4.5mAのDC電流をシンクできます。チャージポンプがより大きな電流を必要とする場合、CPOの電圧が0Vに向かって低落します。CPOからGNDに接続されたダイオードは、CPOノードに対し、グラウンドからダイオード電圧降下1回分を超えて引き上げられないよう制限します。

過渡電流は、CPO/CPIからGNDへのフィルタ・コンデンサによって吸収されます。フィルタ・コンデンサは、ピーク過渡電流要求中のリップル電圧と垂下が最小限になるように注意して選択してください。複数の小型の表面実装コンデンサを使用し、各コンデンサに周波数範囲全体の各部分をカバーさせることを推奨します。

スルーレートとフルパワー帯域幅

チャージポンプに要求される電流については、さらなる検討が必要です。容量性負荷をドライブするとき、LTC6360は、スルーレート制限歪みが発生するよりも低い周波数において、クリップ歪み特性を示します。一般的なアンプのフルパワー帯域幅はアンプのスルーレートによって決まるのに対し、容量性負荷をドライブするときのLTC6360のフルパワー帯域幅は、チャージポンプのシンク能力により制限されます。

容量性負荷をドライブするときチャージポンプがシンクする平均電流は、次の式で概算できます。

$$I_{CP(AVG)} = 2V_P \cdot C_{FILT} \cdot f + 1\text{mA} \quad (1)$$

ここで、 V_P および f はそれぞれ、ドライブされた信号の振幅と周波数です。

CPOピンを-0.4V未満に維持しながら、チャージポンプでサポート可能な最大周波数は、次のとおりです。

$$f_{FPBW} = (I_{CP(MAX)} - 1\text{mA}) / (2V_P \cdot C_{FILT}) \quad (2)$$

ここで、 $I_{CP(MAX)}$ は、仕様表で規定されています。フルスケール信号がこの周波数を超える場合、チャージポンプが0Vに向かって低落し、出力振幅が制限され、歪みが生じます。

出力補償

LTC6360は、利得5で安定するよう、内部的に補償されています。利得が低い場合、出力に外部RCネットワークを接続し、補償する必要があります。アンプは、330pFと直列につながれた10Ωの標準的なRC負荷に対し、できる限り高い利得帯域幅を提供するため、非補償型となっています。追加で得られた利得帯域幅は、より広い帯域幅にわたって歪みを低減する働きをします。外部RCフィルタ・ネットワークはほとんどのADCアプリケーションで所望されるものであるため、非補償であることはこれらのケースでは明白なことであり、実際に歪み性能を向上する効果があります。

出力に接続したRCネットワークは、ポール周波数を超えるループ利得を減少させる、ポールとゼロの対を生成します。高い周波数での簡略化した回路モデルを図7に示します。高い周波数では、アンプの開ループ出力インピーダンスは、45Ωの等価抵抗 r_o によって表せます。

ポール周波数は、次のとおりです。

$$f_p = 1 / (2\pi(R_{FILT} + r_o)C_{FILT}) \quad (3)$$

ゼロ周波数は、次のとおりです。

$$f_z = 1 / (2\pi R_{FILT} C_{FILT}) \quad (4)$$

これは、 R_{FILT} および C_{FILT} によって構成されるフィルタの-3dB帯域幅でもあります。ゼロとポールの比率は、次の式で求められます。

$$f_z / f_p = 1 + r_o / R_{FILT} \quad (5)$$

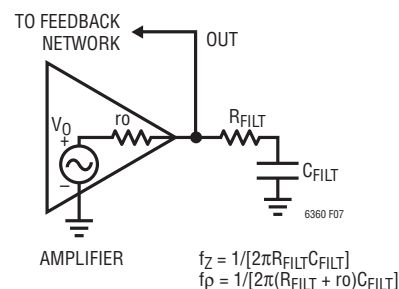


図7. 出力でのRCネットワークによるポールとゼロ

アプリケーション情報

ループ利得とそれに続く帯域幅が減少する量は、このゼロ/ポール比と等しくなります。たとえば、20dBのループ利得の減少(1デケードの帯域幅の減少)の場合、 R_{FILT} は 5Ω に等しくなるようにしてください。

図8は、補償なし、 $10\Omega/330\text{pF}$ のRC補償ネットワークありの開ループ利得を示しています。ポールとゼロが10MHzを超える開ループ利得を減少させ、ユニティ・ゲイン・アプリケーション用にアンプを安定させていることが分かります。

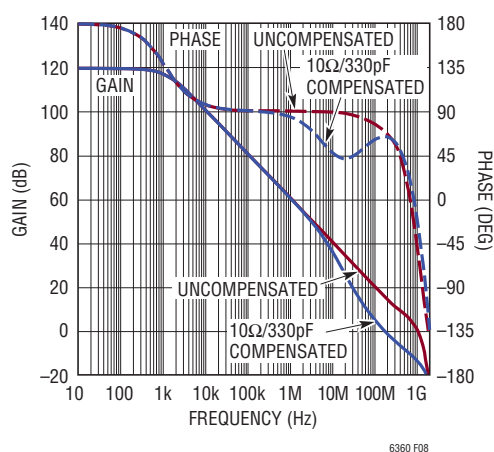


図8. 開ループ利得および位相
(出力補償あり/なし)

次に、5より小さい回路利得で安定性を確保するようRCフィルタを設計するためのガイドラインを示します。

1. ユニティ・ループ利得のクロスオーバー点 f_C の前で十分に利得を減少させるには、ゼロとポールの比を $5/NG$ より大きくしてください。ここで、 NG は回路ノイズ利得です。たとえば、式5によると、ユニティ・ゲイン構成では、 R_{FILT} 値の最大値に 11.25Ω を取ることができます。
2. ゼロは、ユニティ・ゲインのクロスオーバー周波数 f_C より下にあるようにしてください。RCネットワークを導入すると、低い周波数で、次の式で表される f_Z が発生します。

$$f_C = f_{C(AMP)} / (f_Z / f_P \cdot NG) \quad (6)$$

ここで、 $f_{C(AMP)}$ は、RCネットワークを使用しないときのアンプのユニティ・ゲイン帯域幅です。そのため、次の条件を満たすようにしてください。

$$f_Z < f_{C(AMP)} / (f_Z / f_P \cdot NG) \quad (7)$$

ここで、 $f_{C(AMP)}$ は、約1GHzです。

これにより、CLに次の下限が設定されます。

$$C_{FILT} > (f_Z / f_P \cdot NG) / (2\pi R_{FILT} f_{C(AMP)}) \quad (8)$$

ゼロとポールの比が大きい場合、追加の-marginが必要な場合があることに注意してください。この場合では、 f_Z を f_C と同じに設定することで、最高45°の位相marginが得られます。実際には、アンプの高次のポールにより、位相marginは45°未満に減少します。そのため、適切な位相marginを確保するには、 f_Z が f_C より下になるようにしてください。ポールとゼロの比が大きい場合の位相marginは、 $\tan^{-1}(f_C/f_Z)$ で概算できます。

同様に、ゼロとポールの比が小さい場合、ゼロによって進み位相となる前にポールによって全90°の遅れ位相となるようなことはありません。このような場合、 f_Z が f_C より低いという必要条件是緩和できます。

3. R_{FILT} および C_{FILT} は、上記の2つの制約を満たしながら必要なフィルタ帯域幅が得られるように選択します。

フィルタRCネットワークのレイアウトは、デバイスの安定性のために重要です。このパスの寄生インダクタンスを最小限に抑えるよう注意してください。

表1は、いくつかの一般的な回路利得について推奨されるRCフィルタ値を示しています。 C_{FILT} の値を表1に示す値より大きくすることで、安定性を損なうことなしに、より大きなフィルタ時定数を実装できる、ということに注意してください。 C_{FILT} の値が大きい場合、ESRを削減し、高い自己共振周波数を保つために、複数の高品質表面実装コンデンサを使用することが必要になる場合があります。

表1. さまざまな回路利得についての構成部品の値

ノイズ利得(NG)	R_F	C_F	R_G	R_{FILT}	C_{FILT}
1	0	DNI	DNI	10	330pF
2	2k	2pF	2k	25	150pF
5	2k	0.2pF	500	DNI	DNI
10	2k	DNI	222	DNI	DNI
20	2k	DNI	181	DNI	DNI

DNI - 組み込み不可 (Do Not Install)

LTC6360からA/Dコンバータへのインタフェース

ADCをドライブするとき、LTC6360の出力とADCの入力との間にシングル・ポールのRCフィルタを配置することで、システム性能を改善できます。ADCのサンプリング・プロセスは、ADCサンプリング・コンデンサのスイッチングにより、ADC入

アプリケーション情報

力において電荷過渡を生じさせます。これにより、アンプとADC間を電荷が移動するとき、アンプの出力が一時的に乱れます。収集時間が終了する前に、この負荷過渡状態からアンプを回復させ、安定させる必要があります。LTC6360の出力のRCネットワークは、ADCのサンプリング過渡をアンプからデカップリングする助けとなり、アンプの出力段に対する要求を緩和します(図9を参照)。ADCへの入力抵抗は、RCフィルタのコンデンサを放電するサンプリング過渡を最小限に抑えます。

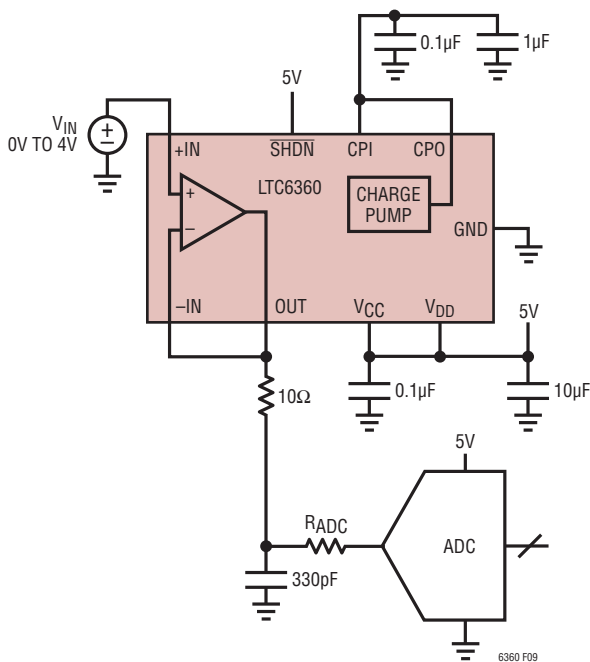


図9. ADCのドライブ

このフィルタ・コンデンサは、サンプリング・プロセス中に電荷の大半を提供する役割を果たし、フィルタ抵抗は、ADCから注入される電荷を緩衝し減衰させます。RCフィルタは、広帯域出力ノイズの帯域を制限するという、二次的な利点も備えています。

RC時定数の選択はアプリケーションによって異なるものの、一般的には、時定数を長くするとSNRが向上します。ただ、その代わりにセトリング時間が長くなります。セトリング時間が長すぎると利得誤差を生じる恐れがあり、フィルタ構成部品が完全に線形でない場合は歪みを生じる恐れもあります。16ビット・アプリケーションでは通常、1次フィルタのRC時定数

の11倍の最小セトリング時間が必要です。また、抵抗が小さすぎる場合はサンプリング・プロセスの負荷過渡を正しく緩衝できず、セトリングに要する時間が長くなる、ということにも注意してください。

RCフィルタ・ネットワークには、高品質の抵抗やコンデンサを使用してください。これらの構成部品は、内部アンプを安定させるとともに、構成部品自体の歪みの原因ともなりうるためです。歪みを最小限に抑えるには、COG積層セラミック・コンデンサなど、高品質の誘電体を使用したコンデンサを選択します。金属膜表面実装抵抗は、カーボンタイプの抵抗よりも高い直線性を備えています。

SHDN

SHDNピンは、5V TTLまたは3.6V CMOSレベルとの互換性を持ちます。SHDNピン(ピン7)が“L”(0.8V未満)になると、LTC6360はパワーダウンします。ピンをオープンのままにするか、“H”(2.0Vより上)に引き上げると、デバイスは通常のアクティブ動作となります。シャットダウン状態とアクティブ状態の間のターンオン時間は、通常1μsです。ターンオフ時間は、通常0.3μsです。

シャットダウン時には、出力ピン(OUT)は見かけ上、グラウンドに接続された非線形コンデンサと、VCCおよびグラウンドに接続されたステアリング・ダイオードを持つ、オープン・コレクタとなります。非線形コンデンサの働きによって、大きな過渡電圧に曝された場合でも、出力は少量の過渡電流をシンクまたはソースすることができます。入力の上昇過渡電圧が700mVを超える場合でも、+INと-INの間の入力保護ダイオードに電流が流れます。

ノイズに関する検討事項

LTC6360のノイズ密度 e_n は小さく、 $2.3\text{nV}/\sqrt{\text{Hz}}$ です。これは、+IN入力における 320Ω 抵抗の電圧ノイズに相当します。 320Ω より大きいソース抵抗の場合、ソース抵抗による電圧ノイズが大部分を占めるようになります。電流ノイズ密度は $3\text{pA}/\sqrt{\text{Hz}}$ です。そのため、約 770Ω より大きいソース抵抗は入力電流ノイズと相互に作用し、アンプの電流ノイズが出力ノイズの大部分を占めるようになります。

利得設定抵抗 R_F と R_G は、並列に組み合わせると、ノイズ計算の観点からはソース抵抗 R_S と同様に動作する、ということに注意してください。

アプリケーション情報

利得抵抗 R_G と帰還抵抗 R_F の値を小さくすれば、出力ノイズは小さくなりますが、アンプの負荷が増加するので歪みが大きくなります。歪み性能を低下させないためには、外部負荷を $2k\Omega$ 以上にしてください。 $R_F \parallel R_G$ に等しい R_S を使用すると、小型のコンデンサを使用して R_F をバイパスすることによって、広帯域ノイズを大幅に減らすことができます。

LT6360の出力にシングル・ポールのパッシブRCフィルタ・ネットワークを使用すると、出力ノイズ帯域が狭くなり、それによってシステムのSNRが向上します。

たとえば、出力信号 $4V_{p,p}$ の標準的なシステムにおいて、 $R_{FILT} = 10\Omega$ かつ $C_{FILT} = 330pF$ のRC出力フィルタを使用すると、全積分ノイズが $57\mu V$ (OUTでの $250MHz$ $-3dB$ 帯域幅) から $27\mu V$ ($48MHz$ $-3dB$ 帯域幅) に減少し、SNRが $90dB$ から $97dB$ に向上します。

出力フィルタのRC時定数を大きくすると、ADC入力のセトリング時間が長くなる可能性がある、という点に留意してください。セトリングが不完全な場合、利得誤差や、マルチプレクス・システムでの見かけ上のクロストークの増加を招く恐れがあります。

基板レイアウトとバイパス・コンデンサ/DC1639Aデモボード

高品質のX5RまたはX7Rの $0.1\mu F$ バイパス・コンデンサを V_{CC} とGNDピンの間に直接取り付けを推奨します。GNDピン(露出パッド)は、低インピーダンスのグラウンド・プレーンに最短経路で直接接続してください。CPIピンは、最短のトレース配線でGNDに戻る、いくつかの高品質なX5Rまた

はX7Rコンデンサによってフィルタできます。寸法の小さい(たとえば0603)表面実装セラミック・コンデンサは、リード付きコンデンサよりもはるかに自己共振周波数が高く、LTC6360に最適です。

$-IN$ ピンの浮遊寄生容量は、最小限に抑えてください。安定応答が損なわれて過度のリングングや発振が発生するのを防ぐためです。 $-IN$ のトレースはできるだけ短くし、ピンおよびトレース下のグラウンド・プレーンは除去してください。

出力におけるRCフィルタ・ネットワークは、フィルタおよび補償ネットワークの両方の役割を果たします。このパスにおける寄生トレース・インダクタンスは、アンプの安定性を損なう傾向があります。出力でのRCフィルタ・ネットワークは、低インピーダンスのグラウンド・プレーンに直接戻るようにしてください。また、このパスのトレース配線はできる限り短くしてください。歪み性能を最適化し、直列抵抗とインダクタンスの不安定化を低減するために、高品質のCOG/NPO表面実装コンデンサを使用してください。より値が大きいフィルタ・コンデンサが必要な場合、複数の表面実装コンデンサが必要になる場合があります。その場合、最も値が小さいコンデンサを最も出力に近い場所に配置します。

DC1639Aデモボードは、上記のレイアウト手法に従ったLTC6360の評価用に設計されています。その回路図とレイアウトを図10と図11に示します。

アプリケーション情報

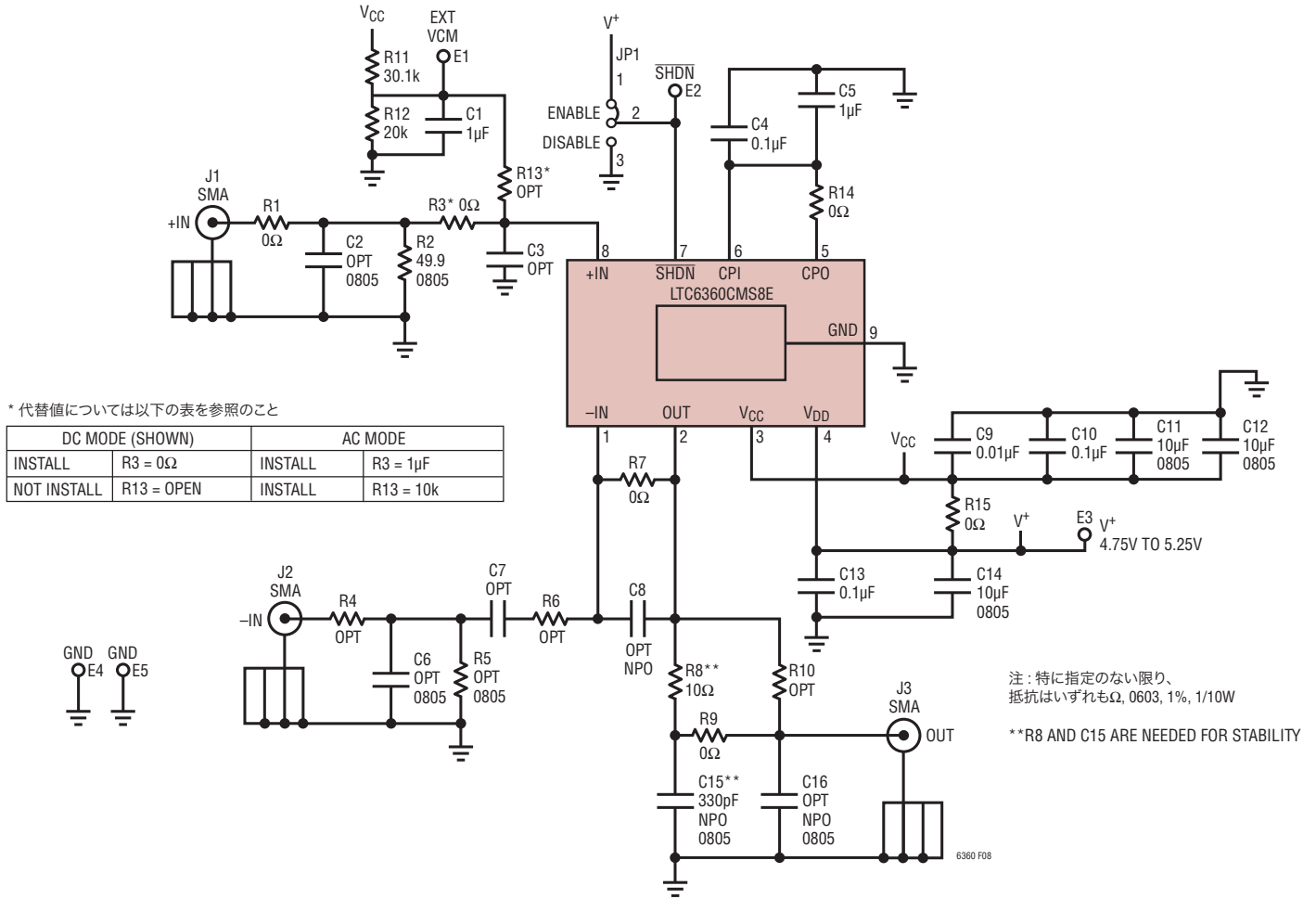


図 10. DC1639A デモボードの回路図

アプリケーション情報

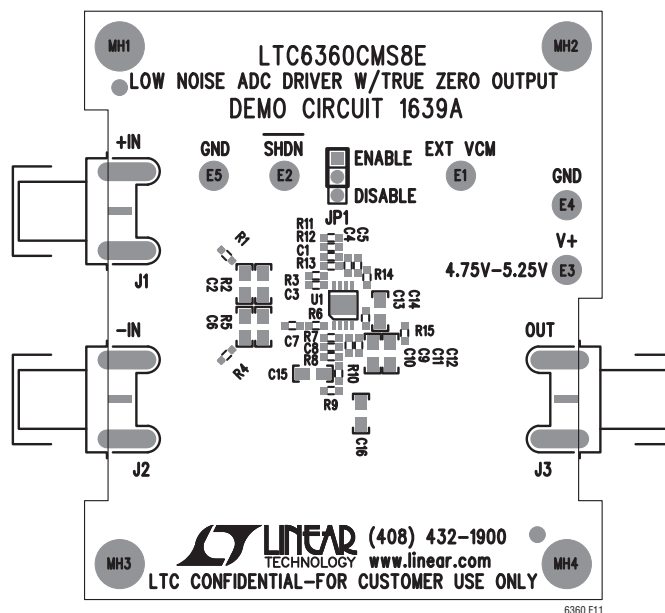


図 11. DC1639A デモボードのレイアウト

アプリケーション情報

高電圧信号とのインタフェース

入力同相電圧を固定して、アンプを反転構成で使用すると、入力信号振幅をLT6360の電源レールよりも大きくすることができます。

反転利得構成の実際的な応用例としては、低電圧 SAR ADC に適した範囲への高電圧信号の変換があります。クリーンなインタフェースを実現するには、次の2つの条件を満たす必要があります。

1. HV_{IN} のフルスケール信号が、LTC6360 の出力で、ADC の適切なフルスケール範囲に変換されるよう、利得を選択すること。
2. HV_{IN} の中点を HV_{NOM} としたときに、 $V_{OUT} = V_{FS}/2$ であること。ここで、 V_{FS} は ADC のフルスケール入力電圧で、 HV_{NOM} は入力電圧の平均レベル。

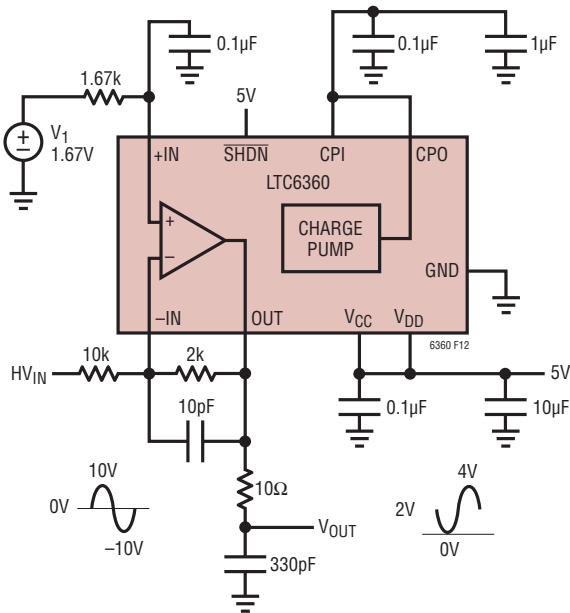


図12. ±10V入力信号から5V ADCへのインタフェース

上記の制約を設計式に適用すると、 R_F/R_G と V_1 の値が求められます。

$$R_F/R_G = \frac{V_{OUT(MAX)} - V_{OUT(MIN)}}{[HV_{IN(MAX)} - HV_{IN(MIN)}]} \quad (9)$$

$$V_1 = [V_{FS}/2 + R_F/R_G \cdot HV_{NOM}]/(1 + R_F/R_G) \quad (10)$$

これらの式を、±10V入力信号が0V～4Vのフルスケール範囲に変換される場合に適用すると、図12に示す値が求められます。

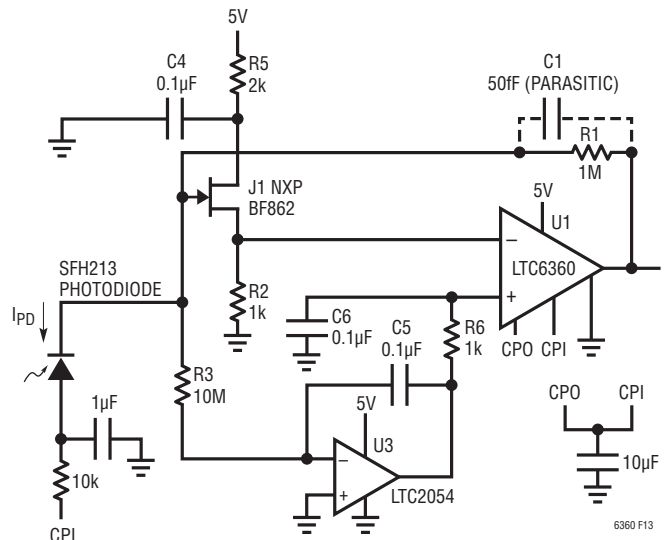


図13. 低ノイズ、真のゼロの1MΩ DC高精度フォトダイオード・トランスインピーダンス・アンプ

アプリケーション情報

低ノイズ、真のゼロの1M Ω フォトダイオード・トランスインピーダンス・アンプ

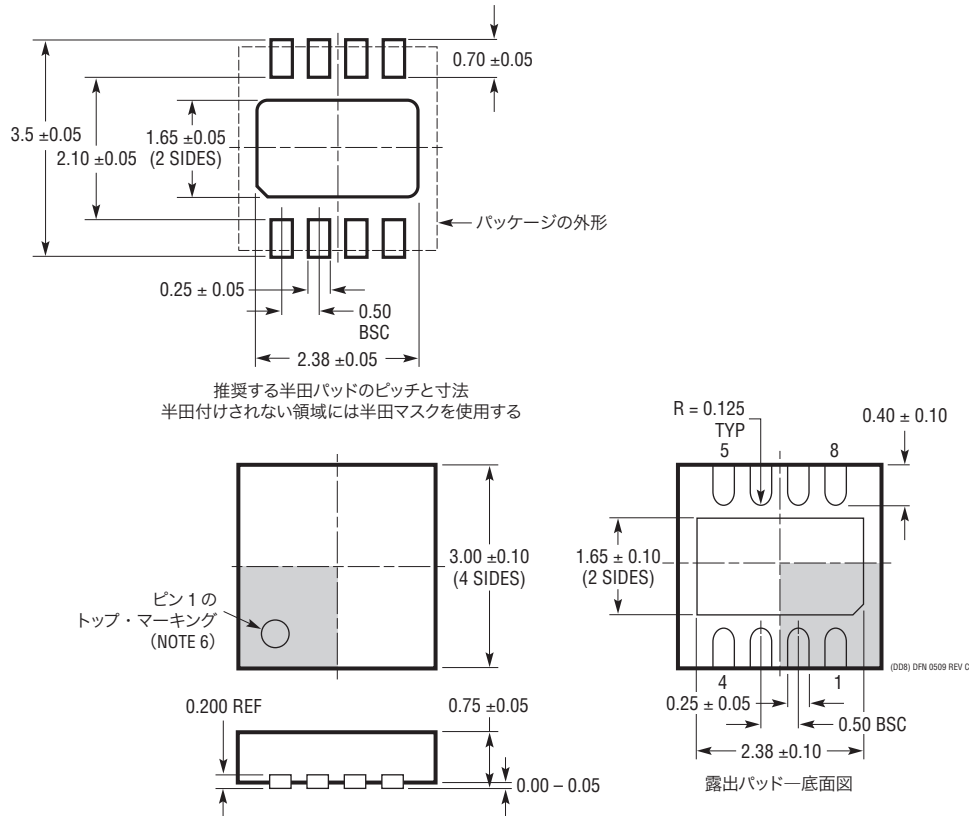
図13は、LTC6360をトランスインピーダンス・アンプとして使用したものです。LTC6360のチャージポンプは、フォトダイオードのアノードをドライブします。BF862超低ノイズJFET (J1)はソース・フォロワとして機能し、LTC6360の入力をバッファして高インピーダンスの帰還素子R1に適したものとします。BF862の最小 I_{DSS} は10mAで、ピンチオフ電圧は-0.3V~-1.2Vです。LTC2054のチョップ安定オペアンプは、JFETゲ

ートのDC電圧を0Vにサーボ制御します。これにより、フォトダイオード電流がないときに、LTC6360の出力振幅を0Vにできます。

低周波数におけるアンプの出力ノイズ密度は帰還抵抗の130nV/ $\sqrt{\text{Hz}}$ によるものが大部分を占め、1MHzでは320nV/ $\sqrt{\text{Hz}}$ に増加します。JFETの g_m は約1/100 Ω であるため、R2による減衰は約10%に過ぎない、ということに注意してください。SFH213のフォトダイオードを使用した閉ループ帯域幅の測定値は、約3.2MHzです。

パッケージ

DD パッケージ 8ピン・プラスチック DFN (3mm×3mm) (Reference LTC DWG # 05-08-1698 Rev C)

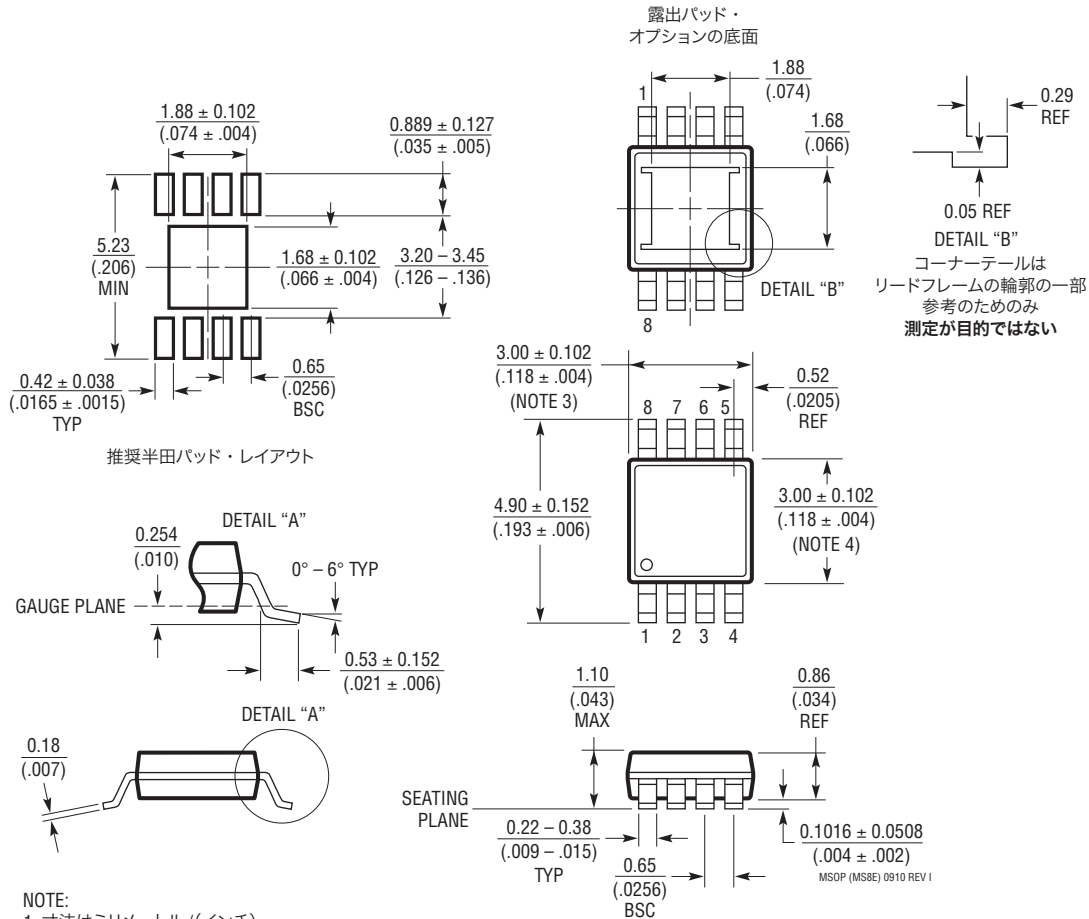


NOTE:

- 図は JEDEC のパッケージ外形 M0-229 のバリエーション (WEED-2) になる予定
バリエーションの指定の現状については LTC の Web サイトのデータシートを参照
- 図は実寸とは異なる
- すべての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージ

MS8Eパッケージ
8ピン・プラスチックMSOP、露出ダイ・パッド
(Reference LTC DWG # 05-08-1662 Rev I)

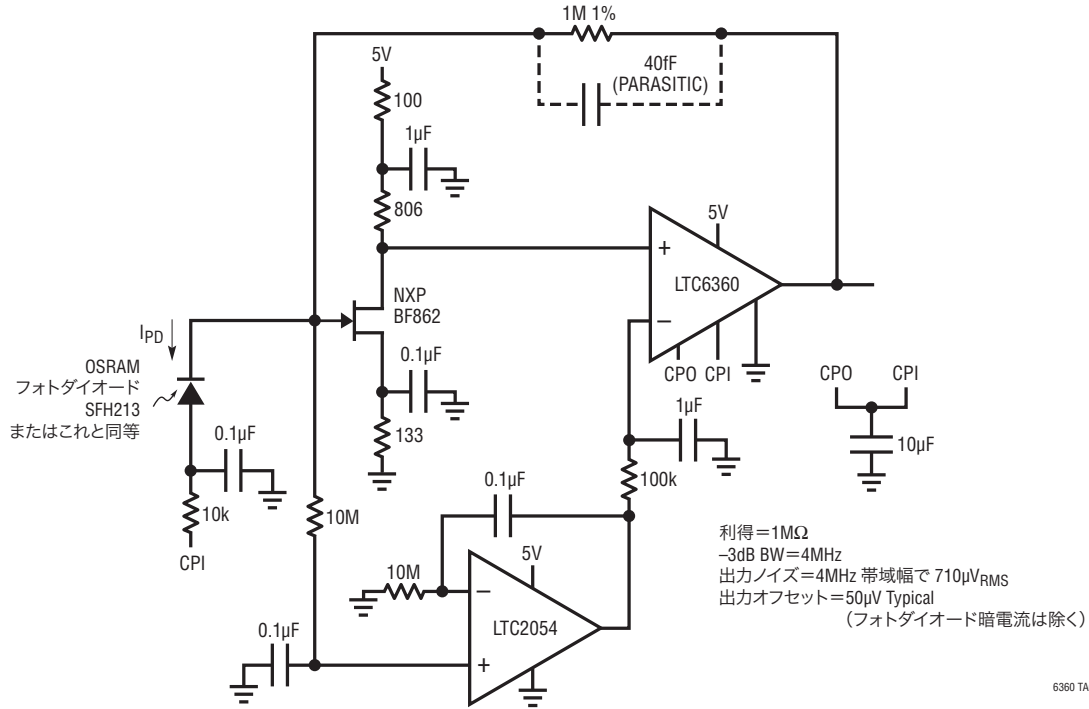


NOTE:

1. 寸法はミリメートル/(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006°) を超えないこと
4. 寸法にはリード間のバリまたは突出部を含まない
リード間のバリまたは突出部は各サイドで 0.152mm (0.006°) を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大 0.102mm (0.004°) であること
6. 露出パッドの寸法にはモールドフラッシュを含まない。
Eパッドのモールドフラッシュは各辺とも 0.254mm ($.010^\circ$) を超えないこと。

標準的応用例

高精度超低ノイズ、真のゼロのフォトダイオード・アンプ



関連製品

製品番号	説明	注釈
LT6350	低ノイズのシングルエンド-差動コンバータ / ADCドライバ	1.9nV/√Hz、2.7V ~ 12V 動作、240ns 0.01% のセトリング時間
LTC6253	高電力効率の720MHz、3.5mA レール・トゥ・レール入出力デュアル・オペアンプ	720MHz、3.3mA、2.75nV/√Hz、280V/μs、350μV、4MHz で -77dBc
LT1818/LT1819	広帯域、高スルーレート、低ノイズおよび低歪みのシングル/デュアル・オペアンプ	400MHz、9mA、6nV/√Hz、2500V/μs、1.5mV、5MHz で -85dBc
LT1806/LT1807	シングル/デュアル、低ノイズ、レール・トゥ・レール入出力オペアンプ	325MHz、13mA、3.5nV/√Hz、140V/μs、550μV、85mA 出力ドライブ