

300MHz～6GHzの範囲で 利得をプログラム可能な デュアル・ダウンコンバーティング・ミキサ

特長

- 電力変換利得: 12dB
- 出力IP3: 35dBm
- 0.5dB ステップでのIF DVGAの範囲: 15.5dB
- プログラム可能なRF入力調整
- 低消費電力モード
- 3.3V単電源
- 短期間の開発を可能にするシンプルなSPI
- -40°C～105°Cで動作(T_C)
- 非常に小型のソリューション・サイズ
- 32ピン(5mm×5mm)QFNパッケージ

アプリケーション

- 4Gおよび5G MIMOレシーバ
- ダイバーシティ・レシーバ
- 分散アンテナ・システム(DAS)
- ネットワーク・テスト/監視装置
- ソフトウェア無線

説明

利得をプログラム可能なLTC®5566デュアル・ダウンコンバーティング・ミキサは、正確な利得設定を必要とするダイバーシティ・レシーバおよびMIMOレシーバに最適です。各チャンネルには、アクティブ・ミキサおよび15.5dBの利得制御範囲を備えるデジタルIF VGAが組み込まれています。各チャンネルのIF利得は、SPIを介して0.5dBステップで設定されます。

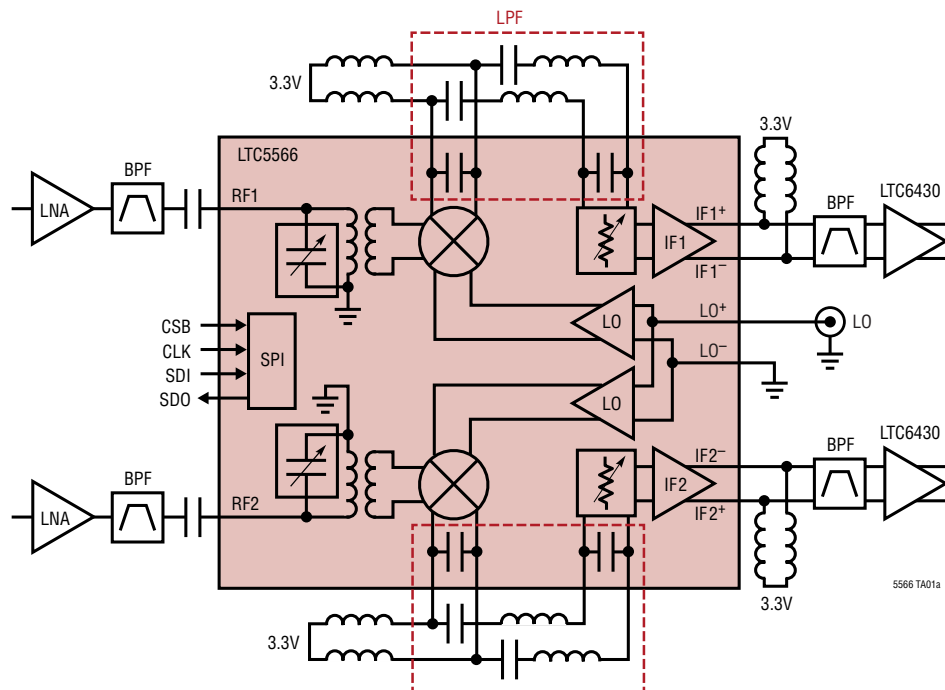
SPIまたはパラレル制御ラインを介してプログラム可能なRF入力調整機能を備えているため、このデバイスは広帯域無線アプリケーションに適しています。さらに、SPIを介して設定する低消費電力モードを利用できます。

内蔵されたRFトランスが、50Ωのシングルエンド入力を提供します。差動LO入力は、シングルエンド駆動または差動駆動用に設計されています。差動入力IF出力は、差動IFフィルタおよびアンプへのインタフェースを簡略化します。ミキサは、最大5GHzでの使用に対して最適化されていますが、性能を下げずに6GHzまで使用することができます。

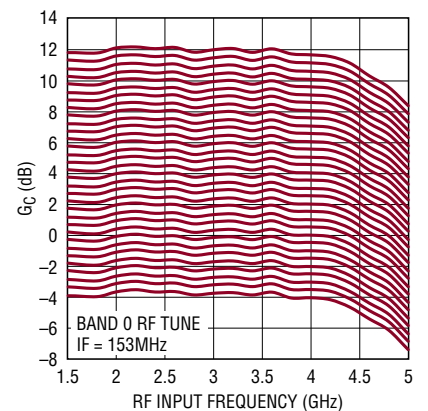
LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

0.5dBの利得ステップでプログラム可能なデュアル・チャンネルMIMOレシーバ



LTC5566の変換利得とRF周波数およびIF減衰(0.5dBの利得ステップ)



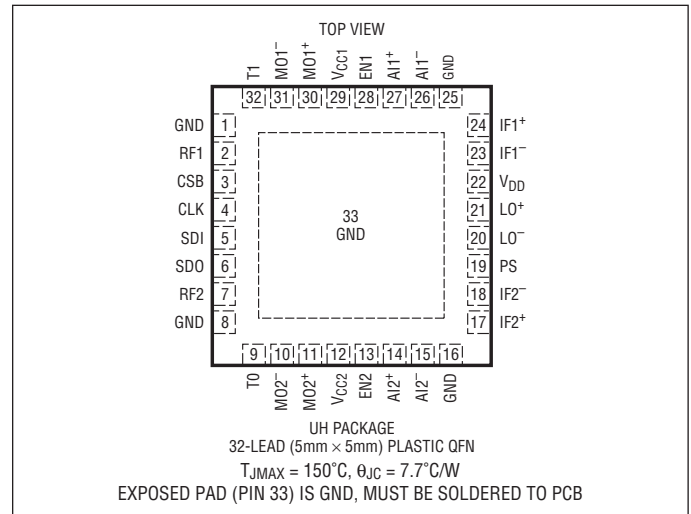
LTC5566

絶対最大定格

(Note 1, 2)

| | |
|---|-------------------------|
| 電源電圧 (V_{DD} , V_{CC1} , V_{CC2} , $IF1^+$, $IF1^-$, $IF2^+$, $IF2^-$) | 4V |
| EN1, EN2, T0, T1 の入力電圧 | -0.3V ~ $V_{CC} + 0.3V$ |
| LO ⁺ , LO ⁻ の入力電力 (150MHz ~ 6GHz) | +10dBm |
| RF1, RF2 の入力電力 (300MHz ~ 6GHz) | +20dBm |
| LO ⁺ , LO ⁻ の DC 電圧 | ±0.5V |
| IF DVGA のピーク差動入力電圧 | ±4V |
| SDI, CLK, CSB, PS の入力電圧 | -0.3V ~ $V_{DD} + 0.3V$ |
| SDO の出力電流 | ±10mA |
| 動作温度範囲 (T_C) | -40°C ~ 105°C |
| 接合部温度 (T_J) | 150°C |
| 保存温度範囲 | -65°C ~ 150°C |

ピン配置



発注情報

(<http://www.linear-tech.co.jp/product/LTC5566#orderinfo>)

| 無鉛仕上げ | テープ・アンド・リール | 製品マーキング | パッケージ | ケース温度範囲 |
|----------------|------------------|---------|-------------------------------|----------------|
| LTC5566IUH#PBF | LTC5566IUH#TRPBF | 5566 | 32-Lead (5mm×5mm) Plastic QFN | -40°C to 105°C |

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。 $V_{CC} = V_{DD} = 3.3\text{V}$ 。図1に示されているテスト回路。(Note 2)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|---------------------------------|--|-----|-----|-----|-------|
| Supply Voltage (V_{CC}) | | 3.0 | 3.3 | 3.6 | V |
| SPI Supply Voltage (V_{DD}) | | 1.6 | | 3.6 | V |
| Supply Current (I_{CC}) | One Channel, Full Power Mode | | 192 | 225 | mA |
| | Both Channels, Full Power Mode | | 384 | 450 | mA |
| | One Channel, Reduced Power Mode | | 147 | | mA |
| | Both Channels, Reduced Power Mode | | 294 | | mA |
| | Shutdown | | 1.2 | 1.9 | mA |
| SPI Supply Current (I_{DD}) | Operating: CSB = Low, $f_{CLK} = 10\text{MHz}$ | | 0.2 | 1 | mA |
| | Idle: CSB = High | | 10 | | μA |

イネーブル入力および RF 調整ロジック入力 (EN1, EN2, T0, T1) 各ピンの内部プルダウン抵抗

| | | | | | |
|------------------------------|---------------------------------|---|-----|-----|----|
| Input High Voltage (O_n) | | ● | 1.4 | | V |
| Input Low Voltage (Off) | | ● | | 0.5 | V |
| Input Current | $V_{IN} = V_{CC} = 3.6\text{V}$ | | | 100 | μA |
| Enable Turn-On Time | | | | 0.3 | μs |
| Enable Turn-Off Time | | | | 0.1 | μs |

RF 入力調整パラレル選択ロジック入力 (PS) 内部プルダウン抵抗

| | | | | | |
|---------------------------------------|---------------------------------|---|--------------------|--------------------|----|
| Input High Voltage (Parallel Enabled) | | ● | $0.7 \cdot V_{DD}$ | | V |
| Input Low Voltage (Serial Enabled) | | ● | | $0.3 \cdot V_{DD}$ | V |
| Input Current | $V_{IN} = V_{DD} = 3.6\text{V}$ | | | 50 | μA |

5566f

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。 $V_{CC} = V_{DD} = 3.3\text{V}$ 。図1に示されているテスト回路。(Note 3、6)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|--------------------------------------|----------------------------------|-----|------------------------|--------------------|---------------|
| SPIポート・ロジック入力 (CSB, CLK, SDI) | | | | | |
| Input High Voltage | | ● | $0.7 \cdot V_{DD}$ | | V |
| Input Low Voltage | | ● | | $0.3 \cdot V_{DD}$ | V |
| Input Current | $V_{IN} = V_{DD} = 3.6\text{V}$ | | | 25 | μA |
| Input Hysteresis | | | 200 | | mV |
| SPIポート・ロジック出力 (SDO) | | | | | |
| Output High Voltage | $I_{SOURCE} = 3\text{mA}$ | ● | $V_{DD} - 0.4\text{V}$ | | V |
| Output Low Voltage | $I_{SINK} = 3\text{mA}$ | ● | | 0.4 | V |
| Output Leakage Current | $V_{CSB} = V_{DD} = 3.6\text{V}$ | | | ± 20 | μA |
| SPIポートのタイミング | | | | | |
| SDI Setup Time | | | 5 | | ns |
| SDI Hold Time | | | 10 | | ns |
| CLK Falling to SDO Valid Time | $C_{SDO} = 20\text{pF}$ | | | 15 | ns |
| SDO Rise/Fall Time | $C_{SDO} = 20\text{pF}$ | | 5 | | ns |
| SDO Enable Time | | | | 10 | ns |
| SDO Disable Time | | | | 10 | ns |
| CSB Setup Time | | | 15 | | ns |
| CSB Hold Time | | | 5 | | ns |
| CLK Frequency | $C_{SDO} = 20\text{pF}$ | | | 20 | MHz |

AC 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。 $V_{CC} = 3.3\text{V}$ 、 $EN1$ 、 $EN2 = \text{“H”}$ 、 $P_{LO} = 0\text{dBm}$ 。
図1に示されているテスト回路。(Note 3、4、5)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS | |
|------------------------------------|--|-----|----------------------------------|-----|----------------|-----|
| RF Input Frequency Range | External Matching Required | ● | 300 to 6000 | | MHz | |
| LO Input Frequency Range | | ● | 150 to 6000 | | MHz | |
| IF Output Frequency Range | External Matching Required | ● | 1 to 500 | | MHz | |
| 1dB IF Gain Roll-off | Relative to 100MHz Gain | | 400 | | MHz | |
| IF Gain Error at 150MHz | Differential; Between Any Two 0.5dB Atten Steps Integral; Over Entire 15.5dB IF Atten Range | | ± 0.06 0.3 | | dB dB | |
| IF Phase Error | IF = 150MHz, Full 15.5dB Atten Range IF = 350MHz, Full 15.5dB Atten Range | | 2.4 5.5 | | Deg Deg | |
| LO Input Return Loss | Single-Ended, $Z_0 = 50\Omega$, 150MHz to 6000MHz | | >10 | | dB | |
| LO Input Power | Single-Ended or Differential | ● | -6 | 0 | 6 | dBm |
| Mixer IF Output Impedance | Differential, 10MHz to 400MHz | | $300\Omega \parallel 1\text{pF}$ | | R C | |
| IF DVGA Input Impedance | Differential, 10MHz to 400MHz | | $300\Omega \parallel 1\text{pF}$ | | R C | |
| IF DVGA Output Impedance | Differential, 10MHz to 400MHz | | $206\Omega \parallel 1\text{pF}$ | | R C | |
| RF to LO Isolation | RF = 300MHz to 1000MHz RF = 1000MHz to 3800MHz RF = 3800MHz to 6000MHz | | >68 >50 >40 | | dB dB dB | |
| RF to Unbalanced IF Port Isolation | RF = 300MHz to 900MHz RF = 900MHz to 6000MHz | | >32 >54 | | dB dB | |
| LO to Unbalanced IF Port Leakage | LO = 300MHz to 800MHz LO = 800MHz to 6000MHz | | <-33 <-43 | | dBm dBm | |

5566f

AC 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{CC} = V_{DD} = 3.3\text{V}$ 、EN1、EN2 = “H”、 $P_{RF} = -8\text{dBm}$ /トーン、 $P_{LO} = 0\text{dBm}$ 。図1に示されているテスト回路。(Note 3、4、5)

帯域0(図1を参照) : $RF = 4.5\text{GHz}$ 、 $IF = 153\text{MHz}$ 、ローサイド LO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|--|--|----------|-----------|-----|-------------|----------------------|
| | | MIN | TYP | MAX | TYP | |
| RF Input Return Loss | $Z_0 = 50\Omega$, 3.1GHz to 5.1GHz | | >10 | | >10 | dB |
| Power Conversion Gain | 0dB IF ATTEN | | 10.6 | | 10.3 | dB |
| | 6dB IF ATTEN | | 4.5 | | 4.2 | dB |
| | 12dB IF ATTEN | | -1.6 | | -1.9 | dB |
| Conversion Gain Flatness | $RF = 4.5\text{GHz} \pm 100\text{MHz}$, $LO = 4.35\text{GHz}$ | | ± 0.4 | | ± 0.4 | dB |
| Conversion Gain vs Temperature | $T_C = -40^\circ\text{C}$ to 105°C | ● | -0.014 | | -0.014 | dB/ $^\circ\text{C}$ |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 22.0 | | 17.8 | dBm |
| | 6dB IF ATTEN | | 23.6 | | 18.7 | dBm |
| | 12dB IF ATTEN | | 24.1 | | 18.9 | dBm |
| Two-Tone Input 2nd Order Intercept ($\Delta f_{RF} = 154\text{MHz} = f_{IM2}$) | 0dB to 15.5dB IF ATTEN | | 50 | | 46 | dBm |
| SSB Noise Figure | 0dB IF ATTEN | | 16.3 | | 15.2 | dB |
| | 6dB IF ATTEN | | 17.8 | | 17.1 | dB |
| | 12dB IF ATTEN | | 21.1 | | 20.9 | dB |
| LO to RF Leakage | $LO = 3.1\text{GHz}$ to 5.2GHz | | <-42 | | <-42 | dBm |
| Input 1dB Compression | 0dB IF ATTEN | | 7.0 | | 6.4 | dBm |
| | 3dB IF ATTEN | | 9.6 | | 8.9 | dBm |
| | 6dB IF ATTEN | | 11.2 | | 10.3 | dBm |
| | 9dB IF ATTEN and Higher | | 11.5 | | 10.6 | dBm |
| Channel-to-Channel Isolation | $RF = 4.5\text{GHz}$ | | 40 | | 40 | dB |

RF = 3.6GHz、IF = 153MHz、ローサイド LO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|--|--|----------|------------|-----|-------------|----------------------|
| | | MIN | TYP | MAX | TYP | |
| Power Conversion Gain | 0dB IF ATTEN | | 11.8 | | 11.5 | dB |
| | 6dB IF ATTEN | | 5.7 | | 5.4 | dB |
| | 12dB IF ATTEN | | -0.4 | | -0.7 | dB |
| Conversion Gain Flatness | $RF = 3.6\text{GHz} \pm 100\text{MHz}$, $LO = 3.45\text{GHz}$ | | ± 0.45 | | ± 0.45 | dB |
| Conversion Gain vs Temperature | $T_C = -40^\circ\text{C}$ to 105°C | ● | -0.012 | | -0.012 | dB/ $^\circ\text{C}$ |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 22.0 | | 18.4 | dBm |
| | 6dB IF ATTEN | | 24.5 | | 19.9 | dBm |
| | 12dB IF ATTEN | | 25.5 | | 20.3 | dBm |
| Two-Tone Input 2nd Order Intercept ($\Delta f_{RF} = 154\text{MHz} = f_{IM2}$) | 0dB to 15.5dB IF ATTEN | | 60 | | 55 | dBm |
| SSB Noise Figure | 0dB IF ATTEN | | 13.8 | | 12.7 | dB |
| | 6dB IF ATTEN | | 15.4 | | 14.8 | dB |
| | 12dB IF ATTEN | | 18.8 | | 18.6 | dB |
| LO to RF Leakage | $LO = 3.1\text{GHz}$ to 5.2GHz | | <-42 | | <-42 | dBm |
| Input 1dB Compression | 0dB IF ATTEN | | 6.0 | | 5.4 | dBm |
| | 3dB IF ATTEN | | 8.8 | | 8.2 | dBm |
| | 6dB IF ATTEN | | 10.7 | | 10.1 | dBm |
| | 9dB IF ATTEN and Higher | | 11.5 | | 10.6 | dBm |
| Channel-to-Channel Isolation | $RF = 3.6\text{GHz}$ | | 51 | | 51 | dB |

AC 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{CC} = V_{DD} = 3.3\text{V}$ 、 $EN1$ 、 $EN2 = \text{"H"}$ 、 $P_{RF} = -8\text{dBm}$ /トーン、 $P_{LO} = 0\text{dBm}$ 。図1に示されているテスト回路。(Note 3、4、5)

帯域1(図1を参照) : $RF = 2.6\text{GHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|---|---|----------|-----------|-----|-------------|----------------------|
| | | MIN | TYP | MAX | TYP | |
| RF Input Return Loss | $Z_0 = 50\Omega$, 1.8GHz to 4.4GHz | | >12 | | >12 | dB |
| Power Conversion Gain | 0dB IF ATTEN | 6.8 | 11.8 | | 11.5 | dB |
| | 3dB IF ATTEN | | 8.8 | | 8.4 | dB |
| | 6dB IF ATTEN | | 5.8 | | 5.4 | dB |
| | 9dB IF ATTEN | | 2.7 | | 2.4 | dB |
| | 12dB IF ATTEN | | -0.3 | | -0.7 | dB |
| | 15dB IF ATTEN | | -3.4 | | -3.7 | dB |
| Conversion Gain Flatness | $RF = 2.6\text{GHz} \pm 100\text{MHz}$, $LO = 2.75\text{GHz}$ | | ± 0.5 | | ± 0.5 | dB |
| Conversion Gain vs Temperature | $T_C = -40^\circ\text{C}$ to 105°C | ● | -0.013 | | -0.013 | dB/ $^\circ\text{C}$ |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 23.2 | | 19.5 | dBm |
| | 3dB IF ATTEN | | 24.6 | | 20.6 | dBm |
| | 6dB IF ATTEN | | 26.0 | | 21.2 | dBm |
| | 9dB IF ATTEN | | 26.8 | | 21.4 | dBm |
| | 12dB IF ATTEN | | 27.6 | | 21.4 | dBm |
| | 15dB IF ATTEN | | 28.0 | | 21.4 | dBm |
| Two-Tone Output 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 35.0 | | 31.0 | dBm |
| | 3dB IF ATTEN | | 33.4 | | 29.0 | dBm |
| | 6dB IF ATTEN | | 31.8 | | 26.6 | dBm |
| | 9dB IF ATTEN | | 29.5 | | 23.8 | dBm |
| | 12dB IF ATTEN | | 27.3 | | 20.7 | dBm |
| | 15dB IF ATTEN | | 24.6 | | 17.7 | dBm |
| Two-Tone Input 2nd Order Intercept ($\Delta f_{RF} = 154\text{MHz} = f_{IM2}$) | 0dB to 15.5dB IF ATTEN | | 59 | | 54 | dBm |
| SSB Noise Figure | 0dB IF ATTEN | | 13.3 | | 13.0 | dB |
| | 3dB IF ATTEN | | 14.1 | | 14.0 | dB |
| | 6dB IF ATTEN | | 15.3 | | 15.3 | dB |
| | 9dB IF ATTEN | | 17.0 | | 17.2 | dB |
| | 12dB IF ATTEN | | 19.3 | | 19.5 | dB |
| | 15dB IF ATTEN | | 21.7 | | 22.1 | dB |
| SSB Noise Figure Under Blocking (2.5GHz Blocker) | +2dBm BLOCKER, 3dB IF ATTEN | | 18.7 | | 18.3 | dB |
| | +5dBm BLOCKER, 3dB IF ATTEN | | 21.1 | | 20.9 | dB |
| LO to RF Leakage | $LO = 1.6\text{GHz}$ to 4GHz | | <-45 | | <-45 | dBm |
| 1/2 IF Output Spurious Product (f_{RF} Offset to Produce Spur at $f_{IF} = 153\text{MHz}$) | $f_{RF} = 2676.5\text{MHz}$, $P_{RF} = -6\text{dBm}$ 0dB to 15.5dB IF ATTEN | | -71 | | -69 | dBc |
| 1/3 IF Output Spurious Product (f_{RF} Offset to Produce Spur at $f_{IF} = 153\text{MHz}$) | $f_{RF} = 2702\text{MHz}$, $P_{RF} = -6\text{dBm}$ 0dB to 15.5dB IF ATTEN | | -65 | | -60 | dBc |
| Input 1dB Compression | 0dB IF ATTEN | | 6.2 | | 5.6 | dBm |
| | 3dB IF ATTEN | | 9.2 | | 8.6 | dBm |
| | 6dB IF ATTEN | | 11.5 | | 10.9 | dBm |
| | 9dB IF ATTEN and Higher | | 12.6 | | 11.6 | dBm |
| Output 1dB Compression | 0dB IF ATTEN | | 17.0 | | 16.1 | dBm |
| | 3dB IF ATTEN | | 17.0 | | 16.0 | dBm |
| | 6dB IF ATTEN | | 16.3 | | 15.3 | dBm |
| | 9dB IF ATTEN | | 14.3 | | 13.0 | dBm |
| Channel-to-Channel Isolation | $RF = 2.6\text{GHz}$ | | 49 | | 49 | dB |

AC 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{CC} = V_{DD} = 3.3\text{V}$ 、 $EN1$ 、 $EN2 = 3.3\text{V}$ 、 $P_{RF} = -8\text{dBm}$ /トーン、 $P_{LO} = 0\text{dBm}$ 。図1に示されているテスト回路。(Note 3、4、5)

帯域2(図1を参照) : $R_F = 1.9\text{GHz}$ 、 $I_F = 153\text{MHz}$ 、ハイサイド LO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|---|---|----------|-----------|-----|-------------|----------------------|
| | | MIN | TYP | MAX | TYP | |
| RF Input Return Loss | $Z_0 = 50\Omega$, 1.3GHz to 3.9GHz | | >10 | | >10 | dB |
| Power Conversion Gain | 0dB IF ATTEN | | 11.9 | | 11.6 | dB |
| | 3dB IF ATTEN | | 8.8 | | 8.5 | dB |
| | 6dB IF ATTEN | | 5.8 | | 5.5 | dB |
| | 9dB IF ATTEN | | 2.8 | | 2.5 | dB |
| | 12dB IF ATTEN | | -0.3 | | -0.5 | dB |
| | 15dB IF ATTEN | | -3.3 | | -3.6 | dB |
| Conversion Gain Flatness | $R_F = 1.9\text{GHz} \pm 100\text{MHz}$, $LO = 2.05\text{GHz}$ | | ± 0.5 | | ± 0.5 | dB |
| Conversion Gain vs Temperature | $T_C = -40^\circ\text{C}$ to 105°C | ● | -0.013 | | -0.013 | dB/ $^\circ\text{C}$ |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 22.6 | | 19.8 | dBm |
| | 3dB IF ATTEN | | 23.9 | | 21.2 | dBm |
| | 6dB IF ATTEN | | 25.4 | | 22.0 | dBm |
| | 9dB IF ATTEN | | 26.1 | | 22.3 | dBm |
| | 12dB IF ATTEN | | 26.3 | | 22.4 | dBm |
| | 15dB IF ATTEN | | 26.5 | | 22.5 | dBm |
| Two-Tone Output 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 34.5 | | 31.4 | dBm |
| | 3dB IF ATTEN | | 32.7 | | 29.7 | dBm |
| | 6dB IF ATTEN | | 31.2 | | 27.5 | dBm |
| | 9dB IF ATTEN | | 28.9 | | 24.8 | dBm |
| | 12dB IF ATTEN | | 26.0 | | 21.9 | dBm |
| | 15dB IF ATTEN | | 23.2 | | 18.9 | dBm |
| Two-Tone Input 2nd Order Intercept ($\Delta f_{RF} = 154\text{MHz} = f_{IM2}$) | 0dB to 15.5dB IF ATTEN | | 57 | | 53 | dBm |
| SSB Noise Figure | 0dB IF ATTEN | | 13.0 | | 12.1 | dB |
| | 3dB IF ATTEN | | 13.9 | | 13.2 | dB |
| | 6dB IF ATTEN | | 15.2 | | 14.7 | dB |
| | 9dB IF ATTEN | | 17.0 | | 16.7 | dB |
| | 12dB IF ATTEN | | 19.3 | | 19.2 | dB |
| | 15dB IF ATTEN | | 21.8 | | 21.8 | dB |
| SSB Noise Figure Under Blocking (1.8GHz Blocker) | +2dBm BLOCKER, 3dB IF ATTEN | | 17.6 | | 17.4 | dB |
| | +5dBm BLOCKER, 3dB IF ATTEN | | 20.4 | | 20.0 | dB |
| LO to RF Leakage | $LO = 1.1\text{GHz}$ to 3.5GHz | | <-47 | | <-47 | dBm |
| 1/2 IF Output Spurious Product (f_{RF} Offset to Produce Spur at $f_{IF} = 153\text{MHz}$) | $f_{RF} = 1976.5\text{MHz}$, $P_{RF} = -6\text{dBm}$ 0dB to 15.5dB IF ATTEN | | -67 | | -65 | dBc |
| 1/3 IF Output Spurious Product (f_{RF} Offset to Produce Spur at $f_{IF} = 153\text{MHz}$) | $f_{RF} = 2002\text{MHz}$, $P_{RF} = -6\text{dBm}$ 0dB to 15.5dB IF ATTEN | | -71 | | -65 | dBc |
| Input 1dB Compression | 0dB IF ATTEN | | 6.1 | | 5.4 | dBm |
| | 3dB IF ATTEN | | 9.2 | | 8.5 | dBm |
| | 6dB IF ATTEN | | 11.7 | | 10.9 | dBm |
| | 9dB IF ATTEN and Higher | | 13.3 | | 12.0 | dBm |
| Output 1dB Compression | 0dB IF ATTEN | | 17.0 | | 16.0 | dBm |
| | 3dB IF ATTEN | | 17.0 | | 16.0 | dBm |
| | 6dB IF ATTEN | | 16.5 | | 15.4 | dBm |
| | 9dB IF ATTEN | | 15.1 | | 13.5 | dBm |
| Channel-to-Channel Isolation | $R_F = 1.9\text{GHz}$ | | 50 | | 50 | dB |

AC 電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_C = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{CC} = V_{DD} = 3.3\text{V}$ 、EN1、EN2 = “H”、 $P_{RF} = -8\text{dBm}$ /トーン、 $P_{LO} = 0\text{dBm}$ 。図1に示されているテスト回路。(Note 3、4、5)

帯域3(図1を参照): $RF = 850\text{MHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイド LO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|---|---|----------|-----------|-----|-------------|----------------------|
| | | MIN | TYP | MAX | TYP | |
| RF Input Return Loss | $Z_0 = 50\Omega$, 700MHz to 1.3GHz | | >10 | | >10 | dB |
| Power Conversion Gain | 0dB IF ATTEN | | 12.2 | | 11.8 | dB |
| | 6dB IF ATTEN | | 6.1 | | 5.7 | dB |
| | 12dB IF ATTEN | | 0 | | -0.4 | dB |
| Conversion Gain Flatness | $RF = 850\text{MHz} \pm 75\text{MHz}$, $LO = 1050\text{MHz}$ | | ± 0.3 | | ± 0.3 | dB |
| Conversion Gain vs Temperature | $T_C = -40^\circ\text{C}$ to 105°C | ● | -0.014 | | -0.014 | dB/ $^\circ\text{C}$ |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 22.0 | | 19.5 | dBm |
| | 6dB IF ATTEN | | 24.7 | | 22.3 | dBm |
| | 12dB IF ATTEN | | 26.2 | | 23.3 | dBm |
| Two-Tone Input 2nd Order Intercept ($\Delta f_{RF} = 154\text{MHz} = f_{IM2}$) | 0dB to 15.5dB IF ATTEN | | 60.0 | | 56.5 | dBm |
| SSB Noise Figure | 0dB IF ATTEN | | 12.6 | | 12.1 | dB |
| | 6dB IF ATTEN | | 14.9 | | 14.7 | dB |
| | 12dB IF ATTEN | | 19.1 | | 19.2 | dB |
| LO to RF Leakage | $LO = 300\text{MHz}$ to 1.5GHz | | <-60 | | <-60 | dBm |
| Input 1dB Compression | 0dB IF ATTEN | | 5.8 | | 5.1 | dBm |
| | 3dB IF ATTEN | | 8.8 | | 8.2 | dBm |
| | 6dB IF ATTEN | | 11.5 | | 10.6 | dBm |
| | 9dB IF ATTEN and Higher | | 13.3 | | 11.9 | dBm |
| Channel-to-Channel Isolation | $RF = 850\text{MHz}$ | | 50 | | 50 | dB |

帯域4(図1を参照): $RF = 450\text{MHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイド LO

| PARAMETER | CONDITIONS | FULL PWR | | | REDUCED PWR | UNITS |
|---|-------------------------------------|----------|------|-----|-------------|-------|
| | | MIN | TYP | MAX | TYP | |
| RF Input Return Loss | $Z_0 = 50\Omega$, 390MHz to 530MHz | | >10 | | >10 | dB |
| Power Conversion Gain | 0dB IF ATTEN | | 11.7 | | 11.1 | dB |
| | 6dB IF ATTEN | | 5.6 | | 5.0 | dB |
| | 12dB IF ATTEN | | -0.5 | | -1.1 | dB |
| SSB Noise Figure | 0dB IF ATTEN | | 13.8 | | 13.6 | dB |
| | 6dB IF ATTEN | | 15.9 | | 15.9 | dB |
| | 12dB IF ATTEN | | 19.9 | | 20.1 | dB |
| Two-Tone Input 3rd Order Intercept ($\Delta f_{RF} = 2\text{MHz}$) | 0dB IF ATTEN | | 21.8 | | 19.4 | dBm |
| | 6dB IF ATTEN | | 24.1 | | 21.7 | dBm |
| | 12dB IF ATTEN | | 25.0 | | 22.6 | dBm |
| Channel-to-Channel Isolation | $RF = 450\text{MHz}$ | | 57 | | 57 | dB |

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: このデバイスのミキサ出力ピンは、750V(人体モデル)を超えるESDに対して敏感である。ESDに対して適切な注意を払うこと。他の全てのピンは2kVに耐える。

Note 3: LTC5566は -40°C ~ 105°C のケース温度範囲で動作することが保証されている。

Note 4: SSBノイズフィギュアは、RF入力に小信号ノイズ源、バンドパス・フィルタ、および2dB整合パッドを使用し、LO入力にバンドパス・フィルタを使用して測定される。

Note 5: チャネル間の分離は、RF1にRF入力信号を加え、RF2入力が50 Ω で終端された状態で、チャネル2とチャネル1の相対IF出力電力として定義される。両方のチャネルがイネーブルされ、3dBのIF減衰に設定される。

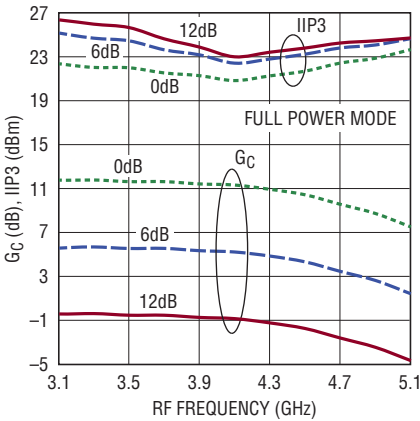
Note 6: SPIのタイミングは設計によって保証されているが、テストされない。

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm}$ /トーン、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

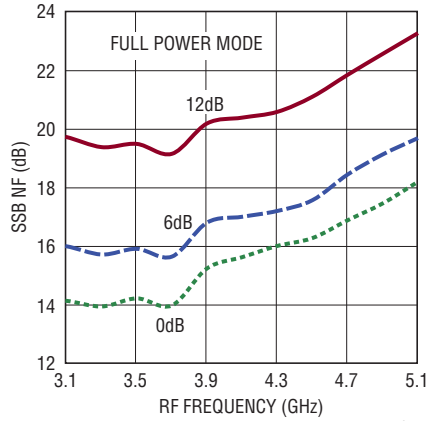
帯域0: RF = 3.6GHzおよび4.5GHz、IF = 153MHz、ローサイド LO

変換利得およびIIP3とRF周波数
0dB、6dB、および12dBのIF減衰



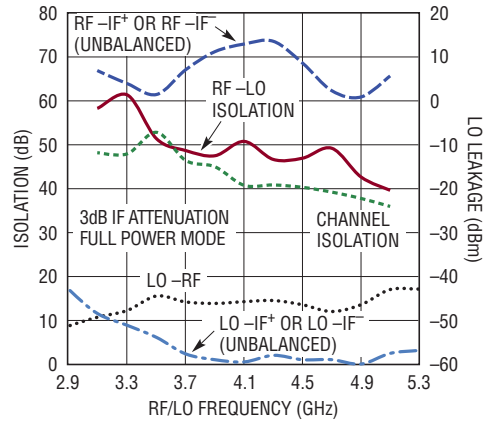
5566 G01

SSB NF とRF周波数
0dB、6dB、および12dBのIF減衰



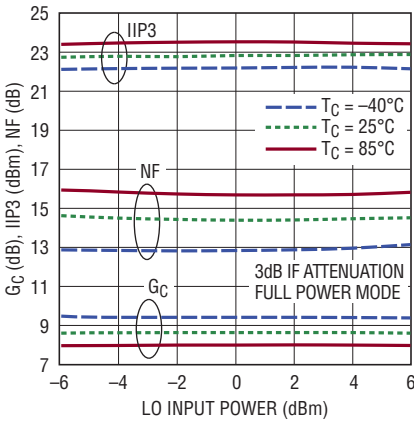
5566 G02

RF分離およびLOリークと周波数



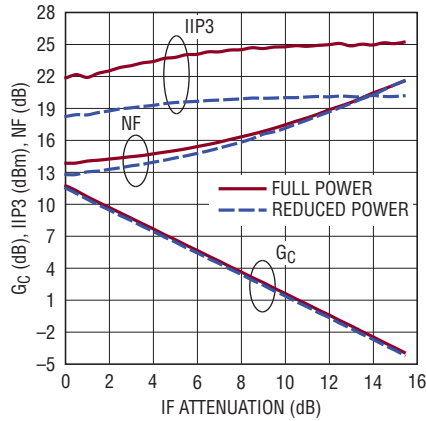
5566 G03

3.6GHzの変換利得、IIP3、および
SSB NFとLO電力およびケース温度



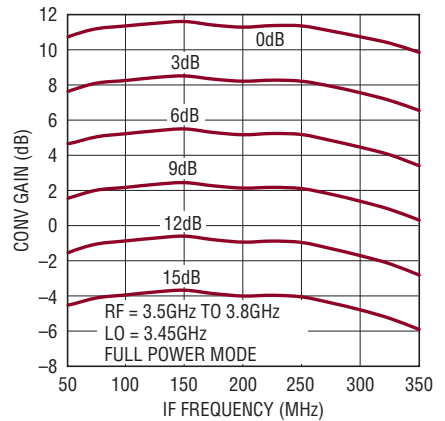
5566 G04

3.6GHzの変換利得、IIP3、および
SSB NFとIF減衰(0.5dBステップ)



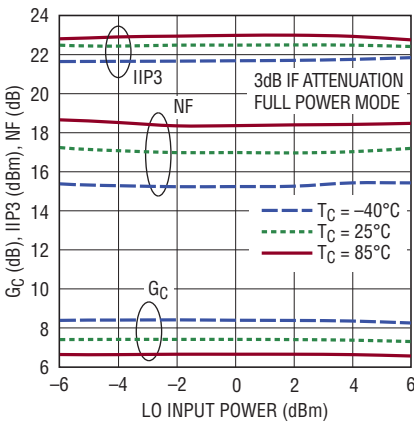
5566 G05

3.6GHzの変換利得とIF周波数および
減衰、掃引RF/固定LO



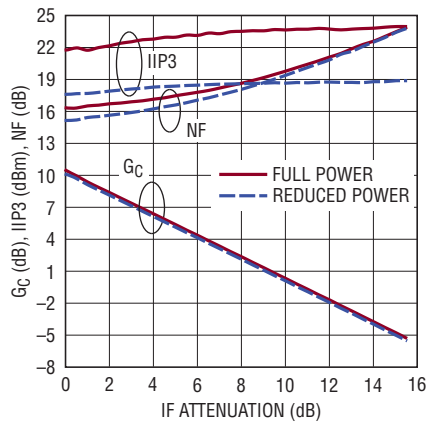
5566 G06

4.5GHzの変換利得、IIP3、および
SSB NFとLO電力およびケース温度



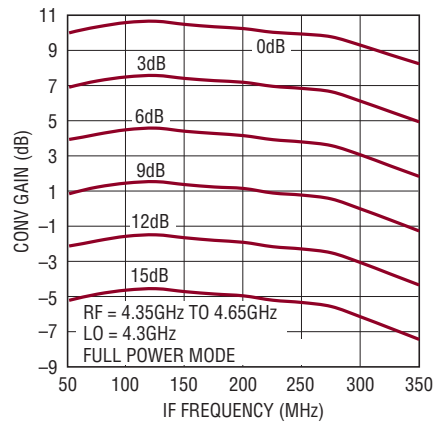
5566 G07

4.5GHzの変換利得、IIP3、および
SSB NFとIF減衰(0.5dBステップ)



5566 G08

4.5GHzの変換利得とIF周波数および
減衰、掃引RF/固定LO



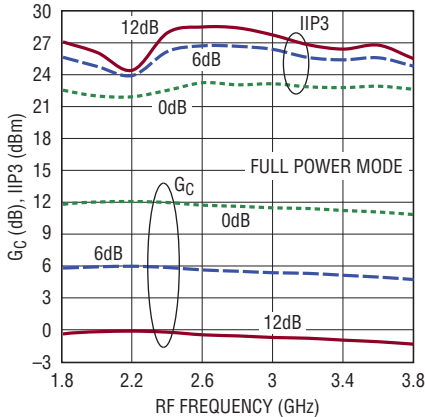
5566 G09

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm/トーン}$ 、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

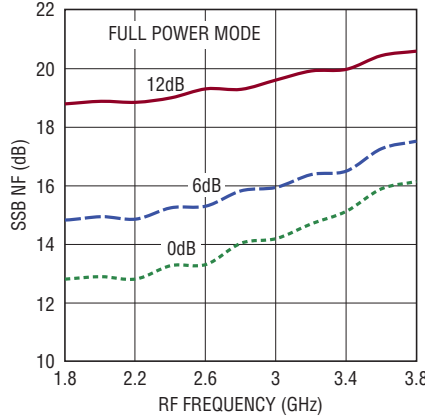
帯域1: $RF = 2.6\text{GHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO

変換利得およびIIP3とRF周波数
0dB、6dB、および12dBのIF減衰



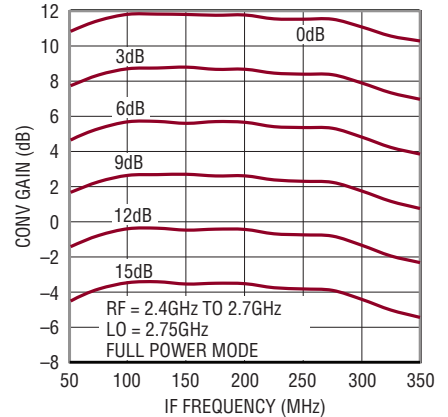
5566 G10

SSB NFとRF周波数
0dB、6dB、および12dBのIF減衰



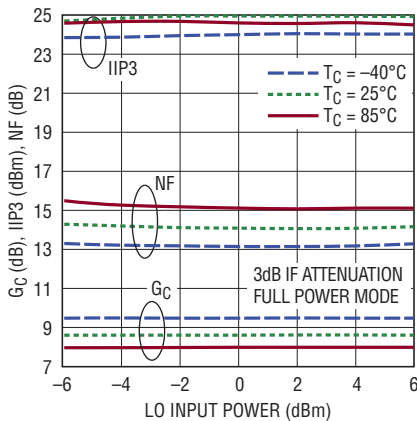
5566 G11

変換利得とIF周波数およびIF減衰、
掃引RF/固定LO



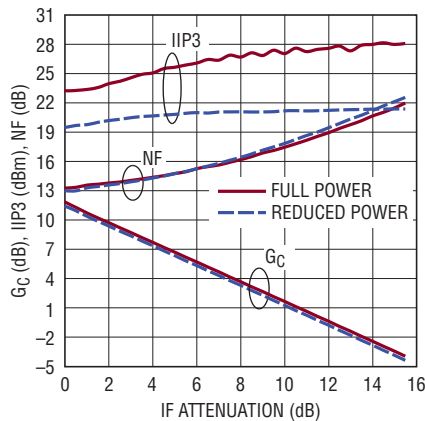
5566 G12

2.6GHzの変換利得、IIP3、および
SSB NFとLO電力およびケース温度



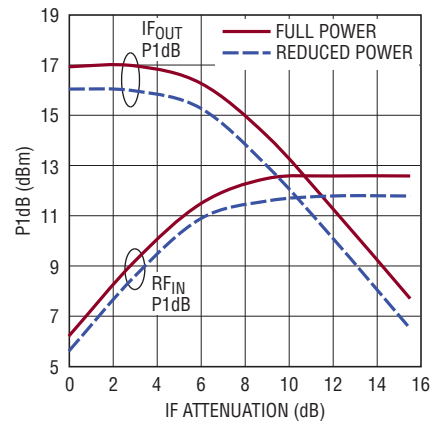
5566 G13

2.6GHzの変換利得、IIP3、および
SSB NFとIF減衰(0.5dBステップ)



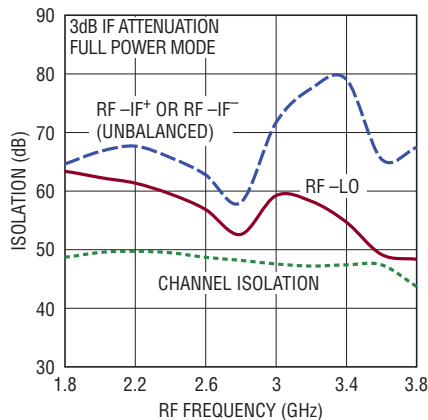
5566 G14

2.6GHz RF入力およびIF出力の
P1dBとIF減衰



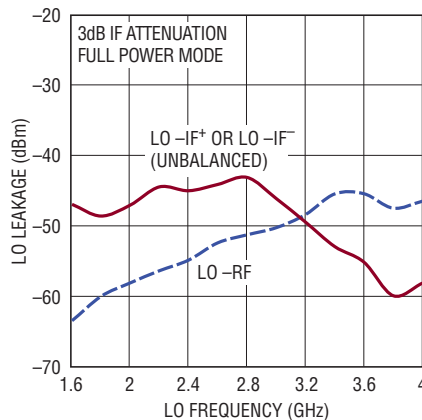
5566 G15

分離とRF周波数



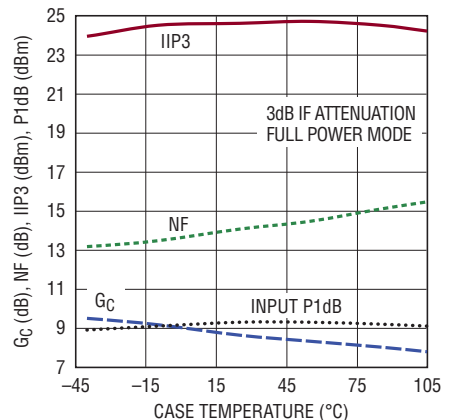
5566 G16

LOリークとLO周波数



5566 G17

2.6GHzの変換利得、IIP3、NF、
およびRF入力のP1dBと温度



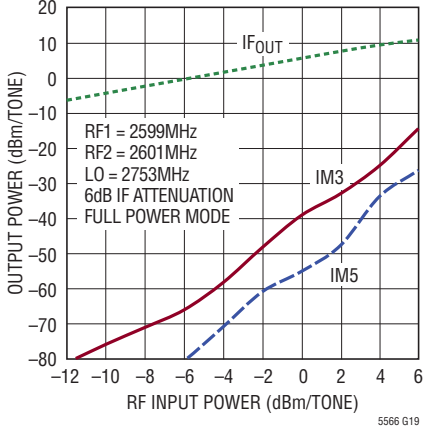
5566 G18

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm/トーン}$ 、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

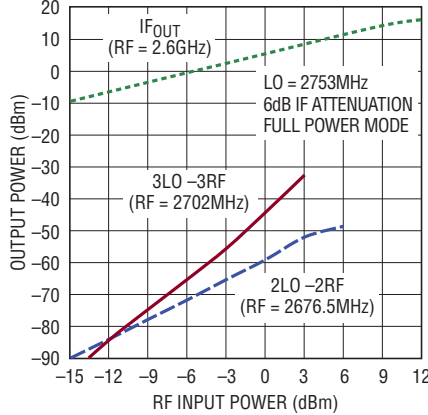
帯域1: $RF = 2.6\text{GHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO

2トーンIF出力電力、IM3およびIM5とRF入力電力



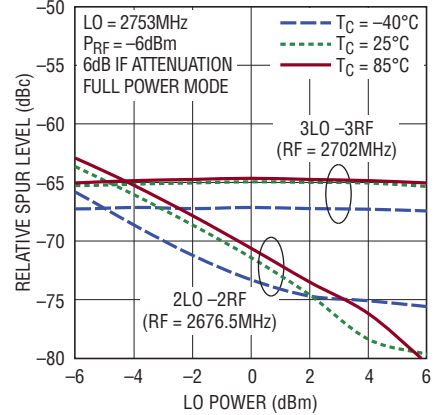
5566 G19

シングルトーンIF出力電力、2×2および3×3スプリアスとRF入力電力



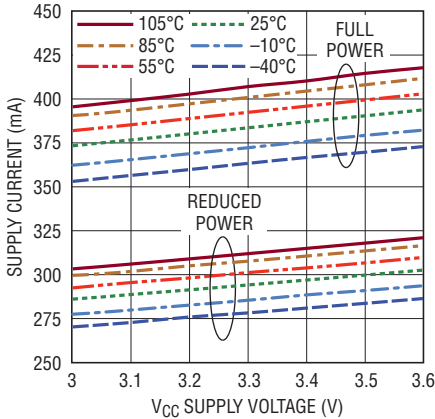
5566 G20

2×2および3×3スプリアス抑制とLO入力電力



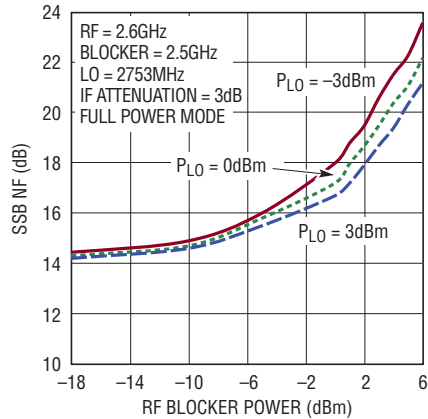
5566 G21

V_{CC} の電源電流と電源電圧 (両方のチャンネルがインエーブル)



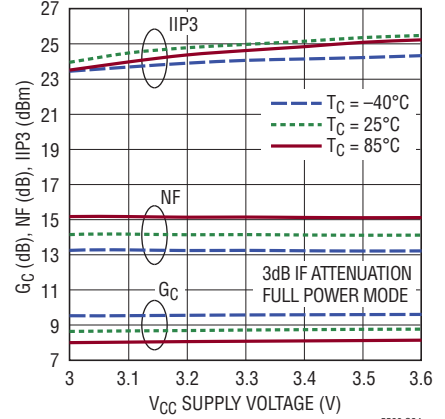
5566 G22

SSB NFとRFブロッカ電力



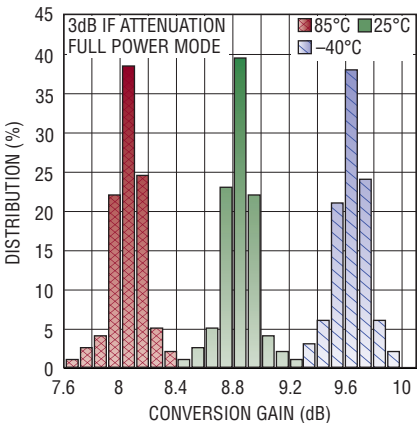
5566 G23

2.6GHzの変換利得、IIP3およびSSB NFと電源電圧およびケース温度



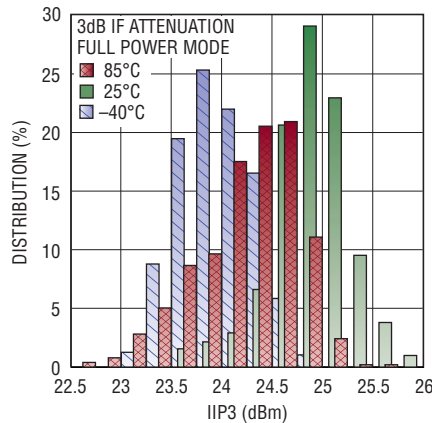
5566 G24

2.6GHzでの変換利得の分布



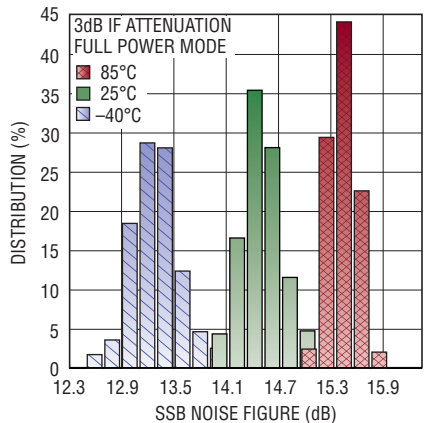
5566 G25

2.6GHzでのIIP3の分布



5566 G26

2.6GHzでのSSB NFの分布



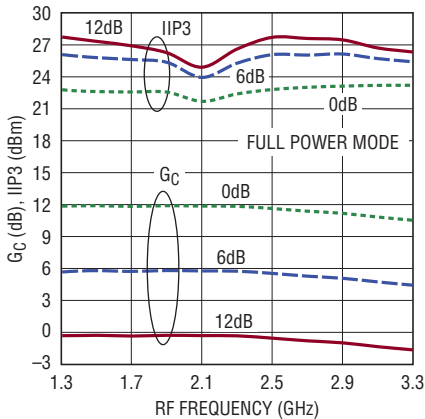
5566 G27

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm}$ /トーン、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

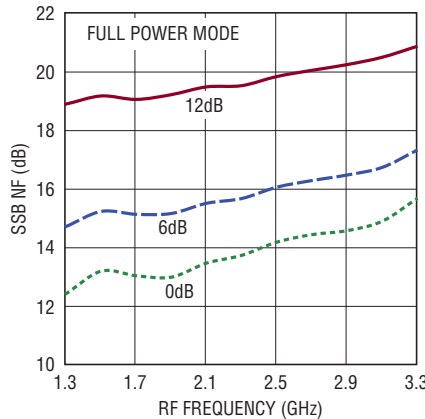
帯域2: $RF = 1.9\text{GHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO

変換利得およびIIP3とRF周波数
0dB、6dB、および12dBのIF減衰



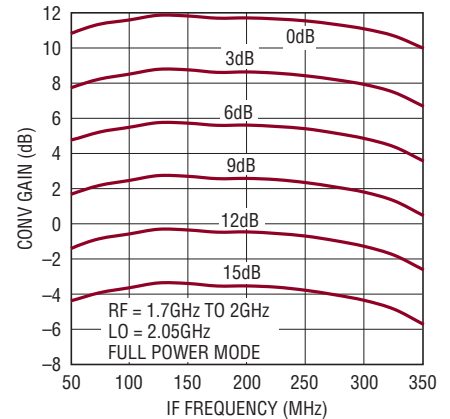
5566 G28

SSB NFとRF周波数
0dB、6dB、および12dBのIF減衰



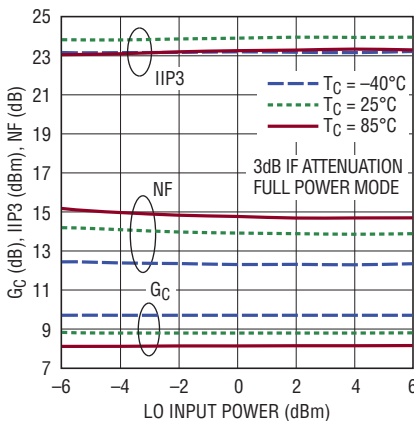
5566 G29

変換利得とIF周波数および減衰、
掃引RF/固定LO



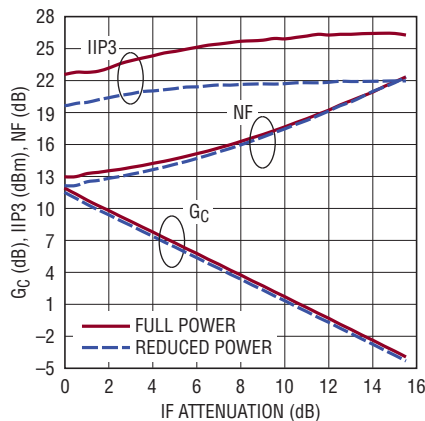
5566 G30

1.9GHzの変換利得、IIP3および
SSB NFとLO電力およびケース温度



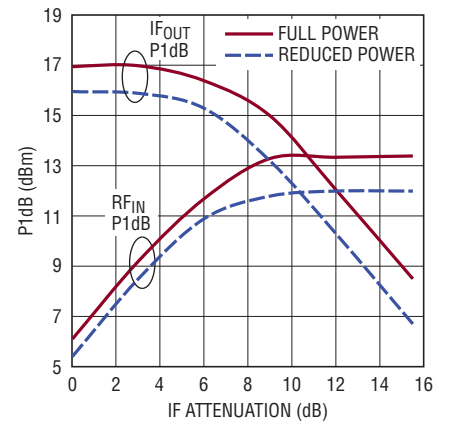
5566 G31

1.9GHzの変換利得、IIP3および
SSB NFとIF減衰(0.5dBステップ)



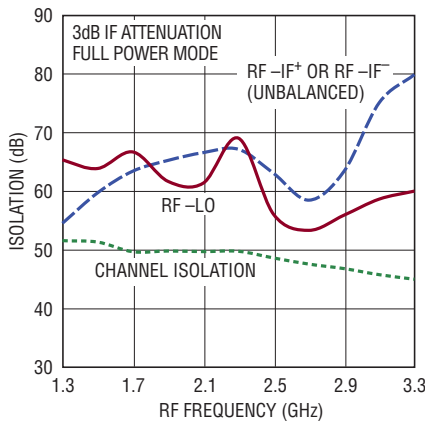
5566 G32

1.9GHz RF入力およびIF出力の
P1dBとIF減衰



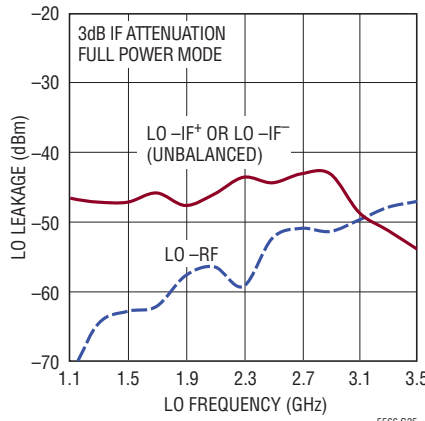
5566 G33

分離とRF周波数



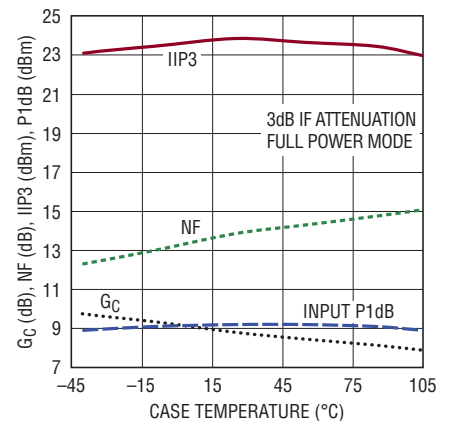
5566 G34

LOリークとLO周波数



5566 G35

1.9GHzの変換利得、IIP3、NF、
およびRF入力のP1dBと温度



5566 G36

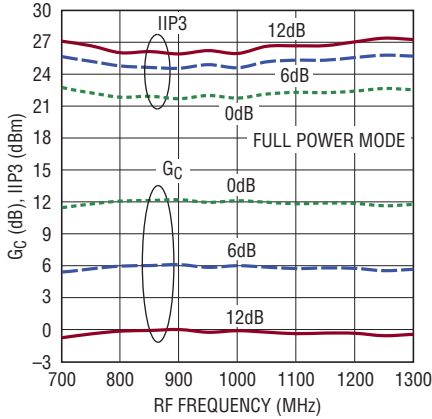
LTC5566

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm}$ /トーン、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

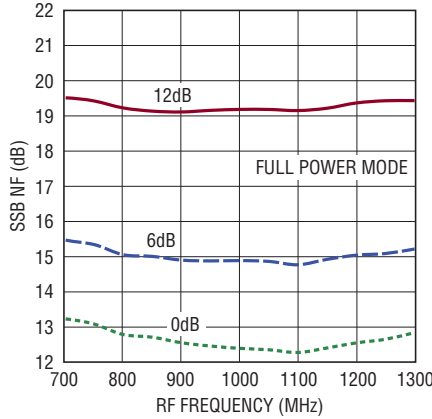
帯域3: $RF = 850\text{MHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO

変換利得およびIIP3とRF周波数
0dB、6dB、および12dBのIF減衰



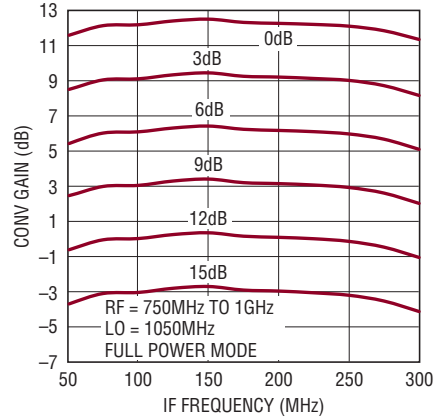
5566 G37

SSB NFとRF周波数
0dB、6dB、および12dBのIF減衰



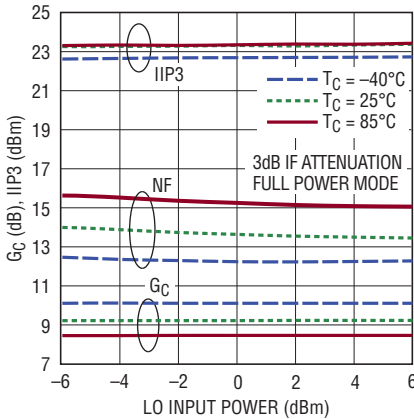
5566 G38

変換利得とIF周波数および減衰、
掃引RF/固定LO



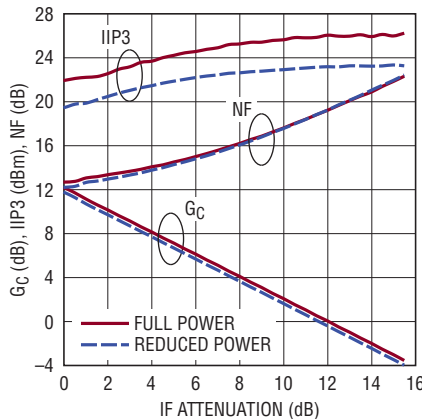
5566 G39

850MHzの変換利得、IIP3、および
SSB NFとLO電力およびケース温度



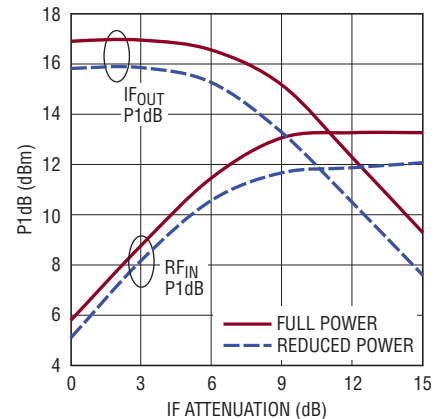
5566 G40

850MHzの変換利得、IIP3、および
SSB NFとIF減衰



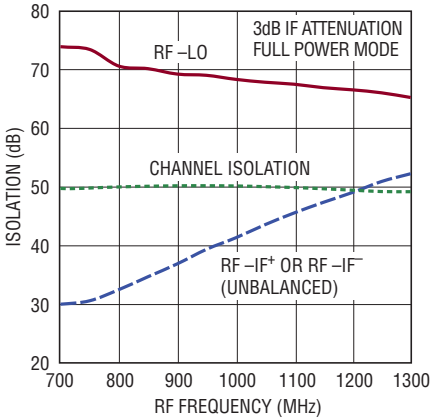
5566 G41

850MHz RF入力およびIF出力の
P1dBとIF減衰



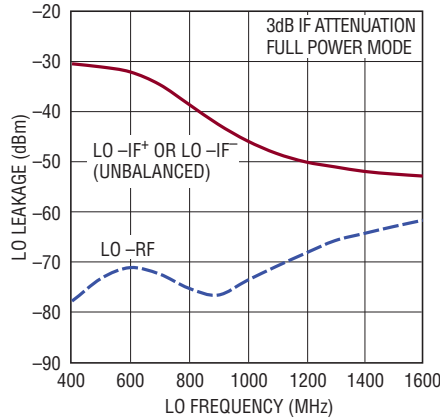
5566 G42

RF分離とRF周波数



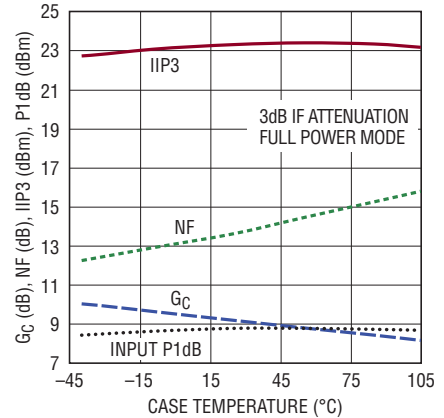
5566 G43

LOリークとLO周波数



5566 G44

850MHzの変換利得、IIP3、NF、
およびRF入力のP1dBと温度



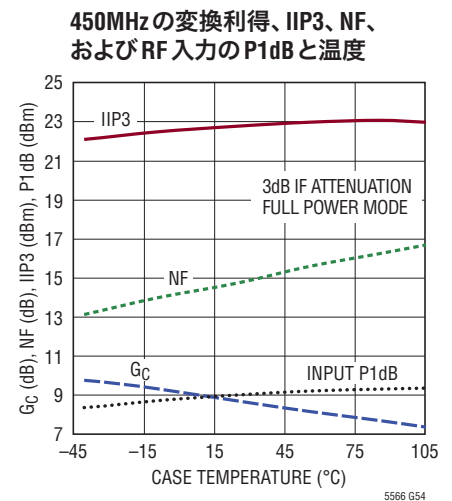
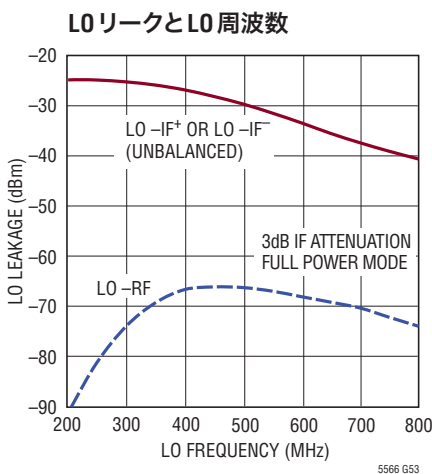
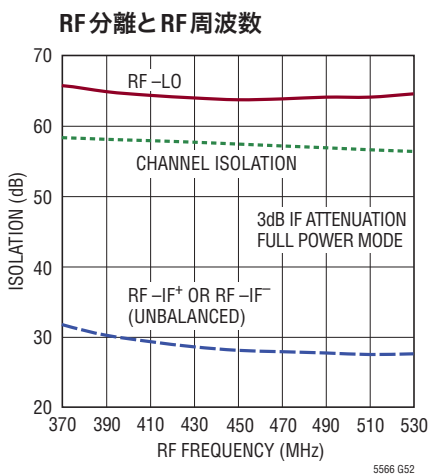
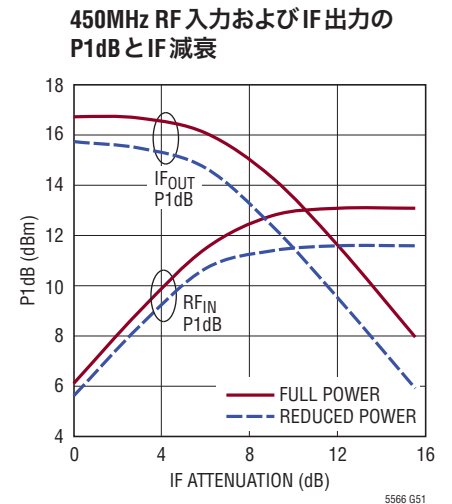
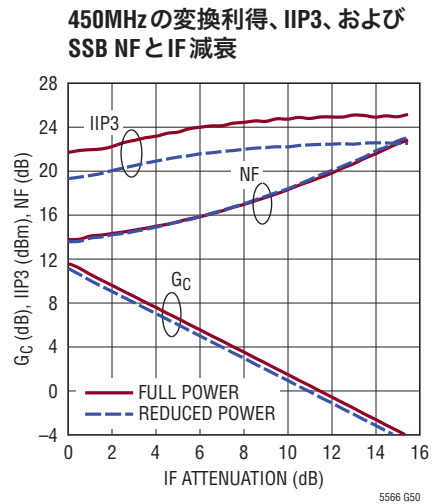
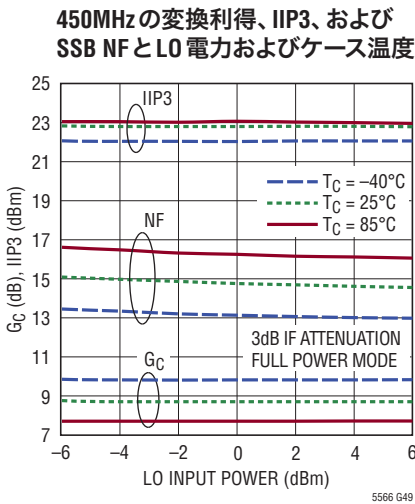
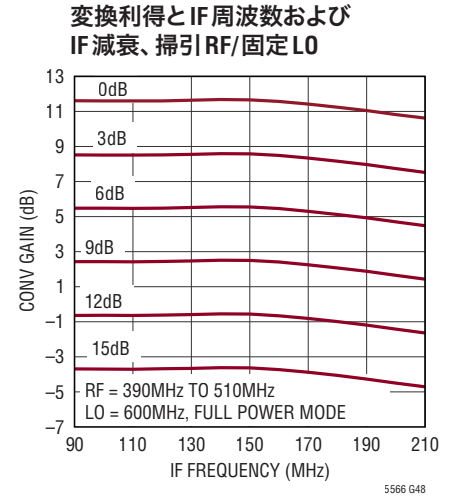
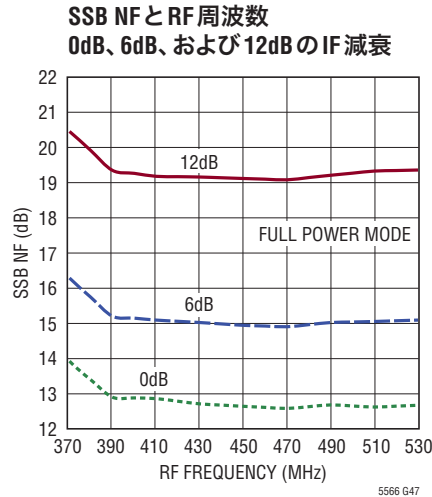
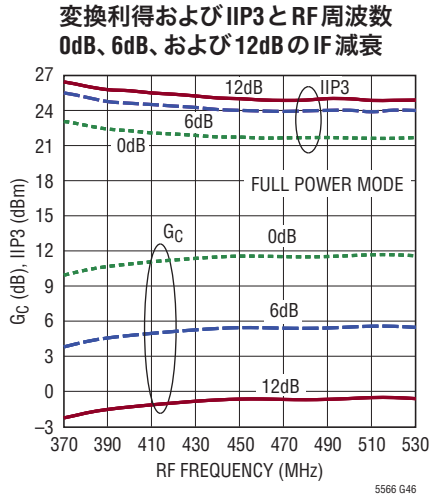
5566 G45

5566f

標準的性能特性 図1に示されているテスト回路。

注記がない限り、 $P_{RF} = -8\text{dBm/トーン}$ 、 $\Delta f = 2\text{MHz}$ 、 $P_{LO} = 0\text{dBm}$ 、 $V_{CC} = 3.3\text{V}$ 、 $V_{DD} = 3.3\text{V}$ 、 $T_C = 25^\circ\text{C}$ 。

帯域4: $RF = 450\text{MHz}$ 、 $IF = 153\text{MHz}$ 、ハイサイドLO



ピン機能

GND (ピン 1, 8, 16, 25, 露出パッド・ピン 33) : グランド・ピン。これらのピンはプリント回路基板の RF グランド・プレーンに半田付けする必要があります。露出パッドは、電気的グランド接続とプリント回路基板への熱接触の両方を実現します。

RF1, RF2 (ピン 2, 7) : チャネル 1 およびチャネル 2 それぞれへのシングルエンド RF 入力。V_{CC} が印加された場合、これらのピンは内部で V_{CC}/2 にバイアスされます。そのため、直列 DC ブロッキング・コンデンサを使用する必要があります。内部で整合する容量は、T0 および T1 制御ピンを使用し、または SPI インタフェースを介して、4 つの離散ステップで調整できます。

CSB (ピン 3) : シリアル・ポート・チップ・セレクト。この CMOS 入力は、“L” に駆動されると、SPI 入力をアクティブにします。“H” に駆動されると、SPI 入力は非アクティブになります。詳細については「アプリケーション情報」のセクションを参照してください。

CLK (ピン 4) : シリアル・ポート・クロック。この CMOS 入力では、その立ち上がりエッジでシリアル・ポートの入力データをクロックと同期します。詳細については「アプリケーション情報」のセクションを参照してください。

SDI (ピン 5) : シリアル・ポートのデータ入力。この CMOS 入力は、シリアル・データを 16 ビット・レジスタに読み込むために使用されます。詳細については「アプリケーション情報」のセクションを参照してください。

SDO (ピン 6) : シリアル・ポートのデータ出力。この CMOS のスリーステート出力は、通信バーストの間、シリアル・ポートのデータを出力します。オプションで、200k より大きな抵抗を GND に接続して出力がフロートするのを防ぎます。詳細については「アプリケーション情報」のセクションを参照してください。

T0, T1 (ピン 9, 32) : 2 ビット RF 入力調整制御ピン。PS ピンが“H”のときに、CMOS ロジック“H”が両方のチャネルの各ビットをイネーブルします。これらのピンの内部には 167k のプルダウン抵抗があります。RF 入力調整は、PS が“L”のときに、シリアル・ポートを介して制御することもできます。シリアル制御のみの場合、これらのピンを接地する必要があります。

MO2⁺, MO2⁻, MO1⁺, MO1⁻ (ピン 10, 11, 30, 31) : それぞれ、ミキサ 2 およびミキサ 1 のオープンコレクタ差動 IF 出力。これらのピンは、プルアップ・インダクタを介して V_{CC} に接続する必要があります。各ピンに流れ込む標準の DC 電流は 27mA です。

V_{CC2}, V_{CC1} (ピン 12, 29) : それぞれチャネル 2 およびチャネル 1 の電源ピン。これらのピンは 3.3V の安定化電源に接続し、ピンの近くにバイパス・コンデンサを配置する必要があります。各ピンに流れ込む標準の DC 消費電流は 41mA です。

EN2, EN1 (ピン 13, 28) : それぞれチャネル 2 とチャネル 1 の制御ピンをイネーブルします。CMOS ロジック“H”によって、各チャネルをイネーブルします。これらのピンの内部には 330k のプルダウン抵抗があるため、これらを未接続にすると、両方のチャネルがシャットダウン状態になります。

AI2⁺, AI2⁻, AI1⁻, AI1⁺ (ピン 14, 15, 26, 27) : チャネル 2 およびチャネル 1 それぞれへの差動 IF 減衰入力。V_{CC} が印加された場合、これらのピンは内部で V_{CC}/2 にバイアスされます。そのため、直列 DC ブロッキング・コンデンサを使用する必要があります。

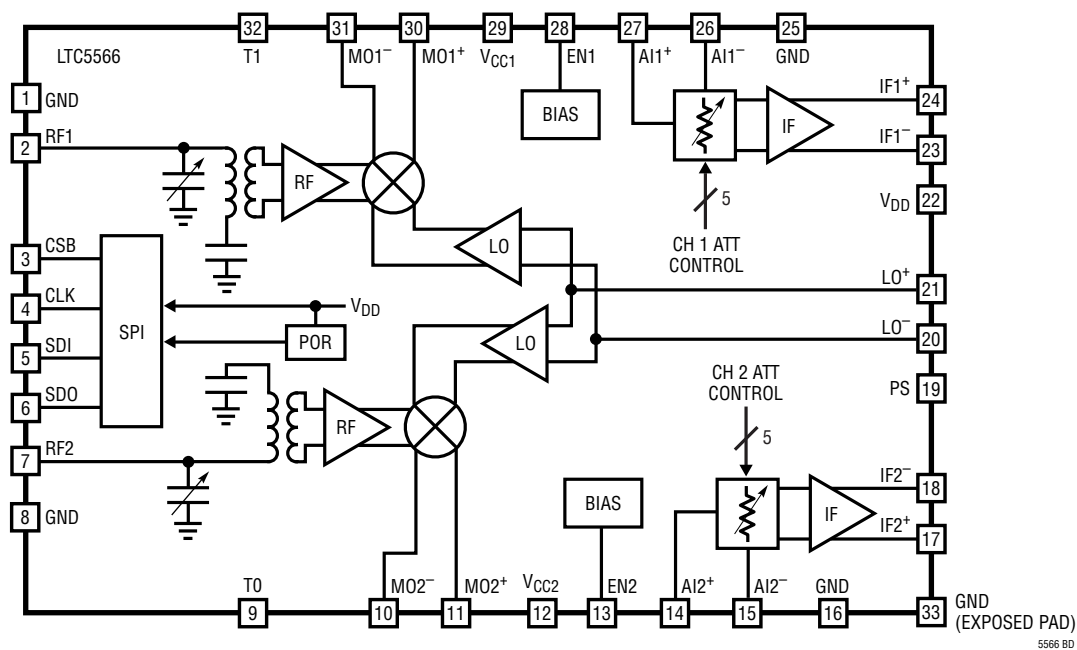
IF2⁺, IF2⁻, IF1⁻, IF1⁺ (ピン 17, 18, 23, 24) : それぞれ、チャネル 2 およびチャネル 1 のオープンコレクタ差動 IF バッファ出力。これらのピンは、プルアップ・インダクタを介して V_{CC} に接続する必要があります。各ピンに流れ込む標準の DC 電流は 48mA です。

PS (ピン 19) : RF 入力調整用のパラレル選択ピン。CMOS ロジック“H”によって、T1 ピンおよび T0 ピンを使用したパラレル制御をイネーブルします。CMOS ロジック“L”にすると、SPI ポートを使用して、T1 ピンおよび T0 ピンの電圧を無視しながら、チャネルごとに独立して調整を設定できます。このピンには内部に 330k のプルダウン抵抗があります。

LO⁻, LO⁺ (ピン 20, 21) : 局部発振器の差動入力。これらのピンは、内部で ESD ダイオードを介してグランドに接続されています。そのため、LO 信号源に DC 電圧が存在する場合は、DC ブロッキング・コンデンサを直列に接続する必要があります。シングルエンド駆動または差動駆動を使用できます。ミキサがディスエーブルされた場合でも、各ピンは内部で 50Ω に整合します。

V_{DD} (ピン 22) : シリアル・インタフェース・ロジックの電源ピン。このピンは、安定化された 1.8V ~ 3.3V の電源に接続する必要があります。CSB が“L”、クロックが 10MHz で動作している状態での標準的な DC 電流消費量は、1mA 未満です。アイドル状態での標準的な電流消費量は、500μA 未満です。このピンの電源電圧は、SPI 入力 (CSB, CLK, および SDI)、SDO 出力、および PS ピンのロジック・レベルを定義します。

ブロック図



テスト回路

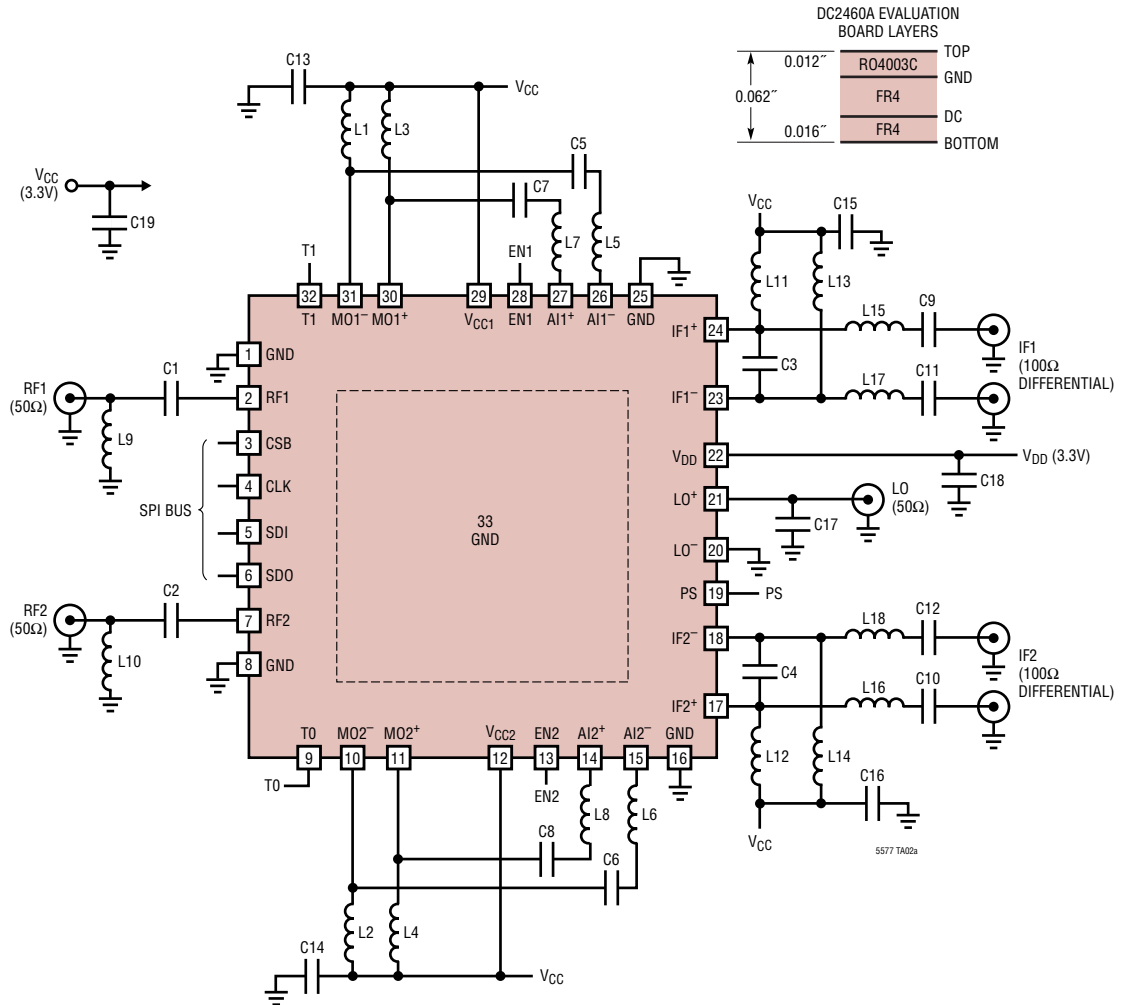


図1.100Ωに整合した差動IF出力を含むテスト回路図

RF入力調整および外部整合

| RF帯域 | RF周波数範囲 (Hz) | パラレル調整 (PS = "H") | | シリアル調整 (VIA SPI) (PS = "L") | C1, C2 | L9, L10 |
|------|----------------|-------------------|----|-----------------------------|--------|---------|
| | | T1 | T0 | RT1[1:0], RT2[1:0] | | |
| B0 | 3.1G TO 5.1G | 0 | 0 | 0 | 4.3pF | — |
| B1 | 1.8G TO 4.4G | 0 | 1 | 1 | | |
| B2 | 1.3G TO 3.9G | 1 | 0 | 2 | | |
| B3 | 0.7G TO 1.3G | 1 | 1 | 3 | 12pF | 8.2nH |
| B4 | 0.39G TO 0.53G | 1 | 1 | 3 | | 10nH |

| REF DES | VALUE | SIZE | VENDOR | REF DES | VALUE | SIZE | VENDOR |
|-----------|-----------|------|----------------|----------------------|-----------|------|------------------|
| C18, C19 | 1μF | 0603 | Murata 50V X5R | C17 | 0.3pF | 0201 | Murata 25V NPO |
| C1, C2 | See Table | 0402 | Murata 50V NPO | L1 TO L4, L11 TO L14 | 680nH | 0603 | Coilcraft 0603AF |
| C3, C4 | 2.2pF | 0402 | Murata 50V NPO | L5 TO L8 | 47nH | 0402 | Coilcraft 0402HP |
| C5 TO C8 | 1nF | 0201 | Murata 50V NPO | L9, L10 | See Table | 0402 | Coilcraft 0402HP |
| C9 TO C16 | 10nF | 0402 | Murata 50V X7R | L15 TO L18 | 33nH | 0402 | Coilcraft 0402HP |

アプリケーション情報

数帯について、RF調整および外部整合を図1にまとめています。各帯域のRF入力反射減衰量を図4に示します。

図3に示すように、RF入力調整は、PS（パラレル選択）制御ラインが“H”の場合に、パラレル制御ラインT0およびT1によって制御することもできます。この方法での調整ビットも図1にまとめられており、ここでT0はLSBです。パラレル調整制御を使用する場合、両方のチャンネルは同じ帯域に同時に調整され、SPI調整ビットは無視されます。T0およびT1制御ラインには内部167kプルダウン抵抗があり、PSピンには内部330kプルダウン抵抗があります。3つのピンをフロート状態のままにした場合、全て“L”に引き下げられ、SPIを使用してRF調整を制御できるようになります。ただし、SPI制御を使用する場合は、これらのピンを接地することを推奨します。

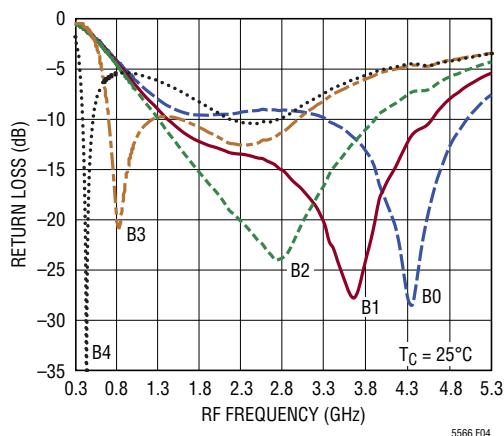


図4. 各帯域のRF入力の反射減衰量

LO入力

LO入力の簡略回路図を図5に示します。図に示すように、各ミキサには専用のLOアンプがあります。差動入力を用意されていますが、デバイスは、シングルエンド駆動を使用して特性評価および製造時テストが行われています。差動LO駆動は、性能をわずかに改善するため、使用できる場合に推奨されます。各LO入力は、150MHz～3.8GHzの範囲で内部で50Ωに整合され、外付け部品を必要としません。シャント・コンデンサC17 (0.3pF)を追加すると、LO入力整合が6GHzに拡張されます。各入力のESD保護ダイオードは、ピーク電圧振幅を

約±700mV (+7dBm)に制限しますが、10dBmまでのさらに高いLO駆動によって、入力が損傷することはありません。LO信号源にDC電圧が含まれる場合にのみ、外付けDCブロッキング・コンデンサが必要です。C17がある場合とない場合で測定されたLO入力の反射減衰量を図6に示します。

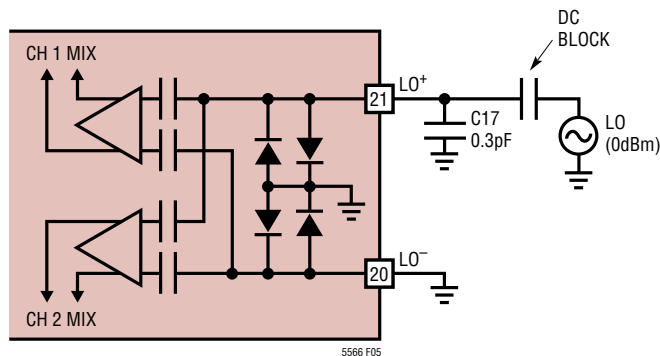


図5. LO入力の回路図

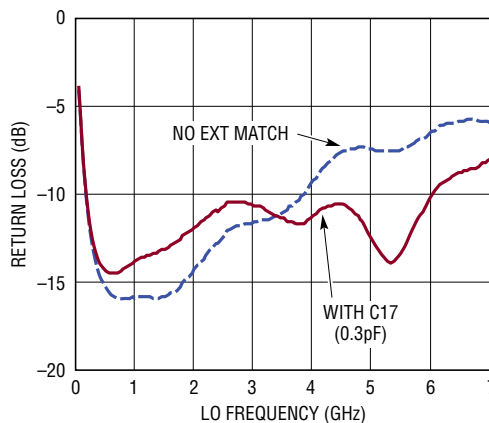


図6. LO入力の反射減衰量

アプリケーション情報

IF出力

チャンネル1の簡略IF出力回路図を、外付け整合部品と共に図7に示します(チャンネル2は同一であり、示されていません)。最終出力段は、整合抵抗、コンデンサ、およびESD保護ダイオードが内蔵された差動オープンコレクタです。各出力ピンは、外部チョーク(L11およびL13)を使用して電源電圧(V_{CC})でバイアスする必要があります。各ピンには約48mAのDC電源電流(合計96mA)が流れます。そのため、出力の最高のIP3およびP1dBを実現するには、DC抵抗の低い(1 Ω 未満の)インダクタが必要になります。

内蔵された出力抵抗が、206 Ω の差動出力抵抗を設定します。C3、L15、およびL17は、出力を100 Ω の差動に変換する2:1インピーダンス・トランスを形成します。200 Ω の出力が望ましい場合は、C3を使用せず、L15とL17の値を表1に示した値に減らします。C9およびC11はDCブロッキング・コンデンサであり、後続の段が既にDCブロックされている場合に省略できます。

標準の評価ボードは、100 Ω の差動IF出力を使用して作成されていますが、50 Ω のシングルエンド出力を供給するためにIFトランスを使用できるようにするパッドも備えています。これを実装するには、表1に示す200 Ω の整合および4:1 IFトランスを使用することを推奨します。図16に、この方法を使用した回路図および測定された性能を示します。

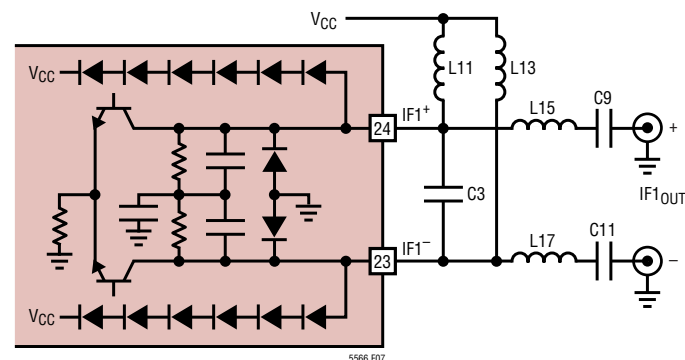


図7. IF出力の回路図

表1. IF出力の整合部品の値

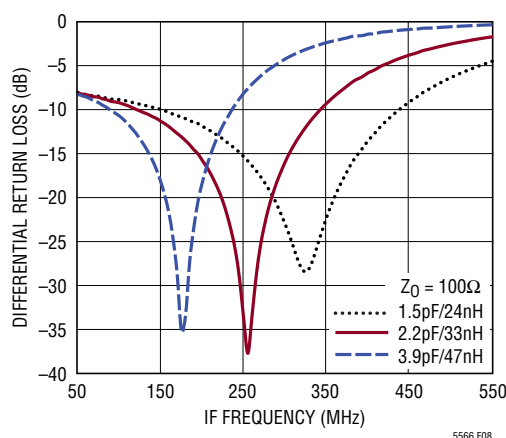
| 差動 Z_{OUT} | C3 | L15, L17 | 反射減衰量が 9dBになる帯域幅 |
|----------------|-------|----------|---------------------|
| 200 Ω * | — | 15nH | 30MHz to 440MHz |
| 100 Ω | 3.9pF | 47nH | 70MHz to 242MHz |
| | 2.2pF | 33nH | 87MHz to 352MHz |
| | 1.5pF | 24nH | 105MHz to 450MHz |

*評価ボード上の4:1トランスで測定された200 Ω 差動出力の反射減衰量。

差動IF出力インピーダンスと周波数を表2に示します。外付け部品が接続されていないパッケージ・ピンにはインピーダンスが存在します。100 Ω の差動整合の場合に測定されたIF出力の反射減衰量と周波数を図8に示します。

表2. 差動IF出力インピーダンスと周波数

| IF周波数 (MHz) | 差動インピーダンス ($R_{IF} C_{IF}$) |
|-------------|----------------------------------|
| 10 | 210 1.10pF |
| 50 | 209 1.09pF |
| 100 | 209 1.04pF |
| 150 | 208 0.97pF |
| 200 | 207 0.94pF |
| 300 | 206 0.92pF |
| 400 | 203 0.93pF |
| 500 | 200 0.91pF |
| 600 | 196 0.91pF |
| 700 | 192 0.91pF |
| 800 | 186 0.91pF |
| 900 | 179 0.90pF |
| 1000 | 172 0.89pF |

図8. IF出力の反射減衰量(100 Ω の差動整合)

アプリケーション情報

IF DVGA インタフェースへのミキサ出力

ミキサの300Ω 差動出力インピーダンスは、IF DVGAの300Ω 差動入力インピーダンスと一致し、モノリシック実装に起因する正常なプロセス変動が生じた場合でも同様です。これにより、最大IF減衰範囲にわたって最小の再現可能なDLNおよびINLを保証します。さらに、ミキサ出力およびDVGA入力は、整合されたコンデンサを内蔵しており、ミキサとDVGAの間でのローパス・フィルタの実現を容易にします。このフィルタは、望ましくない高周波数の混合積およびLOリークを、DVGAに入る前に減衰します。

チャンネル1のインタフェースの簡略回路図を図9に示します（チャンネル2は同一であり、示されていません）。L5およびL7は、ミキサ出力をDVGA入力に接続しながら、リップルが0.2dBの650MHz 3次チェビシェフ・ローパス・フィルタを形成します。L1およびL3はDC電流をミキサに供給し、C5およびC7はDCブロッキング・コンデンサです。

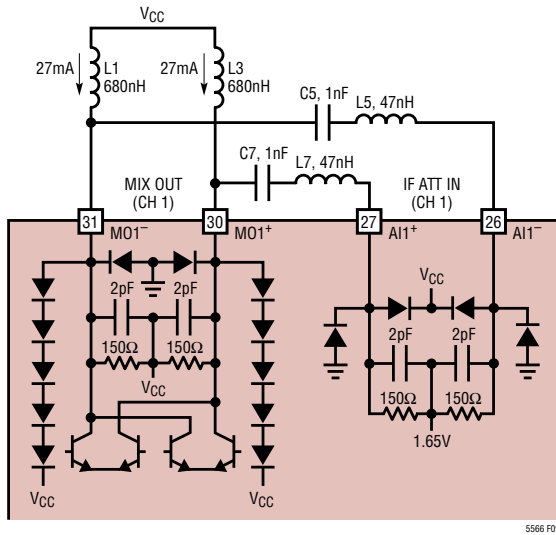


図9. ミキサ-IF DVGA間インタフェース

ローパス・フィルタの等価AC回路図を図10に示します。ここで、ミキサ出力およびDVGA入力は1pFと並列な300Ωとしてモデル化されています。ミキサの電源チョークおよび直列DCブロッキング・コンデンサは、この回路図では無視されています。

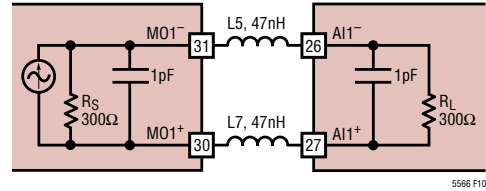


図10. 等価ローパス・フィルタの回路図

ミキサとDVGAの間でバンドパス・フィルタを実装することも可能です。その例を図11に示します。ここでは、無効分の値を変更し、C21、C23、およびL19を追加することによって、3次バンドパス・フィルタを実現しています。図19に、このバンドパス構成を使用して測定された変換利得とIF出力周波数を示します。

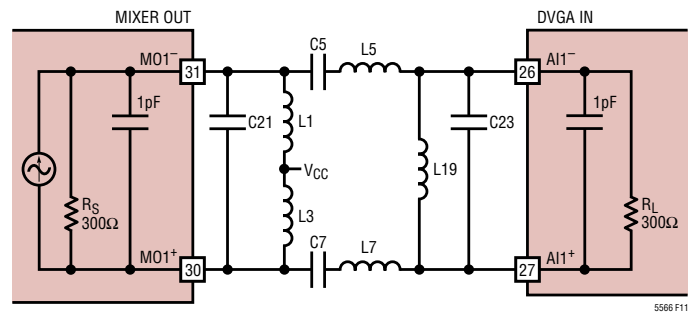


図11. 3次バンドパス・フィルタの実現

IF DVGAの位相とIF減衰

IF出力の位相は、IF減衰の全範囲にわたって一定になるのが理想的です。実際は、減衰器回路の寄生要素のために、ある程度の位相シフトが発生します。LTC5566のIF DVGAは、IF減衰の全範囲にわたって、可能性のある最低の位相変化(位相誤差)に対して最適化されています。完全なIF選択での位相誤差とIF減衰を表3に示します。

表3. IFの位相誤差とIF減衰

| ATT (dB) | 150MHz | 250MHz | 350MHz |
|----------|--------|--------|--------|
| 0 | REF | REF | REF |
| 3 | -1.1° | -1.4° | -3.0° |
| 6 | -1.6° | -2.1° | -4.2° |
| 9 | -2.0° | -2.8° | -5.1° |
| 12 | -2.2° | -3.2° | -5.3° |
| 15 | -2.4° | -3.0° | -5.5° |

アプリケーション情報

ダウンコンバータの性能とIF減衰

最大15.5dBの減衰範囲にわたるRF-IF間変換利得、IIP3、OIP3、およびノイズフィギュアを図12に示します。同じデータを、各減衰設定でのINLおよびDNLと共に表4に示します。

表4. 変換利得、IIP3、OIP3、およびSSB NFとIF減衰 (RF = 2.6GHz、IF = 153MHz、ハイサイドLO)

| A (dB) | IF1[4:0] IF2[4:0] | GC (dB) | IIP3 (dBm) | OIP3 (dBm) | NF (dB) | DNL (dB) | INL (dB) |
|--------|----------------------|---------|------------|------------|---------|----------|----------|
| 0 | 0 | 11.84 | 23.2 | 35.0 | 13.3 | — | — |
| 0.5 | 1 | 11.32 | 23.3 | 34.6 | 13.4 | 0.03 | 0.03 |
| 1.0 | 2 | 10.75 | 23.4 | 34.2 | 13.6 | 0.07 | 0.09 |
| 1.5 | 3 | 10.24 | 23.6 | 33.8 | 13.7 | 0.01 | 0.10 |
| 2.0 | 4 | 9.75 | 24.0 | 33.8 | 13.8 | -0.01 | 0.09 |
| 2.5 | 5 | 9.24 | 24.2 | 33.5 | 13.9 | 0.01 | 0.10 |
| 3.0 | 6 | 8.75 | 24.6 | 33.4 | 14.1 | -0.01 | 0.09 |
| 3.5 | 7 | 8.24 | 24.9 | 33.2 | 14.2 | 0.01 | 0.11 |
| 4.0 | 8 | 7.75 | 25.1 | 32.8 | 14.4 | -0.01 | 0.10 |
| 4.5 | 9 | 7.24 | 25.5 | 32.8 | 14.6 | 0.01 | 0.11 |
| 5.0 | 10 | 6.75 | 25.7 | 32.4 | 14.8 | -0.01 | 0.10 |
| 5.5 | 11 | 6.23 | 25.9 | 32.1 | 15.0 | 0.01 | 0.11 |
| 6.0 | 12 | 5.75 | 26.1 | 31.8 | 15.3 | -0.01 | 0.10 |
| 6.5 | 13 | 5.23 | 26.5 | 31.7 | 15.5 | 0.01 | 0.11 |
| 7.0 | 14 | 4.74 | 26.4 | 31.1 | 15.7 | -0.01 | 0.10 |
| 7.5 | 15 | 4.22 | 26.9 | 31.1 | 15.9 | 0.03 | 0.13 |
| 8.0 | 16 | 3.73 | 26.7 | 30.4 | 16.2 | -0.02 | 0.11 |
| 8.5 | 17 | 3.21 | 27.1 | 30.4 | 16.5 | 0.02 | 0.14 |
| 9.0 | 18 | 2.73 | 26.9 | 29.6 | 16.9 | -0.02 | 0.12 |
| 9.5 | 19 | 2.20 | 27.4 | 29.6 | 17.2 | 0.03 | 0.14 |
| 10.0 | 20 | 1.72 | 27.1 | 28.8 | 17.5 | -0.02 | 0.13 |
| 10.5 | 21 | 1.20 | 27.6 | 28.8 | 17.8 | 0.02 | 0.15 |
| 11.0 | 22 | 0.71 | 27.3 | 28.0 | 18.2 | -0.01 | 0.14 |
| 11.5 | 23 | 0.18 | 27.5 | 27.7 | 18.6 | 0.02 | 0.16 |
| 12.0 | 24 | -0.31 | 27.6 | 27.3 | 19.0 | -0.01 | 0.15 |
| 12.5 | 25 | -0.84 | 27.8 | 27.0 | 19.4 | 0.03 | 0.18 |
| 13.0 | 26 | -1.33 | 27.3 | 26.0 | 19.8 | -0.02 | 0.17 |
| 13.5 | 27 | -1.85 | 27.9 | 26.1 | 20.2 | 0.03 | 0.19 |
| 14.0 | 28 | -2.35 | 28.0 | 25.7 | 20.7 | 0.00 | 0.19 |
| 14.5 | 29 | -2.87 | 28.2 | 25.3 | 21.1 | 0.02 | 0.21 |
| 15.0 | 30 | -3.36 | 28.0 | 24.6 | 21.5 | 0.00 | 0.20 |
| 15.5 | 31 | -3.89 | 28.1 | 24.2 | 22.0 | 0.03 | 0.23 |

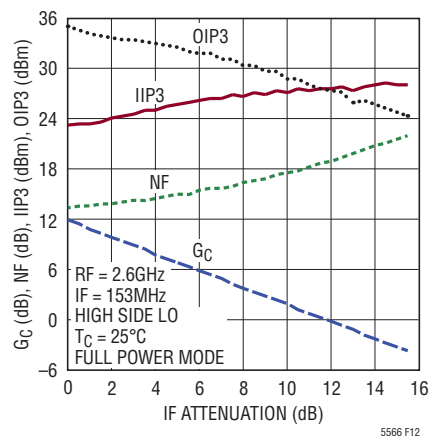


図12. ダウンコンバータのRF-IF間変換利得、IIP3、OIP3、およびノイズフィギュアとIF減衰

各段の性能

LTC5566は、RF入力から最終的なIF出力までの完全なダウンコンバータとして特性評価され、規定され、製造時にテストされています。アプリケーションによっては、ミキサとIF DVGAの間に選択性の高いIFフィルタを挿入するのが好ましい場合があります。システム性能の計算に役立つために、ミキサの公称性能を表5に示し、IF DVGAの性能を表6に示します。これらのブロックは単独で製造時にテストされないため、この情報は単に参考のために提供されています。

表5. ミキサの電力変換利得、IIP3、およびSSB NF (RF = 2.6GHz、IF = 153MHz、ハイサイドLO、帯域1のRF調整)

| 最大電力モード | | | 低消費電力モード | | |
|---------|------------|---------|----------|------------|---------|
| GP (dB) | IIP3 (dBm) | NF (dB) | GP (dB) | IIP3 (dBm) | NF (dB) |
| -0.5 | 28.0 | 12.2 | -0.7 | 23.0 | 11.8 |

表6. IF DVGAの電力利得、OIP3、およびSSB NF (153MHz)

| IF ATT (dB) | 最大電力モード | | | 低消費電力モード | | |
|-------------------|------------|---------------|------------|------------|---------------|------------|
| | 利得 (dB) | OIP3 (dBm) | NF (dB) | 利得 (dB) | OIP3 (dBm) | NF (dB) |
| 0 | 12.0 | 36.4 | 5.7 | 11.8 | 33.2 | 5.6 |
| 3 | 9.0 | 35.7 | 9.3 | 8.8 | 33.0 | 9.3 |
| 6 | 6.0 | 35.7 | 12.3 | 5.8 | 33.1 | 12.3 |
| 9 | 3.0 | 35.7 | 15.4 | 2.8 | 32.9 | 15.3 |
| 12 | 0.0 | 35.4 | 18.4 | -0.2 | 32.9 | 18.4 |
| 15 | -3.0 | 35.0 | 21.4 | -3.2 | 32.7 | 21.4 |

アプリケーション情報

イネーブル入力

チャンネル1のイネーブル・インタフェースの回路を図13に示します。チャンネル2は同一であり、示されていません。図に示されているように、EN1用のESDダイオードの正極が V_{CC1} に接続されています。チャンネル2のESDダイオードの正極は、 V_{CC2} (示されていない)に接続されています。チャンネルをイネーブルするには、印加する電圧を1.4Vより高くする必要があります。印加された電圧が0.5Vより低いと、チャンネルはディスエーブルされます。イネーブル機能が不要な場合は、イネーブル・ピンを隣の V_{CC} に直接接続することができます。イネーブル・ピンをフロート状態のままにすると、内部の330k Ω プルダウン抵抗がチャンネルをディスエーブルします。

イネーブル・ピンの電圧が V_{CC} より0.3Vを超えて上昇しないようにしてください。この電圧を超えた場合、上側ESDダイオードを通じて電源電流がソースされる可能性があります。いかなる状況でも V_{CC} ピンに電源電圧が加えられる前にイネーブル・ピンに電圧が加わってはなりません。電圧を加えると、デバイスが損傷する恐れがあります。

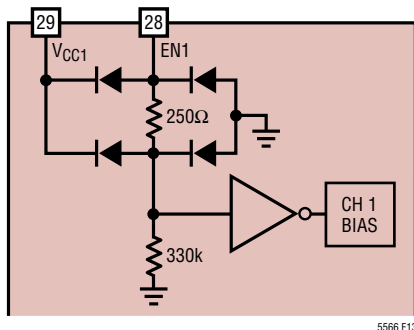


図13. チャンネル1イネーブル・ピンのインタフェース

電源電圧のランプ

電源の高速ランプ動作は、内部ESD保護回路の電流グリッチを引き起こすことがあります。電源のインダクタンスによっては、このグリッチによって最大定格を超える電源電圧トランジェントを生じる可能性があります。電源電圧のランプ時間は1msより長くすることを推奨します。

SPIの説明

ダウンコンバータ・チャンネルごとのIF DVGA減衰器制御、RF入力調整、および低消費電力モードは、CSB、CLK、およびSDIで構成された3線式SPIを介して設定されます。4番目のピン(SDO)は、レジスタの内容の読み出しに使用できるシリアル出力です。SDOピンは、単一バス上の複数のSPIインタフェースをデジタイズ・チェーン接続するのにも使用できます。例えば、8チャンネルMIMOレシーバ・アプリケーションでは、共通のCSBラインを共有しながら、4つのLTC5566デュアル・ダウンコンバータを、単一の64ビットの負荷を使用して全て設定できます。

SPIのブロック図を図14に示します。この図では、チャンネルごとに8ビットを備える16ビット・ダブルバッファ構成のFIFOスレーブ・アーキテクチャを示しています。デジタル入力およびSDO出力のロジック・レベルは1.8V~3.3VのCMOS互換であり、 V_{DD} ピンの電源電圧によって決定されます。 V_{DD} ピンに接続された内部POR(パワーオン・リセット)は、起動時、または V_{DD} が0.9V未満に低下してから再び1.2Vを超えたときに、16ビット全てをロジック0にリセットします。PORは、レジスタをリセットするのに約100 μ sを必要とします。

SPIの設定

デバイスへのデータ転送は、最初にCSBを“L”にしてポートをイネーブルすることにより、行われます。次に、SDIのシリアル入力データがCLKの立ち上がりエッジで捕捉され、MSBを先頭にしてシフトされて16ビット・シフト・レジスタに入力されます。レジスタからのシリアル・データは、クロックの立ち下がりエッジでSDOに供給されます。CSBを“H”にすることによって、通信バーストが終了します。その後、CSBの立ち上がりエッジで、シフト・レジスタの内容が16ビット・バッファのDラッチにラッチされます。バッファのラッチは、ダウンコンバータの利得、RF入力調整、および電力モードがデータの読み込み中に変化するのを防ぎます。タイミングの詳細については、図15を参照してください。

CSBが“H”の場合、クロックおよびデータ入力が内部でゲートオフし、選択されない場合の電流消費量を最小限に抑え、SDO出力が高インピーダンスになります。ただし、データ転送とデータ転送の間は、デジタル・ノイズがRF信号経路に結合するのを防ぐために、シリアル・インタフェース信号をアイドル状態のままにすることを推奨します。

アプリケーション情報

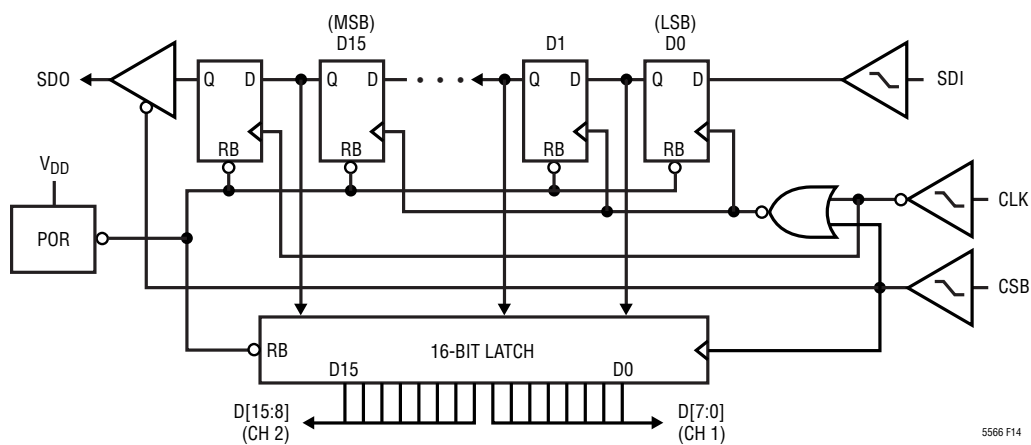


図 14. SPIブロック図

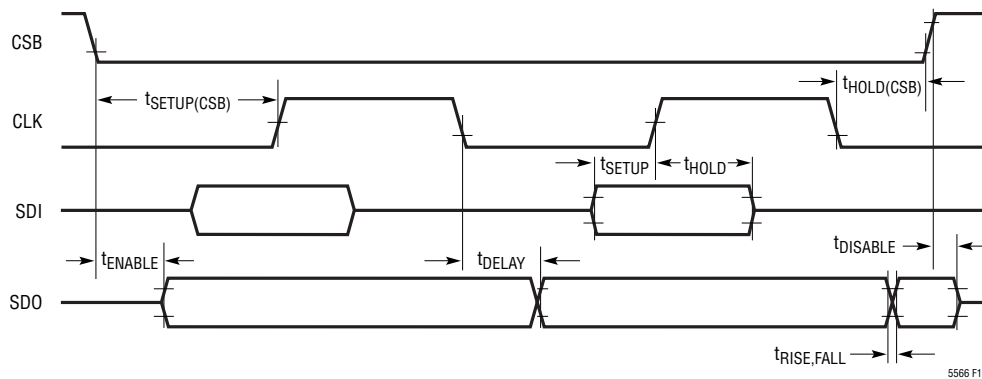


図 15. SPIタイミング図

アプリケーション情報

レジスタの内容のメモリ・マップを表7に示します。詳細なビットの説明を表8に示します。各レジスタの起動時の初期値(以下の値)も表8に示します。

- 0dBのIF減衰(最大利得)
- 最大電力モード
- 帯域0に調整されたRF入力(最高周波数)

表7. シリアル・ポート・レジスタの内容

| チャンネル2(8ビット) | | | | | | | |
|--------------|--------|--------|--------|--------|--------|--------|-----------|
| MSB D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 |
| RP2 | RT2[1] | RT2[0] | IF2[4] | IF2[3] | IF2[2] | IF2[1] | IF2[0] |
| チャンネル1(8ビット) | | | | | | | |
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | LSB D0 |
| RP1 | RT1[1] | RT1[0] | IF1[4] | IF1[3] | IF1[2] | IF1[1] | IF1[0] |

表8. シリアル・ポート・レジスタのビット・フィールドのまとめ

| BITS | DESCRIPTION | DEFAULT |
|----------|-----------------------------|------------------|
| IF1[4:0] | Ch. 1 IF Attenuator Control | 00000 (Max Gain) |
| RT1[1:0] | Ch. 1 RF Tuning | 00 (Band 0) |
| RP1 | Ch. 1 Reduced Power | 0 (Full Power) |
| IF2[4:0] | Ch. 2 IF Attenuator Control | 00000 (Max Gain) |
| RT2[1:0] | Ch. 2 RF Tuning | 00 (Band 0) |
| RP2 | Ch. 2 Reduced Power | 0 (Full Power) |

スプリアス出力レベル

RFおよびLOの高調波に対するスプリアス出力レベルを表9に示します。これらのスプリアス・レベルは、-6dBmのRF入力電力および6dBのIF減衰で、図1に示したテスト回路を使用して測定されました。表9aは最大電力モードでの相対スプリアス・レベルを示し、表9bは低消費電力モードでの相対スプリアス・レベルを示しています。ミキサのスプリアス・レベルは、IF減衰設定の影響を受けません。

スプリアス周波数は次式を使用して計算できます。

$$f_{SPUR} = (M \cdot f_{RF}) - (N \cdot f_{LO})$$

表9. IF 出力スプリアス・レベル(dBc)。
(RF = 2.6GHz、P_{RF} = -6dBm、IF = 153MHz、ハイサイドLO、P_{LO} = 0dBm、6dBのIF減衰、T_C = 25°C)

表9a. 最大電力モード

| | | N | | | | | | | |
|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| M | 0 | | -52 | * | * | -80 | -79 | -79 | * |
| | 1 | * | 0 | * | * | * | * | -80 | -80 |
| | 2 | * | * | -68 | * | * | * | * | -80 |
| | 3 | * | * | * | -77 | * | * | * | * |
| | 4 | * | * | * | * | * | * | * | * |
| | 5 | * | * | * | * | * | * | * | * |
| | 6 | -80 | * | * | * | * | * | * | * |
| | 7 | * | -80 | * | * | * | * | * | * |

*-80dBc未満

表9b. 低消費電力モード

| | | N | | | | | | | |
|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| M | 0 | | -52 | * | * | -80 | -79 | -78 | * |
| | 1 | * | 0 | * | * | * | * | -80 | -80 |
| | 2 | * | * | -68 | * | * | * | * | -79 |
| | 3 | * | * | * | -72 | * | * | * | * |
| | 4 | * | * | * | * | * | * | * | * |
| | 5 | * | * | * | * | * | * | * | * |
| | 6 | -79 | * | * | * | * | * | * | * |
| | 7 | * | -80 | * | * | * | * | * | * |

*-80dBc未満

RFポートおよびLOポートのSパラメータ

RFポートおよびLOポートのS11と周波数を表10に示します。4つのRF調整状態全てについてデータが示されています。データは、外部整合のないデバイス・ピンを基準にしています。

アプリケーション情報

表 10. RFポートおよびLOポートのS11

| 周波数(MHz) | RF INPUT | | | | | | | | LO入力 (シングルエンド) | |
|----------|----------|--------|---------|--------|---------|--------|---------|--------|-------------------|--------|
| | RT = 00 | | RT = 01 | | RT = 10 | | RT = 11 | | 振幅 | 位相(°) |
| | 振幅 | 位相(°) | 振幅 | 位相(°) | 振幅 | 位相(°) | 振幅 | 位相(°) | 振幅 | 位相(°) |
| 200 | 0.77 | -160.1 | 0.77 | -160.1 | 0.77 | -160.1 | 0.77 | -160.1 | 0.29 | -61.1 |
| 300 | 0.72 | 179 | 0.71 | 178 | 0.72 | 178 | 0.71 | 178 | 0.21 | -63.5 |
| 400 | 0.68 | 167 | 0.65 | 167 | 0.67 | 167 | 0.66 | 167 | 0.18 | -65.2 |
| 500 | 0.64 | 160 | 0.61 | 160 | 0.63 | 160 | 0.62 | 160 | 0.17 | -66.2 |
| 600 | 0.61 | 154 | 0.57 | 155 | 0.60 | 154 | 0.59 | 155 | 0.16 | -68.7 |
| 700 | 0.60 | 149 | 0.55 | 150 | 0.58 | 149 | 0.56 | 150 | 0.16 | -71.8 |
| 800 | 0.58 | 146 | 0.52 | 147 | 0.56 | 146 | 0.54 | 146 | 0.16 | -75.0 |
| 900 | 0.57 | 142 | 0.49 | 144 | 0.54 | 142 | 0.52 | 143 | 0.16 | -77.9 |
| 1000 | 0.56 | 139 | 0.47 | 142 | 0.53 | 139 | 0.50 | 140 | 0.16 | -81.3 |
| 1500 | 0.51 | 124 | 0.36 | 136 | 0.46 | 126 | 0.40 | 130 | 0.16 | -102.8 |
| 2000 | 0.46 | 110 | 0.26 | 143 | 0.37 | 113 | 0.29 | 124 | 0.19 | -128.6 |
| 2500 | 0.39 | 91.5 | 0.24 | 165 | 0.26 | 100 | 0.19 | 133 | 0.24 | -142.9 |
| 3000 | 0.32 | 68.7 | 0.31 | 172 | 0.14 | 89 | 0.17 | 160 | 0.26 | -154.6 |
| 3500 | 0.24 | 40.0 | 0.38 | 167 | 0.04 | 119 | 0.23 | 172 | 0.28 | -175.1 |
| 4000 | 0.11 | -3.0 | 0.47 | 158 | 0.15 | -174 | 0.34 | 168 | 0.35 | 165.4 |
| 4500 | 0.11 | -139 | 0.54 | 148 | 0.30 | 174 | 0.45 | 157 | 0.42 | 156.9 |
| 5000 | 0.29 | 173 | 0.58 | 139 | 0.43 | 158 | 0.52 | 147 | 0.42 | 147.3 |
| 5500 | 0.40 | 153 | 0.61 | 135 | 0.50 | 147 | 0.57 | 141 | 0.43 | 127.5 |
| 5800 | 0.46 | 137 | 0.65 | 129 | 0.55 | 137 | 0.61 | 133 | 0.45 | 115.0 |
| 6000 | 0.48 | 128 | 0.66 | 125 | 0.56 | 130 | 0.62 | 129 | 0.47 | 108.8 |

RF-IF間変換利得とIF周波数
4:1トランスによる200Ωの出力

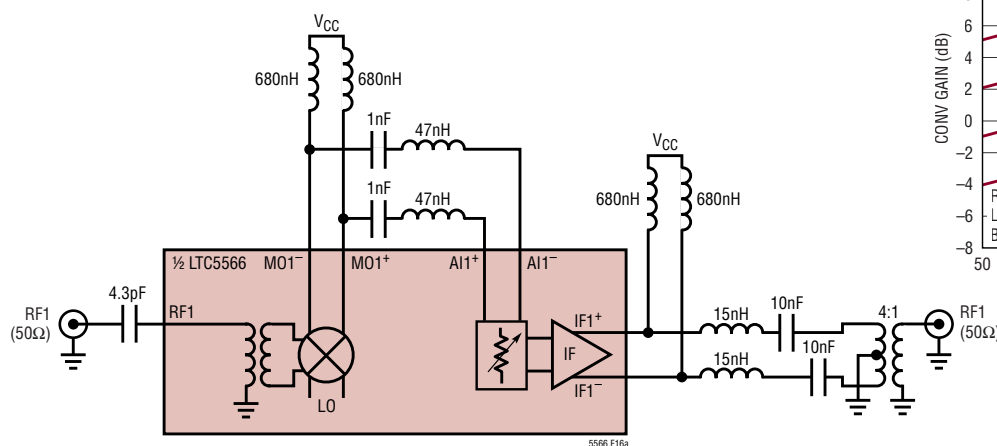
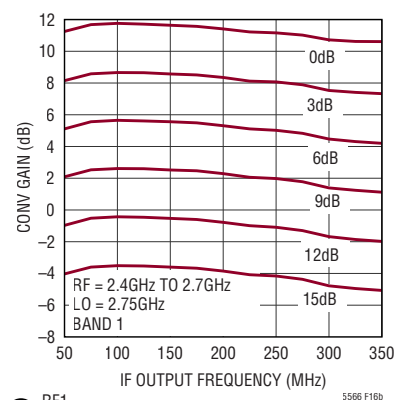


図 16. 200Ωの出力整合を使用したテスト回路および測定された変換利得(4:1 IFトランスを使用して50ΩのシングルエンドIF出力を実現)

標準的応用例

5.8GHz RF アプリケーション

LTC5566のRF入力は、最大5GHzでの動作に対して最適化されていますが、性能を下げることで6GHzまで使用することができます。RF入力が5.8GHzの動作に対して整合している場合の一例を図17に示します。最低内部容量(つまり、最高周波数動作)の場合、RF調整ビットはRT1[1:0] = 00に設定されます。測定された性能を図18にまとめています。

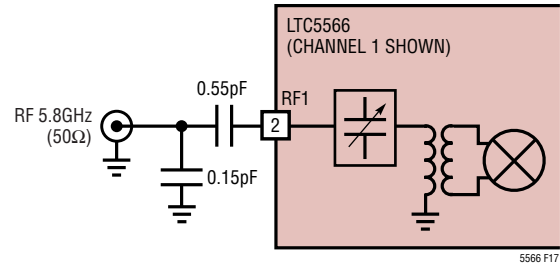


図17. 5.8GHzの入力整合

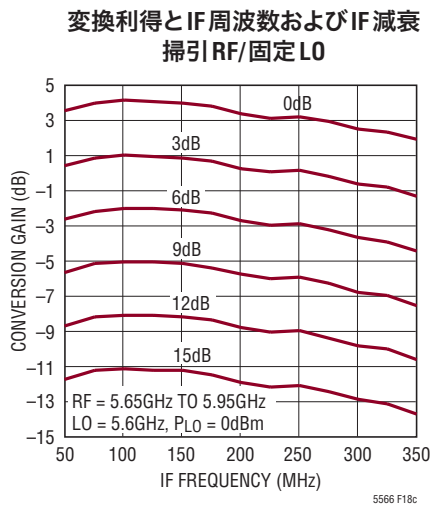
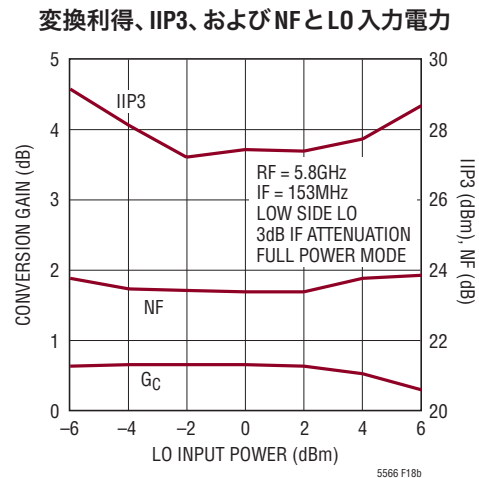
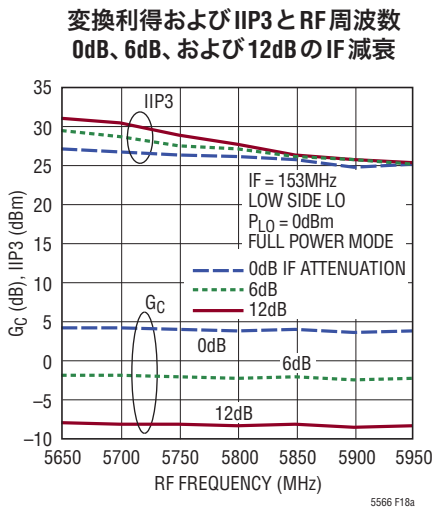
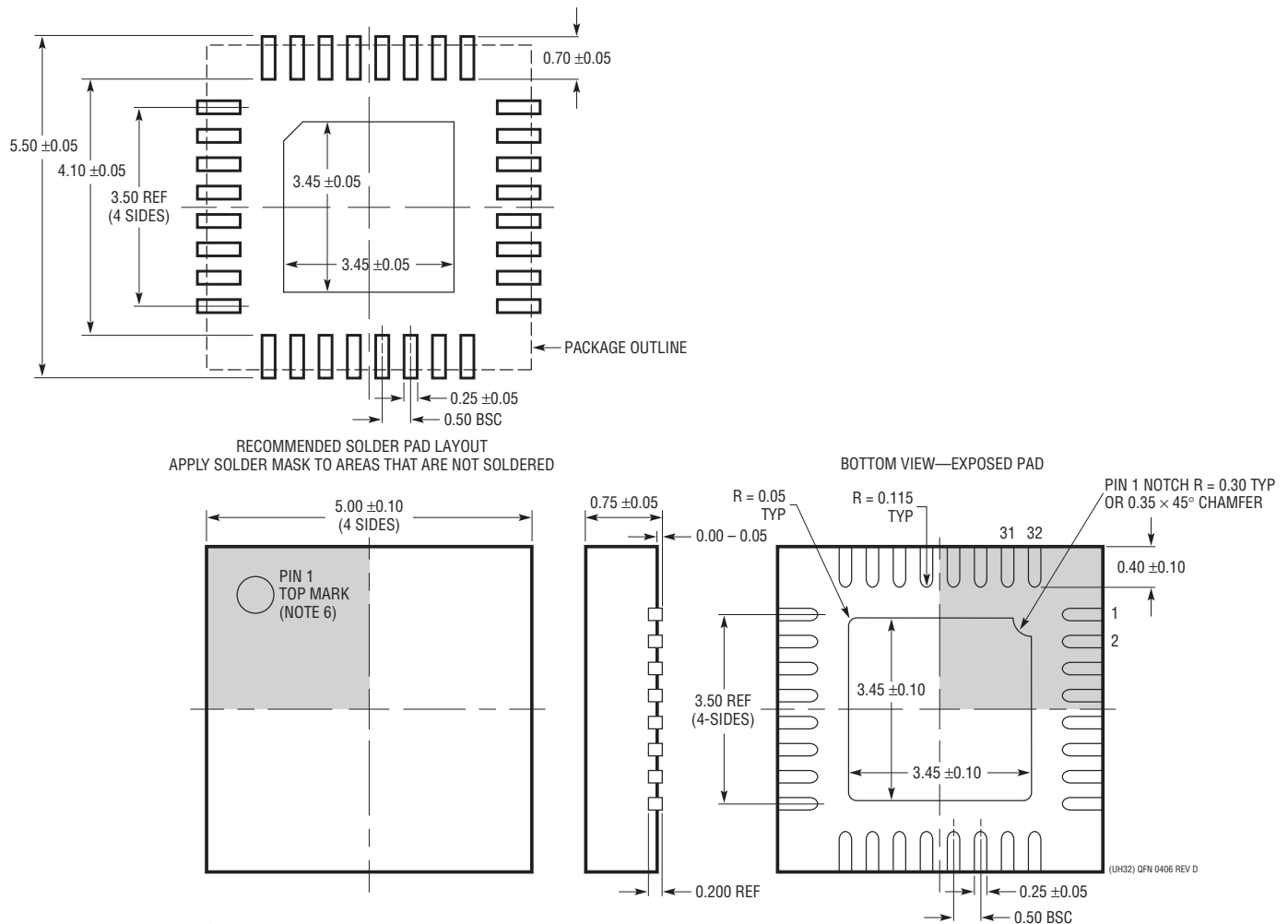


図18. 5.8GHzのRFの入力整合を使用して測定された性能

パッケージの寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC5566#packaging> を参照してください。

UH Package
32-Lead Plastic QFN (5mm × 5mm)
 (Reference LTC DWG # 05-08-1693 Rev D)



注記:

- 図は JEDEC のパッケージ外形 M0-220 のバリエーション(WHHD-(X))に含めるよう提案されている(承認待ち)
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで 0.20mm を超えないこと。
- 露出パッドは半田メッキとする
- 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

標準的応用例

190MHzバンドパス段間フィルタを使用した RF-IF間変換利得とIF周波数

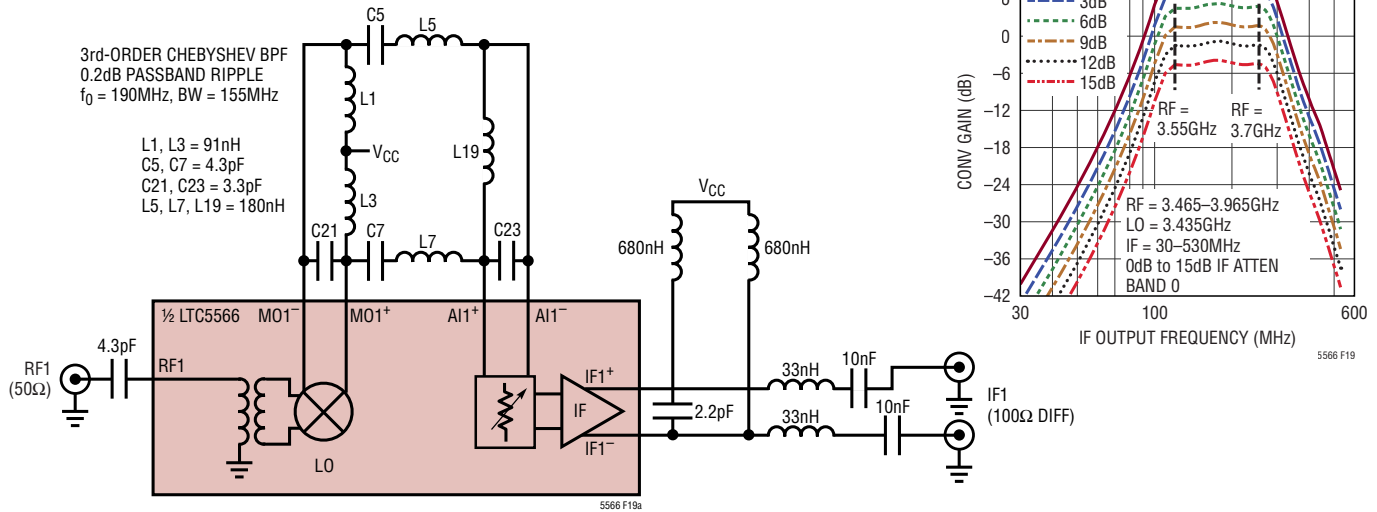


図19. 3次バンドパス段間フィルタを使用したテスト回路および測定された変換利得

関連製品

| 製品番号 | DESCRIPTION | 注釈 |
|----------------------------|--|---|
| インフラストラクチャ | | |
| LTC5569 | 300MHz～4GHz、デュアル・アクティブ・ダウンコンバーティング・ミキサ | 利得:2dB、IIP3:26.7dBm、NF:1950MHzで11.7dB、3.3V/180mA 電源 |
| LTC6430 | 高直線性差動RF/IFアンプ | OIP3:240MHzで51dBm、100Ωの差動 |
| LTC6409 | 帯域幅10GHzの差動アンプ | DC結合、OIP3:140MHzで48dBm、入力ノイズ密度:1.1nV/√Hz |
| LTC6412 | 31dBリニア・アナログ制御VGA | OIP3:240MHzで35dBm、連続利得範囲:-14dB～17dB |
| LTC5544 | 4GHz～6GHzダウンコンバーティング・ミキサ・ファミリ | 利得:7.4dB、IIP3:>25dBm、NF:11.3dB、3.3V/200mA 電源 |
| LT5554 | 超低歪みのIFデジタル制御VGA | OIP3:200MHzで48dBm、利得範囲:2dB～18dB、利得ステップ:0.125dB |
| LTC5576 | 3GHz～8GHzアクティブ・アップコンバーティング・ミキサ | OIP3:25dBm、利得:-0.6dB、出力ノイズフロア:-154dBm/Hz、LOリーク:-36dBm |
| LTC5548 | 2GHz～14GHz広帯域マイクロ波ミキサ | アップコンバージョンまたはダウンコンバージョン、IIP3:9GHzで21.4dBm、LO駆動:0dBm、IF帯域幅:DC～6GHz |
| LTC5549 | 2GHz～14GHz広帯域マイクロ波ミキサ | アップコンバージョンまたはダウンコンバージョン、IIP3:12GHzで22.8dBm、LO駆動:0dBm、IF帯域幅=500MHz～6GHzでの内蔵バラン |
| LTC5593 | 2.3GHz～4.5GHzデュアル・ダウンコンバーティング・ミキサ | 利得:8.5dB、IIP3:27.7dBm、ノイズフィギュア:9.5dB |
| VCO内蔵のRF PLL/シンセサイザ | | |
| LTC6946 | VCO内蔵の低ノイズ、低スプリアス整数分周方式PLL | 373MHz～5.79GHz、広帯域位相ノイズフロア:-157dBc/Hz、閉ループ位相ノイズ:-100dBc/Hz |
| LTC6948 | VCO内蔵の低ノイズ、低スプリアス分数分周方式PLL | 373MHz～6.39GHz、広帯域位相ノイズフロア:-157dBc/Hz、正規化された帯域内1/fノイズ:-274dBc/Hz |
| A/Dコンバータ | | |
| LTC2145-14 | 14ビット、125Msps、1.8VデュアルADC | SNR:73.1dB、SFDR:90dB、消費電力:95mW(チャンネル当たり) |
| LTC2185 | 16ビット、125Msps、1.8VデュアルADC | SNR:76.8dB、SFDR:90dB、消費電力:185mW(チャンネル当たり) |
| LTC2158-14 | フルパワー帯域幅が1.25GHzの14ビット、310Msps、1.8VデュアルADC | SNR:68.8dB、SFDR:88dB、消費電力:362mW(チャンネル当たり)、入力範囲:1.32Vp-p |