デジタル利得制御付き 低歪みIFアンプ/ADCドライバ

特長

- **100MHzでの出力IP3：40dBm**
- **最大出力パワー：16dBm**
- **帯域幅：LF～540MHz**
- **伝播遅延：0.8ns**
- **最大利得：27dB**
- **利得制御範囲：22.5dB**
- **利得制御ステップ：1.5dB**
- 利得制御セトリング時間：500ns
- ノイズ・フィギュア：100MHzで8.6dB（最大利得）
- 出力ノイズ・フロア：−138dBm/Hz (最大利得)
- 逆絶縁：−92dB
- 単一電源：4.75V～5.25V
- シャットダウン・モード
- イネーブル/ディスエーブル時間：1μs
- 差動I/Oインタフェース
- 20ピンTSSOPパッケージ

アプリケーション

- 高直線性ADCドライバ
- IFサンプリング・レシーバ
- VGA IFパワーアンプ
- 50Ωドライバ
- 計装アプリケーション

概要

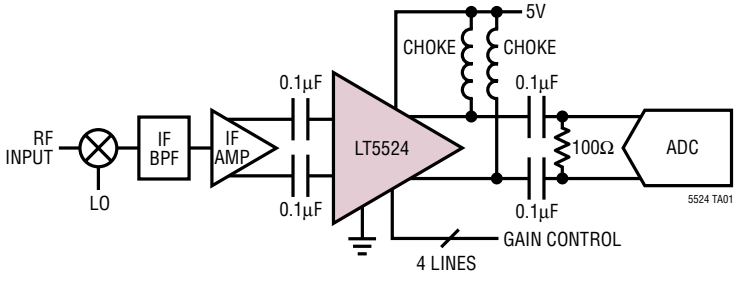
LT®5524は低周波数（LF）から540MHzまでの帯域幅をもつPGA（programmable gain amplifier：利得をプログラム可能なアンプ）です。このデバイスはデジタル制御される可変減衰器とその後に続く高直線性アンプで構成されています。4本のパラレル・デジタル入力により、1.5dBのステップ分解能で22.5dBの範囲にわたって利得を制御します。内蔵の電源レギュレータ/フィルタは、外部ノイズ源からアンプの信号パスを絶縁するのに役立ちます。

LT5524の開ループ・アーキテクチャにより、実際のあらゆる負荷条件において、容量性負荷ドライブ時のピーキングのないAC応答や優れた逆絶縁などの安定動作が可能です。

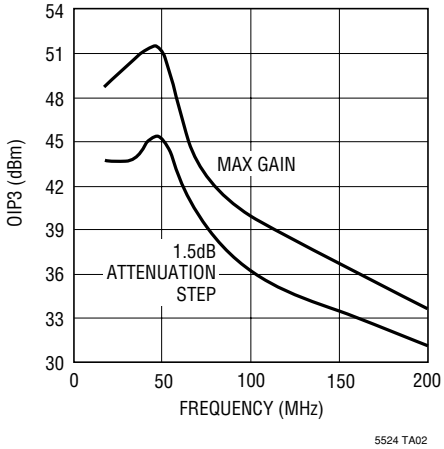
LT5524は広帯域で動作可能で、出力差動RC時定数によって帯域幅を設定します。また、このデバイスは適切な出力フィルタを付加することにより、狭帯域ドライバとしても使用可能です。

、LTC、LTはリニアテクノロジー社の登録商標です。
特許出願中。

標準的応用例



出力IP3と周波数（R_{OUT} = 200Ω）

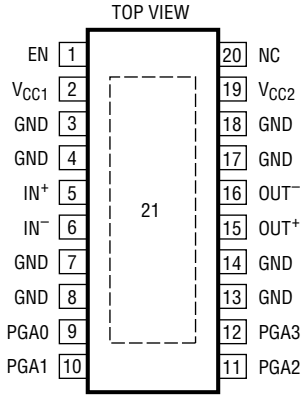


絶対最大定格

（Note 1、2）

電源電圧 (V_{CC1}、V_{CC2}) 6V
出力DC電圧 (OUT^+、OUT^-) 7V
制御入力電圧 (EN、PGAx) ..... –0.5V～V_{CC}
信号入力電圧 (IN^+、IN^-) ..... –0.5V～3V
動作周囲温度範囲 ..... –40°C～85°C
保存温度範囲 ..... –65°C～150°C
リード温度 (半田付け、10秒) ..... 300°C

パッケージ/発注情報



FE PACKAGE
20-LEAD PLASTIC TSSOP

T_{JMAX} = 150°C, θ_{JA} = 38°C/W
EXPOSED PAD (PIN 21) IS GND
MUST BE SOLDERED TO PCB

ORDER PART NUMBER
LT5524EFE

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

プログラム可能な利得設定

	ATTENUATION STEP RELATIVE TO MAX GAIN	PGA0	PGA1	PGA2	PGA3	POWER GAIN*
1	0dB	High	High	High	High	27.0dB
2	–1.5dB	Low	High	High	High	25.5dB
3	–3.0dB	High	Low	High	High	24.0dB
4	–4.5dB	Low	Low	High	High	22.5dB
5	–6.0dB	High	High	Low	High	21.0dB
6	–7.5dB	Low	High	Low	High	19.5dB
7	–9.0dB	High	Low	Low	High	18.0dB
8	–10.5dB	Low	Low	Low	High	16.5dB
9	–12.0dB	High	High	High	Low	15.0dB
10	–13.5dB	Low	High	High	Low	13.5dB
11	–15.0dB	High	Low	High	Low	12.0dB
12	–16.5dB	Low	Low	High	Low	10.5dB
13	–18.0dB	High	High	Low	Low	9.0dB
14	–19.5dB	Low	High	Low	Low	7.5dB
15	–21.0dB	High	Low	Low	Low	6.0dB
16	–22.5dB	Low	Low	Low	Low	4.5dB (Note 3)

*R_{OUT} = 200Ω

DC電気的特性 注記がない限り、V_{CC} = 5V、V_{CCO} = 5V、EN = 3V、T_A = 25℃。

(Note 7)（図9と図10に示されているテスト回路）。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Normal Operating Conditions						
V_{CC}	Supply Voltage (Pins 2, 19)	(Note 4)	4.75	5	5.25	V
V_{CCO}	OUT^+, OUT^- Output Pin DC Common Mode Voltage	OUT^+, OUT^- Connected to V_{OSUP} via Choke Inductors or Resistors (Note 5)	3	5	5.5	V
Shutdown DC Characteristics, EN = 0.6V						
$V_{IN(BIAS)}$	IN^+, IN^- Bias Voltage	Max Gain (Note 6)	1.15	1.3	1.5	V
$I_{IL(PGA)}$	PGAO, PGA1, PGA2, PGA3 Input Current	V_{IN} = 0.6V			20	μA
$I_{IH(PGA)}$	PGAO, PGA1, PGA2, PGA3 Input Current	V_{IN} = 5V			20	μA
I_{OUT}	OUT^+, OUT^- Current	All Gain Settings			20	μA
I_{CC}	V_{CC} Supply Current	All Gain Settings (Note 4)		44	100	μA
Enable and PGA Inputs DC Characteristics						
V_{IL}	EN and PGAx Input Low Voltage	x = 0, 1, 2, 3			0.6	V
V_{IH}	EN and PGAx Input High Voltage	x = 0, 1, 2, 3	3			V
$I_{IL(PGA)}$	PGAO, PGA1, PGA2, PGA3 Input Current	V_{IN} = 0.6V			20	μA
$I_{IH(PGA)}$	PGAO, PGA1, PGA2, PGA3 Input Current	V_{IN} = 3V and 5V		15	30	μA
$I_{IL(EN)}$	EN Input Current	V_{IN} = 0.6V		4	20	μA
$I_{IH(EN)}$	EN Input Current	V_{IN} = 3V		18		μA
		V_{IN} = 5V		38	100	μA
DC Characteristics, EN = 3V						
$V_{IN(BIAS)}$	IN^+, IN^- Bias Voltage	Max Gain (Note 6)	1.34	1.48	1.65	V
R_{IN}	Input Differential Resistance	All Gain Settings (DC)		122		Ω
g_m	Amplifier Transconductance	Max Gain		0.15		S
I_{OUT}	OUT^+, OUT^- Quiescent Current	All Gain Settings, V_{OUT} = 5V	17	20	24	mA
$I_{OUT(OFFSET)}$	Output Current Mismatch	All Gain Settings, IN^+, IN^- Open		100		μA
I_{CC}	V_{CC1} + V_{CC2} Supply Current	Max Gain (Note 4)		34	40	mA
		Min Gain (Note 4)		36	43	mA
$I_{CC(TOTAL)}$	Total Supply Current	I_{CC} + 2 • I_{OUT} (Max Gain)		75	91	mA

AC電気的特性

V_{CC} = 5V、V_{CCO} = 5V、EN = 3V、T_A = 25℃、R_{OUT} = 200Ω。注記がない限り、最大利得の規定値は差動入力と差動出力を基準にしている。(Note 7) (図9と図10に示されているテスト回路)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Dynamic Performance						
BW	Large-Signal –3dB Bandwidth	All Gain Settings (Note 8), R_{OUT} = 100Ω		LF to 540		MHz
$V_{OUT(CLIP)}$	Output Voltage Clipping Levels	Each OUT^+, OUT^- with Respect to Ground (Note 11)	2		8	V
$P_{OUT(MAX)}$	Clipping Limited Maximum Sinusoidal Output Power	All Gain Settings, Single Tone, f_{IN} = 100MHz (Note 10)		16		dBm
g_m	Amplifier Transconductance	Max Gain, f_{IN} = 100MHz		0.15		S
S12	Reverse Isolation	f_{IN} = 100MHz (Note 9)		–92		dB
Distortion and Noise						
OIP3	Output Third Order Intercept Point for PGA0 = High (PGA1, PGA2, PGA3 Any State)	P_{OUT} = 4dBm (Each Tone), 200kHz Tone Spacing, f_{IN} = 100MHz		+40		dBm
	Output Third Order Intercept Point for PGA0 = Low (PGA1, PGA2, PGA3 Any State)	P_{OUT} = 4dBm (Each Tone), 200kHz Tone Spacing, f_{IN} = 100MHz		+36		dBm
HD2	Second Harmonic Distortion	P_{OUT} = 5dBm (Single Tone), f_{IN} = 50MHz		–76		dBc
HD3	Third Harmonic Distortion	P_{OUT} = 5dBm (Single Tone), f_{IN} = 50MHz		–72		dBc
N_{FLOOR}	Output Noise Floor (PGA0, PGA2, PGA3 Any State)	PGA1 = High, f_{IN} = 100MHz		–138		dBm/Hz
		PGA1 = Low, f_{IN} = 100MHz		–140		dBm/Hz
NF	Noise Figure	Max Gain Setting, f_{IN} = 100MHz		8.6		dB
	PGA Settling Time	Output Settles within 10% of Final Value		500		ns
	Enable/Disable Time	Output Settles within 10% of Final Value		600		ns
Amplifier Power Gain and Gain Step						
G_{MAX}	Maximum Gain	f_{IN} = 20MHz and 200MHz		27		dB
G_{MIN}	Minimum Gain	f_{IN} = 20MHz and 200MHz		4.5		dB
G_{STEP}	Gain Step Size	f_{IN} = 20MHz and 200MHz	0.8	1.5	2.2	dB
	Gain Step Accuracy	f_{IN} = 20MHz and 200MHz		±0.2		dB
Amplifier I/O Impedance (Parallel Values, Specified Differentially)						
R_{IN}	Input Resistance	f_{IN} = 100MHz		122		Ω
C_{IN}	Input Capacitance	f_{IN} = 100MHz		2		pF
R_O	Output Resistance	f_{IN} = 100MHz		5		kΩ
C_O	Output Capacitance	f_{IN} = 100MHz		1.7		pF

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: すべての電圧値はグランドを基準にしている。

Note 3: 開放状態のPGA入力に対するデフォルトの状態。

Note 4: V_{CC1}とV_{CC2} (ピン2とピン19) は内部で接続されている。

Note 5: 外部V_{OSUP}は、抵抗が使用されるときV_{CCO}出力ピンの同相電圧が規定値になるように調節されている。チョークインダクタまたはトランスの場合、V_{OSUP} = V_{CCO} = 5V(標準)である。

Note 6: 内部で発生させた同相入力バイアス電圧には信号源への容量性結合またはトランス結合が必要である。

Note 7: –40℃～85℃の動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。利得は常に電力利得を指す。入力の整合が仮定されている。P_{IN}は利用可能な入力電力である。P_{OUT}はLT5524の差動出力から見た外部負荷(R_{OUT})への電力である。すべてのdBm値は50Ωを基準にしている。

Note 8: 高周波数動作は入力ポートと出力ポートのRC時定数によって制限されている。低周波数(LF)ロールオフはI/Oインタフェースを選択して設定される。

Note 9: パッケージとボードのレイアウトによって制限される。

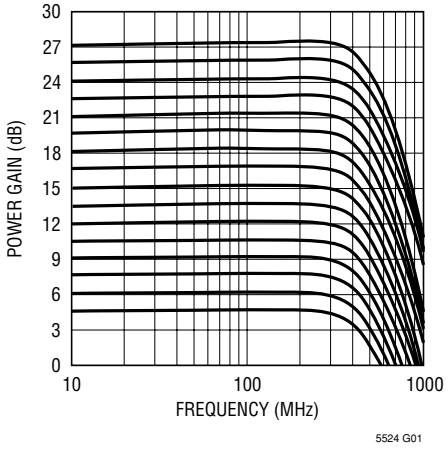
Note 10: 「アプリケーション情報」セクションの「クリッピングの生じない動作」を参照。図7を参照。

Note 11: OUT^+ピンまたはOUT^-ピンの瞬時AC電圧は状況によっては安全に(グランドを基準にして)8Vを超えることができるが、どんな場合にもこれらのピンのDC電圧はテストされたABSMAXリミットの7Vを超えさせてはならない。

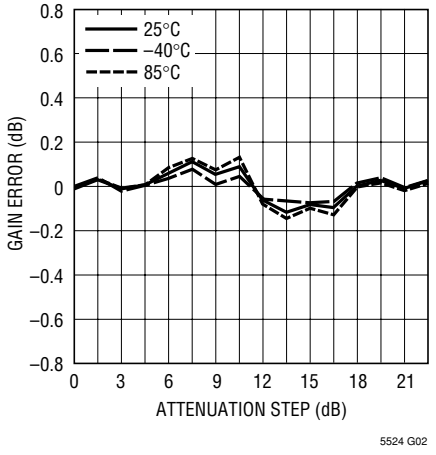
標準的性能特性

注記がない限り、T_A = 25℃、V_{CC} = 5V、V_{CCO} = 5V、EN = 3V、制御入力レベルV_{IL} = 0.6V、V_{IH} = 3V。(図9に示されているテスト回路)

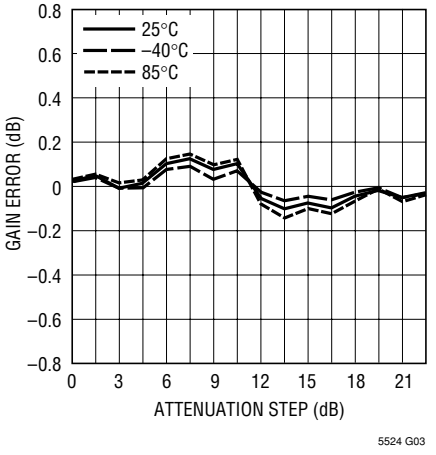
すべての利得ステップに対する周波数応答、R_{OUT} = 200Ω



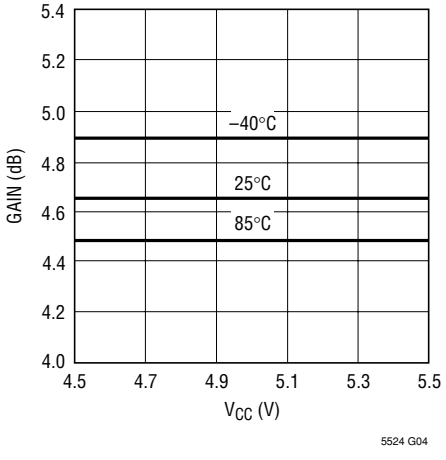
25MHzでの利得誤差と減衰ステップ、R_{OUT} = 200Ω



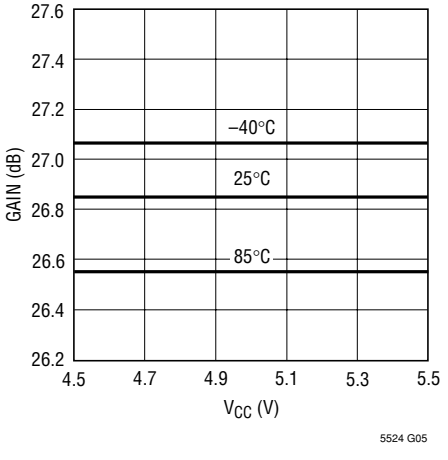
100MHzでの利得誤差と減衰ステップ、R_{OUT} = 200Ω



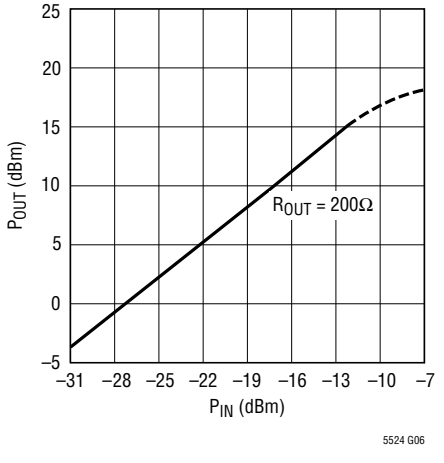
120MHzでの最小利得とV_{CC}、R_{OUT} = 200Ω



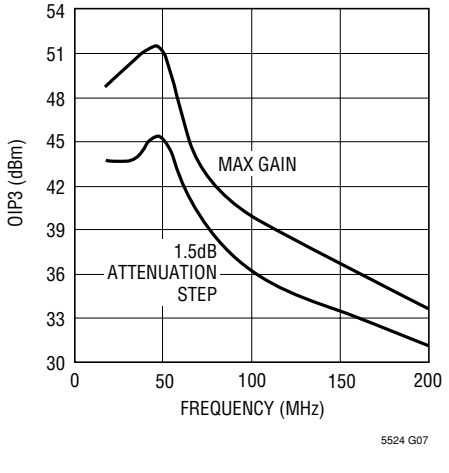
120MHzでの最大利得とV_{CC}、R_{OUT} = 200Ω



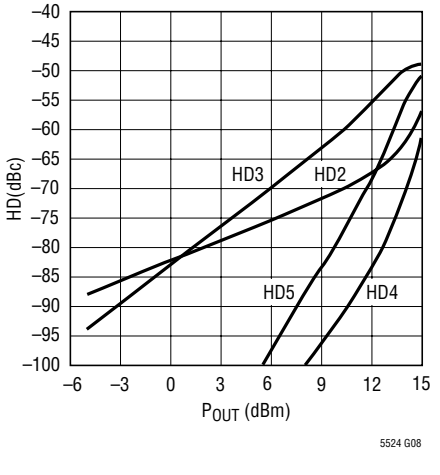
50MHzでのP_{OUT}とP_{IN}、最大利得



OIP3と周波数(Pin = –23dBm、最大利得および1.5dBの減衰ステップ、R_{OUT} = 200Ω)



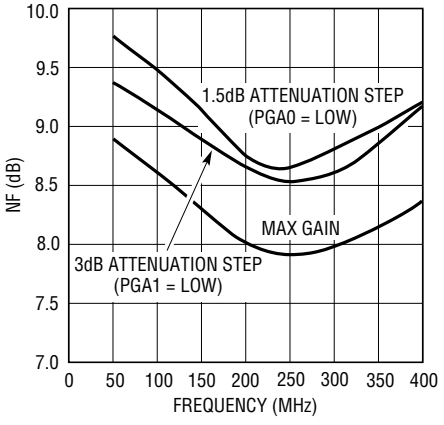
高調波歪みとP_{OUT}(50MHz、最大利得、R_{OUT} = 200Ω)



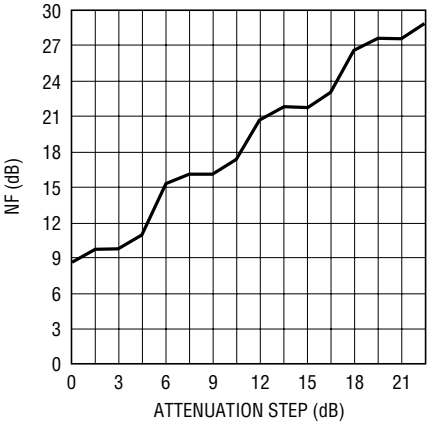
標準的性能特性

注記がない限り、2トーン、200kHz間隔、T_A = 25℃、EN = 3V、V_{CC} = 5V、V_{CCO} = 5V、入力レベルV_{IL} = 0.6V、V_{IH} = 3V。（図10に示されているテスト回路）

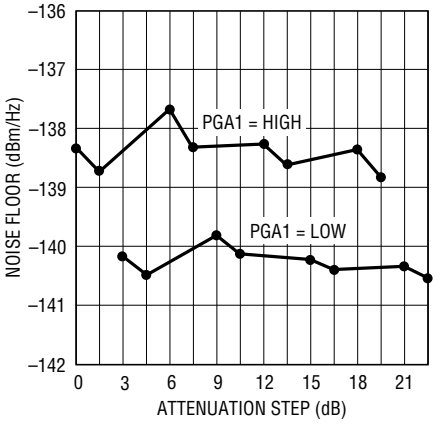
ノイズ・フィギュアと周波数



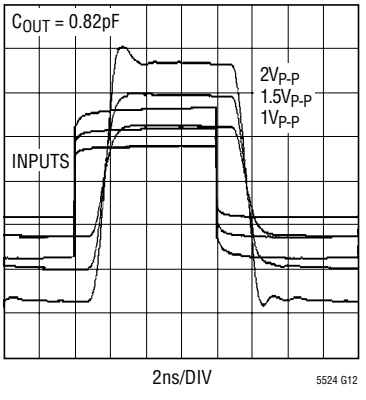
NFと減衰ステップ（周波数 = 100MHz）



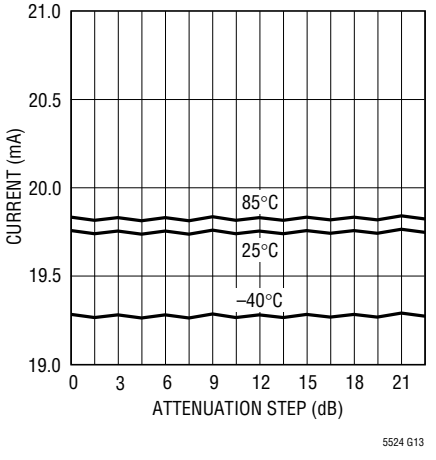
出力ノイズ・フロアと減衰ステップ（周波数 = 100MHz、R_{OUT} = 200Ω）



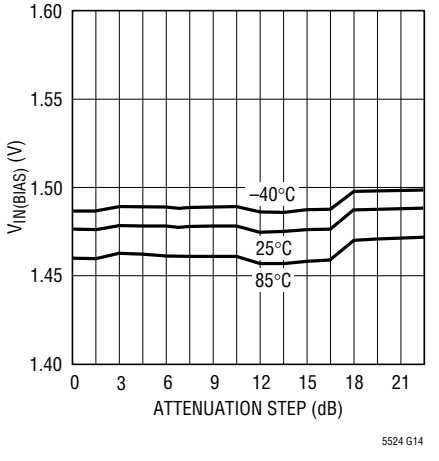
最大利得でのパルス応答と出力レベル。示されている電圧レベルは50Ωの外部負荷に対してのもの



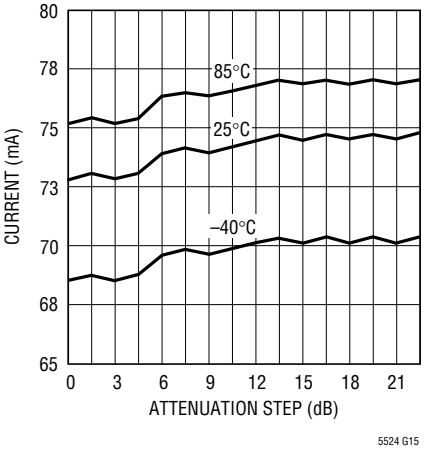
シングルエンド出力電流と減衰ステップ



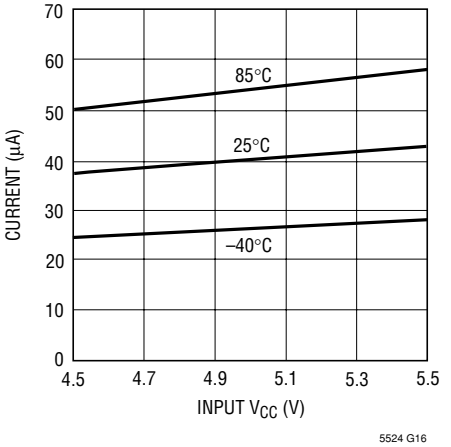
$V_{IN(BIAS)}$と減衰ステップ



全I_{CC}と減衰ステップ



I_{CC}シャットダウン電流とV_{CC}、EN = 0.6V



ピン機能

EN(ピン1):アンプのイネーブル・ピン。この入力電圧が3Vより高いとアンプがオンします。入力電圧が0.6V以下だとアンプはオフします。このピンは接続されないと内部でグランドに引き下げられます。

V_{CC1}(ピン2):電源。このピンは内部でV_{CC2}(ピン19)に接続されています。アプリケーションによっては、デカップリング・コンデンサ(たとえば、1000pFと0.1μF)が必要です。

GND(ピン3、4、7、8、13、14、17、18):グランド。

IN^+(ピン5):内部でDCバイアスされた正信号入力ピン。

IN^-(ピン6):内部でDCバイアスされた負信号入力ピン。

PGA0(ピン9):1.5dB減衰ステップのための、アンプのPGAコントロール入力ピン(「プログラム可能な利得の設定」の表を参照)。入力電圧が3Vより高いとき入力は“H”です。入力電圧が0.6V以下のとき入力は“L”です。このピンは接続されないと内部でグランドに引き下げられます。

PGA1(ピン10):3dB減衰ステップのための、アンプのPGAコントロール入力ピン(「プログラム可能な利得の設定」の表を参照)。入力電圧が3Vより高いとき入力は“H”です。入力電圧が0.6V以下のとき入力は“L”です。このピンは接続されないと内部でグランドに引き下げられます。

PGA2(ピン11):6dB減衰ステップのための、アンプのPGAコントロール入力ピン(「プログラム可能な利得の設定」の表を参照)。入力電圧が3Vより高いとき入力は“H”です。入力電圧が0.6V以下のとき入力は“L”です。このピンは接続されないと内部でグランドに引き下げられます。

PGA3(ピン12):12dB減衰ステップのための、アンプのPGAコントロール入力ピン(「プログラム可能な利得の設定」の表を参照)。入力電圧が3Vより高いとき入力は“H”です。入力電圧が0.6V以下のとき入力は“L”です。このピンは接続されないと内部でグランドに引き下げられます。

OUT^+(ピン15):アンプの正出力。センタータップをV_{CC}に接続したトランスまたはチョークインダクタを使ってDC消費電流を与えることを推奨します。

OUT^-(ピン16):アンプの負出力。センタータップをV_{CC}に接続したトランスまたはチョークインダクタを使ってDC消費電流を与えることを推奨します。

V_{CC2}(ピン19):電源。このピンは内部でV_{CC1}(ピン2)に接続されています。

NC(ピン20):NC。

露出パッド(ピン21):グランド。熱伝導を良くするため、このピンをプリント回路基板のグランド・プレーンに半田付けする必要があります。

ブロック図

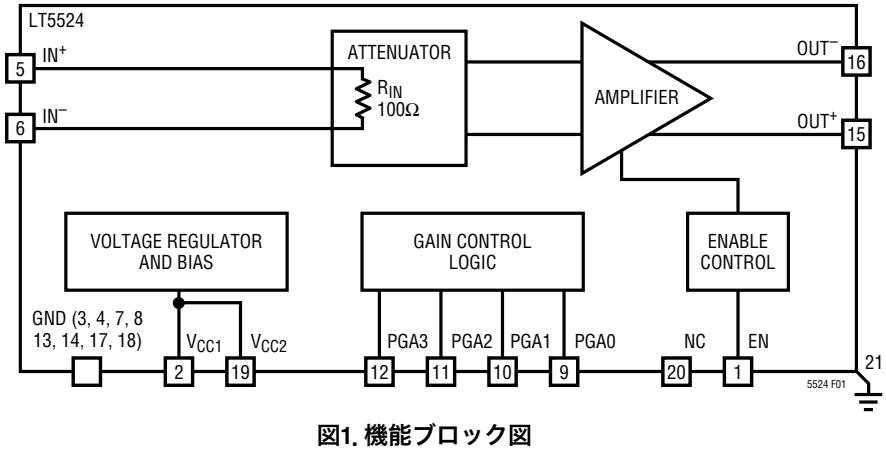


図1. 機能ブロック図

アプリケーション情報

回路動作

LT5524は高直線性アンプで、高インピーダンスの出力を備えています(図1)。LT5524は以下の要素で構成されています。

- 122Ω入力インピーダンス付き入力可変減衰器「利得コントロール」ブロック
- イネーブル入力付き差動トランスコンダクタンス・アンプ
- 内蔵電圧レギュレータ付き内部バイアス・ブロック
- 利得コントロール・ロジック・ブロック

LT5524アンプは、直線化された開ループ・アーキテクチャを使って、非常に低い歪みで増幅します。負帰還を使った高直線性アンプとは対照的に、LT5524は以下の特長を備えています。

- 実際に使われるどんな負荷に対しても安定動作
- 容量性負荷に対してピーキングのないAC応答を与える(誘導性ではない)容量性出力リアクタンス
- 50MHzで–100dB、300MHzで–78dBの非常にすぐれた逆絶縁(パッケージとボードのリークによって制限される)

LT5524はトランスコンダクタンス・アンプで、その動作は次の2つのステップからなるものとして概念的に理解することができます。最初に、入力信号電圧が出力電流に変換されます。LT5524の出力電流の混変調歪み(単位はdBc)は入力信号レベルで決定され、出力の負荷条件にはほとんど依存しません。したがって、LT5524の入力IP3も出力負荷にはほとんど依存しません。

次に、外部出力負荷(R_{OUT})により、出力電流が出力電圧(または電力)に変換されます。LT5524の電圧と電力の利得は両方ともR_{OUT}の増加につれて増加します。したがって、出力電力と出力IP3もR_{OUT}の増加につれて増加します。アプリケーションの出力の実際の直線性性能は、このようにして、出力ネットワークとともに出力負荷の選択によって設定されます。

最大利得の計算

最大電力利得(0dB減衰の場合)は次のとおりです。

$$G_{PWR}(dB) = 10 \bullet \log(g_m^2 \bullet R_{IN} \bullet R_{OUT})$$

ここで:

g_mはLT5524のトランスコンダクタンス(= 0.15S)です。

R_{IN}はLT5524の差動入力インピーダンス(≈ 122Ω)です。入力インピーダンスの整合が仮定されています。

R_{OUT}はLT5524の差動出力から見た外部差動出力インピーダンスです。R_{OUT}は実際の負荷インピーダンス(R_{LOAD})と区別する必要があります。R_{LOAD}は一般にインピーダンス変換ネットワークによってLT5524の出力にカップリングされます。

R_{OUT}の関数としての電力利得を図2に示します。リニアな関係が理想的です。この曲線はLT5524の有限の(無限ではない)出力抵抗によるロールオフを示しています。

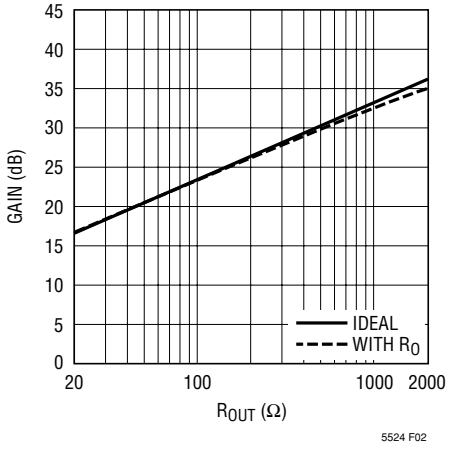


図2. R_{OUT}の関数としての電力利得

実際に利用可能な出力電力(および電力利得とOIP3)は、以下の要素からなる出力インタフェースの損失によって減少します。

- 出力インピーダンス変換ネットワークの挿入損失(たとえば、図6のトランス挿入損失)
- 整合抵抗(図6のR_{MATCH})を使って出力負荷インピーダンスをバック・マッチングさせた場合の(たとえば、伝送ラインをドライブする場合の)約–3dBの損失

アプリケーション情報

入力インタフェース

最小のノイズと最高の直線性を得るには、LT5524を差動入力信号でドライブします。シングルエンドのドライブの場合、直線性とノイズ性能が大きく劣化します。

入力整合ネットワークの例を図3と図4に示します。

入力整合ネットワークの設計基準は以下のとおりです。

- LT5524の内部バイアス電圧をDCブロックする(DCカップリングの情報に関しては「入力バイアス電圧」のセクションを参照)
- ソース・インピーダンスをLT5524に整合させる(R_{IN}は約122Ω)
- 差動入力ドライブをよくバランスさせる(図4のコンデンサC2)
- 挿入損失を最小に抑えてノイズ・フィギュア(NF)の劣化を避ける

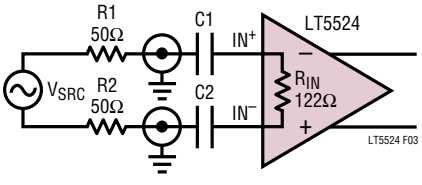


図3. 差動ソースにコンデンサを介して結合した入力

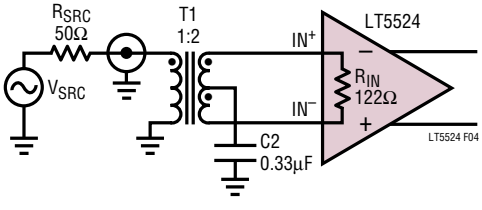


図4. シングルエンドのソースにトランスを介して結合した入力

出力インタフェース

出力インタフェース・ネットワークにより、実際の負荷インピーダンス(R_{LOAD})とLT5524の出力負荷(R_{OUT})の間でインピーダンス変換がおこなわれます。R_{OUT}は電力または直線性を最大にするか、または出力ノイズを最小にするか、または以下のセクションで説明されているような他の基準を満たすように選択されます。

出力整合ネットワークの2つの例を図5と図6に示します(LT5524のデモ用ボードで実装されています)。

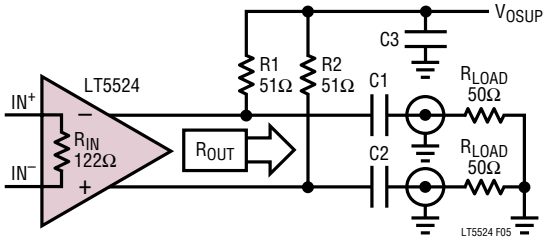


図5. 差動負荷にインピーダンスを整合させ、コンデンサを介して結合した出力

注記:図5では、(チョーク)インダクタを抵抗R1とR2に並列に接続するか、または抵抗R1とR2の代わりに使って、これらの抵抗の両端のDC電圧降下をなくすことができます。

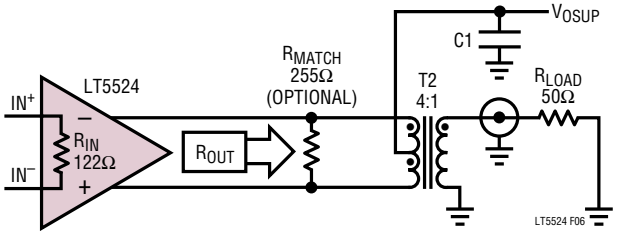


図6. シングルエンドの負荷にインピーダンスを整合させ、トランスを介して結合した出力

出力ネットワークの設計基準は以下のとおりです。

- LT5524のDC出力電圧とR_{LOAD}の間を直流的に分離する。
- 出力電圧源V_{OSUP}からの出力DC電流の経路を与える。
- 必要なら、負荷インピーダンスR_{LOAD}と最適R_{OUT}負荷の間のインピーダンス変換をおこなう。
- 出力ネットワークの帯域幅を設定する。
- オプション:(伝送ラインをドライブする場合)抵抗R_{MATCH}を使って基板の出力インピーダンスを整合させる。
- 高直線性の受動部品を使って、非直線性が生じるのを防ぐ。

図5で1つの出力だけで供給される電力を使うと、最大6dBほどノイズが増加することに注意してください。

アプリケーション情報

クリッピングの生じない動作

LT5524はクラスAのアンプです。信号の歪みを防ぐには、ユーザーはLT5524の出力が電流制限または電圧制限にならないように保証する必要があります。以下の説明は最大利得動作に当てはまります。

電流クリッピングを防ぐには、出力信号電流がDC消費電流(I_{OUT} = 20mA (標準))を超えないようにします。それに従って、最大入力電圧$V_{IN(MAX)}$はI_{OUT}/g_m = 133mVです。電力で表すと、(R_{IN} =122Ωと仮定して)$P_{IN(MAX)}$ = –11.5dBmです。

LT5524の出力段の飽和またはブレークダウンによる出力電圧のクリッピングを防ぐには、シングルエンドの出力電圧振幅が指定されたリミット内(つまり2V ≤ V_{OUT} ≤ 8V)に留まるようにします。DC出力バイアスが5Vの場合、シングルエンドの最大振幅は3Vピークになり、最大差動振幅は6Vピークになります。最大P_{OUT} = 17.3dBmの場合、R_{OUT} = 6Vpeak/20mA = 300Ωのとき電流制限と電圧制限の両方が同時に始まります。この計算は正弦波信号の場合に当てはまります。正弦波信号ではない場合、適当なクレストファクタを使って、出力クリッピングを防ぐ実際の最大電力を計算します。

OUT^+ピンまたはOUT^-ピンの瞬時AC電圧は状況によっては安全に(グランドを基準にして)8Vを超えることができますが、どんな場合にもこれらのピンのDC電圧はテストされたABSMAXリミットの7Vを超えさせてはいけません。

R_{OUT}が最適値でない場合、利用可能な最大出力電力はもっと低くなり、(R_{OUT} < 300Ωの場合の電流制限とR_{OUT} > 300Ωの場合の電圧制限を考慮して)計算で求められます。この計算の結果を図7に示します。

LT5524の入力はオーバードライブされないようにします(最大利得でP_{IN} > −11.5dBm)。オーバードライブすると帯域幅が減少し、周波数が50MHzを超えると出力電力が低下します。利得設定を下げると、最大P_{IN}は利得の減少に等しい量だけ増加します。

入力バイアス電圧

LT5524のIN^+とIN^-の信号入力はイネーブルされていると内部で1.48Vの同相電圧にバイアスされ、シャットダウン・モードでは1.26Vにバイアスされます。

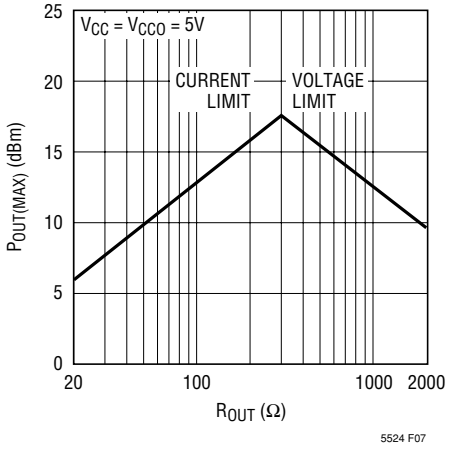


図7. R_{OUT}の関数としての最大出力電力

これらの入力は一般にコンデンサまたはトランスを使って信号源に結合され、インピーダンスの整合が前提されています。シャットダウン・モードでは、内部バイアスは入力のカップリング・コンデンサの最大1μAのリーク電流を処理することができます。これにより、シャットダウン・モードから抜け出すとき、入力カップリングRC時定数によるターンオン遅延が減少します。

入力にDC結合する必要があれば、外部同相バイアスはLT5524の内部同相レベルに追従する必要があります。LT5524の入力からのDC電流は$I_{IN(SINK)}$ = −200μAおよび$I_{IN(SOURCE)}$ = 400μAを超えないようにします。

安定性に関する検討事項

LT5524は開ループ・アーキテクチャなので、実際上どんな負荷でもドライブすることができます。LT5524の利得は負荷インピーダンスに比例するので、LT5524の出力が無負荷状態だと、1GHzを超える周波数では逆絶縁を超えて望ましくない不安定状態になることがありますので注意してください。このような場合、抵抗性の差動負荷(たとえば、4k)または小さなコンデンサをLT5524の出力に接続して、最大利得を制限することができます。

LT5524の利得帯域幅積は約20GHzです。したがって、出力ピンから入力ピンへの信号カップリングを防ぐようにプリント回路基板のレイアウトに注意を払ってください(評価用ボードのレイアウトが良い例です)。LT5524には内部電源レギュレータが備わっていますので、外部電源のデカップリング・コンデンサは通常は不要です。同様に、LT5524 の制御入力にはデカップリング・コンデンサは一般に不要です。

アプリケーション情報

ただし、LT5524のパッケージの露出パッドはPCBの良好なグランド・プレーンに半田付けする必要があることに注意してください。

PGA機能、直線性、およびNF

「回路動作」のセクションで述べられているように、LT5524は可変(ステップ)減衰器と、それに続く高利得出力アンプで構成されています。LT5524の全利得は内部プルダウン付きの4本の利得制御ピンによってデジタル制御されます。利得制御ピンが“L”に設定されるかフロート状態にされると、最小利得にプログラムされます。シャットダウン・モードでは、印加された電圧には無関係に、これらのPGA入力には10μA未満のリーク電流が流れます。

6dBと12dBの減衰ステップ(PGA2とPGA3)は、アンプ入力を入力減衰器のタップに切り替えることにより実現しています。3dBの減衰ステップ(PGA1)はアンプのトランスコンダクタンスを変化させます。出力IP3はPGA1、PGA2およびPGA3の利得設定に依存しません。ただし、1.5dBの減衰ステップには、内部直線性補償回路をディスエーブルする電流ステアリング方式が用いられており、OIP3はPGA0が“L”のとき6dBほど減少する可能性があります。したがって、LT5524の最高直線性性能を達成するには、PGA0ピンを“H”に設定します。

LT5524のノイズ・フィギュアは最大利得状態で100MHzのとき8.6dBです。–3dBの減衰設定の場合、NFは9.2dBです。ノイズ・フィギュアは1.5dB、6dB、および12dBのステップのプログラムされた利得の減少に直接比例して増加します。

出力ノイズ・フロアは出力負荷インピーダンス(R_{OUT})に比例します。それはPGA1 =“H”に対して、さらに任意のPGA0、PGA2、PGA3の状態に対してほとんど一定です。PGA1 = “L”のとき、出力ノイズ・フロアは2dBほど低くなります(「標準的性能特性」を参照)。

直線性に関する他の検討事項

LT5524の直線性は信号の周波数に強く依存します。100MHzより上では周波数がオクターブ増加するごとにOIP3は約13dB減少します。

「回路動作」のセクションで説明されているように、LT5524は、与えられた任意の周波数と入力レベルで、出力負荷の値に無関係に、dBcで表したほぼ一定の混変調歪みで電流を出力します。R_{OUT}の値が大きくなると、利用可能な利得と出力電力が増加し、さらにOIP3の値を良くすることができます。ただし、高いR_{OUT}値は実際には簡単に実現できず、高い比率の出力インピーダンス変換ネットワークの利用可能性によって制限されます。

直線性も出力のRC時定数(帯域幅の制限)によって(特に高いR_{OUT}値の場合)制限されることがあります。解決法は「バンドパスのアプリケーション」のセクションで説明されています。

LT5524の直線性は同相信号が存在すると劣化します。入力トランスのセンタータップをグランドにデカップリングして、入力差動信号をバランスさせ、高い減衰ステップでの直線性の劣化を防ぎます。信号周波数が50MHzより低く、大きな同相信号が存在する場合、減衰が高く設定されていると直線性が劣化することがあります。

100MHzより低い信号周波数では、LT5524の内部直線性補償回路により、+52dBmを超える非常に高いOIP3では「スイートスポット」が生じることがあります。このほとんど完全な歪み補正を、全動作温度範囲にわたって、さらにLT5524の出力負荷(複素インピーダンスZ_{OUT})の変化に対して維持することはできません。ユーザーが「標準的性能特性」の曲線で示されているデータに基づいて信頼できる直線性の性能を見積もることを推奨します。

広帯域アプリケーション

低い周波数では、デカップリング・コンデンサとチョークインダクタの値、およびトランスの選択により最小動作周波数が設定されます。出力のDCカップリングは可能ですが、これは一般にLT5524の出力DCバイアス電圧を低下させるので、出力振幅と利用可能な電力が低下します。

高い周波数では、出力のRC時定数がこれまで示されてきた広帯域出力ネットワークの場合の最大動作周波数の上限を設定します。たとえば、LT5524の出力容量(C_{OUT}= 1.7pF)と純粋に抵抗性の負荷(R_{OUT} = 200Ω)の場合、– 3dBの帯域幅は約400MHzに設定されます。実際のアプリケーションでは、$R_{LOAD} \bullet C_{LOAD}$の積により、さらに制限されることがあります。

アプリケーション情報

広帯域出力ネットワークを使用すると帯域幅が制限されるだけでなく、利用可能な電力の一部が容量性負荷のドライブに浪費されるので直線性も劣化します。

LT5524の出力リアクタンスは容量性です。したがって、出力に外付けの直列インダクタを使ってAC応答を改善することができます。純粋に抵抗性の負荷をドライブする場合、LT5524の出力に直列に接続したインダクタは特性評価用ボードの回路(図9)に例示されているように最大限平坦なAC応答を実現するのに役立ちます。

直列インダクタによりアプリケーションの帯域幅を広げることができますが、直線性の性能は改善されません。

また、直列インダクタンスはAC応答にピーキングを生じることがあります。これは、(Qの高い)チョークインダクタが図5のような出力インタフェースに使われており、負荷へのPCBトレース(接続)が長すぎるとき当てはまる可能性があります。LT5524の出力インピーダンスは比較的高いので、PCBのトレースは直列インダクタとして機能します。最も簡単な解決法はドライバを負荷に近づけて配置し、接続ラインを短くすることです。AC応答を平坦にする別の解決法はLT5524の出力の近くに抵抗を配置することです。この方法では、接続ラインはむしろ終端された伝送ラインのように振る舞い、容量性負荷によるACピーキングを除去することができます。

バンドパスのアプリケーション

狭帯域IFアプリケーションでは、LT5524の出力容量とアプリケーションの負荷容量はLCインピーダンス変換ネットワークの一部に組み込むことができるので、100MHzを超える信号周波数での直線性性能が改善されます。図8はこのようなネットワークの例です。

ネットワークはコンデンサC1とC2でクリティカルに結合された2つの並列共振LCタンク回路で構成されています。この特定の実装のR_{OUT}からR_{LOAD}への変換比は2です。インピーダンス変換比は広帯域の場合よりも柔軟に選択できます。LCネットワークはバンドパス・フィルタであり、これは多くのアプリケーションで有用な機能です。

特定のアプリケーションの要件にしたがって、多様なバンドパス整合ネットワーク構成が考えられます。LT5524の出力はリアクティブな負荷によって不安定になることがないので、これらのネットワークの設計は簡単です。

これらのLCネットワークは、振幅と位相に対する応答が非直線的な振舞いを示す場合、出力信号を歪ませることがあるので注意してください。たとえば、図5のR1とR2をLC共振タンク回路で置き換えると、OIP3がひどく悪くなることがあります。

低出力ノイズ・フロアのアプリケーション

アプリケーションによっては、最大出力ノイズ・フロアが規定されています。LT5524の出力ノイズ・フロアは利用可能なノイズ電力(50Ωに対して−174dBm/Hz)よりNF＋利得だけ上に上げられます。したがって、LT5524の電力利得を減らすことが出力ノイズ・フロアを下げる唯一の方法です。

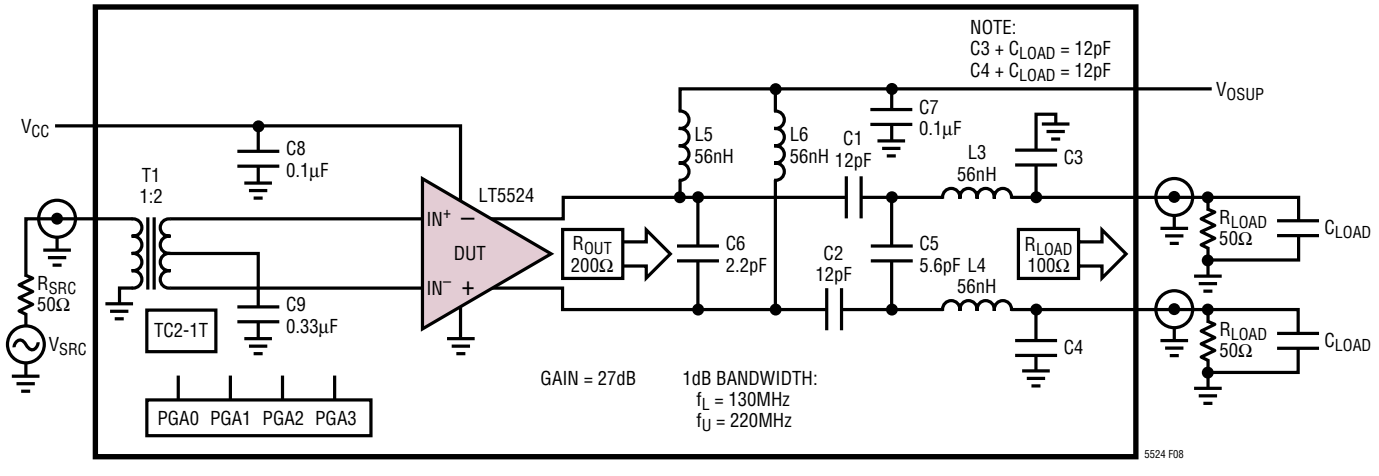


図8. バンドパス出力変換ネットワークの例

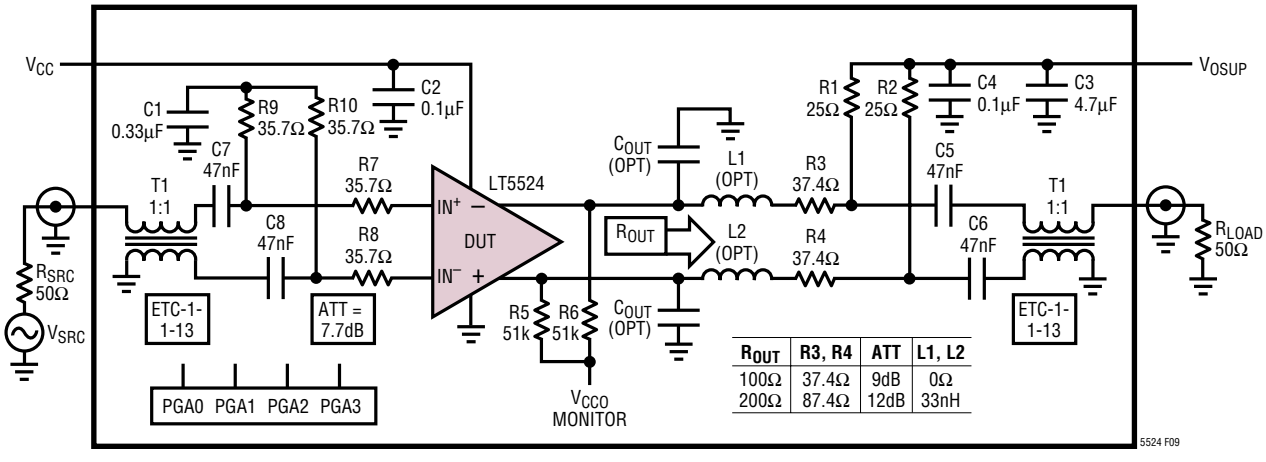
アプリケーション情報

利得が固定されているアプリケーションでは、LT5524を最大利得を基準にして3dBの減衰に設定することができます。「標準的性能特性」に示されているように、これにより、直線性を失うことなく、出力ノイズ・フロアが2dB下がります。

一般に、出力ノイズ・フロアは、R_{OUT}（したがって電力利得）を小さくして低下させることができますが、OIP3を減少させるというデメリットがあります。

LT5524の特性評価

LT5524の標準的性能のデータは図9と図10に示されているテスト回路に基づいています。図9は実際のアプリケーションでのLT5524の使用状態を必ずしも反映していません。（それについては「アプリケーション（デモ）ボード」のセクションを参照してください。）それはむしろインピーダンス変換ネットワークの影響や帯域幅を制限する外部要因によって歪められることのない、デバイス自体の実際の動作を最も正確に測定する回路を表しています。バラン・トランスがシングルエンドのテスト装置とのインタフェースに使われています。入力と出力の（示されていない）抵抗性減衰器が広帯域のI/Oインピーダンスを制御します。L1とL2のインダクタはAC出力応答が最大限平坦になるように選択されています。C_{OUT}（通常はオープン）は容量性負荷が特性評価の変数として規定されているときの容量性負荷の位置を示しています。V_{CCO}モニタ・ピンは、電圧V_{OSUP}を調節して出力DCレベル（標準5V）の設定を可能にします。



R_{OUT}	R3, R4	ATT	L1, L2
100Ω	37.4Ω	9dB	0Ω
200Ω	87.4Ω	12dB	33nH

図9. 評価用ボード（簡略回路図）

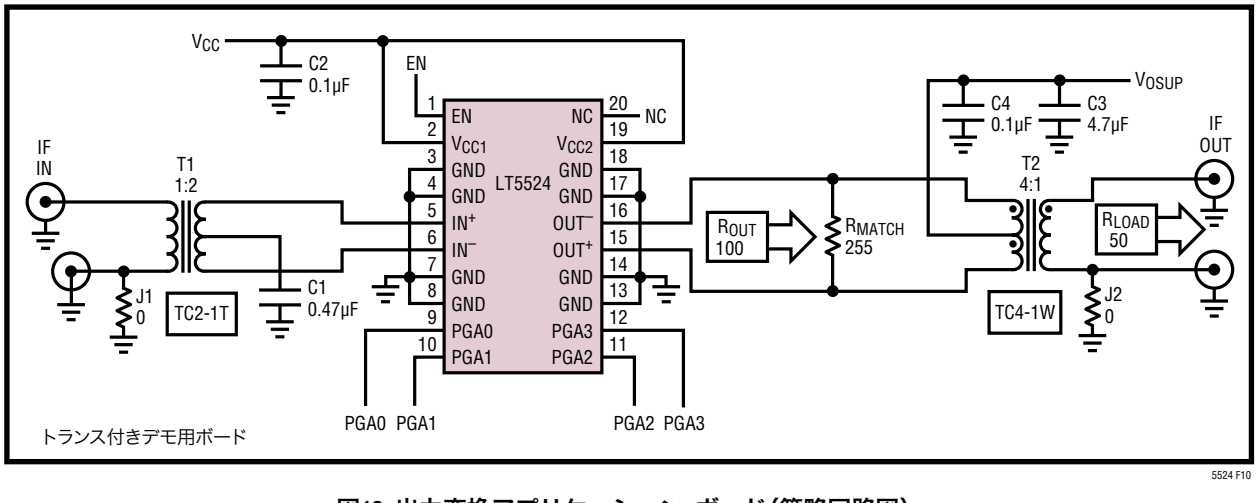


図10. 出力変換アプリケーション・ボード（簡略回路図）

アプリケーション情報

アプリケーション(デモ)ボード

LT5524のデモ用ボードは図10(出力トランス付き)と図11(出力トランスなし)に示されているバージョンで提供されています。すべてのI/O信号ポートは50Ωに整合しています。さらに、5つのすべての制御ピン(EN、PGA0、PGA1、PGA2、PGA3)が40k抵抗(示されていません)でV_{CC}に接続されていますので、LT5514は最大利得状態で出荷されます。

利得の設定は制御ピンをグランドに接続することにより変更することができます。入力と出力のDCバイアス電圧をモニタするためのテスト・ポイント(TP1、TP2、TP3)が備わっています。ジャンパJ1は差動入力が望ましい場合は取り除くことができますが、その場合、T1を1:1のセンタータップ付きトランスに取り替えて50Ωの入力整合を維持します。デモ用ボードはオプションの出力バック・マッチング抵抗R_{MATCH} = 255Ω付きで出荷されます。このため、LT5524に与えられる正味出力負荷R_{OUT}は100Ωになります。

出力トランスのアプリケーション・ボード(図10)は出力インピーダンス変換(T2トランス)の一例です。「標準的性能特性」の曲線の場合、すべての直線性テストはこのボードでおこなわれます。R_{MATCH}を取り除くことにより、(インピーダンスのバック・マッチングの欠如が適切に修復されれば)R_{OUT} = 200Ωでの性能を評価することができます。

トランス・ボードはジャンパJ2を取り外すと差動出力になります。

広帯域差動出力のアプリケーション・ボード(図11)は負荷への直接結合(トランスなし)の一例で、出力帯域幅が広くなります。このボードではLT5524の出力ピンに直接アクセスすることができ、安定性のテストに使用することができます。R1とR2のDC電圧降下を補償するために高いV_{OSUP}(6.5V)が必要です。LT5524の実際の出力バイアス電圧をモニタするにはTP2とTP3を使います。R1とR2をインダクタで置き換えると、このボードを5V電源で動作させることができます。ただし、この場合、最低信号周波数が制限される可能性があります。たとえば、820nHのチョークインダクタの場合、最低信号周波数は40MHzに制限されます。

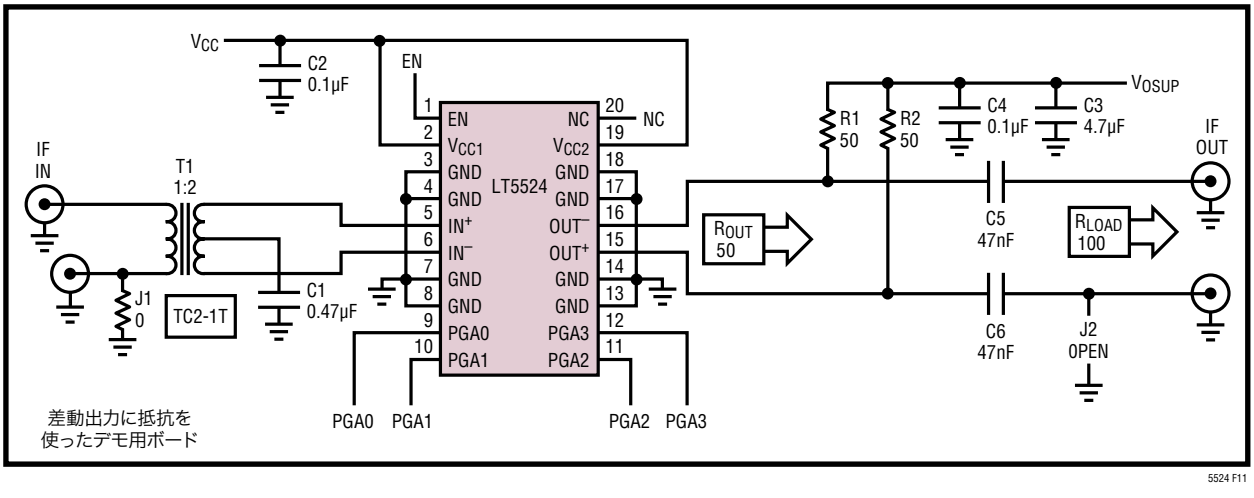
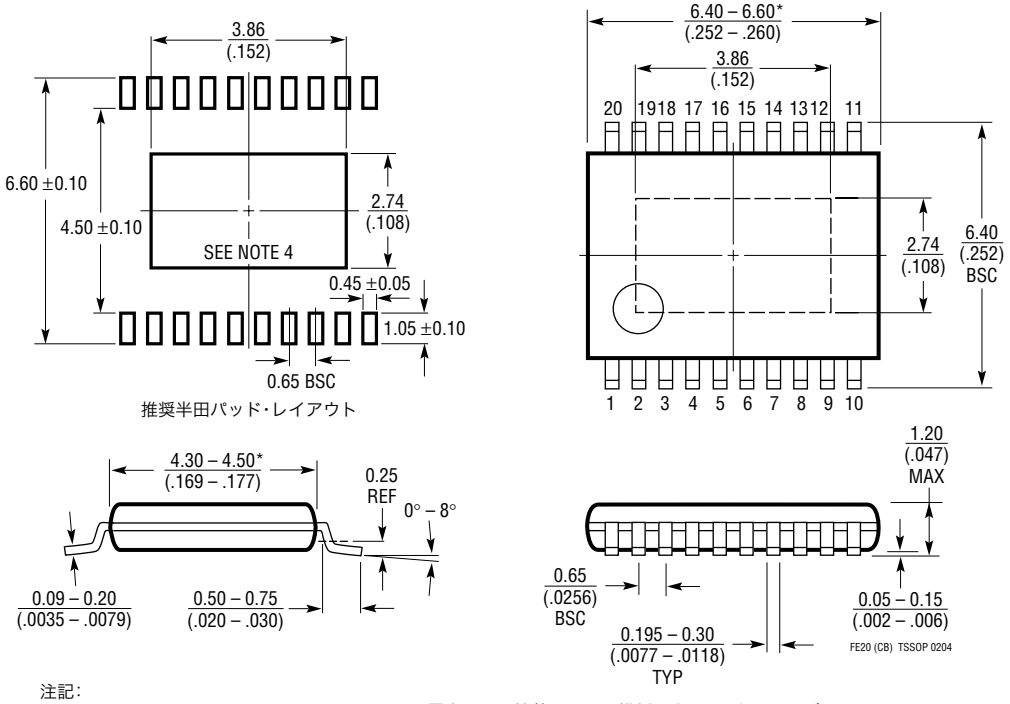


図11. 広帯域差動出力のアプリケーション・ボード(簡略回路図)

パッケージ寸法

FEパッケージ
20ピン・プラスチックTSSOP (4.4mm)
(Reference LTC DWG # 05-08-1663)
露出パッドのバリエーションCB



注記:
1. 標準寸法:ミリメートル
2. 寸法は $\frac{\text{ミリメートル}}{\text{(インチ)}}$
3. 図は実寸とは異なる
4. 露出パッド接着のための推奨最小PCBメタルサイズ
* 寸法にはモールドのバリを含まない。モールドのバリは各サイドで0.150mm(0.006")を超えないこと

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

関連製品

製品番号	説明	注釈
インフラストラクチャ		
LT5511	高直線性アップコンバーティング・ミキサ	RF出力：最大3GHz、IIP3：17dBm、内蔵LOバッファ
LT5512	DC～3GHz高信号レベル・ダウンコンバーティング・ミキサ	DC～3GHz、IIP3：21dBm、内蔵LOバッファ
LT5514	デジタル利得制御付き超低歪みIFアンプ/ADCドライバ	OIP3：100MHzで47dBm、最大利得：22.5dB、利得制御範囲：22.5dB
LT5515	1.5GHz～2.5GHz直接変換直交復調器	IIP3：20dBm、内蔵LO直交ジェネレータ
LT5516	0.8GHz～1.5GHz直接変換直交復調器	IIP3：21.5dBm、内蔵LO直交ジェネレータ
LT5517	40MHz～900MHz直交復調器	IIP3：21dBm、内蔵LO直交ジェネレータ
LT5519	0.7GHz～1.4GHz高直線性アップコンバーティング・ミキサ	IIP3：1GHzで17.1dBm、50Ω整合付き内蔵RF出力トランス、シングルエンドのLOポートとRFポートの動作
LT5520	1.3GHz～2.3GHz高直線性アップコンバーティング・ミキサ	IIP3：1.9GHzで15.9dBm、50Ω整合付き内蔵RF出力トランス、シングルエンドのLOポートとRFポートの動作
LT5521	3.7GHz高直線性アップコンバーティング・ミキサ LOドライブ：-5dBm、LO-RFリーク：-42dBm	IIP3：1.9GHzで24.2dBm、広い電源範囲：3.15V～5.25V、
LT5522	600MHz～2.7GHz高信号レベル・ダウンコンバーティング・ミキサ	4.5V～5.25Vの電源、IIP3：900MHzで25dBm、NF = 12.5dB、50ΩシングルエンドのRFポートとLOポート
LT5526	高直線性、低消費電力のダウンコンバーティング・ミキサ	IIP3：16.5dBm、利得：0.6dB、NF：900MHzで11dB、電源電流：28mA
RFパワー検出器		
LT5504	800MHz～2.7GHzのRF測定用レシーバ	80dBのダイナミックレンジ、温度補償、2.7V～5.25Vの電源
LTC®5505	ダイナミックレンジが>40dBのRFパワー検出器	300MHz～3GHz、温度補償、2.7V～6Vの電源
LTC5507	100kHz～1000MHzのRFパワー検出器	100kHz～1GHz、温度補償、2.7V～6Vの電源
LTC5508	300MHz～7GHzのRFパワー検出器	44dBのダイナミックレンジ、温度補償、SC70パッケージ
LTC5509	300MHz～3GHzのRFパワー検出器	36dBのダイナミックレンジ、低消費電力、SC70パッケージ
LTC5530	300MHz～7GHzの高精度RFパワー検出器	高精度V_{OUT}オフセット制御、シャットダウン、調節可能な利得
LTC5531	300MHz～7GHzの高精度RFパワー検出器	高精度V_{OUT}オフセット制御、シャットダウン、調節可能なオフセット
LTC5532	300MHz～7GHzの高精度RFパワー検出器	高精度V_{OUT}オフセット制御、調節可能な利得とオフセット
LT5534	広いダイナミックレンジの50MHz～3GHzログRFパワー検出器	ダイナミックレンジ：60dB、優れた温度安定性と精度、低い電源電流、SC70パッケージ
LTC5535	ベースバンド帯域幅が12MHzの高精度RF検出器	600MHz～7GHz、調節可能な利得、高精度V_{OUT}オフセット制御
低電圧RFビルディング・ブロック		
LT5500	1.8GHz～2.7GHzのレシーバ・フロント・エンド	1.8V～5.25Vの電源、デュアルLNA利得、ミキサ、LOバッファ
LT5502	400MHz直交IF復調器、RSSI付き	1.8V～5.25Vの電源、70MHz～400MHzのIF、84dBのリミット利得、90dBのRSSI範囲
LT5503	1.2GHz～2.7GHzの直接IQ変調器およびアップコンバーティング・ミキサ	1.8V～5.25Vの電源、4ステップRFパワー制御、120MHz変調帯域幅
LT5506	500MHz直交IF復調器、VGA付き	1.8V～5.25V電源、40MHz～500MHzのIF、–4dB～57dBのリニア電力利得、8.8MHzベースバンド帯域幅
LT5546	500MHz直交IF復調器、VGA付き、17MHzベースバンド帯域幅	17MHzベースバンド帯域幅、40MHz～500MHzのIF、1.8V～5.25Vの電源、–7dB～56dBのリニア電力利得

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6秀和紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

0904 0.2K • PRINTED IN JAPAN

© LINEAR TECHNOLOGY CORPORATION 2004