

先進の入力および 負荷保護機能を備えた 38V、 10A DC/DC μ Module レギュレータ

特長

- 広い動作入力電圧範囲: 4.5V ~ 38V
- 出力電流: 標準 10A (DC)、12A (ピーク値)
- 出力電圧範囲: 0.6V ~ 6V
- 全出力 DC 電圧誤差: 最大 $\pm 1.5\%$
- POLD レギュレーション向けの差動リモート検出アンプ
- 内部温度のアナログ・インジケータ出力
- 過電流フォールドバック保護と過熱保護 
- 電流モード制御/高速トランジェント応答
- 大出力電流用に並列接続可能 
- 選択可能なパルス・スキップ動作
- ソフトスタート/電圧トラッキング/プリバイアスでの起動
- 15mm \times 15mm \times 5.01mm BGA パッケージ
- SnPb 仕上げまたは RoHS 準拠の仕上げ

入力保護

- UVLO、過電圧シャットダウン、ラッチオフの検出しきい値
- 過電圧時に電源を遮断する N チャンネル MOSFET ドライバ
- 数個の外付け部品で機能するサージ・ストップ

負荷保護

- 堅牢でリセット可能なラッチオフ過電圧保護
- 過電圧クローバ式 N チャンネルパワー MOSFET ドライバ

アプリケーション

- 高耐久化電子機器
- 航空電子工学機器および産業用機器

概要

LTM[®]4641 は、先進の入力保護および負荷保護機能を備えた、スイッチ・モードの降圧 DC/DC μ Module[®] (マイクロモジュール) レギュレータです。入力低電圧、過熱、入力過電圧、出力過電圧の各フォルトの作動検出しきい値はカスタマイズできます。選択したフォルト条件は、ラッチオフ、ヒステリシスのある再起動応答、ディスエーブルのいずれかに設定できます。パッケージ内には、スイッチング・コントローラ IC、ハウスキーピング IC、パワー MOSFET、インダクタ、過電圧ドライバ、バイアス回路、および支持部品が収容されています。このデバイスが動作する入力電圧の範囲は 4V (起動時は 4.5V) ~ 38V、サポートしている出力電圧の範囲は 0.6V ~ 6V で、出力電圧はポイントオブロードの電圧を離れた場所で検出する外付け抵抗網によって設定されます。

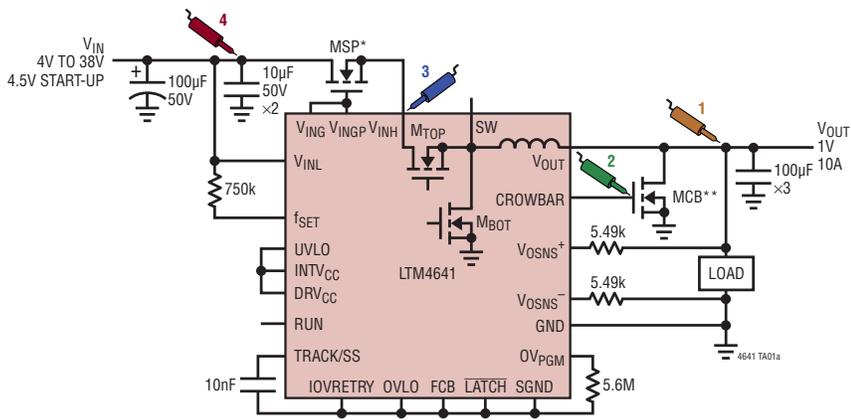
LTM4641 は効率の高い設計になっているので、数個の入力コンデンサおよび出力コンデンサを接続するだけで最大 10A の連続電流を供給できます。このレギュレータの固定オン時間電流モード制御アーキテクチャにより、高い降圧比と、電源および負荷のトランジェント変動に対する高速応答が可能です。LTM4641 は、15mm \times 15mm \times 5.01mm の SnPb または RoHS 準拠の端子仕上げで供給されます。

、LT、LTC、LTM、 μ Module、Burst Mode、Linear Technology およびリニアテクノロジー社の登録商標です。LTpowerCAD はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。5481178、5847554、6100678、6304066、6580258、6677210、8163643 を含む米国特許によって保護されています。

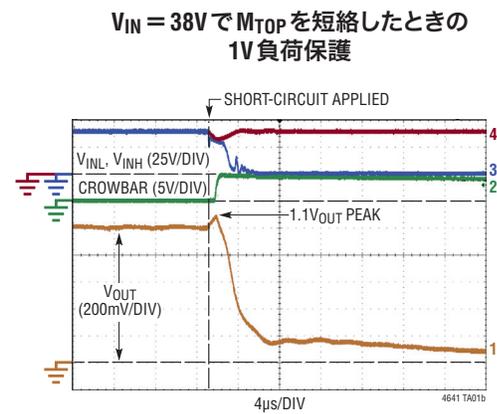
 をクリックすると、関連するビデオクリップをご覧いただけます。

標準的応用例

入力遮断保護回路と高速クローバ出力過電圧保護回路を備えた μ Module レギュレータ



SGND CONNECTS TO GND INTERNAL TO μ MODULE REGULATOR
 * MSP: (OPTIONAL) SERIES-PASS OVERVOLTAGE POWER INTERRUPT MOSFET, NXP PSMN014-60LS
 ** MCB: (OPTIONAL) OUTPUT OVERVOLTAGE CROWBAR MOSFET, NXP PH2625L



TESTED AT WORST-CASE CONDITION: NO LOAD

目次

特長.....	1	アプリケーション情報—負荷保護機能.....	32
アプリケーション.....	1	過電流フォールドバックによる保護.....	32
標準的応用例.....	1	パワーグッド・インジケータと	
概要.....	1	ラッチ式出力過電圧保護.....	32
絶対最大定格.....	3	電源遮断MOSFET (MSP)、CROWBARピンおよび	
発注情報.....	3	出カクローバMOSFET (MCB).....	33
ピン配置.....	3	高速出力過電圧コンパレータのしきい値.....	34
電気的特性.....	4	スイッチング・ノード: SWピン.....	35
標準的性能特性.....	8	アプリケーション情報—EMI性能.....	35
ピン機能.....	10	アプリケーション情報—複数モジュールの	
簡略ブロック図.....	15	並列動作.....	36
デカップリングの要件.....	15	アプリケーション情報—熱に関する	
動作.....	16	検討事項および出力電流のディレーティング.....	38
はじめに.....	16	熱に関する検討事項および出力電流の	
目的.....	16	ディレーティング.....	38
パワーμModuleレギュレータの信頼性.....	16	アプリケーション情報—出力容量の表.....	45
概要.....	16	アプリケーション情報—安全および	
アプリケーション情報—電源機能.....	17	レイアウト上の参考情報.....	46
パワー段 (V_{INH}) およびバイアス (V_{INL}) 入力ピン.....	17	安全性に関する検討事項.....	46
スイッチング周波数 (オン時間) の選択と		レイアウトのチェックリスト/例.....	46
電圧ドロップアウトの基準		標準的応用例.....	48
(達成可能な V_{IN} 対 V_{OUT} の降圧比).....	18	付録.....	56
出力電圧の設定: 差動遠隔検出アンプ.....	21	付録A. 機能ブロック図と特長の	
入力コンデンサ.....	23	クイック・リファレンス・ガイド.....	56
出力コンデンサとループの安定性/ループ補償.....	23	付録B. 起動/シャットダウン時の状態図.....	57
パルス・スキップ・モードと強制連続モード.....	24	付録C. スwitching周波数に関する	
ソフトスタート、レール・トラッキング、		検討事項と R_{fSET} の使用.....	58
およびプリバイアス状態での起動.....	24	付録D. 厳しい環境での遠隔検出.....	59
INTV _{CC} とDRV _{CC}	27	付録E. パルス・スキップ・モード動作の発想.....	60
1V _{REF}	28	付録F. 高速出力過電圧コンパレータ	
TEMP、OTBH、および過熱保護.....	28	しきい値の調整.....	60
入力モニタ・ピン: UVLO、IOVRETRY、OVLO.....	29	パッケージ.....	63
アプリケーション情報—入力保護機能.....	29	パッケージの写真.....	63
起動/シャットダウンとRUNイネーブル、パワーオン・		パッケージ.....	64
リセット時間とタイムアウト遅延時間.....	31	改訂履歴.....	65
		標準的応用例.....	66
		関連製品.....	66

絶対最大定格 (Note 1)

端子電圧

V _{INL} 、V _{INH} 、SW、f _{SET}	-0.3V ~ 40V
V _{OUT}	-0.3V ~ 9.2V
V _{ING}	-0.3V ~ V _{INH} + 20V
INTV _{CC} 、DRV _{CC} 、RUN、TRACK/SS、PGOOD、 CROWBAR、HYST.....	-0.3V ~ 6V
FCB、TMR.....	-0.3V ~ INTV _{CC} + 0.3V
COMP.....	-0.3V ~ 2.7V
V _{OSNS} ⁺ 、V _{ORB} ⁺	-0.6V ~ 9.7V
V _{OSNS} ⁻ 、V _{ORB} ⁻	V _{OSNS} ⁺ - 2.7V ~ V _{OSNS} ⁺ + 0.3V
OTBH、UVLO、IOVRETRY、OVLO、LATCH.....	-0.3V ~ 7.5V
TEMP、OV _{PGM}	-0.3V ~ 1.5V

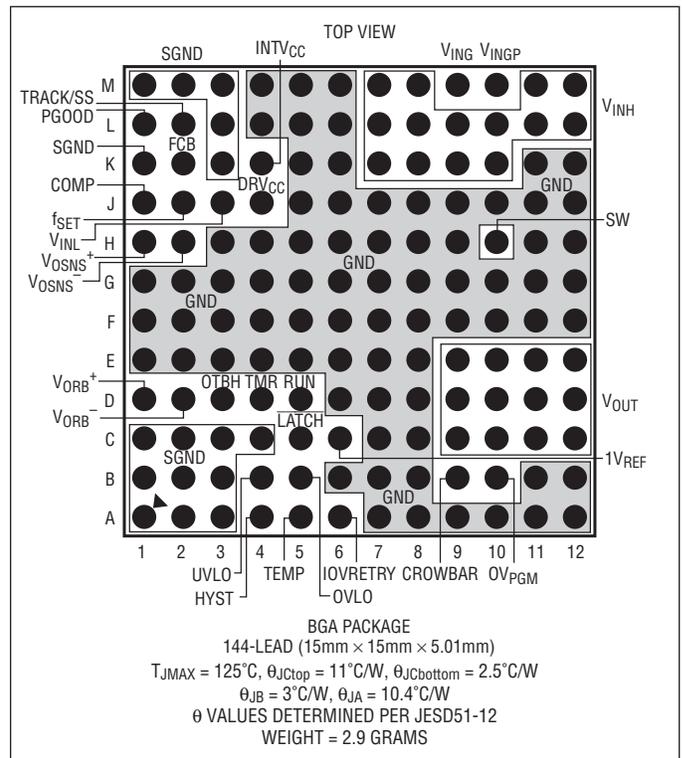
端子電流

INTV _{CC} (連続).....	-30mA
INTV _{CC} (連続、CROWBARピンからの ソース電流が15mAのとき).....	-15mA
CROWBAR (連続).....	-15mA
V _{INGP} (連続).....	-50mA ~ 15mA
1V _{REF} (連続).....	-1mA ~ 1mA

内部動作温度範囲 (Note 2)

EおよびIグレード.....	-40°C ~ 125°C
MPグレード.....	-55°C ~ 125°C
保存温度範囲.....	-55°C ~ 125°C
ピーク・パッケージ・ボディ温度 (SMTリフロー時).....	245°C

ピン配置



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ	MSL レーティング	温度範囲 (Note 2)
		デバイス	コード			
LTM4641EY#PBF	SAC305 (RoHS)	LTM4641Y	e1	BGA	4	-40°C to 125°C
LTM4641IY#PBF	SAC305 (RoHS)	LTM4641Y	e1	BGA	4	-40°C to 125°C
LTM4641IY	SnPb (63/37)	LTM4641Y	e0	BGA	4	-40°C to 125°C
LTM4641MPY#PBF	SAC305 (RoHS)	LTM4641Y	e1	BGA	4	-55°C to 125°C
LTM4641MPY	SnPb (63/37)	LTM4641Y	e0	BGA	4	-55°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。パッド/ボール仕上げのコードは、IPC/JEDEC J-STD-609による。

• 無鉛仕上げおよび非無鉛仕上げの製品マーキング:
www.linear-tech.co.jp/leadfree

• 推奨されるLGA/BGAのPCBアセンブリおよび製造方法:
www.linear-tech.co.jp/umodule/pcbassembly
• LGA/BGAパッケージおよびトレイ図面:
www.linear-tech.co.jp/packaging

LTM4641

電気的特性 ●は全内部動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。
 注記がない限り、 $V_{IN} = V_{INH} = V_{INL} = 28\text{V}$ 、図 45 に示す標準的応用例に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Input DC Voltage		● 4.5		38	V
V_{OUT}	Output Voltage Range	Use $R_{SET1A} = R_{SET1B} \leq 8.2\text{k}\Omega$. R_{SET} Values Recommended in Table 1	● 0.6		6	V
$V_{OUT(DC)}$	Output Voltage, Total Variation with Line and Load, and Prior to UVLO	$4.5\text{V} \leq V_{IN} \leq 38\text{V}$, $0\text{A} \leq I_{OUT} \leq 10\text{A}$ $V_{IN} = 4\text{V}$ (Ramped Down from 4.5V), $I_{OUT} = 0\text{A}$	● 1.773	1.800	1.827	V
			● 1.773	1.800	1.827	V

入力の規格

$V_{RUN(ON,OFF)}$	RUN On/Off Threshold	Run Rising, Turn On Run Falling, Turn Off	● 0.8	1.25 1.15	2	V V
$I_{RUN(ON)}$	RUN Pull-Up Current	$V_{RUN} = 0\text{V}$ $V_{RUN} = 3.3\text{V}$	● -580	-520	-460	μA
			● -220	-165	-110	μA
$I_{RUN(OFF)}$	RUN Pull-Down Current, Switching Inhibited	$V_{RUN} = 3.3\text{V}$, UVLO = 0V (M_{HYST} On)		1		nA
$V_{INL(UVLO)}$	V_{INL} Undervoltage Lockout	V_{INL} Rising V_{INL} Falling Hysteresis	● 3.5	4.2 3.8	4.5 4	V V
			● 300	400		mV
$I_{INRUSH(VINH)}$	Input Inrush Current Through V_{INH} , at Start-Up	$C_{SS} = \text{Open}$		230		mA
$I_Q(VINH)$	Power Stage Bias Current (I_{VINH}) at No Load	$I_{OUT} = 0\text{A}$ and: FCB $\geq 0.84\text{V}$ (Pulse-Skipping Mode) FCB $\leq 0.76\text{V}$ (Forced Continuous Mode) Shutdown, RUN = 0		8 29 0.2		mA mA mA
$I_Q(VINL)$	Control Bias Current (I_{VINL})	INTV _{CC} Connected to DRV _{CC} and: $V_{IN} = 28\text{V}$, $I_{OUT} = 0\text{A}$ $V_{IN} = 28\text{V}$, $I_{OUT} = 10\text{A}$ $V_{IN} = 28\text{V}$, Shutdown, RUN = 0		14.5 15.5 5		mA mA mA
$I_S(VINH)$	Power Stage Input Current (I_{VINH}) at Full Load	$I_{OUT} = 10\text{A}$ and: $V_{IN} = 4.5\text{V}$ $V_{IN} = 28\text{V}$ $V_{IN} = 38\text{V}$		4.65 790 590		A mA mA

出力の規格

$I_{OUT(DC)}$	Output Continuous Current Range	(Note 3)	● 0		10	A
$\Delta V_{OUT(LINE)}/V_{OUT}$	Line Regulation Accuracy	V_{IN} from 4.5V to 38V, $I_{OUT} = 0\text{A}$	●	0.02	0.15	%
$\Delta V_{OUT(LOAD)}/V_{OUT}$	Load Regulation Accuracy	I_{OUT} from 0A to 10A (Note 3)	●	0.04	0.15	%
$V_{OUT(AC)}$	Output Voltage Ripple Amplitude	$I_{OUT} = 0\text{A}$		16		mV _{p-p}
f_s	Output Voltage Ripple Frequency	$I_{OUT} = 0\text{A}$ $I_{OUT} = 10\text{A}$		290 330		kHz kHz
$V_{OUT(START)}$	Turn-On Overshoot	$I_{OUT} = 0\text{A}$		10		mV
t_{START}	V_{IN} -to- V_{OUT} Start-Up Time	RUN Electrically Open Circuit, Time Between Application of V_{IN} to V_{OUT} Becoming Regulated, $OV_{PGM} = 1.5\text{V}$, $C_{TMR} = C_{SS} = \text{Open}$		3		ms
$t_{RUN(ON-DELAY)}$	RUN-to- V_{OUT} Turn-On Response Time	V_{IN} Established, (TMR-Set POR Time Expired) Time Between RUN Releasing from GND to PGOOD Going Logic High, $C_{SS} = \text{Open}$, $OV_{PGM} = 1.5\text{V}$		175	400	μs
$\Delta V_{OUT(LS)}$	Peak Deviation for Dynamic Load Step	I_{OUT} from 0A to 5A at 5A/ μs I_{OUT} from 5A to 0A at 5A/ μs		40 40		mV mV
$t_{SETTLE(LS)}$	Settling Time for Dynamic Load Step	I_{OUT} from 0A to 5A at 5A/ μs I_{OUT} from 5A to 0A at 5A/ μs		20 20		μs μs

4641fe

電気的特性 ●は全内部動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Notes 2)。注記がない限り、 $V_{IN} = V_{INH} = V_{INL} = 28\text{V}$ 、図45に示す標準的応用例に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{OUT(PK)}$	Output Current Limit	5.1k Ω Pull-Up from PGOOD to 5V Source, I_{OUT} Ramped Up Until V_{OUT} Below PGOOD Lower Threshold, PGOOD Pulls Logic Low		24		A
$I_{VINH}(I_{OUT_SHORT})$	Power Stage Input Current During Output Short Circuit	V_{OUT} Electrically Shorted to GND		45		mA

制御セクション

V_{FB}	Differential Feedback Voltage from V_{OSNS^+} to V_{OSNS^-}	$I_{OUT} = 0\text{A}$	●	591	600	609	mV
$I_{TRACK/SS}$	TRACK/SS Pull-Up Current	$V_{TRACK/SS} = 0\text{V}$		-0.45	-1		μA
V_{FCB}	FCB Threshold			0.76	0.8	0.84	V
I_{FCB}	FCB Pin Current	$V_{FCB} = 0.8\text{V}$		0	± 1		μA
$t_{ON(MIN)}$	Minimum On-Time	(Note 4)		43	75		ns
$t_{OFF(MIN)}$	Minimum Off-Time	(Note 4)		220	300		ns
$V_{OSNS(DM)}$	Remote Sense Pin-Pair Differential Mode Input Range	Valid Differential V_{OSNS^+} -to- V_{OSNS^-} Range (Use $R_{SET1A} = R_{SET1B} \leq 8.2\text{k}$)	●	0		2.7	V
$V_{OSNS(CM)}$	Remote Sense Pin-Pair Common Mode Input Range	Valid V_{OSNS^-} Common Mode Range Valid V_{OSNS^+} Common Mode Range (Use $R_{SET1A} = R_{SET1B} \leq 8.2\text{k}$)	● ●	-0.3		3	V V
$R_{IN}(V_{OSNS^+})$	Input Resistance	V_{OSNS^+} to GND		16318	16400	16482	Ω

INTV_{CC}、DRV_{CC}、1V_{REF}

V_{INTVCC}	Internal V_{CC} Voltage	$6\text{V} \leq V_{IN} \leq 38\text{V}$, $INTV_{CC}$ Not Connected to DRV_{CC} , $DRV_{CC} = 5.3\text{V}$	●	5.1	5.3	5.4	V
$\frac{\Delta V_{INTVCC(LOAD)}}{V_{INTVCC}}$	INTV _{CC} Load Regulation	RUN = 0V, $INTV_{CC}$ Not Connected to DRV_{CC} , $DRV_{CC} = 5.3\text{V}$ and: I_{INTVCC} Varied from 0mA to -20mA I_{INTVCC} Varied from 0mA to -30mA			-0.7 -1	± 2 ± 3	% %
$V_{INTVCC(LOWLINE)}$	INTV _{CC} Voltage at Low Line	$V_{IN} = 4.5\text{V}$, $R_{SET1A} = R_{SET1B} = 0\Omega$ (~0.6 V_{OUT} , R_{SET} Value Recommended in Table 1)	●	4.2	4.3		V
$DRV_{CC(UVLO)}$	DRV _{CC} Undervoltage Lockout	DRV _{CC} Rising DRV _{CC} Falling	● ●	3.9 3.2	4.05 3.35	4.2 3.5	V V
I_{DRVCC}	DRV _{CC} Current	$INTV_{CC}$ Not Connected to DRV_{CC} , $DRV_{CC} = 5.3\text{V}$, R_{SET1A} , R_{SET1B} and R_{SET2} Setting V_{OUT} to: 1.8 V_{OUT} , $R_{SET} = 2\text{M}\Omega$, $0\text{A} \leq I_{OUT} \leq 10\text{A}$ 6.0 V_{OUT} , $R_{SET} = \text{Open}$, $0\text{A} \leq I_{OUT} \leq 10\text{A}$ (Use $R_{SET1A} = R_{SET1B} \leq 8.2\text{k}$)			11 20	18 27	mA mA
$V_{1VREF(DC)}$	1V _{REF} DC Voltage Regulation	$I_{1VREF} = 0\text{mA}$ $I_{1VREF} = \pm 1\text{mA}$	● ●	0.985 0.980	1.000	1.015 1.020	V V

PGOOD出力

$V_{PGOOD(TH)}$	Power Good Window, Logic State Transition Thresholds	Ramping Differential $V_{OSNS^+} - V_{OSNS^-}$ Voltage: Up, PGOOD Goes Logic Low \rightarrow High Up, PGOOD Goes Logic High \rightarrow Low Down, PGOOD Goes Logic Low \rightarrow High Down, PGOOD Goes Logic High \rightarrow Low		533 645 621 525	556 660 644 540	579 675 667 555	mV mV mV mV
$V_{PGOOD(HYST)}$	Hysteresis	Differential $V_{OSNS^+} - V_{OSNS^-}$ Voltage Returning		8	16	24	mV
$V_{PGOOD(VOL)}$	Logic-Low Output Voltage	$I_{PGOOD} = 5\text{mA}$	●		75	400	mV
$t_{PGOOD(DELAY)}$	PGOOD Logic-Low Blanking Time	Delay Between Differential $V_{OSNS^+} - V_{OSNS^-}$ Voltage Exiting PGOOD Valid Window to PGOOD Going Logic Low (Note 4)			12		μs

LTM4641

電気的特性 ●は全内部動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。
 注記がない限り、 $V_{IN} = V_{INL} = 28\text{V}$ 、図 45 に示す標準的応用例に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電源を遮断する MOSFET の駆動							
V_{VING}	Gate Drive Voltage for Power-Interrupt MOSFET, MSP	$V_{\text{IN}} = 4.5\text{V}$, $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$, V_{ING} Sourcing $1\mu\text{A}$ $V_{\text{IN}} = 28\text{V}$, $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$, V_{ING} Sourcing $1\mu\text{A}$ $V_{\text{IN}} = 38\text{V}$, $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$, V_{ING} Sourcing $1\mu\text{A}$ $V_{\text{IN}} = 4\text{V}$ (Ramped Down from 4.5V), $I_{\text{OUT}} = 0\text{A}$, V_{ING} Sourcing $1\mu\text{A}$	● ● ● ●	11.5 35 45 10.5	13.3 38.4 48.4 11.5	15.5 41 51.5 14.2	V V V V
$I_{\text{VING(UP)}}$	V_{ING} Pull-Up Current	V_{ING} Tied to V_{INGP} , and: $V_{\text{IN}} = 4.5\text{V}$, V_{ING} Pulled to 6.5V $V_{\text{IN}} = 28\text{V}$, V_{ING} Pulled to 30V	● ●	350 425	475 550	600 675	μA μA
$I_{\text{VING_DOWN(CROWBAR ACTIVE, CROWBAR INACTIVE)}}$	V_{ING} Pull-Down Current	V_{ING} Tied to V_{INGP} , Pulled to 33V, and: RUN Pulled to 0V (CROWBAR Inactive) $O\text{V}_{\text{PGM}}$ Pulled to 0V (CROWBAR Active)	● ●	3 24	20 27	30 30	mA mA
$t_{\text{VING(OVP_DELAY)}}$	V_{ING} OVP Pull-Down Delay	$O\text{V}_{\text{PGM}}$ Driven from 650mV to 550mV, V_{ING} Discharge Response Time	●		1.3	2.6	μs
$I_{\text{VINGP(LEAK)}}$	Zener Diode Leakage Current	V_{INGP} Driven to ($V_{\text{INH}} + 10\text{V}$)			1		nA
$V_{\text{VINGP(CLAMP)}}$	Zener Diode Breakdown Voltage	$V_{\text{INGP-to-VINH}}$ Differential Voltage; $I_{\text{VINGP}} = 5\text{mA}$			15		V
フォルト・ピンとその機能							
V_{OVPGM}	Default Output Overvoltage Program Setting	$O\text{V}_{\text{PGM}}$ Electrically Open Circuit	●	650	666	680	mV
$I_{\text{OVPGM(UP)}}$	$O\text{V}_{\text{PGM}}$ Pull-Up Current	$O\text{V}_{\text{PGM}} = 0\text{V}$	●	-2.07	-2	-1.91	μA
$I_{\text{OVPGM(DOWN)}}$	$O\text{V}_{\text{PGM}}$ Pull-Down Current	$O\text{V}_{\text{PGM}} = 1\text{V}$	●	0.945	1	1.06	μA
$O\text{V}_{\text{PTH}}$	Output Overvoltage Protection Inception Threshold	Ramping Up Differential V_{OSNS^+} -to- V_{OSNS}^- Voltage Until CROWBAR Outputs Logic High	●	647	666	683	mV
$O\text{V}_{\text{PERR}}$	Output Overvoltage Protection Inception Error	Difference Between $O\text{V}_{\text{PTH}}$ and V_{OVPGM} ($O\text{V}_{\text{PTH}} - V_{\text{OVPGM}}$)	●	-12	0	12	mV
$t_{\text{CROWBAR(OVP_DELAY)}}$	CROWBAR Response Time	$O\text{V}_{\text{PGM}}$ Driven from 650mV to 550mV	●		400	500	ns
$V_{\text{CROWBAR(OH)}}$	CROWBAR Output, Active High Voltage	$O\text{V}_{\text{PGM}}$ Pulled to 0V and: $I_{\text{CROWBAR}} = -100\mu\text{A}$, $I_{\text{INTVCC}} = -20\text{mA}$ $I_{\text{CROWBAR}} = -4\text{mA}$, $I_{\text{INTVCC}} = -20\text{mA}$	● ●	4.3 4.2	4.65 4.55	5 4.9	V V
$V_{\text{CROWBAR(OL)}}$	CROWBAR Output, Passive Low Voltage	$I_{\text{CROWBAR}} = 1\mu\text{A}$	●		260	500	mV
$V_{\text{CROWBAR(OVERSHOOT)}}$	CROWBAR Peak Voltage Overshoot at V_{INL} Start-Up and Shutdown	V_{INL} Ramped Up from/Down to 0V	●		550	900	mV
$V_{\text{CROWBAR(TH)}}$	CROWBAR Latchoff Threshold	CROWBAR Ramped Up Until HYST Goes Logic Low	●	1.4	1.5	1.6	V
V_{TEMP}	TEMP Voltage	RUN = 0V, $T_A = 25^\circ\text{C}$ RUN = 0V, $T_A = 125^\circ\text{C}$ (See Figure 10 for Reference)		950	980 585	1010	mV mV
$O\text{T}_{\text{TH(INCEPTION)}}$	TEMP Overtemperature Inception Threshold	Ramping TEMP Downward Until HYST Outputs Logic Low	●	428	438	448	mV
$O\text{T}_{\text{TH(RECOVER)}}$	TEMP Overtemperature Recovery Threshold	Ramping TEMP Upward Until HYST Outputs Logic High	●	501	514	527	mV
$U\text{V}\text{O}\text{V}_{\text{TH}}$	UVLO/OVLO/IOVRETRY Undervoltage/Overvoltage Inception Thresholds	Ramping UVLO, OVLO or IOVRETRY Positive Until HYST Toggles Its State	●	488	500	512	mV

電気的特性 ●は全内部動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。
 注記がない限り、 $V_{IN} = V_{INH} = V_{INL} = 28\text{V}$ 、図 45 に示す標準的応用例に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
t_{UVLOV}	UVLO/OVLO/IOVRETRY/ TEMP Response Time	$\pm 50\text{mV}$ Overdrive (All Pins) $\pm 5\text{mV}$ Overdrive, UVLO/OVLO/IOVRETRY Pins Only (Note 4)	●	50	25 125	100 500	μs μs
I_{UVLOV}	Input Current of UVLO, OVLO and IOVRETRY	UVLO = 0.55V or OVLO = 0.45V or IOVRETRY = 0.45V	●			± 30	nA
$V_{HOUSEKEEPING(UVLO)}$	Housekeeping Circuitry UVLO	Voltage on INTV _{CC} , INTV _{CC} Rising (Note 4) Hysteresis, INTV _{CC} Returning (Note 4)		1.9 5	2 25	2.1 50	V mV
$V_{HYST(SWITCHING ON)}$	HYST Voltage (M _{HYST} Off, RUN Logic High)	RUN Electrically Open Circuit RUN = 1.8V	● ●	4.9 1.85	5.1 2.1	5.25 2.35	V V
$V_{HYST(SWITCHING OFF, RUN)}$	HYST Voltage (M _{HYST} Off, RUN Logic Low)	RUN = 0V	●	170	350	480	mV
$V_{HYST(SWITCHING OFF, FAULT)}$	HYST Voltage, Switching Action Inhibited (M _{HYST} On)	UVLO < UVLO _{TH} or OVLO > UVLO _{TH} or IOVRETRY > UVLO _{TH} or TEMP < OT _{TH} (INCEPTION) or CROWBAR > V _{CROWBAR(TH)} or DRV _{CC} < DRV _{CC(UVLO(FALLING))} (See Figures 62, 63)	●		30	65	mV
TMR_{UOTO}	Timeout and Power-On Reset Period	$C_{TMR} = 1\text{nF}$, Time from Fault Clearing to HYST Being Released by Internal Circuitry	●	5	9	14	ms
$V_{LATCH(IH)}$	LATCH Clear Threshold Input High		●	1.2			V
$V_{LATCH(IL)}$	LATCH Clear Threshold Input Low		●			0.8	V
I_{LATCH}	LATCH Input Current	$V_{LATCH} = 7.5\text{V}$	●			± 1	μA
$I_{TMR(UP)}$	TMR Pull-Up Current	$V_{TMR} = 0\text{V}$	●	-1.2	-2.1	-2.8	μA
$I_{TMR(DOWN)}$	TMR Pull-Down Current	$V_{TMR} = 1.6\text{V}$	●	1.2	2.1	2.8	μA
$V_{TMR(DIS)}$	Timer Disable Voltage	Referenced to INTV _{CC}	●	-180	-270		mV
$OTBH_{VIL}$	OTBH Low Level Input Voltage		●			0.4	V
$OTBH_{VZ}$	OTBH Pin Voltage When Left Electrically Open Circuit	$-10\mu\text{A} \leq I_{OTBH} \leq 10\mu\text{A}$	●	0.6	0.9	1.2	V
$I_{OTBH(MAX)}$	Maximum OTBH Current	OTBH Electrically Shorted to SGND	●			30	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

LTM4641のSWピンの絶対最大定格である40Vは、デバイスの信頼性および寿命に影響しないことを保証する制御された方法で、 V_{IN} が40Vのとき V_{OUT} を安定化することにより、ATEで検査される。 $V_{IN} = 40\text{V}$ でのSWピン漏れ電流の静的テストは、制御ICのウェハ・レベルでのみ実施される。

Note 2: LTM4641は T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTM4641Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計的なプロセス・コントロールとの相

関で確認されている。LTM4641Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で保証されている。LTM4641MPは $-55^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲でテストされ、保証される。これらの仕様と合致する最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。

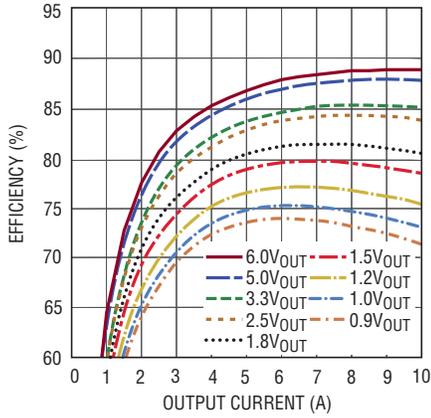
Note 3: 異なる V_{IN} 、 V_{OUT} および T_A の出力電流のデレーティング曲線を参照。

Note 4: ウェハ・レベルでのみ全数テストされる。

標準的性能特性

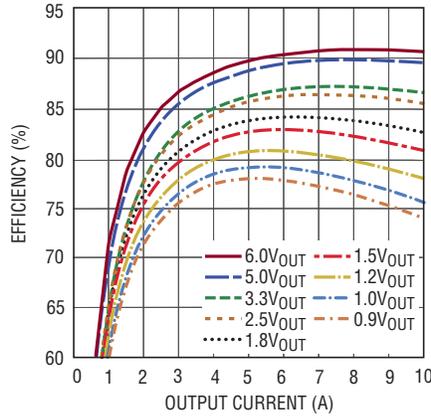
(注記がない限り、表1に基づく R_{SET} と、表2に基づく R_{SET1A} 、 R_{SET1B} 、および R_{SET2} を使用した図45の回路)

効率と負荷電流 ($V_{IN} = 36V$)



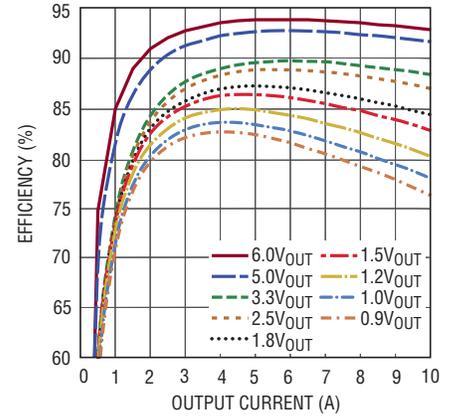
4641 G01

効率と負荷電流 ($V_{IN} = 24V$)



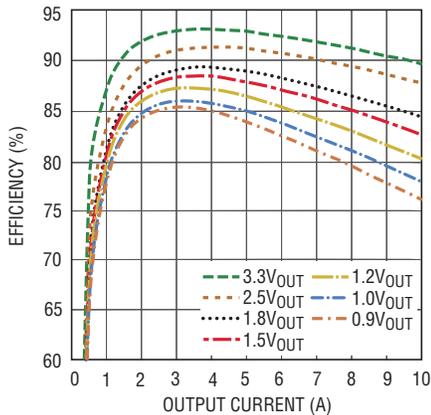
4641 G02

効率と負荷電流 ($V_{IN} = 12V$)



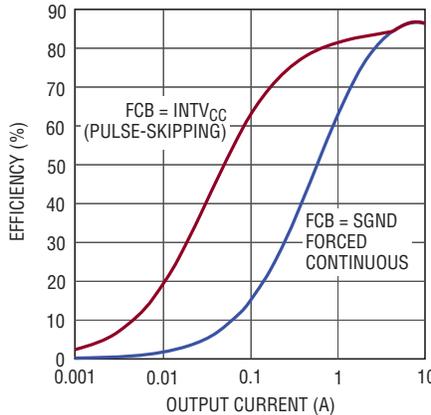
4641 G03

効率と負荷電流 ($V_{IN} = 6V$)



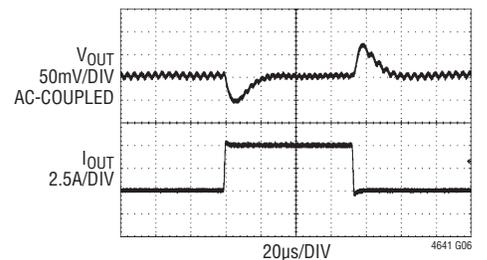
4641 G04

パルス・スキップ・モードの効率と
強制連続モードの効率、
 $V_{IN} = 28V/V_{OUT} = 3.3V$



4641 G05

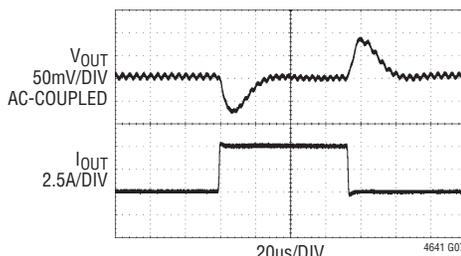
1Vのトランジェント応答
($V_{IN} = 38V$)



0A TO 5A LOAD STEPS AT 5A/ μ s
FRONT PAGE CIRCUIT WITH
OV_{PGM} = OPEN CIRCUIT

4641 G06

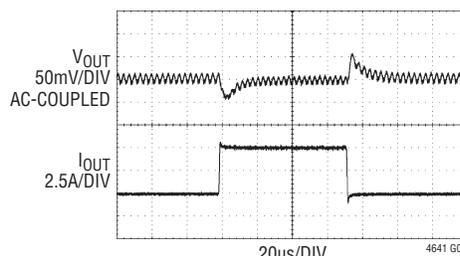
1Vの過渡応答 ($V_{IN} = 4.5V$)



0A TO 5A LOAD STEPS AT 5A/ μ s
FRONT PAGE CIRCUIT WITH
OV_{PGM} = OPEN CIRCUIT

4641 G07

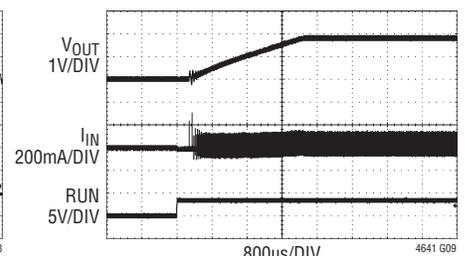
3.3Vトランジェント応答、
 $V_{IN} = 28V/V_{OUT} = 3.3V$



0A TO 5A LOAD STEPS AT 5A/ μ s
FIGURE 46 CIRCUIT

4641 G08

出力の起動、負荷なし



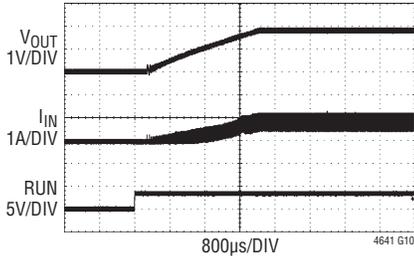
$V_{IN} = 24V$
 $C_{IN}(MLCC) = 2 \times 10\mu F \times 7R$

4641 G09

標準的性能特性

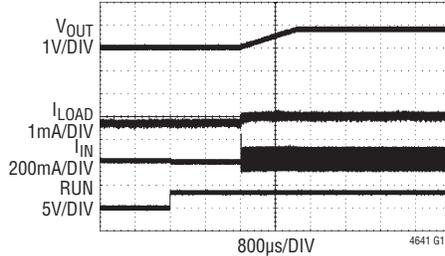
(注記がない限り、表1に基づく R_{SET} と、表2に基づく R_{SET1A} 、 R_{SET1B} 、および R_{SET2} を使用した図45の回路)

出力の起動、負荷10A



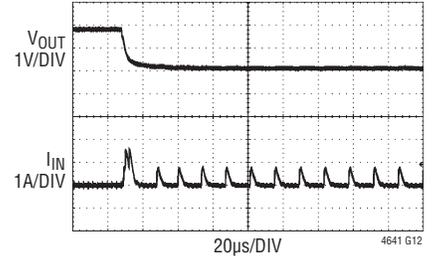
$V_{IN} = 24V$
 $C_{IN(MLCC)} = 2 \times 10\mu F \text{ X7R}$

出力の起動、プリバイアス条件



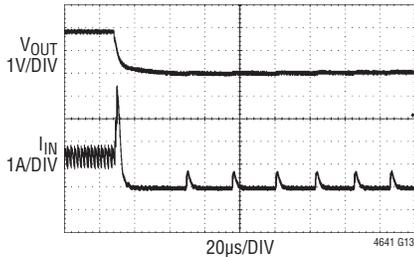
$V_{IN} = 24V$
 $C_{IN(MLCC)} = 2 \times 10\mu F \text{ X7R}$

出力の短絡、初期負荷なし



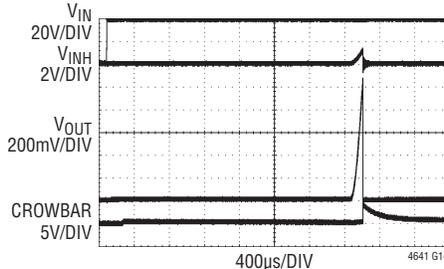
$V_{IN} = 24V$
 $C_{IN(MLCC)} = 2 \times 10\mu F \text{ X7R}$

出力の短絡、初期負荷10A



$V_{IN} = 24V$
 $C_{IN(MLCC)} = 2 \times 10\mu F \text{ X7R}$

V_{INH} ピンを SW ノードに短絡した場合の起動、 $V_{OUT} = 1V$ (公称)



FRONT PAGE CIRCUIT WITH V_{INH} SHORT CIRCUITED TO SW PRIOR TO POWER-UP. APPLYING UP TO $38V_{IN}$. NO LOAD

V_{INH} ピンを SW ノードに短絡した場合の起動、 $V_{OUT} = 3.3V$ (公称)

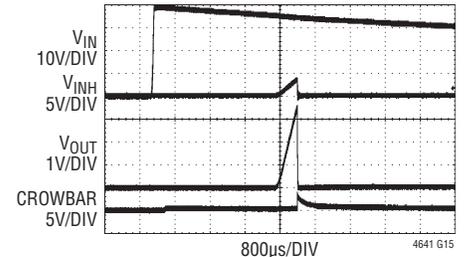


FIGURE 46 CIRCUIT WITH V_{INH} SHORT CIRCUITED TO SW PRIOR TO POWER-UP. APPLYING UP TO $38V_{IN}$. NO LOAD

V_{INH} ピンを SW ノードに短絡した場合の自律式再起動、 $V_{OUT} = 3.3V$ (公称)

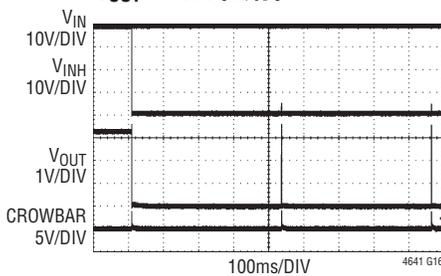
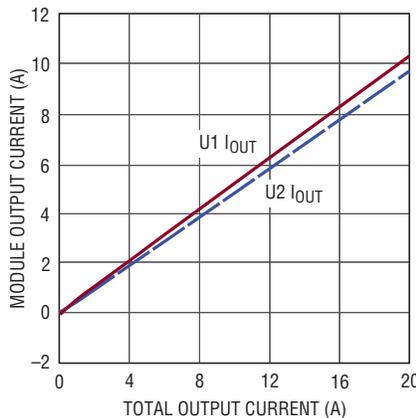


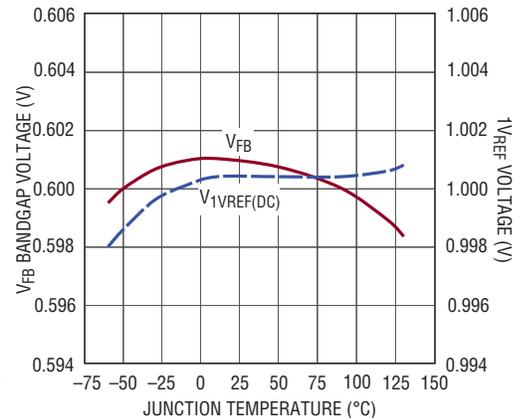
FIGURE 46 CIRCUIT, SHORT CIRCUITING V_{INH} TO SW IN SITU, OPERATING AT $38V_{IN}$ AND NO LOAD. LATCH CONNECTED TO $INTV_{CC}$ AND $C_{TMR} = 47nF$

並列化モジュール、電流分担性能の比較
図66の回路、 $V_{IN} = 28V$



4641 G17

制御 IC のバンドギャップおよび $1V_{REF}$ ピンの電圧と温度、 $V_{IN} = 28V$



4641 G18

ピン機能

SGND (A1 ~ A3, B1 ~ B3, C1 ~ C4, K1, K3, L3, M1 ~ M3) : 信号グランド・ピン。これは、すべてのアナログ制御回路および低消費電力回路のグランド帰路です。SGNDは、内部信号の品位を最高レベルに引き上げるように μ Moduleレギュレータの内部でGNDに接続されています。このため、ユーザのPCBレイアウトではSGNDピンをGNDピンに接続しないようにしてください。SGNDおよびレイアウトの詳細については、「アプリケーション情報」セクションの「レイアウト・チェックリスト/例」のセクションを参照してください。すべてのSGNDピンは、内部で互いに電氣的に接続されています。

HYST (A4) : 入力低電圧ヒステリシスのプログラミング・ピン。通常は出力として使用しますが、入力として使用することもできます。LTM4641固有のデフォルトの低電圧ロックアウト (UVLO) 設定を満たしている場合 (V_{IN} (RISING, MAX) が4.5Vで V_{IN} (FALLING, MAX) が4Vの場合)、HYSTピンは電氣的に開放がかまいません。LTM4641のUVLOしきい値をカスタマイズする場合は、「アプリケーション情報」のセクションを参照してください。

HYSTピンは、RUN、UVLO、OVLO、IOVRETRY、TEMP、CROWBAR、INTV_{CC}、DRV_{CC}の各ピンの状態によってモジュールの出力電圧を安定化できる場合は、LTM4641の内部制御ICに指示してモジュールの出力電圧を安定化する適度なプルアップ強度を持つロジック“H”出力です(ラッチオフ事象が少し前にあった場合でも、それ以外の場合はOTBHピンとLATCHピンも役割を果たすことができます)。フォルト状態が検出されると、内部回路(M_{HYST}、図1参照)によってHYSTピンのロジックが“L”に駆動され、LTM4641の出力はオフになります。HYSTピンはフォルト・インジケータとして使用できます。「アプリケーション情報」のセクションを参照してください。

HYSTピンは、RUNピンが“L”になると内部のショットキ・ダイオードを介して“L”になります。HYSTピンは、RUNピンによるインタフェースの代わりに、外付けのオープンコレクタ/オープンドレイン回路で直接駆動してもかまいません。ただし、外付け回路でHYSTピンを“H”に駆動することは絶対にしないでください。(やみくもに)“H”に駆動すると、M_{HYST}がオンのとき、M_{HYST}に熱的な過剰ストレスが加わる可能性があるからです。

TEMP (A5) : パワー段の温度インジケータおよび過熱検出ピン。TEMPピンを電氣的に開放のままにすると、TEMPピンの電圧は(LTM4641のパワー段近傍にある)内部のNTC(負温度係数)サーミスタに従って変化します。TEMPピンの電圧が438mV(サーミスタとパワー段の温度で約145°Cに相当)に低下すると、LTM4641はHYSTピンを“L”にして、出力電圧の

レギュレーションを阻止します。その後、OTBHピンの設定に応じてTEMPピンの電圧が514mV(公称では約10°Cの冷却ヒステリシスに対応)を超えると、HYSTピンはデアサートすることができます。「OTBH」および「アプリケーション情報」のセクションを参照してください。

μ Moduleレギュレータの過熱シャットダウン機能をデイスエーブルするには、TEMPピンと1V_{REF}ピンを接続してください。サーマル・シャットダウンの開始しきい値も変更できます。「アプリケーション情報」セクションを参照してください。

IOVRETRY (A6) : 非ラッチ型入力過電圧しきい値プログラミング・ピン。IOVRETRYピンの電圧が0.5Vを超えると、LTM4641はHYSTピンを“L”にして出力電圧のレギュレーションを停止します。IOVRETRYピンの電圧が0.5Vより低くなると、LTM4641はスイッチング動作を再開できます。非ラッチ型の入力過電圧シャットダウン動作が不要な場合は、このピンをSGNDに接続してください。このピンは開放のままにしないでください。

GND (A7 ~ A12, B6 ~ B8, B11 ~ B12, C7 ~ C8, D6 ~ D8, E1 ~ E8, F1 ~ F12, G1 ~ G12, H3 ~ H9, H11 ~ H12, J5 ~ J12, K5 ~ K6, K11 ~ K12, L4 ~ L6, M4 ~ M6) : 入力帰路および出力帰路のパワー・グランド。「アプリケーション情報」セクションの「レイアウト・チェックリスト/例」のセクションを参照してください。すべてのGNDピンは、内部で互いに電氣的に接続されています。

UVLO (B4) : 入力低電圧ロックアウト・プログラミング・ピン。UVLOピンの電圧が0.5Vより低くなった場合、LTM4641は常にHYSTピンを“L”にして出力電圧のレギュレーションを阻止します。UVLOピンの電圧が0.5Vを超えると、LTM4641はスイッチング動作を再開できます。このピンは開放のままにしないでください。

LTM4641のデフォルトのUVLO設定(V_{IN} (RISING, MAX) が4.5Vで V_{IN} (FALLING, MAX) が4V)を使用する場合は、UVLOピンを1V_{REF}ピンまたはINTV_{CC}ピンに電氣的に接続する必要があります。そうせずに、抵抗分割器回路網を使用して個人用のUVLOの立ち上がり設定値とUVLOの立ち下がり設定値を実装するには、「HYST」および「アプリケーション情報」のセクションを参照してください。

OVLO (B5) : 入力過電圧ラッチオフ・プログラミング・ピン。OVLOピンの電圧が0.5Vを超えると、LTM4641はHYSTピンを“L”にして出力電圧のレギュレーションを阻止します。その後、OVLOピンの電圧が0.5Vより低くなると、モジュールの出力はラッチオフ状態のままになり、LATCHピンが“H”に切り

ピン機能

替わるか、 V_{INL} ピンへの入力電圧をいったん切ってから再投入するまで、LTM4641は出力電圧のレギュレーションを再開できません。入力過電圧ラッチオフ動作が不要な場合は、このピンをSGNDに短絡してください。このピンは開放のままにしないでください。

CROWBAR (B9) : クローバ出力ピン。通常はロジック“L”で、SGNDに対する適度なプルダウン強度を備えています。

出力過電圧(OOV)状態が検出されると、LTM4641の高速OOVコンパレータにより、直列に接続された内部ダイオードを介してCROWBARピンのロジックが“H”になります。LTM4641のOOV機能を使用する場合は、モジュールの出力電圧をクローバ式に短絡するよう構成されたロジック・レベルのNチャネルMOSFET(図1のMCB)のゲートとCROWBARピンを接続してください。

さらに、CROWBARピンの電圧が公称値で1.5Vを超えると、LTM4641はその出力をラッチオフし、HYSTピンをロジック“L”にラッチします(「HYST」を参照)。

LTM4641のOOV保護機能を使用しない場合は、CROWBARピンを電氣的に開放のままにしてください。

OV_{PGM} (B10) : 出力過電圧しきい値のプログラミング・ピン。このピンの電圧は、LTM4641の高速OOVコンパレータの反転入力ピンの作動しきい値を設定します。このピンを電氣的に開放のままにすると、LTM4641内部の抵抗により、OV_{PGM}ピンの電圧は公称値で666mV(OV_{PTH})にバイアスされます。この値は、制御ループがLTM4641の高速OOVコンパレータの非反転入力ピンに印加しようとする V_{FB} 帰還電圧の公称値(600mV)より11%高い値です。前述の電圧は、モジュールのOOV開始しきい値と、 V_{OUT} のレギュレーション時の公称電圧にそれぞれ比例しています。OV_{PGM}ピンの電圧を変更すると、OOVしきい値の調整手段が得られます。つまり、このピンのDCバイアス設定値は外付け部品の簡単な接続によって許容幅を狭めることができます(「アプリケーション情報」セクションを参照)。影響を受けやすいこのアナログ・ノードまでの配線長および線幅は最小限に抑えてください。「アプリケーション情報」セクションおよび付録Fで説明するように、OOVしきい値を変更しない限り、このノードの浮遊容量は最小限にとどめてください。

LATCH (C5) : ラッチオフのリセット・ピン。ラッチオフ・フォルトが発生すると、LTM4641はその出力をオフにして M_{HYST} をオンにラッチし、フォルト状態が発生したことを示します(「HYST」を参照)。ラッチオフ・フォルトに対するラッチオフ応答についてLTM4641を設定するには、 \overline{LATCH} ピンをSGNDピンに接

続します。 \overline{LATCH} ピンがロジック“L”である限り、LTM4641はラッチを解除しません。レギュレーションを再開するには、 V_{INL} ピンの入力電圧をオフしてからオンするか、 \overline{LATCH} ピンの状態をロジック“L”から“H”へ切り替えます。 \overline{LATCH} ピンをINTV_{CC}ピンに接続することもできます。こうすると、LTM4641にはタイムアウト遅延(C_{TMR} でプログラム可能、「TMR」参照)付きの自律式再起動が設定されます。

\overline{LATCH} ピンがロジック“L”からロジック“H”へ遷移したときにラッチオフ・フォルトが存在しない場合、LTM4641は即座にラッチを解除します。 \overline{LATCH} ピンがロジック“H”のときにラッチオフ・フォルトが存在すると、タイムアウト遅延のタイミング要件が課せられます。その要件とは、LTM4641は、ラッチオフ・フォルトをモニタするすべてのピンがタイムアウト遅延の全期間で動作上有効な状態を満たすまでラッチを解除しなくなるというものです。タイムアウト遅延時間が経過する前に \overline{LATCH} ピンがロジック“L”になった場合、LTM4641はラッチオフしたままとなり、タイムアウト遅延はリセットされます。LTM4641のラッチ解除を再試行するには、後で \overline{LATCH} ピンをロジック“H”にします。

ラッチオフのフォルト条件は以下のとおりです。

- CROWBARピンの機能が作動する(「CROWBAR」参照)
- 入力ラッチオフ過電圧フォルト(「OVLO」参照)
- ラッチオフ過熱フォルト(OTBHピンがロジック“L”になった場合。「TEMP」および「OTBH」参照)

\overline{LATCH} ピンは高インピーダンス入力であり、電氣的に開放のままにすることはできません。 \overline{LATCH} ピンは、高度情報処理システムではマイクロコントローラで駆動できます。LTM4641のラッチを解除するための妥当な実施方法は、予想される最大のタイムアウト遅延時間が経過したら \overline{LATCH} ピンをロジック“H”にすることです。最大の遅延時間経過後、HYSTピンを観測して、LTM4641がラッチを解除したかどうかを示すことができます。

1V_{REF} (C6) : バッファ付きの1Vリファレンス出力ピン。OV_{PGM}ピンとTEMPピンが起動時にタイミングよく動作状態になることを確実にするため、このピンの容量は最小限に抑えてください。1V_{REF}ピンは、「アプリケーション情報」セクションで説明されている内容を除き、負荷を外付けすることはできません。

V_{OUT} (C9~C12, D9~D12, E9~E12) : LTM4641 DC/DCコンバータのパワー段のパワー出力ピン。すべての V_{OUT} ピンは、内部で互いに電氣的に接続されています。出力負荷は、これらのピンとGNDピンの間にかかるようにしてください。出力デ

ピン機能

カップリング・コンデンサはこれらのピンとGNDピンの間に直接配置することを推奨します。表9を参照してください。「アプリケーション情報」セクションの「レイアウト・チェックリスト/例」のセクションを参照してください。

VORB⁺ (D1): VOSNS⁺の読み出しピン。このピンはμModuleレギュレータの内部でVOSNS⁺ピンに接続されています。(VORB⁻ピンと差動になっている)このピンは、LTM4641が起動する前にユーザが遠隔検出接続の完全性を確認するための手段となるように、テスト・ポイントに配線することを推奨します。VORB⁺ピンは、ユーザのマザーボード上でVOSNS⁺ピンへの冗長帰還接続箇所として接続することもできます。

VORB⁻ (D2): VOSNS⁻の読み出しピン。このピンはμModuleレギュレータの内部でVOSNS⁻ピンに接続されています。(VORB⁺ピンと差動になっている)このピンは、LTM4641が起動する前にユーザが遠隔検出接続の完全性を確認するための手段となるように、テスト・ポイントに配線することを推奨します。VORB⁻ピンは、ユーザのマザーボード上でVOSNS⁻ピンへの冗長帰還接続箇所として接続することもできます。

OTBH (D3): 過熱動作のプログラミング・ピン。過熱状態が検出されると(「TEMP」参照)、HYSTピンはロジック“L”になってスイッチングを停止します。OTBHピンをSGNDピンに接続すると、LTM4641はHYSTピンを“L”にラッチします。OTBHピンをフロート状態にした場合は、過熱事象が解消されると出力電圧レギュレーションを再開できます。

TMR (D4): タイムアウト遅延タイマおよびパワーオン・リセット(POR)のプログラミング・ピン。TMRピンとSGNDピンの間にコンデンサ(C_{TMR})を接続して、LTM4641のPOR時間とタイムアウト遅延時間を設定します。容量1nF当たりの遅延時間は9msです。TMRピンを電氣的に開放状態にした場合、最小遅延時間は約90μsです。同じ容量を使用した場合でも、パワーオン・リセット・タイマおよびタイムアウト遅延タイマは互いに独立して動作します。非ラッチ型フォルトまたはラッチ型フォルトが発生すると、それぞれのタイマは他のタイマに影響を与えずに、必ず最大遅延時間までリセットされます。

コンデンサC_{TMR}で設定したタイムアウト遅延時間は、TMRピンをINTV_{CC}ピンに接続すれば無効にすることができます。

RUN (D5): 動作(オン/オフ)制御ピン。RUNピンの電圧を0.8Vより低くすると、モジュールはオフになります。HYSTピンがM_{HYST}によって“L”にアサートされていない場合は、RUNピンの電圧を2Vより高くすると、モジュールはオンします。LTM4641は、HYSTピンとINTV_{CC}ピンの間に適度なプルアップ抵抗(10k)を内蔵しており、RUNピンとHYSTピンの間に

ショットキ・ダイオードを内蔵しています(図1参照)。RUNピンをロジック“L”にすると、HYSTピンは内蔵のショットキ・ダイオードを介して“L”になります。RUNピンは直接駆動(トータム・ポール出力駆動)ならびにオープン・コレクタ/オープン・ドレイン・インタフェースと互換性があります。

VOSNS⁺ (H1): 遠隔検出差動アンプの正入力。このピンは、出力電圧の遠隔検出点の正側(V_{OUT}の電位)に抵抗(R_{SET1A})を介して接続されています。出力電圧を安定化する場合、LTM4641の制御ループは、VOSNS⁺とVOSNS⁻の差動電圧を、TRACK/SSピンの電圧と0.6Vのうち低い方の電圧に駆動します。VOSNS⁺ピンはモジュールの内部でVORB⁺ピンに接続されています(「VORB⁺」を参照)。一部の出力電圧設定では、VOSNS⁺ピンとVOSNS⁻ピンの間に抵抗が必要です。(「アプリケーション情報」のセクション「出力電圧の設定」を参照してください。)出力電圧帰還信号の完全性を保護するため、このピンの浮遊容量は最小限に抑えてください。

VOSNS⁻ (H2): 遠隔検出差動アンプの負入力。このピンは、出力電圧の遠隔検出点の負側(GNDの電位)に抵抗(R_{SET1B})を介して接続されています。スイッチング動作がオンしている場合、LTM4641の制御ループは、VOSNS⁺とVOSNS⁻の差動電圧を、TRACK/SSピンの電圧と0.6Vのうち低い方の電圧に駆動します。VOSNS⁻ピンはモジュールの内部でVORB⁻ピンに接続されています(「VORB⁻」を参照)。一部の出力電圧設定では、VOSNS⁺ピンとVOSNS⁻ピンの間に抵抗が必要です。(「アプリケーション情報」のセクションを参照してください。)出力電圧帰還信号の完全性を保護するため、このピンの浮遊容量は最小限に抑えてください。

SW (H10): パワー段のスイッチング・ノード。主にテストの目的で使用されますが、必要に応じてSWピンとGNDピンの間に(コンデンサC_{SW}と抵抗R_{sw}を直列に構成した)スナバ回路を接続すれば、放射EMIを低減できます。ただし、それと引き換えに電力変換効率が若干低下します。(「アプリケーション情報」のセクションを参照してください。)

COMP (J1): 電流制御しきい値およびエラーアンプの補償点。LTM4641の谷電流モード制御ループの電流コンパレータしきい値(とそれに対応した、指示されたパワー・インダクタ谷電流)は、この制御電圧が高くなるにつれて高くなります。プリント回路基板上かテスト・パッドを介してCOMPピンをオシロスコープのプロブで測定できるようにすると便利です。ただし、影響を受けやすいこのアナログ・ノードの浮遊容量とこのノードまでの配線長は最小限に抑えてください。

ピン機能

fSET (J2) : スイッチング周波数の設定および調整用のピン。このピンはLTM4641内部の制御ICのI_{ON}ピンに直接接続しています。I_{ON}ピンに流す電流によって、制御ループのワンショット・タイマおよびパワー制御MOSFET (M_{TOP})のオン時間を設定できます。このピンの浮遊容量とこのピンまでの配線長は最小限に抑えてください。

電圧レールのトラッキングなど、常時3V以下の安定化出力電圧を必要とするアプリケーションでは、fSETピンに抵抗を接続してオン時間を調整することが必要です。それ以外の場合は、fSETピンを開放状態のままにしておいてかまいません。詳細については、「アプリケーション情報」のセクションを参照してください。

V_{INL} (J3) : 入力電圧ピン、電力制御およびロジック・バイアス用の小電流ピン。LTM4641内部の5.3V LDOを供給します（「INTV_{CC}」参照）。このピンとGNDの間に入力電圧バイアスを印加します。コンデンサ(0.1μF～1μF)を使用してGNDにデカップリングします。このピンはLTM4641のDC/DCコントローラの心臓部と内蔵のハウスキーピングICに電力を供給します。V_{INL}ピンのバイアス電流は約5mA以内で、INTV_{CC}ピンとCROWBARピンの負荷電流の合計です。

LTM4641が備える先進の出力過電圧(OOV)保護機能を使用する場合は、表紙の回路図にMSPと記されている外付けの電源遮断パワーMOSFETか、独立した入力バイアス電源のいずれかにV_{INL}ピンを接続してください。先進のOOV保護機能を使用しない場合は、V_{INL}ピンとV_{INH}ピンを同じ入力電源に直接接続することができます。

V_{INL}ピン、INTV_{CC}ピン、およびDRV_{CC}ピンを接続したノードの電源を約5Vの低消費電力補助レールから供給できる場合は、LDOの損失をなくすることができます。（「アプリケーション情報」セクション、図47、および図49を参照してください。）

DRV_{CC} (J4) : パワーMOSFETドライバの入力電力ピン。DRV_{CC}ピンは通常INTV_{CC}ピンに接続します。このピンの電圧は、INTV_{CC}ピンの電圧からの降下がダイオードの順方向電圧2個分(2・V_{BE})つまり25°Cのとき約1.2V以内に保持する必要があります。DRV_{CC}ピンは、LTM4641のパワー段内部にあるスイッチングMOSFET (M_{TOP}およびM_{BOT})とのインタフェースをとるMOSFETドライバに電力を供給します。ゲート・ドライバ電流を観測できるようにするためと、必要に応じて約5V～6Vの補助バイアス電源がMOSFETドライバにバイアス電流を供給できるように、このピンはINTV_{CC}ピンとは別個のピン出力になっています。ピークのソース電流供給能力が50mAの外部電源により、INTV_{CC}ピンとDRV_{CC}ピ

ンのペアを最大6V(絶対最大定格)までバイアスすることにより、LTM4641のINTV_{CC}ピン内部のLDOの損失を低減することができます（「アプリケーション情報」セクションおよび図51を参照）。DRV_{CC}ピンをINTV_{CC}ピンに直接接続する場合、バイパス・コンデンサは必要ありません。ただし、出力電圧の立ち上がりを非常に速くすることが要求される稀なアプリケーション(TRACK/SSピンにソフトスタート・コンデンサを取り付けないアプリケーションや、ターンオンの立ち上がり時間が60μsより短いレール・トラッキング・レールなどのアプリケーション)の場合は例外です。直接接続しない場合は、約2.2μF～4.7μFのX7R MLCCをバイパス・コンデンサとしてGNDピンの近くに接続することを推奨します。V_{OUT}の起動時にDRV_{CC}ピン電圧の瞬時低下を軽減するため、インピーダンスの高い電圧源では、バイパス・コンデンサの容量を大きくすることが必要な場合があります。

DRV_{CC}ピンの電圧は、低電圧ロックアウト検出器によってモニタされます。DRV_{CC}ピンの電圧が立ち上がり時は4.2V(最大)、立ち下がり時は3.5V(最大)より低くなると、HYSTピンは“L”になり、スイッチング動作は停止します。

FCB (K2) : 強制連続動作/パルス・スキップ・モード動作のプログラミング・ピン。同期パワーMOSFET (M_{TOP}およびM_{BOT})をすべての出力負荷条件で強制的に連続モード動作にする場合は、このピンをSGNDピンに接続します。パルス・スキップ・モード動作をイネーブルするには、このピンをINTV_{CC}ピンに接続します。パルス・スキップ・モードでは、軽負荷時に出力電流(I_{OUT})が逆方向に流れないように、転流パワー・スイッチングMOSFET (M_{BOT})がオフになります。詳細については、「付録E」を参照してください。このピンは高インピーダンス入力であり、電氣的に開放のままにすることはできません。

INTV_{CC} (K4) : 内蔵の5.3V LDO出力。LDOはV_{INL}を電源として動作します。INTV_{CC}レールは、低消費電力の制御回路とハウスキーピング回路をバイアスします。INTV_{CC}ピンは、スイッチング・パワーMOSFETとのインタフェースをとるMOSFETドライバに電力を供給するため、通常はDRV_{CC}ピンに接続されます。このピンを使用して外部回路をバイアスする(のは一般的ではありませんが、そうする)のではない限り、このピンにデカップリング・コンデンサを接続する必要はありません。デカップリング・コンデンサを外付けする場合、その容量は4.7μF(許容誤差±20%)より大きくしないでください。ピークのソース電流供給能力が50mAの外部電源により、INTV_{CC}ピンとDRV_{CC}ピンのペアを最大6V(絶対最大定格)までオーバードライブすることにより、LTM4641のV_{INL}ピンとINTV_{CC}ピン間のリニア・レギュレータによって生じる電力損

ピン機能

失をなくすことができます(「アプリケーション情報」セクションおよび図51を参照してください)。

V_{INH} (K7~10、L7~12、M7~8、11~12) : 入力電圧ピン、LTM4641のパワー・コンバータ段に流れる大電流ピン。すべてのV_{INH}ピンは、内部で互いに電氣的に接続されています。実現可能な限り多くのV_{INH}ピンを互いに接続するために広い銅プレーンを振り向けます。こうすると、入力電源とLTM4641のパワー段の間を低インピーダンスで電氣的に接続するのに役立ちます。このピンはBGAパッケージから熱を逃がすための熱経路の役割も果たし、与えられたアプリケーションでLTM4641の接合部温度の上昇を最小限に抑えます。

LTM4641が備える先進の出力過電圧(OOV)保護機能を使用する場合は、表紙の回路図にMSPと記されている外付け電源遮断MOSFETのソース・ピンにV_{INH}ピンを接続します。その際、短く幅の広い配線か、できればLTM4641のパワー段に流れる入力電流を適切に処理できる小規模の銅プレーンを使用します。この場合は、V_{INH}ピンをバイパス・コンデンサでデカップリングしないようにしてください。代わりに、MSPのドレインとGNDピンの間にすべてのデカップリング・コンデンサを直接接続してください。

LTM4641の先進のOOV保護機能を使用しない場合は、セラミック・コンデンサと大容量のデカップリング・コンデンサをGNDピンの近くに配置して、V_{INH}ピンとGNDピンの間をデカップリングするようにしてください(「アプリケーション情報」セクションを参照してください)。

PGOOD (L1) : 出力電圧のパワーグッド・インジケータ。このピンは、出力電圧(と制御ループに入力されるとき)の出力電圧の

分圧表現であるV_{FB}がレギュレーションの公称目標値から±10%外れると、グランド電位になるオープンドレインのロジック出力ピンです。

TRACK/SS (L2) : 出力電圧トラッキングおよびソフトスタートのプログラミング・ピン。このピンは標準で1.0μAのプルアップ電流源を備えています。このピンとSGNDピンの間にコンデンサを接続すると、容量1nF当たりのターンオン時間が0.6msという出力電圧ソフトスタート立ち上がり速度を得ることができます。代わりに、別のレールから抵抗分割器を介してTRACK/SSピンに電圧が加わると、LTM4641の出力は外部電圧を追跡して、同時および比例という2つのレール電圧シーケンス制御要件を満たすことができます。「アプリケーション情報」のセクションを参照してください。

V_{ING} (M9) : ゲート駆動出力ピン。LTM4641が備える先進の出力過電圧(OOV)保護機能を使用する場合は、V_{INH}ピンに電力を供給する外付けの電源遮断NチャネルMOSFET(表紙の回路図にMSPと表記)のゲートおよびV_{INGP}ピンにV_{ING}ピンを接続します。OOV保護機能を使用しない場合は、このピンを電氣的に開放のままにしてください。

V_{INGP} (M10) : ゲート駆動保護ピン。LTM4641が備える先進のOOV保護機能を使用する場合は、V_{INH}ピンに電力を供給する外付けの電源遮断NチャネルMOSFET(MSP)のゲートおよびV_{ING}ピンにV_{INGP}ピンを接続します。OOV保護機能を使用しない場合は、このピンを電氣的に開放のままにしてください。

簡略ブロック図

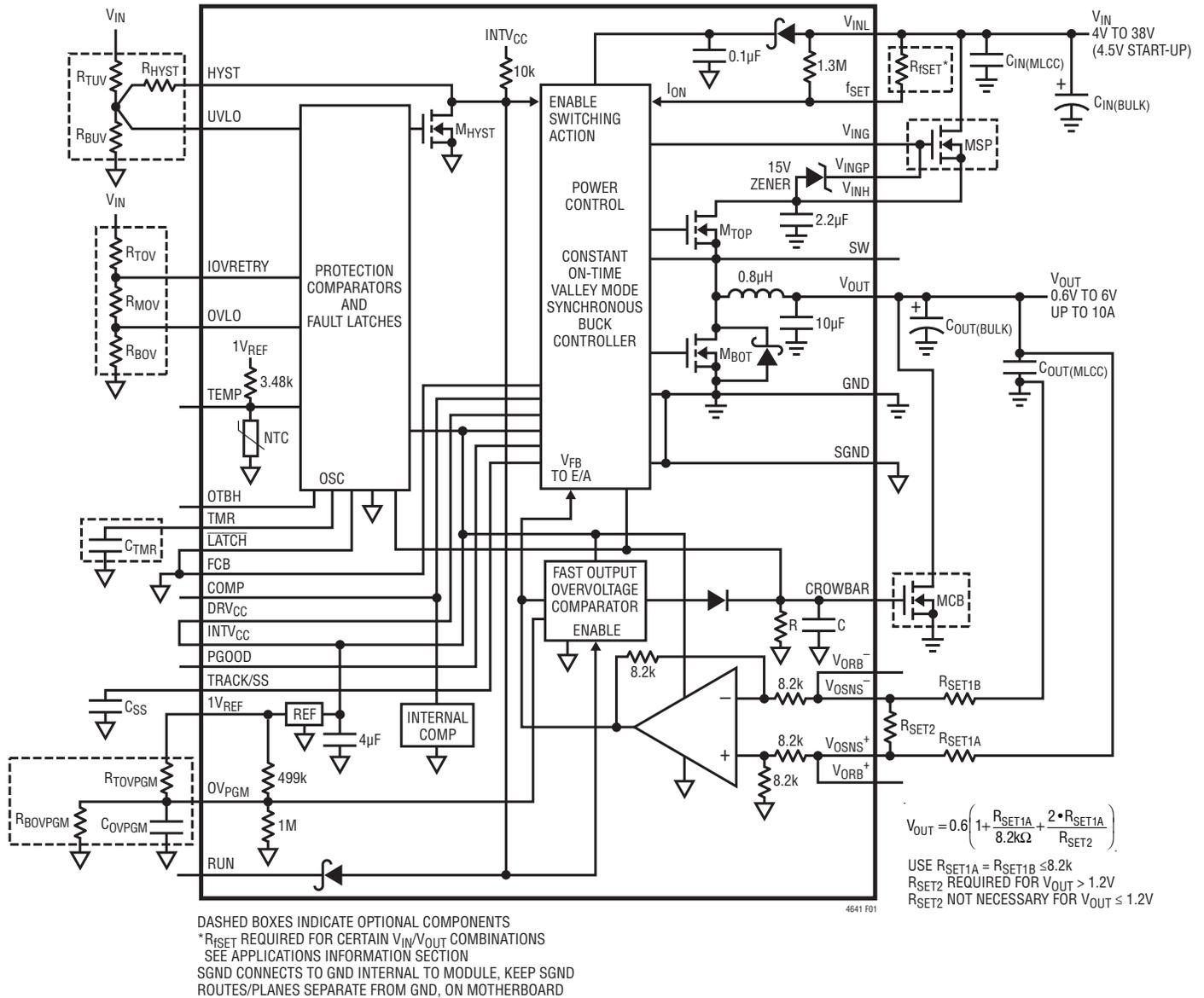


図1. 簡略ブロック図。「付録A」の機能ブロック図、図62と比較

デカップリングの要件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C _{IN} (MLCC) + C _{IN} (BULK)	External Input Capacitor Requirement	I _{OUT} = 10A, 2 × 10μF or 4 × 4.7μF		20		μF
C _{OUT} (MLCC) + C _{OUT} (BULK)	External Output Capacitor Requirement	I _{OUT} = 10A, 3 × 100μF or 6 × 47μF		300		μF

動作

はじめに

LTM4641は、固定オン時間の電流モード制御方式を採用している降圧回路構成のレギュレータの他に、スイッチング速度が高速の組み込みパワー MOSFET デバイスやパワー・インダクタを内蔵しています。その最も基本的な構成(図45参照)では、このモジュールは独立した非絶縁型スイッチング・モードのDC/DC降圧電源として動作します。数個の入力コンデンサ、出力コンデンサ、および出力帰還抵抗を外付けすることで、最大10Aの出力電流を供給できます。サポートされている出力電圧範囲は0.6V DC～6V DCです。サポートされている入力電圧範囲は4V～38Vで、最大起動電圧は4.5Vです(全温度範囲)。LTM4641の制御およびハウスキーピング・バイアス入力ピンである V_{INL} に電力を供給する補助バイアス電源を使用可能な場合は、さらに低い入力電圧からの電力変換を実現できます。LTM4641の簡略ブロック図を図1に示します。詳細については、付録Aの図62「機能ブロック図」を参照してください。

目的

産業用、車両用、航空機用、軍用の各アプリケーションでみられる電気系統内でのパルス負荷状態や異常な外乱は、公称24V DC～28V DCの分散バス(28V DCバス)で、激しく変化する電圧トランジェント(サージ)を誘発することがあります。こうした外乱は持続時間が1ミリ秒から1分まで広がる可能性があり、通常状態から逸脱した場合は40Vに達する(または超える)ことや6Vより低い値まで低下することもあります。

スイッチング降圧レギュレータは、小型で、高い効率でDC/DC電力変換を実現できるので、あらゆる分野で関心の対象となる一方で、FMEA(故障モード影響解析)を行うと、入力電源と出力負荷が電氣的に短絡した場合の重大度の格付けおよび影響を減じる方法はないと信じさせる結果が導かれます。しかし、それは本当ではありません。LTM4641は、高電位側のスイッチングMOSFETが短絡した場合でも、過剰な電圧ストレスから負荷を保護することによってこの考え方に挑戦しています。

パワーμModuleレギュレータの信頼性

まず何よりも、リニアテクノロジーのμModule製品は、そのすべての製品で要求されているように、厳しいテストと高い信頼性管理、加工、および製造工程を忠実に実行しています。さらに、その卓越性を実現するための取り組みの一環として、リニアテクノロジー品質管理プログラムでは、動作寿命、高度な加速ストレス、パワー・サイクルや温度サイクル、熱衝撃や機械的衝撃など多数のテストに関係した持続的で定常的な社内テストで得られる累積データを盛り込んだ、LTM4600シリーズ製品の信頼性データ・レポートを定期的に更新しています。最新のレポートを表示するには、<http://www.linear.com/docs/13557>にアクセスしてください。

LTM4641は、数個の外付け部品で高い高圧比を容易にサポートします。追加の保護機能を実装することにより、他のμModuleレギュレータを超える特別な水準を実現できます。

概要

図46に示すように構成すると、LTM4641は4V～38Vの入力電圧範囲(起動時の V_{IN} は最大4.5V)で、0.6V～6Vの範囲の出力電圧を安定化できます。

入力電源ピン(V_{IN})とパワー段入力ピン(V_{INH})の間にオプションのNチャネルパワー MOSFET (MSP)を配置すると、MSPの役割はリセット可能な電源遮断用の電子スイッチになります。MSPのゲートは V_{ING} によって動作し、そのゲート-ソース間電圧は、 V_{INGP} ピンを介して到達する内蔵の15Vツェナー・ダイオードによって確実にクランプされます。スイッチング動作が開始されると、 V_{ING} ピンによって、 V_{INH} ピンの電位より10V高い電位(標準のロジックMOSFETを駆動するのに適した電位)までMSPのゲートが充電されてMSPが導通するようになり、 V_{INH} ピンの電圧は入力電源の電位まで上昇します。MSPがオンすると、スイッチング・レギュレータは V_{INH} ピンの電位を V_{OUT} まで降圧します。RUNピンを“L”にしてスイッチング動作を停止させるか、LTM4641の内部回路によって出力過電圧(OOV)状態などのフォルト状態が検出されると、MSPのゲートは放電され、MSPはオフになります。このため、入力電源はLTM4641のパワー段入力(V_{INH})から切り離されます。

アプリケーション情報—電源機能

電源遮断器としてのMSPの動作は、堅牢なOOV保護に不可欠な要素となります。入力電源からの電流が損傷したパワー段から出力電圧レール上にあるすべての重要な負荷までの経路に流れる手段をMSPが取り除きます。入力電源の入れ直しを行った場合でも同様です。

V_{INH} ノードとパワー段のSWスイッチング・ノードとの短絡に対する強度をいっそう高めるため、必要に応じてロジック・レベルの外付けNチャネルパワーMOSFET (MCB) をパワー・モジュールの出力に(クローバ構成で)配置します。OOV状態が検出されると、CROWBARピンの電圧によって(最大500ns以内に)MCBがオンになり、出力コンデンサを放電して、LTM4641のパワー段に残留しているエネルギーをごく少量の熱に変換します。このエネルギーが熱に変換されない場合に果たす役割は、重要な負荷が存在する出力コンデンサに電荷を注入(し、さらに出力コンデンサの電圧を高く)することだけです。

LTM4641パワー・モジュール内部の制御回路およびモニタ回路は、以下の機能を備えています。

- 高速、高精度のラッチ式出力過電圧検出器 (応答時間:<500ns、しきい値誤差:<±12mV)
- 出力過電圧時クローバ式保護用のNチャネル・パワーMOSFETの駆動
- 非ラッチ式およびリセット可能なラッチ式の入力過電圧シャットダウンしきい値が高精度(<±2.4%)
- 過電圧時に電源を遮断するNチャネルMOSFETの駆動
- 入力UVLO立ち上がりしきい値およびUVLO立ち下がりしきい値が高精度(<±2.4%)
- 調整可能な過熱シャットダウン保護機能を内蔵、リセット可能なラッチ式応答または非ラッチ式(ヒステリシスのある再起動)応答をプログラム可能
- アナログ温度インジケータ出力ピン
- パワーオン・リセットおよびタイムアウト遅延時間を調整可能
- タイムアウト遅延時間の経過後に自律式再起動を実行するよう変更可能なラッチオフ動作
- 大出力電力用に並列接続可能
- POL電圧の差動遠隔検出
- ループ補償回路内蔵
- 出力電流フォールドバック保護

- 選択可能なパルス・スキップ・モード動作
- 出力電圧のソフトスタートおよびレール・トラッキング
- 電源投入後、出力コンデンサから電流を吸い込むことなくプリバイアス状態に移行
- 調整可能なスイッチング周波数
- パワーグッド・インジケータ
- RUNイネーブル・ピン

LTM4641と数個の外付け部品を使用して斬新でシンプルな回路を実現することにより、サージのライドスルー保護や電源遮断MOSFETの過熱検出が可能になります。(たとえば、図47を参照してください。)LTM4641によって可能になる前述の機能は、「アプリケーション情報」セクションの余白に機能ごとに分類して記述しています。

パワー段(V_{INH})およびバイアス(V_{INL})入力ピン

LTM4641のパワー段入力ピン(V_{INH})と制御バイアス入力ピン(V_{INL})は別々に引き出されているので、以下のようなより高度なシステム構成を実現するための自由度を得ることができ、LTM4641の先進の出力過電圧(OOV)保護機能を最大限に利用した負荷の保護(たとえば、表紙の回路図や図46)、基本的な入力サージ・ライドスルー保護の実現(図47)、LTM4641固有のUVLOしきい値より電圧の低い電源レールからの(図49では3.3Vバスから)DC/DCダウン・コンバージョンの実行などがあります。

V_{INH} ピンと V_{INL} ピンの電源を別個のレールから供給する場合は、 V_{INL} ピンの電源を先に投入するか、 V_{INH} ピンと同時に投入することを推奨します。 V_{INL} ピンの電圧の最終値は、 V_{INH} ピンの電圧が3.5Vを超えた2ms以内に3.5V以上になります。 V_{INL} ピンの電圧を V_{INH} ピンの電圧より先に立ち上げるかほぼ同時に立ち上げるかに関する推奨事項は、モジュール・デバイスの信頼性にはまったく関係ありません。正しくは、 V_{INH} ピンに検出可能な電圧が存在する場合は常に、LTM4641の制御セクションがLTM4641のパワー段のMOSFETを確定的に駆動することを保証したいという要望に起因します。 V_{INL} ピンの電圧が V_{INH} ピンの状態に関係なく存在することは常に許容されていますが、 V_{INH} ピンにはUVLO検出機能がないことを理解しておいてください。

制御セクションがドロップアウト状態を介して安定化しようとしていたり、 V_{INH} ピンの電位が0の状態でスイッチング動作が開始されたりしないようにするため、図4のドロップアウト曲線よ

アプリケーション情報—電源機能

り上の領域にカスタムのUVLO立ち下がり設定値を実装することを推奨します(図11も参照)。

図47にはLT3010-5を示していますが、これは V_{INL} ピンにバイアス電圧を供給して、 V_{IN} ピンに80Vのトランジェントが生じても乗り切ることができるようにすることを目的としています。この例では、 V_{IN} に損失が発生した場合に V_{INL} ピン電圧の放電経路を作るD2によって V_{IN} のUVLO検出を実現しています。

V_{INH} ピンと V_{INL} ピンには電源切断順序に関する固有の要件はありませんが、 V_{INH} ピンの電圧が3.5Vより高い場合は、 V_{INL} ピンの電圧を3.5Vより高い電圧に維持することが唯一の条件です。

V_{INL} ピンの電圧と V_{INH} ピンの電圧のシーケンス制御は、図45と図46の回路でLTM4641が元来備えている機能によって処理されます。

図47の回路での V_{IN} と V_{INL} の起動時とシャットダウン時の波形を図2に示します。ただし、 1Ω の出力負荷とTMRピンをINTV_{CC}ピンに接続しています。通常は起動時にパワーオン・リセット(POR)遅延を発生させるタイミング・コンデンサ(C_{TMR})の効果は、TMRピンをINTV_{CC}ピンに接続すれば無効になります。図2で見られる V_{IN} - V_{OUT} 間の起動時遅延時間(約3ms)は、LTM4641のフォルト・モニタ回路のパワーオン・リセット時間と、ソフトスタート時の電圧上昇時間(C_{SS})に起因します。

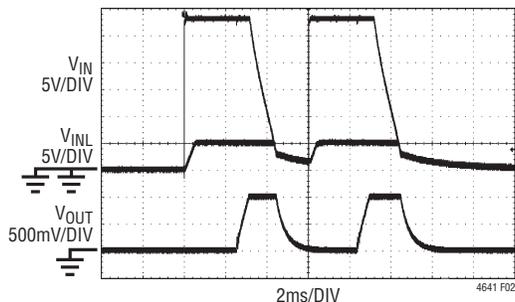


図2. 図47の回路の起動波形とシャットダウン波形。TMRピンをINTV_{CC}ピンに接続して、POR遅延がない場合の V_{IN} ピンと V_{INL} ピンの順序を強調。 1Ω 負荷

スイッチング周波数(オン時間)の選択と電圧ドロップアウトの基準(達成可能な V_{IN} 対 V_{OUT} の降圧比)

LTM4641コントローラは、電流モードの固定オン時間アーキテクチャを採用しています。このアーキテクチャでは、COMPピ

ンの電圧がインダクタの谷電流に対応します。ここでは、内部の高電位側パワーMOSFET(M_{TOP})が、コントローラの I_{ON} ピン電流に比例した時間だけオンになるよう制御ループに要求されます(図1参照)。レギュレーションはパルス周波数変調(PFM)方式で維持されます。負荷トランジェントの上昇時、制御ループはより大きいインダクタ谷電流を指示して、出力電圧の不足を補償します。有効なスイッチング周波数は、出力電圧が通常値(にもかかわらず過電流事象)に戻るまで増加します。負荷トランジェントの下降時、制御ループはより小さいインダクタ谷電流を指示して、出力電圧の超過を補償します。有効なスイッチング周波数は、出力電圧が通常値に戻るまで減少します。制御ループは、同期パワーMOSFETである M_{BOT} がオンのときに、 M_{BOT} の両端に発生する電圧信号を介して電流検出情報を認識します(このことは、一般に業界では $R_{DS(ON)}$ による電流検出と呼びます)。

ワンショット・タイマ(したがって電力制御MOSFETである M_{TOP})のオン時間は、次式により求められます(単位:秒)。

$$t_{ON} = \frac{0.7V \cdot 10pF}{I_{ON}} \quad (1)$$

ここで、 I_{ON} の単位はAです。出力電圧が3Vより高い場合や、レール・トラッキング以外のアプリケーションの場合、外付け抵抗 R_{fSET} は不要であり、 I_{ON} 電流(単位:A)は V_{INL} ピンの電圧(単位:V)および V_{INL} ピン- f_{SET} ピン間にある $1.3M\Omega$ の内部抵抗により単独で設定されます。

$$I_{ON} = \frac{V_{INL}}{1.3M\Omega} \quad (2)$$

このシナリオでの最大負荷時にLTM4641の降圧コンバータ・パワー段の動作のスイッチング周波数は次式により求められます(単位:Hz)。

$$f_{SW} = \frac{V_{OUT}}{0.7V \cdot 1.3M\Omega \cdot 10pF} \quad (3)$$

ここで V_{OUT} は目的の公称出力電圧で、単位はVです。

V_{OUT} を3Vより高い値に設定する場合は、必要に応じて外付け抵抗 R_{fSET} を取り付け、スイッチング周波数を高くすることができます。通常、スイッチング周波数を高くする目的は、出力電圧リップルの低減や出力容量要件の緩和ですが、DC/DC変換効率に中程度の代償が生じます。 R_{fSET} の値を実際にはどの程度低くすることができるかについては、ゼロではない最

アプリケーション情報—電源機能

小オフ時間、ドロップアウト電圧、到達可能な最大の動作スイッチング周波数により、ある程度制限があります。

LTM4641の外付け抵抗 R_{fSET} を V_{INL} ピンと f_{SET} ピンの間に接続してデフォルトのオン時間設定値を減らした場合、 I_{ON} の全電流値は次式で与えられます(単位:A)。

$$I_{ON} = \frac{V_{INL}}{1.3M\Omega} + \frac{V_{INL}}{R_{fSET}} = \frac{V_{INL}}{1.3M\Omega || R_{fSET}} \quad (4)$$

ここで V_{INL} の単位はV、 R_{fSET} の単位は Ω です。 R_{fSET} は、出力電圧 V_{OUT} を3V以下に設定する場合と、レール・トラッキング・アプリケーションの場合に必要です。

LTM4641がサポートする最小オン時間は43ns(標準)ですが、控えめな保護範囲を確保すると75ns(最大)になります。したがって、控えめな設計では t_{ON} を標準で75nsより長くします。式1から、 I_{ON} を93.3 μ Aより小さくなるように設計する必要があります。

外付け抵抗 R_{fSET} を V_{INL} ピンと R_{fSET} ピンの間に接続した場合(で、 V_{INL} と V_{INH} が同じレールから動作している場合(図45および図46))、最大負荷時にパワー段の動作のスイッチング周波数は次式で与えられます(単位:Hz)。

$$f_{SW} = \frac{V_{OUT}}{0.7V \cdot (1.3M\Omega || R_{fSET}) \cdot 10pF} \quad (5)$$

ここで R_{fSET} の単位は Ω 、 V_{OUT} は目的の公称出力電圧で、単位はVです。

たいていの場合、降圧コンバータ・パワー段のスイッチング周波数は次式で与えられます(単位:Hz)。

$$f_{SW} = \frac{V_{OUT}}{V_{INH} \cdot t_{ON}} = \frac{V_{OUT} \cdot I_{ON}}{V_{INH} \cdot 0.7V \cdot 10pF} \quad (6)$$

以下のトピックの詳細な説明については、「付録C」を参照してください。

- V_{INL} ピン- f_{SET} ピン間にある1.3M Ω の内部抵抗単独で得られるスイッチング周波数より高いスイッチング周波数(つまり、 R_{fSET} を使用してオン時間が短くなるよう設定した周波数)でスイッチング・コントローラを動作させる必要があるのはなぜか。

公称の出力電圧を3V以下にするためか。

レール・トラッキング・アプリケーションで使用するためか。

- V_{INL} ピンと V_{INH} ピンを別の電源に接続して動作させた場合

なぜ通常は R_{fSET} を V_{INH} ピンではなく V_{IN} 電源に接続する必要があるのか(図49)。

R_{fSET} を V_{INH} ピンに接続して良いのはどのような場合か(図47)。

図45、図46、図47および図51に示す形のアプリケーション回路の場合、公称の目標出力電圧の関数としての R_{fSET} の最大推奨値と、その R_{fSET} の値に対応して得られる最大負荷時スイッチング周波数については、図3を参照してください。

図3は、与えられた目標出力電圧に対する推奨の最低スイッチング周波数を示すと解釈することもできます。いくつかの一般的な出力電圧に対して推奨されている R_{fSET} の公称値をまとめたものを表1に示します。許容誤差が $\pm 5\%$ 以内で温度係数が $\pm 100ppm/^{\circ}C$ 以内の一般に入手可能な抵抗を使用することを推奨します。

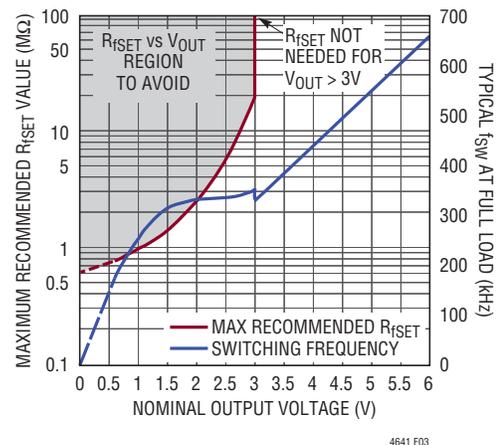


図3. トラッキング以外のアプリケーションでの推奨最大 R_{fSET} (公称値)、および得られる最大負荷動作時のスイッチング周波数と公称出力電圧

アプリケーション情報—電源機能

表1. トラッキング以外のアプリケーションでの推奨の R_{fSET} 抵抗値と出力電圧、および得られる最大負荷時スイッチング周波数(図45、図46、図47および図51の回路と比較)

$V_{OUT(NOM)}$ (V)	R_{fSET} (M Ω) (EIA標準値に最も近い値)	f_{sw} (kHz)
0.6	0.787	175
0.7	0.825	200
0.8	0.887	215
0.9	0.931	235
1.0	1.00	255
1.2	1.13	285
1.5	1.43	315
1.8	2.00	325
2.0	2.55	330
2.5	5.76	335
3.0より高い	∞ (不使用)	図2参照
3.3	∞ (不使用)	360
5.0	∞ (不使用)	550
6.0	∞ (不使用)	660

レール・トラッキング・アプリケーションでは、出力電圧の下降時に、電圧を安定化するために必要な最小の電圧に対応する R_{fSET} の値を使用することを推奨します。たとえば、 V_{OUT} を0.5Vまで下降させるには、図3に従って R_{fSET} を750k Ω (公称) 以下にする必要があります。

たとえば、出力リップルや出力容量の値を低くするのが望ましい場合は、図3および表1に示した R_{fSET} の値よりも小さい値を使用してもかまわないことが多数あります。ただし、以下の3つの指針に注意してください。

- I. 最小オン時間。必ず $I_{ON} < 93.3\mu A$ となるようにしてください。式1と式4を参照してください。
- II. 最小オフ時間とドロップアウト動作。最小オフ時間 ($t_{OFF(MIN)}$) は、LTM4641がそのパワー同期MOSFET (M_{BOT}) をオンして制御ループの電流コンパレータを作動させ、その後 M_{BOT} をオフするために必要な最短の時間です。出力を安定化しながらドロップアウトを防ぐことができる V_{INH} ピンの最小入力電圧(単位: V) は次式により求められます。

$$V_{IN(DROPOUT)} = V_{OUT} \cdot \left(1 + \frac{t_{OFF(MIN)}}{t_{ON}} \right) + R_{PS} \cdot I_{OUT} \quad (7)$$

ここで、

- V_{OUT} は公称出力電圧で、単位はVです。
- $t_{OFF(MIN)}$ は、 M_{TOP} がオフしてから M_{BOT} がオンすることができるまでの最小時間です。控えめな設計では、「電気的特性」の表から得られる300nsという値を使用してください。
- t_{ON} は、電力制御MOSFET (M_{TOP}) のオン時間で、LTM4641の内部制御ICの I_{ON} ピンに流れ込む電流によって設定されます。
- R_{PS} は、 V_{INH} ピンと V_{OUT} ピンの間にあるモジュールのパワー段の直列抵抗です。 $V_{IN} \geq 6V$ の場合、この値は、極端な高温 ($T_J \approx 125^\circ C$) であっても50m Ω 未満です。 $V_{IN} < 6V$ の場合、INTV $_{CC}$ ピン電圧の降下と、対応する M_{TOP} のゲート駆動導通領域の減少により、実効直列抵抗は増加します。プリント回路基板(PCB)、あるいはモジュールの出力を負荷に物理的に接続する銅プレーンや配線に存在するケーブル抵抗によって R_{PS} の実効値は増加します。
- I_{OUT} は V_{OUT} の負荷電流で、単位はAです。

図45、図46、および図47に示す形のアプリケーションの場合、 $3V < V_{OUT} \leq 6V$ の範囲でドロップアウトが発生しないようにするための V_{INH} ピンの許容最小動作電圧を図4に示します。ドロップアウトが実際に発生し、式1および式2によって t_{ON} が V_{INH} の関数として表される場合、これらの曲線は(MSPの電圧降下を無視すると) $V_{IN(DROPOUT)}$ が V_{INH} と等しくなることが分かる結果になっています。DRV $_{CC}$ ピンの電圧が公称値である5.3Vより低い場合(たとえば、 $V_{IN} < 6V$ でDRV $_{CC}$ ピンのバイアス電圧がINTV $_{CC}$ ピンから供給される場合)、 M_{TOP} はそのオン時間中、完全には導通しなくなります。低電位側の入力の R_{PS} へのDRV $_{CC}$ ピン電圧の影響を図4に示します。

- III. 実現可能な最大の f_{sw} 。与えられたオン時間 (t_{ON} 、単位: 秒) に対して実現可能な最大の動作スイッチング周波数(単位: Hz) は、単純に次式に従います。

$$f_{MAX} = \frac{1}{t_{ON} + t_{OFF(MIN)}} \quad (8)$$

ここで、 $t_{OFF(MIN)}$ には控えめな値である300nsを使用できます。

アプリケーション情報—電源機能

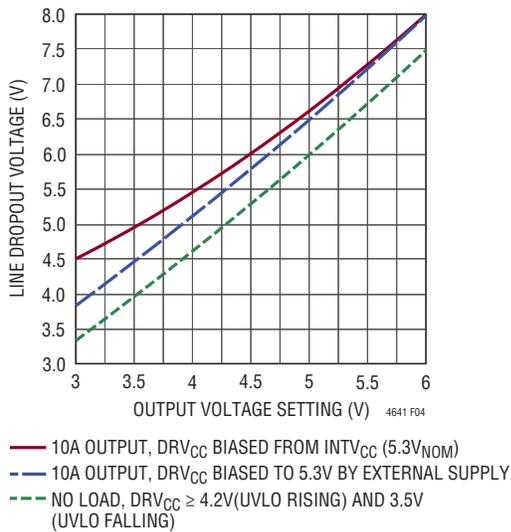


図4. 無負荷時および最大負荷時の入力ドロップアウト電圧と出力電圧。図45、図46および図47の回路のアプリケーション。 R_{ISET} = 開放。 R_{SET1A} 、 R_{SET1B} 、 R_{SET2} の値は、 V_{OUT} を3V以上で安定化させる設定

PFM制御方式では、トランジェント負荷の上昇時に、スイッチング周波数を(最大で f_{MAX} まで)高くしてレギュレーションを維持することから、定常状態の動作周波数 f_{SW} を f_{MAX} より小さい値に設定するのが設計上の目安となります。さらに、LTM4641がドロップアウト動作状態のとき、コンバータのスイッチング周波数は f_{MAX} になります。

制御ループはCOMPピンの電圧を高電位側のレール電圧にして、 M_{TOP} のデューティ・サイクルが可能な最大の値になるよう命令するので、ドロップアウト・シナリオでの動作は回避するのが最善です。COMPピンの電圧がレールの電圧になったとき、入力電圧が十分に高いスルーレートで「上昇に転じる」と、制御ループは十分な入力電圧除去特性を示すことができない可能性があります。

LTM4641のUVLO立ち下がり応答を V_{IN} (DROPOUT) 電圧の計算値より高い値に設定するには、図11を参照してください。こうすると、 $V_{IN} < V_{IN}$ (DROPOUT)の場合にスイッチング動作は停止します。入力電圧リップル、入力電源と V_{INH} ピンの間の入力電圧瞬時低下、さらに電源遮断MOSFET (MSP)を使用する場合、システム設計者はMSP両端での電圧降下を考慮に入れる必要があります。

出力電圧の設定: 差動遠隔検出アンプ

内蔵の差動遠隔検出アンプにより、ポイントオブロード (POL)での高精度レギュレーションが可能になり、システムの出力分散経路での電圧降下が補償されます。LTM4641の全入力範囲、全負荷範囲、および全温度範囲での出力DC電圧の全変動は $\pm 1.5\%$ より良好です。

POLとモジュールの帰還検出ピンの間の基本的な帰還接続を図5に示します。

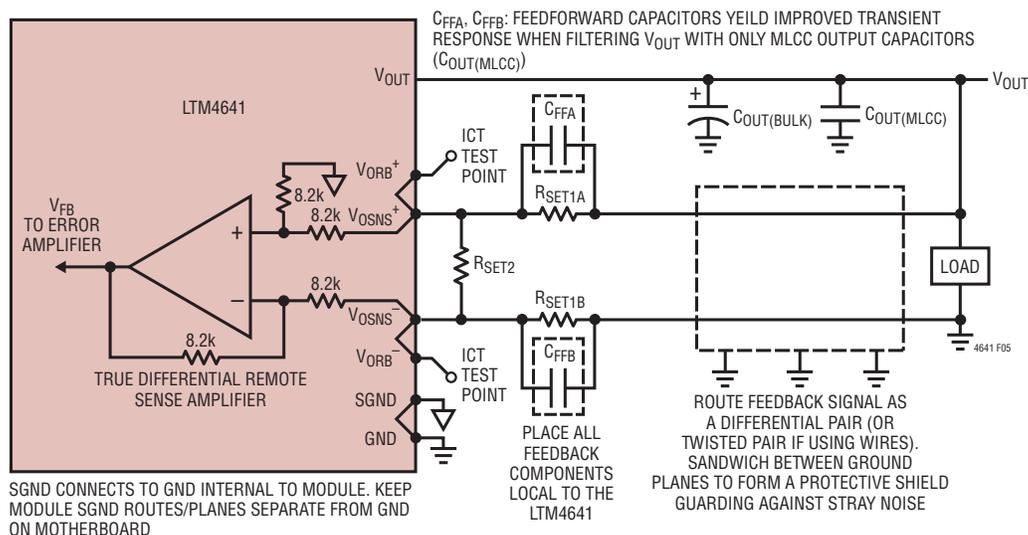


図5. 基本的な帰還遠隔検出接続および技法。出力電圧の設定

アプリケーション情報—電源機能

POLでの出力電圧は、対称的なインピーダンス分割器回路網を介して差動検出されます。図1および図5では、 V_{OSNS}^+ ピン- V_{OSNS}^- ピン間の差動帰還信号電圧が、TRACK/SSピンの電圧とレギュレータの公称バンドギャップ電圧である600mVのうち小さい方の電圧になるように、制御ループが出力電圧を安定化していることが分かります。対称的なインピーダンス分割器回路網での抵抗の配置と値によって出力電圧が設定されます。

遠隔検出ピン(V_{OSNS}^+ 、 V_{OSNS}^-)には、モジュールの内部に読み出しピン(V_{ORB}^+ 、 V_{ORB}^-)への冗長接続があります。読み出しピンは、マザーボードのICT(インサーキット・テスト)時に帰還信号接続の完全性を検査するための手段を提供します。入力電圧の投入前に帰還信号から出力電圧への接続の完全性を検査する重要性を軽視することはできません。たとえば製造時の組み立て不良によって、一方または両方の帰還ピンが電氣的にフロート状態である場合や、遠隔検出ピンが互いに短絡している場合、制御ループ回路および過電圧検出回路は実際の出力電圧状態を認識できません。帰還接続に不備があると、(1)負帰還が行われなくなるため、制御ループが可能な最大のデューティ・サイクルを M_{TOP} に要求する危険性や、(2) LTM4641の保護回路が問題を一切認識しなくなる危険性が極めて高くなります。生産環境では、現代のICTがそうした部品装着エラーや組み立てエラーを容易に検出できます。一方、研究室環境や試作環境では、オーム計が同じ処理をこなすことができます。

MLCCおよび大容量(低ESRタンタルまたはポリマー)出力コンデンサを混在させて使用する多くのアプリケーションでは、 V_{OUT} ピンの出力電圧が1.2V以下の場合、POLの電圧をモジュールに帰還する対称的なインピーダンス分割器回路網を抵抗 R_{SET1A} と R_{SET1B} のみで構成するだけで済みます。 V_{OUT} ピンの出力電圧が1.2Vより高い場合は、 R_{SET2} が必要です。 R_{SET1A} と R_{SET1B} の公称値は常に同じ値になるようにしてください。出力コンデンサがMLCCのみのアプリケーション(以下のページの「出力コンデンサとループの安定性」を参照)では、(公称では値の等しい)フィードフォワード・コンデンサ C_{FFA} および C_{FFB} を、それぞれ R_{SET1A} および R_{SET1B} に電氣的に並列に取り付けるとトランジェント応答が改善されます。

抵抗値のばらつきによって生じる出力電圧誤差がアプリケーションで許容可能となることを保証するには、 R_{SET1A} 、 R_{SET1B} 、および R_{SET2} に対して、許容誤差が0.1%(以内)で、PCBでの動作温度範囲に適した温度係数を持つ抵抗を使用することを推奨します。温度係数が ± 25 ppm/ $^{\circ}\text{C}$ 以内のSMT(表面実装型)抵抗は、市場で簡単に入手できます。

V_{OUT} ピンの出力電圧設定が1.2V以下の場合、 R_{SET2} は必要なく、 R_{SET1A} および R_{SET1B} は次式により求められます。

$$R_{SET1A} = R_{SET1B} = \left(\frac{V_{OUT}}{0.6V} - 1 \right) \cdot 8.2k\Omega \quad (9)$$

V_{OUT} ピンの出力電圧が1.2Vより高い場合、 R_{SET1A} (および R_{SET1B})8.2k Ω に等しくする(か、8.2k Ω がユーザにとって好都合ではない値の場合は、それより低い値にする)必要があり、 R_{SET2} は次式により求められます。

$$R_{SET2} = \frac{2 \cdot R_{SET1A}}{\frac{V_{OUT}}{0.6} - \frac{R_{SET1A}}{8.2k\Omega} - 1} \quad (10)$$

R_{SET1A} (および R_{SET1B})に対して、式9で得られた値より低い値を選択し、次に式10から R_{SET2} に対して有効な値を計算することは、結果として生じる大きい電力損失に耐えられるように R_{SET1A} および R_{SET1B} が設計されている限り、常に許容されます。

V_{OUT} がレギュレーション状態のとき、 V_{OSNS}^+ ピンと V_{OSNS}^- ピンの電圧は、それぞれ

$$V_{VOSNS}^+ = \left(\frac{0.6V}{(8.2k\Omega \parallel R_{SET1A} \parallel R_{SET2})} + \frac{\Delta V_{GND}}{R_{SET1A}} \right) \cdot (R_{SET1A} \parallel 16.4k\Omega) \quad (11)$$

および

$$V_{VOSNS}^- = V_{VOSNS}^+ - 0.6V \quad (12)$$

により求められます。 ΔV_{GND} は、POLでのグラウンドとLTM4641のSGNDピンの間の電圧降下です(単位:V)。この電圧降下は、通常は出力分散経路での $I \cdot R$ による電圧降下の結果がすべてであり、最大負荷電流が流れているときに最大となります。

$$\Delta V_{GND} = V_{GND}(POL) - V_{SGND}(LTM4641) \quad (13)$$

アプリケーション情報—電源機能

R_{SET1A}、R_{SET1B}、およびR_{SET2}が決定したら、次式を使用して出力電圧を再確認してください。

$$V_{OUT} = 0.6V \cdot \left(1 + \frac{R_{SET1A}}{8.2k\Omega} + \frac{2 \cdot R_{SET1A}}{R_{SET2}} \right) \quad (14)$$

一般的な出力電圧に対応するR_{SET1A}、R_{SET1B}、およびR_{SET2}の推奨値を表2にいくつか示します。

表2. 一般的ないくつかの出力電圧に対応するR_{SET1A}、R_{SET1B}、およびR_{SET2}の推奨値を、図5の帰還接続と比較。

V _{OUT}	R _{SET1A} 、R _{SET1B}	R _{SET2}
0.6V	0Ω	∞(不使用)
0.7V	1.37kΩ	∞(不使用)
0.8V	2.74kΩ	∞(不使用)
0.9V	4.12kΩ	∞(不使用)
1.0V	5.49kΩ	∞(不使用)
1.2V	8.2kΩ	∞(不使用)
1.5V	8.2kΩ	33.2kΩ
1.8V	8.2kΩ	16.5kΩ
2.0V	8.2kΩ	12.4kΩ
2.5V	8.2kΩ	7.5kΩ
3.3V	8.2kΩ	4.7kΩ
5.0V	8.2kΩ	2.61kΩ
6.0V	8.2kΩ	2.05kΩ

以下のトピックの詳細な説明については、「付録D」を参照してください。

- 対称的な抵抗回路網を使用する根拠は何ですか。
- 差動検出帰還線をGNDで遮蔽できない場合はどうすべきですか。(帰還信号中の差動ノイズを予想しています)
- モジュールと負荷の距離が大きく(約50cm以上)離れているか、負荷電流がケーブル・アセンブリまたはパワー・コネクタを流れる場合はどうすべきですか。(帰還信号中の同相ノイズを予想しています)

入力コンデンサ

LTM4641モジュールは、ACインピーダンスの低い、公称ではDC出力電圧源への接続が要求されます。MLCC入力バイパス・コンデンサを、できるだけモジュールのすぐ近くに外付けする必要があります(図43参照)。外付けのMOSFET (MSP)

を使用しない場合(図45)は、V_{INH}ピンとGNDピンの間にセラミック・コンデンサ(10μFを2つまたは4.7μFを4つ)を電氣的に接続してください。MSPを使用する場合(図46、図47、および図49)は、MSPをLTM4641のV_{INH}ピンにできるだけ近づけて配置し、MSPのドレインとGNDピンの間にセラミック・コンデンサ(10μFを2つまたは4.7μFを4つ)を電氣的に接続してください(図44を参照)。47μF～100μFの表面実装型大容量コンデンサを使用すると、入力電力のバイパスを補完することができます。また、パワー段のリプル電流を除去するという点で、デバイス付近のセラミック・コンデンサの負担を軽減することができます。モジュールのすぐ近くまで低インピーダンスの電力プレーンを使用してV_{IN}を供給する場合は、入力電源インピーダンスが十分に低くなるので、大容量のコンデンサが不要になります。MLCC(超低ESRの容量)のみでバイパスされた長い入力リード線またはトレース(低ESRのインダクタンス)を配線することによって減衰不足のLC共振タンク回路が形成される場合は、デバイス付近に大容量の入力コンデンサが必要になります。

インダクタのピーク・トゥ・ピークの電流リップルを無視すると、入力コンデンサの実効値電流は次のように概算することができます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta} \cdot \sqrt{D \cdot (1-D)} \quad (15)$$

ここで、ηはLTM4641モジュールの電力変換効率であり、DはM_{TOP}のオン時間のデューティ・サイクルです。大容量コンデンサは、スイッチャ定格のアルミ電解コンデンサ、またはポリマー・コンデンサでもかまいません。

降圧コンバータの場合、M_{TOP}のスイッチング・デューティ・サイクルは次式で概算できます。

$$D = \frac{V_{OUT}}{V_{IN}} \quad (16)$$

出力コンデンサとループの安定性/ループ補償

電流モードの固定オン時間アーキテクチャでは、強制的なトランジェント応答により、入力対出力の降圧比を非常に高くすることができます。また、サイクルごとの高速電流制限および過電流状態でのフォールドバック電流制限も可能です。LTM4641は、あらゆる動作条件で安定性が得られるように内部で補償されています。

アプリケーション情報—電源機能

出力コンデンサ C_{OUT} (BULK) および C_{OUT} (MLCC) としては、実効直列抵抗 (ESR) が十分に低いものを選択して出力電圧のリプル要件を満たす必要があります。また、負荷の近くでバイパスすることも必要です。LTM4641 のトランジェント応答は高速ですが、POL での出力電圧は、 dI/dt の高いトランジェント負荷の上昇時および下降時に、それぞれ最初の数マイクロ秒での瞬時電圧低下やオーバーシュートを最小限に抑えるため、セラミック平滑コンデンサ C_{OUT} (MLCC) に蓄積されたすぐ近くの電荷に依存しています。 C_{OUT} (BULK) を使用する場合は、低 ESR のタンタル・コンデンサか低 ESR のポリマー・コンデンサで構成することができます。これらのコンデンサはトランジェント負荷事象の間、MLCC を再充電するための局所的平滑コンデンサとして機能します。 C_{OUT} (MLCC) のみを使用することも可能ですが、フィードフォワード・コンデンサ (C_{FF}) を遠隔検出帰還経路に取り付けて、最適なトランジェント応答性能が得られるようにしてください (図 5 の帰還接続を参照)。

セラミック・コンデンサ C_{OUT} (MLCC) は X5R 型以上の材質にしてください。PCB の動作温度が 85°C および 125°C を超えない場合は、それぞれ X5R 型および X7R 型の MLCC を推奨します。どちらの材質も、業界ではその全動作温度範囲での容量変化が比較的低い ($\pm 15\%$) ことで有名です。ただし、X5R 型および X7R 型の MLCC は、DC 電圧が加わると容量が大幅に減少し、経年変化の影響を受けやすいので、すべてのシステム設計でそのことを考慮に入れておく必要があります。詳細についてはコンデンサ・メーカーの仕様書を参照してください。

標準的な出力容量範囲は $200\mu\text{F}$ ~ $800\mu\text{F}$ です。システム設計者は、出力リップル (あるいは、動的な負荷事象や入力トランジェント事象の発生時における出力電圧のずれ) をさらに低減することが必要な場合、出力フィルタを追加する必要があるかどうかを慎重に判断する必要があります。

さまざまな動作条件での出力コンデンサの選択指針を表 9 に示します。この表では、トランジェント負荷ステップ性能に合わせて全等価 ESR と全バルク容量が最適化されています。また、安定性の基準が考慮されています。トランジェントのシミュレーションおよび安定性の解析については、必要に応じてリニアテクノロジーの LTpowerCAD™ 設計ツールを使用できます。

パルス・スキップ・モードと強制連続モード

入力電圧源がバッテリーである場合など、軽負荷電流での DC/DC 変換効率が高いことが非常に望ましいアプリケーションでは、パルス・スキップ・モード動作を採用してください。パルス・スキップ・モード動作では、出力コンデンサから入力電源への電流の流れを防止できます。ただし、軽負荷時に結果として生じる M_{BOT} の非同期動作により、パルス・スキップ・モードを使用するアプリケーションでは、強制連続モードで動作する場合よりも出力容量を大きくするか、 OV_{PGM} の設定値を高くすることが必要な場合があるので注意してください。

パルス・スキップ・モードは、FCB ピンを $INTV_{CC}$ ピンに接続することによって作動します。強制連続動作は、FCB ピンを $SGND$ ピンに接続することによって作動します。

パルス・スキップ・モードで、かつ超軽負荷 (たとえば、 20mA より少ない出力電流) の場合は、エネルギーを保持するために、低速でのチャージポンプ動作の結果として V_{ING} ピンの電圧が鋸歯状波形として現れることがあるので注意してください。

パルス・スキップ・モードが機能する仕組みの詳細については、「付録 E」を参照してください。

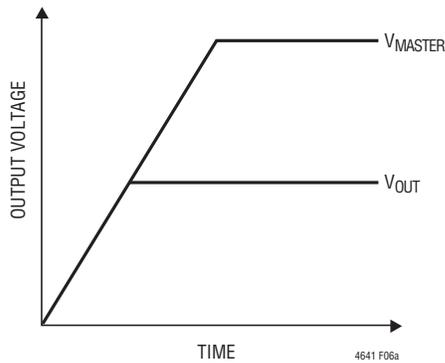
ソフトスタート、レール・トラッキング、およびプリバイアス状態での起動

TRACK/SS ピンを使用すると、LTM4641 レギュレータの出力をソフトスタートさせることも、LTM4641 の出力電圧を別のレールと同時にまたは比例式にトラッキングすることができます。RUN ピンまたは HYST ピンが “L” になると、TRACK/SS ピンは放電されます。RUN ピンまたは HYST ピンが解放されると、TRACK/SS ピンからは μA レベルの電流が流出します。

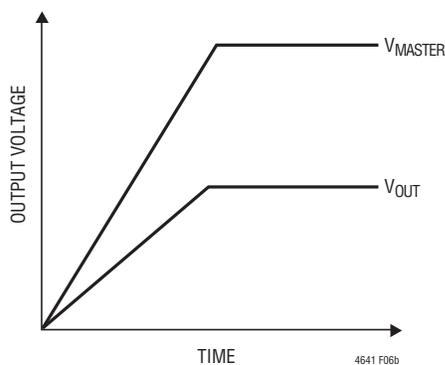
このピンにソフトスタート・コンデンサ (C_{SS}) を取り付けると、電流源により、容量 1nF 当たり 0.6ms の出力電圧ターンオン時間が発生します。TRACK/SS ピンの電圧が遠隔検出差動アンプの出力電圧 V_{FB} を超えるまで、パワー段は高インピーダンス (M_{TOP} および M_{BOT} がオフ) のままです。これにより、出力コンデンサから電流を吸い込むことなく、起動後プリバイアスされた出力電圧状態に移行できます。TRACK/SS ピンの電圧が制御 IC の 600mV バンドギャップ電圧を超えると、 V_{FB} は 600mV で安定化され、 V_{OUT} はその公称出力電圧に達します。

アプリケーション情報—電源機能

LTM4641 の出力 (V_{OUT}) がマスタ・レール (V_{MASTER}) をそれぞれ同時および比例式にトラッキングするアプリケーションの理想化された出力電圧波形を図6に示します。



(6a) 同時トラッキング



(6b) 比例トラッキング

図6. 出力電圧トラッキングの2つの異なるモード

LTM4641 を同時トラッキングまたは比例トラッキング向けに構成するには、(最初に)トラッキング以外のアプリケーションの場合と同様な方法で設計を開始します。

- (1) 最終的な「フルスケール」(FS)出力電圧に適した R_{SET1A} 、 R_{SET1B} 、および R_{SET2} の値を決定します。
- (2) 出力電圧の下降速度が目的の値になるよう保証するのに必要な R_{fSET} 抵抗を決定します。たとえば、マスタ・レールのトラッキング中に V_{OUT} を $0.8V$ に下降させる必要がある場合は、表1から R_{fSET} を約 $887k\Omega$ にすることを推奨します。下降トラッキングが必要ない場合は、表1(または図3)と、LTM4641によって発生したレールのフルスケール出力電圧に従って R_{fSET} を選択することができます。

- (3) トラッキング以外のアプリケーションの場合と同様な方法で、設計回路の出力コンデンサおよび入力コンデンサを選択します。

同時レール・トラッキング要件を満たすには、マスタ・レールの出力電圧がトラッキング・レールの公称フルスケール電圧に達したら、LTM4641 (トラッキング・スレーブ) の TRACK/SS ピンの電圧が $600mV$ になっている必要があることを認識しておいてください。この条件を満たすには、 R_{TAC} と R_{TBC} で構成される抵抗分割器回路網を形成し、 V_{OUT_MASTER} と LTM4641 トラッキング・スレーブの TRACK/SS ピンとのインタフェースをとり、LTM4641 トラッキング・スレーブの SGND ピンを終端します。図7および8では、 $U1$ がマスタ・レールを発生し、 $U2$ はその間に $U1$ の出力に追従する同時トラッキング・レールを発生します。 R_{TAC} と R_{TBC} の値は、次式が成立するように選択します。

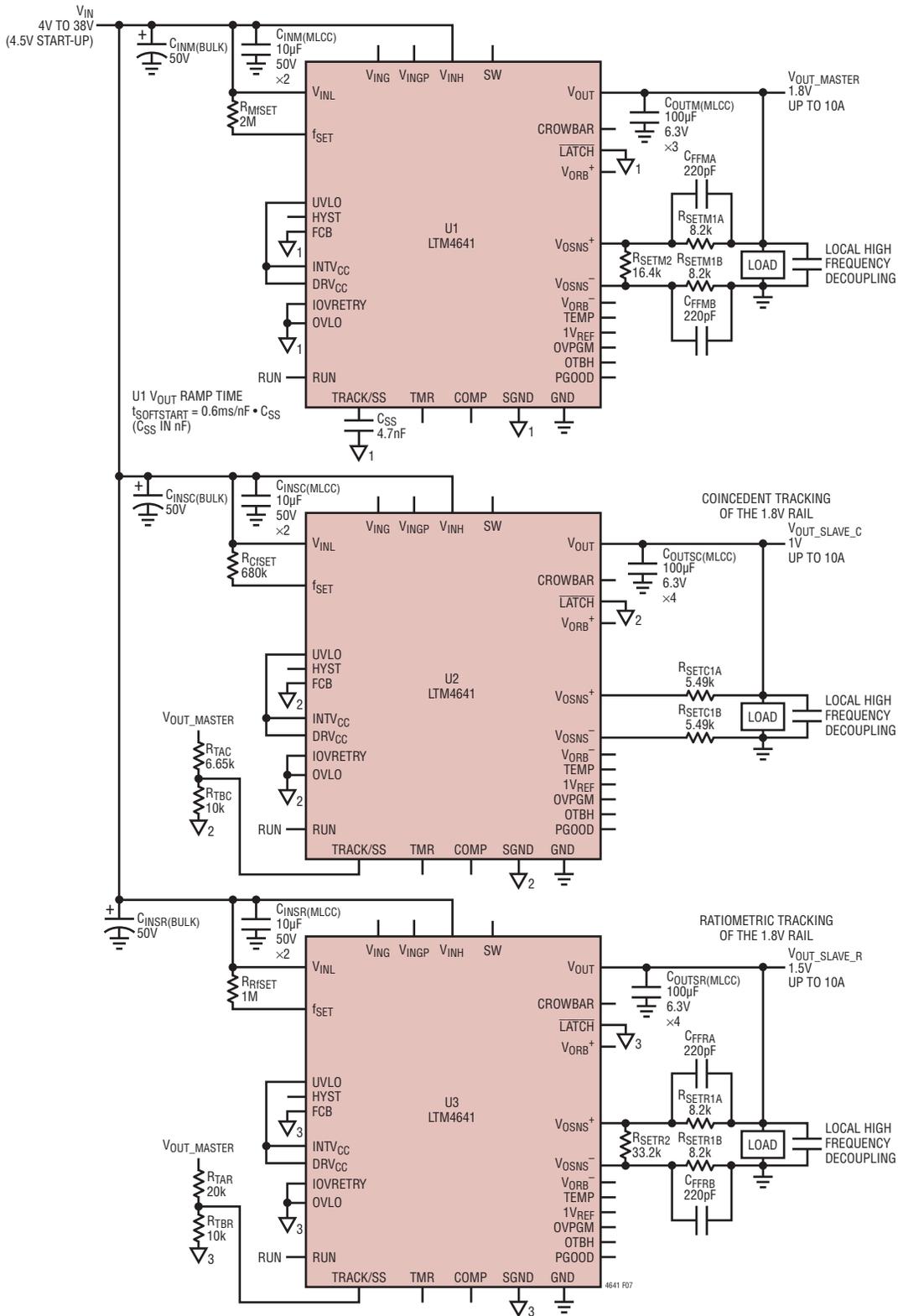
$$R_{TAC} = \left(\frac{V_{OUT_SLAVE_C} (FS \text{ OUTPUT})}{0.6V} - 1 \right) \cdot R_{TBC} \quad (17)$$

図7の回路例では、 $U1$ によって発生したマスタ・レールが $U1$ の出力を $1.8V$ まで上昇させます。同時トラッキング・レールは $U2$ によって発生し、その公称 FS 出力電圧は $1V$ です。 R_{TAC} および R_{TBC} の値は、 $U1$ の出力電圧が $1V$ に達したときに $U2$ の TRACK/SS ピンの電圧が約 $600mV$ に到達するように決定します。 R_{TBC} の値として $10k\Omega$ を選択すると、 $R_{TAC} = (1V/0.6V - 1) \cdot 10k\Omega$ なので、約 $6.65k\Omega$ になります。この作業では $10k$ 以下の抵抗値を選ぶのが一般的なので、TRACK/SS ピンの $1\mu A$ 電流源によって生じる電圧オフセット誤差が R_{TAC}/R_{TBC} 回路網に作用する程度は十分に小さいものとなります。

比例レール・トラッキング要件を満たすには、マスタ・レールの出力電圧がその最終フルスケール値に達したら、LTM4641 (トラッキング・スレーブ) の TRACK/SS ピンの電圧が $600mV$ に達する必要があることを認識しておいてください。この条件を満たすには、 R_{TAR} と R_{TBR} で構成される抵抗分割器回路網を形成し、 V_{OUT_MASTER} と LTM4641 トラッキング・スレーブの TRACK/SS ピンとのインタフェースをとり、LTM4641 トラッキング・スレーブの SGND ピンを終端します。図7および8では、 $U1$ の出力に追従する比例トラッキング・レールを $U3$ が発生します。 R_{TAR} と R_{TBR} の値は、次式が成立するように選択します。

$$R_{TAR} = \left(\frac{V_{OUT_MASTER} (FS_OUTPUT)}{0.6V} - 1 \right) \cdot R_{TBR} \quad (18)$$

アプリケーション情報—電源機能



U1, U2 AND U3 SGND (▽₁,▽₂,▽₃) CONNECT TO GND INTERNAL TO THEIR RESPECTIVE MODULES. KEEP SGND ROUTES/PLANES OF MODULES SEPARATE FROM EACH OTHER AND FROM GND ON MOTHERBOARD

図7. 同時および比例レール・トラッキングを実行している LTM4641 の例。図8の波形と比較

アプリケーション情報—電源機能

図7の回路例では、U1によって発生したマスタ・レールがU1の出力を1.8Vまで上昇させます。比例トラッキング・レールはU3によって発生し、その公称フルスケール出力電圧は1.5Vです。R_{TAR}およびR_{TBR}の値は、U1の出力電圧がその最終値である1.8Vに達したときにU3のTRACK/SSピンの電圧が約600mVに到達するように決定します。R_{TBR}の値として10kΩを選択すると、R_{TAR} = (1.8V/0.6V - 1) • 10kΩなので、約20kΩになります。この作業では10kΩ以下の抵抗値を選ぶのが一般的なので、TRACK/SSピンの1μA電流源によって生じる誤差は十分に小さいものとなります。

図7の回路に従い、V_{OUT_MASTER}に6Ωの負荷を接続し、V_{OUT_SLAVE_C}出力とV_{OUT_SLAVE_R}出力には負荷を接続しないで構成したモジュールの出力電圧波形のオシロスコープ・スナップショットを図8に示します。

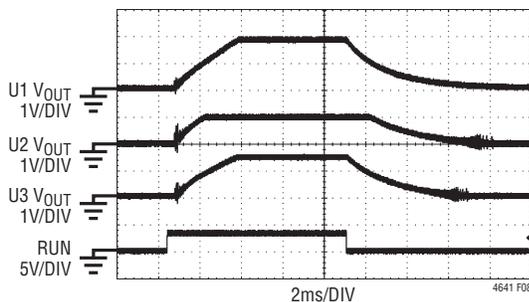


図8. U1、U2およびU3の出力電圧波形。図7の回路と比較。

トラッキングおよびシーケンス制御を必要としないアプリケーションでは、出力電圧の起動時上昇時間が約60μsであることに対応して、TRACK/SSピンに100pF以上を接続することを推奨します。それによって発生するソフトスタート時間により、起動時の入力サージ電流や出力電圧のオーバーシュートが制限されます。

INTV_{CC}とDRV_{CC}

LTM4641モジュールは5.3Vの低ドロップアウト・レギュレータを内蔵しており、その入力にはショットキ・ダイオードを介して低電流の入力電圧バイアス・ピンであるV_{INL}から供給されます。出力であるINTV_{CC}は、制御回路、ハウスキーピング回路、およびMOSFETドライバに電力を供給するために使用され、V_{INL}ピンにバイアスがかかっているときは常に動作しています。

DRV_{CC}は、MOSFETドライバ回路への電源入力ピンです。ほとんどの場合、INTV_{CC}ピンはDRV_{CC}ピンに接続します。INTV_{CC}レギュレータは最大30mAの電流を連続して供給できるので、LTM4641の最も高い推奨スイッチング周波数の場合(V_{OUT}が6Vの状態)でも、DRV_{CC}ピンに供給する電力としては十分です。

LDOでの電力損失は入力電圧が高いと大きくなり、次式により求められます。

$$P_{LOSS}(INTVCC_LDO) = (V_{INL} - 5.3V) \cdot (5mA + I_{DRVCC}) \quad (19)$$

図51の回路に示すように、INTV_{CC}/DRV_{CC}ピンの電圧をショットキ・ダイオードを介してオーバードライブする約5V～6Vのレールが使用できる場合は、この電力損失を仮想的に解消することができます。この理由は、LDOが可能なのはINTV_{CC}ピンの電圧を上昇方向に引き上げることだけであるためです。すなわち、INTV_{CC}ピンの電圧がLDO制御ループのレギュレーション設定値を超えると、直列素子はオフします。この技術を採用することによってパッケージ表面温度が最大で約5°C低下した動作状態を図52～55に赤外線熱画像で示します。INTV_{CC}/DRV_{CC}を補助レール(つまりV_{OUT})でオーバードライブするときは、V_{IN}ピンとV_{INL}ピンの間とINTV_{CC}/DRV_{CC}ピンとV_{INL}ピンの間にダイオードOR接続経路を設けることが重要であることに注意してください。これにより、レール電圧の上昇/下降事象がどのような組み合わせまたは順番であっても、V_{INL}に補助電源(V_{AUX})を接続するかどうかに関係なく、MOSFETドライバの適正な動作が保証されます。LTM4641の内部には直列に接続されたショットキ・ダイオードがあり、これがV_{INL}ピンからLDOに電力を供給するので、V_{INL}ピン電圧の急速な放電と回復が生じた場合でも、MOSFETドライバおよび内部ロジックの適正な動作が保証されます。

DRV_{CC}ピンの電圧をモニタするハウスキーピング回路により、DRV_{CC}ピンの電圧が4.05Vを超えるまでスイッチング動作は停止します。いったんスイッチング動作が開始されると、その後スイッチング動作が停止するまでDRV_{CC}ピンの電圧は3.35Vまで下降できます。DRV_{CC}ピンの電圧モニタは、図12に示すようにグリッチ耐性特性を備えています。

DRV_{CC}ピンの電流は、スイッチング周波数に比例します。出力電圧の起動が極端に高速なアプリケーション(たとえば、TRACK/SSピンのC_{SS}が100pF未満、またはターンオン時間が60μsより短い非常に高速なレールのレール・トラッキング)

アプリケーション情報—電源機能

では、スイッチング周波数が起動時に f_{MAX} に近づくことが予想されますが、それは一時的です(式8参照)。こうしたアプリケーションで DRV_{CC} ピンを $INTV_{CC}$ ピンからバイアスする場合は、 $INTV_{CC}$ ピンにバイパス容量を追加して、 DRV_{CC} ピンに生じる電流サージを乗り切ることが必要です。 $INTV_{CC}$ ピンは、最大 $4.7\mu F$ (許容誤差: $\pm 20\%$)の外付けデカップリング容量でバイパスできます。

1V_{REF}

LTM4641内部のハウスキーピングICは $1V \pm 1.5\%$ のリファレンス電圧を発生します。この電圧リファレンスは、制御ICの600mVバンドギャップ電圧とは独立して発生します。1V_{REF}ピンを使用するのは、高速OOVコンパレータのOV_{PGM}ピンのしきい値プログラミング電圧を変更するか(「高速出力過電圧コンパレータのしきい値」のセクションを参照)、きわめて抵抗値の高いNTC(25°Cで470k、B定数<5000K)を使用した補助の温度検出器を図47に示す方法で実装する場合に限定してください。1V_{REF}ピンに $\pm 100\mu A$ を超える負荷電流を流すことは推奨しません。

1V_{REF}ピンの電圧は起動時に所定の電圧まで素早く立ち上げてOV_{PGM}ピンを適正にバイアスする必要があるため、このピンには容量を外付けしないでください。OV_{PGM}ピンの電圧に対する外乱を最小限に抑えるため、1V_{REF}ピンに動的なステップ負荷をかけるのは推奨しません。0 μA から100 μA までのステップ負荷を100A/sのスルーレートで与えた場合の1V_{REF}ピンのステップ応答と、その結果として生じるOV_{PGM}ピンの電圧波形への影響を図9に示します。

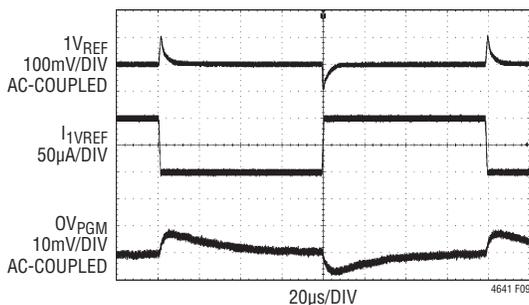


図9. 100A/sで加えられた0 μA ⇄100 μA の負荷ステップに対する1V_{REF}の応答と、結果として得られるOV_{PGM}の外乱および回復。 $V_{IN} = 28V$ での図45の回路。1V_{REF}ピンには独断で負荷を接続しないこと

TEMP、OTBH、および過熱保護

図1で示したように、1V_{REF}ピンとSGNDピンの間に形成されている抵抗とNTCによる分割器回路網により、アナログ温度インジケータ・ピンであるTEMPピンに電圧が発生します。このピンの電圧の公称の測定値は25°C以下で約0.98V、125°Cで約585mVです。接合部温度、NTC抵抗値、およびTEMPピン電圧間の関係を表すグラフを図10に示します。

TEMPピンはコンパレータ入力にも間接的に接続されているので、コンパレータ出力によってHYSTピンを“L”にしてスイッチング動作を停止できます。TEMPピンの電圧が438mV(約147°Cの接合部温度に対応)より低くなると、スイッチング動作は停止します。TEMPピンの電圧が438mVより低いときにOTBHピンがロジック“L”になると、ラッチオフ過熱事象が記録されます。ラッチオフ事象発生後のレギュレーション再開の詳細については、「起動/シャットダウン」のセクションで説明しています。TEMPピンの電圧が438mVより低いときにOTBHピンが開放状態になると、非ラッチ型の過熱事象が記録されます。デバイスの温度が下がり、TEMPピンの電圧が(約136°Cの接合部温度に対応する)514mVより高くなると、スイッチング動作を再開できます。

LTM4641の過熱保護機能は、短時間の過負荷状態の間デバイスを保護することを目的としています。LTM4641の接合部温度は125°Cが絶対最大定格であり、過熱保護回路が作動したときは接合部温度が125°Cを超えていることを認識しておいてください。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがあります。

過熱保護回路は、TEMPピンを1V_{REF}ピンに接続すればディスプレイすることが可能です。リニア回路を適度に解析する場合は、図10および図62の情報(付録A)を使用すると、過熱保護の開始しきい値および回復しきい値を変更できます。必要に応じて、TEMPピンと1V_{REF}ピンの間に抵抗を接続してしきい値を高くするか、TEMPピンとSGNDピンの間に抵抗を接続してしきい値を低くすることができます。過熱保護コンパレータにはフィルタ機能が組み込まれているので、図12に示すグリッチ耐性特性が得られます。

アプリケーション情報—入力保護機能

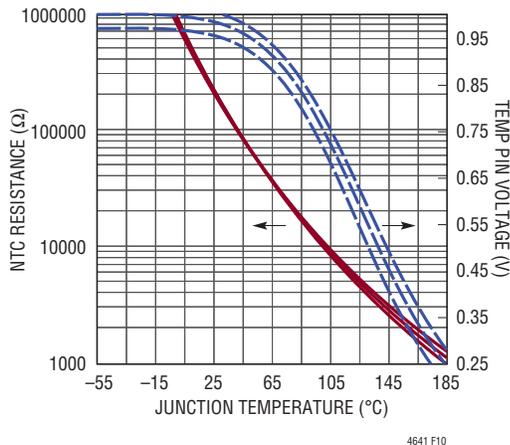


図10. NTC抵抗値と、接合部温度および得られるTEMPピン電圧との関係。公称値と極端な計算値の曲線を示す

入力モニタ・ピン: UVLO、IOVRETRY、OVLO

UVLOピンは、コンパレータの反転入力に直接接続されており、その作動しきい値は0.5Vです。UVLOピンの動作は、非ラッチ型フォルトの一例になっています。UVLOピンの電圧が0.5Vより低くなると、HYSTピンは“L”になり、スイッチング動作は停止します。逆に、UVLOピンの電圧が0.5Vを超えると、HYSTピンはロジック“H”になり、スイッチング動作を再開できます。IOVRETRYピンとOVLOピンは、それぞれ作動しきい値が0.5Vのコンパレータの非反転入力に直接接続されています。IOVRETRYピンの動作も非ラッチ型フォルト・ピンの一例になっています。IOVRETRYピンの電圧が0.5Vを超えると、HYSTピンは“L”になり、スイッチング動作は停止します。逆に、IOVRETRYピンの電圧が0.5Vより低くなると、スイッチング動作を再開できます。OVLOピンの動作はラッチオフ型フォルト・ピンの一例になっています。OVLOピンの電圧が0.5Vを超えると、HYSTピンは“L”になり、スイッチング動作は停止します。その後、OVLOピンの電圧が0.5Vより低くなると、HYSTピンは“L”のままラッチされ、ラッチがリセットされるまでスイッチング動作は再開できません。ラッチオフ事象発生後のレギュレーション再開の詳細については、「起動/シャットダウン」のセクションで説明しています。

これら3つのピンにより、LTM4641のいくつかの動作を調整する柔軟性が加わります。UVLOピンの入力の主な用途は、カスタマイズしたUVLO立ち上がりしきい値およびUVLO立ち下がりしきい値を設定し、HYSTピンへの高インピーダンス接続を使用してヒステリシスを取得することです。LTM4641のデフォルトのUVLO立ち上がりしきい値である4.5Vの立ち上がり時 V_{IN} （最大値）およびデフォルトのUVLO立ち下がりしきい値である4Vの立ち下がり時 V_{IN} （最大値）が適切でないことが

あります。たとえば、カスタマイズしたUVLO設定を適用して、可能性のあるドロップアウト動作の領域に入る前にスイッチングを停止すると便利です(図51)。入力電圧の瞬時低下が問題となる場合は、UVLOのヒステリシスを非常に大きい値に設定することが望ましいことがあります。 V_{INL} ピンを補助レールからバイアスしている場合は、 V_{INH} ピンに電力を供給している電源をモニターするようにUVLOをカスタマイズすることを強く推奨します(図49)。

UVLOピンの入力は、図47に示すような新しい回路解決策を実現する目的にも使用できます。この解決策とは、電源遮断MOSFET (MSP)のすぐ近くに取り付けた外付けのNTCを介して、MSPでの過熱事象を検出することと、MOSFETが通常の温度に戻るまでスイッチング動作を停止してMSPをオフすることにより、MSPの過熱事象に応答することです。

IOVRETRYピンを使用する主な目的は、その電圧を超えるとスイッチング動作が停止するがラッチはオフしない入力電圧(V_{IN})しきい値を設定することです。OVLOピンを使用する主な目的は、その電圧を超えるとスイッチング動作のラッチがオフする入力電圧(V_{IN})しきい値を設定することです。UVLOピンと同様に、IOVRETRYピンおよびOVLOピンも多用途に使用できます。

UVLO/IOVRETRY/OVLOピンの機能の詳細については、「付録A」を参照してください。

V_{IN} とUVLO、HYST、IOVRETRY、OVLOの各ピンを接続する部品の最も一般的な配置を図11に示します。

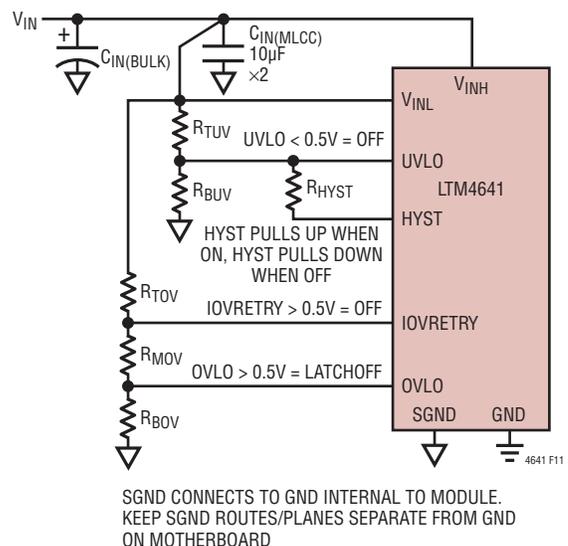


図11. LTM4641のカスタムのUVLO立ち上がりしきい値とUVLO立ち下がりしきい値、非ラッチ型入力過電圧しきい値、およびラッチ型入力過電圧しきい値の設定

アプリケーション情報—入力保護機能

前もって定義する変数は以下のとおりです。

- V_{SU} : V_{IN} の起動電圧(V)。これはカスタマイズしたUVLO立ち上がり電圧です。
- V_{SD} : V_{IN} のシャットダウン電圧(V)。これはカスタマイズしたUVLO立ち下がり電圧です。
- V_{HYST} : スwitching動作がオンになり、入力電圧(V_{IN})が V_{SD} より低くなる直前のHYSTピンの電圧値(V)。
- R_{HYST} : ヒステリシスの設定抵抗。 R_{HYST} を使用する場合は、HYSTピンの電圧が外部の負荷にほとんど影響を受けないように、 $1M\Omega$ 以上の値にすることを推奨します。
- V_{OV} : この電圧を超えるとラッチオフ型の入力過電圧事象が発生する入力電圧。
- V_{RT} : この電圧を超えると非ラッチオフ型の入力過電圧事象が発生する入力電圧。

さらに、 R_{TUV} および R_{BUV} は次式で与えられます。

$$R_{TUV} = \frac{V_{SU} - V_{SD}}{V_{HYST}} \cdot R_{HYST} \quad (20)$$

および

$$R_{BUV} = \frac{UVOV_{TH}}{V_{SU} - UVOV_{TH}} \cdot \frac{R_{TUV}}{R_{HYST}} \quad (21)$$

$UVOV_{TH}$ は、「電気的特性」の表から公称0.5Vです。前記の式で使用した V_{HYST} の値については、より慎重な検討が必要です。図1を見直し、LTM4641を搭載する特定のアプリケーションについてシステムの詳細を評価してください。 $V_{INL} \geq 6V$ のとき $INTV_{CC} = 5.3V$ であることと、switching動作がオンのとき、HYSTピンに現れる電圧は $V_{HYST}(\text{SWITCHING_ON})$ (公称5.1V)であることが「電気的特性」の表から分かります。ただし、RUNピンが3.3Vロジックによって“H”に駆動されていた場合、 V_{HYST} は3.3Vよりショットキ・ダイオードの順方向電圧降下分だけ高い電圧になることに注意してください。その場合の V_{HYST} は3.6Vになります。 V_{SD} の目標値を $V_{IN} = 6V$ より低くする場合は、 V_{HYST} のプルアップ電圧($INTV_{CC}$)が V_{INL} とともに減少することを考慮する必要があります。たとえば、 V_{INL} が4.5V入力の場合、 $INTV_{CC}$ は公称4.3V($V_{INTV_{CC}}(\text{LOWLINE})$)

であり、RUNピンがフロート状態の場合、(そのシナリオでは) V_{HYST} が4.1Vに近づくと推測されます。

UVLOのカスタム設定が必要な場合、高インピーダンス(約 $1M\Omega$)のヒステリシス設定抵抗を使用してHYSTピンとUVLOピンを接続します。理由は、HYSTピンのプルアップ強度($10k\Omega$ のプルアップ抵抗を $INTV_{CC}$ に接続)が比較的弱く、HYSTピンの信号の負荷によるHYSTピンのロジック“H”出力電圧レベルの変動をわずか(約50mV未満)に抑える必要がある為です。

カスタマイズしたUVLOピンの起動入力電圧設定およびシャットダウン入力電圧設定は、以下の式で再確認できます。

$$V_{SU} = UVOV_{TH} \cdot \left(\frac{R_{TUV}}{R_{BUV} \parallel R_{HYST}} + 1 \right) \quad (22)$$

$$V_{SD} = V_{SU} - \frac{V_{HYST}}{R_{HYST}} \cdot R_{TUV} \quad (23)$$

(ラッチ式および非ラッチ式の)入力過電圧しきい値を設定するには、まず、この機能の $R_{TOV}/R_{MOV}/R_{BOV}$ 抵抗分割器列に、きわめて高い入力電圧で継続的に流れる電流(I_{DIV})の量を選択します。10 μA ~ 20 μA が通常の割り当て量です。

抵抗分割器列の全抵抗値は、次式により求められます。

$$R_{TOT} = \frac{V_{OV}}{I_{DIV}} \quad (24)$$

これにより、入力過電圧分割器の抵抗は次式により求められます。

$$R_{BOV} = \frac{R_{TOT} \cdot UVOV_{TH}}{V_{OV}} \quad (25)$$

$$R_{MOV} = UVOV_{TH} \cdot R_{TOT} \cdot \left(\frac{1}{V_{RT}} - \frac{1}{V_{OV}} \right) \quad (26)$$

$$R_{TOV} = R_{TOT} - R_M - R_B \quad (27)$$

まず R_{TOV} の値を確定し、次に R_{MOV} と R_{BOV} を計算するように、これらの式を再整理しようとする気になるかもしれません。しかし、きわめて高い入力電圧を(通常は)高い降圧比によって低い電圧にしてから、しきい値が約0.5Vであるこれらのピン

アプリケーション情報—入力保護機能

に入力するので、 R_{TOV} の値を所定の値に確定した後で R_{MOV} と R_{BOV} の値を四捨五入し、最も近いEIA標準値にすると、 V_{IN} を基準にした過電圧しきい値の一方または両方が、多くの場合大幅に変わります。式24から27までを示した順に計算し、(必要に応じて)好都合な(EIA標準)抵抗値を見つける方向で計算を繰り返す方がより効率的です。

ラッチオフ型の入力過電圧しきい値は、以下の式により再確認できます。

$$V_{OV} = UV_{OV_{TH}} \cdot \left(\frac{R_{TOV} + R_{MOV}}{R_{BOV}} + 1 \right) \quad (28)$$

非ラッチ型の入力過電圧しきい値は、以下の式により再確認できます。

$$V_{RT} = UV_{OV_{TH}} \cdot \left(\frac{R_{TOV}}{R_{MOV} + R_{BOV}} + 1 \right) \quad (29)$$

LTM4641は内蔵のハウスキーピングICによる組み込みフィルタ機能を備えているので、UVLO、IOVRETRY、OVLOの各ピンにフィルタ容量を取り付ける必要はありません。これにより、図12に示す特性を持つグリッチ耐性が得られます。

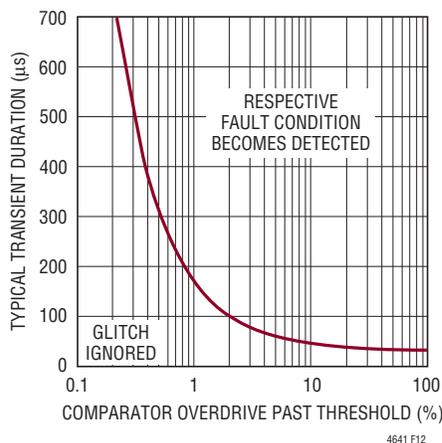


図12. トランジェント期間とコンパレータのオーバードライブ・グリッチ耐性特性。モニタ対象信号: UVLO、IOVRETRY、OVLO、TEMP、CROWBAR、および DRV_{CC} ピンの信号

起動/シャットダウンとRUNイネーブル、パワーオン・リセット時間とタイムアウト遅延時間

LTM4641は、機能が豊富で用途の広い自己完結型のDC/DCコンバータ・システムであり、複数の電源モニタを内蔵しています。ユーザがシステムをカスタマイズできるように、複数のモニタの入力(UVLO、OVLO、IOVRETRY、およびTEMP)が用意されています。

LTM4641は、以下の条件を満たすとその出力を起動します。

- RUNピンの電圧が1.25V(公称、全温度範囲では2V)を超えた場合。パワーオン・リセット(POR)時間およびタイムアウト遅延時間はRUNピンには適用されません。
- すべての非ラッチ型フォルト・モニタ・ピンの動作がPOR遅延時間の全期間にわたって有効な状態にある場合。これは C_{TMR} (TMRピンに接続したコンデンサ)によりオプションで設定されます。明示的なピンと動作上有効なしきい値は、以下の条件に従います。
 - a. $DRV_{CC} > 4.05V$ 。図45および図46の回路では、この条件は V_{INL} が最小で4.5V以上の場合に保証されます。図49では、補助バイアス電源の電圧が4.05Vを超えると、この要件が満たされます。
 - b. $UVLO > 500mV$
 - c. $IOVRETRY < 500mV$
 - d. $TEMP > 514mV$ (OTBHピンが電氣的に開放状態の場合)
- ラッチオフ・フォルト状態が存在せず、LTM4641が、以前に検出されたラッチオフ・フォルト状態からは「ラッチオフ」状態になっていない場合。ラッチオフ・フォルト状態が発生した場合または発生していた場合、LTM4641のラッチはロジック“H”の \overline{LATCH} 信号によって解除する必要があります。 \overline{LATCH} 信号がロジック“L”から“H”へ遷移したときにすべてのラッチオフ・フォルト・モニタ・ピンの動作が有効な状態になっている場合、LTM4641のラッチは直ちに解除されます。そうではなく、 \overline{LATCH} 信号がロジック“H”のときにいずれかのラッチオフ・フォルト・モニタ・ピンがその動作上有効な状態の範囲から外れている場合は、(オプションで C_{TMR} によって設定される)タイムアウト遅延時間の全期間にわたってすべてのラッチオフ・フォルト・モニタ・ピンがその動作上有効な状態になった後に、 \overline{LATCH} 信号がロジック“H”のままである場合、LTM4641のラッチは解除されます。明示的なピンと動作上有効なしきい値は、以下の条件に従います。

- a. $OVLO < 500mV$
- d. $TEMP > 514mV$ (OTBHピンがロジック“L”の場合)
- c. $CROWBAR < 1.5V$

PORおよびタイムアウトの遅延時間は、 C_{TMR} の容量1nF当たり9msです。 C_{TMR} を使用していない場合、PORおよびタイムアウトの遅延時間は約90 μ sです。

アプリケーション情報—負荷保護機能

非ラッチ型のフォルト状態が発生すると、内部回路によって HYST ピンが“L”になり、スイッチング動作は停止します。パワー段は、前述した起動条件を満たすまで高インピーダンスのままです。ラッチオフ型のフォルト状態が発生すると、 $\overline{\text{LATCH}}$ ピンをロジック“H”にして LTM4641 のラッチを解除するか、(INTV_{CC} ピンの電圧を 2V より低くして) V_{INL} の電源を入れ直すまで、HYST ピンは“L”にラッチされ、スイッチング動作は抑制されます。

LTM4641 は、(ラッチオフ動作を示すことなく)調整可能なタイムアウト遅延時間後に自律的に再起動するよう設定できます。こうするには、 $\overline{\text{LATCH}}$ ピンを(たとえば INTV_{CC} ピンに接続して)ロジック“H”の状態のままにしておき、C_{TMR} を使用して一時中断の再試行タイムアウト遅延時間を設定します(図 47 参照)。C_{TMR} を使用すると POR 動作も設定されますが、POR とタイムアウトの遅延タイムは別々に動作することに注意してください。C_{TMR} の影響は、TMR ピンを INTV_{CC} ピンに接続すると無効にすることができます。

以下のいずれかが発生すると、スイッチング動作は停止します。

- RUN ピンの電圧が 1.15V (公称、全温度範囲では 0.8V) より低くなる。フォルトではなく、POR またはタイムアウトの遅延時間は生じない。
- 以下のいずれかの非ラッチ型フォルトが発生する。
 - a. DRV_{CC} ピンの電圧が 3.35V より低くなる。図 45 および図 46 の回路では、この状態になるのは V_{INL} が 4V (最大) より低くなる時です。
 - b. UVLO ピンの電圧が 0.5V より低くなる。
 - c. IOVRETRY ピンの電圧が 0.5V を超える。
 - d. OTBH ピンが電氣的に開放状態のときに TEMP ピンの電圧が 438mV より低くなる。
- 以下のいずれかのラッチオフ型フォルトが発生する。
 - a. OVLO ピンの電圧が 0.5V を超える。
 - b. CROWBAR ピンの電圧が 1.5V を超える。
 - c. OTBH ピンがロジック“L”のときに TEMP ピンの電圧が 438mV より低くなる。

LTM4641 の状態図を「付録 B」に示します。任意の動作シナリオに対する起動およびシャットダウンの仕組みを状態図で示します。TEMP ピンおよび DRV_{CC} ピンにはヒステリシスが組み込まれています。UVLO、IOVRETRY、OVLO、TEMP、CROWBAR、DRV_{CC} の各ピンは、グリッチ耐性が組み込まれたコンパレータに接続されており、図 12 に示す特性を備えています。

過電流フォールドバックによる保護

LTM4641 は、過電流保護 (OCP) 機能を備えています。V_{OUT} と GND が短絡すると、短絡中は内蔵の電流コンパレータしきい値が折り返され、出力電流は通常値の約 3 分の 1 (標準で 24A から 8A に) 累進的に減少します。フォールドバック電流制限から復帰するには、過負荷や低インピーダンスの短絡を解消する必要があります。フォールドバック電流制限動作は、ソフトスタートおよびトラッキングによる起動時はディスエーブルされます。

パワーグッド・インジケータとラッチ式出力過電圧保護

内部の過電圧コンパレータおよび低電圧コンパレータは、出力電圧が公称値の ±10% から外れると、12μs の「ブランキング時間」経過後にオープンドレインの PGOOD 出力のロジック“L”をアサートします。ブランキング時間により、面倒な PGOOD の作動を行うことなく、(大きな負荷ステップ・トランジェントによる)出力電圧の通常値からの短時間の逸脱が可能になります。出力電圧がパワーグッドの範囲内(約 2% ~ 3% のヒステリシスあり)に戻る(または入ると、PGOOD 出力はブランキング時間なしでデアサートされます。帰還電圧が PGOOD の有効な上限を超えると、同期パワー MOSFET (M_{BOT}) が(ブランキング時間なしで)オンし、LTM4641 のパワー・インダクタを経由して出力から GND へ電流を流し込もうとします。この状態は、出力電圧が PGOOD の有効な範囲内に戻るまで続きます。OV_{PGM} ピンで設定した調整可能なしきい値(デフォルト値は公称値より 11% 高い値に対応)を出力電圧が超えると、LTM4641 はその CROWBAR 出力を直ちにロジック“H”にして(応答時間は最大 500ns)、その出力電圧のラッチをオフにします。パワー段は高インピーダンスになり、M_{TOP} と M_{BOT} は両方ともオフしてラッチオフ状態が維持されます。さらに、モジュールのパワー段から入力電圧源を切断するため、MSP のゲートは急速に(応答時間は最大 2.6μs) V_{INH} ピンの電位になります。ラッチオフ事象発生後のレギュレーション再開の詳細については、「起動/シャットダウン」のセクションで説明しています。

出力過電圧の検出時に同期 MOSFET をオンにするという動作は、電源および半導体制御 IC の業界でよく見受けられる、基本的で一般的な種類の出力過電圧保護方式です。この方式は、厳しい負荷電流下降事象の発生時にごく普通の過電圧保護機能を提供できますが、高電位側のパワー・スイッチング MOSFET の短絡など、真のフォルト状態から負荷を保護するという点ではあまり効果的ではありません。さらに、こうした方式は、出力の安定化設定電圧と同じバンドギャップ電圧に

アプリケーション情報—負荷保護機能

依存する過電圧検出器のしきい値を使用して実装する傾向があります。優れた出力過電圧保護および負荷保護を必要とするアプリケーションでは、出力クローバMOSFET (MCB)と電源遮断スイッチ(MSP)、さらにLTM4641が独立したリファレンス電圧($1V_{REF}$)を使用してOOVしきい値を発生することによって達成される性能が必要です。

電源遮断MOSFET (MSP)、CROWBARピンおよび出力クローバMOSFET (MCB)

制御ループ参照帰還信号(V_{FB})が OV_{PGM} ピンの電圧を超える(正または負の OV_{PERR})を超える500ns(最大)以内に、OOV事象が検出され、CROWBAR出力は、 V_{OUT} に接続されているオプションのクローバ動作デバイス(MCB)をオンさせるのに十分な振幅になります。OOV検出後2.6 μ s以内に、 V_{ING} ピンの電圧が放電され、オプションの電源遮断スイッチ(MSP)によってLTM4641のパワー段が入力電圧源から切り離されます。

図46に示すようにMCBとMSPを使用すると、LTM4641は、降圧比の高い降圧コンバータが理論的に受ける可能性がある故障モードのうち、おそらく最も嫌われる故障モードに対して、クラス最高の出力過電圧保護を実現します。そのモードとは、スイッチング・ノードを介した入力電源と出力間の電氣的短絡です。OOVを検出してすぐMCBをオンすると、出力コンデンサを放電しやすくなり、LTM4641のパワー段の残留エネルギーを熱に変換することにより、出力電圧がそれ以上正の方向に逸脱するのを防止できます。その間にMSPをオフすることにより、入力電源と出力の間の電流経路が遮断され、危険な(入力)電圧が重要な負荷に到達しないようになります。

OOV事象が検出されると、CROWBARピンの“H”状態が無期限に維持されるわけではなくなる(言い換えると、MCBはオンのままではなくなる)ことに注意してください。内部回路または外部回路が原因でCROWBARピンが“H”になる(公称で1.5V超)と、ラッチオフ応答と V_{ING} ピン電圧の激しい放電が引き起こされます。CROWBARピンの電圧がグリッチ耐性要件を満たすと、HYSTピンは“L”にラッチされ、スイッチング動作は抑制されます(図12参照)。高速OOVコンパレータの出力は、逆流防止のPNダイオードを介して、CROWBAR出力の10nFのコンデンサに供給されます。CROWBARピンとのインタフェースをとる内部回路は、回路自体を約10k Ω の負荷として表しています(「付録A」の図62参照)。PNダイオードと10nFのコンデンサを使用すると、OOVの期間が非常に短い

場合でも、CROWBAR出力をロジック“H”の状態に維持する手段が生まれ、ラッチオフ検出回路のグリッチ耐性が保証されます。10k Ω の負荷と10nFのコンデンサにより、CROWBARピンの作動後にMCBがオンになる可能性がある期間に上限が設定されます。この値は400 μ s、つまり時定数の4倍です。MCBのゲートに寄生容量があると、この時間が若干長くなる可能性があります。

HYSTピンが“L”の場合は、高速OOVコンパレータの非反転入力(「付録A」参照)がショットキ・ダイオードによってクランプされていることに注意してください。(RUNピンが“L”の場合、高速OOVコンパレータの非反転入力は2つの直列ショットキ・ダイオードによってクランプされています。)これはスイッチング動作が開始される場合とは異なります。その場合、高速OOVコンパレータの非反転入力には、通常 V_{FB} 信号が入力されます。したがって、スイッチング動作が抑制されているとき、CROWBAR出力は名目上抑制されていることに注意してください。

ラッチオフ事象発生後のレギュレーション再開の詳細については、「起動/シャットダウン」のセクションで説明しています。

MCBは、大部分の負荷の近くにある大容量およびMLCCバイパス・コンデンサの近くに配置してください。CROWBARピンは、OOVの検出時にMCBをオンするのに必要なピーク電流の駆動をサポートするために、太めの信号配線幅(20ミル、つまり0.5mm)でMCBのゲートに接続してください。MCBがオンした瞬間に、主に負荷の近くにある出力コンデンサから標準で数百Aの電流が流れます。MCBがオフすると、出力コンデンサとMCBの間の銅プレーンに存在する寄生インダクタンス内で増大している場合がある磁界が瞬時に消滅することができず、その磁界の崩壊によって出力コンデンサおよび負荷の両端に負電圧が発生することがあります。大部分の出力コンデンサにMCBを近づけることによってこの寄生インダクタンスを最小限に抑えることができるので、結果として生じる負電圧スパイクの大きさも抑えられます。

MCBは以下の基準に従って選択する必要があります。

- MCBはロジック・レベルのNチャネルMOSFETにする必要があります。
- MCBのドレイン-ソース間定格は、最大出力電圧(V_{OUT} (PEAK,OOV_DETECTED))より大きくする必要があります。

アプリケーション情報—負荷保護機能

- CROWBAR ピンがロジック“H”になると、MCB のピーク・ドレイン電流は $V_{OUT}(PEAK, OOV_DETECTED)/R_{DS(ON)}$ で求められます。ピーク・ドレイン電流(とその期間)は、MOSFET の最大安全動作領域を超えてはなりません。MOSFET メーカーのデータシートを参照してください。MCB のオン時間の上限は 400 μ s です。ただし、このワーストケースの導通時間となるのは、 V_{OUT} ピンの出力容量が桁違いに大きい場合に限られます。MCB がきわめて高いドレイン電流を導通させる可能性がある時間は、 $4 \cdot R_{DS(ON)} \cdot C_{OUT(TOTAL)}$ によっても制限されます。ほとんどのアプリケーションでは出力容量が十分に小さいので、表紙に示すように、MCB がきわめて高いドレイン電流を導通する時間が数マイクロ秒より長くなることはありません。
- MCB の接合部温度は、いかなるときも規定最大値を超えてはなりません。「単発」の熱トランジェントや「単一パルス」の電力処理能力に関するデバイスの熱特性については、MOSFET メーカーのデータシートを参照してください。MCB が耐えられるピークの電力は、 $V_{OUT}(PEAK, OOV_DETECTED)^2/R_{DS(ON)}$ です。

MCB を使用する場合は、(LTM4641 のラッチを解除するために) \overline{LATCH} ピンが“H”に切り替わるか、(フォルトオフ後に LTM4641 を自動的に起動するために) ロジック“H”を継続的に維持することが予想される場合は、CROWBAR 動作時に MCB によって維持されるピーク電力がもはや単一パルスではない可能性があることを認識しておいてください。したがって、こうしたアプリケーションで MCB に過剰な熱ストレスがかからないようにするには、 C_{TMR} を使用して MOSFET に適切な冷却期間を設定することを推奨します。さらに、MCB の温度が高すぎることが検出されたら LTM4641 をシャットダウンする回路の実装を選択することができます。この回路は図 47 の回路をわずかに変更したもので、(MSP ではなく) MCB のできるだけ近くに RT1 を配置し、R1、R2、および R3 を実験的に決定します。接合部温度の最大定格と、繰り返しパルスによる電力トランジェントに関するデバイスの熱特性については、MOSFET メーカーのデータシートを参照してください。

MSP を使用する場合は、 V_{ING} ピンを V_{INGP} ピンと MSP のゲートに接続してください。MSP を使用する場合は入力バイパス技術については、(前述した)「入力コンデンサ」のセクションを参照してください。

MSP は以下の基準に従って選択する必要があります。

- MSP は標準のロジックまたはロジック・レベルの N チャネル MOSFET のいずれでもかまいません。

- MSP のドレイン-ソース間耐圧は入力電源電圧の最大値より高い必要があります。MOSFET メーカーのデータシートを参照して、温度の影響を考慮してください。
- 出力電圧の非常に速い起動(1ms 以内の電圧上昇)をサポートするため、MSP を素早くオンにして V_{INH} を急速に立ち上げる必要があります。したがって、4.7nF より小さいゲート入力容量(C_{ISS})が望ましい値です(小さいほど望ましい)。
- MSP は、あまり高温になることなく、LTM4641 のパワー段に最大入力電流を導通させることができる必要があります。適切な MOSFET パッケージ・サイズおよび $R_{DS(ON)}$ を選択して、MOSFET の接合部温度上昇が妥当な結果になるようにしてください。 $I_Q(V_{INH})$ は低い入力電圧で動作しているときに最も大きくなることに注意してください。

クローバ動作(短絡)用の SCR を使用して直列入力ヒューズを溶断する過電圧保護方式は、高い出力電圧(5V など)では有効ですが、出力電圧をクランプする場合は、コンバータの出力にクローバ動作用の MOSFET を接続するとより効果的です。同じ電流が流れる場合、パワー MOSFET の電圧降下の方が SCR の PN 接合での電圧降下よりずっと小さくなります。LTM4641 が関与する SCR ベースの回路は、ここには示しません。最終的な結果がユーザの期待に確実に応えられるようにするため、デモ用基板(DC1543 など)で過電圧事象を引き起こすかシミュレーションを行って評価することを推奨します。

高速出力過電圧コンパレータのしきい値

OV_{PGM} ピンは、 $1V_{REF}$ を電源として駆動される、LTM4641 内部の 499k Ω および 1M Ω の抵抗分割器回路網に従って、内部回路により公称 666mV にバイアスされます。このピンは、高速 OOV コンパレータの反転入力に直接接続されており、CROWBAR ピンがロジック“H”になるために制御ループ参照帰還電圧(V_{FB})を超える必要がある作動しきい値を設定しています。TRACK/SS ピンの電圧とバンドギャップ・リファレンス電圧である 600mV のうち小さい方の電圧に V_{FB} が駆動されるように、制御ループのパルス周波数によって M_{TOP} が調整されることを思い出してください。TRACK/SS ピンの電圧(したがって出力電圧)が最終値まで上昇した場合、 OV_{PGM} ピンの電圧が 666mV であることは、OOV の設定値が公称出力電圧より 11% 高いことを表します。OOV しきい値を高くするには、 $1V_{REF}$ ピンと OV_{PGM} ピンの間に抵抗を外付けします。逆に、OOV しきい値を低くするには、 OV_{PGM} ピンと $SGND$ ピンの間に抵抗を外付けします。さらに、 OV_{PGM} ピンの既存(内部)の抵抗分割器に、温度係数が低く、(たとえば)許容誤差が $\pm 0.1\%$ の抵抗で構成した抵抗分割器を並列に接続することに

アプリケーション情報—EMI性能

より、OV_{PGM}ピンの作動電圧をデフォルトの設定より高精度にすることができます。高速 OOV コンバータの作動しきい値を調整するかその範囲を厳しくする方法の詳細については、「付録F」を参照してください。

スイッチング・ノード: SWピン

SWピンは、LTM4641のパワー段にあるパワー MOSFET の中間点に接続されています。

SWピンとGNDピンの間にオプションの直列RC回路網を接続すると、切り替え電流経路内の寄生インダクタンスおよび寄生容量によって発生する高周波(約30MHz以上)のスイッチ・ノード・リングを減衰させることができます。このRC回路網は、寄生成分による共振を減衰(抑制)するのでスナバ(抑制/吸収)回路と呼ばれますが、代償として電力損失が大きくなります。

スナバ回路を使用するには、まず、この課題に割り当てる電力と、スナバ回路を実装するために使用できるPCBの面積を決めます。たとえば、PCBのスペースからは、低インダクタンスの1W抵抗を使用できる場合、600mW (P_{SNUB})まで控えめにディレーティングすると、スナバ回路網のコンデンサ(C_{SW})は次式で計算されます。

$$C_{SW} = \frac{P_{SNUB}}{V_{INH(MAX)}^2 \cdot f_{SW}} \quad (30)$$

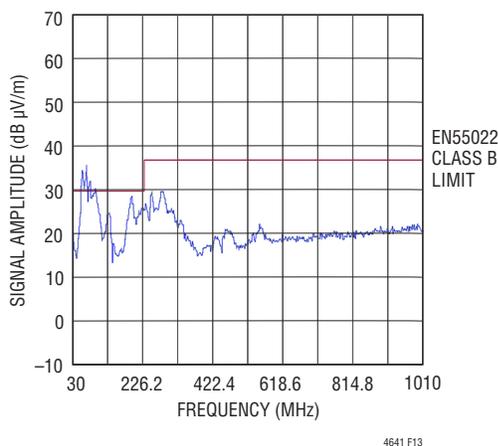


図13. V_{IN} = 12VでV_{OUT} = 5V/10Aを出力するLTM4641の放射妨害波のスクリーン。スナバ回路網を取り付けないDC1543ハードウェア。f_{SW} = 550kHz。C_{IN(BULK)} = 2×100μF、C_{IN(MLCC)} = 4×10μF X7R + 2×4.7μF X7R。10mの電波暗室で測定。準尖頭値検波法

ここで、V_{INH(MAX)}はこのアプリケーションでパワー段の入力(V_{INH})に入力される最大入力電圧であり、f_{SW}はDC/DCコンバータの最大負荷動作時のスイッチング周波数です。C_{SW}は、NPO、COG、またはX7R型(以上)の材質にしてください。

この結果、スナバ抵抗(R_{SW})の値は次式により求められます。

$$R_{SW} = \sqrt{\frac{5nH}{C_{SW}}} \quad (31)$$

スナバ抵抗は低ESLで、スナバ回路に存在するパルス電流に耐えられるものにする必要があります。0.7Ω~4.2Ωの範囲の値が通常です。

(DC1543での) LTM4641のEMI性能をスナバ回路がある場合とない場合で比較し、対照させた結果を図13~16に示します。図に示した例では、スナバ回路網によってEMI信号の振幅が5dB程度減少しています。

SWピンへのアクセスが可能なのは、LTM4641のパワー段の入力(V_{INH})とそのスイッチ・ノードを故意に短絡できるようにするためでもあります。これは、高電位側MOSFETのフォルト状態のシミュレーションを行うときに、LTM4641の性能をハードウェアで評価することが目的です。

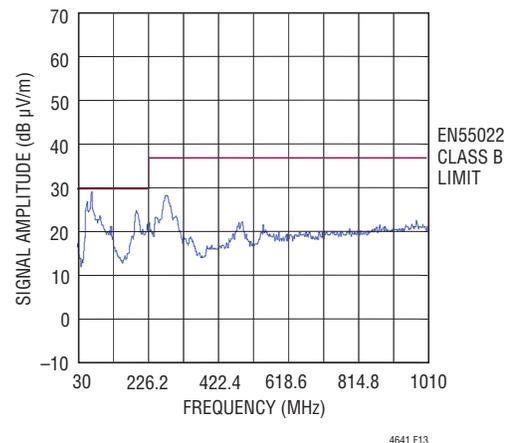
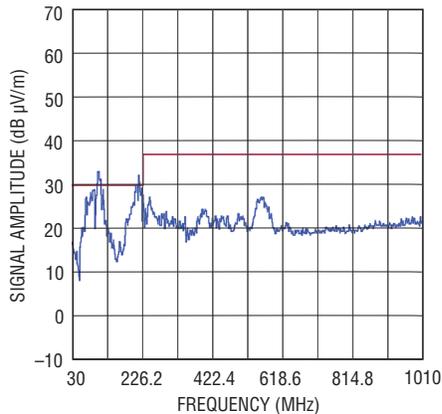


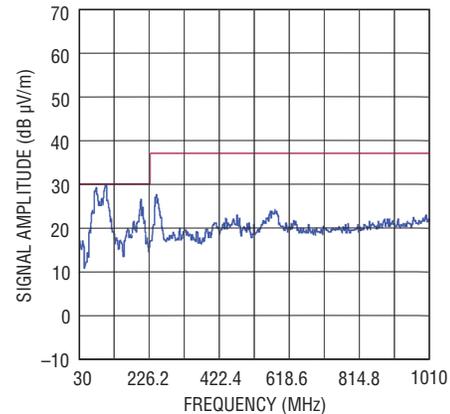
図14. V_{IN} = 12VでV_{OUT} = 5V/10Aを出力するLTM4641の放射妨害波のスクリーン。SWピンのプローブ箇所とGNDピンの間にその場限りのスナバ回路網を直接取り付けたDC1543ハードウェア、C_{SW} = 10nF、R_{SW} = 1Ω(1W定格)、f_{SW} = 550kHz。C_{IN(BULK)} = 2×100μF、C_{IN(MLCC)} = 4×10μF X7R + 2×4.7μF X7R。10mの電波暗室で測定。準尖頭値検波法

アプリケーション情報—EMI性能



4641 F15

図15. $V_{IN} = 24V$ で $V_{OUT} = 2.5V/10A$ を出力するLTM4641の放射妨害波のスキャン。スナバ回路網を取り付けないDC1543ハードウェア。 $f_{sw} = 335kHz$ 。 $C_{IN(BULK)} = 2 \times 100\mu F$ 、 $C_{IN(MLCC)} = 4 \times 10\mu F X7R + 2 \times 4.7\mu F X7R$ 。10mの電波暗室で測定。準尖頭値検波法



4641 F16

図16. $V_{IN} = 24V$ で $V_{OUT} = 2.5V/10A$ を出力するLTM4641の放射妨害波のスキャン。SWピンのプローブ箇所とGNDピンの間にその場限りのスナバ回路網を直接取り付けしたDC1543ハードウェア。 $C_{sw} = 2.2nF$ 、 $R_{sw} = 2.2\Omega$ (1W定格)、 $f_{sw} = 335kHz$ 。 $C_{IN(BULK)} = 2 \times 100\mu F$ 、 $C_{IN(MLCC)} = 4 \times 10\mu F X7R + 2 \times 4.7\mu F X7R$ 。10mの電波暗室で測定。準尖頭値検波法

アプリケーション情報—複数モジュールの並列動作

10Aより大きな負荷電流を必要とする負荷の場合は、複数のLTM4641 デバイスを並列接続することにより、より多くの出力電流を供給できます。4つまたは2つのLTM4641 が並列に動作して、それぞれ40Aまたは20Aの負荷電流を供給する一方で、堅牢な出力過電圧保護を実現する例については、図56および66を参照してください。

LTM4641は位相の交互配置およびクロックの同期をサポートしていないので、モジュールを並列に接続した場合、リップル電流の相殺効果と出力電圧リップル周波数の通倍効果はありません。したがって、並列接続アプリケーションでは出力電圧波形にうなり周波数が含まれており、それは反射入力電流に含まれていることを見込んでおく必要があります。たとえば、あるモジュールが400kHzで自由に動作している間に、並列接続されたその兄弟モジュールが410kHzで自由に動作する場合、伝導EMI成分にはスイッチングの基本周波数(400kHzと410kHz)だけでなく、これらの周波数の差である10kHzのうなり周波数も含まれるようになります。システム設計者は、反射入力電流を減衰することが必要な場合、各LTM4641の入力にLC (π 型) フィルタを外付けする気になるかもしれません。

LTM4641 デバイスは電流モードの制御デバイスなので、並列化モジュールは良好な電流分担を示します。これによって電力損失が釣り合いやすくなるので、並列化モジュール間の熱的な差が減少します。

LTM4641の出力を並列化するときには、以下のピンを対応するLTM4641のすべてのピンに接続してください。

- V_{OUT}
- GND
- V_{INH}
- V_{INL}
- HYST(起動とシャットダウンを同期させるため)
- TRACK/SS
- COMP(電流分担を実現するため)
- CROWBAR(出力過電圧応答を同期させるため)
- \overline{LATCH} (ラッチオフ事象発生後、すべてのモジュールをリセットするため)
- V_{ING} (MSPを使用する場合)

アプリケーション情報—複数モジュールの並列動作

- V_{OSNS}^+ 、 V_{OSNS}^- と差動バスを形成。GND 遮蔽を使用
- V_{OSNS}^- 、 V_{OSNS}^+ と差動バスを形成。GND 遮蔽を使用
- PGOOD (使用する場合)

いずれか1つのモジュールのRUNピンを“L”にすると、すべてのモジュールのHYSTピンが“L”になり、スイッチングと出力電圧レギュレーションが停止します。LTM4641の出力を並列化するとき、(必要に応じて)各モジュールの近くに専用の R_{SET} 抵抗を配置して、出力電圧の設定値と整合したオン時間(I_{ION})を設定する必要があります(表1および図3と比較)。カスタマイズしたUVLO設定、ラッチ型および非ラッチ型の入力過電圧しきい値、および出力過電圧しきい値は、1つのLTM4641のみに設定する必要があります。INTV_{CC}ピンとDRV_{CC}ピンは互いに接続し、モジュールごとに別個にしてください(図56および66参照)。あるいは、DRV_{CC}の電源を補助バイアス・レールから供給する場合は、図51の技法を各モジュールに適用してください。

MSPを使用する場合は、MSPのゲートに接続する必要があるのは1つのV_{INGP}ピンのみです。かなりのループ領域を導入しない限り、MSPのソース・ピンからすべてのモジュールのV_{INH}ピンまでの配線をレイアウト上で完了させるのは困難な可能性があります。したがって、各LTM4641のパワー段の入力にMSP MOSFETを1つ使用して、実用的な配線にすることが必要な場合があります。また、 V_{OSNS}^+ および V_{OSNS}^- から複数のモジュールへの接続を遮蔽するのは実際には困難なので、各モジュールの遠隔検出入力ピンの近くに遠隔検出信号の差動モード・フィルタ回路(C_{DM1}、C_{DM2})を備えておくことを推奨します。

バス化された帰還信号に並列化した遠隔検出アンプの負荷をかけると、出力電圧を設定する式が以下のように変化するので注意してください。

n 個のモジュールを並列化するとき、 V_{OUT} が1.2V以下の場合、次式で与えられる値より大きくならないように R_{SET1A} を選択してください。

$$R_{SET1A} = R_{SET1B} = \left(\frac{V_{OUT}}{0.6V} - 1 \right) \cdot \left(\frac{8.2k\Omega}{n} \right) \quad (32)$$

V_{OUT} が1.2Vより高い場合は、次式で与えられる値より大きくならないように R_{SET1A} を選択してください。

$$R_{SET1A} = R_{SET1B} = \frac{8.2k\Omega}{n} \quad (33)$$

その後、次式に従って R_{SET2} を決めます。

$$R_{SET2} = \frac{2 \cdot R_{SET1A}}{\frac{V_{OUT}}{0.6} - n \cdot \frac{R_{SET1A}}{8.2k\Omega} - 1} \quad (34)$$

出力電圧の設定値は、次式によって再確認できます。

$$V_{OUT} = 0.6V \left(1 + n \cdot \frac{R_{SET1A}}{8.2k\Omega} + \frac{2 \cdot R_{SET1A}}{R_{SET2}} \right) \quad (35)$$

レギュレーション時のモジュールの V_{OSNS}^+ ピンの電圧は次のようになります。

$$V_{VOSNS+} = \left(\frac{0.6V}{\frac{8.2k\Omega}{n} \parallel R_{SET1A} \parallel R_{SET2}} + \frac{\Delta V_{GND}}{R_{SET1A}} \right) \cdot \left(R_{SET1A} \parallel \frac{16.4k\Omega}{n} \right) \quad (36)$$

複数モジュールの並列シナリオでは、 V_{OSNS}^- および ΔV_{GND} は、引き続きそれぞれ式12および13によって求められます。

最後に、TRACK/SSピンの回路網に流れる全充電電流は、 $n \cdot 1\mu A$ になることに注意してください。

アプリケーション情報—熱に関する検討事項および出力電流のディレーティング

熱に関する検討事項および出力電流のディレーティング

データシートの「ピン配置」のセクションに記載されている熱抵抗はJESD51-12で定義されているパラメータと整合しており、有限要素解析(FEA)ソフトウェア・モデリング・ツールを併用することを想定しています。このツールは、熱モデリング、シミュレーションの他に、JESD51-9(“Test Boards for Area Array Surface Mount Package Thermal Measurements”)で定義されているハードウェア・テスト基板に実装した μ Moduleパッケージで実行したハードウェア評価に対する補正の結果を活用します。これらの熱係数を示す目的は、JESD51-12(“Guidelines for Reporting and Using Electronic Package Thermal Information”)に記載されています。

多くの設計者は、さまざまな電気的および環境的動作条件での実際のアプリケーションにおける μ Moduleレギュレータの熱性能を予測するのに、実験室の装置やテスト手段(デモ用基板など)の使用を選択して、FEAの作業を補足することができます。FEAソフトウェアがないと、「ピン配置」セクションに記載されている熱抵抗自体では熱性能の目安を示すことになりません。代わりに、このデータシートで後出のディレーティング曲線を各ユーザのアプリケーション/使用方法に関する見通しと参考情報が得られるやり方で使用することや、ディレーティング曲線を適合させて熱性能をユーザ独自のアプリケーションと対応付けることができます。

「ピン配置」セクションには、JESD 51-12に明示的に定義されている4つの熱係数を示しています。これらの係数について以下に示します。

1 θ_{JA} (接合部から周囲雰囲気までの熱抵抗)は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「静止空気」と呼ばれることがあります。この値は、JESD 51-9で定義されているテストボードに実装したデバイスを使って決定されます。このテストボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。

- 2 $\theta_{JCbottom}$ (接合部から製品のケースの底面までの熱抵抗)は、部品全体の電力損失をパッケージの底面を通して流し出すことによって求めます。標準的な μ Moduleレギュレータでは、熱の大半がパッケージの底面から流出しますが、周囲の環境への熱の流出が必ず発生します。その結果、この熱抵抗値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザのアプリケーションに合致しません。
- 3 θ_{JCtop} (接合部から製品のケースの上面までの熱抵抗)は、部品のほぼ全電力損失がパッケージの上面を通して流し出すことによって求めます。標準的な μ Moduleレギュレータの電気的接続はパッケージの底面なので、接合部からデバイスの上面に熱の大半が流れるようにアプリケーションが動作することは稀です。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザのアプリケーションに合致しません。
- 4 θ_{JB} (接合部からプリント回路基板までの熱抵抗)は、熱の大部分が μ Moduleレギュレータの底部を通して基板に流れ出すときの接合部から基板までの熱抵抗であり、実際には、 $\theta_{JCbottom}$ と、デバイスの底部から半田接合部を通り、基板の一部までの熱抵抗の和です。基板の温度は、両面の2層基板を使って、パッケージからの規定された距離で測定されます。この基板はJESD 51-9に記述されています。

前述した熱抵抗の図解を図17に示します。青の抵抗は μ Moduleレギュレータに内蔵されていますが、緑の抵抗は μ Moduleパッケージの外部にあります。

実際には、JESD51-12または「ピン配置」のセクションで定義されている4種類の熱抵抗パラメータの個々のものまたはサブグループは、 μ Moduleレギュレータの通常の動作条件を再現または表現するものではないことに注意してください。たとえば、通常の基板実装アプリケーションでは、デバイスの全

アプリケーション情報—熱に関する検討事項および出力電流のディレーティング

電力損失(熱)が100%パッケージの μ Moduleパッケージの上面のみを通るか底面のみを通って熱的に伝達されることはありません。これは、 θ_{JCTop} および $\theta_{JCbottom}$ を標準規格で個々に定義しているのと同様です。実際には、電力損失はパッケージの両面から熱的に放散されます。ヒートシンクと空気流がない場合には、当然、熱流の大部分は基板に流れます。

LTM4641の内部では、電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、部品やダイのさまざまな接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確に線形にはなっていないことに注意してください。この複雑な問題をモデリングの簡潔性を犠牲にすることなく、(しかも実用的な現実性を無視せずに)解決するため、制御環境室でのラボ・テストとともにFEAソフトウェア・モデリングを使用するやり方を採用して、このデータシートに記載されている熱抵抗値を合理的に定義して相関をとります。(1)最初に、FEAソフトウェアを使用し、正しい材料係数に加えて正確な電力損失源の定義を使用することにより、LTM4641と指定のPCBの機械的形狀モデルを高精度で作成します。(2)このモデルにより、JESD 51-9およびJESD 51-12に適合するソ

フトウェア定義のJEDEC環境のシミュレーションを行い、さまざまな界面での電力損失熱流と温度測定値を予測します。これにより、JEDEC定義の熱抵抗値を計算できます。(3)モデルとFEAソフトウェアを使用してヒートシンクと空気流がある場合のLTM4641の熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデル内でさまざまな動作条件によるシミュレーションを行った上で、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的には、制御環境室内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。この作業をした上で適切な評価を行うと、このデータシートの後出セクションに示すディレーティング曲線一式に加えて、このデータシートの「ピン配置」のセクションに示す、十分に相関のとれたJESD51-12定義の θ の値が得られます。

図18、19、20の6V、3.3V、1.5Vの電力損失曲線を図21～図42の負荷電流ディレーティング曲線とそれぞれ組み合わせることで、LTM4641の熱抵抗 θ_{JA} をさまざまなヒートシンク条件や空気流条件で概算することができます。これらの熱抵抗は、LTM4641の実証済みの性能をDC1543ハー

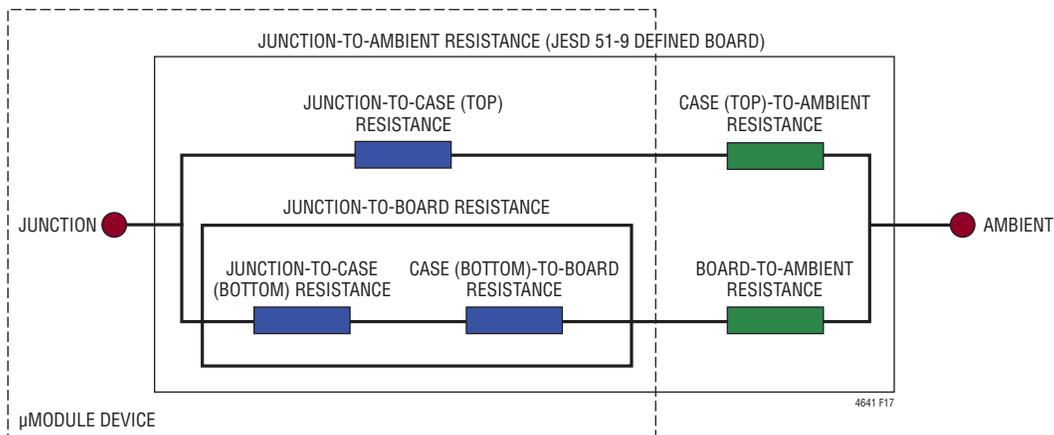


図17. JESD51-12の熱係数の図解

アプリケーション情報—熱に関する検討事項および出力電流のデレーティング

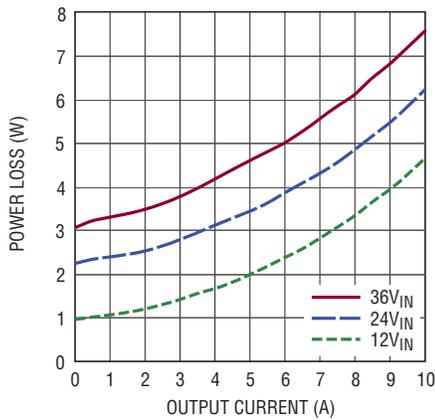
ドウェア上で表しています。寸法が96mm×87mm×1.6mmの4層FR4 PCBの重量は、銅を外側と内側に使用した場合、それぞれ2オンスおよび1オンスです。電力損失曲線は室温で測定されますが、周囲温度に応じた倍数因子によって増加します。これらの近似因子を表3に示します。(中間の温度については、補間法によって因子を計算します。)デレーティング曲線は、10Aの出力電流と40°Cの周囲温度を起点としてプロットされます。出力電圧は6V、3.3V、および1.5Vです。これらの数値が選ばれたのは、低めおよび高めの出力電圧範囲を含むようにして、熱抵抗の相関をとるためです。熱モデルは、制御温度室での数回の温度測定と熱モデリング解析から得られます。接合部温度は、空気流の有無、熱伝導性接着テープによるヒートシンクの取り付けの有無を条件として、周囲温度が高くなる間にモニタされます。表7で評価され(表8に示す熱伝導性接着テープでLTM4641に取り付けられ)ているBGAヒートシンクは、構造および形状因子の点で明らかに異なりますが、層流に十分匹敵する性能が得られます。デレーティング曲線には、周囲温度の変化に応じた電力損失の増加が加味されます。周囲温度の上昇中に出力電流または出力電力を減少させる間、接合部は最大120°Cに維持されます。出力電流が減少することにより、周囲温度が上昇するにつれて内部モジュールの損失は減少します。モニタされている接合部温度である120°Cから周囲動作温度を引くと、許容できるモジュールの温度上昇が規定されます。図38の例では、周囲温度が約81°Cで空気流もヒートシンクもない場合、負荷電流は約8Aにデレーティングされ、入力36V、出力1.5V(8A)というこの条件での電力損失は約3.1Wになります。入力36V、

出力1.5V(8A)の電力損失曲線(図20)から得られる室温での損失が約3.1Wであることと、周囲温度81°Cでの倍数因子が1.205(表3から補間)であることから、3.74Wという損失が算出されます。120°Cの接合部温度から81°Cの周囲温度を差し引き、その差の39°Cを3.74Wで割ると、10.4°C/Wという熱抵抗 θ_{JA} が得られます。この値は表6とよく一致しています。表4、5、6は、空気流とヒートシンクの有無を条件として、6V出力、3.3V出力、および1.5V出力の等価熱抵抗を示しています。表4、5、6で得られるさまざまな条件での熱抵抗を、周囲温度の関数として算出した電力損失で乗算すると、周囲温度からの温度上昇値が得られ、したがって最大接合部温度が得られます。室温での電力損失を「標準的性能特性」セクションの効率曲線から求めて、前述の周囲温度倍数因子で調整することができます。

表3. 電力損失の倍数因子と周囲温度

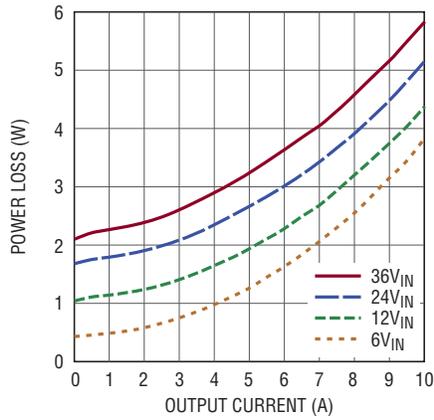
周囲温度	電力損失の倍数因子
40°Cまで	1.00
50°C	1.05
60°C	1.10
70°C	1.15
80°C	1.20
90°C	1.25
100°C	1.30
110°C	1.35
120°C	1.40

アプリケーション情報—熱に関する検討事項および出力電流のデレーティング



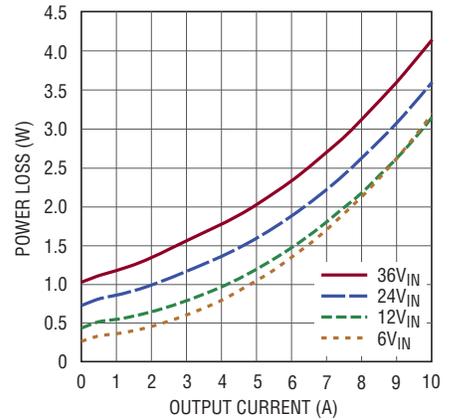
4641 F18

図 18. 6V 出力での電力損失、 $f_{sw} = 660kHz$ (最大負荷時) FCB ピンは SGND ピンに接続



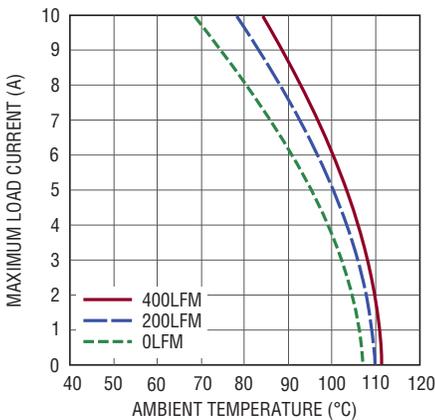
4146 F19

図 19. 3.3V 出力での電力損失、 $f_{sw} = 360kHz$ (最大負荷時) FCB ピンは SGND ピンに接続



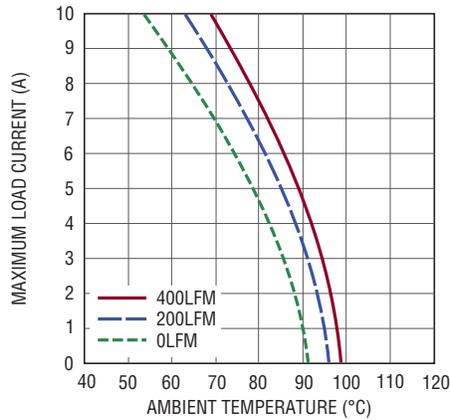
4641 F20

図 20. 1.5V 出力での電力損失、 $f_{sw} = 315kHz$ (最大負荷時) FCB ピンは SGND ピンに接続



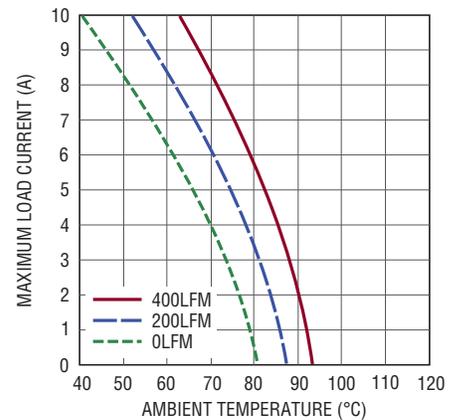
4146 F21

図 21. $V_{IN} = 12V$, $V_{OUT} = 6V$ 、ヒートシンクなし、 $f_{sw} = 660kHz$ (最大負荷時)



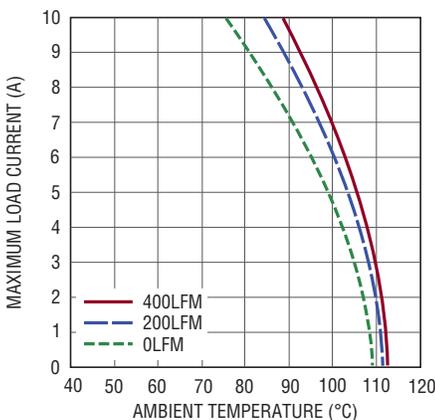
4146 F22

図 22. $V_{IN} = 24V$, $V_{OUT} = 6V$ 、ヒートシンクなし、 $f_{sw} = 660kHz$ (最大負荷時)



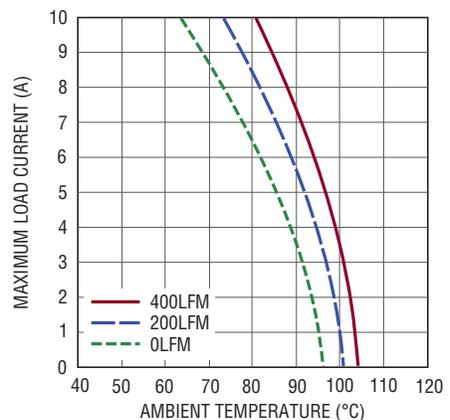
4146 F23

図 23. $V_{IN} = 36V$, $V_{OUT} = 6V$ 、ヒートシンクなし、 $f_{sw} = 660kHz$ (最大負荷時)



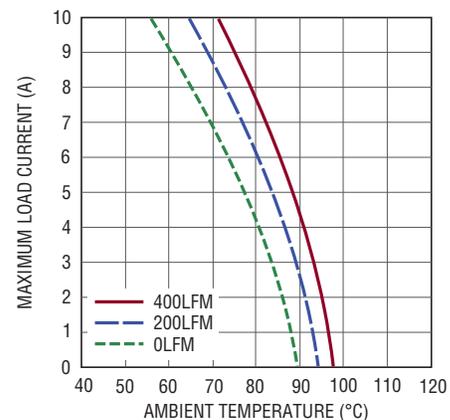
4146 F24

図 24. $V_{IN} = 12V$, $V_{OUT} = 6V$ 、ヒートシンクあり、 $f_{sw} = 660kHz$ (最大負荷時)



4146 F25

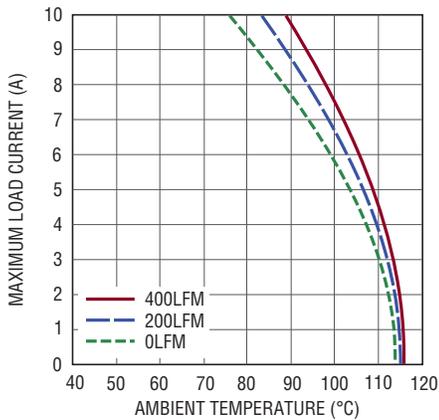
図 25. $V_{IN} = 24V$, $V_{OUT} = 6V$ 、ヒートシンクあり、 $f_{sw} = 660kHz$ (最大負荷時)



4146 F26

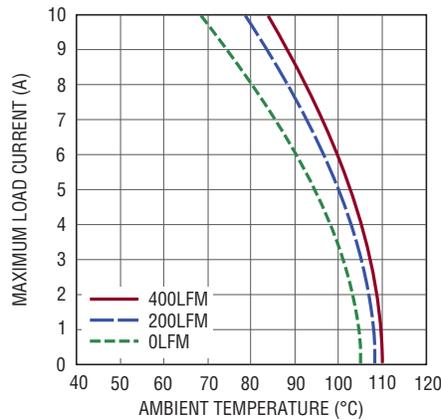
図 26. $V_{IN} = 36V$, $V_{OUT} = 6V$ 、ヒートシンクあり、 $f_{sw} = 660kHz$ (最大負荷時)

アプリケーション情報—熱に関する検討事項および出力電流のデレーティング



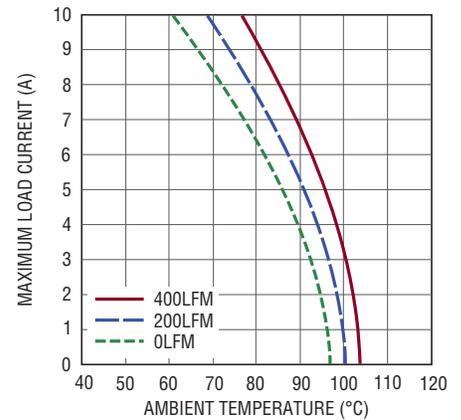
4146 F27

図 27. $V_{IN} = 6V$, $V_{OUT} = 3.3V$ 、ヒートシンクなし、 $f_{sw} = 360kHz$ (最大負荷時)



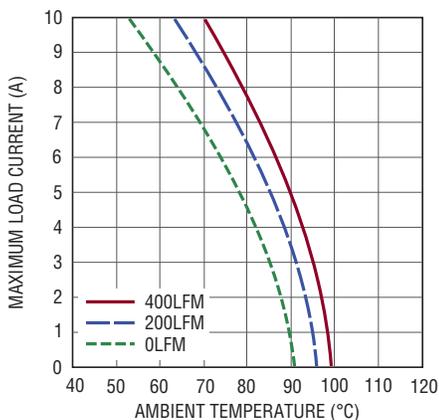
4146 F28

図 28. $V_{IN} = 12V$, $V_{OUT} = 3.3V$ 、ヒートシンクなし、 $f_{sw} = 360kHz$ (最大負荷時)



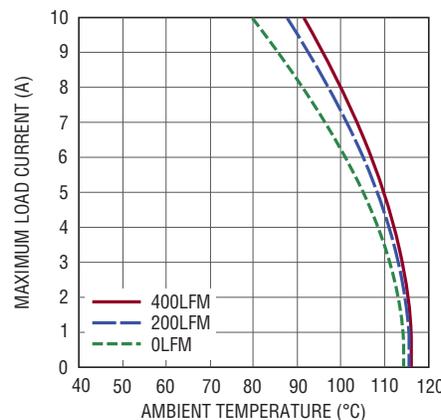
4146 F29

図 29. $V_{IN} = 24V$, $V_{OUT} = 3.3V$ 、ヒートシンクなし、 $f_{sw} = 360kHz$ (最大負荷時)



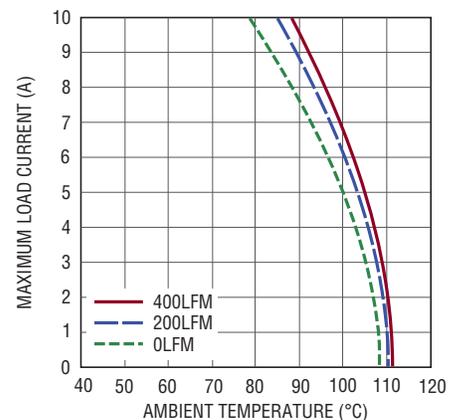
4146 F30

図 30. $V_{IN} = 36V$, $V_{OUT} = 3.3V$ 、ヒートシンクなし、 $f_{sw} = 360kHz$ (最大負荷時)



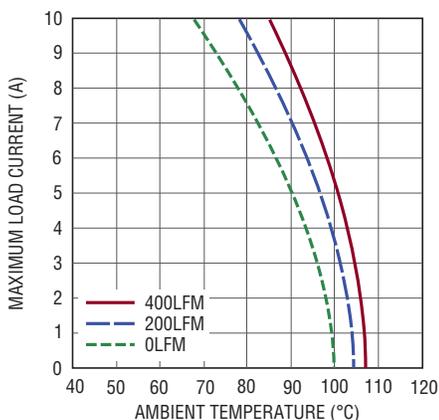
4146 F31

図 31. $V_{IN} = 6V$, $V_{OUT} = 3.3V$ 、ヒートシンクあり、 $f_{sw} = 360kHz$ (最大負荷時)



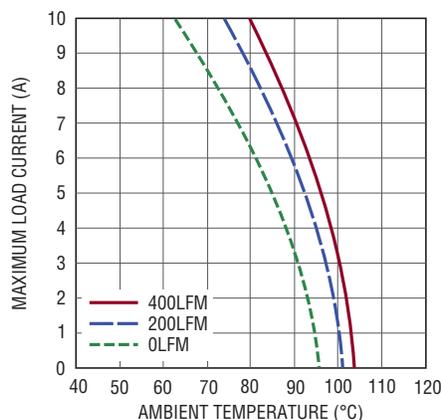
4146 F32

図 32. $V_{IN} = 12V$, $V_{OUT} = 3.3V$ 、ヒートシンクあり、 $f_{sw} = 360kHz$ (最大負荷時)



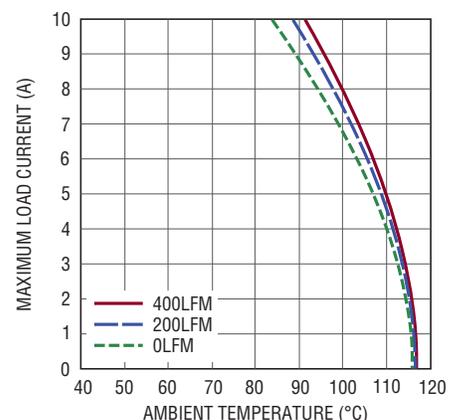
4146 F33

図 33. $V_{IN} = 24V$, $V_{OUT} = 3.3V$ 、ヒートシンクあり、 $f_{sw} = 360kHz$ (最大負荷時)



4146 F34

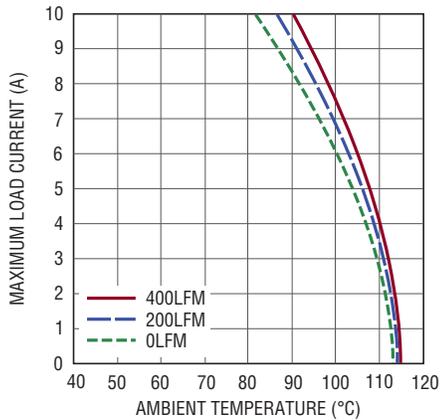
図 34. $V_{IN} = 36V$, $V_{OUT} = 3.3V$ 、ヒートシンクあり、 $f_{sw} = 360kHz$ (最大負荷時)



4146 F35

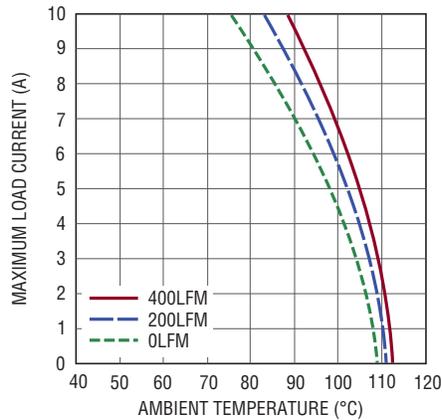
図 35. $V_{IN} = 6V$, $V_{OUT} = 1.5V$ 、ヒートシンクなし、 $f_{sw} = 315kHz$ (最大負荷時)

アプリケーション情報—熱に関する検討事項および出力電流のディレーティング



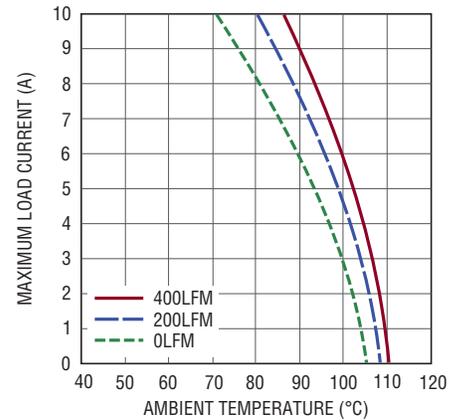
4146 F36

図 36. $V_{IN} = 12V$, $V_{OUT} = 1.5V$, ヒートシンクなし, $f_{sw} = 315kHz$ (最大負荷時)



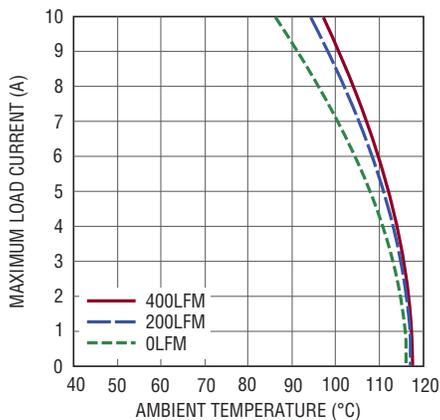
4146 F37

図 37. $V_{IN} = 24V$, $V_{OUT} = 1.5V$, ヒートシンクなし, $f_{sw} = 315kHz$ (最大負荷時)



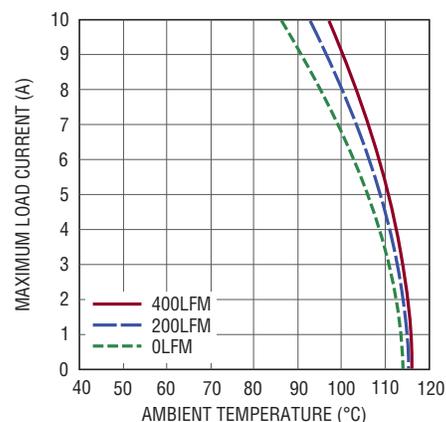
4146 F38

図 38. $V_{IN} = 36V$, $V_{OUT} = 1.5V$, ヒートシンクなし, $f_{sw} = 315kHz$ (最大負荷時)



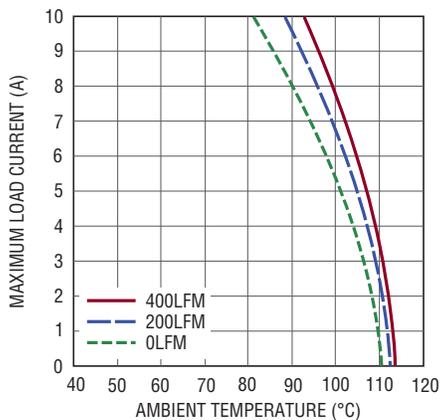
4146 F39

図 39. $V_{IN} = 6V$, $V_{OUT} = 1.5V$, ヒートシンクあり, $f_{sw} = 315kHz$ (最大負荷時)



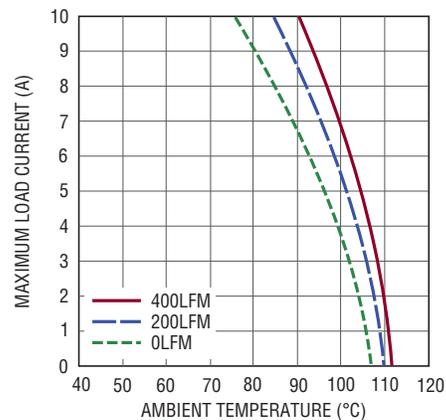
4146 F40

図 40. $V_{IN} = 12V$, $V_{OUT} = 1.5V$, ヒートシンクあり, $f_{sw} = 315kHz$ (最大負荷時)



4146 F41

図 41. $V_{IN} = 24V$, $V_{OUT} = 1.5V$, ヒートシンクあり, $f_{sw} = 315kHz$ (最大負荷時)



4146 F42

図 42. $V_{IN} = 36V$, $V_{OUT} = 1.5V$, ヒートシンクあり, $f_{sw} = 315kHz$ (最大負荷時)

アプリケーション情報—熱に関する検討事項および出力電流のデレーティング

表4. 6V出力、スイッチング周波数は公称660kHz(最大負荷時)

デレーティング曲線	V _{IN}	電力損失曲線	空気流(LFM)	ヒートシンク	θ _{JA} (°C/W)
図21～図23	12V、24V、36V	図18	0	なし	10.1
図21～図23	12V、24V、36V	図18	200	なし	8.2
図21～図23	12V、24V、36V	図18	400	なし	6.8
図24～図26	12V、24V、36V	図18	0	BGAヒートシンク	8.1
図24～図26	12V、24V、36V	図18	200	BGAヒートシンク	6.5
図24～図26	12V、24V、36V	図18	400	BGAヒートシンク	5.5

表5. 3.3V出力、スイッチング周波数は公称360kHz(最大負荷時)

デレーティング曲線	V _{IN}	電力損失曲線	空気流(LFM)	ヒートシンク	θ _{JA} (°C/W)
図27～図30	6V、12V、24V、36V	図19	0	なし	10.4
図27～図30	6V、12V、24V、36V	図19	200	なし	8.4
図27～図30	6V、12V、24V、36V	図19	400	なし	7.1
図31～図34	6V、12V、24V、36V	図19	0	BGAヒートシンク	8.6
図31～図34	6V、12V、24V、36V	図19	200	BGAヒートシンク	6.8
図31～図34	6V、12V、24V、36V	図19	400	BGAヒートシンク	5.8

表6. 1.5V出力、スイッチング周波数は公称315kHz(最大負荷時)

デレーティング曲線	V _{IN}	電力損失曲線	空気流(LFM)	ヒートシンク	θ _{JA} (°C/W)
図35～図38	6V、12V、24V、36V	図20	0	なし	10.3
図35～図38	6V、12V、24V、36V	図20	200	なし	8.4
図35～図38	6V、12V、24V、36V	図20	400	なし	7.2
図39～図42	6V、12V、24V、36V	図20	0	BGAヒートシンク	9.0
図39～図42	6V、12V、24V、36V	図20	200	BGAヒートシンク	7.0
図39～図42	6V、12V、24V、36V	図20	400	BGAヒートシンク	5.8

表7. ヒートシンクのメーカー(熱伝導性接着テープを事前に装着済み)

ヒートシンク・メーカー	製品番号	Webサイト
Wakefield Engineering	LTN20069	www.wakefield.com
Aavid Thermalloy	375424B00034G	www.aavid.com

表8. 熱伝導性接着テープのメーカー

熱伝導性接着テープ・メーカー	製品番号	Webサイト
Chomerics	T411	www.chomerics.com

アプリケーション情報—出力容量の表

表9. トランジェント性能(標準値)と推奨出力容量図45および図46の回路

V _{OUT}	C _{OUT} (MLCC)		C _{OUT} (BULK)	
	メーカー	製品番号	メーカー	製品番号
≤ 3.3V	AVX	12106D107MAT2A(100μF、6.3V、ケース・サイズ:1210) 12066D226MAT2A(22μF、6.3V、ケース・サイズ:1206)	三洋電機 POSCAP	6TPE680MI (680μF、6.3V、ESR:18mΩ、ケース・サイズ:D4)
	太陽誘電	JMK325BJ107MM-T(100μF、6.3V、ケース・サイズ:1210) JMK316BJ226ML-T(22μF、6.3V、ケース・サイズ:1206)		
	TDK	C3225X5R0J107MT(100μF、6.3V、ケース・サイズ:1210) C3216X5R0J226MT(22μF、6.3V、ケース・サイズ:1206)		
> 3.3V	AVX	1206YD226MAT2A(22μF、16V、ケース・サイズ:1206)	三洋電機 POSCAP	10TPF150ML (150μF、10V、ESR:15mΩ、ケース・サイズ:D3L)
	太陽誘電	LMK316BJ476ML-T(47μF、10V、ケース・サイズ:1206) EMK316BJ226ML-T(22μF、16V、ケース・サイズ:1206)		
	TDK	C3216X5R1A476M(47μF、10V、ケース・サイズ:1206) C3216X5R1C226M(22μF、16V、ケース・サイズ:1206)		

V _{OUT} (V)	V _{IN} (V)	R _{ISSET} (MΩ)	R _{SET1A} 、 R _{SET1B} (kΩ)	R _{SET2} (kΩ)	C _{IN} (セラミック)	C _{IN} * (バルク)	C _{OUT2} (セラミック)	C _{OUT1} (バルク)	C _{FFA} 、 C _{FFB}	負荷 ステップ のスルー レート (A/μs)	トランジェント 時低下電圧、 負荷ステップ: 0A~5A(mV)	トランジェント時 低下電圧(ピーク・ トゥ・ピーク)、 負荷ステップ: 0A~5A~0A (mV _{PK-PK})	回復時間 (μs)
0.9	5、12、24、36	0.931	4.12	–	2×10μF	100μF	3×22μF	680μF	–	5	60	130	25
0.9	5、12、24、36	0.931	4.12	–	2×10μF	100μF	4×100μF	–	–	5	60	140	25
1	5、12、24、36	1.00	5.49	–	2×10μF	100μF	3×22μF	680μF	–	5	65	135	25
1	5、12、24、36	1.00	5.49	–	2×10μF	100μF	4×100μF	–	–	5	70	150	25
1.2	5、12、24、36	1.13	8.2	–	2×10μF	100μF	3×22μF	680μF	–	5	70	140	25
1.2	5、12、24、36	1.13	8.2	–	2×10μF	100μF	4×100μF	–	–	5	80	170	30
1.5	5、12、24、36	1.43	8.2	33.2	2×10μF	100μF	3×22μF	680μF	–	5	75	155	30
1.5	5、12、24、36	1.43	8.2	33.2	2×10μF	100μF	4×100μF	–	220pF	5	90	190	30
1.8	5、12、24、36	2.00	8.2	16.5	2×10μF	100μF	3×22μF	680μF	–	5	80	170	40
1.8	5、12、24、36	2.00	8.2	16.5	2×10μF	100μF	3×100μF	–	220pF	5	100	215	30
2.5	5、12、24、36	5.76	8.2	7.5	2×10μF	100μF	3×22μF	680μF	–	5	100	230	50
2.5	5、12、24、36	5.76	8.2	7.5	2×10μF	100μF	3×100μF	–	220pF	5	140	290	30
3.3	5、12、24、36	–	8.2	4.7	2×10μF	100μF	3×22μF	680μF	–	5	140	275	60
3.3	5、12、24、36	–	8.2	4.7	2×10μF	100μF	3×100μF	–	100pF	5	200	420	30
5	12、24、36	–	8.2	2.61	2×10μF	100μF	2×22μF	150μF	220pF	5	220	450	50
5	12、24、36	–	8.2	2.61	2×10μF	100μF	3×47μF	–	100pF	5	250	570	30
6	12、24、36	–	8.2	2.05	2×10μF	100μF	2×22μF	150μF	220pF	5	240	500	55
6	12、24、36	–	8.2	2.05	2×10μF	100μF	3×47μF	–	100pF	5	300	660	30

* バルク容量はV_{IN}の入力インピーダンスが非常に低い場合のオプション。

アプリケーション情報—安全およびレイアウト上の参考情報

安全性に関する検討事項

LTM4641 モジュールでは V_{IN} と V_{OUT} がガルバニック絶縁されていません。内部にヒューズはありません。ヒューズ機能が必要な場合は、最大入力電流の2倍の定格を持つ溶断時間の長いヒューズを用意する必要があります。LTM4641 は過電流保護機能と2種類の過電圧保護機能をサポートしています（「パワーグッド・インジケータとラッチ式出力過電圧保護」のセクションを参照）。

レイアウトのチェックリスト/例

LTM4641 は集積度が高いので、プリント回路基板のレイアウトは非常に簡単明瞭になります。ただし、電気的性能と熱的性能を最適化するには、レイアウトについていくつか検討することが必要です。図43と図44は、それぞれ図45と46に示す回路の推奨レイアウトを示します。

- ランド・パターンやステンシルの設計については、以下の資料 (<http://www.linear.com/docs/40146>) を参照してください。
- デモ用基板 DC1543 のガーバ・ファイルは <http://www.linear.com/demo> でダウンロードできます。
- モジュールの直下には均質な銅の GND プレーンを使用してください。こうすると、入力電源および出力負荷への帰路となる電気的接続を形成するのに役立ちます。この GND プレーンは BGA パッケージから熱を逃がすための熱経路の役割も果たし、与えられたアプリケーションで LTM4641 の接合部温度の上昇を最小限に抑えます。アプリケーション間でリップルやノイズを均一にするため、出力の GND プレーン（負荷側の戻り電流をモジュールに戻す GND プレーン）と入力側の GND プレーン（モジュールの戻り電流を入力電源に戻す GND プレーン）はモジュールの下でのみ接続してください。
- V_{IN} や V_{OUT} などの大電流経路では PCB の銅箔面積を広くしてください。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、GND および V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小限に抑えてください。 V_{IN} ピンの例外：MSP を使用する場合は、(1) MSP を LTM4641 の V_{IN} ピンにできるだけ近づけて、(2) (V_{IN} ピンではなく) MSP のドレインを LTM4641 の GND ピンにバイパスします。電源付近の高周波ノイズを最小限に抑えるために LTM4641 の V_{OUT} ピンおよび GND ピンのすぐ近くに配置する必要があるのは、

1つまたは2つの高周波 MLCC (C_{OUT} (MLCC)) だけです。高品質のバイパスを実現するため、 C_{OUT} (MLCC) の大多数は負荷の近くに配置してください。

- ビアの導通損失を最小に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に複数のビアを使います。
- 充填ビアまたはメッキ・ビアでない限り、パッドの下に直接ビアを配置しないでください。
- 信号ピンに接続する部品には、SGND ピンにつながるグラウンド銅箔領域を別途使用してください。SGND ピンに接続する部品はできるだけモジュールに近づけて配置し、配線長および配線幅を最小限に抑えて最良のノイズ耐性が得られるようにする必要があります。
- モジュールの SGND ピン集合領域は2つあります。1つは A1 ~ A3、B1 ~ B3、C1 ~ C4 ピンで形成され (A1 象限)、もう1つは K1、K3、L3、および M1 ~ M3 ピン (M1 象限) で形成されます。PCB 設計上の優れた方式として、A1 象限のすべての SGND ピンをまとめて接続する銅プレーンと、M1 象限のすべての SGND ピンをまとめて接続する別の銅プレーンを設けることを推奨します。すべての SGND ピンはモジュールの内部で互いに電気的に接続されているので、これら2つの SGND 銅プレーン集合領域を PCB レイアウト上で互いに接続する必要はありません。
- SGND ピンおよび SGND プレーンは GND プレーンに接続しないでください。モジュールの内部で電気的な星型接続が形成されているからです。
- モジュールを並列に動作させる場合は、並列接続したモジュール両端を相互接続するピンのリストについて「複数モジュールの並列動作」のセクションを参照してください。4つおよび2つの LTM4641 デバイスが並列で動作する回路をそれぞれ図56と図66に示します。(電力系以外の) 信号レベルの回路網は内部層に配線し、GND プレーンで信号経路を覆って、信号経路をノイズから遮蔽してください。信号経路が含まれる内部層上のモジュール間信号接続箇所を、隣接する GND プレーンまたは GND 配線で囲み、隣接層の GND プレーン遮蔽材への接続箇所を介して一定の間隔で「突き抜ける」GND を設けるとさらに効果的です。この手法により、PCB の内部に「同軸ケーブル」と同等の構造が形成されるので、影響を受けやすい信号をノイズ源から遮蔽する上で非常に有効です。 V_{OSNS}^+ ピンと V_{OSNS}^- ピンの対については差動配線を維持してください。

アプリケーション情報—安全およびレイアウト上の参考情報

- すべての帰還部品をモジュールにできるだけ近づけて配置し、コンデンサC_{FFA}、C_{FFB}、C_{CM}A、C_{CM}B、およびC_{DM}（使用する場合）のレイアウトを最優先とします。次に優先順位が高いのは、R_{SET1}A、R_{SET1}B、およびR_{SET2}（使用する場合）です。詳細については、「アプリケーション情報」セクションの図5と、「付録D」の図64を参照してください。負荷とモジュールの間の遠隔検出線については差動配線を維持してください。PCB内部のレイアウト上の許容範囲内で、遠隔検出線をGND電位で囲む「同軸ケーブル」構造を形

成します。VOUT/GNDの遠隔検出ピン対をDC1543の第3層で配線した例を参照してください。

- 部品装着検査、テスト作業およびデバッグ作業を容易にするため、LTM4641の制御信号は、PCBレイアウトのスペースが許す限り、局在するテスト・ポイント、テスト・パッドまたはテスト・ビアまでの配線を短くすることを検討してください。自社と製造委託先の両方で、ICまたはμModuleレギュレータの低インピーダンス以外(≥10Ω)のすべてのピンに電氣的に接続して、インサーキット・テスト(ICT)の対象範囲を広げることができます。

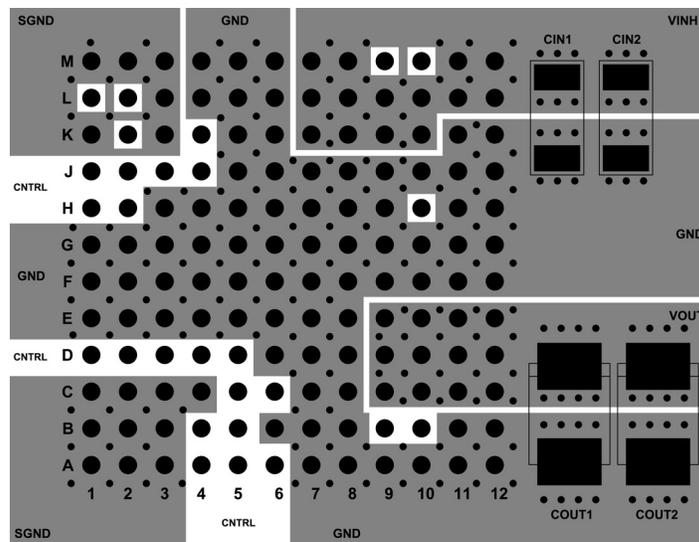


図43. プリント回路基板の推奨レイアウト、図45の回路。LTM4641のパッケージ上面から見た図

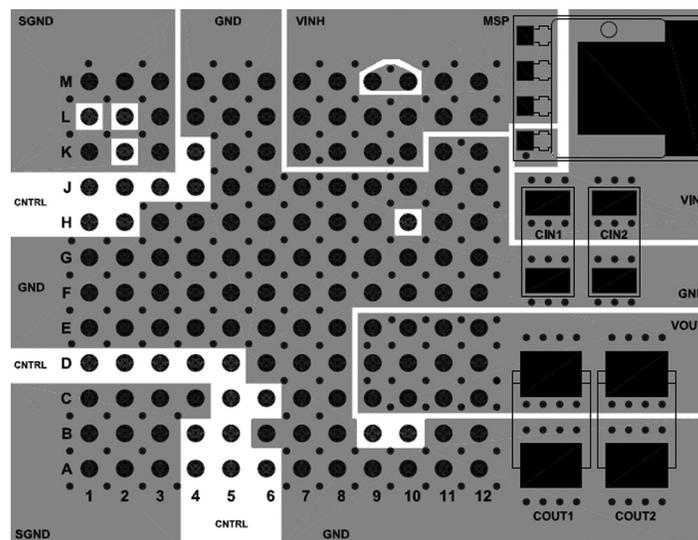


図44. プリント回路基板の推奨レイアウト、図46の回路。LTM4641のパッケージ上面から見た図

標準的応用例

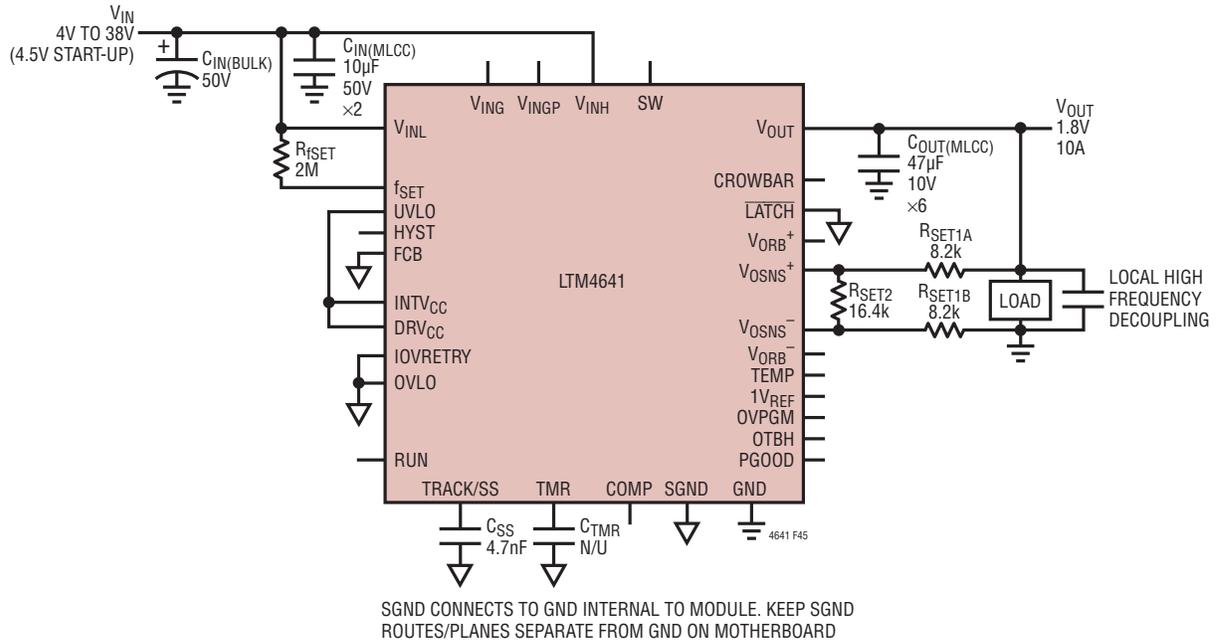


図 45. V_{IN} : 4V ~ 38V、LTM4641 の基本構成、1.8V/10A 出力

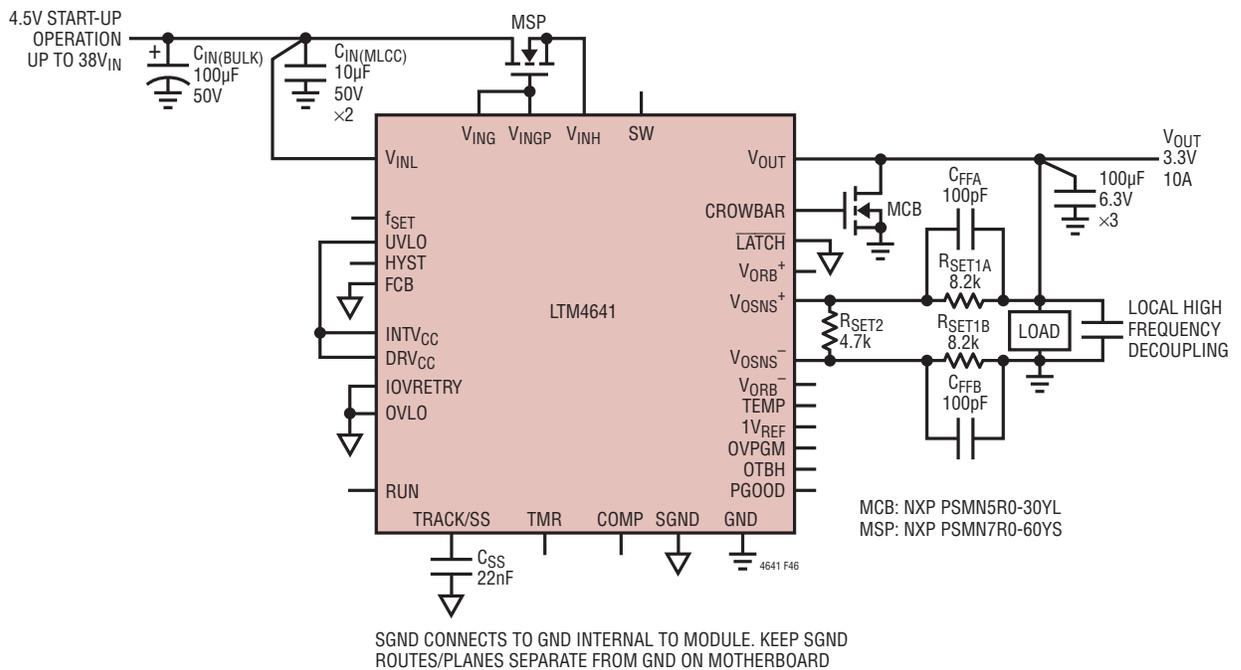


図 46. 3.3V 出力 (10A) を供給し、最大 38V の V_{IN} で堅牢な出力過電圧保護を実現する LTM4641。
 $V_{IN} < 4.8V$ でドロップアウト動作となる可能性がある。カスタムの UVLO 立ち上がり/立ち下がり
設定を実装してドロップアウト動作を防止するには図 11 を参照

標準的応用例

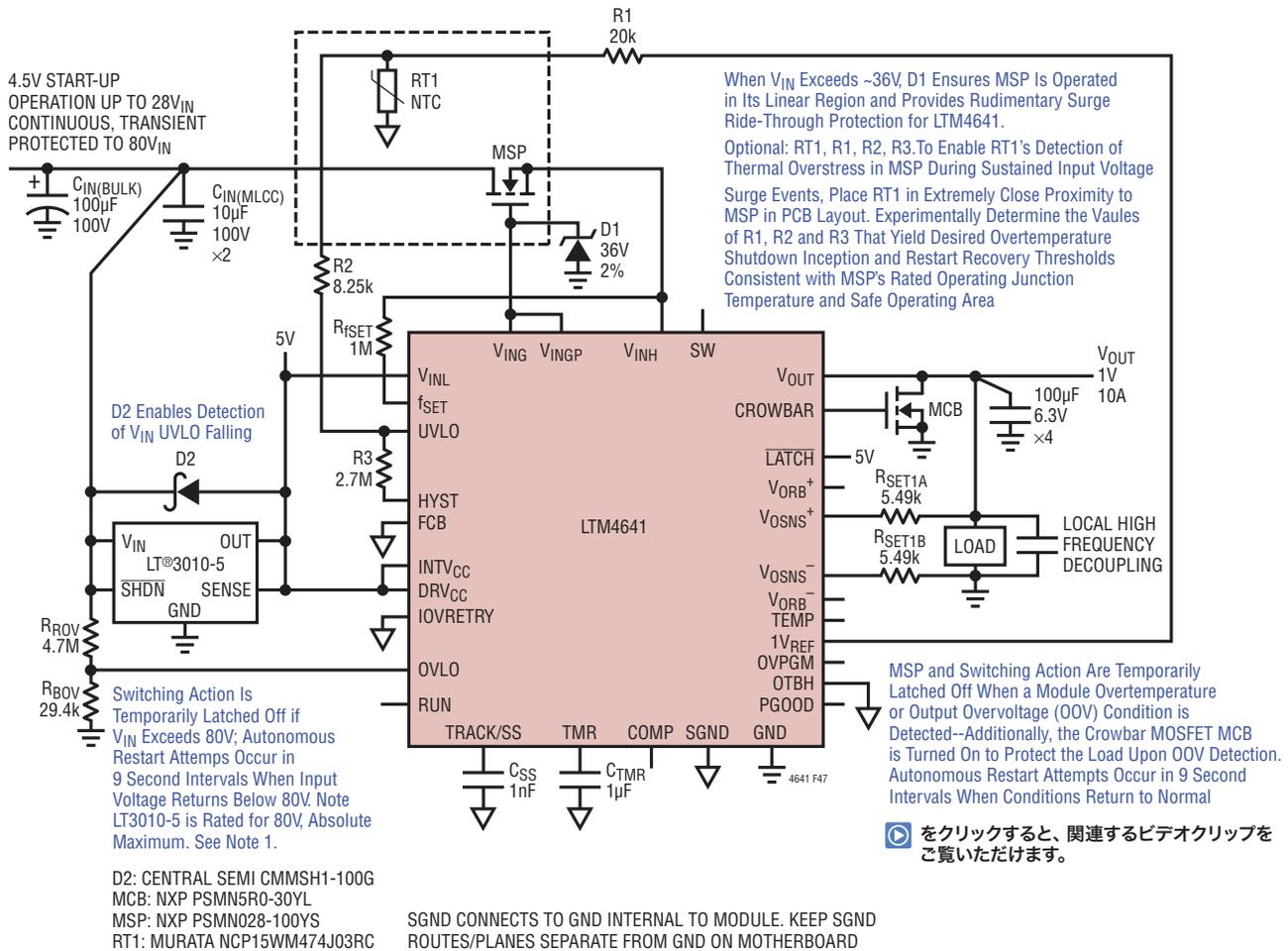


図47. 1V出力(10A)を発生するLTM4641、最大80Vの入力(V_{IN})トランジェントまでのサージを保護。TMRピンをINTV_{CC}ピンに接続した場合の起動時およびシャットダウン時波形は図2を参照

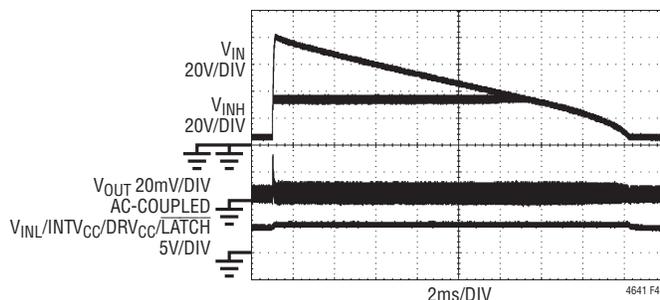


図48. V_{OUT} = 1V(10A)を負荷に供給中に80Vの入力(V_{IN})トランジェントを切り抜ける状況での図47の回路のオシロスコープ・スナップショット

標準的応用例

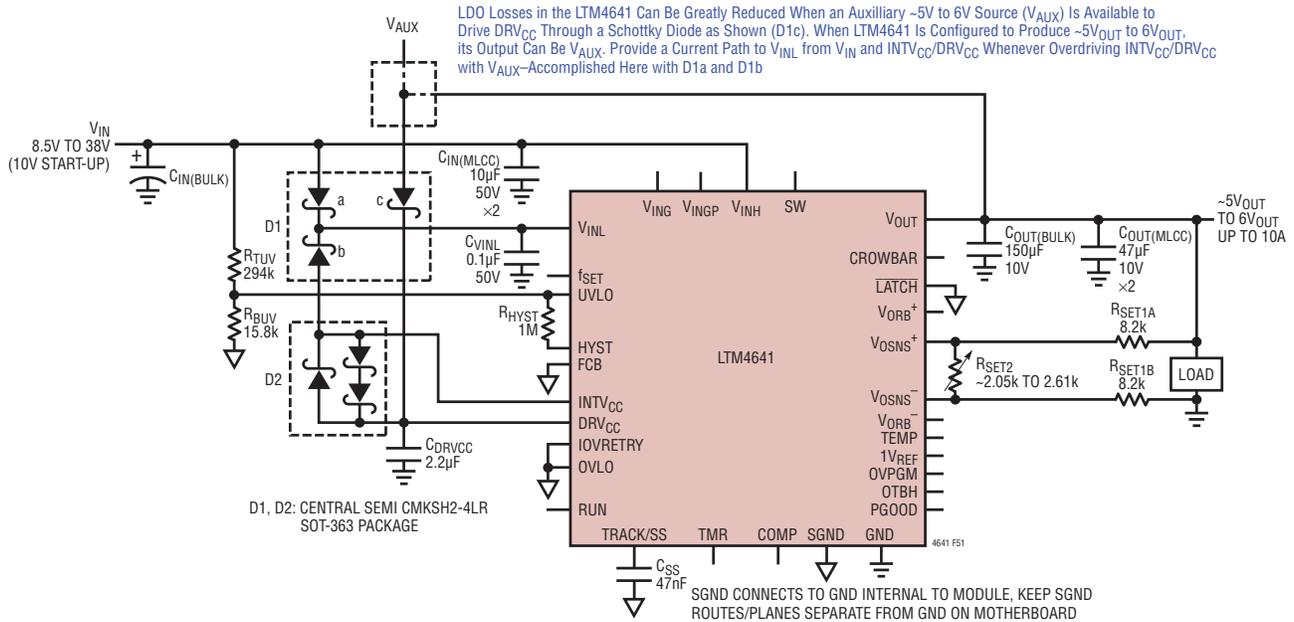


図51. INTV_{CC}/DRV_{CC}のオーバードライブにより、V_{INL}ピンとINTV_{CC}ピンにあるリニア・レギュレータの損失を低減(図52～54を参照)

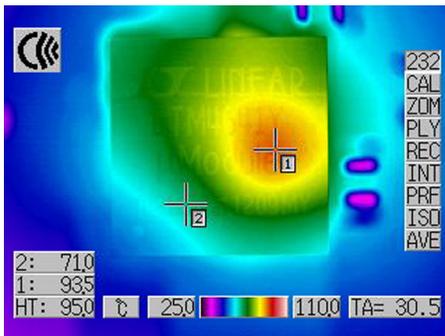


図52. 図51の回路から得られるU1の熱画像。V_{IN} = 36VからV_{OUT} = 5V (10A)を供給、INTV_{CC}ピンをDRV_{CC}ピンに接続し、D1cおよびD2は開放。T_A = 25°C、ベンチ・テスト、空気流なし

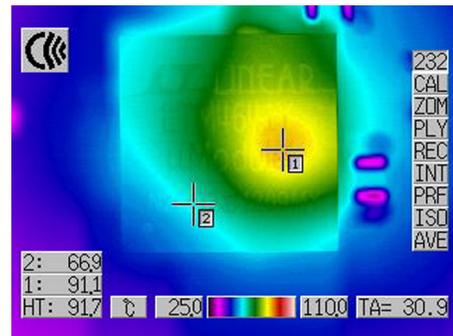


図54. 図51の回路から得られるU1の熱画像。V_{IN} = 36VからV_{OUT} = 5V (10A)を供給、V_{OUT} = 5VからD1cダイオードを介してINTV_{CC}/DRV_{CC}に電力を供給。T_A = 25°C、ベンチ・テスト、空気流なし

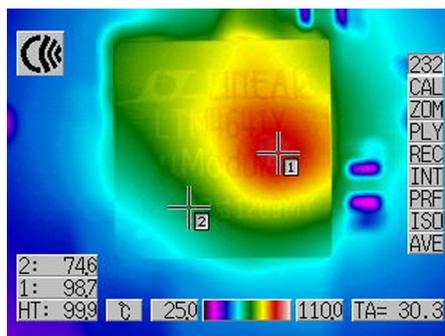


図53. 図51の回路から得られるU1の熱画像。V_{IN} = 36VからV_{OUT} = 6V (10A)を供給、INTV_{CC}ピンをDRV_{CC}ピンに接続し、D1cおよびD2は開放。T_A = 25°C、ベンチ・テスト、空気流なし

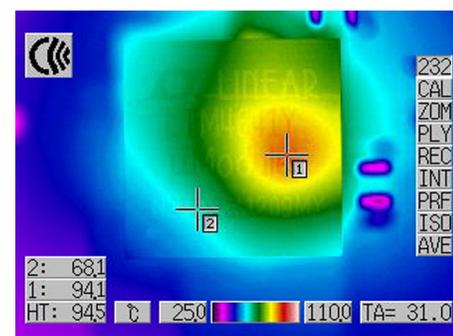
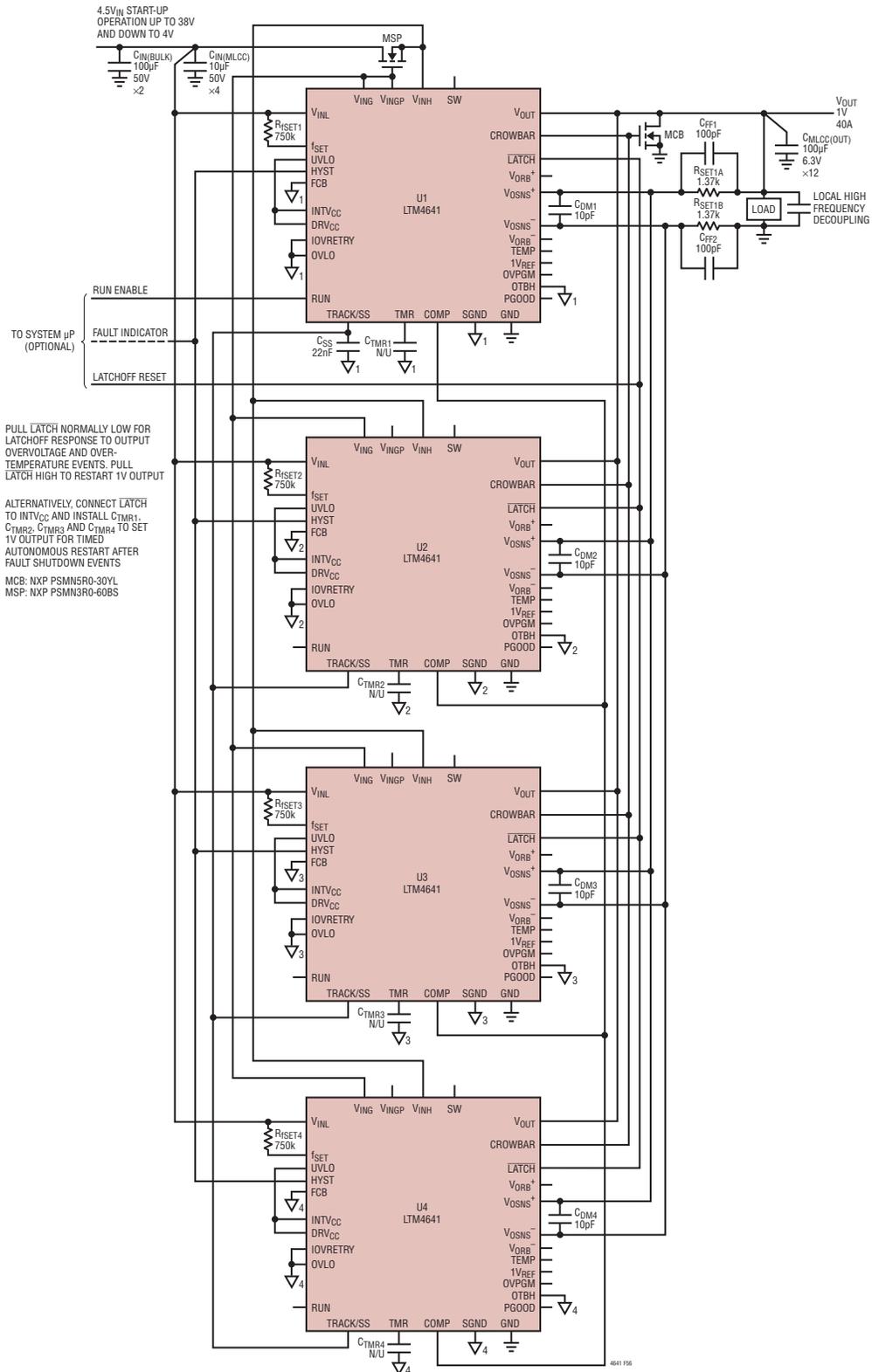


図55. 図51の回路から得られるU1の熱画像。V_{IN} = 36VからV_{OUT} = 6V (10A)を供給、V_{OUT} = 6VからD1cダイオードを介してINTV_{CC}/DRV_{CC}に電力を供給。T_A = 25°C、ベンチ・テスト、空気流なし

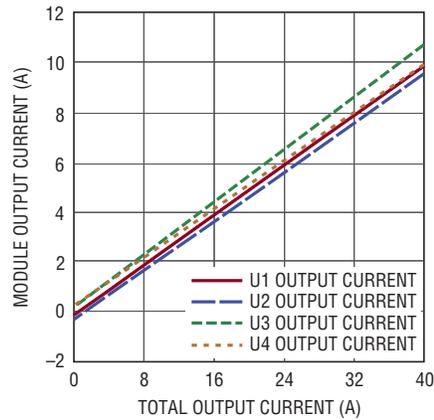
標準的応用例



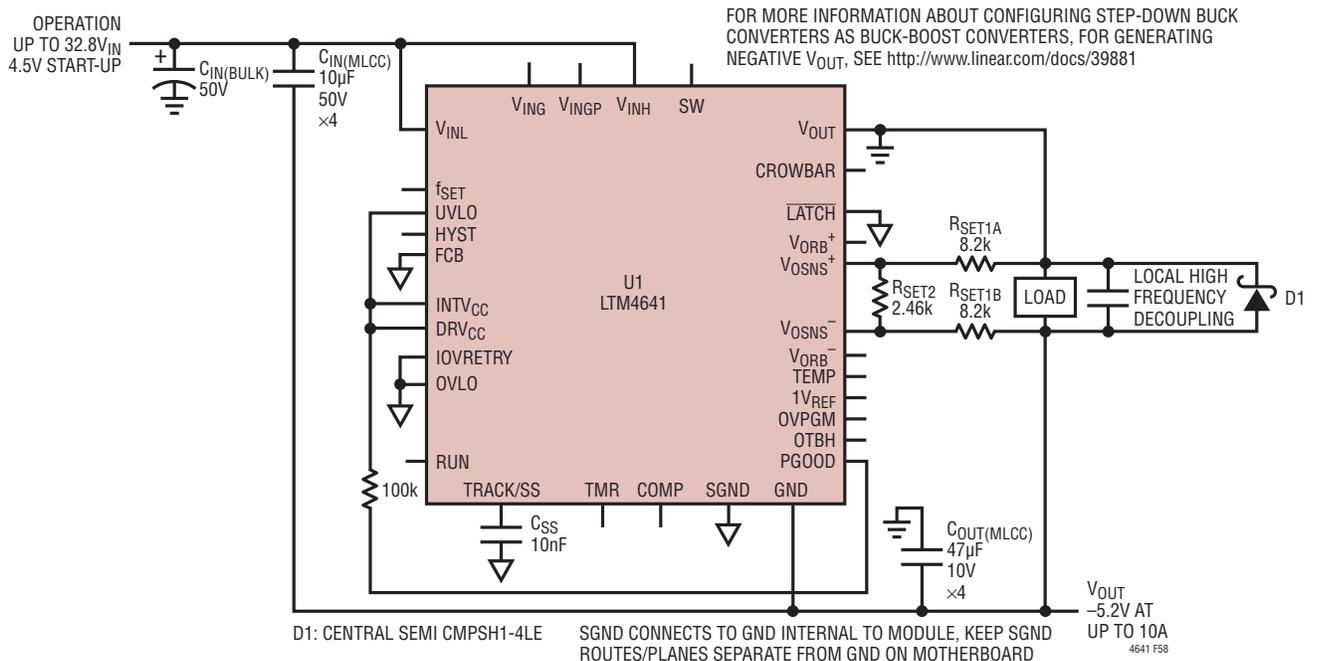
U1, U2, U3 AND U4 SGND (∇_1 , ∇_2 , ∇_3 , ∇_4) CONNECT TO GND INTERNAL TO THEIR RESPECTIVE MODULES. KEEP MODULE SGND ROUTES/PLANES SEPARATE FROM OTHER MODULES AND FROM GND ON MOTHERBOARD

図56. (最大38VのV_{IN}から)並列接続された4つのLTM4641により電力が供給されるフォルト保護対象の1V出力/40A負荷。図57参照

標準的応用例



4641 F57

図57. 並列化した4つのLTM4641の電流分担性能。図56の回路、 $V_{IN} = 28V$ で動作図58. 負電圧出力アプリケーション。最大32.8Vの V_{IN} から $V_{OUT} = -5.2V$ (最大10A)を供給、図59参照

標準的応用例

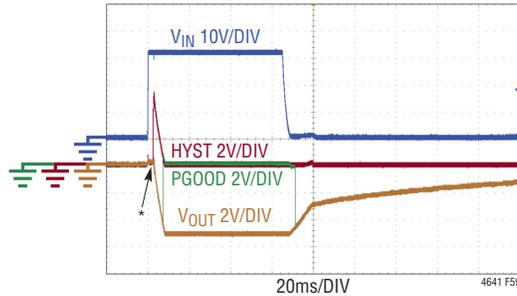


図 59. V_{IN} のパルス入力アプリケーション。図 58 の回路に 500Ω 負荷を使用。
*D1 の超低 V_F により、通電したときの V_{OUT} のオーバーシュートが最小限に抑えられる

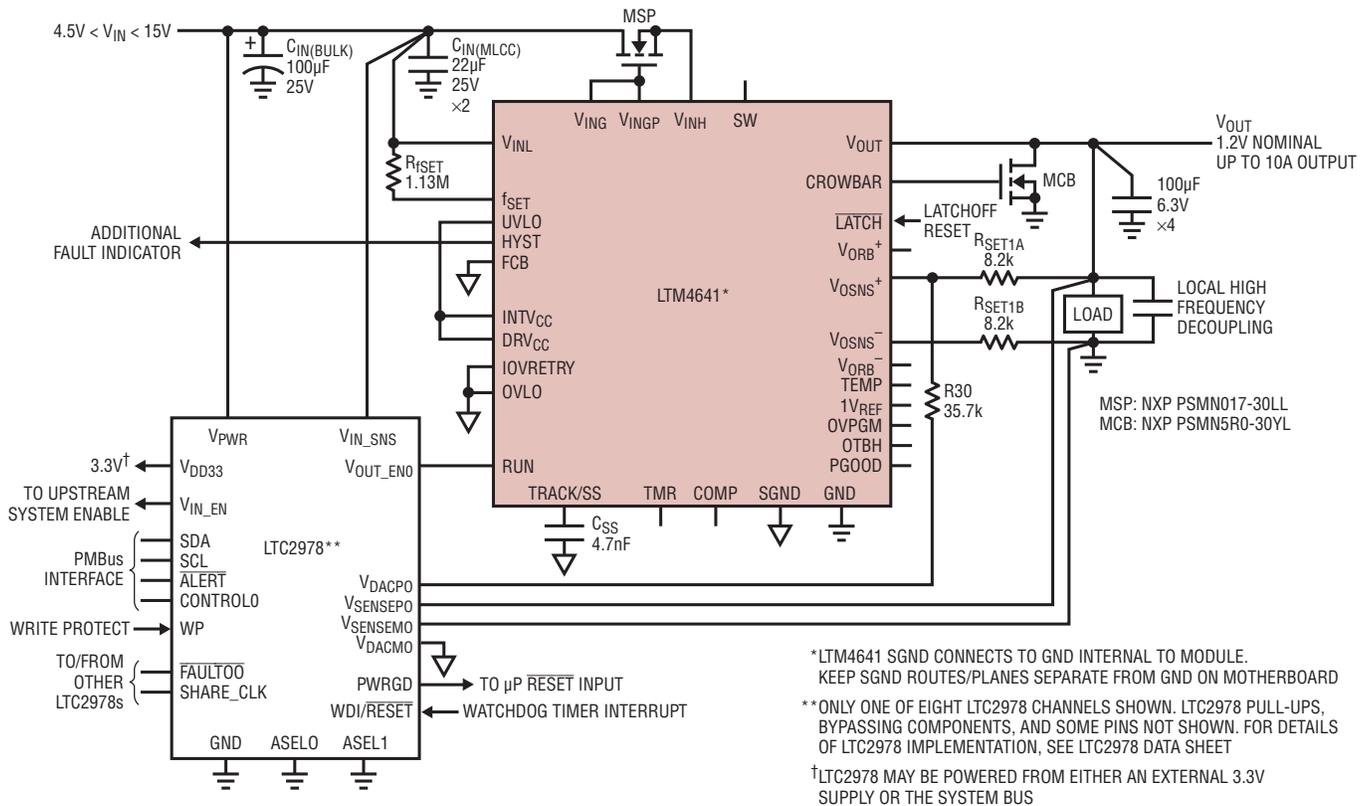
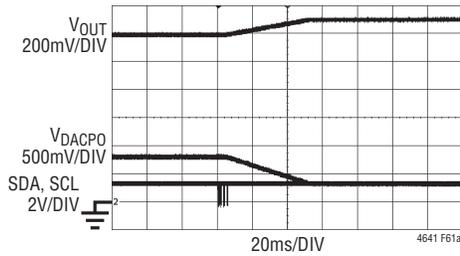
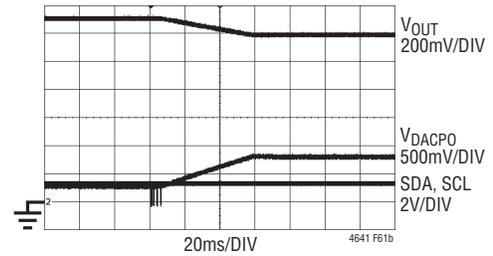


図 60. 電源管理機能を備えたフォルト保護対象負荷。LTM4641 の高速出力過電圧ラッチオフの作動しきい値は、 V_{OUT} のマージンが I^2C を介して制御されるにもかかわらず、LTC2978 が指示した V_{OUT} 目標値より常に 11% 高い値を維持する

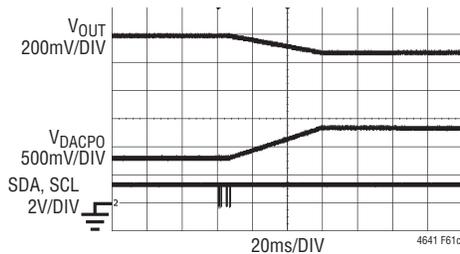
標準的応用例



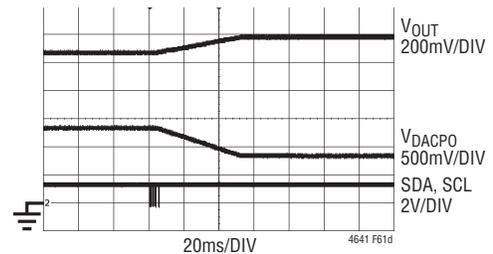
(61a) PMBus 動作 (レジスタ 0x01) : 0x80 → 0xA8 (マージン“H”)



(61b) PMBus 動作 (レジスタ 0x01) : 0xA8 → 0x80 (マージン・オフ)



(61c) PMBus 動作 (レジスタ 0x01) : 0x80 → 0x98 (マージン“L”)



(61d) PMBus 動作 (レジスタ 0x01) : 0x98 → 0x80 (マージン・オフ)

図 61. I²C を介した LTC2978 のコマンドによる LTM4641 の V_{OUT} のマージン“H”/“L”。図 60 の回路。V_{IN} = 12V。
V_{OUT_COMMAND} (0x21) = 1.20V、V_{OUT_MARGIN_HIGH} (0x25) = 1.32V、V_{OUT_MARGIN_LOW} (0x26) = 1.08V

付録

付録A. 機能ブロック図と特長のクイック・リファレンス・ガイド

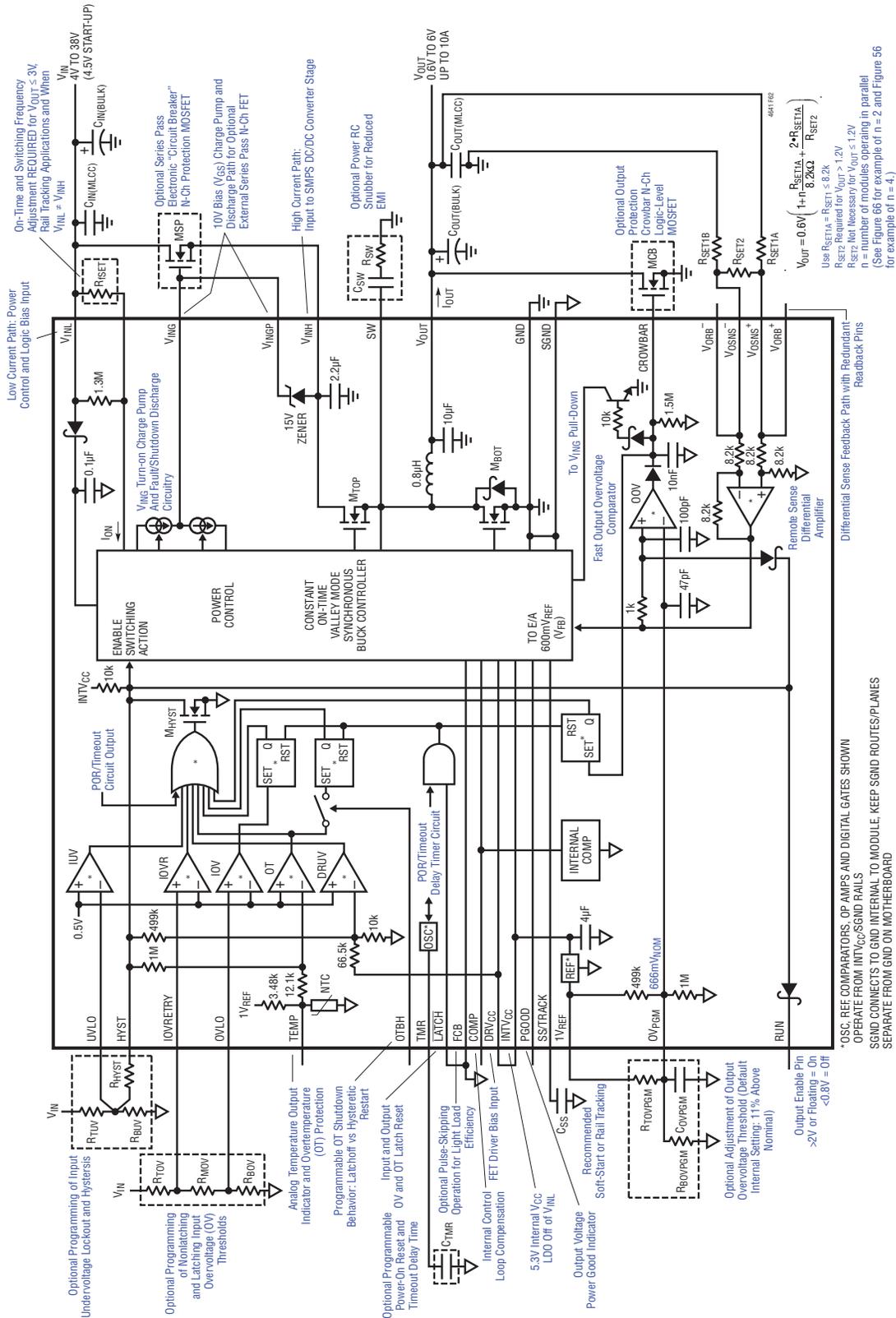


図 62. 機能ブロック図

付録

付録C. スイッチング周波数に関する検討事項と R_{fSET} の使用

LTM4641の f_{SET} ピンに抵抗(R_{fSET})を外付けして、 M_{TOP} のオン時間を短くするシナリオは数多く存在します。最も一般的なのは、出力電圧設定値が3V以下で、レール・トラッキング・アプリケーションの場合です。また、あまり一般的ではありませんが、 V_{INL} ピンと V_{INH} ピンが異なる電源で動作する場合があります。前者の場合、 R_{fSET} を通常は f_{SET} ピンと V_{INL} ピンの間に取り付けます(図45および表紙のアプリケーション回路)。後者の場合、通常はLTM4641のパワー段に電力を供給する電源(電源遮断用の入力MOSFETを使用する場合は、MSPの上流:図49)と f_{SET} ピンとの間に R_{fSET} を取り付けます。この参考情報の背景には、以下のようないくつかの目的と検討事項が存在します。

- (1) LTM4641の固定オン時間アーキテクチャに固有の性質として、LTM4641のスイッチング周波数は出力電圧が低下するのに応じて減少します。(出力電圧が低い場合($V_{OUT} \leq 3V$)でも、出力コンデンサの値、ソリューション・サイズ、および出力電圧リップルを妥当な値に維持するため、 R_{fSET} を外付けする必要があります。これにより、コントローラの I_{ON} ピンの電流と、得られる公称スイッチング周波数は、 V_{INL} ピンと f_{SET} ピンの間に内部接続されている $1.3M\Omega$ の抵抗によって決まるオン時間より大きくなります。
- (2) LTM4641が採用しているPFM制御方式では、負荷電流がゼロ(「無負荷動作」)のときのスイッチング周波数は、最大負荷時のスイッチング周波数より標準で20%~25%低くなります。その結果、インダクタのリップル電流は、無負荷時の方が重負荷時よりも比例的に大きくなります。LTM4641は $R_{DS(ON)}$ による電流検出方式を採用していることを思い出してください。さらに、コントローラの電流検出アンプが平均インダクタ電流の最大値である0Aを十分維持できるように、十分に負のインダクタ谷電流を認識して要求し、それによって出力電圧を無負荷状態まで適切に安定化できることが肝要であることを理解してください。チョーク電流の谷を表す電流検出情報が振幅の点で大きすぎることがないように、 R_{fSET} の値を使用して、無負荷ではスイッチング周波数が十分に高い(つまり、オン時間が十分に短い)ことを保証する必要があります。適正な無負荷時動作を保証する R_{fSET} の最大値(言い換えると、電流 I_{ON} の最小値)に関する控えめな目安を図3に示します。
- (3) レール・トラッキング・アプリケーションでは、 V_{OUT} の上昇時だけでなく、 V_{OUT} の下降時もLTM4641の出力電圧がリファレンス電圧を追跡する必要があります。後者の条件を満たすには、LTM4641が出力コンデンサから電流を流し込むことが必要です。所期の公称出力電圧だけではなく、目的とする最小のレギュレーション時出力電圧まで出力電圧を減少できることを保証する R_{fSET} の値を使用してください。図3はこの参考情報を示しています。
- (4) 与えられた出力電圧に対して(全入力電圧にわたり)比較的一定のスイッチング周波数を維持するため、電源遮断MOSFETを使用する場合(図46)は、(MSPの上流にある) V_{INH} ピンのパワー段に電力を供給する電圧源と M_{TOP} のオン時間が反比例する必要があります。 V_{INL} と V_{INH} が別のレールで動作している場合、この目標を十分に達成するには、 R_{fSET} を f_{SET} ピンと入力電源 V_{IN} の間に配置します(図49参照。接続先は V_{IN} であって V_{INL} ではありません。通常は V_{INH} でもありませんが、図47の反例とこのリストの項目番号5の説明を参照してください)。こうしたシナリオでは、内部の V_{INL} ピンと f_{SET} ピンの間に接続されている $1.3M\Omega$ の内部抵抗によってオン時間に軽微な誤差項が生じるので、動作入力電圧範囲内でのすべての限界値付近(電力、 V_{INH} および制御バイアス、 V_{INL} の極限值)での I_{ION} の計算と、その結果生じる(式6で求められる)動作時のスイッチング周波数範囲を検討する必要があります。
- (5) MSPを使用する場合と、 V_{INL} と V_{INH} が異なるレールで動作する場合。 R_{fSET} を V_{INH} ピンではなくMSPのドレインと f_{SET} ピンの間に接続することを推奨する理由は、デバイスが起動する前、MSPはオフになっており、 V_{INH} は放電されているからです。 R_{fSET} を V_{INH} ピンに接続すると、瞬時スイッチング動作が所期の値よりもずっと低い値で始まるようにオン時間が設定されます。 V_{ING} ピンの回路によってMSPが十分にオンになり、 V_{INH} ピンの電位が V_{IN} の電位になるまで、オン時間はその最終設定値に達しません。(TRACK/SSピンの使用によって)出力電圧がどの程度急速に上昇するかと、MSPがどの程度急速にターンオンするかとの間の動的な相互作用についてメカニズムが存在する可能性が明らかになります。このリストの項目2から、オン時間を勝手に長くしてはならないことが分かります。一般に、望ましくない相互作用(最悪の場合、過剰な出力電圧リップルや単調でない出力電圧の上昇が発生する可能性あり)を回避するため、出力電圧の上昇時間を十分に長くすることによって、出力電圧のリップル

付録

に影響する V_{INH} とオン時間整定の相互作用の危険を排除することができますが、このためには調査とハードウェアの評価を個別に行うことが必要です。 R_{fSET} を(入力電源ではなく) V_{INH} ピンと f_{SET} ピンの間に接続する例を図47に示します。MSPは入力電圧サージが加わっている間 V_{INH} ピンの電圧を制限するので、 I_{ON} の電流を正しく設定するには、この例では抵抗を V_{INH} ピンに接続すること以外に方法はありません。

付録D. 厳しい環境での遠隔検出

対称的な抵抗回路網を使用する論理的理由は、0.6V～6Vの範囲で出力電圧の完全差動遠隔検出を可能にし、厳しい環境で差動ノイズおよび同相ノイズを取り除く柔軟性を備えた均一な帰還構造を実現するためです。図64を参照してください。 R_{SET1A} (および R_{SET1B}) に公称8.2k Ω 以下の抵抗を使用すると、帰還抵抗と寄生容量で形成されるポールによって遠隔検出信号が目的の周波数では減衰しないことが保証されます。さらに、1.2V以上の V_{OUT} に対して R_{SET1A} (および R_{SET1B}) の値として8.2k Ω を使用すると、遠隔検出ピンの同相範囲が、最小-0.3V、最大3Vの有効範囲内に入ることが保

証されます。このことは、モジュールのグランド間の電圧降下がPOLのグランド電位から $\pm 0.6V$ 程度ずれた場合でも有効です。

差動遠隔検出帰還信号の配線は、PCBトレース上の差動対(ワイヤを使用する場合はより対線)として負荷から R_{SET1A}/R_{SET1B} 帰還部品まで引き回されます。 R_{SET1A}/R_{SET1B} および帰還インピーダンス分割器回路網を形成しているその他すべての部品は、LTM4641のできるだけ近くに配置することが非常に重要です。帰還情報に浮遊ノイズが入り込まないようにするため、差動遠隔検出信号のグランド遮蔽を強く推奨します。

帰還信号をうまく遮蔽できない場合は(差動ノイズを減衰させることが必要になる可能性に備え)、小型のフィルタ・コンデンサ(CDM)を、モジュールのピンにできるだけ近づけて、 V_{OSNS}^+ ピンと V_{OSNS}^- ピンの間に直接配置できるように、レイアウトにスペースを残しておくことが予防策になります。

最後に、出力電力の接続(V_{OUT} とGNDの間)が基板間コネクタを介して行われているなど、POLがLTM4641からかなり離れている場合、ケーブルの長さが誘導性の要因を持つ場合(たとえば、長さが50cm以上)、または負荷の誘導性が

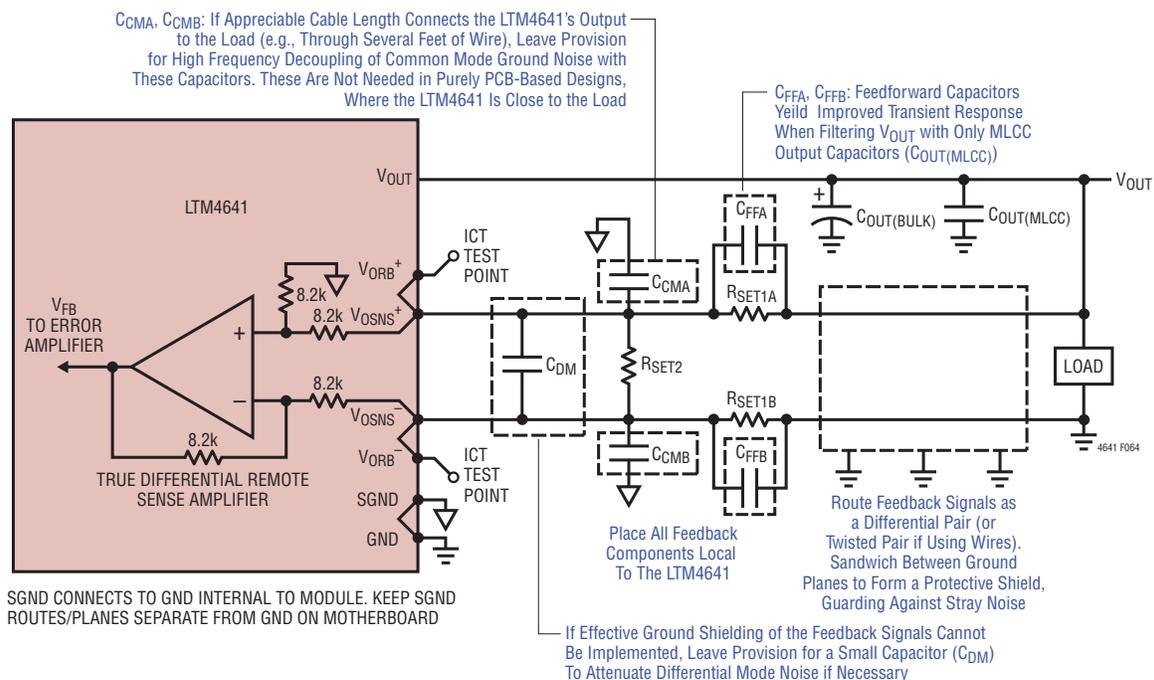


図64. 最も厳しい動作環境での帰還遠隔検出接続および技法

付録

非常に高い場合、レイアウトに1対の小型フィルタコンデンサ (CCMA および CCMB) を用意しておくことが予防策になります。CCMA と CCMB は、モジュールのピンにできるだけ近づけて、それぞれ VOSNS⁺ ピンと SGND ピンの間、および VOSNS⁻ ピンと SGND ピンの間に直接接続してください。この方法で構成すると、CCMA と CCMB を使用して遠隔検出信号ピン対での同相ノイズを減衰することができます。

付録E. パルス・スキップ・モード動作の発想

M_{TOP} が (I_{ION} 電流に比例する長さの時間にわたって) オンすると、インダクタ電流が増加して、インダクタの磁界にエネルギーが蓄積されます。最終的には、「少量の」エネルギーが入力コンデンサから出力コンデンサに移動します。強制連続モード動作 (FCB ピンがロジック“L”の場合) では、M_{TOP} と M_{BOT} は純粋に同期方式で動作します。つまり、M_{TOP} がオンのときは M_{BOT} がオフになり、逆の場合も同様です。M_{TOP} がオフしたとき、インダクタの磁界は瞬時には消滅できないことに注意してください。崩壊中の磁界によって、ダイ上にある M_{BOT} のショットキ・ダイオードにインダクタ電流が強制的に流れます。この結果、転流ダイオードの不要な電力損失が発生しますが、その代わりに、M_{BOT} は少ない電力損失でオンします。M_{BOT} がオンすると、磁界中のエネルギーが衰えるのに応じてインダクタ電流は徐々に減少します。

定常状態の強制連続モード動作では、インダクタのリップル電流が、平均値が負荷電流に等しい三角波として現れます。強制連続モード動作 (M_{TOP} および M_{BOT} の強制同期動作) は、負荷電流に関係なく、一定の出力電圧リップルとなるメカニズムを備えています。ただし、この動作モードでは、負荷電流が軽い (たとえば、出力電流が 2A 未満の場合) 場合、インダクタ電流が一定間隔で負になることに注意してください。これは、入力コンデンサから出力へ移動する少量のエネルギーが再循環して入力コンデンサに戻るという意味です。これは、インダクタ電流が 0A まで減少すると M_{BOT} をオフにするというパルス・スキップ・モード動作を誘発する非効率の源です。この考え方は、M_{BOT} がショットキ・ダイオード整流器の動作を模倣するようになるので、業界では「ダイオード・エミュレーション」として表現されることもあります。パルス・スキップ・モード動作

(FCB ピンがロジック“H”の場合) では、軽負荷でのインダクタ・リップル電流は非対称の切頂三角波として現れます。この場合、インダクタ電流は 0A より小さくはなりません。

付録F. 高速出力過電圧コンパレータしきい値の調整

出力過電圧開始しきい値 (OV_{PGM} ピン電圧) は、そのデフォルト値から調整するか厳しくすることができます。ただし、以下の基準に従う必要があります。

- OV_{PGM} ピンの電圧を動的に変更するのは推奨しません。高速 OOV コンパレータは、OV_{PGM} ピン内部の 47pF コンデンサによって得られるグリッチ耐性を超える耐性を備えておらず、OV_{PGM} ピンの配線によって静電気ノイズを受けやすくなる可能性があるからです。
- OV_{PGM} ピン内部の 47pF コンデンサとデフォルトの 499kΩ || 1MΩ 抵抗分割器回路網によって形成される時定数 15.6μs のフィルタを維持して、OV_{PGM} ピンの電圧が実用的な値 (0.6V < V_{OVPGM} < 0.9V) になるようにしてください。OV_{PGM} ピンの容量性フィルタリングは無差別に行わないようにする必要があります。OV_{PGM} ピンの電圧は、起動時に 1V_{REF} ピンの電圧とともにきわめて急速に立ち上がる必要があります。これは、ともすれば面倒な OOV 検出や不完全なラッチオフ事象が生じる結果となる競合状態を防ぐためです。したがって、外付け容量の値を自由に高くすることはできません。これに対して、OV_{PGM} ピンにはスイッチング・ノイズ源からの一定のフィルタリングが必要であり、1V_{REF} ピンで発生しうる動的な動作から十分に遮断するようにしてください。(図9を参照)
- OV_{PGM} ピンと 1V_{REF}/SGND ピンの間に外付けする抵抗は、1V_{REF} 出力の負荷を最小限に抑えるため、比較的高インピーダンスにする必要があります。その後、OV_{PGM} ピンに接続する抵抗分割器回路網の変更に応じて C_{OVPGM} の値を小さくすることにより、一定の時定数を達成できます。

OV_{PGM} ピンに取り付けてその設定値を変更したり厳しくしたりすることができるオプションの回路網を図65に示します。

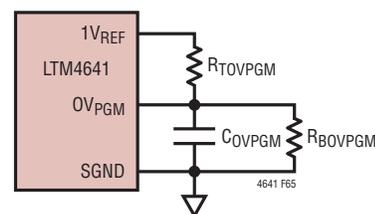


図65. V_{OVPGM} を変更するか厳しくするためのオプションのOV_{PGM} ピン回路網

付録

OV_{PGM}ピン電圧の設定値を(R_{BOVPGM}抵抗のみを使用して)わずかに低くして新しいOOV開始しきい値電圧であるOV_{PGM}(NEW)にするには、次式を計算します。

$$R_{BOVPGM} = \frac{1}{\frac{1V - OV_{PGM(NEW)}}{OV_{PGM(NEW)} \cdot 499k\Omega} - \frac{1}{1M\Omega}} \quad (37)$$

新しいOV_{PGM}ピン電圧のしきい値は、次式により再確認できます。

$$OV_{PGM(NEW)} = \frac{1V \cdot (1M\Omega \parallel R_{BOVPGM})}{(499k\Omega + 1M\Omega \parallel R_{BOVPGM})} \quad (38)$$

R_{BOVPGM}のみを取り付けてOV_{PGM}ピン電圧の設定値を低くする場合は、コンデンサC_{OVPGM}を取り付ける必要はありません。OV_{PGM}(NEW)の設定値が600mVという極端な値である場合、これは通常のレギュレーション時のV_{FB}の電圧なので実用的ではありませんが、OV_{PGM}ピンの回路網の時定数はそのデフォルト値から2μsより短い時間だけ変化します。

OV_{PGM}ピンの作動しきい値を(R_{TOVPGM}抵抗のみを使用して)わずかに高くして新しいOOV開始しきい値電圧であるOV_{PGM}(NEW)を設定するには、次式を計算します。

$$R_{TOVPGM} = \frac{1}{\frac{OV_{PGM(NEW)}}{(1V - OV_{PGM(NEW)}) \cdot 1M\Omega} - \frac{1}{499k\Omega}} \quad (39)$$

新しいOV_{PGM}ピン電圧設定値は、次式により再確認できます。

$$OV_{PGM(NEW)} = \frac{1V \cdot 1M\Omega}{(499k\Omega \parallel R_{TOVPGM} + 1M\Omega)} \quad (40)$$

R_{TOVPGM}が10kΩより小さくなるように式39で計算する場合は、OV_{PGM}ピンを1V_{REF}ピンに接続し、C_{OVPGM}コンデンサは取り付けないでください。こうすると、公称値の167%のOOV設定値が得られます。それ以外の場合は、次式で計算したC_{OVPGM}の値に最も近い、入手可能な最小の標準値を使用してください。

$$C_{OVPGM} = \frac{15.6\mu s}{(499k\Omega \parallel 1M\Omega \parallel R_{TOVPGM})} - 47pF \quad (41)$$

V_{OVPGM}のデフォルトの設定値は、全温度範囲で665mV±2.26%です。OV_{PGM}ピン電圧の設定値許容範囲を厳しくする

には、R_{BOVPGM}に対して、一般に入手可能な、温度係数の低い高精度の100kΩ抵抗を選択することから始めます。許容誤差を±0.1%、温度係数を±25ppm/°Cにすると、全温度範囲でデフォルトの分割器回路網よりも精度が大幅に改善されます。次に、実用的な範囲である0.6V < OV_{PGM}(NEW) < 0.9Vの範囲内で、目的のV_{OVPGM}の新しい値(OV_{PGM}(NEW))を決めます。その後、次式に従ってR_{TOVPGM}を計算します。

$$R_{TOVPGM} = \frac{1}{\frac{OV_{PGM(NEW)}}{(1V - OV_{PGM(NEW)}) \cdot (1M\Omega \parallel R_{BOVPGM})} - \frac{1}{499k\Omega}} \quad (42)$$

新しいOV_{PGM}ピン電圧設定値は、次式により再確認できます。

$$OV_{PGM(NEW)} = \frac{1V \cdot (1M\Omega \parallel R_{BOVPGM})}{(499k\Omega \parallel R_{TOVPGM} + 1M\Omega \parallel R_{BOVPGM})} \quad (43)$$

その後、次式で計算したC_{OVPGM}の値に最も近い、入手可能な最小の標準値を使用してください。

$$C_{OVPGM(NEW)} = \frac{15.6\mu s}{(499k\Omega \parallel 1M\Omega \parallel R_{TOVPGM} \parallel R_{BOVPGM})} - 47pF \quad (44)$$

たとえば、OV_{PGM}(NEW)の設定値は公称値の666mVにしてもかまいませんが、精度を高めるには、R_{BOVPGM} = 100kΩおよびR_{TOVPGM} = 49.9kΩに対して、温度係数が±25ppm/°Cで誤差が±0.1%の高精度抵抗を使用して、OV_{PGM}ピンとSGNDピンの間にバイパス・コンデンサC_{OVPGM} = 470pFを接続します。結果としてのV_{OVPGM} OOV設定しきい値は、全温度範囲で±1.8%より精度が高くなります。しきい値設定での残りのばらつきの大部分は、全温度範囲で±1.5%のリファレンスである1V_{REF}のばらつきに起因します。

OOV設定値電圧の極値にOVP_{ERR}項(高速コンパレータのオフセット電圧:全温度範囲で最大±12mV)を加えると、V_{FB}によってCROWBAR出力がロジック“H”に振れたり、ラッチオフ過電圧保護を起動する最小電圧および最大電圧の目安が分かります。

OV_{PGM}ピンの電圧を実用的なレベルに設定し、積極的になり過ぎないように注意する必要があります。OV_{PGM}ピンの電圧設定が低すぎると、システムは面倒な出力過電圧ラッチオフ動作を示します。スイッチング・レギュレータの出力電圧は、以下の理由により、その理想的なDC電圧動作点より恒常的

付録

に高い、トランジェントによる電圧の逸脱に直面することがあります。

- 制御ICのバンドギャップ・リファレンスの精度
- 出力電圧のリップルとノイズ
- 負荷電流の下降トランジェント事象(短絡状態からの復帰を含む)
- 入力電圧の急峻な上昇
- (V_{OUT} のソフトスタートがほとんどまたはまったくない場合の)起動時オーバーシュートまたは高速マスタ・レールのレール・トラッキング

リニアテクノロジーのLTpowerCAD設計ツールは、これらの動的な値の一部を定量化するのに役立ちます。(バンドギャップ・リファレンスのばらつきを含む)LTM4641の全DC誤差は、全温度範囲で $\pm 1.5\%$ より良好です。

OV_{PGM} ピンの電圧が実用的な最低レベルまで低下し、高電位側MOSFETの短絡テスト時(DC1543などの評価用ハードウェア上で V_{INH} ピンとSWピンを短絡)の出力電圧オーバー

シュートによって出力電圧が満足な値までクランプされない場合は、出力容量を増やすことにより、出力電圧の最大逸脱値を減少できることを承知しておいてください。この理由は、 V_{INH} ピンをSWピンに故意に短絡させるという極端な場合でも、出力容量を増やすと、出力電圧が上昇するのにその分だけ長い時間がかかるからです。 V_{OUT} の容量の主な目的は、(CROWBARピンの電圧によってMCBがオンするまで)出力電圧が V_{INH} ピンの電圧まで急上昇しないようにすることです。

複数モジュールの並列アプリケーションは、高電位側MOSFETの短絡テスト時も良好な出力電圧オーバーシュート特性を示します。その理由は、高電位側のMOSFETが短絡されていない兄弟モジュールは、低電位側のパワーMOSFETをオンすることによって出力電圧の低下を促進できるからです。負荷に電力を供給して負荷を保護する並列化されたLTM4641の例を図56および66に示します。

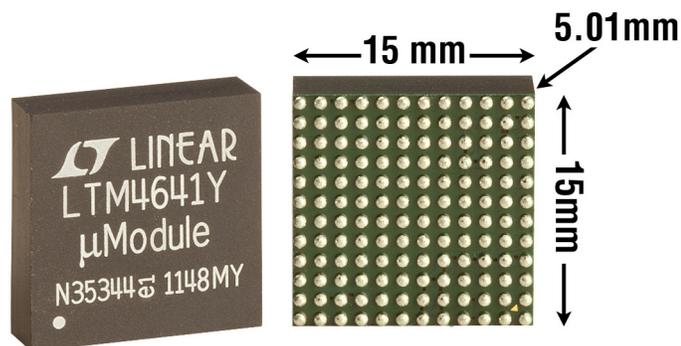
パッケージ

表 10. LTM4641 の構成要素の BGA ピン配列

ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能
A1	SGND	B1	SGND	C1	SGND	D1	V _{ORB} ⁺	E1	GND	F1	GND
A2	SGND	B2	SGND	C2	SGND	D2	V _{ORB} ⁻	E2	GND	F2	GND
A3	SGND	B3	SGND	C3	SGND	D3	OTBH	E3	GND	F3	GND
A4	HYST	B4	UVLO	C4	SGND	D4	TMR	E4	GND	F4	GND
A5	TEMP	B5	OVLO	C5	LATCH	D5	RUN	E5	GND	F5	GND
A6	IOVRETRY	B6	GND	C6	1V _{REF}	D6	GND	E6	GND	F6	GND
A7	GND	B7	GND	C7	GND	D7	GND	E7	GND	F7	GND
A8	GND	B8	GND	C8	GND	D8	GND	E8	GND	F8	GND
A9	GND	B9	CROWBAR	C9	V _{OUT}	D9	V _{OUT}	E9	V _{OUT}	F9	GND
A10	GND	B10	OV _{PGM}	C10	V _{OUT}	D10	V _{OUT}	E10	V _{OUT}	F10	GND
A11	GND	B11	GND	C11	V _{OUT}	D11	V _{OUT}	E11	V _{OUT}	F11	GND
A12	GND	B12	GND	C12	V _{OUT}	D12	V _{OUT}	E12	V _{OUT}	F12	GND

ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能	ピン ID	機能
G1	GND	H1	V _{OSNS} ⁺	J1	COMP	K1	SGND	L1	PGOOD	M1	SGND
G2	GND	H2	V _{OSNS} ⁻	J2	f _{SET}	K2	FCB	L2	TRACK/SS	M2	SGND
G3	GND	H3	GND	J3	V _{INL}	K3	SGND	L3	SGND	M3	SGND
G4	GND	H4	GND	J4	DRV _{CC}	K4	INTV _{CC}	L4	GND	M4	GND
G5	GND	H5	GND	J5	GND	K5	GND	L5	GND	M5	GND
G6	GND	H6	GND	J6	GND	K6	GND	L6	GND	M6	GND
G7	GND	H7	GND	J7	GND	K7	V _{INH}	L7	V _{INH}	M7	V _{INH}
G8	GND	H8	GND	J8	GND	K8	V _{INH}	L8	V _{INH}	M8	V _{INH}
G9	GND	H9	GND	J9	GND	K9	V _{INH}	L9	V _{INH}	M9	V _{INH}
G10	GND	H10	SW	J10	GND	K10	V _{INH}	L10	V _{INH}	M10	V _{INGP}
G11	GND	H11	GND	J11	GND	K11	GND	L11	V _{INH}	M11	V _{INH}
G12	GND	H12	GND	J12	GND	K12	GND	L12	V _{INH}	M12	V _{INH}

パッケージの写真



改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
B	2/13	図1を更新。	15
C	5/13	ピデオのプレイボタンを更新。	1、49
D	10/13	特許番号8163643を追加。 図9のタイトルの「図43の回路」を「 $V_{IN}=28V$ での図45の回路」に変更。	1 28
E	02/14	SnPb BGA パッケージオプションを追加。	1、3

標準的応用例

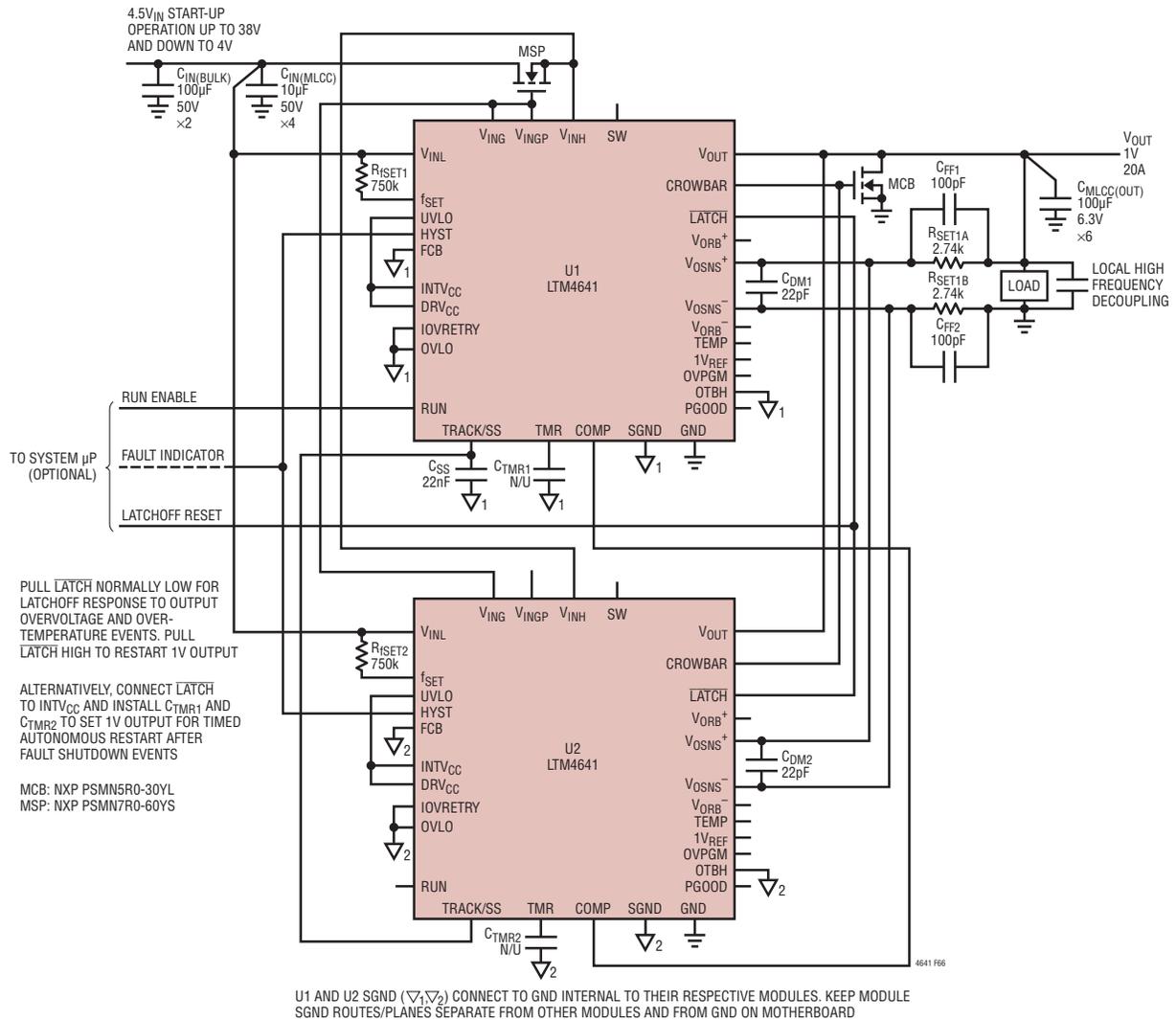


図 66. (最大 38V の V_{IN} から) 並列接続された LTM4641 により電力が供給されるフォルト保護対象の 1V 出力 / 20A 負荷。「標準的性能特性」と比較

関連製品

製品番号	説明	注釈
LTM4620	デュアル 13A、シングル 26A μModule レギュレータ	4つのデバイスにより最大 100A、 $4.5V \leq V_{IN} \leq 16V$ 、 $0.6V \leq V_{OUT} \leq 2.5V$ 。 V_{OUT} を高くする場合は LTM4620A を参照。15mm×15mm×4.41mm LGA
LTM4613	EN55022B 認証、36V、8A 降圧 μModule レギュレータ	$5V \leq V_{IN} \leq 36V$ 、 $3.3V \leq V_{OUT} \leq 15V$ 、同期可能、並列接続可能、 15mm×15mm×4.32mm LGA
LTM4627	20V、15A 降圧 μModule レギュレータ	$4.5V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、同期可能、並列接続可能、遠隔検出、 15mm×15mm×4.32mm LGA または 15mm×15mm×4.92mm BGA
LTM8027	60V、4A 降圧 μModule レギュレータ	$4.5V \leq V_{IN} \leq 60V$ 、 $2.5V \leq V_{OUT} \leq 24V$ 、同期可能、15mm×15mm×4.32mm LGA
LTM4609	36V、4A 昇降圧 μModule レギュレータ	$4.5V \leq V_{IN} \leq 36V$ 、 $0.8V \leq V_{OUT} \leq 34V$ 、同期可能、並列接続可能、昇圧モードでは最大 4A、 降圧モードでは 10A、15mm×15mm×2.82mm LGA または 15mm×15mm×3.42mm BGA
LT4356	高電圧サージ・ストップ	$V_{IN} = 100V$ の過電圧保護と過電流保護、ラッチオフと自動再試行オプション

4641fe