

DDR-QDR4 メモリ向けの 超薄型トリプル出力降圧 μModule レギュレータ

特長

- VDDQ、VTT、VTTR(またはVREF)を含む完全なDDR-QDR4 SRAM電源ソリューション
- 0.5cm²に収まるソリューション・サイズ(両面PCB)
- 広い入力電圧範囲: 3.6V ~ 15V
- V_{IN}をINTV_{CC}に接続した場合と互換の3.3V入力
- 出力電圧範囲: 0.6V ~ 2.5V
- シンク電流とソース電流を供給できるデュアル±3A DC出力電流
- VDDQ/2に等しい±1.5%、±10mAバッファ付きVTTR出力
- 3A VDDQ + 3A VTTまたは2相シングル6A VTT
- 全負荷、入力、および温度での全出力電圧レギュレーション誤差: 最大±1.5%
- 電流モード制御、高速トランジェント応答
- 外部の周波数に同期
- 電流分担によりマルチフェーズで並列接続可能
- 選択可能なBurst Mode[®]動作
- 過電圧入力保護と過熱保護
- パワーグッド・インジケータ
- 6.25mm×6.25mm×1.82mm 超薄型LGAパッケージおよび6.25mm×6.25mm×2.42mm BGAパッケージ

アプリケーション

- DDRメモリ電源
- 汎用ポイントオプロード変換
- 通信機器、ネットワーク機器、および産業用機器

概要

LTM[®]4632は、超薄型のトリプル出力降圧μModule[®](パワーモジュール)レギュレータで、DDR-QDR4 SRAM向けの完全な電源ソリューションを実現します。LTM4632は、3.6V~15Vの入力電圧範囲で動作し、シンクとソースの両方の電流に対応する2つの±3A出力レールをVDDQとVTTに対してサポートし、この他に10mAの低ノイズ・リファレンスVTTR出力を内蔵しています。VTTとVTTRは、どちらもVDDQ/2に追従し、電圧もVDDQ/2に等しくなります。LTM4632は6.25mm×6.25mm×1.82mm LGAパッケージおよび6.25mm×6.25mm×2.42mm BGAパッケージに収容されており、スイッチング・コントローラ、パワーFET、インダクタ、およびサポート部品を搭載しています。また、このパワーモジュールは2相シングル±6A出力のVTTとして構成することもできます。設計を完了するために必要なのは、入力と出力のセラミック・コンデンサ数個だけです。

LTM4632は、選択可能なBurst Modeモード動作(CH1のみ)と、出力電圧トラッキングによる電源レールのシーケンシングをサポートしています。高いスイッチング周波数と電流モード制御により、安定性を損なうことなく入力および負荷の変動に対するきわめて高速なトランジェント応答が可能です。

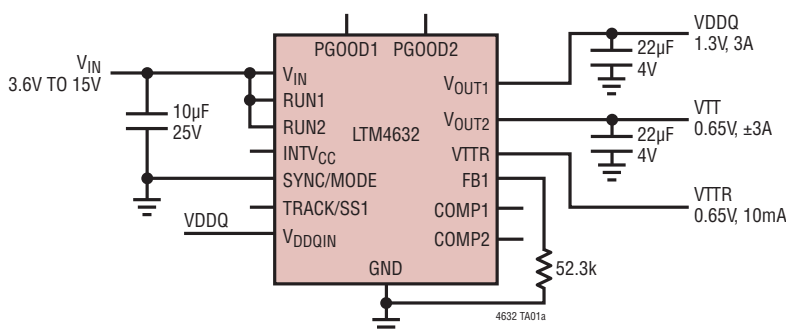
フォルト保護機能には、過電圧入力保護、過電流保護、過熱保護が含まれます。

LTM4632は無鉛仕上げで、RoHSに準拠しています。

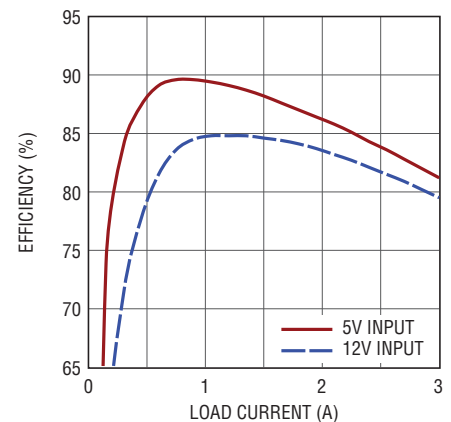
LT、LT、LTC、LTM、μModule、Burst Mode、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

QDR4メモリ電源μModuleレギュレータ



出力の効率と負荷電流



LTM4632

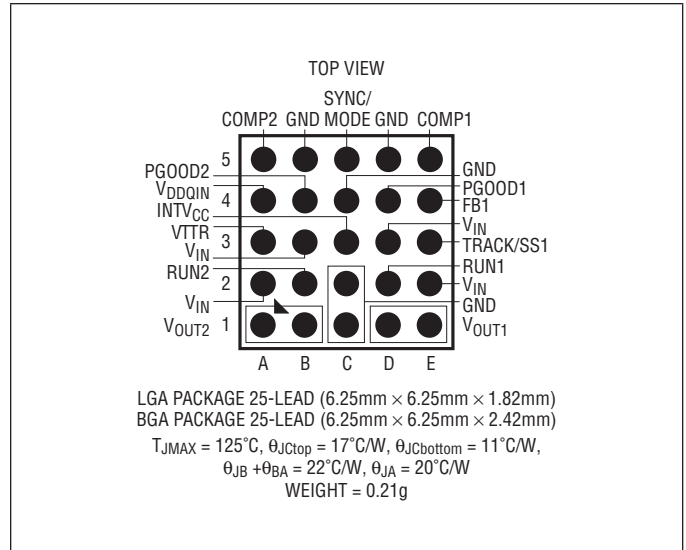
絶対最大定格

(Note 1)

V_{IN}	-0.3V ~ 16V
V_{OUT}	-0.3V ~ 6V
PGOOD1、PGOOD2	-0.3V ~ 16V
RUN1、RUN2	-0.3V ~ $V_{IN} + 0.3V$
INTV _{CC} 、TRACK/SS1、V _{DDQIN} 、VTTR	-0.3V ~ 3.6V
MODE/SYNC、COMP1、COMP2、 FB1、FB2	-0.3V ~ INTV _{CC}
内部動作温度範囲 (Note 2、3、5)	-40 ~ 125°C
保存温度範囲	-55 ~ 125°C
半田リフローのピーク・ボディ温度	260°C

ピン配置

(ピン機能、ピン配置の表を参照)



発注情報

<http://www.linear-tech.co.jp/product/LTM4632#orderinfo>

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・タイプ	MSL 定格	温度範囲 (Note 2 参照)
		デバイス	仕上げコード			
LTM4632EV#PBF	Au (RoHS)	LTM4632V	e4	LGA	3	-40°C to 125°C
LTM4632IV#PBF	Au (RoHS)	LTM4632V	e4	LGA	3	-40°C to 125°C
LTM4632EY#PBF	SAC305 (RoHS)	LTM4632Y	e1	BGA	3	-40°C to 125°C
LTM4632IY#PBF	SAC305 (RoHS)	LTM4632Y	e1	BGA	3	-40°C to 125°C
LTM4632IY	SnPb (63/37)	LTM4632Y	e0	BGA	3	-40°C to 125°C

- さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- 端子仕上げの製品マーキングの参照先: www.linear-tech.co.jp/leadfree
- LGA/BGAの推奨のPCBアセンブリ手順および製造手順の参照先: www.linear-tech.co.jp/umodule/pcbassembly
- LGA/BGAパッケージおよびトレイの図面の参照先: www.linear-tech.co.jp/packaging

4632fa

電气的特性

●は規定された全内部動作温度範囲の規格値を意味する (Note 2)。

注記がない限り、図 19 の標準的応用例に基づき、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ における各出力チャンネルで規定。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Input DC Voltage		●	3.6	15	V	
$V_{IN_3.3}$	3.3V Input DC Voltage	$V_{IN} = \text{INTV}_{CC}$	●	3.1	3.3	3.5	V
$V_{OUT1(\text{RANGE})}$ $V_{OUT2(\text{RANGE})}$	Output Voltage Range	$V_{IN} = 3.6\text{V to } 15\text{V}$	●	0.6	2.5	V	
			●		1.8	V	

出力の規格(チャンネル1)

$V_{OUT1(\text{DC})}$	CH1 Output Voltage, Total Variation with Line and Load	$C_{IN} = 22\mu\text{F}$, $C_{OUT} = 100\mu\text{F}$ Ceramic $R_{FB1} = 51.7\text{k}$, $\text{MODE} = \text{GND}$, $I_{OUT} = -3\text{A to } 3\text{A}$	●	1.28	1.30	1.32	V
$I_{OUT1(\text{DC})}$	CH1 Output Continuous Current Range	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$ (Note 3)		-3		3	A
$I_{Q1}(V_{IN})$	CH1 Input Supply Bias Current	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$, $\text{MODE} = \text{GND}$ $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$, $\text{MODE} = \text{INTV}_{CC}$ Shutdown, $\text{RUN1} = \text{GND}$			13		mA
					400		μA
					40		μA
$IS1(V_{IN})$	CH1 Input Supply Current	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$, $I_{OUT} = 3\text{A}$			0.4		A
$\Delta V_{OUT1}(\text{Line})/V_{OUT1}$	CH1 Line Regulation Accuracy	$V_{OUT1} = 1.3\text{V}$, $V_{IN} = 3.6\text{V to } 15\text{V}$, $I_{OUT1} = 0\text{A}$	●		0.01	0.05	%/V
$\Delta V_{OUT1}(\text{Load})/V_{OUT1}$	CH1 Load Regulation Accuracy	$V_{OUT1} = 1.3\text{V}$, $I_{OUT} = -3\text{A to } 3\text{A}$	●		0.2	1.0	%
$V_{OUT1}(\text{AC})$	CH1 Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 47\mu\text{F}$ Ceramic $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			30		mV
$\Delta V_{OUT1}(\text{START})$	CH1 Turn-On Overshoot	$I_{OUT} = 0\text{A}$, $C_{OUT} = 47\mu\text{F}$ Ceramic, $\text{TRACK}/\text{SS1} = -0.1\mu\text{F}$, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			30		mV
t_{START}	Turn-On Time	$C_{OUT} = 100\mu\text{F}$ Ceramic, $\text{TRACK}/\text{SS1} = 0.01\mu\text{F}$ No Load, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			1.2		ms
ΔV_{OUTLS1}	CH1 Peak Deviation for Dynamic Load	Load:0% to 25% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			85		mV
t_{SETTLE1}	CH1 Settling Time for Dynamic Load Step	Load:0% to 25% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			20		μs
I_{OUTPK1}	CH1 Output Current Limit	$V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			4.5		A

出力の規格(チャンネル2)

$V_{OUT2(\text{DC})}$	CH2 Output Voltage, Total Variation with Line and Load	$C_{IN} = 22\mu\text{F}$, $C_{OUT} = 100\mu\text{F}$ Ceramic $V_{DDQIN} = 1.3\text{V}$, $\text{MODE} = \text{GND}$, $I_{OUT} = -3\text{A to } 3\text{A}$	●	637	650	663	mV
$I_{OUT2(\text{DC})}$	CH2 Output Continuous Current Range	$V_{IN} = 12\text{V}$, $V_{DDQIN} = 1.3\text{V}$ (Note 3)		-3		3	A
$I_{Q2}(V_{IN})$	CH2 Input Supply Bias Current	$V_{IN} = 12\text{V}$, $V_{DDQIN} = 1.3\text{V}$, $\text{MODE} = \text{GND}$ Shutdown, $\text{RUN2} = 0$			7		mA
					40		μA
$IS2(V_{IN})$	CH2 Input Supply Current	$V_{IN} = 12\text{V}$, $V_{DDQIN} = 1.3\text{V}$, $I_{OUT} = 3\text{A}$			0.25		A
$\Delta V_{OUT2}(\text{Line})/V_{OUT2}$	CH2 Line Regulation Accuracy	$V_{DDQIN} = 1.3\text{V}$, $V_{IN} = 3.6\text{V to } 15\text{V}$, $I_{OUT2} = 0\text{A}$	●		0.01	0.05	%/V
$\Delta V_{OUT2}(\text{Load})/V_{OUT2}$	CH2 Load Regulation Accuracy	$V_{DDQIN} = 1.3\text{V}$, $I_{OUT} = -3\text{A to } 3\text{A}$	●		0.2	1.0	%
$V_{OUT2}(\text{AC})$	CH2 Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F}$ Ceramic $V_{IN} = 12\text{V}$, $V_{DDQIN} = 1.3\text{V}$			30		mV
ΔV_{OUTLS2}	CH2 Peak Deviation for Dynamic Load	Load:0% to 25% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			85		mV
t_{SETTLE2}	CH2 Settling Time for Dynamic Load Step	Load:0% to 25% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT1} = 1.3\text{V}$			20		μs
I_{OUTPK2}	CH2 Output Current Limit				4.5		A

LTM4632

電気的特性

●は規定された全内部動作温度範囲の規格値を意味する (Note 2)。

注記がない限り、図 19 の標準的応用例に基づき、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ における各出力チャネルで規定。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
制御セクション						
V_{FB1}	Voltage at V_{FB1} Pin	$I_{OUT} = 0\text{A}$, $V_{OUT1} = 1.5\text{V}$	● 0.593	0.600	0.607	V
I_{FB1}	Current at V_{FB1} Pin	(Note 4)			±30	nA
RFBH1	Resistor Between V_{OUT1} and V_{FB1} Pins		60.00	60.40	60.80	k Ω
VTTR	VTTR Voltage Reference	$V_{DDQIN} = 1.3\text{V}$, $I_{VTTR} = \pm 10\text{mA}$, $C_{VTTR} < 10\text{nF}$	● 0.492x V_{DDQIN}	0.50x V_{DDQIN}	0.508x V_{DDQIN}	V
V_{RUN1} , V_{RUN2}	RUN Pin On Threshold	RUN Threshold Rising RUN Threshold Falling	1.18 0.95	1.28 1.01	1.39 1.05	V V
I_{RUN1} , I_{RUN2}	RUN Pin Leakage Current			0	±1	μA
$I_{TRACK/SS1}$	TRACK/SS1 Pin Soft-Start Pull-Up Current	TRACK/SS1 = 0V		1.2		μA
$t_{ON(MIN)}$	Minimum On-Time	(Note 4)		20		ns
$t_{OFF(MIN)}$	Minimum Off-Time	(Note 4)		45		ns
VPGOOD	PGOOD Trip Level	V_{FB} With Respect to 0.6V V_{OUT2} With Respect to $V_{DDQIN}/2$ (Note 4) Ramping Negative Ramping Positive		-8 8	-14 14	% %
RPGOOD	PGOOD Pull-Down Resistance	1mA Load		15		Ω
V_{INTVCC}	Internal V_{CC} Voltage	$V_{IN} = 3.6\text{V}$ to 15V	3.1	3.3	3.5	V
V_{INTVCC} Load Reg	INTV $_{CC}$ Load Regulation	$I_{CC} = 0$ to 50mA		1.3		%
f_{OSC}	Oscillator Frequency			1		MHz
SYNC	SYNC Threshold Voltage			0.95		V
$I_{SYNC/MODE}$	MODE Input Current	SYNC/MODE = INTV $_{CC}$		-1.5		μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: LTM4632 は T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTM4632E は、 0°C ~ 125°C の内部動作温度範囲で性能仕様に適合することが保証されている。 -40°C ~ 125°C の内部動作温度範囲での仕様は設計、特性評価および統計的なプロセス・コントロールとの間で確認されている。LTM4632I は -40°C ~ 125°C の全内部動作温度範囲で仕様に適合することが保証されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗および他の環境要因と関連した特定の動作条件によって決まることに注意。

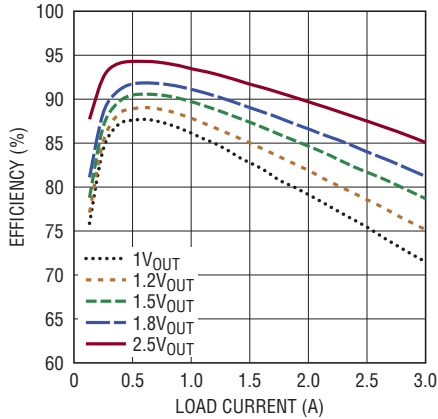
Note 3: 異なる V_{IN} 、 V_{OUT} 、および T_A については出力電流のディレーティング曲線を参照。

Note 4: ウェハ・レベルで全数テストされる。

Note 5: このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能が動作しているとき接合部温度は 125°C を超える。規定された最大動作接合部温度を超えた状態で動作が継続すると、デバイスの信頼性を損なう恐れがある。

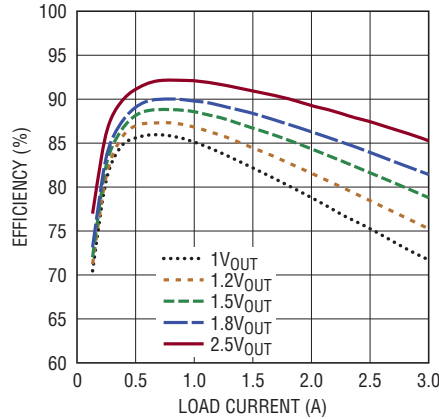
標準的性能特性

効率と負荷電流 ($V_{IN} = 3.6V$)



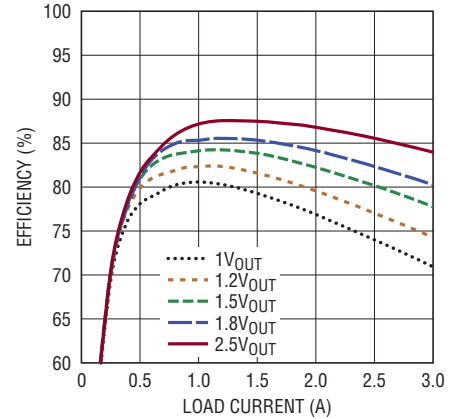
4632 G01

効率と負荷電流 ($V_{IN} = 5V$)



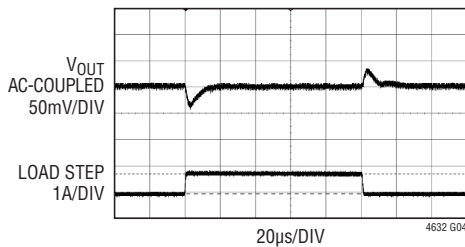
4632 G02

効率と負荷電流 ($V_{IN} = 12V$)



4632 G03

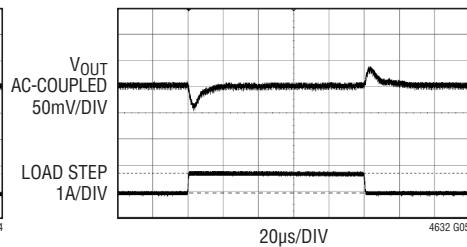
1Vの出力トランジェント応答



4632 G04

$V_{IN} = 12V$
 $V_{OUT} = 1V$
 $f_S = 1MHz$
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 LOAD STEP = 2.25A TO 3A

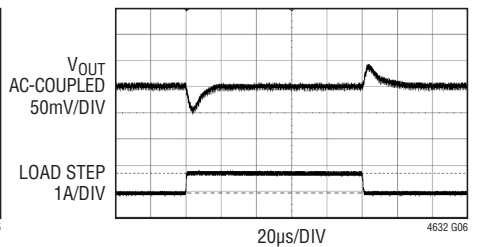
1.2Vの出力トランジェント応答



4632 G05

$V_{IN} = 12V$
 $V_{OUT} = 1.2V$
 $f_S = 1MHz$
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 LOAD STEP = 2.25A TO 3A

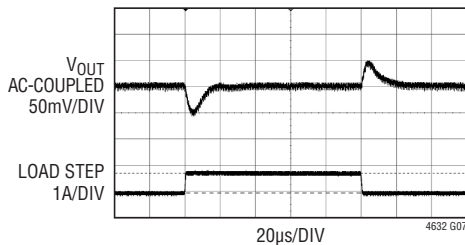
1.5Vの出力トランジェント応答



4632 G06

$V_{IN} = 12V$
 $V_{OUT} = 1.5V$
 $f_S = 1MHz$
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 LOAD STEP = 2.25A TO 3A

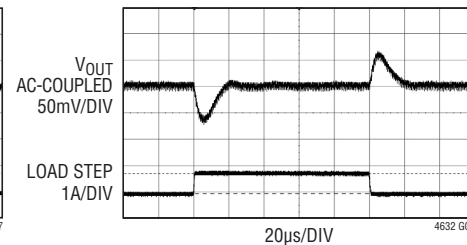
1.8Vの出力トランジェント応答



4632 G07

$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 LOAD STEP = 2.25A TO 3A

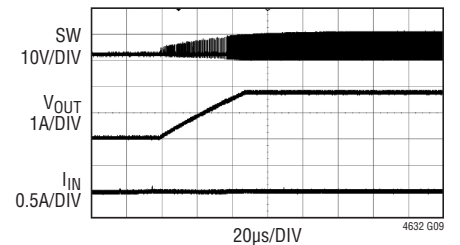
2.5Vの出力トランジェント応答



4632 G08

$V_{IN} = 12V$
 $V_{OUT} = 2.5V$
 $f_S = 1MHz$
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 LOAD STEP = 2.25A TO 3A

無負荷電流での起動

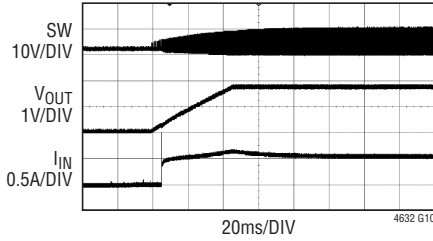


4632 G09

$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 0A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 SOFT-START CAPACITOR = $0.1\mu F$

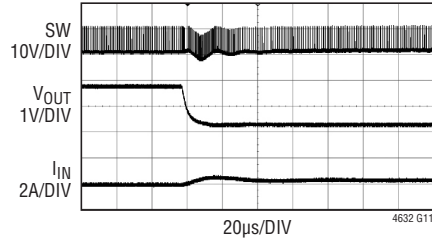
標準的性能特性

負荷電流3Aでの起動



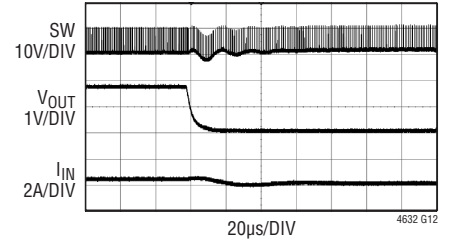
$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 3A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC
 SOFT-START CAPACITOR = $0.1\mu F$

無負荷電流での短絡



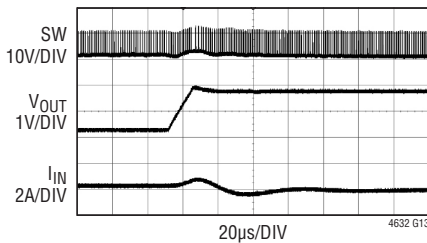
$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 0A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC

負荷電流3Aでの短絡



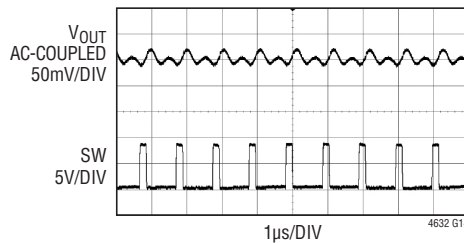
$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 3A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC

無負荷電流での短絡からの回復



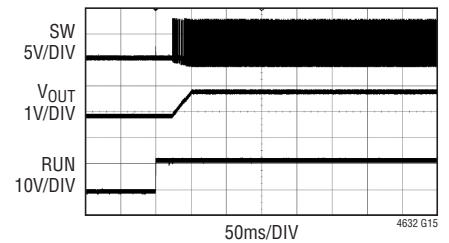
$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 0A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC

定常状態での出力電圧リップル



$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 0A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC

プリバイアスされた出力までの起動



$V_{IN} = 12V$
 $V_{OUT} = 1.8V$
 $f_S = 1MHz$
 $I_{OUT} = 0A$
 INPUT CAPACITOR = $1 \times 22\mu F$ CERAMIC
 OUTPUT CAPACITOR = $1 \times 47\mu F$ CERAMIC

ピン機能

V_{IN} (A2, B3, D3, E2) : 電源入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。入力デカップリング・コンデンサはV_{IN}ピンとGNDピンの間に直接配置することを推奨します。

V_{OUT1} (D1, E1)、V_{OUT2} (A1, B1) : 各スイッチング・モード・レギュレータの電源出力ピン。これらのピンとGNDピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンとGNDピンの間に直接配置することを推奨します。

GND (C1 ~ C2, C4, B5, D5) : 入力帰路と出力帰路の両方の電源グランド・ピン。

PGOOD1 (D4) : チャンネル1のスイッチング・モード・レギュレータのオープンドレインのロジックを備えた出力パワーグッド。FB1ピンの電圧が0.6Vの内部リファレンスの±8% (標準) 以内に入っていない場合、PGOOD1ピンはグランド電位に低下します。このしきい値には15mVのヒステリシスがあります。

PGOOD2 (B4) : チャンネル2のスイッチング・モード・レギュレータのオープンドレインのロジックを備えた出力パワーグッド。V_{OUT2}ピンの電圧がV_{DDQIN}/2の電圧の±8% (標準) 以内に入っていない場合、PGOOD2ピンはグランド電位に低下します。このしきい値には15mVのヒステリシスがあります。

SYNC/MODE (C5) : モード選択入力および外部同期入力。すべての出力負荷で連続同期動作を強制するには、このピンをグランドに接続します。このピンをフロート状態にするか、INTV_{CC}ピンに接続すると、軽負荷時に効率の高いBurst Mode動作がイネーブルされます。LTM4632のスイッチング周波数を同期させるには、このピンをクロックで駆動します。フェーズロック・ループにより、上側のパワーNMOSのターンオン信号は、クロック信号の立ち上がりエッジと強制的に同期されます。このピンをクロックで駆動すると、強制連続モードが自動的に選択されます。

INTV_{CC} (C3) : スwitchング・モード・レギュレータ・チャンネルの内部3.3Vレギュレータ出力。内部パワー・ドライバおよび制御回路はこの電圧から電力を供給されます。このピンは低ESRの2.2μFセラミック・コンデンサにより、内部でGNDにデカップリングされています。外付けのデカップリング・コンデンサは必要ありません。

RUN1 (D2)、RUN2 (B2) : スwitchング・モード・レギュレータの各チャンネルの動作制御入力。RUNピンを1.28Vより高い電圧に接続すると、デバイスの動作がイネーブルされます。このピンを1Vより低い電圧に接続すると、レギュレータの特定のチャンネルがシャットダウンします。このピンはフロート状態にしないでください。

COMP1 (E5)、COMP2 (A5) : スwitchング・モード・レギュレータの各チャンネルの電流制御しきい値およびエラーアンプ補償ポイント。電流コンパレータの作動しきい値は、(通常0.3V ~ 1.8V)のこの電圧に直線的に比例します。このデバイスは内部補償されています。COMPピンは、2相シングル出力のV_{TTR}構成では互いに接続してください。詳細は、「アプリケーション情報」のセクションを参照してください。

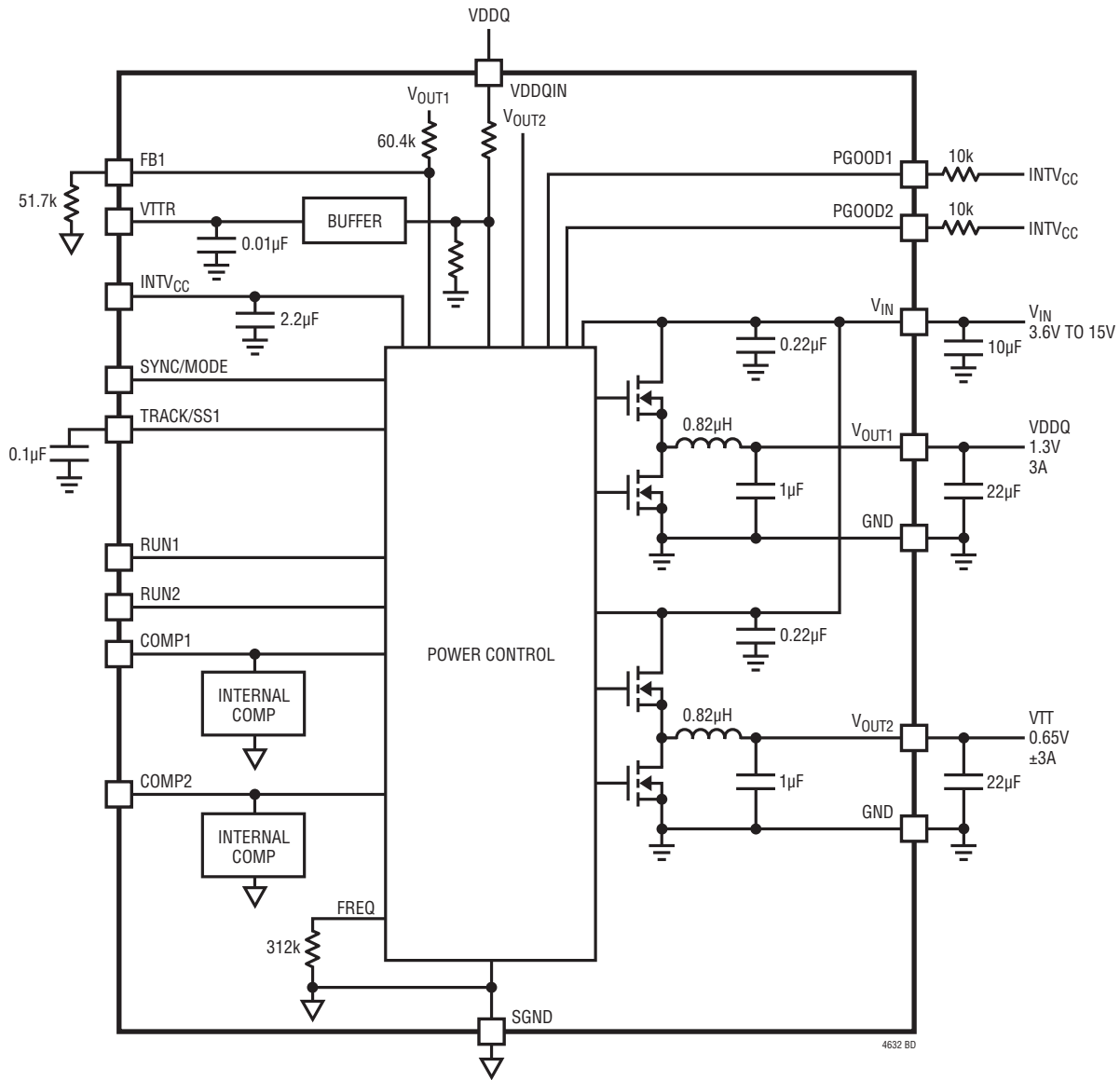
FB1 (E4) : チャンネル1のスイッチング・モード・レギュレータのエラーアンプの負(反転)入力。このピンは内部で60.4kの高精度抵抗を介してV_{OUT1}に接続されています。FB1ピンとGNDピンの間に抵抗を追加して、異なる出力電圧を設定することができます。2相シングル出力のV_{TTR}構成では、このピンをINTV_{CC}に接続してください。詳細は、「アプリケーション情報」のセクションを参照してください。

TRACK/SS1 (E3) : チャンネル1のスイッチング・モード・レギュレータの出力トラッキングおよびソフトスタート・ピン。このピンを使うと、出力電圧の立ち上がり時間を制御することができます。このピンの電圧が0.6Vより低くなると、エラーアンプへの内部リファレンス入力がバイパスされ、代わりにFBピンがTRACK/SSピンの電圧にサーボ制御されます。0.6Vより高くなるとトラッキング機能が停止し、内部リファレンスによってエラーアンプの制御が再開されます。このピンにはINTV_{CC}から1.2μAの内部プルアップ電流が流れるので、このピンにコンデンサを接続すると、ソフトスタート機能を実現できます。

VTTR (A3) : リファレンス出力。この出力は、DDRメモリのVREF電圧を供給するために使用します。内蔵のバッファ・アンプは、V_{DDQIN}/2と等しい低ノイズのリファレンス電圧を出力します。この出力は10mAの供給能力があります。VTTRには0.01μFの内部コンデンサがあります。RCフィルタを追加することにより、VTTRのリップルを更に低減することができます。チャンネル2のエラーアンプは、この電圧をリファレンス電圧として使用します。

V_{DDQIN} (A4) : チャンネル2の外部リファレンス入力。内部抵抗分割器が、この入力に印加される電圧の2分の1と等しくなるようにVTTRピンの電圧を設定します。チャンネル2は、VTTRピンの電圧をエラーアンプのリファレンスとして使用します。

ブロック図



デカップリングの要件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C _{IN}	External Input Capacitor Requirement (V _{IN} = 3.6V to 15V, V _{OUT} = 1.5V)	I _{OUT} = 3A	4.7	10		µF
C _{OUT}	External Output Capacitor Requirement (V _{IN} = 3.6V to 15V, V _{OUT} = 1.5V)	I _{OUT} = 3A	10	22		µF

動作

LTM4632は、DDR-QDR4 SRAMメモリの電源およびバス終端向けのデュアル出力、独立型、非絶縁スイッチ・モードDC/DC電源です。このデバイスは、入力と出力に数個のセラミック・コンデンサを外付けすることにより、3AのDCシンク電流およびソース電流を供給できる2つの出力レールを実現し、更に V_{DDQIN} の電圧の1/2に等しい10mAのバッファ付きVTTR (VREF)リファレンス電圧を発生することができます。

2つ以上のモジュールの出力を並列接続して、シンク電流およびソース電流の供給能力の高い単一のVTT出力を容易に実現できます。電流モード制御ループによって保証されている優れた電流分担機能により、最大8位相を並列接続して同時に動作させることができます。

このモジュールは、3.6V～15Vの入力電圧範囲で、1個の外付け抵抗によって設定可能な0.6V～2.5Vの高精度安定化出力電圧(V_{OUT1})を供給します。INTV_{CC}を V_{IN} に接続することにより、このモジュールは3.3V入力で動作することができます。

LTM4632は、オン時間固定のデュアル谷電流モード・レギュレータ、パワーMOSFET、インダクタ、その他のディスクリート・サポート部品を内蔵しています。標準的なスイッチング周波数は内部で1MHzに設定されています。スイッチング・ノイズの影響を受けやすいアプリケーションでは、 μ Moduleは設定周波

数から±30%の範囲内のクロックに外部同期可能です。「アプリケーション情報」のセクションを参照してください。

電流モード制御と内部帰還ループ補償により、LTM4632モジュールは、広範囲の出力コンデンサを使用して(全てセラミック出力コンデンサを使用する場合でも)十分に余裕のある安定性と良好なトランジェント性能を達成します。

電流モード制御により、サイクルごとに高速電流制限が行われます。内蔵されている過電圧コンパレータと低電圧コンパレータは、出力帰還電圧がレギュレーション・ポイントから±8%の範囲を外れると、オープン・ドレインのPGOOD出力を“L”に引き下げます。更に、 V_{IN} が17.5Vより高くなると、2つのパワーMOSFETを両方ともシャットダウンすることによって入力過電圧保護機能を利用し、内部デバイスを保護することができます。

RUNピンの電圧を1Vより低い値まで下げると、コントローラは強制的にシャットダウン状態になり、上下両側のパワーMOSFETおよびほとんどの内部制御回路はオフします。軽負荷電流では、MODEピンの電圧をINTV_{CC}に設定することにより、Burst Mode動作をイネーブルして、連続モード(CCM)に比べて高い効率を達成することができます。TRACK/SSピンは電源トラッキングとソフトスタートの設定に使用されます。「アプリケーション情報」のセクションを参照してください。

アプリケーション情報

LTM4632の代表的なアプリケーション回路を図19に示します。外部部品の選択は主に、入力電圧、出力電圧、および最大負荷電流で決まります。個々のアプリケーションに対する外付けコンデンサの具体的な要件については、表5を参照してください。

V_{IN} から V_{OUT} への降圧比

レギュレータには最小オフ時間と最小オン時間の制限があるので、所定の入力電圧で実現可能な V_{IN} と V_{OUT} との最大降圧比には制約があります。最小オフ時間の制限によって最大デューティ・サイクルが決まり、その値は次のように計算できます。

$$D_{MAX} = 1 - t_{OFF(MIN)} \cdot f_{SW}$$

ここで、 $t_{OFF(MIN)}$ は最小オフ時間でLTM4632では標準で45nsであり、 f_{SW} はスイッチング周波数です。反対に、最小オン時間の制限によってコンバータの最小デューティ・サイクルが決まり、その値は次のように計算できます。

$$D_{MIN} = t_{ON(MIN)} \cdot f_{SW}$$

ここで、 $t_{ON(MIN)}$ は最小オン時間であり、LTM4632では標準で20nsです。最小デューティ・サイクルを超える稀なケースでは、出力電圧はレギュレーション状態に留まりますが、スイッチング周波数は設定値より減少します。さらにサーマル・ディレーティングが適用される可能性があることに注意してください。このデータシートの「熱に関する検討事項と出力電流のディレーティング」のセクションを参照してください。

アプリケーション情報

チャンネル1の出力電圧のプログラミング(VDDQとして設定)

V_{OUT1}のPWMコントローラは0.6Vの内部リファレンス電圧を備えています。「ブロック図」に示すように、V_{OUT1}ピンとFB1ピンは60.4kの内部帰還抵抗によって相互に接続されています。FB1ピンとGNDの間に抵抗R_{FB}を追加すると、出力電圧は次のように設定されます。

$$R_{FB} = \frac{0.6V}{V_{OUT} - 0.6V} \cdot 60.4k$$

表 1. V_{FB}の抵抗(1%)とさまざまな出力電圧の表

V _{OUT} (V)	0.6	1.0	1.2	1.3	1.5	1.8	2.5
R _{FB} (k)	OPEN	90.9	60.4	52.3	40.2	30.1	19.1

チャンネル2の出力電圧のプログラミング(VTTとして設定)

V_{OUT2}のPWMコントローラは、VTTRの電圧をリファレンス電圧として使用します。V_{OUT2}はエラー・コンパイラの負極側に直接接続してV_{OUT2}を内部で設定し、VTTRの電圧に等しくなるようにしています。また、この電圧はV_{DDQIN}の電圧の1/2に等しくなります。

$$V_{OUT2} = VTTR = V_{DDQIN}/2$$

VDDQ電源とVTT終端の両方の出力が必要な完全なDDRメモリ電源アプリケーションでは、FB1ピンとGNDの間に帰還抵抗を追加して、LTM4632のチャンネル1をVDDQ出力として構成します。V_{OUT1}(VDDQ出力)の電圧をV_{DDQIN}ピンに供給してチャンネル2をVTT出力として設定し、この電圧をチャンネル1(VDDQ出力)の電圧の1/2に等しい値にします。

入力デカップリング・コンデンサ

LTM4632モジュールは低ACインピーダンスのDC電源に接続する必要があります。レギュレータの各チャンネルには、RMSリップル電流のデカップリングのため、4.7μFの入力セラミック・コンデンサが必要です。バルク入力コンデンサが必要なのは、長い誘導性のリードやトレースまたは電源の容量不足によって入力電源のインピーダンスが損なわれる場合だけです。バルク・コンデンサは、アルミ電解コンデンサでもポリマー・コンデンサでもかまいません。

インダクタの電流リップルを考慮しなければ、入力コンデンサのRMS電流は、各出力に対して次のように概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)}$$

ここで、η%はパワー・モジュールの推定効率です。

出力デカップリング・コンデンサ

LTM4632は高い周波数と広い帯域幅に合わせて設計が最適化されているので、22μFの低ESR出力セラミック・コンデンサを1つ取り付けるだけで、LTM4632の各出力は低い出力リップル電圧と非常に良好なトランジェント応答を実現できます。出力リップルや動的トランジェント・スパイクを更に低減するために、システム設計者による出力フィルタの追加が必要になる場合があります。0.75A(25%)の負荷ステップ・トランジェント発生時の電圧低下やオーバーシュートを最小限に抑えるための、さまざまな出力電圧と出力コンデンサの一覧を表5に示します。マルチフェーズ動作では、位相数に応じて実効出力リップルが低減されます。このノイズ低減と出力リップル電流の相殺については「アプリケーションノート77」で解説していますが、出力容量は安定性とトランジェント応答によっても変化します。リニアテクノロジーのLTpowerCAD設計ツールをオンラインでダウンロードして、出力リップル、安定性、トランジェント応答を解析し、実装される位相数がN倍に増えるたびに出力リップルがどれだけ低減されるかを計算できます。

Burst Mode 動作

中程度の電流での高い効率の方が出力電圧のリップルより重要なアプリケーションでは、SYNC/MODEピンをINTV_{CC}に接続することによってチャンネル1でBurst Mode動作を使用し、軽負荷時効率を改善することができます。Burst Mode動作では、電流反転コンパレータ(IREV)が負のインダクタ電流を検出して下側のパワー・MOSFETをオフにするので、不連続動作となって効率が高くなります。COMPの電圧がゼロ電流レベルより高くなって新しいサイクルが開始されるまで、パワー・MOSFETは上下両側ともオフのままとなり、出力コンデンサが負荷電流を供給します。

アプリケーション情報

強制連続電流モード (CCM) 動作

低電流での効率より周波数固定の動作が重要で、更に出力リップルを最小限に抑えることが望ましいアプリケーションでは、強制連続動作を使用します。強制連続動作は、SYNC/MODEピンをGNDに接続すればイネーブルできます。このモードでは、インダクタ電流が低出力負荷の間反転可能で、COMPの電圧が電流コンパレータのしきい値を常に制御し、上側のMOSFETは発振器のパルスごとに必ずオンします。起動時には、LTM4632の出力電圧が安定化されるまで、強制連続モードがディスエーブルされ、インダクタ電流の反転が防止されます。

動作周波数

LTM4632の動作周波数は、小型パッケージ・サイズと最小出力リップル電圧を達成し、なおかつ高い効率を維持するように最適化されています。デフォルトの動作周波数は内部で1MHzに設定されています。ほとんどのアプリケーションでは、追加の周波数調整は必要ありません。

周波数同期

この電源モジュールには電圧制御発振器と位相検出器で構成されるフェーズロック・ループが内蔵されています。これにより、内部の上側MOSFETのターンオンを外部クロックの立ち上がりエッジにロックすることができます。外部クロックの周波数範囲は、設定動作周波数を中心にして±30%以内にする必要があります。パルス検出回路を使用してSYNC/MODEピンのクロックを検出し、フェーズロック・ループをオンします。クロックのパルス幅は100ns以上にする必要があります。クロックの“H”レベルは2Vより高くする必要があり、クロックの“L”レベルは0.3Vより低くする必要があります。外部クロック信号が入力されると、2つのレギュレータは両方とも強制連続モード動作に移行します。レギュレータの起動時、フェーズロック・ループ機能はディスエーブルされます。

マルチフェーズ動作 (マルチフェーズのシングル出力VTTとして構成)

VTT終端の出力負荷が3Aを超える電流を必要とする場合は、LTM4632の2つの出力または複数のLTM4632を並列接続した上で、位相をずらして動作させ、ソース電流とシンク電流の供給能力を増強したマルチフェーズのシングル出力VTT終端電源を構築することができます。

LTM4632の内部にあるスイッチング・モード・レギュレータの2つのチャンネルは、位相が180度ずれた状態で動作するように内部で設定されています。LTM4632のSYNC/MODEをLTC6902のような外部のマルチフェーズ発振器に同期させれば、複数のLTM4632が位相を90度、60度、または45度ずらして動作するのは簡単であり、これらはそれぞれ4相、6相、または8相動作に対応します。クロックの位相調整を目的とした4相シングル出力VTT終端電源の設計例を図2に示します。

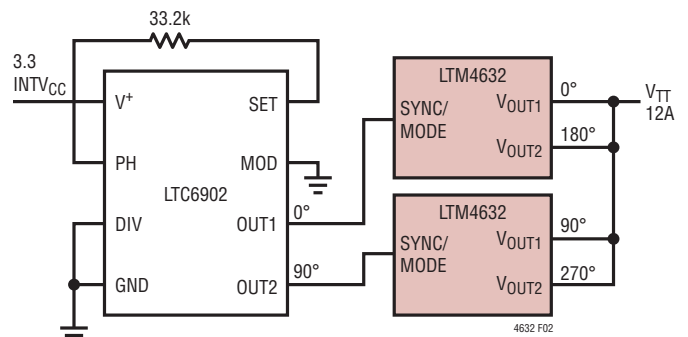


図2. LTC6902を使用した、4相シングル出力VTT動作に対するクロック位相調整の例

LTM4632のFB1をINTV_{CC}ピンに接続して、モジュールを2相シングルVTT出力動作モードにします。これにより、チャンネル1のエラーアンプのリファレンス電圧は、内部で0.6VからV_{TTR}の電圧に切り替わり、チャンネル2と同じになります。複数のLTM4632を並列接続するアプリケーションでは、LTM4632モジュールごとにこれを繰り返します。

また、並列接続する各チャンネルのRUN、TRACK/SS、およびCOMPピンを互いに接続します。並列接続したマルチフェーズ・シングル出力VTT終端電源の動作およびピン接続の例を図20に示します。

LTM4632は、本来は電流モード制御デバイスなので、並列モジュールは非常に優れた電流分担特性を示します。このため、デザインの発熱バランスがよくなります。

マルチフェーズ動作 (VDDQ+VTTとして構成)

VDDQおよびVTT終端の両方の出力負荷が3Aを超える電流を必要とするアプリケーションでは、異なるLTM4632モジュールの複数のチャンネル1出力を並列接続して、マルチフェーズのシングルVDDQ出力を容易に供給すると同時に、異なるLTM4632モジュールの複数のチャンネル2出力を並列接続して、マルチフェーズのシングルVTT出力を供給することができます。

アプリケーション情報

この場合は、LTM4632のSYNC/MODEをLTC6902のような外部のマルチフェーズ発振器に同期させることにより、複数のLTM4632が位相を180度、120度、または90度ずらして動作するよう構成します。これらはそれぞれ2相、3相、または4相動作に対応します。

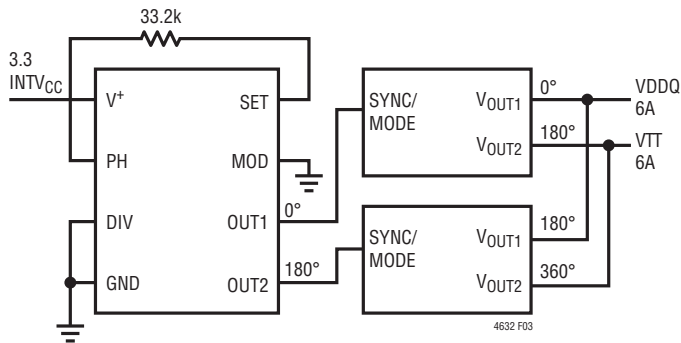


図3. LTC6902を使用した、2相VDDQ+2相VTT動作に対するクロック位相調整の例

VDDQ出力では、並列接続する各モジュールのRUN1、TRACK/SS1、FB1、およびCOMP1ピンを互いに接続します。VTT出力では、並列接続する各モジュールのRUN2、VDDQIN、FB2、およびCOMP2ピンを互いに接続します。2つのLTM4632を並列接続して6AのVDDQ電源および6AのVTT終端電源を構築した例を図22に示します。

入力および出力RMSリップル電流の相殺

マルチフェーズ電源では、入力と出力のどちらのコンデンサのリップル電流の量も大幅に減少します。RMS入力リップル電流は使用する位相数が増えると低減され、実効リップル周波数は位相数倍されます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。すべての出力を互いに接続した高電流のシングル出力デザインでは、使用する位相数によって出力リップルの振幅を低減することができます。

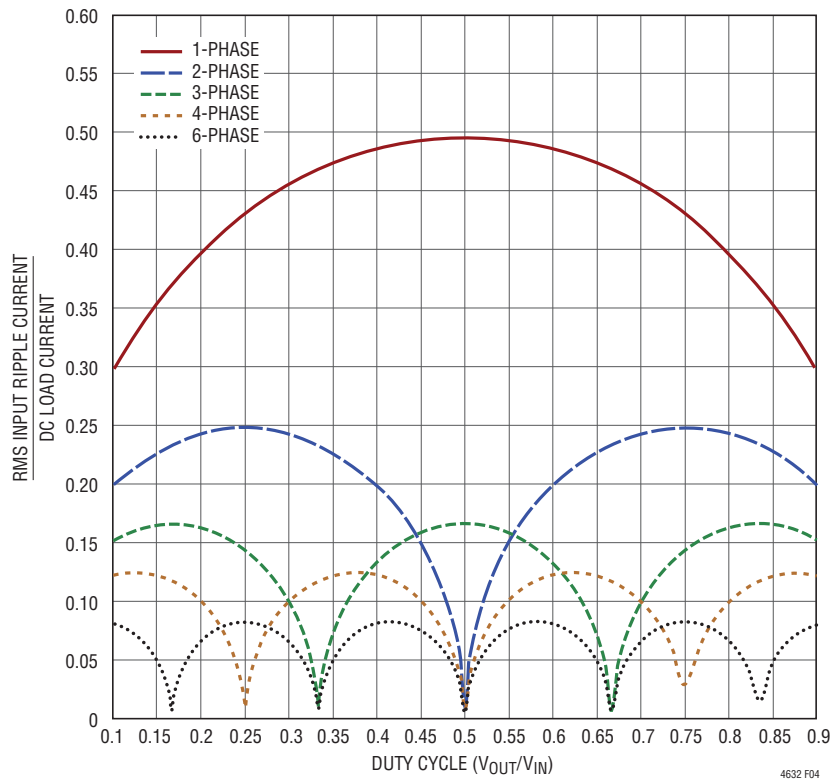


図4. DC負荷電流に対する入力RMS電流の比率のデューティ・サイクル依存性

アプリケーション情報

マルチフェーズ動作は「アプリケーションノート77」で詳細に説明されています。入力RMSリップル電流の相殺を数学的に導出し、RMSリップル電流の減少を、インタリーブされた位相の数の関数として表したグラフを掲載しています。図4に、そのグラフを示します。

チャンネル1の出力電圧トラッキングとソフトスタート

TRACK/SSピンによって、チャンネル1のレギュレータをソフトスタートさせることも、別の電源をトラッキングさせることもできます。TRACK/SSピンに接続されたコンデンサにより、チャンネル1の出力電圧の上昇率が設定されます。内部の1.2μA電流源が外付けのソフトスタート・コンデンサを充電し、その電圧はINTV_{CC}ピンの電圧に近づきます。TRACK/SSピンの電圧が0.6Vより低くなると、出力電圧の制御は0.6Vの内部リファレンス電圧に引き継がれます。ソフトスタートの合計時間は次のように計算できます。

$$t_{SS} = 0.6 \cdot \frac{C_{SS}}{1.2\mu A}$$

ここで、C_{SS}はTRACK/SSピンに接続されている容量です。強制連続モードは、ソフトスタートの間ディスエーブルされます。

チャンネル1の出力電圧のトラッキングは、TRACK/SSピンを使用して外部から設定することもできます。出力を別のレギュレータに追従させて、その電圧を増減させることができます。スレーブ・レギュレータの出力スルーレートがマスタのスルーレートに比例する比例トラッキングの波形および回路図の例を図5および図6に示します。

スレーブ・レギュレータのTRACK/SSピンは抵抗分割器R_{TR(TOP)}/R_{TR(BOT)}を介してマスタの出力に接続されており、その電圧は、TRACK/SSピンの電圧が0.6Vより低いとき、スレーブの出力電圧を安定化するために使用されるので、スレーブの出力電圧とマスタの出力電圧は起動時に次の式を満たす必要があります。

$$V_{OUT(SL)} \cdot \frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} = V_{OUT(MA)} \cdot \frac{R_{TR(TOP)}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

図6に示すように、R_{FB(SL)}は帰還抵抗であり、R_{TR(TOP)}/R_{TR(BOT)}はスレーブ・レギュレータのTRACK/SSピンに接続されている抵抗分割器です。

上記の式に従うと、ボルト/時間を単位とするマスタの出力スルーレート(MR)とスレーブの出力スルーレート(SR)は次式により求められます。

$$\frac{MR}{SR} = \frac{\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

例えば、V_{OUT(MA)} = 1.5V、MR = 1.5V/1msおよびV_{OUT(SL)} = 1.2V、SR = 1.2V/1msとします。前述の式から、R_{TR(TOP)} = 60.4kおよびR_{TR(BOT)} = 40.2kが比例トラッキングに適した組み合わせであると解くことができます。

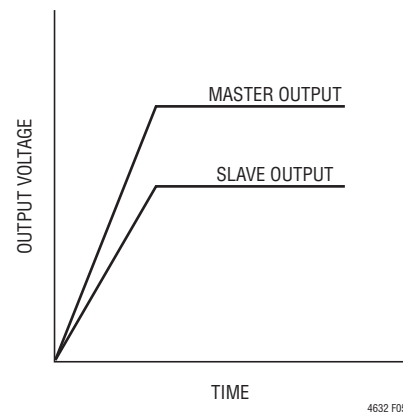


図5. 出力比例トラッキングの波形

抵抗分割器を使用して特定のチャンネルでのトラッキングを実装している場合、TRACKピンは1.2μAの電流源をオンします。このため、TRACKピン入力にオフセットが生じます。上式で計算した抵抗値と比が同じで、値がより小さな抵抗を使用してもかまいません。例えば、60.4kが使われている場合、6.04kを使ってTRACKピンのオフセットを無視できる値に下げることができます。

アプリケーション情報

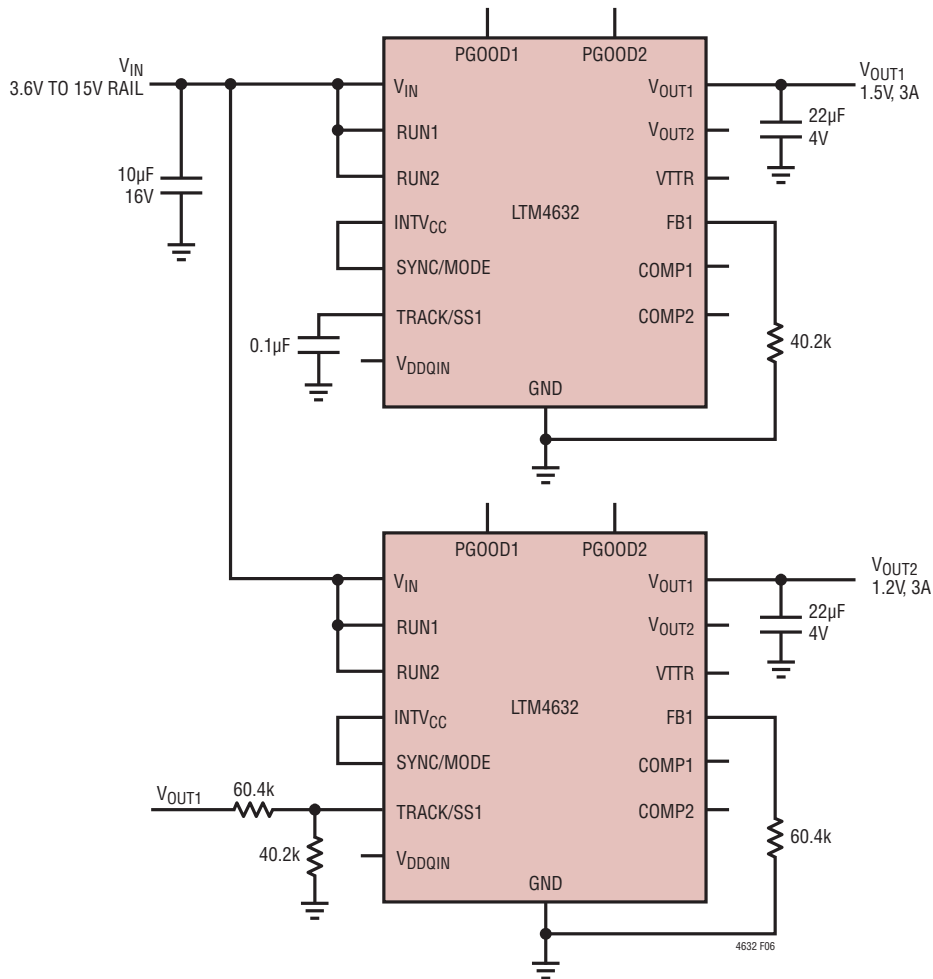


図6. 出力電圧比例トラッキングの回路例

図7の波形に示すように、同時出力トラッキングは、マスタの出力スルーレート(MR)がスレーブの出力スルーレート(SR)と同じである特殊な比例出力トラッキングとして認識することができます。

式から容易に分かるように、同時トラッキングでは、スレーブ・レギュレータのTRACK/SSピンの抵抗分割器が帰還抵抗分割器と常に同じです。

$$\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} = \frac{R_{TR(TOP)}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

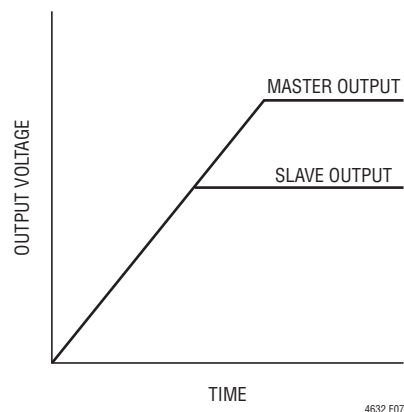


図7. 出力同時トラッキングの波形

アプリケーション情報

例えば、 $R_{TR(TOP)} = 60.4k$ および $R_{TR(BOT)} = 60.4k$ は、 $V_{OUT(MA)} = 1.5V$ および $V_{OUT(SL)} = 1.2V$ のアプリケーションの同時トラッキングに適した組み合わせです。

パワーグッド

PGOODピンはオープン・ドレインのピンで、有効な出力電圧レギュレーションをモニタするのに使うことができます。このピンはレギュレーション点の上下 $\pm 8\%$ の範囲をモニタします。モニタ用の抵抗を特定の電源電圧までプルアップできます。トランジェント時または V_{OUT} の動的変化時にPGOODの不要なグリッチを防ぐため、LTM4632のPGOODの立ち下がりがエッジには約40usのブランキング遅延が含まれています。

安定性補償

LTM4632モジュールの内部補償ループは、低ESRのセラミック出力コンデンサのみのアプリケーション向けに設計され、最適化されています。ほとんどのアプリケーションの要件に対して表5が与えられています。制御ループを解析して最適化を進めるために、LTpowerCAD設計ツールをダウンロードして利用できます。

RUNイネーブル

RUNピンの電圧をグランド電位まで下げると、LTM4632は強制的にシャットダウン状態になり、上下両側のパワーMOSFETおよびほとんどの内部制御回路はオフします。RUNピンの電圧を1.28Vより高くすると、デバイス全体がオンします。

低入力電圧アプリケーション

LTM4632は、 V_{IN} ピンをINTV_{CC}ピンに接続している場合、3.3V入力で動作することができます。このアプリケーション回路については、図21を参照してください。INTV_{CC}ピンの絶対最大定格電圧は3.6Vであることに注意してください。

プリバイアスされた出力での起動(チャンネル1)

出力コンデンサがプリバイアスされた状態で電源を起動する必要がある状況が生じることがあります。この場合、出力のプリバイアスを放電せずに起動することが必要です。LTM4632のチャンネル1は、出力コンデンサを放電せずに、プリバイアスした状態で安全に起動できます。

LTM4632は、TRACK/SS1ピンの電圧がチャンネル1の0.6Vのリファレンス電圧の80%に達するまで不連続モード(DCM)動作を強制することにより、これを実現します。これにより、プリバイアスされた出力での起動中にBGがオンして出力を放電することを防ぎます。INTV_{CC}の電圧(3.3V)より高い電圧ではLTM4632をプリバイアスしないでください。

過熱保護

内蔵されている過熱保護機能は、モジュールの接合部温度をモニタします。接合部温度が約170°Cに達すると、温度が約10°C下がるまで両方のパワースイッチがオフします。

入力過電圧保護

内部のパワーMOSFETデバイスをトランジェント電圧スパイクから保護するため、LTM4632では各 V_{IN} ピンを連続してモニタし、過電圧状態の有無を検査します。 V_{IN} が17.5Vを超えると、レギュレータは対応するチャンネルの2つのパワーMOSFETを両方ともオフして、動作を一時停止します。 V_{IN} が16.5Vより低くなると、レギュレータは直ちに通常動作を再開します。過電圧状態が解消されると、レギュレータはソフトスタート機能を実行します。

熱に関する検討事項と出力電流のディレーティング

データシートの「ピン配置」セクションに記載された熱抵抗は、JESD 51-9に定義されたパラメータと整合しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールでの使用を意図したものです。モデリング・ツールでは、JESD 51-9 (“Test Boards for Area Array Surface Mount Package Thermal Measurements”)によって定義されたハードウェア・テストボードに μ Moduleパッケージを実装して行われたハードウェア評価で得られた熱的モデリング、シミュレーション、相関の結果を使用します。これらの熱係数を示す意図は、JESD51-12 (“Guidelines for Reporting and Using Electronic Package Thermal Information”)に示されています。

多くの設計者は、さまざまな電気的および環境的動作条件で動作する実際のアプリケーションにおける μ Moduleレギュレータの熱性能を予測するのに、実験室の装置およびデモボードのようなテスト手段の使用を選択して、FEAの作業を補強できます。FEAソフトウェアを使用しない場合、「ピン配置」に記載された熱抵抗は、それだけでは熱性能のガイダンスにはなりません。むしろ、データシートに示されたディレーティング曲線を使った方が、アプリケーションへの適用方法に沿った洞察とガイダンスを得られ、特定のアプリケーションにおける熱性能との相関に適合させることができます。

4632fa

アプリケーション情報

「ピン配置」には、通常はJESD 51-12に明示的に定義された4つの熱係数が記載されています。以下に、これらの係数の定義の引用または説明を示します。

1. θ_{JA} (接合部から周囲までの熱抵抗)は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「静止空気」と呼ばれることがあります。この値は、JESD 51-9で定義されているテスト・ボードに実装したデバイスを使って決定されます。このテスト・ボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。
2. $\theta_{JCbottom}$ (接合部から製品のケースの底面までの熱抵抗)は、部品の全電力損失がパッケージの底面を通して流れ出す場合の接合部から基板までの熱抵抗です。標準的な μ Moduleでは、熱の大半がパッケージの底面から流出しますが、周囲の環境への熱の流出が必ず発生します。その結果、この熱抵抗値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションには当てはまりません。
3. θ_{JCtop} (接合部から製品のケースの上面までの熱抵抗)は、部品のほぼ全電力損失がパッケージの上面を通して流れ出す状態で決定されます。標準的な μ Moduleの電気的接続はパッケージの底面なので、熱の大半が接合部からデバイスの上面に流れるようにアプリケーションが動作することは稀です。 $\theta_{JCbottom}$ の場合と同様に、この値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションには当てはまりません。
4. θ_{JB} (接合部からプリント回路基板までの熱抵抗)は、熱の大部分が μ Moduleの底面を通して基板に流れ出すときの接合部から基板までの熱抵抗であり、実際には、 $\theta_{JCbottom}$ と、デバイスの底面から半田接合部を通り、基板の一部までの熱抵抗の和です。基板の温度は、両面の2層基板を使って、パッケージからの規定された距離で測定されます。この基板はJESD 51-9に記述されています。

前述の熱抵抗を図式化したものが図8です。青色の部分は μ Moduleレギュレータ内部の熱抵抗、緑色の部分は μ Moduleパッケージの外部に存在する熱抵抗です。

実際には、JESD51-12または「ピン配置」のセクションで定義されている4種類の熱抵抗パラメータは、個別でもいくつかの組み合わせでも、 μ Moduleの通常の動作条件を再現することも表現することもないので注意してください。例えば、基板に実装された通常のアプリケーションでは、標準規格が θ_{JCtop} および $\theta_{JCbottom}$ をそれぞれ定義しているように、デバイスの全電力損失(熱)の100%がパッケージの上面だけを通して、または底面だけを通して熱的に伝わることは決してありません。実際には、電力損失はパッケージの両面から熱的に放散されます。ヒートシンクと空気流がない場合には、当然、熱流の大部分は基板に流れます。

SIP (System-In-Package) モジュール内部では、電力損失を生じるパワーデバイスや部品が複数存在するので、その結果、部品やダイのさまざまな接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確に線形ではないことに注意してください。この複雑な問題をモデリングの簡潔性を犠牲にすることなく、(しかも実用的な現実性を無視せずに)解決するため、制御環境室でのラボ・テストとともにFEAソフトウェア・モデリングを使用するやり方を採用して、このデータシートに記載されている熱抵抗値を合理的に定義して相関をとります。(1)最初に、FEAソフトウェアを使用し、正しい材料係数に加えて正確な電力損失源の定義を使用することにより、 μ Moduleと指定のPCBの機械的形状モデルを高精度で作成します。(2)このモデルにより、JESD51-12に適合するソフトウェア定義のJEDEC環境のシミュレーションを行い、さまざまな界面での電力損失熱流と温度測定値を予測します。これにより、JEDEC定義の熱抵抗値を計算できます。(3)モデルとFEAソフトウェアを使用してヒートシンクと空気流がある場合の μ Moduleの熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデル内でさまざまな動作条件によるシミュレーションを行った上で、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的

アプリケーション情報

には、制御環境室内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスと必要な作業の結果、このデータシートの別のセクションに示されているディレーティング曲線が得られました。これらの実験室評価を実施し、 μ Module モデルとの相関をとってから θ_{JB} と θ_{BA} を合計すると、適切な環境のチャンバ内における空気流およびヒートシンクなしの μ Module モデルと、きわめてよい相関が得られました。この $\theta_{JB} + \theta_{BA}$ の値は「ピン配置」セクションに示されていますが、空気流がなく上面にヒートシンクを取り付けていない状態では、電力損失のほぼ100%が接合部から基板を通して周囲に流れるので、この値は θ_{JA} の値に正確に等しくなります。

図9～図11に示す1.0V、1.5V、および2.5Vでの電力損失曲線を図12～図17の負荷電流ディレーティング曲線と組み合わせることで、ヒートシンクなしでのLTM4632の概略の θ_{JA} 熱抵抗をさまざまな空気流条件で計算することができます。電力損失曲線は室温で測定し、120°Cの接合部温度を想定した場合は1.35の倍率で増加します。ディレーティング曲線は、LTM4632を2相シングル出力構成(図20)にすることにより、6Aの出力電流と40°Cの周囲温度を起点としてプロットされます。これらの出力電圧が選ばれたのは、低めおよび高めの出力電圧範囲を対象にして熱抵抗と対応づけるためです。熱モデルは、恒温槽での数回の温度測定と熱モデリング解析から得られます。空気流ありと空気流なしの条件で周囲温度を上げながら接合部温度をモニタします。周囲温

度の変化による電力損失の増加はディレーティング曲線に加味されています。周囲温度の上昇に合わせて出力電流つまり電力が減少するので、接合部温度は最大で120°Cに維持されます。出力電流が減少することにより、周囲温度が上昇するにつれて内部モジュールの損失は減少します。モニタされている接合部温度である120°Cから周囲動作温度を引くと、許容できるモジュールの温度上昇が規定されます。図12の例では、空気流とヒートシンクなしで約100°Cのとき、負荷電流は約3Aにディレーティングされ、5V入力から1V/3A出力を得る場合の電力損失は約0.95Wです。0.95Wの損失は、5V入力、1V/3A出力での電力損失曲線から得られる約0.7Wの室温での損失、および120°Cの測定接合部温度での1.35の倍率を使って計算されます。120°Cの接合部温度から100°Cの周囲温度を引き、その差の20°Cを0.95Wで割ると20°C/Wの熱抵抗 θ_{JA} が得られます。表2はこれと非常に近い19°C～20°C/Wの値を規定しています。空気流の有無を条件とした1.0V、1.5V、および2.5V出力の等価熱抵抗を表2～表4に示します。さまざまな条件で得られた表2～表4の熱抵抗に、周囲温度の関数として計算された電力損失を掛けて、周囲温度を超える温度上昇(したがって最大接合部温度)を求めることができます。室温での電力損失を「標準的性能特性」セクションの効率曲線から求めて、前述の周囲温度の倍率で調整することができます。プリント回路基板は1.6mm厚の4層構造で、外側2層には2オンス銅箔、内側2層には1オンス銅箔を使用しています。PCBの寸法は95mm×76mmです。

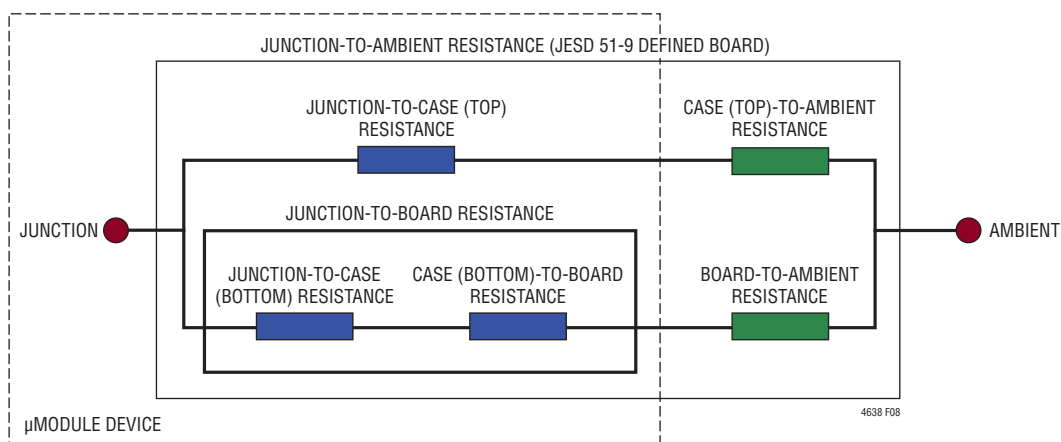


図8. JESD51-12の熱係数の図解

アプリケーション情報

図9. 1.0V出力での電力損失

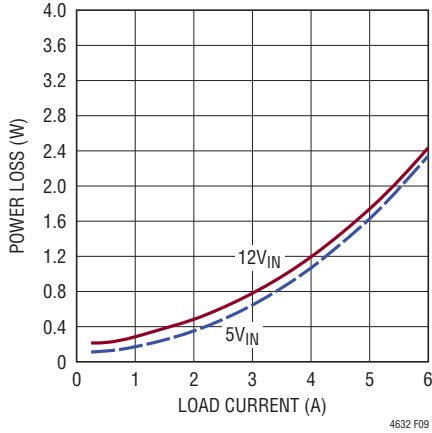


図10. 1.5V出力での電力損失

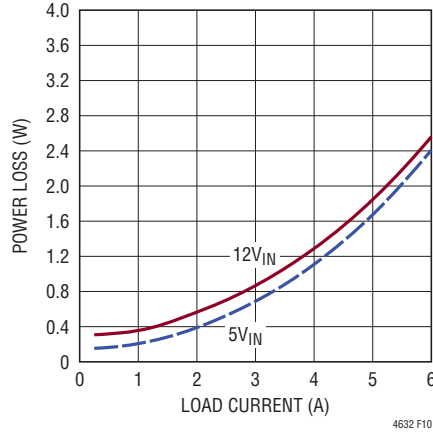


図11. 2.5V出力での電力損失

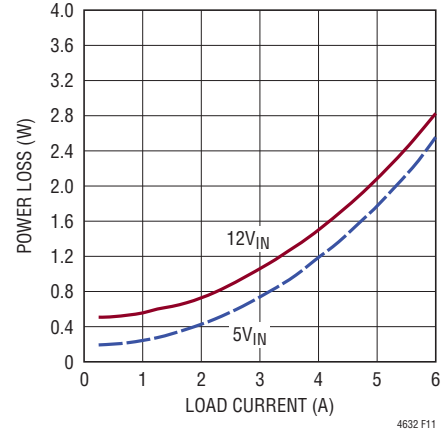


図12. 5V入力、1.0V出力のディレーティング曲線、ヒートシンクなし

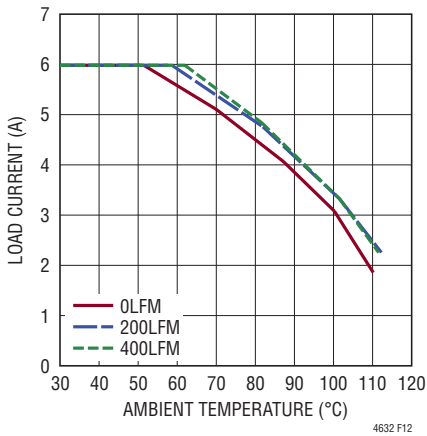


図13. 12V入力、1.0V出力のディレーティング曲線、ヒートシンクなし

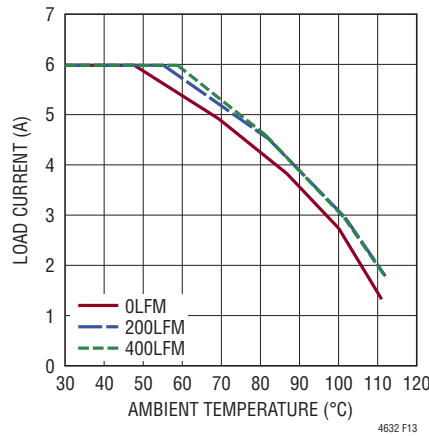


図14. 5V入力、1.5V出力のディレーティング曲線、ヒートシンクなし

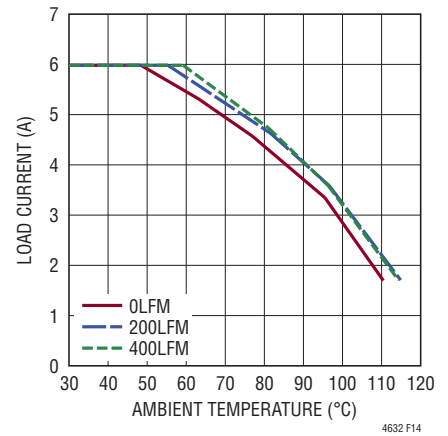


図15. 12V入力、1.5V出力のディレーティング曲線、ヒートシンクなし

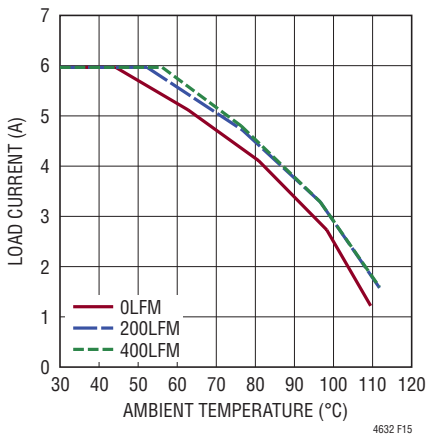


図16. 5V入力、2.5V出力のディレーティング曲線、ヒートシンクなし

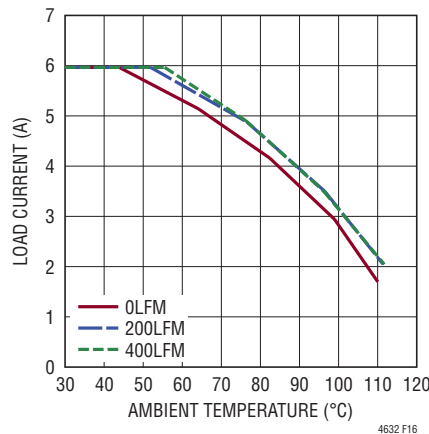
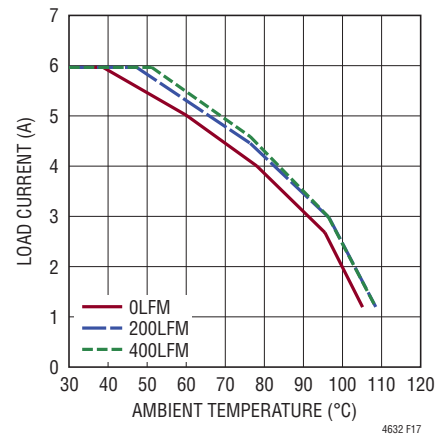


図17. 12V入力、2.5V出力のディレーティング曲線、ヒートシンクなし



アプリケーション情報

表2. 1.0V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図12、図13	5, 12	図9	0	なし	19~20
図12、図13	5, 12	図9	200	なし	18~19
図12、図13	5, 12	図9	400	なし	17~18

表3. 1.5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図14、図15	5, 12	図10	0	なし	19~20
図14、図15	5, 12	図10	200	なし	18~19
図14、図15	5, 12	図10	400	なし	17~18

表4. 2.5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図16、図17	5, 12	図11	0	なし	19~20
図16、図17	5, 12	図11	200	なし	18~19
図16、図17	5, 12	図11	400	なし	17~18

アプリケーション情報

表 5. レギュレータのチャネルごとの出力電圧応答と部品の一覧 (図 19 を参照)
25% 負荷ステップ時の標準的測定値

C _{IN} (セラミック)	製品番号	値	C _{OUT1} (セラミック)	製品番号	値	C _{OUT2} (バルク)	製品番号	値
村田製作所	GRM188R61E475KE11#	4.7μF、25V、 0603、X5R	村田製作所	GRM21R60J476ME15#	47μF、6.3V、 0805、X5R	パナソニック	6TPC150M	150μF、6.3V、 3.5×2.8×1.4mm
村田製作所	GRM188R61E106MA73#	10μF、25V、 0603、X5R	村田製作所	GRM188R60J226MEA0#	22μF、6.3V、 0603、X5R			
太陽誘電	TMK212BJ475KG-T	4.7μF、25V、 0805、X5R	太陽誘電	JMK212BJ476MG-T	47μF、6.3V、 0805、X5R			

V _{OUT} (V)	C _{IN} (セラミック) (μF)	C _{IN} (バルク)	C _{OUT1} (セラミック) (μF)	C _{OUT2} (バルク) (μF)	C _{FF} (pF)	V _{IN} (V)	電圧 低下量 (mV)	P-P変動量 (mV)	回復時間 (μS)	負荷 ステップ (A)	負荷ステップの スルーレート (A/μS)	R _{FB} (kΩ)
1	2×10	0	1×47μF	0	0	5, 12	0	77	15	0.75	10	90.9
1.2	2×10	0	1×47μF	0	0	5, 12	0	83	15	0.75	10	60.4
1.5	2×10	0	1×47μF	0	0	5, 12	0	94	18	0.75	10	40.2
1.8	2×10	0	1×47μF	0	0	5, 12	0	105	20	0.75	10	30.1
2.5	2×10	0	1×47μF	0	0	5, 12	0	138	20	0.75	10	19.1

アプリケーション情報

安全性に関する検討事項

LTM4632 モジュールでは、 V_{IN} と V_{OUT} の間が電氣的に絶縁されていません。内部にヒューズはありません。必要に応じて、最大入力電流の2倍の定格の低速溶断ヒューズを使って各ユニットを致命的損傷から保護してください。デバイスはサーマル・シャットダウンおよび過電流保護機能を備えています。

レイアウトのチェックリスト/例

LTM4632 は高度に集積化されているため、PCB 基板レイアウトが非常に簡単で容易です。ただし、電氣的性能と熱的性能を最適化するにはいくつかのレイアウト上の配慮が依然として必要です。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む高電流経路には PCB 銅箔面積を広く確保します。これは PCB の導通損失と熱ストレスを最小限に抑えるのに役立ちます。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、PGND および V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小に抑えます。

- デバイスの下に専用の電源グランド層を配置します。
- ビアの導通損失を最小限に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に多数のビアを使います。
- 充填ビアまたはメッキビアでない限り、パッドの上に直接ビアを置かないでください。
- 信号ピンに接続された部品には、別の SGND グランド銅領域を使います。SGND と GND をデバイスの下で接続します。
- 並列モジュールの場合は、 V_{OUT} 、 V_{FB} 、COMP ピンを互いに接続します。内部層を使ってこれらのピンを互いに近づけて接続します。TRACK ピンはレギュレータのソフトスタート用に共通のコンデンサを接続できます。
- 信号ピンからは、モニタリング用にテスト・ポイントを引き出してください。

推奨レイアウトの良い例を図 18 に示します。

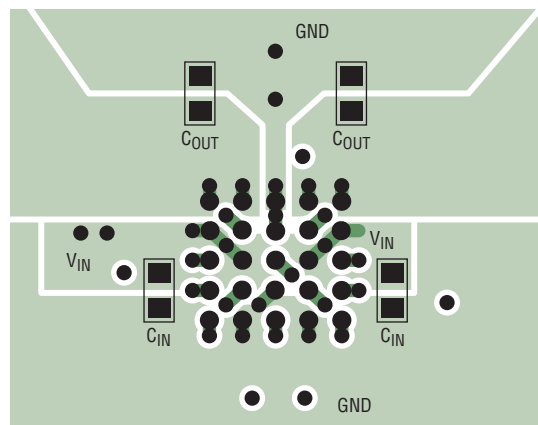


図 18. 推奨の PCB レイアウト

アプリケーション情報

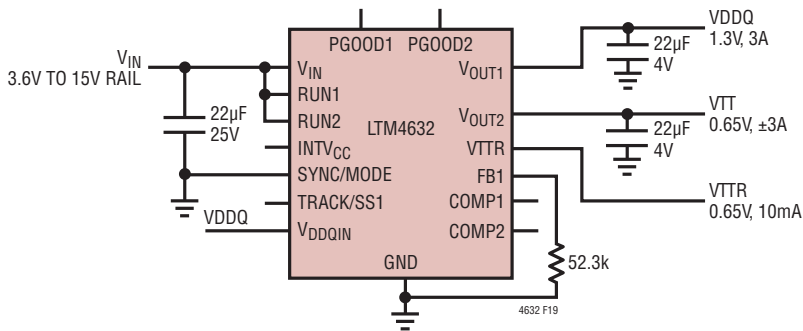


図19. 3.6V～15V入力、1.5V/3A VDDQ、0.75V/±3A VTTおよび10mA VTRRの設計回路

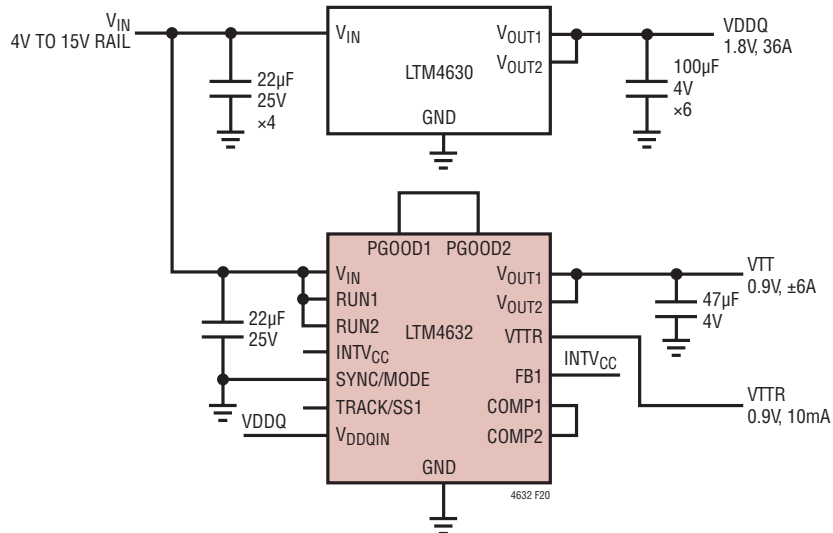


図20. 4V～15V入力、2相シングル出力±6A VTT 終端設計回路、LTM4630 36A VDDQ 電源と組み合わせ

アプリケーション情報

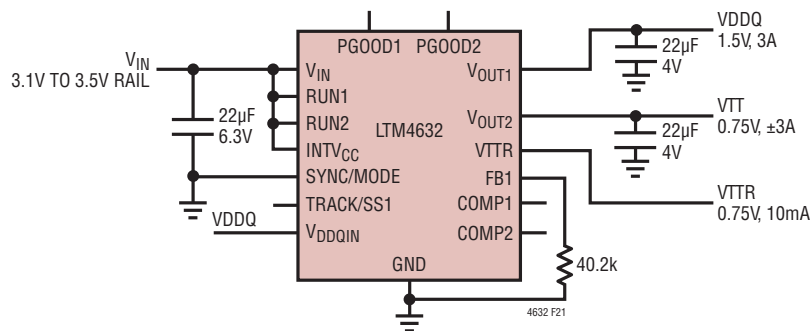


図21. 3.3V入力、1.5V/3A VDDQ、0.75V/±3A VTTおよび10mA VTTRの設計回路

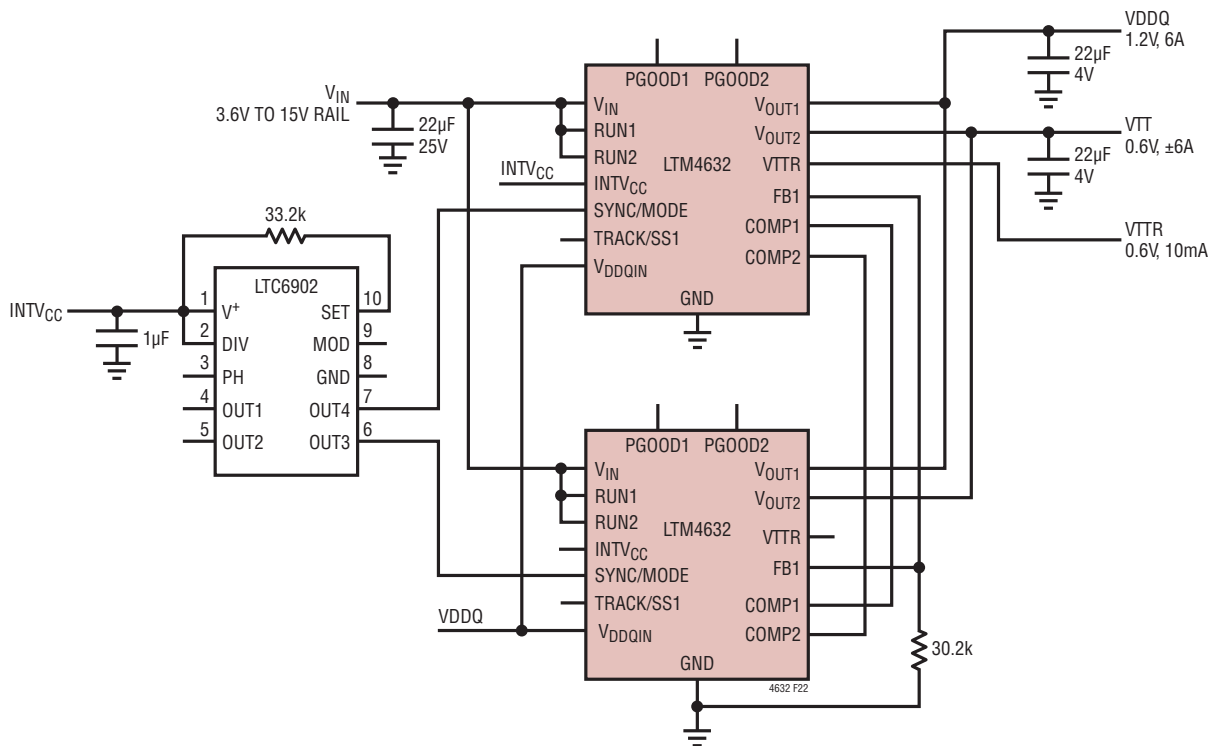


図22. 2つのモジュールを並列接続、3.6V～15V入力、1.2V/6A VDDQ、0.6V/±6A VTTおよび10mA VTTRの設計回路

LTM4632

パッケージ



パッケージの行と列のラベルはμModule 製品間で異なります。各パッケージのレイアウトをよく確認してください。

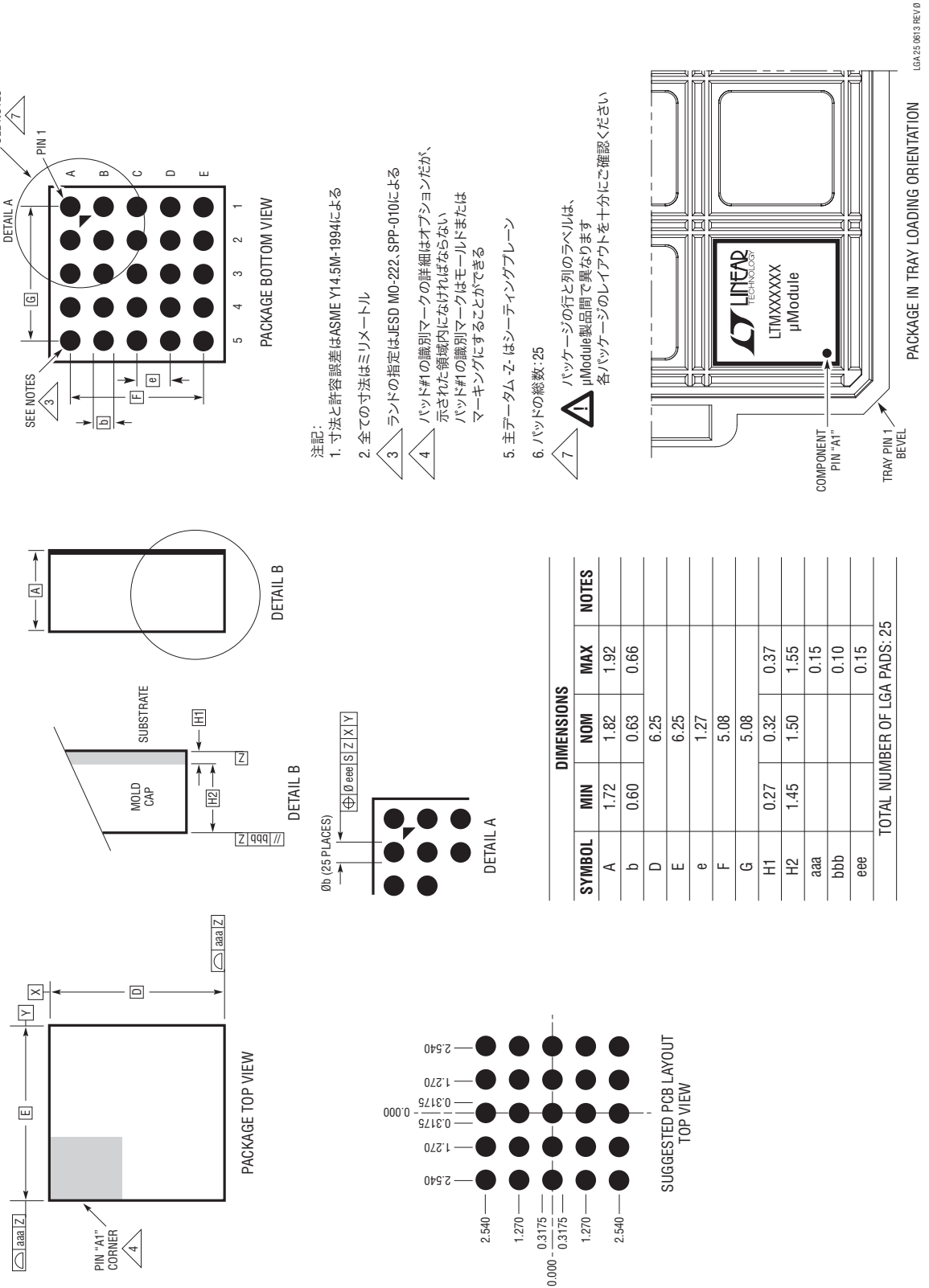
LTM4632の構成要素のLGAおよびBGAピン配列

ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
A1	V _{OUT2}	A2	V _{IN}	A3	V _{TTR}	A4	V _{DDQIN}	A5	COMP2
B1	V _{OUT2}	B2	RUN2	B3	V _{IN}	B4	PGOOD2	B5	GND
C1	GND	C2	GND	C3	INTV _{CC}	C4	SGND	C5	SYNC/MODE
D1	V _{OUT1}	D2	RUN1	D3	V _{IN}	D4	PGOOD1	D5	GND
E1	V _{OUT1}	E2	V _{IN}	E3	TRACK/SS1	E4	FB1	E5	COMP1

パッケージ

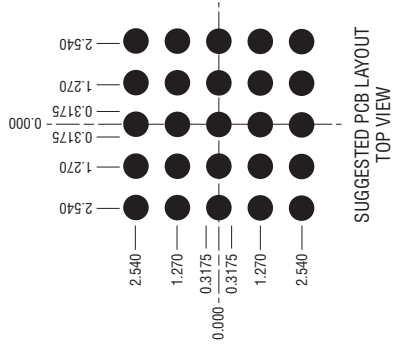
最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTM4632#packaging> を参照してください。

LGA Package
25-Lead (6.25mm × 6.25mm × 1.82mm)
 (Reference LTC DWG # 05-08-1949 Rev 0)



- 注記:
1. 寸法と許容誤差はASME Y14.5M-1994による
 2. 全ての寸法はミリメートル
 3. ランドの指定はJESD MO-222、SPP-010による
 4. パッドの識別マークの詳細はオプションだが、示された領域内にはおこなわれなければならない。パッドの識別マークはモールドまたはマーキングにすることができる
 5. 主ターム-Zはシーティングプレーン
 6. パッドの総数: 25
 7. パッケージの行と列のラベルは、μModule製品間で異なります。各パッケージのレイアウトを十分にご確認ください

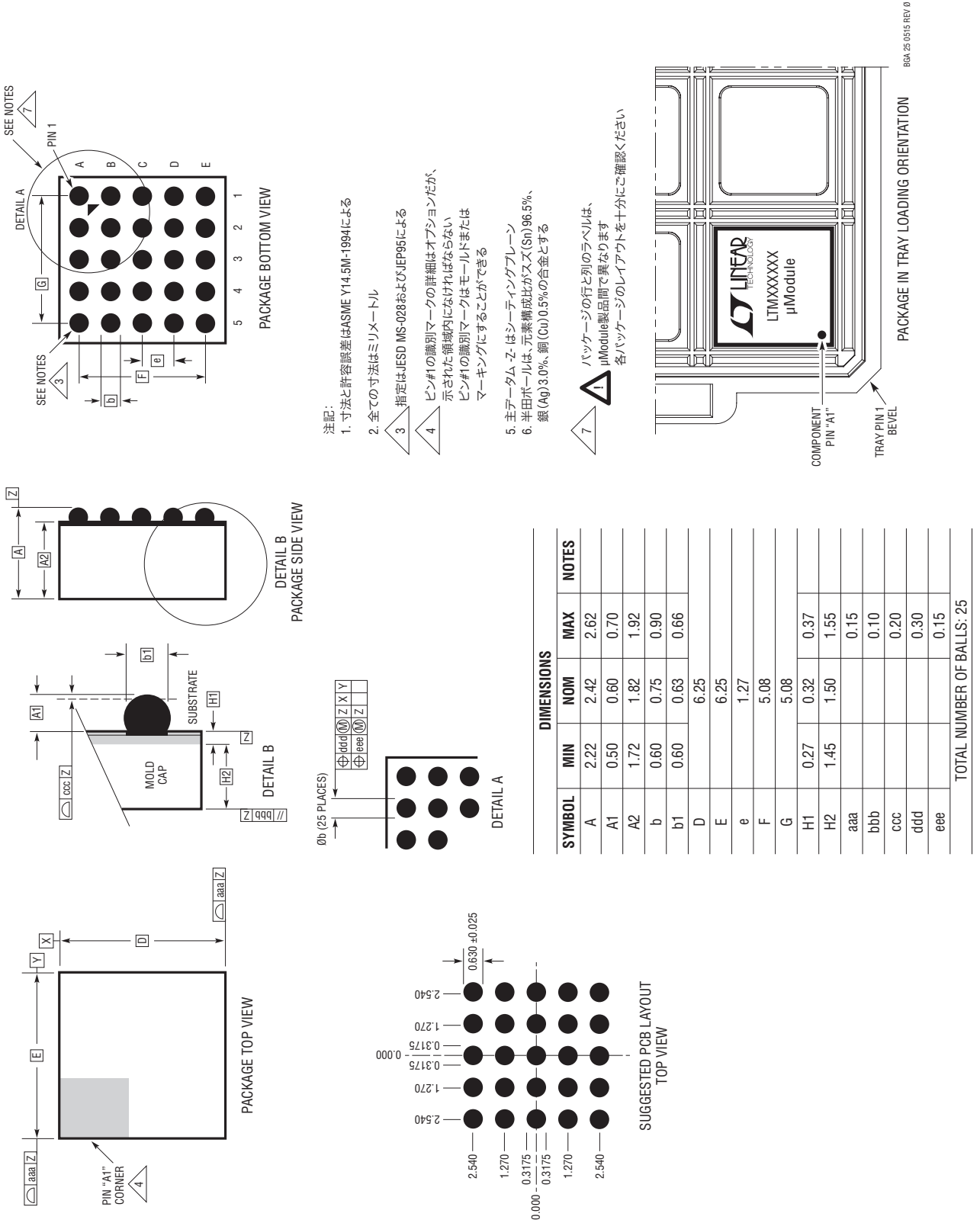
DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	1.72	1.82	1.92	
b	0.60	0.63	0.66	
D		6.25		
E		6.25		
e		1.27		
F		5.08		
G		5.08		
H1	0.27	0.32	0.37	
H2	1.45	1.50	1.55	
aaa			0.15	
bbb			0.10	
eee			0.15	
TOTAL NUMBER OF LGA PADS: 25				



パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTM4632#packaging> を参照してください。

BGA Package 25-Lead (6.25mm × 6.25mm × 2.42mm) (Reference LTC DWG # 05-08-1502 Rev 0)



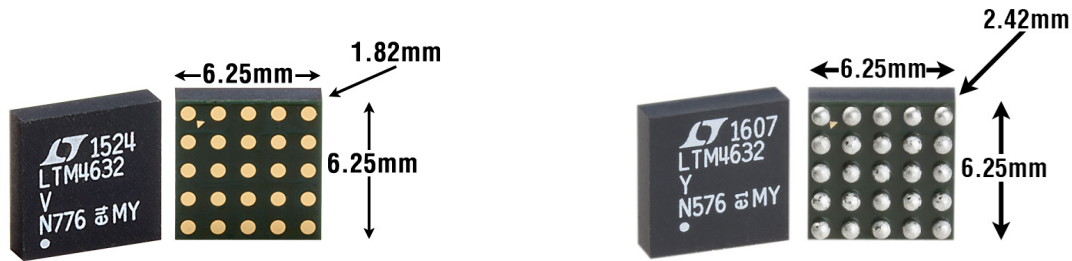
BGA_25_0515 REV 0

改訂履歴

REV	日付	説明	ページ番号
A	05/16	BGAパッケージを追加	1、2、26

LTM4632

パッケージの写真



設計リソース

主題	説明	
μModuleの設計/製造リソース	設計: <ul style="list-style-type: none"> • 選択ガイド • デモボードおよび Gerber ファイル • 無料シミュレーション・ツール 	製造: <ul style="list-style-type: none"> • クイック・スタート・ガイド • PCBの設計、組立、および製造ガイドライン • パッケージおよびボード・レベルの信頼性
μModuleレギュレータ製品の検索	<ol style="list-style-type: none"> 1. 製品の表をパラメータによって並べ替え、結果をスプレッドシートとしてダウンロードする 2. Quick Power Search パラメトリック・テーブルを使って検索を実行する <div style="border: 1px solid gray; padding: 5px; margin-top: 10px;"> <p>Quick Power Search</p> <p>Input V_{in} (Min) <input type="text"/> V V_{in} (Max) <input type="text"/> V</p> <p>Output V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p style="text-align: right;"><input type="button" value="Search"/></p> </div>	
TechClipビデオ	μModule 製品の電気的特性と熱特性のベンチマーク・テストの方法を詳しく説明した短いビデオ	
デジタル・パワーシステム・マネージメント	リニアテクノロジーのデジタル電源管理デバイス・ファミリは、電源の監視、管理、マージン制御およびシーケンス制御などの基本機能を提供する高度に集積されたソリューションであり、ユーザーの構成とフォルト・ログを保存するEEPROMを搭載しています。	

関連製品

製品番号	説明	注釈
LTM4622	超薄型、デュアル2.5Aまたはシングル5A降圧μModuleレギュレータ	$3.6V < V_{IN} < 20V$, $0.6V < V_{OUT} < 5.5V$, 6.25mm×6.25mm×1.82mm LGAパッケージ、6.25mm×6.25mm×2.42 BGAパッケージ
LTM4623	超薄型、シングル3A降圧μModuleレギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm×6.25mm×1.82mm LGAパッケージ、6.25mm×6.25mm×2.42 BGAパッケージ
LTM4644	クワッド4A降圧μModuleレギュレータ	$4V < V_{IN} < 14V$, $0.6V < V_{OUT} < 5.5V$, 9mm×15mm×5.01mm BGAパッケージ
LTM4630	大電力VDDQ電源向けμModuleレギュレータ	$4.5V < V_{IN} < 15V$, $0.6V < V_{OUT} < 1.8V$, シングル36Aまたはデュアル18A、16mm×16mm×5.01mm BGAパッケージ、16mm×16mm×4.41mm LGAパッケージ
LTM4650	大電力FPGA/ASICコア電源向けμModuleレギュレータ	$4.5V < V_{IN} < 15V$, $0.6V < V_{OUT} < 1.8V$, シングル50Aまたはデュアル25A、16mm×16mm×5.01mm BGAパッケージ
LTM4639	低入力電圧、シングル20A降圧μModuleレギュレータ	$2.375V < V_{IN} < 7V$, $0.6V < V_{OUT} < 5.5V$, 15mm×15mm×4.92mm BGAパッケージ
LTM4675	PSM機能を備えた大電力、高精度FPGA/ASICコア電源向けμModuleレギュレータ	デジタル・パワーシステム・マネージメント機能を備えたDC/DC μModule、 $4.5V < V_{IN} < 17V$, $0.5V < V_{OUT} < 5.5V$ で精度は±0.5%、シングル18Aまたはデュアル9A
LTM4677	PSM機能を備えた大電力、高精度FPGA/ASICコア電源向けμModuleレギュレータ	デジタル・パワーシステム・マネージメント機能を備えたDC/DC μModule、 $4.5V < V_{IN} < 16V$, $0.5V < V_{OUT} < 1.8V$ で精度は±0.5%、シングル36Aまたはデュアル18A
LTC3717	DDRメモリ終端用VTTの降圧コントローラ	$4V < V_{IN} < 36V$, $I_{OUT} = \pm 20A$, インダクタとMOSFETの外付けが必要
LTC6902	マルチフェーズ動作のマルチフェーズ発振器	2相、3相、または4相、周波数範囲:5kHz~20MHz

4632fa