

デュアル 13A またはシングル 26A DC/DC μ Module レギュレータ

特長

- デュアル 13A 出力またはシングル 26A 出力
- 広い入力電圧範囲: 4.5V ~ 16V
- 出力電圧範囲: 0.6V ~ 5.3V
- 全 DC 出力電圧誤差: 最大 $\pm 1.5\%$
- 複数の LTM4620A によるマルチフェーズ電流分担: 最大 100A
- LTM4620 より高効率かつ出力電圧範囲が広い
- 差動リモート検出アンプ
- 電流モード制御/高速トランジェント応答
- 調整可能なスイッチング周波数
- 過電流フォールドバック保護
- 周波数同期
- 内部温度モニタ
- 出力過電圧保護
- LTM4628 (デュアル 8A) および LTM4620 (デュアル 13A) とピン互換
- 熱特性が改善された (15mm \times 15mm \times 4.41mm) LGA パッケージおよび (15mm \times 15mm \times 5.01mm) BGA パッケージ

アプリケーション

- 通信機器およびネットワーク機器
- 産業用機器

LT, LT, LTC, LTM, Linear Technology, リニアのロゴ, μ Module, Burst Mode および PolyPhase はリニアテクノロジー社の登録商標です。LTpowerCAD はリニアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。5481178, 5705919, 5929620, 6100678, 6144194, 6177787, 6304066, 6580258 を含む米国特許により保護されています。その他の特許も出願中です。

概要

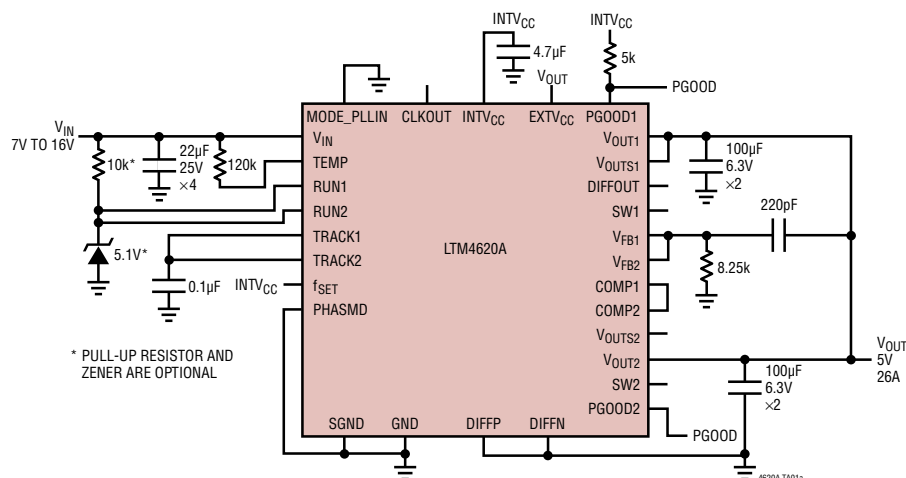
LTM[®]4620A は、完全なデュアル 13A またはシングル 26A 出力のスイッチング・モード DC/DC 電源で、LTM4620 より出力電圧範囲が広く、高効率です。スイッチング・コントローラ、パワー FET、インダクタ、およびすべての支持部品がパッケージに搭載されています。LTM4620A は、4.5V ~ 16V の入力電圧範囲で動作し、出力電圧の範囲がそれぞれ 0.6V ~ 5.3V の 2 つの出力をサポートしており、出力電圧は 1 本の外付け抵抗で設定されます。高効率設計により、出力ごとに最大 13A の連続電流を供給します。必要な入力コンデンサおよび出力コンデンサはわずか数個です。

このデバイスは、周波数同期、マルチフェーズ動作、Burst Mode[®] 動作、電源レールのシーケンス制御のための出力電圧トラッキングをサポートしています。また、デバイス温度をモニタするための温度検出ダイオードを内蔵しています。高いスイッチング周波数と電流モード・アーキテクチャにより、安定性を損なうことなく入力および負荷の変動に対するきわめて高速なトランジェント応答が可能です。

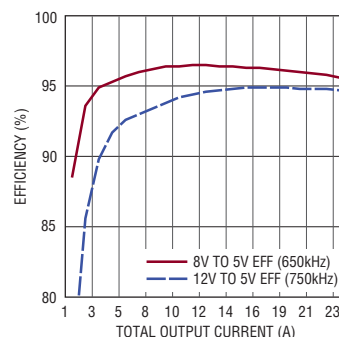
フォルト保護機能には、過電圧保護と過電流保護が含まれます。この電源モジュールは、省スペースで熱特性が改善された独自の 15mm \times 15mm \times 4.41mm LGA パッケージと、15mm \times 15mm \times 5.01mm BGA パッケージで供給されます。LTM4620A は、SnPb (BGA) または RoHS 準拠の端子仕上げで供給されます。

標準的応用例

26A、5V 出力 DC/DC μ Module[®] レギュレータ



5V 出力時の効率と I_{OUT}



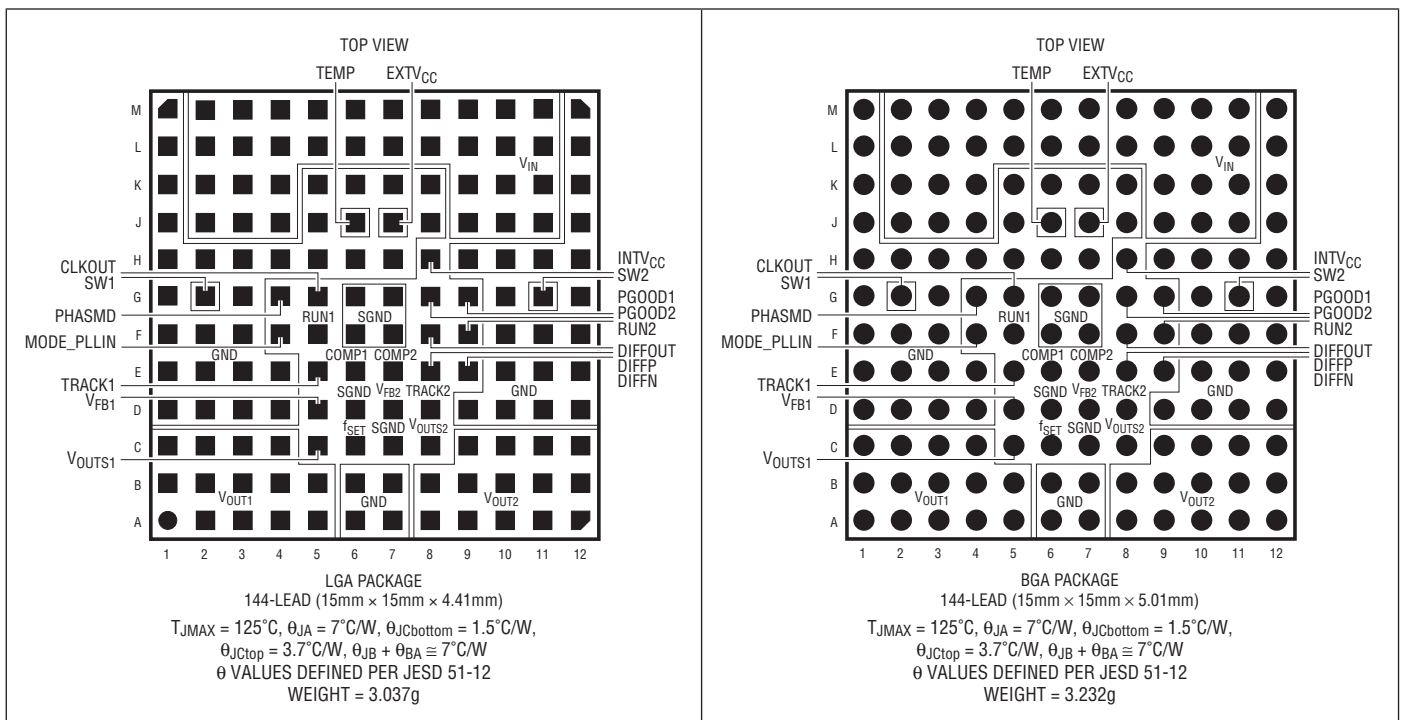
LTM4620A

絶対最大定格 (Note 1)

V_{IN} (Note 8)	-0.3V ~ 18V
V_{SW1} , V_{SW2}	-1V ~ 18V
PGOOD1、PGOOD2、RUN1、RUN2、 INTV _{CC} 、EXTV _{CC}	-0.3V ~ 6V
MODE_PLLIN、f _{SET} 、TRACK1、TRACK2、 DIFFOUT、PHASMD	-0.3V ~ INTV _{CC}
V _{OUT1} 、V _{OUT2} 、V _{OUTS1} 、V _{OUTS2}	-0.3V ~ 6V

DIFFP、DIFFN	-0.3V ~ INTV _{CC}
COMP1、COMP2、V _{FB1} 、V _{FB2} (Note 6)	-0.3V ~ 2.7V
INTV _{CC} のピーク出力電流	100mA
内部動作温度範囲 (Note 2)	-40°C ~ 125°C
保存温度範囲	-55°C ~ 125°C
ピーク・パッケージ・ボディ温度 (PCBの上面にのみ装着)	245°C

ピン配置



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・ タイプ	MSL 定格	温度範囲 (Note 2)
		デバイス	仕上げコード			
LTM4620AEV#PBF	Au (RoHS)	LTM4620AV	e4	LGA	3	-40°C to 125°C
LTM4620AIV#PBF	Au (RoHS)	LTM4620AV	e4	LGA	3	-40°C to 125°C
LTM4620AEY#PBF	SAC305 (RoHS)	LTM4620AY	e1	BGA	3	-40°C to 125°C
LTM4620AIY#PBF	SAC305 (RoHS)	LTM4620AY	e1	BGA	3	-40°C to 125°C
LTM4620AIY	SnPb (63/37)	LTM4620AY	e0	BGA	3	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* デバイスの温度グレードは出荷時のコンテナのラベルで示されます。パッド/ボール仕上げコードは、IPC/JEDEC J-STD-609に従います。

• 端子仕上げ製品マーキング:
www.linear-tech.co.jp/leadfree/

• 推奨される LGA と BGA の PCB アセンブリおよび製造手順:
www.linear-tech.co.jp/module/pcbassembly
• LGA パッケージと BGA パッケージおよびトレイの図面:
www.linear-tech.co.jp/packaging/

4620afb

電気的特性

●は規定された全内部動作温度範囲の規格値を意味する。各出力チャネル1つに対する規格値。注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $V_{RUN1} = V_{RUN2} = 5\text{V}$ 。図26の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	Input DC Voltage		●	4.5		16	V
V_{OUT}	Output Voltage	(Note 8)	●	0.6		5.3	V
$V_{OUT1}(\text{DC})$, $V_{OUT2}(\text{DC})$	Output Voltage, Total Variation with Line and Load	$C_{IN} = 22\mu\text{F} \times 3$, $C_{OUT} = 100\mu\text{F} \times 1$ Ceramic, 220 μF POSCAP	●	1.477	1.5	1.523	V

入力の仕様

V_{RUN1} , V_{RUN2}	RUN Pin On/Off Threshold	RUN Rising		1.1	1.25	1.40	V
$V_{RUN1\text{HYS}}$, $V_{RUN2\text{HYS}}$	RUN Pin On Hysteresis				150		mV
$I_{INRUSH}(V_{IN})$	Input Inrush Current at Start-Up	$I_{OUT} = 0\text{A}$, $C_{IN} = 22\mu\text{F} \times 3$, $C_{SS} = 0.01\mu\text{F}$, $C_{OUT} = 100\mu\text{F} \times 3$, $V_{OUT1} = 1.5\text{V}$, $V_{OUT2} = 1.5\text{V}$, $V_{IN} = 12\text{V}$			1		A
$I_Q(V_{IN})$	Input Supply Bias Current	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, Burst Mode Operation $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, Pulse-Skipping Mode $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, Switching Continuous Shutdown, $RUN = 0$, $V_{IN} = 12\text{V}$			5 15 65 50		mA mA mA μA
$I_S(V_{IN})$	Input Supply Current	$V_{IN} = 5\text{V}$, $V_{OUT} = 1.5\text{V}$, $I_{OUT} = 13\text{A}$ $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $I_{OUT} = 13\text{A}$			4.6 1.853		A A

出力の仕様

$I_{OUT1}(\text{DC})$, $I_{OUT2}(\text{DC})$	Output Continuous Current Range	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$ (Notes 7, 8)		0		13	A
$\Delta V_{OUT1}(\text{LINE})/V_{OUT1}$ $\Delta V_{OUT2}(\text{LINE})/V_{OUT2}$	Line Regulation Accuracy	$V_{OUT} = 1.5\text{V}$, V_{IN} from 4.75V to 16V $I_{OUT} = 0\text{A}$ for Each Output,	●		0.01	0.025	%/V
$\Delta V_{OUT1}/V_{OUT1}$ $\Delta V_{OUT2}/V_{OUT2}$	Load Regulation Accuracy	For Each Output, $V_{OUT} = 1.5\text{V}$, 0A to 13A $V_{IN} = 12\text{V}$ (Note 7)	●		0.35	0.5	%
$V_{OUT1}(\text{AC})$, $V_{OUT2}(\text{AC})$	Output Ripple Voltage	For Each Output, $I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} \times 3$ / X7R/Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, Frequency = 400kHz			15		mVp-p
f_S (Each Channel)	Output Ripple Voltage Frequency	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$, $f_{SET} = 1.25\text{V}$ (Note 4)			500		kHz
f_{SYNC} (Each Channel)	SYNC Capture Range			400		780	kHz
$\Delta V_{OUT\text{START}}$ (Each Channel)	Turn-On Overshoot	$C_{OUT} = 100\mu\text{F}/\text{X5R}/\text{Ceramic}$, 470 μF POSCAP, $V_{OUT} = 1.5\text{V}$, $I_{OUT} = 0\text{A}$ $V_{IN} = 12\text{V}$			10 10		mV mV
t_{START} (Each Channel)	Turn-On Time	$C_{OUT} = 100\mu\text{F}/\text{X5R}/\text{Ceramic}$, 470 μF POSCAP, No Load, TRACK/SS with 0.01 μF to GND, $V_{IN} = 12\text{V}$			5 5		ms ms
$\Delta V_{OUT}(\text{LS})$ (Each Channel)	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 22\mu\text{F} \times 3/\text{X5R}/\text{Ceramic}$, 470 μF POSCAP $V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$			30		mV
t_{SETTLE} (Each Channel)	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load, $V_{IN} = 12\text{V}$, $C_{OUT} = 100\mu\text{F}$, 470 μF POSCAP			20		μs
$I_{OUT}(\text{PK})$ (Each Channel)	Output Current Limit	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.5\text{V}$			20		A

制御セクション

V_{FB1} , V_{FB2}	Voltage at V_{FB} Pins	$I_{OUT} = 0\text{A}$, $V_{OUT} = 1.5\text{V}$	●	0.592	0.600	0.606	V
I_{FB}		(Note 6)			-5	-20	nA
V_{OVL}	Feedback Overvoltage Lockout		●	0.64	0.66	0.68	V

LTM4620A

電気的特性 ●は規定された全内部動作温度範囲の規格値を意味する。各出力チャネル1つに対する規格値。注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $V_{RUN1} = V_{RUN2} = 5\text{V}$ 。図26の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
TRACK1 (I), TRACK2 (I)	Track Pin Soft-Start Pull-Up Current	TRACK1 (I), TRACK2 (I) Start at 0V	1	1.25	1.5	μA
UVLO	Undervoltage Lockout	V_{IN} Falling V_{IN} Rising		3.3 3.9		V V
UVLO Hysteresis				0.6		V
$t_{ON(MIN)}$	Minimum On-Time	(Note 6)		90		ns
R_{FBH11} , R_{FBH12}	Resistor Between V_{OUTS1} , V_{OUTS2} and V_{FB1} , V_{FB2} Pins for Each Output		59.90	60.4	60.75	$k\Omega$
V_{PGOOD1} , V_{PGOOD2} Low	PGOOD Voltage Low	$I_{PGOOD} = 2\text{mA}$		0.1	0.3	V
I_{PGOOD}	PGOOD Leakage Current	$V_{PGOOD} = 5\text{V}$			± 5	μA
V_{PGOOD}	PGOOD Trip Level	V_{FB} with Respect to Set Output Voltage V_{FB} Ramping Negative V_{FB} Ramping Positive		-10 10		% %

INTV_{CC} リニア・レギュレータ

V_{INTVCC}	Internal V_{CC} Voltage	$6\text{V} < V_{IN} < 16\text{V}$	4.8	5	5.2	V
V_{INTVCC} Load Regulation	INTV _{CC} Load Regulation	$I_{CC} = 0\text{mA}$ to 50mA		0.5	2	%
V_{EXTVCC}	EXTV _{CC} Switchover Voltage	EXTV _{CC} Ramping Positive	4.5	4.7		V
$V_{EXTVCC(DROP)}$	EXTV _{CC} Dropout	$I_{CC} = 20\text{mA}$, $V_{EXTVCC} = 5\text{V}$		50	100	mV
$V_{EXTVCC(HYST)}$	EXTV _{CC} Hysteresis			200		mV

発振器とフェーズロック・ループ

Frequency Nominal	Nominal Frequency	$f_{SET} = 1.2\text{V}$	450	500	550	kHz
Frequency Low	Lowest Frequency	$f_{SET} = 0\text{V}$ (Note 5)	210	250	290	kHz
Frequency High	Highest Frequency	$f_{SET} > 2.4\text{V}$, Up to INTV _{CC}	700	780	860	kHz
f_{SET}	Frequency Set Current		9	10	11	μA
R_{MODE_PLLIN}	MODE_PLLIN Input Resistance			250		$k\Omega$
CLKOUT	Phase (Relative to V_{OUT1})	PHASMD = GND PHASMD = Float PHASMD = INTV _{CC}		60 90 120		Deg Deg Deg
CLK High CLK Low	Clock High Output Voltage Clock Low Output Voltage		2		0.2	V V

差動アンプ

A_V Differential Amplifier	Gain			1		V
R_{IN}	Input Resistance	Measured at DIFFP Input		80		$k\Omega$
V_{OS}	Input Offset Voltage	$V_{DIFFP} = V_{DIFFOUT} = 1.5\text{V}$, $I_{DIFFOUT} = 100\mu\text{A}$			3	mV
PSRR Differential Amplifier	Power Supply Rejection Ratio	$5\text{V} < V_{IN} < 16\text{V}$		90		dB
I_{CL}	Maximum Output Current			2		mA
$V_{OUT(MAX)}$	Maximum Output Voltage	$I_{DIFFOUT} = 300\mu\text{A}$	INTV _{CC} - 1.4			V

電气的特性

●は規定された全内部動作温度範囲の規格値を意味する。各出力チャネル1つに対する規格値。注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $VRUN1 = VRUN2 = 5\text{V}$ 。図26の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GBW	Gain Bandwidth Product			3		MHz
V_{TEMP}	Diode Connected PNP	$I = 100\mu\text{A}$		0.598		V
TC	Temperature Coefficient	●		2.0		mV/C

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTM4620Aは T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTM4620AEは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部温度で仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTM4620AIは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲全域で動作することが保証されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。

Note 3: 2つの出力は別々にテストされ、各出力には同じテスト条件が適用される。

Note 4: スイッチング周波数は400kHz～750kHzにプログラムすることができる。

Note 5: LTM4620Aデバイスは400kHz～750kHzで動作するように設計されている。

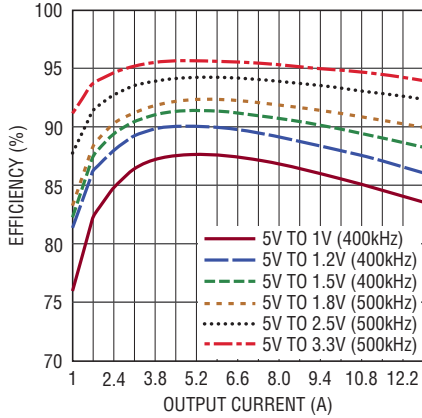
Note 6: これらのパラメータはウェハ選別によってテストされる。

Note 7: 異なる V_{IN} 、 V_{OUT} 、および T_A については出力電流のディレーティング曲線を参照。

Note 8: 出力電流に関する制約。 $10\text{V} \leq V_{IN} \leq 16\text{V}$ の場合、5Vの出力電流は12A/チャネル、スイッチング周波数は750kHzに制限する必要がある。ディレーティング曲線が適用される。 $7\text{V} \leq V_{IN} \leq 9\text{V}$ の場合、5Vの出力電流は13A/チャネル、スイッチング周波数は750kHzに制限する必要がある。ディレーティング曲線が適用される。その他の入力と出力の組み合わせに対しては、いずれも13A/チャネル、および効率のグラフに記載された推奨スイッチング周波数が制約となる。ディレーティング曲線が適用される。

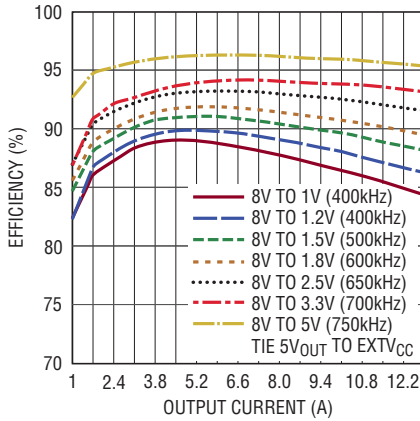
標準的性能特性

効率と出力電流 ($V_{IN} = 5V$)



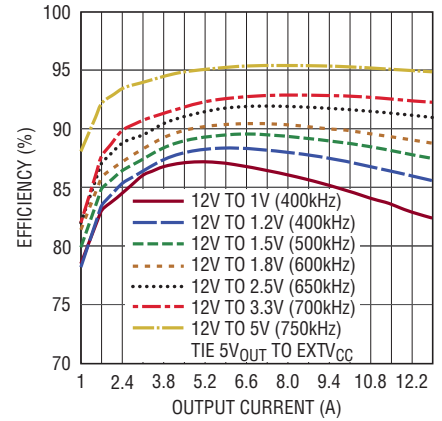
4620A G01

効率と出力電流 ($V_{IN} = 8V$)



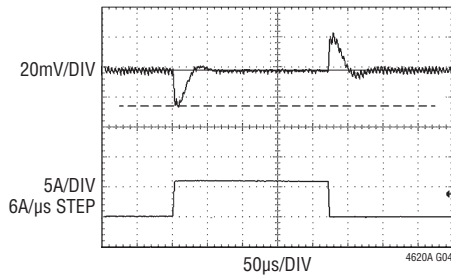
4620A G02

効率と出力電流 ($V_{IN} = 12V$)



4620A G03

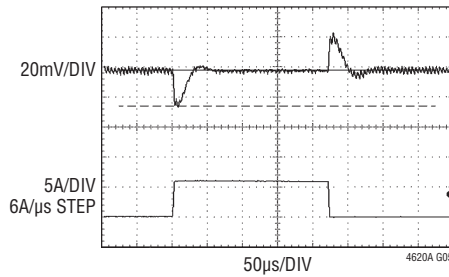
12V入力、1V出力の
負荷ステップ応答



4620A G04

$C_{FF} = 150pF$
 $C_{OUT} = 2 \times 470\mu F$ 9mΩ EACH POSCAP
1 × 100μF CERAMIC

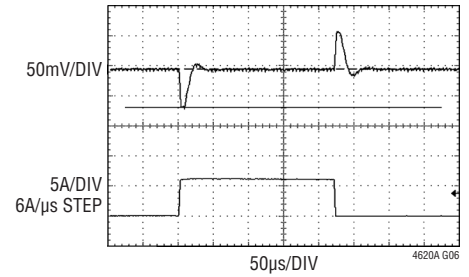
12V入力、1.2V出力の
負荷ステップ応答



4620A G05

$C_{FF} = 150pF$
 $C_{OUT} = 2 \times 470\mu F$ 9mΩ EACH POSCAP
1 × 100μF CERAMIC

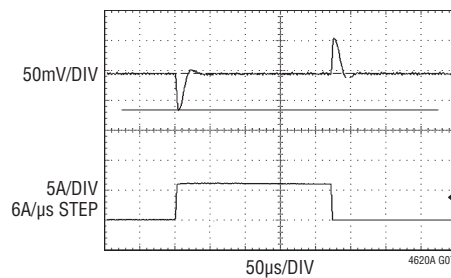
12V入力、1.5V出力の
負荷ステップ応答



4620A G06

$C_{FF} = 47pF$
 $C_{OUT} = 220\mu F$ 9mΩ POSCAP
100μF CERAMIC

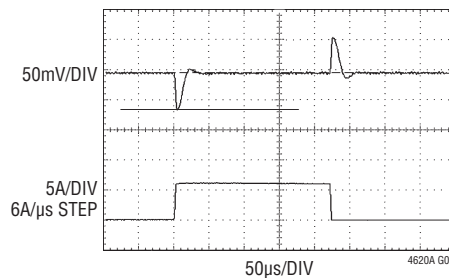
12V入力、1.8V出力の
負荷ステップ応答



4620A G07

$C_{FF} = 33pF$
 $C_{OUT} = 220\mu F$ 9mΩ POSCAP
100μF CERAMIC

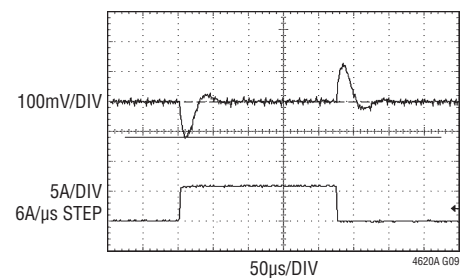
12V入力、2.5V出力の
負荷ステップ応答



4620A G08

$C_{FF} = 100pF$
 $C_{OUT} = 220\mu F$ 9mΩ POSCAP
100μF CERAMIC

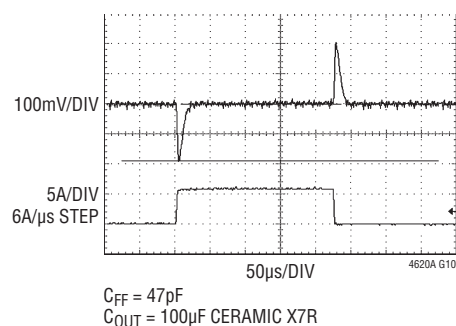
12V入力、3.3V出力の
負荷ステップ応答



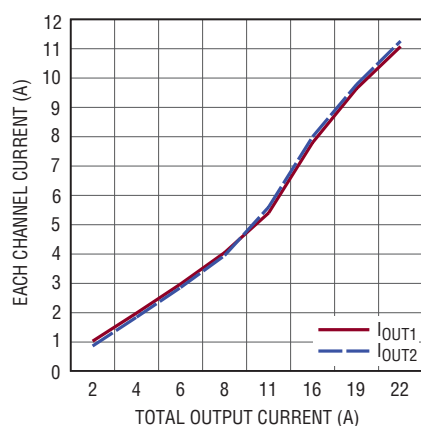
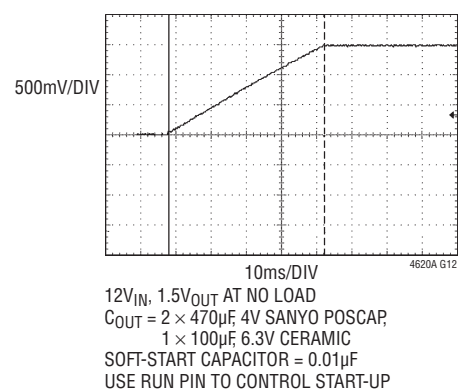
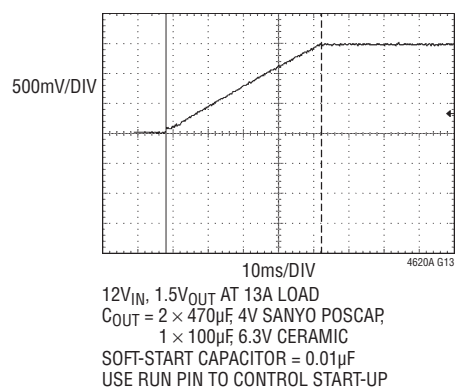
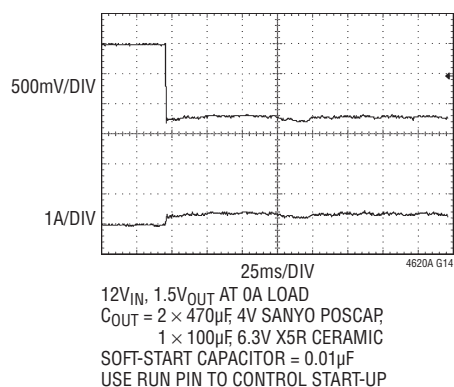
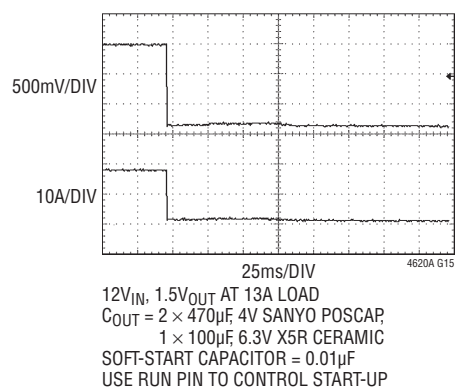
4620A G09

$C_{FF} = 33pF$
 $C_{OUT} = 100\mu F$ 15mΩ POSCAP
100μF CERAMIC

標準的性能特性

12V 入力、5V 出力の
負荷ステップ応答

出力の電流分担

12V 入力、1.5V 出力の起動、
負荷なしシングル・フェーズの起動、
13A 負荷12V 入力、1.5V 出力、
0A 負荷短絡テスト12V 入力、1.5V 出力、
13A 負荷短絡テスト

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)



パッケージの行と列のラベルは μ Module 製品間で異なります。各パッケージのレイアウトをよく確認してください。

V_{OUT1} (A1 ~ A5, B1 ~ B5, C1 ~ C4) : 電源の出力ピン。これらのピンと GND ピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンと GND ピンの間に直接配置することを推奨します。表5を参照してください。出力電流のガイドラインについては「電気的特性」の Note 8 を参照してください。

GND (A6 ~ A7, B6 ~ B7, D1 ~ D4, D9 ~ D12, E1 ~ E4, E10 ~ E12, F1 ~ F3, F10 ~ F12, G1, G3, G10, G12, H1 ~ H7, H9 ~ H12, J1, J5, J8, J12, K1, K5 ~ K8, K12, L1, L12, M1, M12) : 入力リターンと出力リターンの両方の電源グラウンド・ピン。

V_{OUT2} (A8 ~ A12, B8 ~ B12, C9 ~ C12) : 電源の出力ピン。これらのピンと GND ピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンと GND ピンの間に直接配置することを推奨します。表5を参照してください。出力電流のガイドラインについては「電気的特性」の Note 8 を参照してください。

V_{OUTS1}, V_{OUTS2} (C5, C8) : このピンは、各出力の内部トップ帰還抵抗の上端に接続されています。特定の出力に直接接続するか、リモート検出アンプを使用する場合は DIFFOUT に接続します。モジュールを並列で使用する構成では、V_{OUTS} ピンのいずれか一方を、リモート検出を使用する場合は DIFFOUT ピン、リモート検出を使用しない場合は直接 V_{OUT} ピンに接続します。これは帰還パスであることから、これらのピンを必ず DIFFOUT または V_{OUT} のいずれかに接続することがきわめて重要です。開放のままにすることはできません。「アプリケーション情報」を参照してください。

f_{SET} (C6) : 周波数設定ピン。このピンからは 10 μ A の電流が供給されます。このピンとグラウンドの間に接続された抵抗によって動作周波数をプログラムする電圧が設定されます。これに代わる方法として、このピンを DC 電圧で駆動して動作周波数を設定することもできます。「アプリケーション情報」のセクションを参照してください。

SGND (C7, D6, G6 ~ G7, F6 ~ F7) : 信号グラウンド・ピン。すべてのアナログ回路と低電力回路のリターン・グラウンド・パス。アプリケーションでは出力コンデンサの GND に一点接続します。図25のレイアウトのガイドラインを参照してください。

V_{FB1}, V_{FB2} (D5, D7) : 各チャネルのエラーアンプの負入力。このピンは内部で 60.4k Ω の高精度抵抗を介して V_{OUTS1} または V_{OUTS2} に接続されています。V_{FB} ピンと GND ピンの間に抵抗を追加して、異なった出力電圧をプログラムすることができます。PolyPhase[®] 動作では、V_{FB} ピンを相互接続することによって並列動作が可能になります。詳細は「アプリケーション情報」を参照してください。

TRACK1, TRACK2 (E5, D8) : 出力電圧トラッキングおよびソフトスタートの入力ピン。各チャネルは 1.3 μ A のプルアップ電流源を備えています。一方のチャネルを2つのチャネルのマスターに設定する場合は、このピンとグラウンドの間のコンデンサによってソフトスタートのランプ・レートが決まります。残りのチャネルはスレーブとして設定でき、スレーブ出力トラッキング・ピンには分圧器を介してマスターの出力を印加します。この分圧器は同時トラッキング用スレーブ出力の帰還分割器と同じです。「アプリケーション情報」のセクションを参照してください。

COMP1, COMP2 (E6, E7) : 各チャネルの電流制御しきい値およびエラーアンプの補償点。電流コンパレータのしきい値はこの制御電圧に応じて増加します。並列動作を行うには COMP ピンを相互に接続します。このデバイスは内部補償されています。

DIFFP (E8) : リモート検出アンプの正入力。このピンは、出力電圧のリモート検出ポイントに接続します。差動アンプは出力が 3.3V 以下のときに使用できます。「アプリケーション情報」を参照してください。

DIFFN (E9) : リモート検出アンプの負入力。このピンは、出力 GND のリモート検出ポイントに接続します。3.3V 以下の出力には差動アンプを使用できます。「アプリケーション情報」を参照してください。

MODE_PLLIN (F4) : 強制連続モード、Burst Mode 動作、またはパルス・スキップ・モードの選択ピン、および位相検出器への外部同期入力ピン。両方のチャネルを強制的に強制連続モード動作に設定するには、このピンを SGND に接続します。パルス・スキップ・モード動作をイネーブルするには INTV_{CC} に接続します。このピンをフロート状態にしておくと Burst Mode 動作がイネーブルされます。ピンにクロックを印加すると、両チャネルが強制的に連続動作モードに設定され、印加された外部クロックに同期します。

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)

RUN1、RUN2 (F5、F9) : 実行制御ピン。電圧が1.25Vを上回るとモジュールの各チャンネルがオンします。RUNピンに1.25Vを下回る電圧を印加すると対応するチャンネルがオフします。各RUNピンには1 μ Aのプルアップ電流が流れ、RUNピンが1.2Vに達すると、このプルアップ電流に更に4.5 μ Aが加えられます。

DIFFOUT (F8) : 内部リモート検出アンプの出力。どちらの出力チャンネルでリモート検出を使用するかに応じて、V_{OUTS1}またはV_{OUTS2}のいずれかに接続します。並列動作でリモート検出を使用する場合は、V_{OUTS}ピンの一方をDIFFOUTピンに接続します。3.3V以下の出力には差動アンプを使用できます。

SW1、SW2 (G2、G11) : テスト目的で使われる各チャンネルのスイッチング・ノード。RCスナバ・ネットワークを接続して、スイッチ・ノードのリングングを低減または除去することもできます。それ以外の場合はフロート状態のままとします。「アプリケーション情報」を参照してください。

PHASMD (G4) : このピンをSGNDまたはINTV_{CC}に接続するか、フロート状態にすることで、CLKOUTの位相をそれぞれ60°、120°、90°に設定できます。

CLKOUT (G5) : PHASMDピンによって位相が制御されるクロック出力。このクロックによりデバイス間のマルチフェーズ動作が可能になります。「アプリケーション情報」を参照してください。

PGOOD1、PGOOD2 (G9、G8) : 出力電圧パワーグッド・インジケータ。オープン・ドレインのロジック出力で、出力電圧がレギュレーション・ポイントの $\pm 7.5\%$ 以内になると、グランドに引き下げられます。

INTV_{CC} (H8) : 内蔵5Vレギュレータの出力。制御回路と内蔵ゲート・ドライバはこの電圧源から電力を供給されます。このピンは、4.7 μ F、低ESRのタンタル・コンデンサまたはセラミック・コンデンサを使ってPGNDにデカップリングしてください。RUN1またはRUN2のいずれかをアクティブにすると、INTV_{CC}が有効になります。

TEMP (J6) : VBE接合電圧の温度変化をモニタする内蔵温度検出ダイオード。「アプリケーション情報」のセクションを参照してください。

EXTV_{CC} (J7) : EXTV_{CC}が4.7Vを上回ると、INTV_{CC}に接続されたスイッチによって有効になる外部電源入力。この入力は6Vを超えないようにしてください。また、V_{IN} = 5Vで動作させる場合は、このピンをV_{IN}に接続します。効率が向上し、その値は(V_{IN} - INTV_{CC}) \times (パワー MOSFETの駆動電流)で決まります。必要とされる標準電流は30mAです。V_{IN}を印加してからEXTV_{CC}を印加し、EXTV_{CC}を遮断してからV_{IN}を遮断する必要があります。5V出力をこのピンに接続すると効率が向上します。「アプリケーション情報」を参照してください。

V_{IN} (M2 ~ M11、L2 ~ L11、J2 ~ J4、J9 ~ J11、K2 ~ K4、K9 ~ K11) : 電源入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。入力デカップリング・コンデンサはV_{IN}ピンとGNDピンの間に直接配置することを推奨します。

LTM4620A

簡略ブロック図

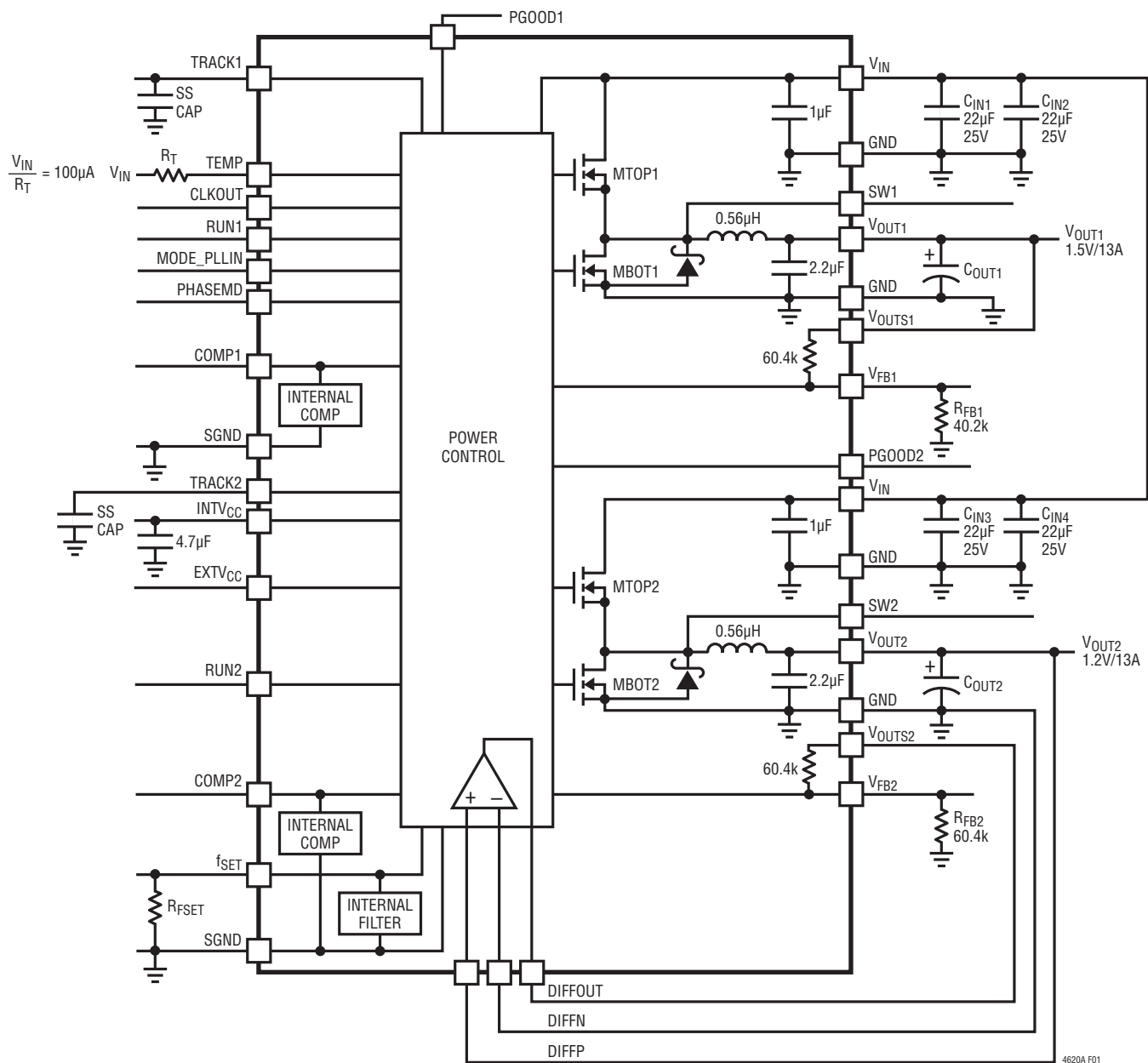


図 1. LTM4620A の簡略ブロック図

デカップリングの要件 $T_A = 25^\circ\text{C}$ 。図 1 の構成を使用。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN1}, C_{IN2} C_{IN3}, C_{IN4}	External Input Capacitor Requirement ($V_{IN1} = 4.75\text{V}$ to 16V , $V_{OUT1} = 1.5\text{V}$) ($V_{IN2} = 4.75\text{V}$ to 16V , $V_{OUT2} = 1.2\text{V}$)	$I_{OUT1} = 13\text{A}$ $I_{OUT2} = 13\text{A}$ (Note 8)		22 22		μF μF
C_{OUT1} C_{OUT2}	External Output Capacitor Requirement ($V_{IN1} = 4.75\text{V}$ to 16V , $V_{OUT1} = 1.5\text{V}$) ($V_{IN2} = 4.75\text{V}$ to 16V , $V_{OUT2} = 1.2\text{V}$)	$I_{OUT1} = 13\text{A}$ $I_{OUT2} = 13\text{A}$ (Note 8)		300 300		μF μF

4620afb

動作

電源モジュールの概要

LTM4620Aはデュアル出力の独立型非絶縁スイッチング・モードDC/DC電源です。数個の入力コンデンサと出力コンデンサ、および設定用の部品を外付けするだけで13Aの出力を2系統供給できます。このモジュールは、入力電圧範囲4.5V～16Vに対して、外付け抵抗によって設定可能な0.6V_{DC}～5.3V_{DC}の高精度で安定化された出力電圧を供給します。標準的応用回路を図26に示します。出力電流のガイドラインについては「電気的特性」のNote 8を参照してください。

LTM4620Aは固定周波数電流モード・レギュレータと高速スイッチングが可能な内蔵パワーMOSFETデバイスを集積化しています。標準スイッチング周波数は500kHzです。また、400kHz～780kHzの範囲で外部同期可能なので、スイッチング・ノイズに敏感なアプリケーションに対応できます。f_{SET}ピンに抵抗を接続することで、自走周波数をプログラムできます。「アプリケーション情報」を参照してください。

電流モード制御と内部帰還ループ補償により、LTM4620Aモジュールは、広範囲の出力コンデンサを使って(すべてセラミック出力コンデンサを使用する場合でも)十分に余裕のある安定性と良好な過渡性能を達成します。

電流モード制御により、サイクルごとの高速電流制限および過電流状態でのフォールドバック電流制限が実現されます。内蔵されている過電圧コンパレータと低電圧コンパレータは、出力帰還電圧がレギュレーション・ポイントの上下±10%の範囲を外れると、オープン・ドレインのPGOOD出力を“L”に引き下げます。出力電圧がレギュレーション電圧より10%以上高くなると、ボトムMOSFETがオンして、出力電圧をクランプします。トップMOSFETはオフします。過電圧保護は、帰還電圧を参照します。

RUNピンを1.1Vより下げると、両方のMOSFETをオフしてレギュレータを強制的にシャットダウン状態に移行させます。

TRACKピンは、起動時の出力電圧のランプと電圧トラッキングをプログラムするのに使われます。また、レギュレータのソフトスタートにも使われます。「アプリケーション情報」を参照してください。

LTM4620Aは内部補償され、あらゆる動作条件で安定しています。いくつかの動作条件での入力容量と出力容量のガイドラインを表5に示します。トランジェントと安定性の解析に、LTpowerCAD™を使用できます。V_{FB}ピンは、グラウンドとの間に1本の外付け抵抗を接続して、出力電圧の設定に使用します。負荷の直近で、出力電圧のいずれか一方、または並列動作の場合ならば出力電圧を、高精度で計測可能な差動リモート検出アンプを搭載しています。

また、MODE_PLLIN、PHASMD、CLKOUTピンを使って、マルチフェーズ動作を簡単に利用できます。PHMODEピンを異なったレベルにプログラムすることにより、最大12フェーズをカスケード接続し、相互に同時に動作させることができます。「アプリケーション情報」を参照してください。

MODEピンを使って選択可能なBurst Mode動作またはパルス・スキップ動作により、負荷が軽い場合も高い効率を実現できます。これらの軽負荷に対応する機能はバッテリー動作に適しています。「標準的性能特性」に軽負荷動作での効率のグラフが掲載されています。詳細については「アプリケーション情報」を参照してください。

TEMPピンを使用すると、内蔵のダイオード接続PNPトランジスタを使用して内部デバイス温度を監視できます。このダイオード接続PNPトランジスタはモジュール内で接地されているので、シングルエンド接続のモニタ用として設計されているデバイスを使用することにより、一般的な温度モニタとして使用できます。

アプリケーション情報

LTM4620Aの代表的なアプリケーション回路を図26に示します。外付け部品の選択は主に最大負荷電流と出力電圧で決まります。個々のアプリケーションに対する外付けコンデンサの具体的な要件については、表5を参照してください。

V_{IN}からV_{OUT}への降圧比

実現可能なV_{IN}からV_{OUT}への最大降圧比には、与えられた入力電圧に応じた制約があります。LTM4620Aの各出力は500kHzで95%のデューティ・サイクルを実現する能力がありますが、V_{IN}からV_{OUT}の間には負荷電流で決まる最小ドロップアウトが発生し、トップ側スイッチの高デューティ・サイクルに関連した出力電流能力を制限します。t_{ON}(MIN) < D/f_{SW}であることから、特定の周波数での動作時に規定されたデューティ・サイクルで動作させる場合は、最小オン時間t_{ON}(MIN)についても考慮する必要があります。ここで、Dはデューティ・サイクル、f_{SW}はスイッチング周波数です。t_{ON}(MIN)は電気的パラメータで90nsに規定されています。出力電流のガイドラインについては「電気的特性」のNote 8を参照してください。

出力電圧のプログラミング

PWMコントローラには0.6Vの内部リファレンス電圧があります。ブロック図に示したとおり、60.4kΩの内部帰還抵抗が、V_{OUTS1}とV_{FB1}の間、およびV_{OUTS2}とV_{FB2}の間に接続されています。帰還レギュレーションを適切に動作させるには、これらのピンを対応する出力に接続することがきわめて重要です。独立したレギュレータとして使用する場合は、または1個以上を並列レギュレータの一部として使用する場合は、V_{OUTS1}やV_{OUTS2}ピンをフロートのままにすると、過電圧が発生する可能性があります。V_{FB1}またはV_{FB2}のどちらも、帰還抵抗なしの場合は、出力電圧がデフォルト値の0.6Vになります。V_{FB}ピンとGNDの間に抵抗R_{FB}を追加すると、出力電圧が次のように設定されます。

$$V_{OUT} = 0.6V \cdot \frac{60.4k + R_{FB}}{R_{FB}}$$

表1. 各種出力電圧に対するV_{FB}抵抗

V _{OUT}	0.6V	1.0V	1.2V	1.5V	1.8V	2.5V	3.3V	5V
R _{FB}	Open	90.9k	60.4k	40.2k	30.2k	19.1k	13.3k	8.25k

複数チャンネルの並列動作では、並列デザインにも同じ帰還設定抵抗を使用できます。それには、図2に示すようにV_{OUTS1}と出力を接続することで、内部の60.4k抵抗の1つが出力に接

続されます。図2に示すとおり、すべてのV_{FB}ピンが共通のプログラミング抵抗に接続されます。

並列動作の場合、V_{FB}ピンにはチャンネルあたり最大20nAのI_{FB}電流が流れます。この電流による出力電圧の誤差を低減するには、他のV_{OUTS}ピンもV_{OUT}ピンに接続し、R_{FB}抵抗も増やすことで、この電流に対する総テブナン等価抵抗を低減します。図2の例では、V_{FB}ピンの総テブナン等価抵抗は(60.4k/R_{FB})で表され、1.2V出力の場合R_{FB}は60.4kであることから、その値は30.2kになります。4フェーズを並列接続した場合は帰還電流が増加し、最大で4・I_{FB} = 80nAとなることから、電圧誤差は、80nA・30.2k = 2.4mVと計算されます。図2のようにV_{OUTS2}もV_{OUT}に接続して、V_{FB2}とグランドの間に60.4k抵抗をもう1つ接続すれば、電圧誤差は1.2mVに改善します。電圧誤差が許容できる場合は、追加の接続は必要ありません。60.4kの内蔵抵抗の精度は0.5%であり、V_{FB}抵抗は、必要な精度に応じてユーザーが選択できます。フェーズ間の電流分担のために、COMPピンはすべて相互に接続します。TRACKピンを相互に接続すれば、ソフトスタート・コンデンサ1個で、レギュレータのソフトスタートを実現できます。ソフトスタートの式には、並列接続されたチャンネル数に応じて増加する、ソフトスタート電流のパラメータが必要です。「TRACK/ソフトスタート・ピン」を参照してください。

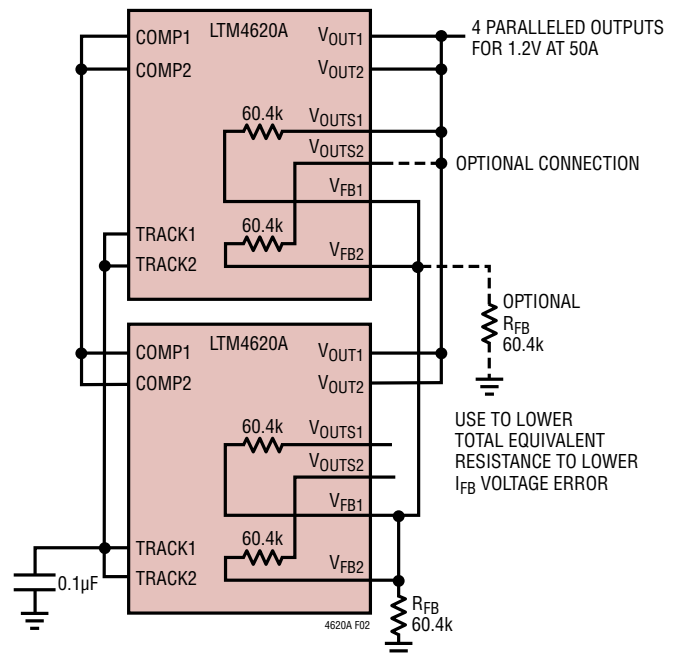


図2. 4フェーズ並列構成

アプリケーション情報

入力コンデンサ

LTM4620A モジュールは低 AC インピーダンスの DC ソースに接続する必要があります。RMS リップル電流に対応するために、レギュレータの入力には 22μF のセラミック・コンデンサを 4 個接続します。より大きな入力バルク容量には、47μF ~ 100μF の表面実装アルミ電解バルク・コンデンサを使うことができます。このバルク入力コンデンサは、長い誘導性のリードやトレースまたはソースの容量不足によって入力ソース・インピーダンスが損なわれる場合にだけ必要です。低インピーダンスの電源プレーンを使用している場合は、このバルク・コンデンサは不要です。

降圧コンバータの場合、スイッチングのデューティ・サイクルは次のように推定することができます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

インダクタの電流リップルを考慮しなければ、入力コンデンサの RMS 電流は、各出力に対して次のように概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)}$$

上の式で、η% は電源モジュールの推定効率です。バルク・コンデンサは、スイッチャ定格のアルミ電解コンデンサ、またはポリマー・コンデンサにすることができます。

出力コンデンサ

LTM4620A は出力電圧リップル・ノイズを小さくし、優れたトランジェント応答が得られるように設計されています。C_{OUT} として定義されているバルク出力コンデンサは、出力電圧リップルとトランジェントの要件を満たすために、等価直列抵抗 (ESR) が十分に小さいものを選択します。C_{OUT} には低 ESR のタンタル・コンデンサ、低 ESR のポリマー・コンデンサまたはセラミック・コンデンサを使うことができます。各出力の標準的な出力容量の範囲は 200μF ~ 470μF です。出力リップルや動的トランジェント・スパイクを更に低減するために、システム設計者による出力フィルタの追加が必要になる場合があります。7A/μs のトランジェントでの電圧の垂下やオーバーシュートを最小限に抑えるための、さまざまな出力電圧と出力コンデンサのマトリックスを表 5 に示します。この表では、最適のトランジェント性能を得るために、全等価 ESR と全バルク容量が最適化されています。表 5 のマトリックスは安定性に対する判定基準が考慮されています。安定性の解析には LTpowerCAD を使用できます。マルチフェーズ動作では、位相数に応じて実効出力リップルが低減されます。このノイズ低減と出力リップル電流の相殺については「アプリケーションノート 77」で解説していますが、出力容量と安定性やトランジェント応答の関係を注意深く検討する必要があります。LTpowerCAD は、実装される位相数を N 倍に増加させたときの、出力リップルの減少を計算できます。10Ω ~ 50Ω の小さな抵抗を V_{OUT} と V_{OUTS} ピンの間に直列に挿入することで、ボード・プロット・アナライザが制御ループに信号を注入して、レギュレータの安定性を検証できるようにします。同じ抵抗を V_{OUT} と DIFFP の間に直列に挿入しても、ボード・プロット・アナライザは制御ループに信号を注入してレギュレータの安定性を検証できます。

アプリケーション情報

Burst Mode 動作

LTM4620A は、パワー MOSFET が負荷要件に応じて間欠的に動作する Burst Mode 動作を、レギュレータごとに実行できるため、静止電流が節減されます。非常に軽い負荷での効率最大化を重視するアプリケーションでは、Burst Mode 動作を使用します。MODE/PLLIN ピンをフロートさせると、Burst Mode 動作がイネーブルされます。この動作の間、COMP ピンの電圧が低い値を示しても、インダクタのピーク電流は通常動作における最大ピーク電流値の約 1/3 に設定されます。インダクタの平均電流が負荷の要求値より大きいと、COMP ピンの電圧は下がります。COMP ピンの電圧が 0.5V を下回ると、BURST コンパレータがトリップし、内部のスリープ・ラインが“H”になって両方のパワー MOSFET をオフします。

スリープ・モードでは、内部回路は部分的にオフしており、各出力の静止電流は約 450 μ A に減少します。このとき、負荷電流は出力コンデンサから供給されます。出力電圧が低下して、COMP が 0.5V を超えると、内部のスリープ・ラインは“L”になり、LTM4620A は通常動作を再開します。次の発振器サイクルでトップ・パワー MOSFET がオンし、スイッチング・サイクルを繰り返します。Burst Mode 動作は、両レギュレータのいずれに対しても設定できます。

パルス・スキップ・モードの動作

低出力リップルおよび中程度の電流での高い効率が望まれるアプリケーションでは、パルス・スキップ・モードを使います。パルス・スキップ動作により、LTM4620A は低出力負荷時にサイクルをスキップすることができるので、スイッチング損失が減少して効率が向上します。MODE/PLLIN ピンを INTV_{CC} に接続すると、パルス・スキップ動作がイネーブルされます。軽い負荷では、内部電流コンパレータが数サイクルにわたってトリップしたままになることがあり、トップ MOSFET を数サイクルにわたってオフする（つまり、サイクルをスキップする）ことがあります。このモードでは、インダクタ電流が反転せず、実効周波数が高く保たれるため、Burst Mode 動作に比べて出力リップルとノイズが低減されます。パルス・スキップ・モードは、両レギュレータのいずれに対しても設定できます。

強制連続動作

低電流での効率より周波数固定の動作が重要で、出力リップルを最小限に抑える必要があるアプリケーションでは、強制連続動作を使います。MODE/PLLIN ピンを GND に接続すると、強制連続動作をイネーブルできます。このモードでは、インダクタ電流が低出力負荷の間反転可能で、常に COMP 電圧が電流コンパレータのしきい値を制御し、トップ MOSFET は発振器のパルスごとに必ずオンします。起動時には、LTM4620A の出力電圧が安定化されるまで、強制連続モードがデイスエーブルされ、インダクタ電流の反転が防止されます。強制連続モードは、両レギュレータのいずれに対しても設定できます。

マルチフェーズ動作

出力負荷が 13A を超える電流を必要とする場合、LTM4620A の 2 つの出力または複数の LTM4620A を並列接続した上で、位相をずらして動作させ、入力と出力の電圧リップルを抑えたまま出力電流を増やすことができます。MODE/PLLIN ピンによって LTM4620A を外部クロック (400kHz ~ 780kHz) に同期させることができ、内部フェーズロック・ループによって LTM4620A を入力クロックの位相にロックさせることができます。CLKOUT 信号を、次段の MODE/PLLIN ピンに接続し、システム全体の周波数と位相の両方を揃えることができます。PHMODE ピンを、INTV_{CC} または SGND に接続するか、フロート状態とすると、それぞれ 120°、60°、90° の位相差 (MODE/PLLIN と CLKOUT 間) を発生できます。LTM4620A のチャネルごとに PHMODE ピンを異なったレベルにプログラムすることにより、合計 12 フェーズをカスケード接続し、相互に同時に動作させることができます。図 3 は、クロックの位相制御の設計例として 2 フェーズ、4 フェーズ、6 フェーズの構成を PHASMD の表と併せて示したものです。

マルチフェーズ電源では、入力と出力のどちらのコンデンサのリップル電流の量も大幅に減少します。RMS 入力リップル電流は使用する位相数が増えると低減され、実効リップル周波

アプリケーション情報

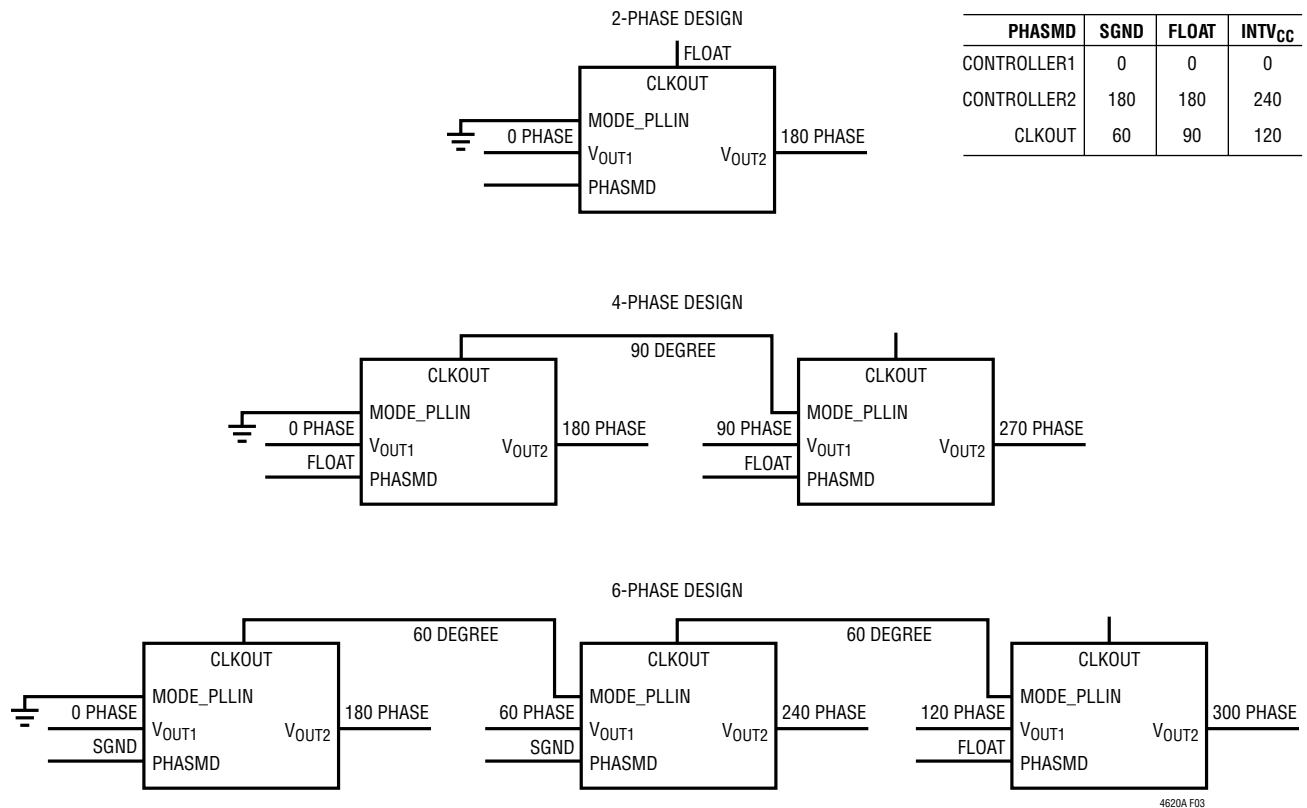


図3. 2フェーズ、4フェーズ、6フェーズ動作の例 (PHASMDの表を併記)

数は位相数倍されます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。すべての出力を互いに接続した高電流のシングル出力デザインでは、使用する位相数によって出力リップルの振幅を低減することができます。

LTM4620Aは本来、電流モードで制御されるデバイスであるため、並列モジュールでは優れた電流分担特性を示し、デザインの発熱バランスがよくなります。図26に、並列動作とピン接続の例を示します。

アプリケーション情報

入力RMSリップル電流の相殺

マルチフェーズ動作は「アプリケーションノート77」で詳細に説明されています。入力RMSリップル電流の相殺を数学的に導出し、RMSリップル電流の減少を、インタリーブされた位相の数の関数として表したグラフを掲載しています。図4に、そのグラフを再録します。

周波数の選択とフェーズロック・ループ (MODE/PLLIN ピンとf_{SET} ピン)

LTM4620A デバイスは、電力変換効率を高めるために、広い周波数範囲で動作します。出力電圧が低い場合、またはデューティ・サイクルが小さい場合は、低い周波数で動作させてパワー MOSFET のスイッチング損失を減らし、効率を高めることを推奨します。出力電圧が高い場合、またはデューティ・サイクルが大きい場合は、高い周波数で動作させることでインダクタのリップル電流を抑えられます。そのような条件で選択すべき動作周波数は、効率のグラフに示されています。最高出力電圧を基準として周波数を選択します。

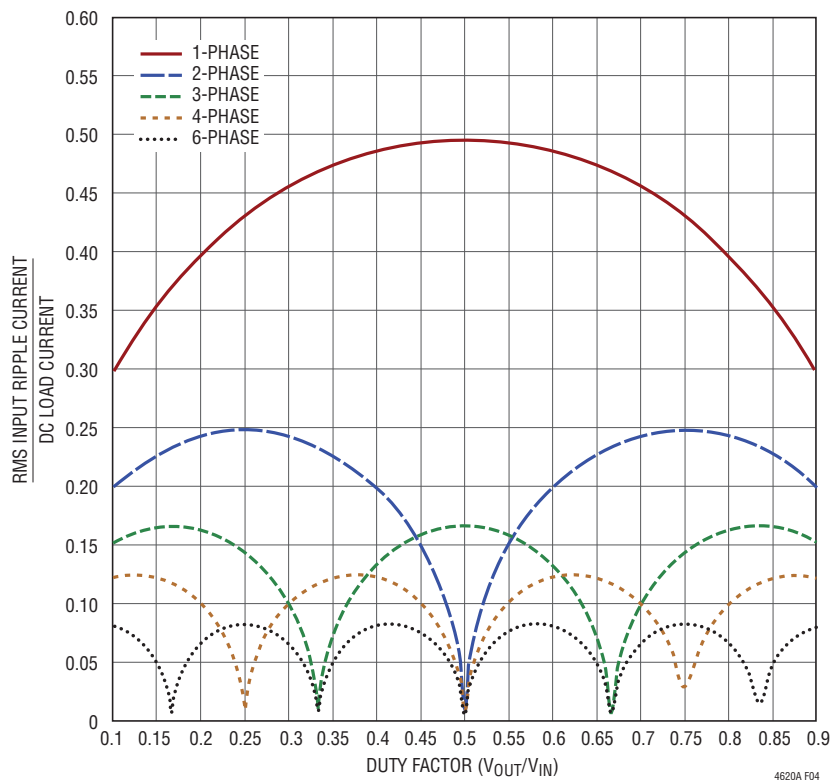


図4. DC 負荷電流に対する入力 RMS 電流の比率のデューティ・サイクル依存性

アプリケーション情報

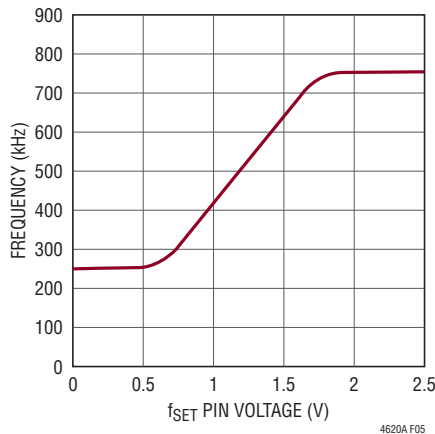


図5. 動作周波数のfSETピン電圧依存性

LTM4620Aのスイッチング周波数は、fSETピンとSGND間の外付け抵抗によって設定できます。高精度の10μA電流源から抵抗に供給される電流が周波数をプログラムする電圧を設定します。DC電圧を直接印加して設定することもできます。図5にプログラム電圧に対する周波数設定のグラフを示します。周波数範囲400kHz～780kHzについては、MODE/PLLINピンに0VからINTV_{CC}の外部クロックを入力することもできます。クロック入力のHigh側しきい値は1.6V、Low側しきい値は1Vです。LTM4620AはPLLループ・フィルタの部品を内蔵しています。外部クロックにロックするまでの初期スイッチング周波数を設定するために、周波数設定抵抗は必ず接続してください。両レギュレータは、外部クロックによる駆動中、連続モードで動作します。

PLL位相検出器の出力は、内部フィルタ・ネットワークを充放電する1対の相補型電流源です。外部クロックを印加する場合、fSET周波数抵抗は内部スイッチによって切り離され、入力される外部クロックにロックするための周波数調整は電流源によって制御されます。外部クロックが印加されないと、内部スイッチがオンになり、外付けのfSET周波数設定抵抗が接続されて自走動作になります。

最小オン時間

最小オン時間 t_{ON} は、LTM4620AがいずれかのチャネルのトップMOSFETをオンすることができる最小時間です。これは内部タイミング遅延とトップMOSFETをオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間のリミットに接近する可能性があるため、次の条件を満たすように注意してください。

$$\frac{V_{OUT}}{V_{IN} \cdot \text{FREQ}} > t_{ON(MIN)}$$

デューティ・サイクルが最小オン時間で対応可能な値より低くなると、コントローラはサイクル・スキップを開始します。出力電圧は引き続き安定化されますが、出力リップルが増加します。トップMOSFETのオン時間は、スイッチング周波数を低くすると増加します。経験則から、オン時間は110nsよりも長くすることを推奨します。

出力電圧のトラッキング

出力電圧のトラッキングはTRACKピンを使って外部よりプログラムできます。出力を別のレギュレータによってトラッキングアップおよびトラッキングダウンさせることができます。マスター・レギュレータの出力は、スレーブ・レギュレータの帰還分割器と同じ外部抵抗分割器によって分割され、同時トラッキングを実装します。LTM4620Aは、各チャネルにトップ帰還抵抗用として60.4kの高精度抵抗を内蔵しています。同時トラッキングの例を図6に示します。式は次のようになります。

$$\text{SLAVE} = \left(1 + \frac{60.4k}{R_{TA}} \right) \cdot V_{\text{TRACK}}$$

V_{TRACK} はスレーブのトラック・ピンに印加するトラック・ランプです。 V_{TRACK} の制御範囲は0V～0.6V(内部リファレンスの電圧)です。スレーブの出力を設定するのに使われる抵抗値と同じ値でマスタの出力が分圧されると、スレーブはその最終値に達するまでマスタを同時トラッキングします。マスタはスレーブのレギュレーション点からその最終値まで上昇を続けます。 V_{TRACK} が0.6Vを超えると、電圧トラッキングがディスエーブルされます。同時トラッキングの場合、図6の R_{TA} は R_{FB} に等しくなります。同時トラッキングの波形を図7に示します。

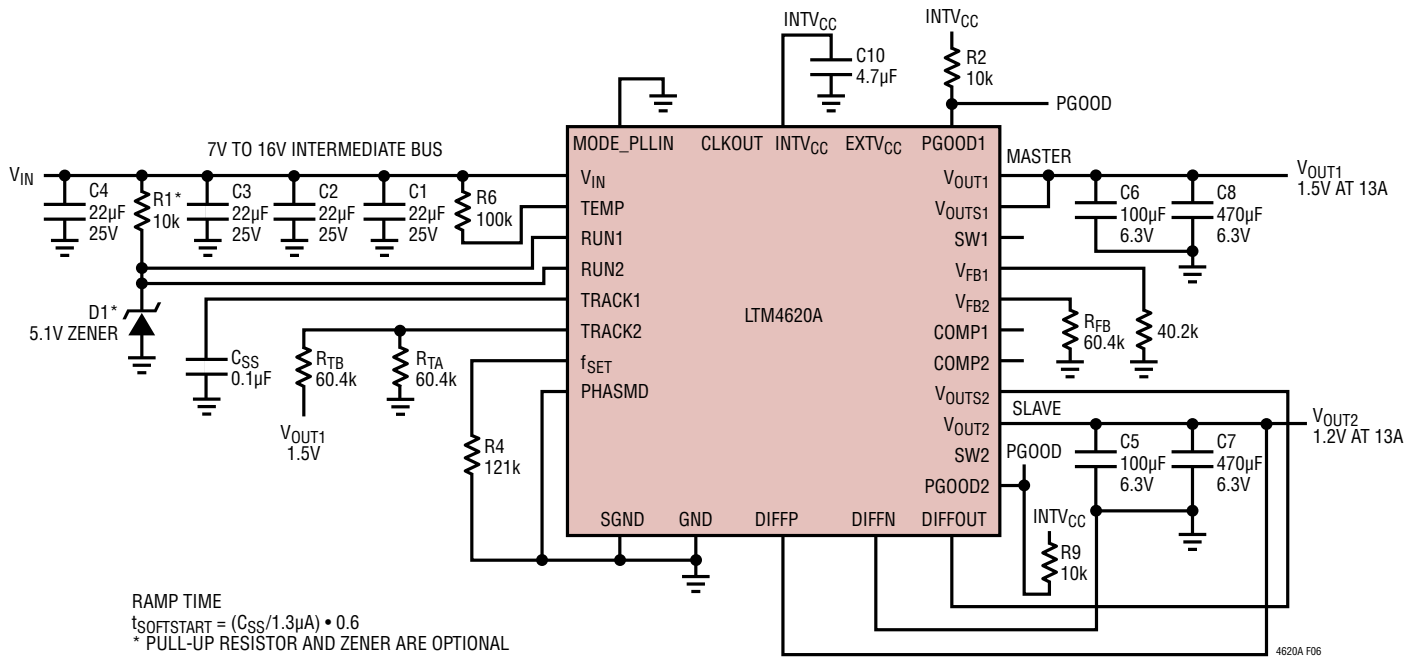


図6. 出力トラッキング・アプリケーション回路の例

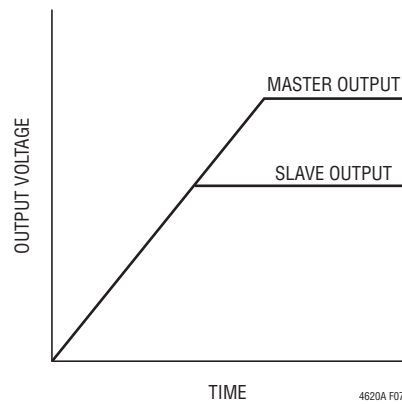


図7. 出力同時トラッキングの波形

アプリケーション情報

レギュレータのTRACKピンは、グランドとの間に接続したコンデンサによって制御できます。TRACKピンは、1.3μAの電流源によってリファレンス電圧まで充電され、更に最大INTV_{CC}まで電圧が高くなります。0.6Vまでランブアップした後は、TRACKピンに対する制御は解除され、内部電圧リファレンスが帰還分圧器を介して出力レギュレーションを制御します。トラッキングまたはソフトスタートに含まれる上記のシーケンス実行中は、フォールドバック電流制限はディスエーブルされます。RUNピンが1.2Vを下回ると、TRACKピンはLowに引き下げられます。合計ソフトスタート時間は次のように計算できます。

$$t_{\text{SOFT-START}} = \left(\frac{C_{\text{SS}}}{1.3\mu\text{A}} \right) \cdot 0.6$$

MODE/PLLINピンで選択されたモードには関係なく、TRACK = 0.5Vまではレギュレータ・チャンネルが常にパルス・スキップ・モードで起動します。TRACK = 0.5V ~ 0.54Vでは強制連続モードで動作し、TRACK > 0.54Vになると選択されたモードに復帰します。LTM4620Aは、定常状態の動作に移行すると、もう一方のチャンネルをトラックするために、V_{FB}が0.54Vを下回った時点で、MODE/PLLINピンの設定に関係なく、強制的に連続モード動作に切り替わります。

レシオメトリック・トラッキングはいくつかの簡単な計算とマスターのTRACKピンに与えられるスルーレートの値によって達成することができます。前述のとおり、TRACKピンの制御範囲は0V ~ 0.6Vです。マスターのTRACKピンのスルーレートはボルト/時間で表したマスターの出力スルーレートにそのまま等しくなります。式は次のようになります。

$$\frac{\text{MR}}{\text{SR}} \cdot 60.4\text{k} = R_{\text{TB}}$$

ここで、MRはボルト/時間で表したマスターの出力スルーレート、SRはスレーブの出力スルーレートです。同時トラッキングが必要な場合には、MRとSRが等しくなるのでR_{TB}は60.4kに等しくなります。R_{TA}は次式から求められます。

$$R_{\text{TA}} = \frac{0.6\text{V}}{\frac{V_{\text{FB}}}{60.4\text{k}} + \frac{V_{\text{FB}}}{R_{\text{FB}}} - \frac{V_{\text{TRACK}}}{R_{\text{TB}}}}$$

ここで、V_{FB}はレギュレータの帰還電圧リファレンスで、V_{TRACK}は0.6Vです。R_{TB}はスルーレートが等しい(つまり同時トラッキング時の)スレーブ・レギュレータの60.4kのトップ

帰還抵抗に等しいので、V_{FB} = V_{TRACK}のとき、R_{TA}はR_{FB}に等しくなります。したがって、図6のR_{TB} = 60.4k、R_{TA} = 60.4kになります。

比例トラッキングでは、スレーブ・レギュレータに異なるスルーレートが必要になる可能性があります。SRがMRより低いときのR_{TB}を求めることができます。マスターの出力より前にスレーブの出力電圧がその最終値に達するように、十分速いスレーブ電源のスルーレートが選択されていることを確認してください。

例えば、MR = 1.5V/1ms、およびSR = 1.2V/1msとした場合、R_{TB} = 76.8kになります。R_{TA}について解くと、49.9kが得られます。

各TRACKピンは、その特定のチャンネルのトラッキングを抵抗分割器によって実装している場合、1.3μAの電流源をオンします。このため、TRACKピン入力にオフセットが生じます。上式で計算した抵抗値と比が同じで、値がもっと小さな抵抗を使うことができます。例えば、60.4kが使われている場合、6.04kを使ってTRACKピンのオフセットを無視できる値に下げることができます。

パワーグッド

PGOODピンはオープン・ドレインのピンで、有効な出力電圧レギュレーションをモニタするのに使うことができます。このピンはレギュレーション・ポイントの上下±10%の範囲をモニタします。モニタ用の抵抗を、最大6Vを超えない特定の電源電圧でプルアップできます。

安定性補償

モジュールはあらゆる出力電圧に対して内部で補償済みです。ほとんどのアプリケーションの要件に対して表5が与えられています。制御ループに対するその他の最適化にはLTpowerCADを使用できます。

実行イネーブル

RUNピンは、最大1.4V、代表値1.25Vのイネーブルしきい値を持ち、150mVのヒステリシスが付加されています。各チャンネルとINTV_{CC}のターンオンを制御します。5V動作の場合、これらのピンはV_{IN}にプルアップすることができます。入力が5Vを超える場合は、5Vのツェナー・ダイオードと10k ~ 100kの抵抗を接続してチャンネルをイネーブルできます。RUNピンは、

アプリケーション情報

出力電圧のシーケンス制御にも使用できます。並列動作では、RUNピンを相互に接続して1つの信号で制御できます。図26の「標準的応用回路」を参照してください。

INTV_{CC}とEXTV_{CC}

LTM4620A モジュールは、入力電圧から5Vを発生する、低ドロップアウトレギュレータを内蔵しています。このレギュレータは制御回路とパワー MOSFETのドライバの電源として使われます。最大70mAを供給でき、通常は〜30mAの消費電流によって最大周波数で動作するデバイスに給電します。この内部5V電源は、RUN1またはRUN2のいずれかによってインエーブルされます。

EXTV_{CC}を使用すると、LTM4620Aに外部5V電源から電力を供給できるため、内蔵低ドロップアウト5Vレギュレータによる電力損失を低減できます。電力損失の節減量は次式で計算することができます。

$$(V_{IN} - 5V) \cdot 30mA = P_{LOSS}$$

EXTV_{CC}には、アクティブ化するために4.7Vのしきい値があり、最大定格は6Vです。入力が5Vの場合、これをEXTV_{CC}に接続してゲート駆動レベルを5Vに維持することも可能です。EXTV_{CC}はV_{IN}より後にオンさせ、V_{IN}より前にオフさせる必要があります。5V出力を設計するときは、この5V出力をEXTV_{CC}に接続します。EXTV_{CC}に外付けの5Vバイアスを使用すると効率が向上します。

差動リモート検出アンプ

離れた負荷ポイントで低い出力電圧を正確に検出するために、高精度の差動リモート検出アンプを搭載しています。大電流の負荷には特に役立ちます。アンプは、2つのチャネルのいずれか一方、または並列構成のシングル出力に対して使用できます。DIFFPとDIFFNを出力に、DIFFOUTをV_{OUTS1}またはV_{OUTS2}のいずれかに適切に接続することが重要です。並列動作の場合は、DIFFPとDIFFNを出力に、DIFFOUTをV_{OUTS}ピンのいずれか一方に適切に接続します。図29の並列構成の回路図と、図2を参照してください。差動アンプは、出力電圧3.3V以下でのみ使用できます。

SWピン

通常、SWピンはテスト時のモニタリング目的で使用します。また、スイッチング動作する電流パスのLC寄生素子によって発生する、スイッチ・ノード・リングングを減衰させる目的でも使

用します。これには通常、スナバ回路と呼ばれる直列RC回路を使用します。抵抗が共振を減衰させるので、コンデンサには、抵抗両端の高周波リングングだけに作用する値を選択します。浮遊インダクタンスまたは容量を測定できる場合、または近似値が既知の場合は、スナバ回路の値を選択するのにある程度解析的な手法を適用できます。通常は、インダクタンスの方が予測が容易です。電源経路のボード・インダクタンスとMOSFET相互接続ボンディング・ワイヤのインダクタンスを組み合わせた値になります。

はじめに、広帯域幅のオシロスコープと高周波のプロブによってSWピンをモニタします。これによって、リングング周波数の値を測定できます。インピーダンスZは次式により計算できます。

$$Z(L) = 2\pi fL,$$

ここで、fはリングングの共振周波数、Lはスイッチング・パスの寄生インダクタンスの合計値です。この式のZに等しい抵抗を選べば、リングングは減衰するはずですが、スナバのコンデンサの値は、インピーダンスがリングング周波数における抵抗に等しくなるように選択されます。次式で計算されます。 $Z(C) = 1/(2\pi fC)$ 。これらの値は、検討を始める初期値として妥当です。最小限の電力損失でリングングを減衰できるように、これらの部品の値は変更する必要があります。

温度モニタ(TEMP)

ダイオード接続されたPNPトランジスタ上で、温度に対する電圧の変化をモニタすることにより、TEMPモニタ機能を実現できます。このダイオードの温度依存性は次式で理解できます。

$$D = nVT \ln \left(\frac{I_D}{I_S} \right)$$

ここで、V_Tは熱電圧(kT/q)であり、nは理想係数で、LTM4620で使用されている2つのダイオード接続PNPでは1です。I_Dには、I_Sの標準的な経験式(次式)から理解できる指数関数的な温度依存性があります。

$$I_S = I_0 \exp(-VG_0/VT)$$

ここで、I₀は一定のプロセスおよび形状に依存する電流であり(I₀は通常、室温でのI_Sよりおよそ20桁大きいので、I₀はI_Dの標準値よりかなり大きい値)、VG₀は-273°Cの絶対零度まで外挿された1.2Vのバンドギャップ電圧です。100μAの電流源でバイアスされているダイオード接続PNPトランジスタのダ

アプリケーション情報

イオード温度特性のプロットを図8に示します。このプロットを左側に延ばすと、 -273°C では1.2Vに戻ります。この曲線はテスト・システムの限界により、 -55°C で止まっています。

I_S の式を V_D の式に代入すると、次式が得られます。

$$V_D = V_{G0} - \left(\frac{Kt}{q}\right) \ln\left(\frac{I_0}{I_D}\right), V_T = \left(\frac{Kt}{q}\right)$$

この式は、 V_{G0} の値が絶対零度での1.2Vから温度上昇に伴って減少するまでの間 I_0 が一定であった場合、ダイオード接続PNPの接合部電圧が直線的に減少することを示しています。

この式を温度 T で微分すると、次の式が得られます。

$$\frac{dV_D}{dT} = -(V_{G0} - V_D)/T \quad \text{温度の関数としてのこの} \quad \frac{dV_D}{dT}$$

の変化は、標準で約 $-2\text{mV}/^{\circ}\text{C}$ です。この式は一次微分について単純化されます。

T について解くと、 $T = -(V_{G0} - V_D)/\frac{dV_D}{dT}$ から温度が得られます。

第1の例：図4から、 27°C (300K)ではダイオードの電圧が0.598Vなので、 $300^{\circ}\text{C} = -(1200\text{mV} - 598\text{mV})/(-2.0\text{mV}/^{\circ}\text{C})$ となります。

第2の例：図4から、 75°C (350K)ではダイオードの電圧が0.50Vなので、 $350^{\circ}\text{C} = -(1200\text{mV} - 500\text{mV})/(-2.0\text{mV}/^{\circ}\text{C})$ となります。

ケルビン温度から摂氏への変換は、単純にケルビン温度から273を引き算して行います。

標準的な順方向電圧を測定し、データシートの「電気的特性」のセクションに記載しており、図8はこの順方向電圧のプロットです。この順方向電圧を 27°C で測定して、基準点を確立します。その後、全温度範囲で順方向電圧を測定しつつ、前述の式を使用すると、汎用の温度モニタが得られます。

ダイオード接続したPNPトランジスタを抵抗によって最大 V_{IN} までプルアップし、電流を $100\mu\text{A}$ に設定すれば、温度の変化

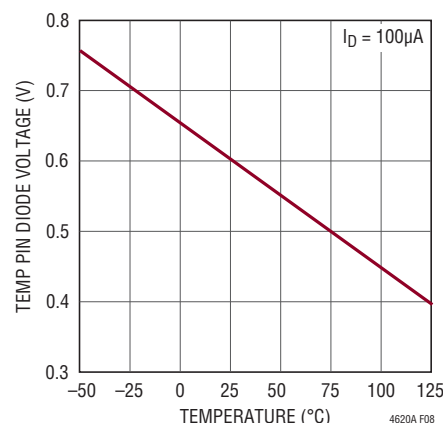


図8. 異なるバイアス電流に対するダイオード電圧 V_D の温度($^{\circ}\text{C}$)依存性

に伴うダイオード電圧降下をモニタすることにより、このダイオード接続トランジスタを一般的な温度モニタとして使用できます。一例としては、図27を参照してください。

熱に関する検討事項と出力電流のディレーティング

データシートの「ピン配置」セクションに記載された熱抵抗は、JESD 51-9に定義されたパラメータと整合しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールでの使用を意図したものです。モデリング・ツールでは、JESD 51-9 (“Test Boards for Area Array Surface Mount Package Thermal Measurements”)によって定義されたハードウェア・テストボードに μModule パッケージを実装して行われたハードウェア評価で得られた熱的モデリング、シミュレーション、相関の結果を使用します。これらの熱係数を示す意図は、JESD 51-12の“Guidelines for Reporting and Using Electronic Package Thermal Information”に示されています。

多くの設計者は、さまざまな電気的および環境的動作条件で動作する実際のアプリケーションにおける μModule レギュレータの熱性能を予測するのに、実験室の装置およびデモボードのようなテスト手段の使用を選択して、FEAの作業を補強で

アプリケーション情報

きます。FEA ソフトウェアを使用しない場合、「ピン配置」に記載された熱抵抗は、それだけでは熱性能のガイダンスにはなりません。むしろ、データシートに示されたディレーティング曲線を使った方が、アプリケーションへの適用方法に沿った洞察とガイダンスを得られ、特定のアプリケーションにおける熱性能との相関に適合させることができます。

「ピン配置」には、通常は JESD 51-12 に明示的に定義された 4 つの熱係数が記載されています。以下に、これらの係数の定義の引用または説明を示します。

1. θ_{JA} (接合部から周囲までの熱抵抗) は、1 立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「静止空気」と呼ばれることがあります。この値は、JESD 51-9 で定義されているテストボードに実装したデバイスを使って決定されます。このテストボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。
2. $\theta_{JCbottom}$ (接合部から製品のケースの底部までの熱抵抗) は、部品の全電力損失がパッケージの底部を通して流れ出す場合の接合部から基板までの熱抵抗です。標準的な μ Module では、熱の大半がパッケージの底面から流出しますが、周囲の環境への熱の流出が必ず発生します。その結果、この熱抵抗値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションに合致しません。
3. θ_{JCtop} (接合部から製品のケースの上面までの熱抵抗) は、部品のほぼ全電力損失がパッケージの上面を通して流れ出す状態で決定されます。標準的 μ Module の電氣的接続はパッケージの底部なので、接合部からデバイスの頂部に

熱の大半が流れるようにアプリケーションが動作することは稀です。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションに合致しません。

4. θ_{JB} (接合部からプリント回路基板までの熱抵抗) は、熱の大部分が μ Module の底部を通して基板に流れ出すときの接合部から基板までの熱抵抗であり、実際には、 $\theta_{JCbottom}$ と、デバイスの底部から半田接合部を通り、基板の一部までの熱抵抗の和です。基板の温度は、両面の 2 層基板を使って、パッケージからの規定された距離で測定されます。この基板は JESD 51-9 に記述されています。

前述の熱抵抗を図式化したものが図 9 です。青色で示された部分は μ Module レギュレータ内部の熱抵抗、緑色で示された部分は μ Module の外部に存在する熱抵抗です。

実際には、JESD51-12 または「ピン配置」で定義されている 4 種類の熱抵抗パラメータの個々のものまたはサブグループは、 μ Module の通常の動作条件を再現または表現するものではないことに注意してください。例えば、基板に実装された通常の実装アプリケーションでは、標準規格が θ_{JCtop} および $\theta_{JCbottom}$ をそれぞれ定義しているように、デバイスの全電力損失 (熱) の 100% がパッケージの頂部だけを通して、または底部だけを通して熱的に伝わることは決してありません。実際には、電力損失は熱的にパッケージの両面へと放出されます。確かに、ヒートシンクまたはエアフローがなければ、熱流の大部分は基板へと流れます。

アプリケーション情報

SIP (System-In-Package) モジュール内部では、電力損失を生じる複数のパワーデバイスや部品が存在し、その結果、部品やダイの異なる接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確にリニアではないことに注意してください。この複雑さを(モデリングの簡単さを犠牲にすることなく、しかも実用的な現実性を無視せずに)調和させるため、制御された環境室でのラボ・テストとともに FEA ソフトウェア・モデリングを使うアプローチが取られ、このデータシートで与えられている熱抵抗値の定義と相関が得られました。(1)はじめに、FEA ソフトウェアによって μ Module と指定の PCB の機械的形狀モデルを、正確な材料係数と正確な電力損失源の定義とともに、高い精度で構築しました。(2)このモデルによって、JESD 51-9 に準拠したソフトウェア定義の JEDEC 環境をシミュレートして、さまざまな界面における電力損失熱流と温度測定値を予測します。その値から JEDEC 定義の熱抵抗値を計算できます。(3)モデルと FEA ソフトウェアを使ってヒートシンクとエアフローがある場合の μ Module の熱性能を評価し

ます。(4)これらの熱抵抗値を計算、解析し、ソフトウェア・モデル内でさまざまな動作条件によるシミュレーションを行った上で、これを再現する徹底した評価実験を実施します。具体的には、制御環境チャンバ内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使って温度を測定します。このプロセスと必要な作業の結果、このデータシートの別のセクションに示されているデイレーティング曲線が得られました。これらの実験室での評価を行い、 μ Module モデルと相関を得てから θ_{JB} と θ_{BA} を合計すると、適切な環境のチャンバ内におけるエアフローおよびヒートシンクなしの μ Module モデルと、きわめてよい相関が得られました。この $\theta_{JB} + \theta_{BA}$ の値は「ピン配置」に示されており、エアフローや頂部に実装したヒートシンクがない状態では、電力損失のほぼ 100% が接合部から基板を通して周囲に流れるので、この値は θ_{JA} の値に正確に等しくなります。熱特性はシステムごとに異なるため、特定のシステムに対してユーザーが熱解析を実施する必要があります。

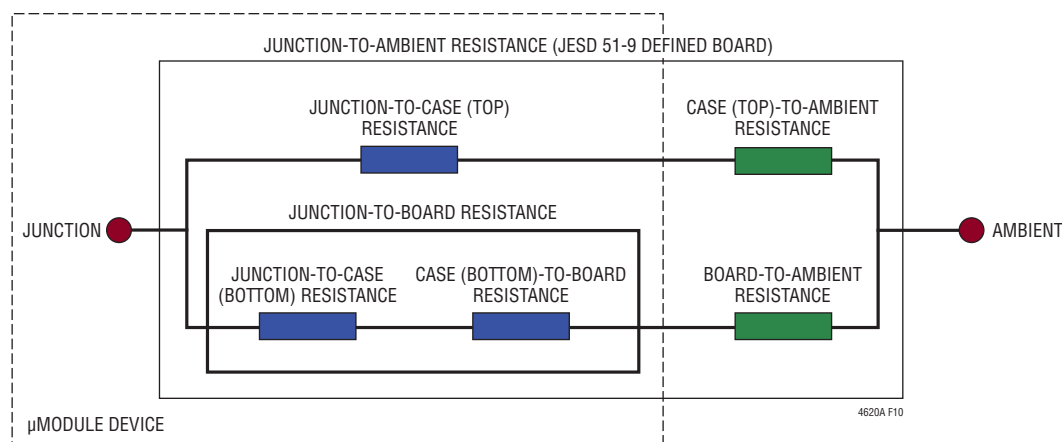


図 9. JESD51-12 の熱係数の図解

LTM4620A

アプリケーション情報

LTM4620A モジュールは、パッケージの上下両面から効率的に放熱できるように設計されています。下面の基板材料はプリント回路基板への熱抵抗がきわめて低く、上面の露出金属面はパワー・デバイスとパワー・インダクタに熱的に接しています。エアフローへの良好な放熱が可能な外付けのヒートシンクをデバイスの上面に取り付けることができます。基本的に、電力損失を伴うデバイスは、すべてが基板または露出金属上面に直接実装されます。これによって、熱を逃がす熱抵抗の低い経路が2つ確保できます。

図10に、LTM4620Aの温度プロットを示します。内部電力損失約5.3Wで動作するLTM4620AにBGAヒートシンクを取り付け、200LFMのエアフローで冷却した場合の特性です。

図11に、LTM4620Aの温度プロットを示します。内部電力損失約6.5Wで動作するヒートシンクなしのLTM4620Aを、200LFMのエアフローで冷却した場合の特性です。

12V入力で動作する並列接続の1.2V/26Aのデザインと5V/25Aのデザインの場合も、これらのプロットと同じ特性が得られます。

安全性に関する検討事項

LTM4620A モジュールでは V_{IN} と V_{OUT} の間が絶縁されていません。内部にヒューズはありません。必要に応じて、最大入力電流の2倍の定格の低速溶断ヒューズを使って各ユニットを致命的損傷から保護してください。

内部トップMOSFETの障害による過電圧状態の間、レギュレータへの電流を制限するために、ヒューズまたは回路ブレーカを選択する必要があります。内部トップMOSFETに障害が発生した場合、これをオフするだけでは過電圧は解消されません。このため、内部ボトムMOSFETがオンしつづけて負荷の保護を試みます。このようなフォルト状態では、障害が発生した内部トップMOSFETとイネーブルされた内部ボトムMOSFETを通して、入力電圧源からグラウンドに非常に大きな電流が流れます。この電流によって、入力電圧源がこのシステムに供給できる電力量に応じて、過度の熱が発生したり、基板に損傷を与えたりする可能性があります。このような状況に対する2次的なフォルト保護として、ヒューズまたは回路ブレーカを使用できます。

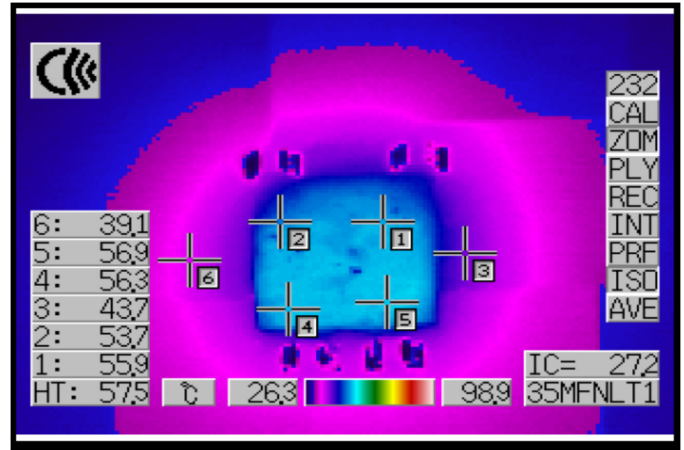


図10. 12V入力、1.2V/26A出力のLTM4620A、200LFMのエアフロー

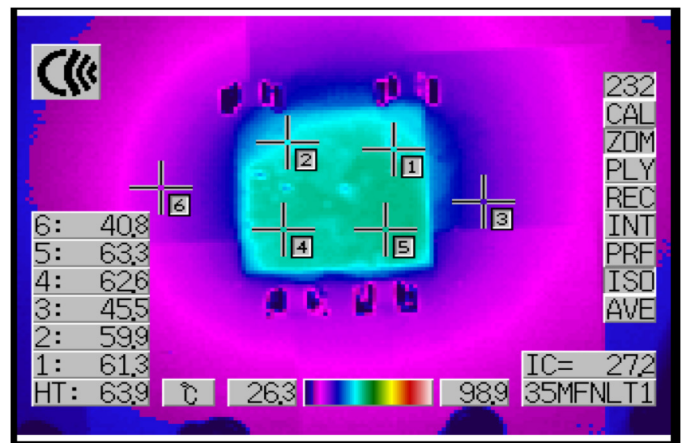


図11. 12V入力、5V/25A出力のLTM4620A、200LFMのエアフロー

アプリケーション情報

デバイスも過電流保護機能を備えています。内部温度をモニタする温度検出ダイオードを搭載しているため、これを使ってRUNピン制御によるサーマル・シャットダウンが必要であるかどうかを検出できます。

電力ディレーティング

図12～図14の1V、2.5V、5Vの電力損失曲線を図15～図24の負荷電流ディレーティング曲線とともに使って、さまざまなヒートシンクおよびエアフロー条件でのLTM4620Aのおおよその θ_{JA} 熱抵抗を計算することができます。電力損失曲線を室温で測定し、その値を125°Cでは倍率1.35～1.4で増加させます。この値の増加は、レギュレータの電力損失が25°Cから150°Cで約45%増加することが原因です。45%の変化を温度差125°Cに均等に振り分ければ、損失の増加は約0.35%/°Cになります。最大接合部温度の125°Cから室温の25°Cを引くと、温度増は100°Cです。この100°Cの温度増に0.35%/°Cを掛けると、125°Cの接合部では損失が35%増大することになり、ここから倍率の1.35が得られます。

ディレーティング曲線は、CH1とCH2を並列接続したシングル出力動作を、負荷電流26Aから測定しはじめます。周囲温度は常温です。出力電圧は1V、2.5V、および5Vです。これらの電圧は熱抵抗との相関を取るため、低い方と高い方の出力電圧範囲を含むように選択されています。熱モデルは、制御温度室での数回の温度測定と熱モデリング解析から得られます。

エアフローありとエアフローなしの条件で周囲温度を上げながら接合部温度をモニタします。周囲温度の変化による電力損失の増加はディレーティング曲線に加味されています。周囲温度を上げながら、他方、出力電流つまり電力は減らして、接合部温度を最大～120°Cに維持します。周囲温度を上げながら出力電流を減らすと、内部モジュールの損失が減少します。

モニタされた120°Cの接合部温度から周囲動作温度を差し引いた値は、どれだけのモジュール温度の上昇を許容できるかを規定します。図15の例では、エアフローやヒートシンクなしで約80°Cのとき負荷電流が約19Aにディレーティングされ、12Vから1.0V/19A出力の電力損失は5.1Wです。5.1Wの損失は、12Vから1.0Vへの19Aでの電力損失曲線から得られる約3.75Wの室温での損失、および125°Cの周囲温度での1.35の増加係数を使って計算されます。120°Cの接合部温度から80°Cの周囲温度を差し引き、その差の40°Cを5.1Wで割ると7.8°C/Wの熱抵抗 θ_{JA} が得られます。表2はこれと非常に近い6.5～7°C/Wの値を規定しています。エアフローありのグラフは、これより更に正確です。周囲温度環境が、エアフローによってより適切に管理されているためです。図16の例からは、200LFMのエアフローのもとで約90°Cのとき負荷電流が約22Aにディレーティングされ、12Vから1.0V/22A出力の電力損失は5.94Wであることがわかります。

5.94Wの損失は、12V入力、1.0V/22A出力での電力損失曲線から得られる約4.4Wの室温での損失、および125°Cの周囲温度での1.35の増加係数を使って計算されます。120°Cの接合部温度から90°Cの周囲温度を差し引き、その差の30°Cを5.94Wで割ると5.1°C/Wの熱抵抗 θ_{JA} が得られます。表2はこれと非常に近い5.5°C/Wの値を規定しています。表2～表4にエアフローとヒートシンクのありとなしの1.0V、2.5V、および5V出力の等価熱抵抗を示します。

さまざまな条件で得られた表2～表4の熱抵抗に、周囲温度の関数として計算された電力損失を掛けて、周囲温度を超える温度上昇(したがって最大接合部温度)を求めることができます。室温での電力損失は効率曲線から求め、上記の周囲温度の増加係数を使って調整することができます。プリント回路基板は1.6mm厚の4層構造で、外側2層には2オンス銅箔、内側2層には1オンス銅箔を使用しています。PCBの寸法は101mm×114mmです。BGAヒートシンクを表4に示します。

LTM4620A

アプリケーション情報

表2. 1.0V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	LGA Θ _{JA} (°C/W)	BGA Θ _{JA} (°C/W)
Figures 15, 16	5, 12	Figure 12	0	None	6.5 to 7	6.5 to 7
Figures 15, 16	5, 12	Figure 12	200	None	5.5	5.5
Figures 15, 16	5, 12	Figure 12	400	None	5	5
Figures 17, 18	5, 12	Figure 12	0	BGA Heat Sink	6.5	6.5
Figures 17, 18	5, 12	Figure 12	200	BGA Heat Sink	5	5
Figures 17, 18	5, 12	Figure 12	400	BGA Heat Sink	4	4

表3. 2.5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	LGA Θ _{JA} (°C/W)	BGA Θ _{JA} (°C/W)
Figures 19, 20	5, 12	Figure 13	0	None	6.5 to 7	6.5 to 7
Figures 19, 20	5, 12	Figure 13	200	None	5.5 to 6	5.5 to 6
Figures 19, 20	5, 12	Figure 13	400	None	4.5	4.5
Figures 21, 22	5, 12	Figure 13	0	BGA Heat Sink	6.5 ~ 7	6.5 to 7
Figures 21, 22	5, 12	Figure 13	200	BGA Heat Sink	4	4
Figures 21, 22	5, 12	Figure 13	400	BGA Heat Sink	3.5	3.5

表4. 5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	LGA Θ _{JA} (°C/W)	BGA Θ _{JA} (°C/W)
Figure 23	12	Figure 14	0	None	6.5 to 7	6.5 to 7
Figure 23	12	Figure 14	200	None	5.5 to 6	5.5 to 6
Figure 23	12	Figure 14	400	None	4.5	4.5
Figure 24	12	Figure 14	0	BGA Heat Sink	6.5 ~ 7	6.5 to 7
Figure 24	12	Figure 14	200	BGA Heat Sink	4	4
Figure 24	12	Figure 14	400	BGA Heat Sink	3.5	3.5

5V出力をEXTV_{CC}に接続すると効率が高まります。

ヒートシンクのメーカー

製品番号

Web サイト

Aavid Thermalloy	375424B00034G	www.aavid.com
Cool Innovations	4-050503P 4-050508P	www.coolinnovations.com

アプリケーション情報

表 5. 出力電圧応答と部品の一覧 (図 23 を参照)、0A から 7A への負荷ステップ時の標準的測定値

メーカー	値	製品番号	ESR
TDK, C _{OUT1} Ceramic	100μF 6.3V	C4532X5R0J107MZ	~1mΩ
Murata, C _{OUT1} Ceramic	100μF 6.3V	GRM32ER60J107M	~1mΩ
AVX, C _{OUT1} Ceramic	100μF 6.3V	18126D107MAT	~1mΩ
Sanyo POSCAP, C _{OUT2} Bulk	470μF 2R5	2R5TPD470M5	9mΩ
Sanyo POSCAP, C _{OUT2} Bulk	470μF 6.3V	6TPD470M	9mΩ
Sanyo, C _{IN} Bulk	56μF 25V	25SVP56M	
Sanyo, POSCAP C _{OUT2} Bulk	100μF 6.3V	67PE100MI	15mΩ to 18mΩ
Sanyo, POSCAP C _{OUT2} Bulk	220μF 2.5V	2R5TPE220M9	
Sanyo, POSCAP C _{OUT2} Bulk	220μF 6V	6TPF220ML	

V _{OUT} (V)	C _{IN} (セラミック)	C _{IN} (バルク)**	C _{OUT1} (セラミック)	C _{OUT2} (バルク)	C _{FF} (pF)	C _{BOT} (pF)	C _{COMP} (pF)	V _{IN} (V)	DROOP (mV)	6A 負荷 ステップ時の P-P 変動 (mV)	回復時間 (μs)	負荷 ステップ (A/μs)	R _{FB} (kΩ)	周波数
1	22μF × 3	56μF	100μF	470μF × 2	None	None	None	5	24	46	30	6	90.9	400
1	22μF × 3	56μF	100μF	470μF × 2	150	None	None	12	24	46	30	6	90.9	400
1	22μF × 3	56μF	100μF × 3	470μF	100	None	None	12	33	63	23	6	90.9	400
1.2	22μF × 3	56μF	100μF × 3	470μF	100	None	None	12	35	70	23	6	60.4	500
1.2	22μF × 3	56μF	100μF	470μF × 2	150			5	24	46	25	6	60.4	500
1.2	22μF × 3	56μF	100μF	470μF × 2	150			12	24	46	25	6	60.4	500
1.5	22μF × 3	56μF	100μF	470μF × 2	220	None		5	26	52	40	6	40.2	550
1.5	22μF × 3	56μF	100μF	470μF × 2	220			12	26	52	40	6	40.2	550
1.5	22μF × 3	56μF	100μF	220μF	47			12	64	120	20	6	40.2	500
1.8	22μF × 3	56μF	100μF	220μF	33			12	61	120	20	6	30.2	600
1.8	22μF × 3	56μF	100μF	220μF	33			5	61	120	20	6	30.2	600
1.8	22μF × 3	56μF	100μF × 3	None	100			12	80	160	18	6	30.2	600
2.5	22μF × 3	56μF	100μF × 3	None	150	None	47	12	60	120	20	6	19.1	650
2.5	22μF × 3	56μF	100μF × 3	None	150	None	47	12	60	120	20	6	19.1	650
3.3	22μF × 3	56μF	100μF	100μF	33			12	118	240	30	6	13.3	700
3.3	22μF × 3	56μF	100μF × 2		100			12	120	240	20	6	13.3	700
5	22μF × 3	56μF	100μF		47			12	188	382	25	6	8.25	750
5	22μF × 3	56μF		100μF				12	180	360	20	6	8.25	750

**V_{IN} の入力インピーダンスが非常に低い場合のバルク容量はオプションです。

アプリケーション情報

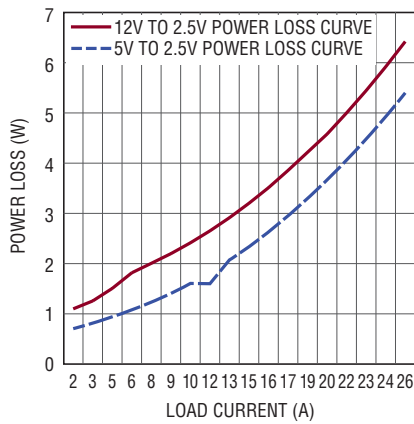


図12. 2.5V出力の電力損失曲線

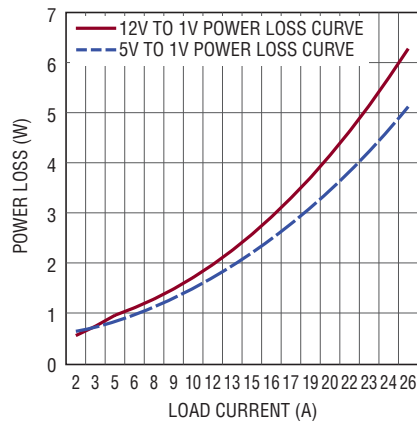


図13. 1V出力の電力損失曲線

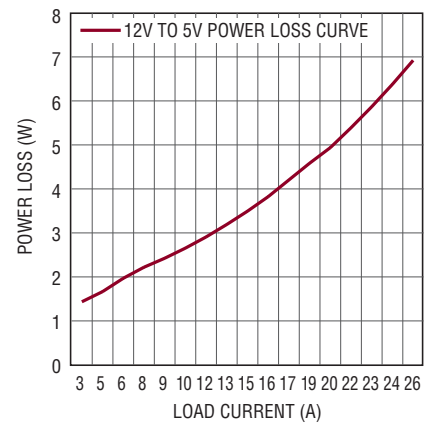


図14. 5V出力の電力損失曲線

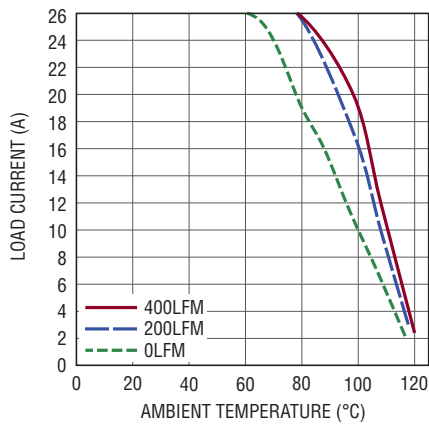


図15. 12V入力、1V出力のディレーティング曲線、ヒートシンクなし

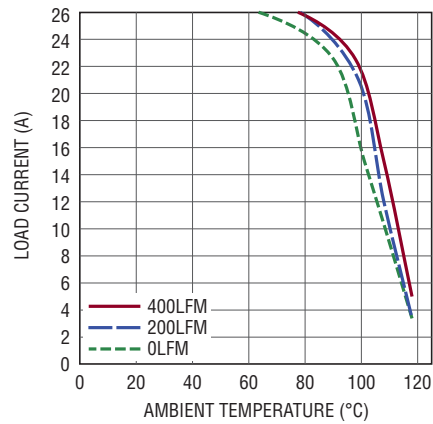


図16. 5V入力、1V出力のディレーティング曲線、ヒートシンクなし

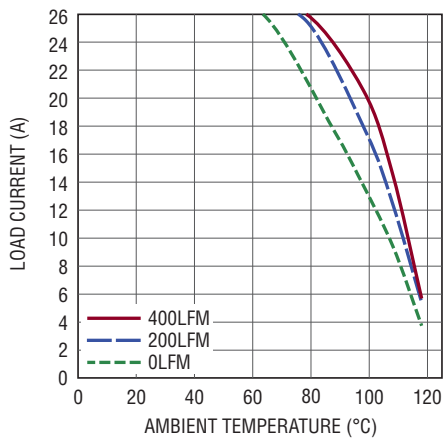


図17. 12V入力、1V出力のディレーティング曲線、BGA ヒートシンク

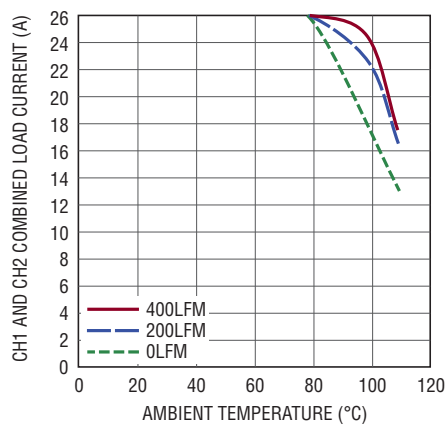


図18. 5V入力、1V出力のディレーティング曲線、BGA ヒートシンク

アプリケーション情報

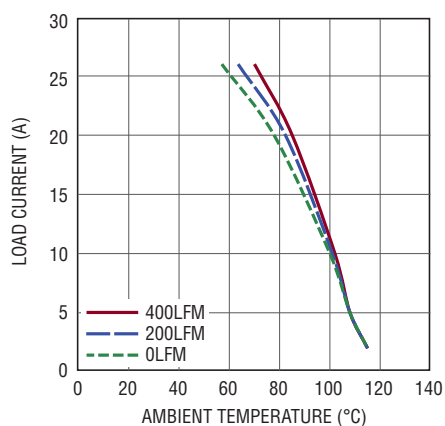


図19. 12V入力、2.5V出力のディレール
ディング曲線、ヒートシンクなし

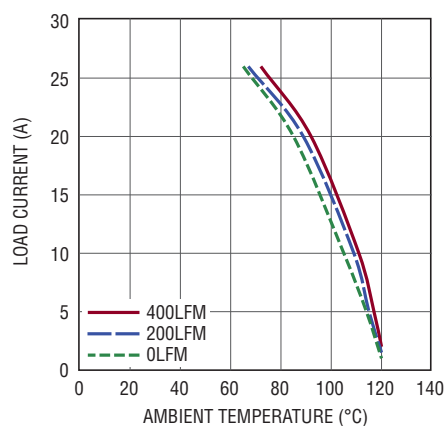


図20. 5V入力、2.5V出力のディレール
ディング曲線、ヒートシンクなし

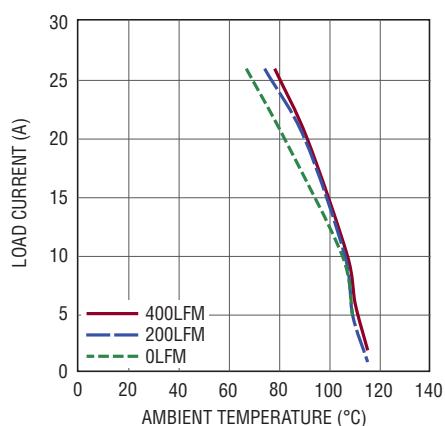


図21. 12V入力、2.5V出力のディレール
ディング曲線、ヒートシンクあり

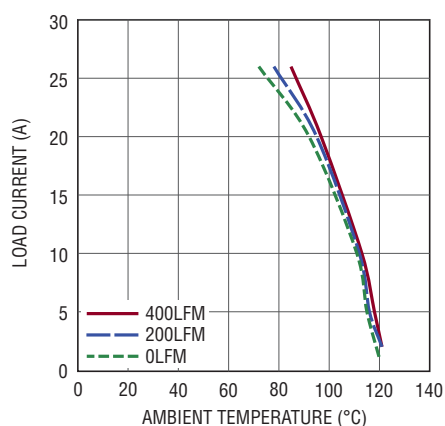


図22. 5V入力、2.5V出力のディレール
ディング曲線、ヒートシンクあり

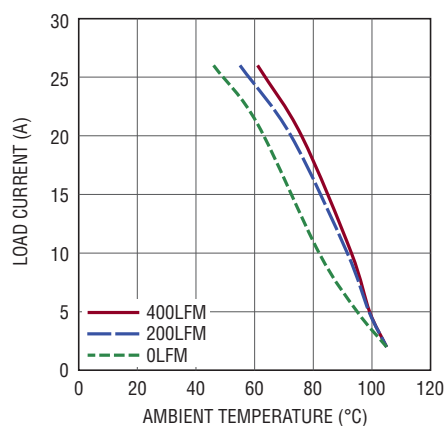


図23. 12V入力、5V出力のディレール
ディング曲線、ヒートシンクなし

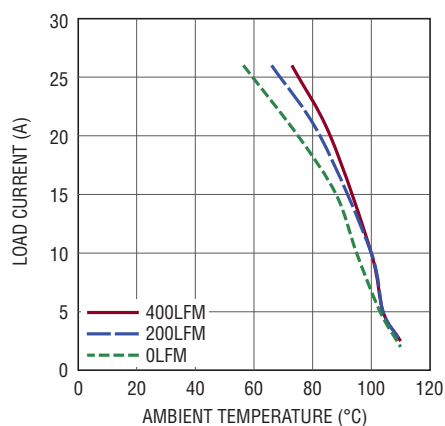


図24. 12V入力、5V出力のディレール
ディング曲線、ヒートシンクあり

アプリケーション情報

レイアウトのチェックリスト/例

LTM4620A は高度に集積化されているため、PCB 基板レイアウトが非常に簡単です。ただし、電気的性能と熱的性能を最適化するにはいくつかのレイアウト上の配慮が依然として必要です。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む高電流経路にはPCB銅箔面積を広く確保します。PCBの導通損失と熱ストレスを最小に抑えるのに役立ちます。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、PGNDおよび V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小に抑えます。
- ユニットの下に専用の電源グランド層を配置します。
- ビアの導通損失を最小に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に複数のビアを使います。
- 充填ビアまたはメッキビアでない限り、パッドの上に直接ビアを置かないでください。
- 信号ピンに接続された部品には、別のSGNDグランド銅領域を使います。SGNDとGNDをユニットの下で接続します。
- 並列モジュールの場合は、 V_{OUT} 、 V_{FB} 、COMPピンを互いに接続します。内部層を使ってこれらのピンを互いに近づけて接続します。TRACKピンはレギュレータのソフトスタート用に共通のコンデンサを接続できます。
- 信号ピンからは、モニタリング用にテスト・ポイントを引き出してください。

推奨レイアウトの良い例を図25に示します。

アプリケーション情報

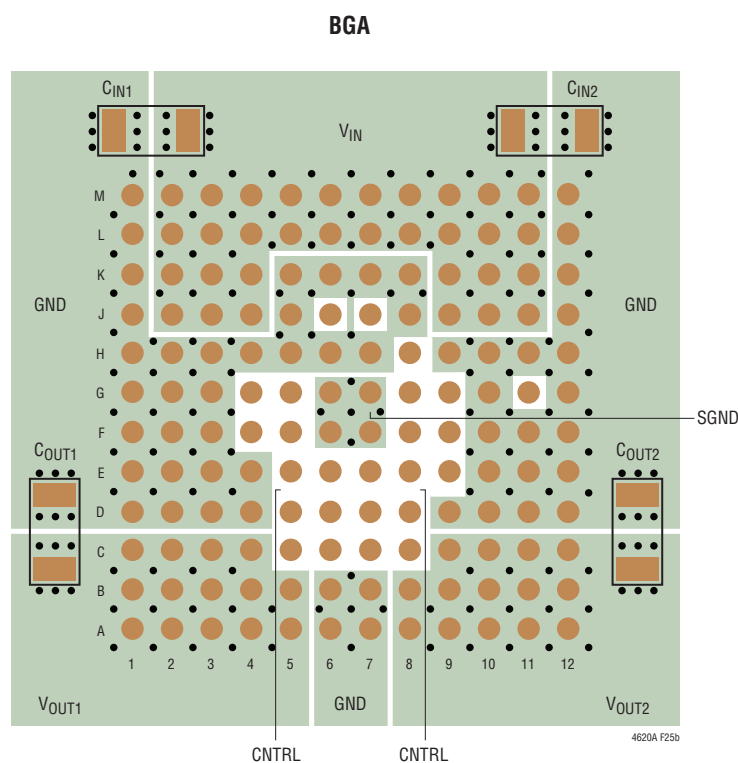
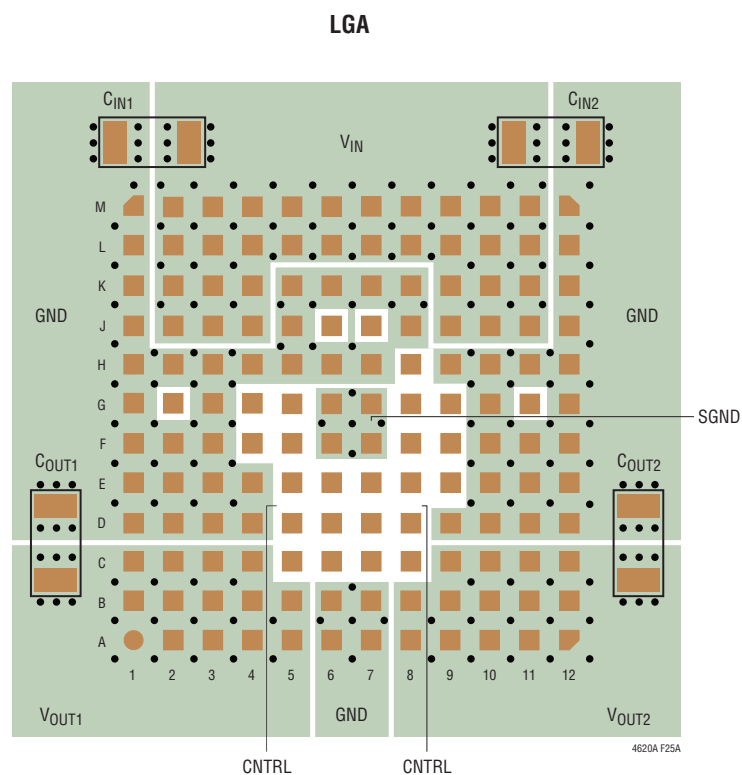


図 25. 推奨される PCB レイアウト

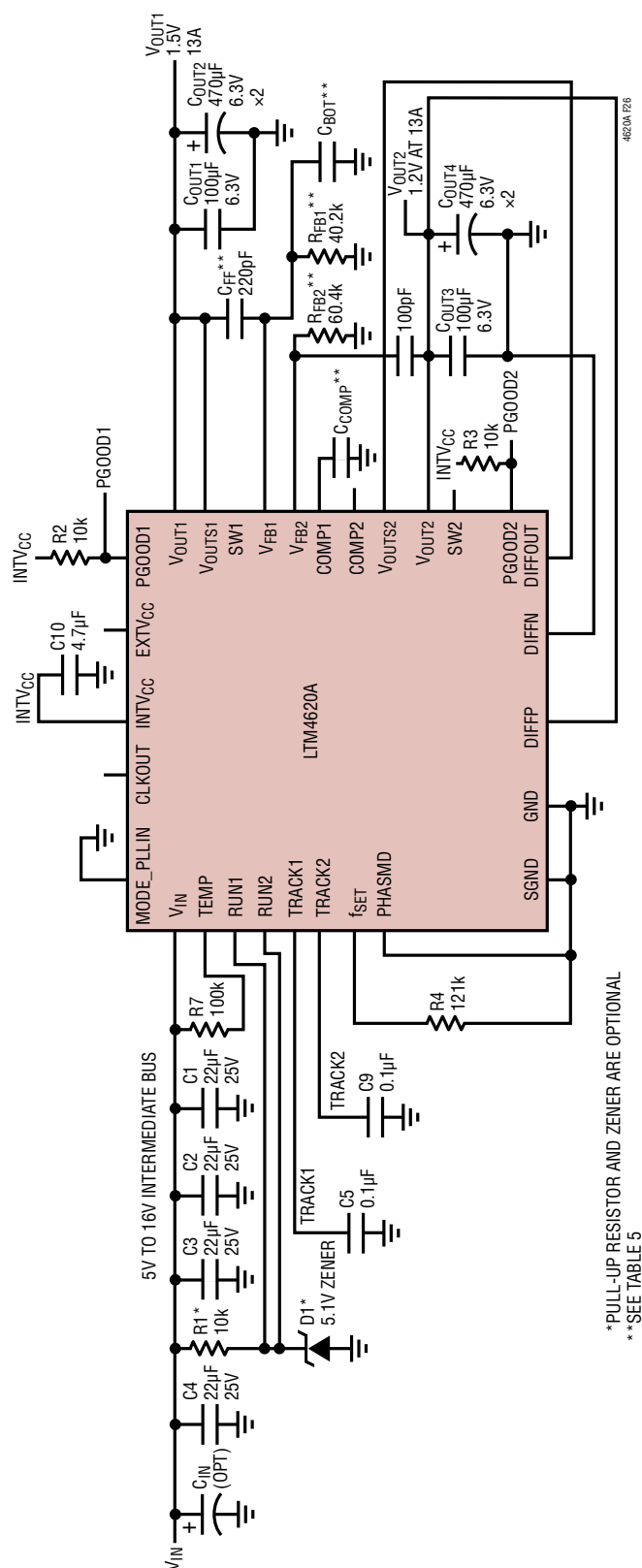


図26. 標準的な $5V_{IN} \sim 16V_{IN}$ 、 $1.5V_{IN}$ 、 $1.2V$ 出力

標準的応用例

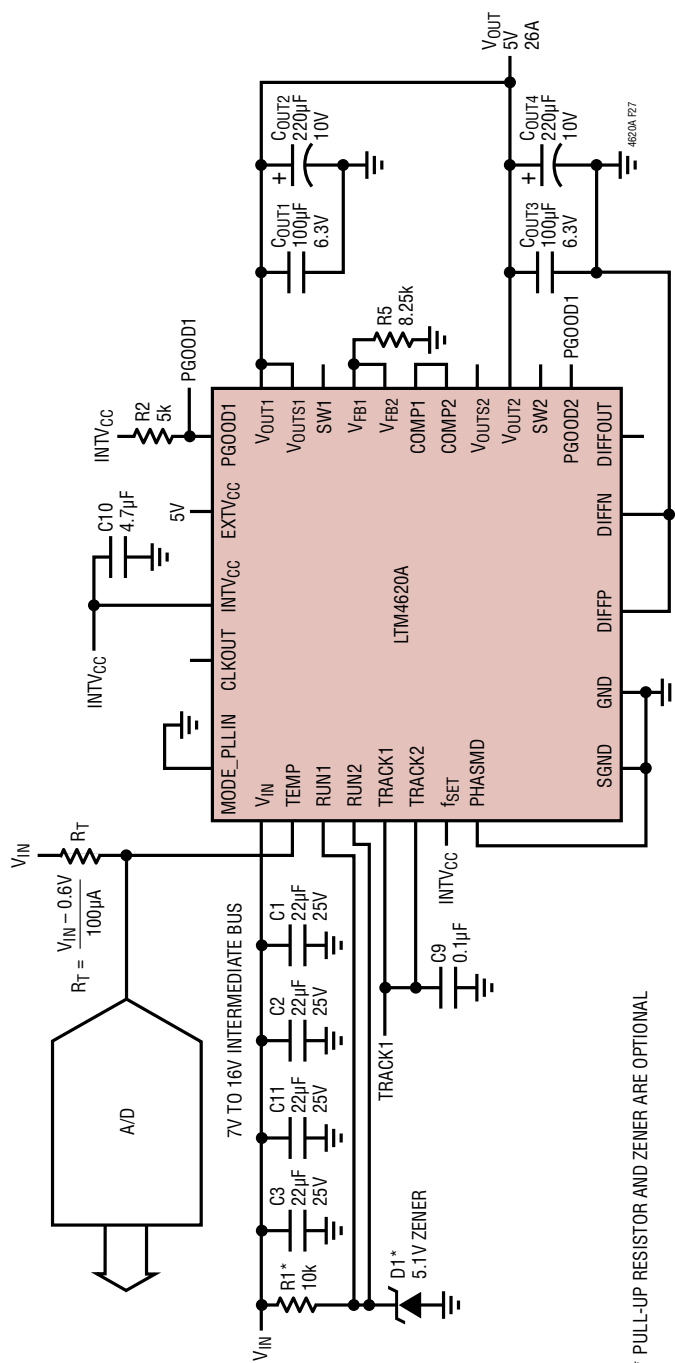


図 27. LTM4620A による 2 フェーズ、5V/20A デザイン (温度モニタリング機能付き)

* PULL-UP RESISTOR AND ZENER ARE OPTIONAL

標準の応用例

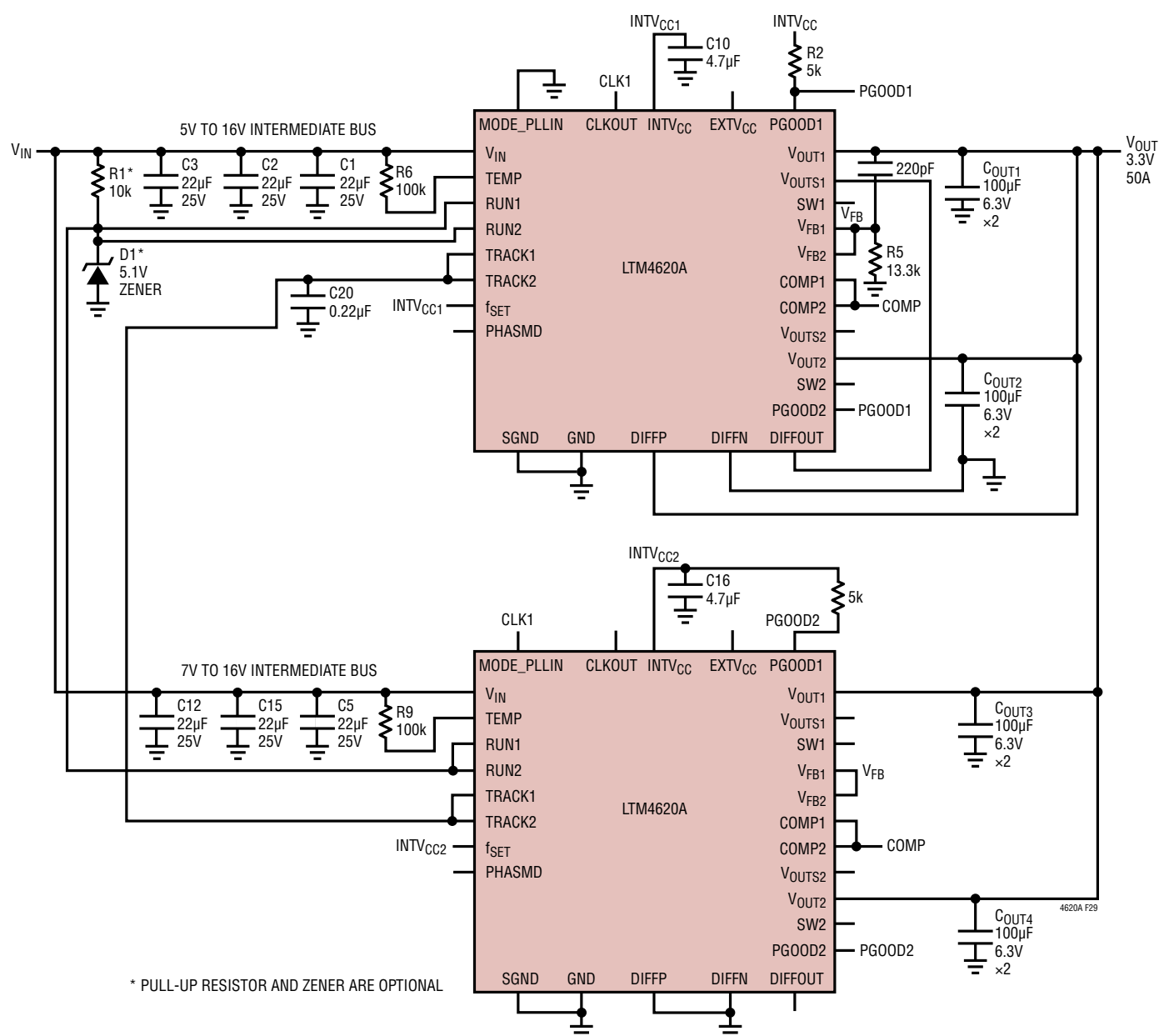


図 29. 4 フェーズ、3.3V/50A 出力、750kHz

LTM4620A

パッケージ



パッケージの行と列のラベルは μ Module 製品間で異なります。各パッケージのレイアウトをよく確認してください。

LTM4620A コンポーネント LGA ピン配置

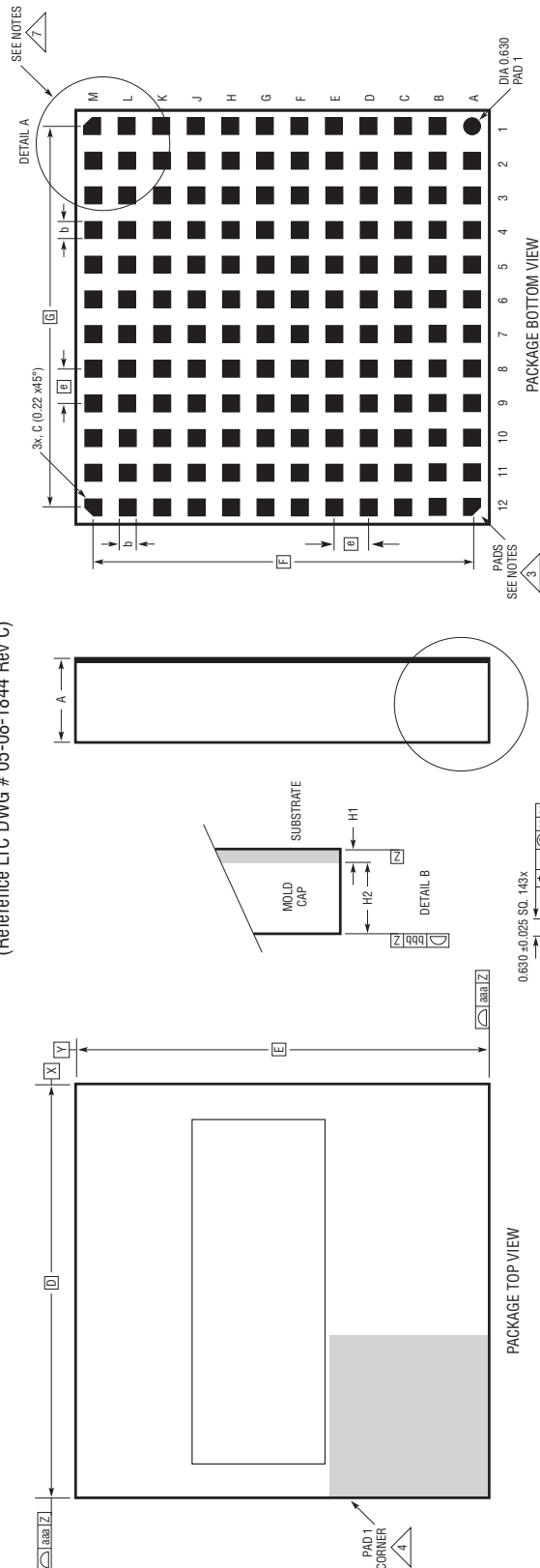
ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
A1	V _{OUT1}	B1	V _{OUT1}	C1	V _{OUT1}	D1	GND	E1	GND	F1	GND
A2	V _{OUT1}	B2	V _{OUT1}	C2	V _{OUT1}	D2	GND	E2	GND	F2	GND
A3	V _{OUT1}	B3	V _{OUT1}	C3	V _{OUT1}	D3	GND	E3	GND	F3	GND
A4	V _{OUT1}	B4	V _{OUT1}	C4	V _{OUT1}	D4	GND	E4	GND	F4	MODE_PLLIN
A5	V _{OUT1}	B5	V _{OUT1}	C5	V _{OUT1S}	D5	V _{FB1}	E5	TRACK1	F5	RUN1
A6	GND	B6	GND	C6	f _{SET}	D6	SGND	E6	COMP1	F6	SGND
A7	GND	B7	GND	C7	SGND	D7	V _{FB2}	E7	COMP2	F7	SGND
A8	V _{OUT2}	B8	V _{OUT2}	C8	V _{OUT2S}	D8	TRACK2	E8	DIFFP	F8	DIFFOUT
A9	V _{OUT2}	B9	V _{OUT2}	C9	V _{OUT2}	D9	GND	E9	DIFFN	F9	RUN2
A10	V _{OUT2}	B10	V _{OUT2}	C10	V _{OUT2}	D10	GND	E10	GND	F10	GND
A11	V _{OUT2}	B11	V _{OUT2}	C11	V _{OUT2}	D11	GND	E11	GND	F11	GND
A12	V _{OUT2}	B12	V _{OUT2}	C12	V _{OUT2}	D12	GND	E12	GND	F12	GND

ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
G1	GND	H1	GND	J1	GND	K1	GND	L1	GND	M1	GND
G2	SW1	H2	GND	J2	V _{IN}	K2	V _{IN}	L2	V _{IN}	M2	V _{IN}
G3	GND	H3	GND	J3	V _{IN}	K3	V _{IN}	L3	V _{IN}	M3	V _{IN}
G4	PHASEMD	H4	GND	J4	V _{IN}	K4	V _{IN}	L4	V _{IN}	M4	V _{IN}
G5	CLKOUT	H5	GND	J5	GND	K5	GND	L5	V _{IN}	M5	V _{IN}
G6	SGND	H6	GND	J6	TEMP	K6	GND	L6	V _{IN}	M6	V _{IN}
G7	SGND	H7	GND	J7	EXTV _{CC}	K7	GND	L7	V _{IN}	M7	V _{IN}
G8	PGOOD2	H8	INTV _{CC}	J8	GND	K8	GND	L8	V _{IN}	M8	V _{IN}
G9	PGOOD1	H9	GND	J9	V _{IN}	K9	V _{IN}	L9	V _{IN}	M9	V _{IN}
G10	GND	H10	GND	J10	V _{IN}	K10	V _{IN}	L10	V _{IN}	M10	V _{IN}
G11	SW2	H11	GND	J11	V _{IN}	K11	V _{IN}	L11	V _{IN}	M11	V _{IN}
G12	GND	H12	GND	J12	GND	K12	GND	L12	GND	M12	GND

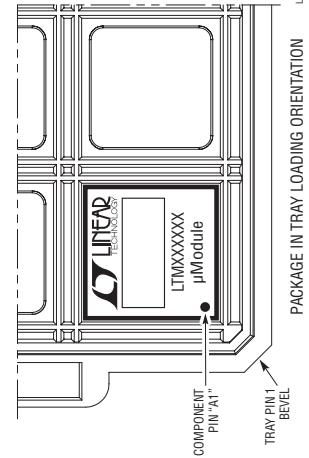
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

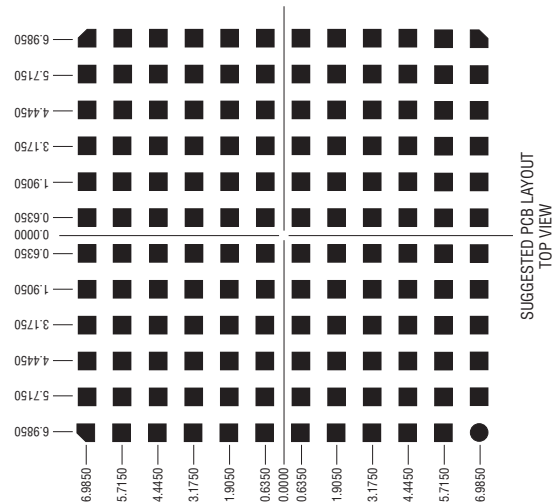
LGA Package
144-Lead (15mm × 15mm × 4.41mm)
 (Reference LTC DWG # 05-08-1844 Rev C)



- NOTES:**
1. 寸法と許容誤差は ASME Y14.5M-1994 による
 2. すべての寸法はミリメートル
 3. ランドの指定は JEDEC MO-222, SPP-010 による
 4. パッド #1 の識別マークの詳細はオプションだが、示された領域内になければならない。パッド #1 の識別マークはモールドまたはマーキングにすることができる
 5. 主データム-z はシーディングプレーン
 6. パットの総数: 144
 7. パッケージの行と列のラベルは、μModule 製品間で異なります。各パッケージのレイアウトを十分にご確認ください



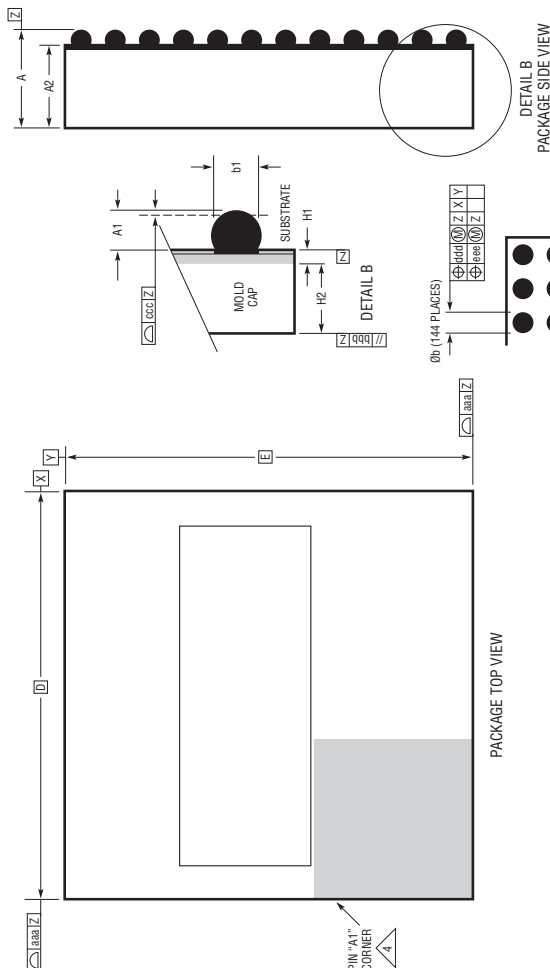
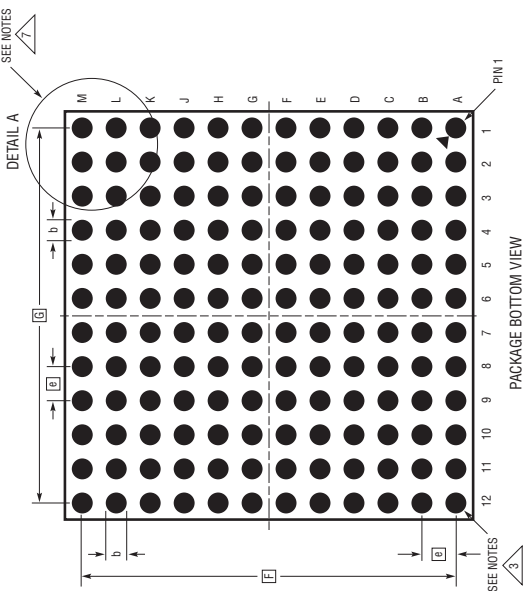
DIMENSIONS				NOTES	
SYMBOL	MIN	NOM	MAX		
A	4.31	4.41	4.51		
b	0.60	0.63	0.66		
D		15.00			
E		15.00			
e		1.27			
F		13.97			
G		13.97			
H1	0.36	0.41	0.46		
H2	3.95	4.00	4.05		
aaa			0.15		
bbb			0.10		
eee			0.05		
				TOTAL NUMBER OF LGA PADS: 144	



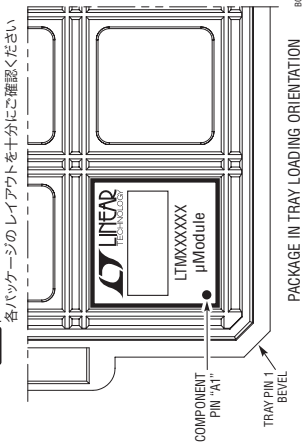
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

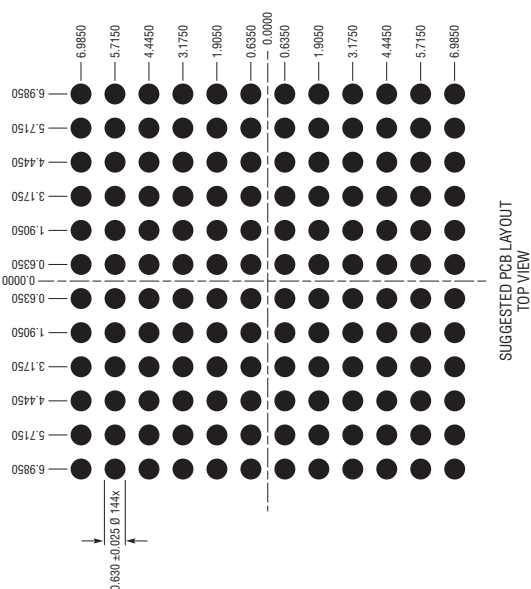
BGA Package
144-Lead (15mm × 15mm × 5.01mm)
(Reference LTC DWG # 05-08-1880 Rev B)



- NOTES:
1. 寸法と許容誤差は ASME Y14.5M-1994 による
 2. すべての寸法はミリメートル
 3. ボールの指定は JEDEC MS-028 および JEP95 による
 4. ピン #1 の識別マークの詳細はオプションだが、示された領域内にはなければならない。ピン #1 の識別マークはモールドまたはマーキングにすることができる
 5. 主データは Z はシーディングプレーン
 6. はんだボールは、元素構成比が Sn (Sn) 96.5%、銀 (Ag) 3.0%、銅 (Cu) 0.5% の合金とする。
 7. パッケージの行と列のラベルは、各パッケージのレイアウトを十分に確認してください



DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	4.81	5.01	5.21	
A1	0.50	0.60	0.70	
A2	4.31	4.41	4.51	
b	0.60	0.75	0.90	
b1	0.60	0.63	0.66	
D		15.00		
E		15.00		
e		1.27		
F		13.97		
G		13.97		
H1	0.36	0.41	0.46	
H2	3.95	4.00	4.05	
aaa			0.15	
bbb			0.10	
ccc			0.20	
ddd			0.30	
eee			0.15	
TOTAL NUMBER OF BALLS: 144				

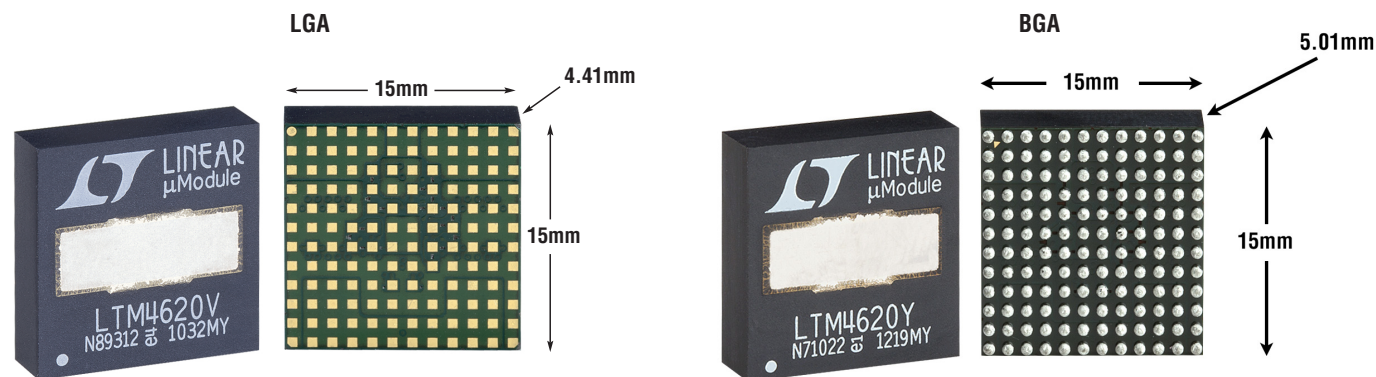


改訂履歴

Rev	日付	概要	ページ番号
A	10/13	TEMP ピンの説明を追加 TEMP の説明と式の変更	11 20、21
B	03/14	SnPb BGA パッケージ・オプションを追加	1、2

LTM4620A

パッケージの写真



関連製品

製品番号	説明	注釈
LTM4628	デュアル 8A または シングル 16A μ Module レギュレータ	LTM4620A とピン互換、 $4.5V \leq V_{IN} \leq 26.5V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、 $15mm \times 15mm \times 4.32mm$
LTM4627	15A μ Module レギュレータ	$4.5V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、 $15mm \times 15mm \times 4.32mm$
LTM4611	超低電圧 V_{IN} の 15A μ Module レギュレータ	$1.5V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $15mm \times 15mm \times 4.32mm$
LTM4620	デュアル 13A 出力 または シングル 26A 出力	低出力電圧範囲 $0.6V \sim 2.5V$ 、ピン互換
LTM4637	20A μ Module レギュレータ	$4.5V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、 $15mm \times 15mm \times 4.32mm$

デザイン・リソース

主題	説明
μModule のデザイン / 製造リソース	デザイン： <ul style="list-style-type: none">選択ガイドデモボードおよび Gerber ファイル無料シミュレーション・ツール 製造： <ul style="list-style-type: none">クイック・スタート・ガイドPCB の設計、組立、および製造ガイドラインパッケージおよびボード・レベルの信頼性
μModule レギュレータ製品の検索	1. 製品の表をパラメータによって並べ替え、結果をスプレッドシートとしてダウンロードする 2. Quick Power Search パラメトリック・テーブルを使って検索を実行する <div><div>Quick Power Search</div><div><div>Input</div><div>V_{in} (Min) <input type="text"/> V</div><div>V_{in} (Max) <input type="text"/> V</div></div><div><div>Output</div><div>V_{out} <input type="text"/> V</div><div>I_{out} <input type="text"/> A</div></div><div>サーチ →</div></div>
TechClip ビデオ	μModule 製品の電気的特性と熱特性のベンチマーク・テストの方法を詳しく説明した短いビデオ
デジタル・パワーシステム・マネージメント	リニアテクノロジーのデジタル電源管理デバイス・ファミリは、電源の監視、管理、マージン制御およびシーケンス制御などの基本機能を提供する高度に集積されたソリューションであり、ユーザーの構成とフォルト・ログを保存する EEPROM を搭載しています。