

# 2電源ダイオードOR 電流平衡コントローラ

## 特長

- 2つの電源間で負荷を共有
- 入力電源のアクティブ制御の必要性を排除
- 共有バス不要
- 逆方向電流を阻止
- 起動時またはフォルト時の貫通電流なし
- 高電位側の動作範囲: 0V ~ 18V
- イネーブル入力
- MOSFETのオン状態出力
- デュアル理想ダイオード・モード
- 16ピンDFN(4mm×3mm)およびMSOPパッケージ

## アプリケーション

- 冗長電源
- 高可用性システムおよびサーバ
- 通信機器およびネットワークのインフラ

LT, LT, LTC, LTM, Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。PowerPath および ThinSOT はリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。7920013 および 8022679 を含む米国特許によって保護されています。その他の特許も出願中です。

## 概要

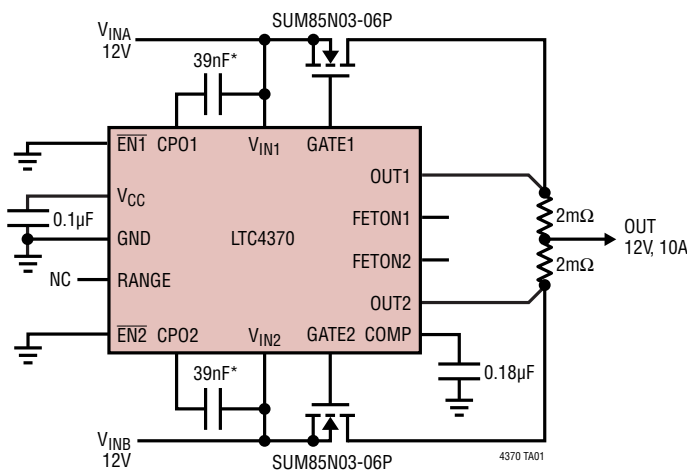
LTC<sup>®</sup>4370は、MOSFETによる理想ダイオードを内蔵した2電源の電流共有コントローラです。これらのダイオードは、起動時やフォルト状態の間、逆方向電流および貫通電流を阻止します。ダイオードの順方向電圧は、電源間で負荷電流を共有するために調整されます。他の共有方法とは異なり、電源には共有バスも調整ピンも必要ありません。

MOSFETの電圧降下の最大値は1本の抵抗で設定できます。ゲートのターンオンが高速なので、電源切り替え時には負荷の電圧低下量が減少します。入力電源が故障した場合や短絡した場合は、高速ターンオフによって逆方向電流トランジェントが最小限に抑えられます。

LTC4370は2.9V ~ 18Vの電源電圧で動作します。電源レールの電圧が低い場合は、V<sub>CC</sub>ピンに外部電源を接続することが必要です。イネーブル入力を使用すると、MOSFETをオフしてデバイスを低電流状態にすることができます。状態出力は、MOSFETがオン/オフのいずれの状態であるかを表示します。負荷共有機能をデイスエーブルすると、LTC4370をデュアル理想ダイオード・コントローラに戻すことができます。

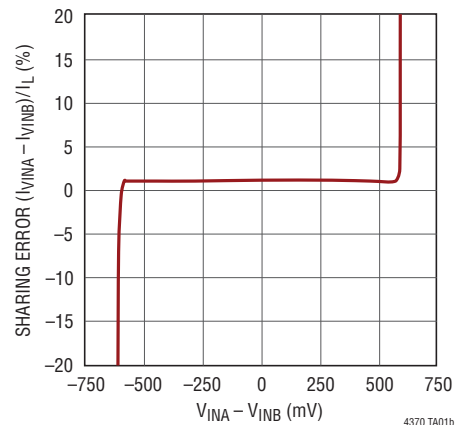
## 標準的応用例

12V、10A 負荷共有



\*OPTIONAL, FOR FAST TURN-ON

電流共有誤差と電源差



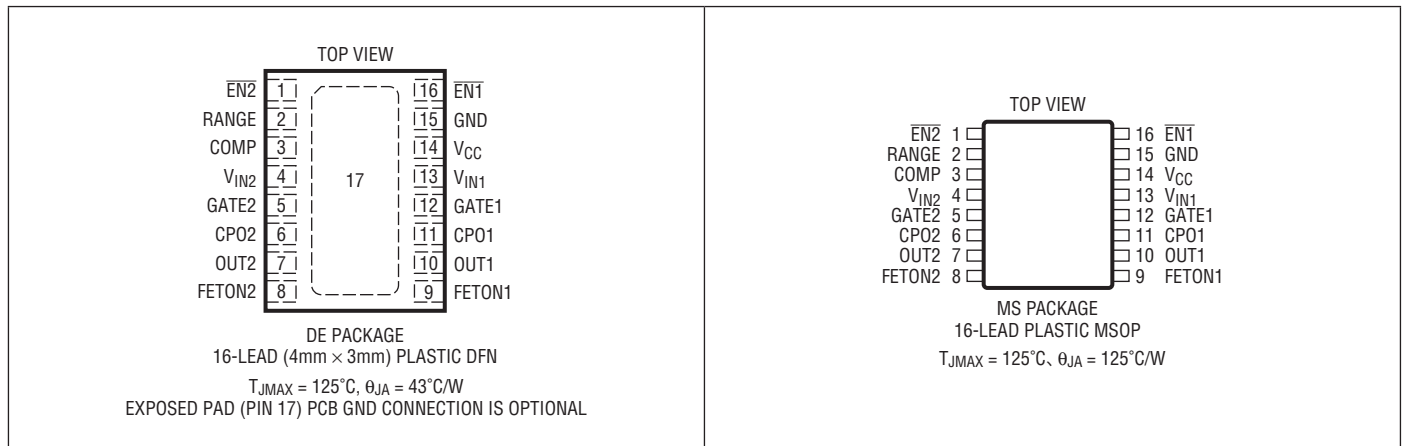
# LTC4370

## 絶対最大定格 (Notes 1, 2)

$V_{IN1}$ 、 $V_{IN2}$ 、OUT1、OUT2 電圧 .....	-2V ~ 24V
$V_{CC}$ 電圧 .....	-0.3V ~ 6.5V
GATE1、GATE2 電圧 (Note 3) .....	-0.3V ~ 34V
CPO1、CPO2 電圧 (Note 3) .....	-0.3V ~ 34V
RANGE の電圧 .....	-0.3V ~ ( $V_{CC} + 0.3V$ )
COMP の電圧 .....	-0.3V ~ 3V
$\overline{EN1}$ 、 $\overline{EN2}$ 、FETON1、FETON2 の電圧 .....	-0.3V ~ 24V
CPO1、CPO2 平均電流 .....	10mA

FETON1、FETON2 の電流 .....	5mA
動作周囲温度範囲	
LTC4370C .....	0°C ~ 70°C
LTC4370I .....	-40°C ~ 85°C
保存温度範囲 .....	-65°C ~ 150°C
リード温度 (半田付け、10秒)	
MS パッケージ .....	300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4370CDE#PBF	LTC4370CDE#TRPBF	4370	16ピン(4mm x 3mm) プラスチック DFN	0°C ~ 70°C
LTC4370IDE#PBF	LTC4370IDE#TRPBF	4370	16ピン(4mm x 3mm) プラスチック DFN	-40°C ~ 85°C
LTC4370CMS#PBF	LTC4370CMS#TRPBF	4370	16ピン・プラスチック MSOP	0°C ~ 70°C
LTC4370IMS#PBF	LTC4370IMS#TRPBF	4370	16ピン・プラスチック MSOP	-40°C ~ 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $\text{OUT} = V_{IN}$ 、 $V_{CC}$ 開放。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>電源</b>							
$V_{IN}$	$V_{IN1}$ , $V_{IN2}$ Operating Range	With External $V_{CC}$ Supply	● 2.9 ● 0		18 $V_{CC}$	V V	
$V_{CC(EXT)}$	$V_{CC}$ External Supply Operating Range	$V_{IN1}$ , $V_{IN2} \leq V_{CC}$	● 2.9		6	V	
$V_{CC(REG)}$	$V_{CC}$ Regulated Voltage		● 4.5	5	5.5	V	
$I_{IN}$	$V_{IN1}$ , $V_{IN2}$ Current Enabled, Higher Supply Enabled, Lower Supply Pull-Up Disabled	Other $V_{IN} = 11.7\text{V}$ , Both $\overline{EN} = 0\text{V}$ Other $V_{IN} = 12.3\text{V}$ , Both $\overline{EN} = 0\text{V}$ Both $V_{IN} = 0\text{V}$ , $V_{CC} = 5\text{V}$ , Both $\overline{EN} = 0\text{V}$ Both $\overline{EN} = 1\text{V}$	● ● ● ●	2.1 320 -110 80	3 450 -180 180	mA $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$	
$I_{CC}$	$V_{CC}$ Current Enabled Disabled	$V_{CC} = 5\text{V}$ , Both $V_{IN} = 1.2\text{V}$ , Both $\overline{EN} = 0\text{V}$ $V_{CC} = 5\text{V}$ , Both $V_{IN} = 1.2\text{V}$ , Both $\overline{EN} = 1\text{V}$	● ●	2 105	2.8 220	mA $\mu\text{A}$	
$V_{CC(UVLO)}$	$V_{CC}$ Undervoltage Lockout Threshold	$V_{CC}$ Rising	● 2.3	2.55	2.7	V	
$\Delta V_{CC(HYST)}$	$V_{CC}$ Undervoltage Lockout Hysteresis		● 40	120	300	mV	
<b>負荷分担</b>							
$V_{EA(OS)}$	Error Amplifier Input Offset		●	0	$\pm 2$	mV	
$g_{m(EA)}$	Error Amplifier Gain ( $-\Delta I_{COMP}/\Delta V_{OUT}$ )			150		$\mu\text{S}$	
$V_{FR(MIN)}$	Minimum Forward Regulation Voltage ( $V_{IN} - \text{OUT}$ )	$V_{IN} = 1.2\text{V}$ , $V_{CC} = 5\text{V}$ $V_{IN} = 12\text{V}$	● 2 ● 2	12 25	25 50	mV mV	
$V_{FR(MAX)}$	Maximum Forward Regulation Voltage ( $V_{IN} - \text{OUT}$ )	$R_{RANGE} = 4.99\text{k}$ , $V_{IN} = 1.2\text{V}$ , $V_{CC} = 5\text{V}$ $R_{RANGE} = 4.99\text{k}$ , $V_{IN} = 12\text{V}$ $R_{RANGE} = 49.9\text{k}$ , $V_{IN} = 1.2\text{V}$ , $V_{CC} = 5\text{V}$ $R_{RANGE} = 49.9\text{k}$ , $V_{IN} = 12\text{V}$	● ● ● ●	40 45 425 440	62 75 511 524	82 100 575 590	mV mV mV mV
$I_{RANGE}$	RANGE Pull-Up Current	RANGE = 0.2V	●	-8.8	-10	-11.2	$\mu\text{A}$
$V_{RANGE(TH)}$	RANGE Load Share Disable Threshold		●	$V_{CC} - 0.5$	$V_{CC} - 0.3$	$V_{CC} - 0.1$	V
<b>ゲート・ドライブ</b>							
$\Delta V_{GATE}$	MOSFET Gate Drive (GATE - $V_{IN}$ )	$V_{FWD} = 0.2\text{V}$ ; $I = 0$ , $-1\mu\text{A}$ ; Highest $V_{IN} = 12\text{V}$ $V_{FWD} = 0.2\text{V}$ ; $I = 0$ , $-1\mu\text{A}$ ; Highest $V_{IN} = 2.9\text{V}$	● ●	10 4.5	12 7	14 9	V V
$t_{ON(GATE)}$	GATE1, GATE2 Turn-On Propagation Delay	$V_{FWD} (= V_{IN} - \text{OUT})$ Step: $-0.3\text{V} \uparrow 0.3\text{V}$	●		0.4	1	$\mu\text{s}$
$t_{OFF(GATE)}$	GATE1, GATE2 Turn-Off Propagation Delay	$V_{FWD}$ Step: $0.3\text{V} \downarrow -0.3\text{V}$	●		0.4	1	$\mu\text{s}$
$I_{GATE(PK)}$	GATE1, GATE2 Peak Pull-Up Current GATE1, GATE2 Peak Pull-Down Current	$V_{FWD} = 0.4\text{V}$ , $\Delta V_{GATE} = 0\text{V}$ , $C_{PO} = 17\text{V}$ $V_{FWD} = -2\text{V}$ , $\Delta V_{GATE} = 5\text{V}$	● ●	-0.9 0.9	-1.4 1.4	-1.9 1.9	A A
$I_{GATE(OFF)}$	GATE1, GATE2 Off Pull-Down Current	Corresponding $\overline{EN} = 1\text{V}$ , $\Delta V_{GATE} = 2.5\text{V}$	●	65	110	160	$\mu\text{A}$
<b>入力/出力ピンの電圧</b>							
$V_{EN(TH)}$	$\overline{EN}1$ , $\overline{EN}2$ Threshold Voltage	$\overline{EN}$ Falling	●	580	600	620	mV
$\Delta V_{EN(TH)}$	$\overline{EN}1$ , $\overline{EN}2$ Threshold Hysteresis		●	2	8	20	mV
$I_{EN}$	$\overline{EN}1$ , $\overline{EN}2$ Current	At 0.6V	●		0	$\pm 1$	$\mu\text{A}$
$I_{OUT}$	OUT1, OUT2 Current Enabled Disabled	OUT $n$ = 0V, 12V; Both $\overline{EN} = 0\text{V}$ Both $\overline{EN} = 1\text{V}$	● ●	-70	16	260 40	$\mu\text{A}$ $\mu\text{A}$
$I_{CPO(UP)}$	CPO1, CPO2 Pull-Up Current	CPO = $V_{IN}$	●	-40	-70	-115	$\mu\text{A}$
$V_{OL}$	FETON1, FETON2 Output Low Voltage	$I = 1\text{mA}$ $I = 3\text{mA}$	● ●		0.12 0.36	0.4 1.2	V V
$V_{OH}$	FETON1, FETON2 Output High Voltage	$I = -1\mu\text{A}$ , $V_{FWD} = 1\text{V}$	●	$V_{CC} - 1.4$	$V_{CC} - 0.9$	$V_{CC} - 0.5$	V

## 電気的特性

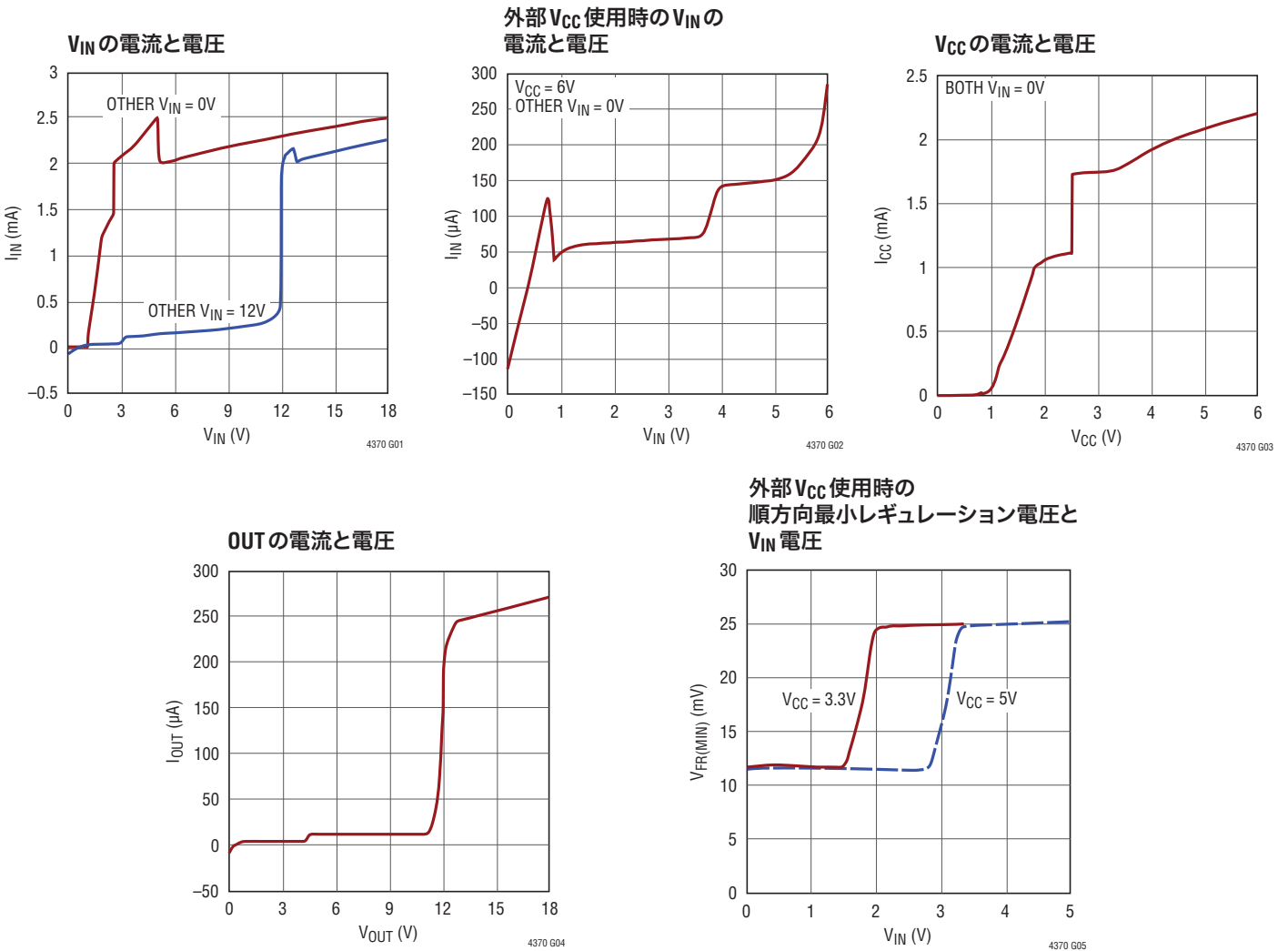
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$I_{FETON}$	FETON1, FETON2 Leakage Current	At 12V	●	0	±1	μA	
$\Delta V_{GATE(ON)}$	MOSFET On Detect Threshold (GATE - $V_{IN}$ )	FETON Transitions High	●	0.28	0.7	1.1	V

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** デバイスピンに流れ込む電流はすべて正。デバイスピンから流れ出す電流はすべて負。注記がない限り、すべての電圧はGND基準。

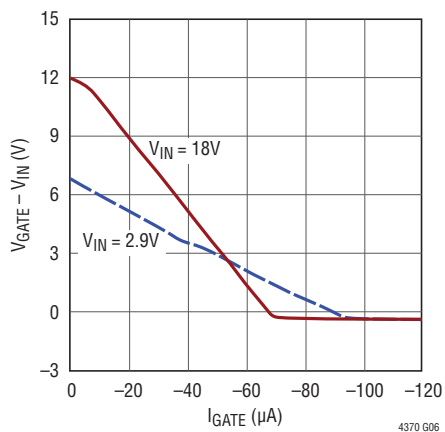
**Note 3:** 内部クランプは、GATEピンとCPOピンの電圧を、 $V_{IN}$ ピンの電圧より少なくとも10V高い値と $V_{IN}$ ピンの電圧よりもダイオード電圧分低い値に制限する。これらのピンをクランプより高い電圧にドライブするとデバイスを損傷するおそれがある。

## 標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $OUT = V_{IN}$ 、 $V_{CC}$ 開放

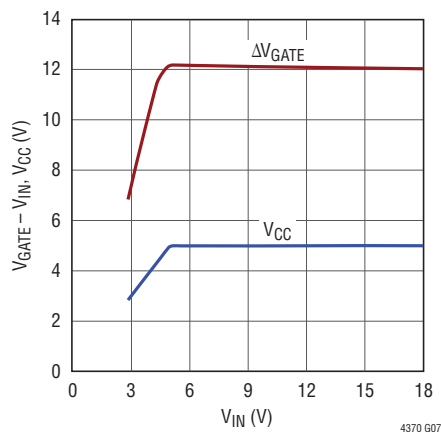


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $\text{OUT} = V_{IN}$ 、 $V_{CC}$  開放

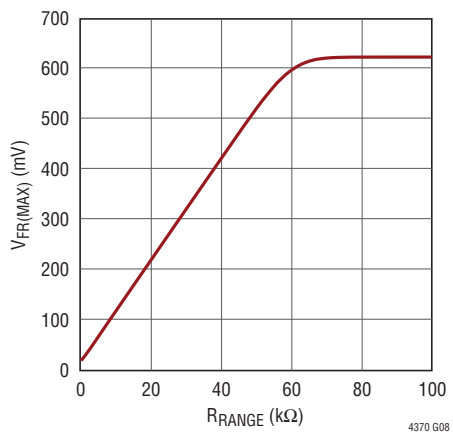
$\Delta V_{\text{GATE}}$  の電圧と電流



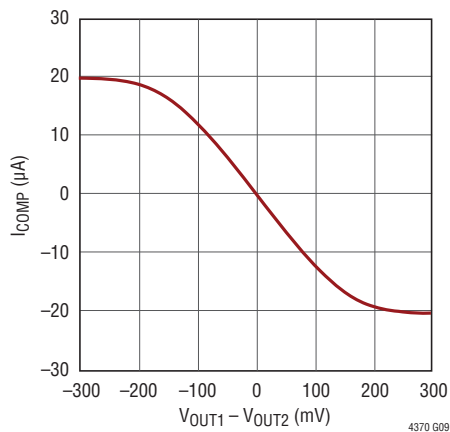
$\Delta V_{\text{GATE}}$  と  $V_{\text{CC}}$  電圧および  $V_{\text{IN}}$  電圧



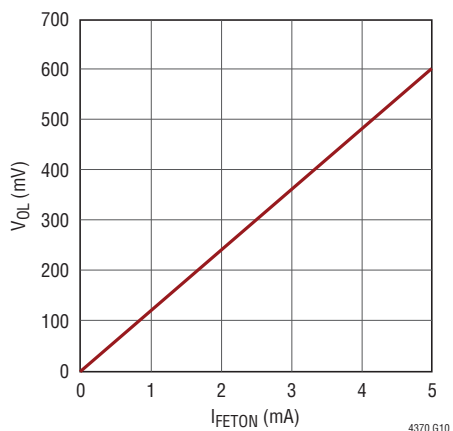
順方向最大レギュレーション電圧と RANGE 抵抗



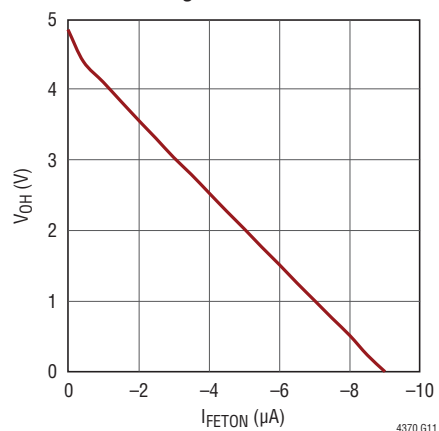
エラーアンプの伝達特性



FETON の Low 出力の電圧と電流



FETON の High 出力の電圧と電流



## ピン機能

**COMP** : エラーアンプの補償。このピンとGNDの間にコンデンサを接続します。このコンデンサの容量は、MOSFETスイッチのゲート容量( $C_{ISS}$ )の約10～50倍とします。負荷シェアリングの精度を最大限に高めるには、このピンの基板漏れ電流を低く保ってください。例えば、100nAの漏れ電流(10M $\Omega$ の両端の1Vに相当)は、エラーアンプのオフセットを0.7mV増加させます。理想ダイオード・モードのみを使用する場合は、このピンを開放のままにします。

**CP01、CP02** : チャージポンプの出力。このピンと対応する $V_{IN}$ ピンの間にコンデンサを接続します。このコンデンサの容量は、MOSFETスイッチのゲート容量( $C_{ISS}$ )の約10倍とします。このコンデンサに蓄えられる電荷は、高速ターンオン時にゲートをプルアップするのに使われます。高速ターンオンが不要であれば、このピンを開放のままにします。

**EN1、EN2** : イネーブル入力。対応する電源のシェアリングおよびダイオード制御を有効にするには、このピンを0.6Vより低い電圧に保持します。このピンをHighに駆動すると、MOSFETのゲートが遮断されます(遮断後もMOSFETのボディ・ダイオードを通して電流が流れる可能性があります)。コンパレータには8mVのヒステリシスが組み込まれています。両方のENピンをHighにすると、デバイスの電流消費が低減されます。

**露出パッド(DEパッケージのみ)** : 露出パッドは開放のままにするか、デバイスのグラウンドに接続することができます。

**FETON1、FETON2** : MOSFETの状態出力。GATEの電圧が $V_{IN}$ を上回る値0.7V未満の場合、このピンは内部スイッチもよってLowにプルダウンされ、MOSFETがオフであることを示します。そのため、高 $g_m$ のMOSFETに大きな順方向電圧が印加された場合、微小電流が流れているにもかかわらず、この信号はオフ状態を表示する可能性があります。このピンは、500kの内部抵抗によって、 $V_{CC}$ からダイオード1段分低い電

圧までプルアップされています。外部プルアップを使って $V_{CC}$ より高い電圧にプルアップすることもできます。使用しない場合はGNDに接続するか開放のままにします。

**GATE1、GATE2** : MOSFETゲート・ドライブ出力。このピンは外付けNチャネルMOSFETスイッチのゲートに接続します。内部クランプは、ゲート電圧を入力電源より12V高い値から入力電圧よりもダイオード電圧分低い値までに制限されます。高速ターンオン時、CPOをソースとする1.4Aのプルアップ電流がGATEを充電します。高速ターンオフ時、 $V_{IN}$ をシンクとする1.4Aのプルダウン電流がGATEを放電します。

**GND** : デバイスのグラウンド。

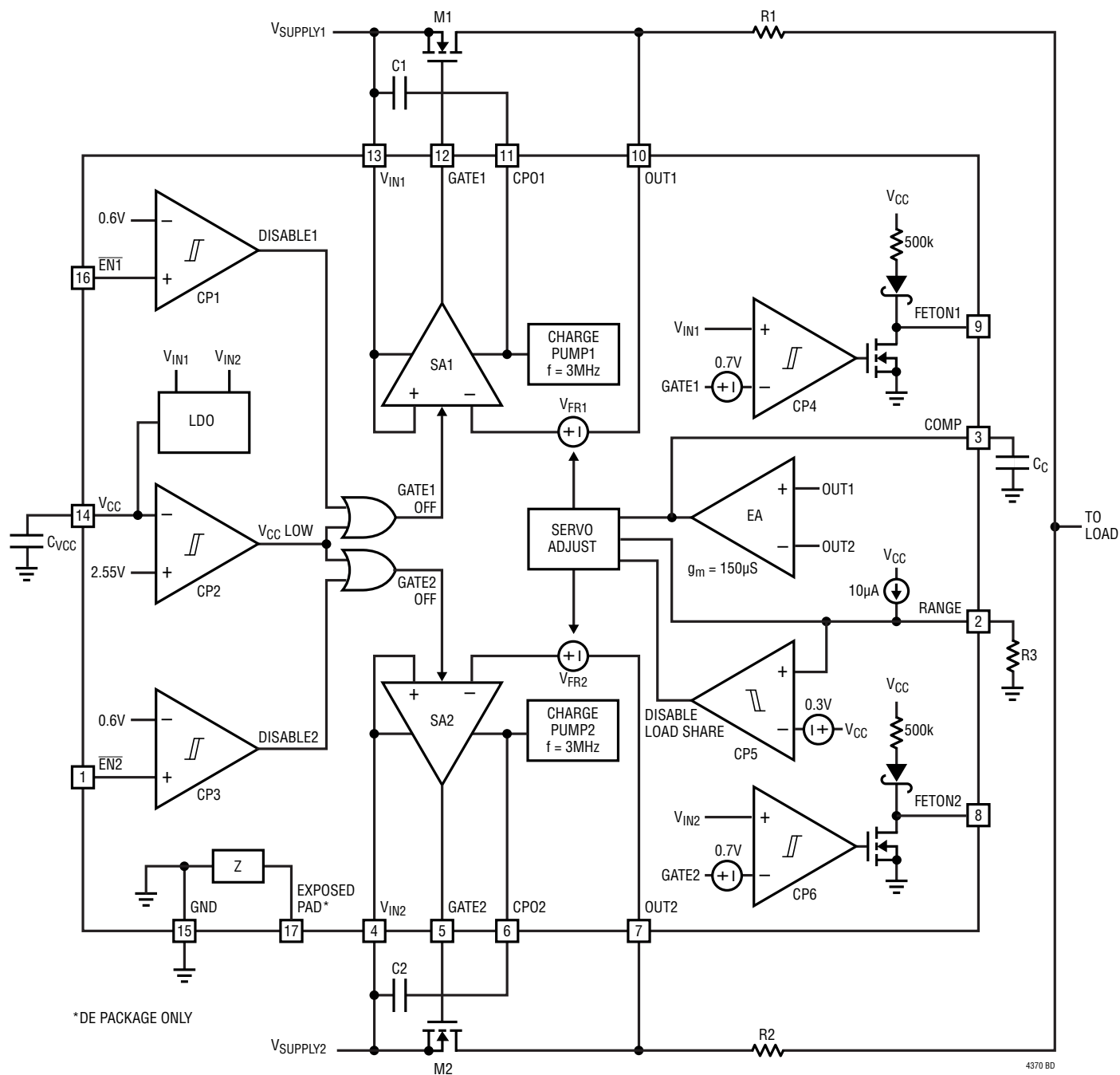
**OUT1、OUT2** : 出力電圧と電流センス入力。このピンは電源電流センス抵抗の入力側に接続します。正確な電流シェアリングを実現するにはケルビン接続することが重要です。このピンで検出される電圧がMOSFETのゲート制御に使われます。

**RANGE** : 負荷シェアリングが動作する電源間の電圧差。60k未満の抵抗を、このピンからGNDに接続します。内部の10 $\mu$ Aプルアップ電流源からこの抵抗に流れる電流が、ピンの電圧 $V_{RANGE}$ を設定します。通常、2つの電源の電圧差が $\pm V_{RANGE}$ 以内の場合に、負荷電流が両電源に分配(シェアリング)されます。シェアリング範囲の最大値 $\pm 0.6V$ は、RANGEを開放のままにした場合に得られます。このピンを $V_{CC}$ に接続すると、負荷シェアリング制御が無効になり、デバイスはデュアル理想ダイオード・コントローラとして動作します。

**V<sub>CC</sub>** : 低電圧電源。このピンからグラウンドに0.1 $\mu$ Fのコンデンサを接続します。 $V_{IN} \geq 2.9V$ の場合、このピンは5V電源を発生する内部レギュレータをデカップリングします。両方の $V_{IN}$ が2.9Vを下回るアプリケーションでは、2.9V～6Vの範囲の外部電源をこのピンに接続します。

**V<sub>IN1</sub>、V<sub>IN2</sub>** : 電圧検出および電源入力。このピンはMOSFETの電源側に接続します。低電圧電源の $V_{CC}$ は、 $V_{IN1}$ と $V_{IN2}$ のいずれか高い方から発生します。このピンで検出される電圧がMOSFETのゲート制御に使われます。

機能ブロック図



## 動作

LTC4370はNチャンネルMOSFETのM1とM2を制御して、負荷を2つの電源に分配します。エラーアンプEAはOUT1とOUT2を比較し、サーボ・アンプのSA1とSA2で使用するサーボ・コマンド電圧 $V_{FR1}$ と $V_{FR2}$ を設定します。各サーボ・アンプはイネーブルされると、外付けのMOSFETの順方向電圧降下( $V_{FWD} = V_{IN} - OUT$ )が $V_{FR}$ になるようにレギュレートします。EAとSAが連動することで、OUT1とOUT2を強制的に等しくします。OUT1から負荷までの電源パスの抵抗( $R1$ )をOUT2から負荷までの抵抗( $R2$ )に等しくすると、各電源は、強制的に負荷電流の半分を供給するように設定されます。

$V_{FR}$ 調整の下限は電源電圧が高い領域では25mVです(電源電圧が低い場合は、消費電力と電圧降下を節減するために、この値を12mVまで引き下げます)。上限は $V_{RANGE} + 25mV$ (または $V_{RANGE} + 12mV$ )です。 $V_{RANGE}$ 自体は、抵抗 $R3$ に電流を供給する10 $\mu A$ のプルアップ電流源で設定されます。サーボ調整ブロックによって、高圧側電源の $V_{FR}$ だけが上昇し、もう一方は最小に保たれます。RANGEを $V_{CC}$ (CP5)に接続すると、両 $V_{FR}$ は強制的に最小値に設定され、デバイスはデュアル理想ダイオード・コントローラになります。

負荷電流によって電圧降下が $V_{FR}$ よりも大きくなると、サーボ・アンプがゲート電圧を上昇させ、MOSFETの導通性を高めます。出力電流が大きい場合、MOSFETゲートは完全に駆動され、電圧降下は、 $I_{FET} \cdot R_{DS(ON)}$ に等しくなります。

MOSFETが導通しているときに入力電源が短絡すると、負荷から入力に向けて大きな逆電流が流れはじめます。このような障害が発生すると、ただちにSAが検出してゲートを高速にプルダウンし、MOSFETをターンオフします。

また、大きな順方向電圧降下を検出した場合は、SAが高速にゲートをプルアップします。ゲートを高速にプルアップするために、CPOと $V_{IN}$ ピンの間に外付けのコンデンサ(C1、C2)が必要です。このコンデンサは、デバイスの電源投入時に、内部チャージポンプによって充電されます。ここに蓄えられた電荷が、高速のゲート・プルアップに使用されます。

GATEピンの電流ソースはCPOピン、電流シンクは $V_{IN}$ およびGNDピンです。GATEピンとCPOピンの電圧は、クランプ回路によって $V_{IN}$ ピンより12V高い電圧からダイオード電圧分低い値までに制限されます。 $V_{IN}$ に対するGATEの電圧が0.7Vを下回ると、内部スイッチがFETONピンをLowにプルダウンし、外付けMOSFETがオフしていることを示します(ボディ・ダイオードは引き続き導通している可能性があります)。

LDOは、最高の $V_{IN}$ 入力から $V_{CC}$ ピンに5V電源を供給する低ドロップアウト・レギュレータです。2.9V未満の電源を分配する場合は、 $V_{CC}$ ピンに2.9V～6Vの範囲の外部電源を接続する必要があります。

$V_{CC}$ と $\overline{EN}$ ピンのコンパレータCP1～CP3が電源パスを制御します。 $\overline{EN}$ ピンが0.6Vよりも高い場合、または $V_{CC}$ ピンが2.55Vよりも低い場合は、MOSFETは常にオフ状態に保たれます。両方の $\overline{EN}$ ピンをHighにすることで、デバイスの電流消費が低減されます。



## アプリケーション情報

高い可用性を要するシステムでは、冗長性を持たせてシステムの信頼性を高めるため、多くの場合、並列接続された電源やバッテリー給電が採用されます。これらの電源を負荷に接続する一般的な方法がダイオードOR接続です。並列に接続された電源に負荷電流を分配できれば、システムの実稼働時間を更に伸ばすことができます。

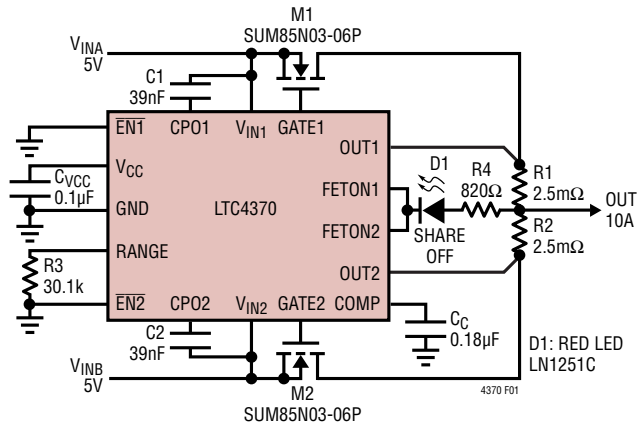
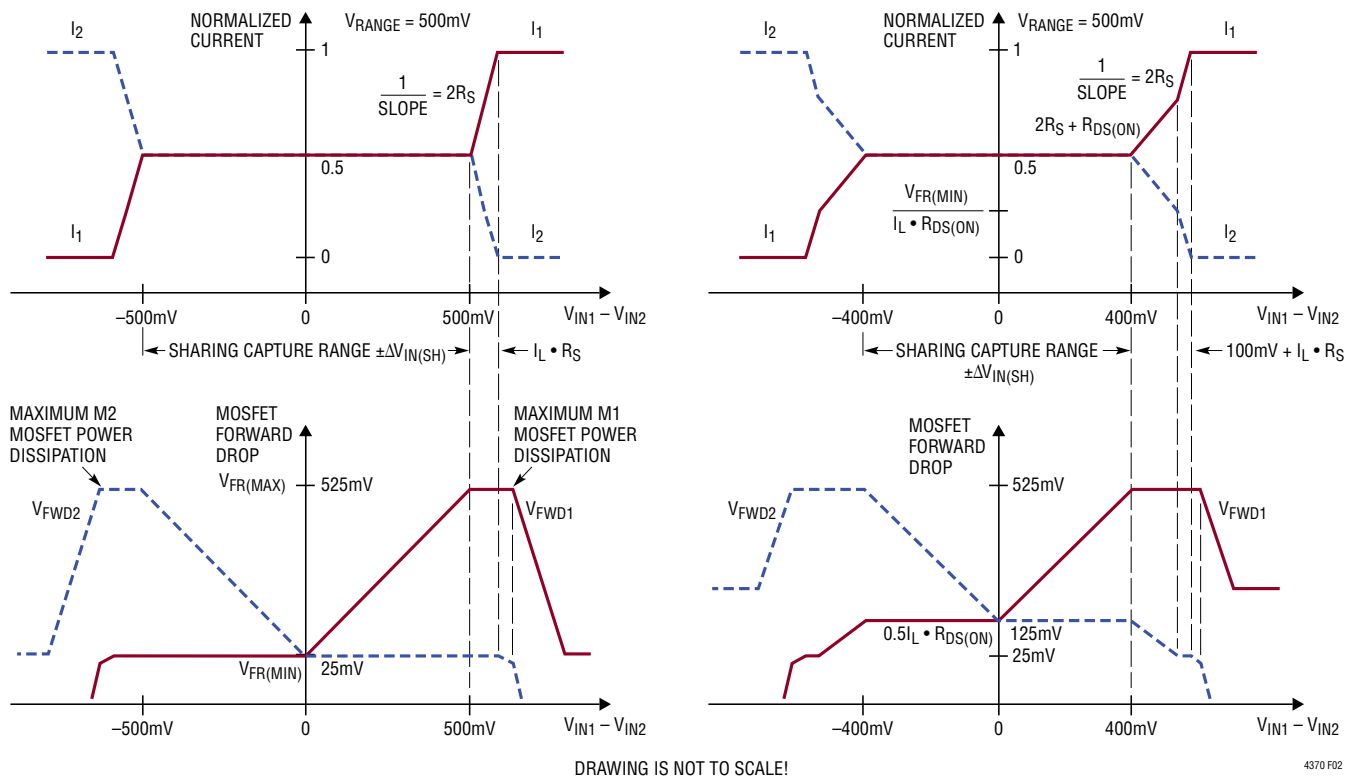


図1. ステータス・ライト付きの5VダイオードOR負荷シェアリング

## 電流シェアリング特性

LTC4370は、直列接続されたMOSFETに2つの電源の電圧差に応じた電圧降下を発生させることで、これらの電源に負荷を分配します(図1参照)。低圧側の電源のMOSFETでは最小サーボ電圧  $V_{FR(MIN)}$  だけ低下させ(電源電圧レベルに応じて12mVまたは25mV)、もう一方のMOSFETでは  $V_{FR(MIN)}$  に電源電圧差を加えた値だけ低下させます。これによって、2つのOUTピンの電圧が等しくなり、オームの法則によってセンス抵抗に流れる電流も等しくなります。図2aは、これを説明する図です。図では、高圧側電源のMOSFETの順方向電圧降下  $V_{FWD}$  が、最大±500mVの電源電圧差を補償するために上昇しています。

サーボ・コマンドによる調整の上限は、最小サーボ電圧に RANGE ピンの電圧(図2では500mV)を加えた値です。したがって、2つの電源電圧の差が  $V_{RANGE}$  に等しい場合、高圧側電源の  $V_{FWD}$  は最大サーボ電圧  $V_{FR(MAX)}$  に固定されます。電源電圧の差が  $V_{RANGE}$  を超えて更に大きくなると、OUTピンの電圧に差が生じはじめ、これに応じて電源電流



(2a) Low  $R_{DS(ON)}$ : Can Servo 25mV Minimum Forward Regulation Voltage at Half Load

(2b) High  $R_{DS(ON)}$ : Fully-On MOSFET Drops 125mV at Half Load

図2. 負荷シェアリング特性

## アプリケーション情報

にも差が生じます。2つの電源の電圧が離れるにつれ、全体の負荷電流は高圧側の電源へと振り向けられます。やがて、高圧側電源のMOSFETのサーボ・コマンド電圧が、最大値から最小値にフォールド・バックします。MOSFETの電力損失を最小限に抑えるためです。シェアリングの有効範囲 $\Delta V_{IN(SH)}$ は $V_{RANGE}$ によって設定され、図2aでは $\pm 500mV$ です。図2bについては、この後のMOSFETの選択のセクションで説明します。

### RANGEピンの設定

RANGEピンの抵抗は、シェアリングの有効範囲とMOSFETの電力損失の間の設計トレードオフに基づいて決定します。 $R_{RANGE}$ が大きいほど、電力損失が増え、負荷電圧が低下する代わりに、有効範囲が広がります。一方、許容誤差が厳しく設定されている電源の場合はシェアリングの有効範囲を狭くできることから、MOSFETをより低い温度で動作させることができます。

既に述べたように、サーボ・コマンド調整の上限は、 $V_{RANGE}$ に最小順方向レギュレーション電圧を加えた値です。内部の $10\mu A$  プルアップ電流が外付け抵抗を流れることで $V_{RANGE}$ が決まるため、次の式が得られます。

$$V_{FR(MAX)} = 10\mu A \cdot R_{RANGE} + V_{FR(MIN)} \quad (1)$$

$R_{RANGE}$ が $60k$ より大きい場合(ピン開放状態を含む)、式1右辺の最初の項は内部で $600mV$ に制限されるため、 $V_{FR(MAX)}$ は $612mV$ または $625mV$ に設定されます。サーボ電圧がMOSFETのボディ・ダイオード電圧に近づくと、特に高温の場合、電流の一部または全部がダイオードに流れる可能性があります。その状態では、 $V_{GS}$ が $0.7V$ より低下するとFETONがLowに遷移したり、シェアリングの制御が失われたりする場合があります。また、開放状態のRANGEピンは、自己バイ

アスによって $600mV$ よりも高い電圧になる可能性があることにも注意してください。

RANGEピンを $V_{CC}$ に接続すると、負荷シェアリング・ループが無効になります。両方のMOSFETのサーボ電圧は最小値に固定され、調整されません。デバイスは、デュアル理想ダイオード・コントローラとして動作します。この機能は、テスト時に役に立ちます。デュアル理想ダイオード・コントローラの機能しかなかった場合は、LTC4353を使用してください。

### 電源の設定

LTC4370では高圧側電源に対して、最小 $0V$ のレール電圧まで負荷シェアリングの制御が可能です。このためには $2.9V \sim 6V$ の範囲の早期外部電源を使用して、 $V_{CC}$ ピンに常に電圧を供給する必要があります。この動作範囲では、 $V_{IN}$ が $V_{CC}$ よりも低くなければなりません。 $V_{CC}$ が $V_{IN}$ よりも後に立ち上がり、内部 $5V$  LDOから $V_{CC}$ への逆電流の供給が懸念される場合は、直列抵抗(数 $100\Omega$ )またはショットキ・ダイオードが、デバイスの電力損失と $V_{IN}$ が高い場合の低電圧 $V_{CC}$ 電源への逆供給を制限します。 $V_{CC}$ とGNDピン間には、デバイスの近傍で $0.1\mu F$ のコンデンサを接続する必要があります。その接続を図3に示します。

いずれかの $V_{IN}$ が $2.9V$ よりも高い場合は、 $V_{CC}$ への外部電源接続は不要です。ただし、その場合でも $0.1\mu F$ のコンデンサはバイパスを目的として引き続き必要です。

### シェアリングの開始

負荷電流または一方の電源のいずれかがオフであるために電流が分配されていない場合、COMP電圧はエラー・アンプへの入力信号とエラー・アンプのオフセットに応じて $0V$ または $2V$ へと振幅します。例えば、負荷電流が流れていない場合、エラー

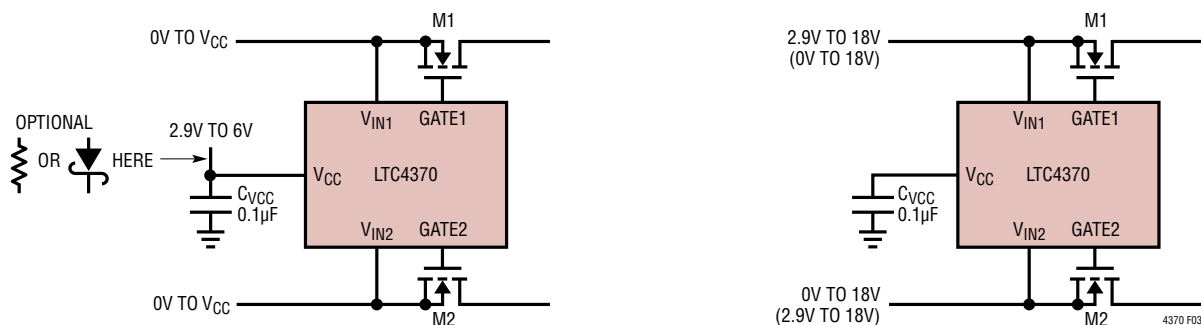


図3. 電源構成

## アプリケーション情報

アンプの差動入力電圧はゼロになり、COMP電流は、 $g_{m(EA)} \cdot V_{EA(OS)}$ になります。シェアリングの開始前に、COMP電圧は動作点の0.7V ( $V_{IN1} < V_{IN2}$ の場合)、または1.24V ( $V_{IN1} > V_{IN2}$ の場合)まで立ち上がらなければなりません。立ち上がりの遅延は、エラーアンプへの差動入力信号 ( $\Delta V_{OUT} = OUT1 - OUT2 = (I_1 - I_2) \cdot R_S$ )、エラーアンプの  $g_m$ 、COMPコンデンサの値によって決まります。2つの電流が同じ値に収斂する前に、どれだけ異なっていたかに応じて、この遅延は1～5倍変化する可能性があります。

$$\frac{C_C \cdot \Delta V_{COMP}}{g_{m(EA)} \cdot I_L \cdot R_S}$$

図4aは、 $V_{IN2}$ が4.9Vで10Aを供給している場合に、5.1Vの $V_{IN1}$ がオンした状況を示しています。はじめは $\Delta V_{OUT}$  ( $-I_2 \cdot R_S$ )が負であるためCOMPはLowの0.1Vです。最終的な $V_{IN1}$ は $V_{IN2}$ よりも高いため、COMPは1.24Vまで立ち上がらなければなりません。 $V_{IN1}$ がオフで、 $\Delta V_{IN}$ が負の大きな値であることから、2番目の電源の順方向レギュレーション電圧 $V_{FR2}$ は最小値 $V_{FR(MIN)}$ にフォールド・バックします(図2aを左から右にたどっています)。 $\Delta V_{IN}$ の絶対値が減少すると、 $V_{FR2}$ は最大値の $V_{FR(MAX)}$ へと上昇し、 $I_2$ と負荷電圧を減少させます。 $V_{FR2}$ が調整されている間のCOMP電圧は約0.7Vです。COMPが1.24Vに達すると、 $V_{FR2}$ は最小値に保たれ、 $\Delta V_{IN}$ の0.2Vを補償するために $V_{FR1}$ が適宜調整されます。シェアリングが完了するまでの過程は $V_{IN1} < V_{IN2}$ の場合の方がスムーズに進みます。この場合、 $V_{FR2}$ を低下させるためにCOMPは単に0.7Vに立ち上がるだけでいいからです(図4b)。

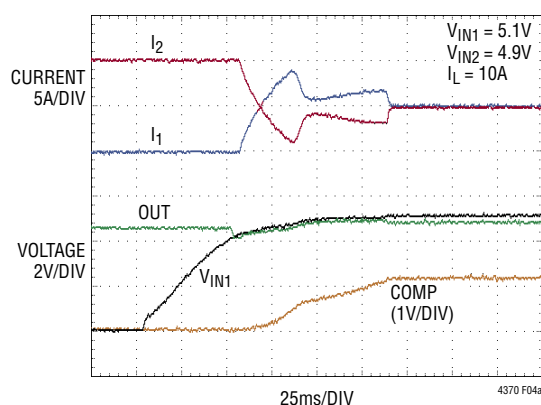
## MOSFETの選択

LTC4370はNチャンネルMOSFETを駆動して負荷電流を流します。このMOSFETの重要なパラメータは、ドレイン・ソース間耐圧 $BV_{DSS}$ 、最大ゲート・ソース間電圧 $V_{GS(MAX)}$ 、オン抵抗 $R_{DS(ON)}$ 、最大電力損失 $P_{D(MAX)}$ です。

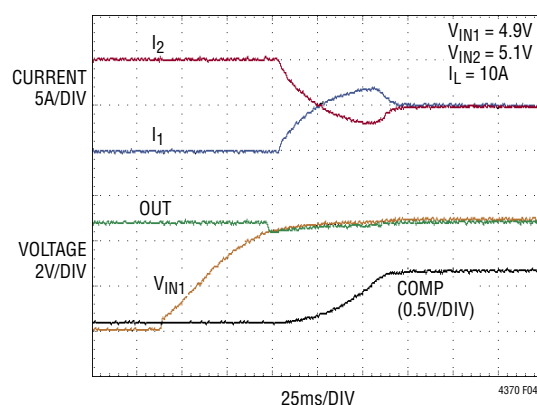
入力がグラウンドに接続された場合、MOSFETの両端に全電源電圧が加わる可能性があります。この電圧に耐えるため、 $BV_{DSS}$ は電源電圧よりも高くなければなりません。MOSFETの $V_{GS(MAX)}$ 定格には14Vよりも大きい値が必要です。 $V_{IN}$ を基準としたGATEの内部クランプ電圧の上限が、この値だからです。

シェアリングの有効範囲を最大に確保するには、負荷電流の半分を流している状態のMOSFETに現れる最小順方向レギュレーション電圧をサーボ・アンプが十分にレギュレートできるように、 $R_{DS(ON)}$ を小さくする必要があります。レギュレートできない場合、ゲート電圧は最大値に振り切れます。したがって、MOSFETのデータシートでは、 $V_{IN}$ 電圧に応じて10Vまたは4.5Vのゲート駆動の場合の $R_{DS(ON)}$ を調べます。OUT電圧が等しいため、 $R_{DS(ON)}$ が大きい場合に、厳密なシェアリングが開始される電圧差は次式で表されます。

$$\Delta V_{IN(SH)} = V_{FR(MAX)} - 0.5I_L \cdot R_{DS(ON)} \quad (2)$$



(4a)  $V_{IN1} > V_{IN2}$



(4b)  $V_{IN1} < V_{IN2}$

図4.  $V_{IN1}$  ターンオン時のシェアリング開始

## アプリケーション情報

図2bの場合、 $0.5I_L \cdot R_{DS(ON)}$ は125mVです。 $R_{DS(ON)}$ が大きい場合、サーボ・アンプはHighに振幅します。低圧側電源のMOSFETの25mVの $V_{FR(MIN)}$ をレギュレートできないためです。図2aと比べると、シェアリングの有効範囲が100mV(125mV-25mV)減少して $\pm 400$ mVになっています。ただし、部分的な電流シェアリングが行われる $\Delta V_{IN}$ は、 $500\text{mV} + I_L \cdot R_S$ のまま変化していません。シェアリングの範囲を最大化しない場合であっても、最適性能を得るために、 $I_L \cdot R_{DS(ON)}$ の値は75mV未満に抑えてください。

MOSFETの電力損失がピークに達するのは、全負荷電流が一方の電源だけで供給され、MOSFETの順方向レギュレーション電圧降下が最大になるときです(図2a参照)。したがって、MOSFETの $P_{D(MAX)}$ 定格は、次の式を満たす必要があります。

$$P_{D(MAX)} \geq I_L \cdot V_{FR(MAX)} \quad (3)$$

表1は、さまざまな電力損失レベルに対して、必要となるMOSFETのパッケージとヒートシンクの種類を検討する場合のたたき台となるガイドラインです。これらは、周囲が室温、無風状態における代表値の範囲を示しています。

表 1. MOSFET 電力損失のガイドライン

最大電力損失	MOSFETのパッケージ	ヒートシンク
0.5W~1W	S0-8	PCB
1W~2W	露出パッド付きS0-8、D-Pak (TO-252)	PCB
	TO-220	自由空気内に直立
2W~4W	DD-Pak(TO-263)、TO-220	PCB
4W~10W	TO-220	スタンピング
10W~20W	TO-220	キャストイング、押し出し成型
20W~50W	TO-247、TO-3P	押し出し成型

## センス抵抗の選択

センス抵抗の電圧降下が電流シェアリングの精度を決めます。エラーアンプの入力オフセットによるシェアリングの誤差は、次式が示すように、センス電圧を高くすることで減少します。

$$\frac{\Delta I}{I_L} = \frac{|I_1 - I_2|}{I_L} = \frac{|V_{EA(OS)}|}{I_L \cdot R_S} = \frac{2\text{mV}}{I_L \cdot R_S} \quad (4)$$

$I_1$ と $I_2$ は2つの電源の電流、 $I_L$ は負荷電流( $I_1 + I_2 = I_L$ )、 $R_S$ はセンス抵抗の値、 $V_{EA(OS)}$ は内部エラーアンプの入力オフセットです。センス抵抗に負荷電流の半分が流れることで生じる25mVの電圧降下の場合(つまり $I_L \cdot R_S = 50\text{mV}$ の場合)、シェアリングの誤差は4%になります。OUTピンと負荷の間にコネクタが存在する場合は、コネクタ抵抗の効果を最低限に抑えるために、センス抵抗の値も大きくしなければならないことがあります。センス電圧が高い場合、精度はセンス抵抗の許容誤差で制限されます。

シェアリングの精度要件を緩和できる場合は、小さい値のセンス抵抗を選択して、センス抵抗による電力損失を低減できます。電力損失のワーストケースは、最大負荷、つまり負荷電流シェアリングの有効範囲外で発生します。センス抵抗を小さくする場合、 $V_{EA(OS)}/R_S$ より小さな負荷電流に対しては、シェアリングのループが閉じないことに注意が必要です。

電源間で負荷電流を等分する必要がないアプリケーションでは、2つのセンス抵抗の値が異なってもかまいません。そのような場合は、次の関係が成り立ちます。

$$\frac{R_{S1}}{R_{S2}} = \frac{I_2}{I_1} \quad (5)$$

## CPO コンデンサの選択

CPOピンと $V_{IN}$ ピンの間のコンデンサの推奨値は、MOSFETの入力容量( $C_{ISS}$ )のおよそ10倍です。コンデンサの値が大きいくほど、それに応じて内部チャージポンプによる充電に長い時間を要します。このコンデンサは、MOSFETのゲート容量と電荷を共有するため、値が小さいとゲートの高速ターンオン時に電圧降下が大きくなります。

## アプリケーション情報

### 外部CPO電源

内部チャージポンプによるCPOコンデンサの充電、特にデバイスのパワーアップ時の充電には数ミリ秒が必要です。この時間は、CPOピンに外部電源を接続することで短縮できます。CPOと $V_{IN}$ ピン間の内部クランプに流れる電流を制限するために、直列抵抗が必要です。CPO電源は、MOSFETのゲート駆動要件を満たすために、主入力電源の電圧よりも高くする必要があります。図5に、このような構成の3.3V負荷シェアリング・アプリケーションを示します。この回路では1kの抵抗を介して、CPOピンに12V電源が接続されています。1kの抵抗は $V_{IN}$ ピンが接地されたときにCPOピンに流れ込む電流を制限します。8.7Vでゲートを駆動する場合(12V-3.3V)は、M1とM2にはロジック・レベルのMOSFETが適当です。

### ループの安定性

サーボ・アンプのループは、Nチャンネル・パワーMOSFETのゲート容量によって補償されます。通常、これ以外に補償用の部品は不要です。ゲート容量が1nF未満のMOSFETを選択した場合、ゲートとソース間に1nFの補償コンデンサが必要になることがあります。

負荷シェアリングの制御ループは、COMPピンからグラウンドに接続されたコンデンサによって補償されます。このコンデンサの容量は、MOSFETの入力容量 $C_{ISS}$  x 50以上とします。コンデンサの容量を大きくするとシェアリング状態に達するまでの遅延が増大する代わりに、安定性が改善されます。これに対

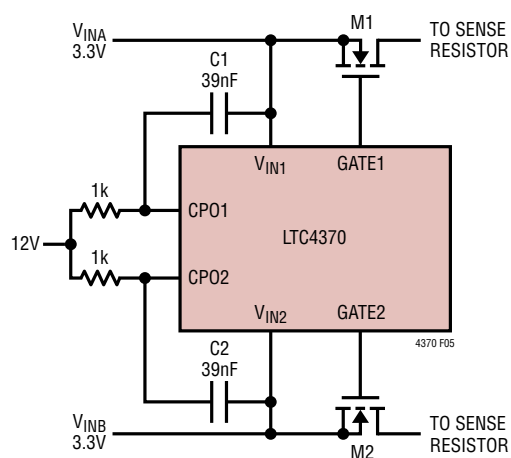


図5. 起動とリフレッシュを高速化するためにCPOに外部電源から12Vを給電した3.3V負荷シェアリング

し、小さな容量のコンデンサを使用した場合、安定するまでに2つの電源間で電流供給が交互に切り替わる可能性があります。CPOコンデンサを省略する場合、つまりゲートの高速ターンオンを使用しない場合のCOMPコンデンサの値は、単純に $10 \times C_{ISS}$ とすることができます(図6を参照)。

### パルス状負荷に対する入出力容量

パルス状負荷の場合、周波数が100Hz未満ならば、サイクルごとに負荷電流シェアリングが実行されます。これより高い周波数では、毎サイクル電流シェアリングが行われるとは限りませんが、時間平均すれば電流は分配されます。グリッチやリップルを最低限に抑えるために、入力にバイパス容量を接続する必要があります。コントローラは負荷シェアリングを実現するために電源電圧差を補償しようとするため、このバイパス・コンデンサは重要です。また、負荷シェアリング回路に流れる負荷電流のDC成分を大きくするために、十分な負荷容量を与える必要もあります。先に述べたとおり、 $I_L \cdot R_{DS(ON)}$ が75mV未満になるように設計することも重要です。

デューティ・サイクルが非常に小さい場合、または非常に周波数の低い負荷の場合、COMP電圧は、負荷電流がシェアリングのしきい値 $V_{EA(OS)}/R_S$ を数百ミリ秒間下回るたびに振幅します。このため、次の負荷サイクルではCOMPが約0.7Vまたは1.24Vの動作点に立ち上がってシェアリングの状態が確立するまでに遅延が発生します。この遅延を避けるには、負荷電流が $V_{EA(OS)}/R_S$ 以下にならないようにします。

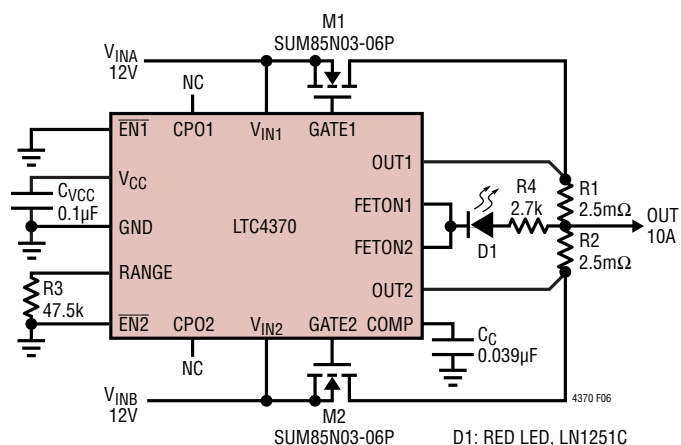


図6. 電流シェアリング12V電源

## アプリケーション情報

### 入力トランジェントに対する保護

入力と出力の容量が非常に小さい場合、電流の急激な変化によって、 $V_{IN}$ ピンとOUTピンに絶対最大定格の24Vを超える過渡変動が生じる可能性があります。OR接続アプリケーションでは、OUTピンからグラウンドにサージ・サブレッサを1個接続すれば、全ての入力をクランプできます。サージ・サブレッサがない場合も、 $10\mu\text{F}$ の出力容量があれば、ほとんどのアプリケーションで24Vを超える過渡変動を防止するのに十分です。

### 12Vの設計例

この設計例では、最大負荷電流10Aの12Vシステムで許容誤差 $\pm 2\%$ の電源を使用する場合の、部品選定の補法を示します(図6)。つづいて、同様の5Vシステム(図1)に必要な再計算を示します。

はじめに、最大負荷時に順方向電圧降下が所望の値になるようなMOSFETの $R_{DS(ON)}$ を計算します。 $V_{FWD}$ として50mVを想定します。

$$R_{DS(ON)} \leq \frac{V_{FWD}}{I_{LOAD}} = \frac{50\text{mV}}{10\text{A}} = 5\text{m}\Omega$$

SUM85N03-06Pは、 $R_{DS(ON)} = 4.5\text{m}\Omega$ 、 $BV_{DSS} = 30\text{V}$ 、 $V_{GS(MAX)} = 20\text{V}$ を、DD-Pak (TO-263)サイズのパッケージで実現した、適切なソリューションです。 $0.5I_L \cdot R_{DS(ON)}$ が22.5mVであることから、サーボ・アンプは25mVの最小順方向レギュレーション電圧を、 $V_{RANGE}$ で設定される最大シェアリング範囲まで制御できます。

12Vの2%は240mVです。ほとんどの電源電圧差で動作させるには、シェアリングの有効範囲 $\Delta V_{IN(SH)}$ を、およそ $2 \times 240\text{mV} (\pm 480\text{mV})$ にする必要があります。R3を47.5kとすると、 $V_{RANGE}$ は475mVに設定されます。最大順方向レギュレーション電圧の計算には式1を使用します。

$$V_{FR(MAX)} = 10\mu\text{A} \cdot 47.5\text{k} + 25\text{mV} = 500\text{mV}$$

式3からMOSFETの最大電力損失は、次のように計算されます。

$$P_{D(MAX)} = 10\text{A} \cdot 500\text{mV} = 5\text{W}$$

MOSFETのドレイン周辺には十分なPCB面積とエア・フローを確保して、接合部温度が最大値の $175^\circ\text{C}$ を超えないようにする必要があります。

$2.5\text{m}\Omega$ のセンス抵抗は、最大負荷時に25mVの電圧降下を生じ、エラーアンプのオフセットによるシェアリング誤差は、2mV/ $(10\text{A} \cdot 2.5\text{m}\Omega)$ 、すなわち8%になります(式4)。最大負荷時のセンス抵抗による電力損失は、 $10\text{A}^2 \cdot 2.5\text{m}\Omega = 250\text{mW}$ です。電源電圧の12Vは十分に大きく、ダイオードによる電圧降下を許容できるため、ゲートの高速ターンオンは不要です。このため、CPOのコンデンサは省略します。MOSFETの入力容量 $C_{ISS}$ は約3800pFです。高速ターンオンを使用しないため、COMPコンデンサの $C_C$ は $C_{ISS}$ の10倍の $0.039\mu\text{F}$ だけでかまいません。

赤色LEDのD1は、MOSFETのいずれか1つがオフになったときに点灯し、シェアリング状態が中断していることを示します。十分な輝度を得るには、約3mAを流す必要があります。ダイオードの電圧降下2Vと0.6Vの $V_{OL}$ を考慮して、R4は2.7kに設定します。

### 5Vの設計例

5V、10Aのシステムで許容誤差 $\pm 3\%$ の電源と高速ゲート・ターンオンを使用する場合(図1)、R3、C1、C2、 $C_C$ 、R4について再計算が必要です。想定される電源電圧差を考慮して、R3は30.1kに設定します( $2 \cdot 3\% \cdot 5\text{V}$ から $\pm 300\text{mV}$ が得られます)。C1とC2は $10 \times C_{ISS} = 0.039\mu\text{F}$ に設定します。高速ターンオンを使用するため、 $C_C$ には $50 \times C_{ISS} = 0.18\mu\text{F}$ に近い値を選択します。5V電源でLEDに3mAを流すには、R4を820 $\Omega$ にする必要があります。

## アプリケーション情報

## PCBレイアウトに関する検討事項

正確な電流シェアリングを実現するには、センス抵抗とOUTピンをケルビン接続することが重要です。MOSFETはセンス抵抗のできる限り近くに配置します。MOSFETへのトレースは幅を広く、長さを短くして抵抗性の損失を最小にします。MOSFETを通る電源パスに関連するPCBトレースは抵抗を小さくする必要があります。MOSFETの電力損失を最適化する

ために、ドレイン側に十分な銅箔面積を確保するか、ヒートシンクを設けるなどの熱管理の手法を検討する必要があります。図7を参照してください。

バイパス・コンデンサ $C_{VCC}$ を、 $V_{CC}$ とGNDの間にできるだけ近づけて配置することも重要です。C1とC2はCPOと $V_{IN}$ ピンの近傍に配置します。COMPピンには、基板の漏れ電流を低く保つためにガード・リングが必要になる場合があります。

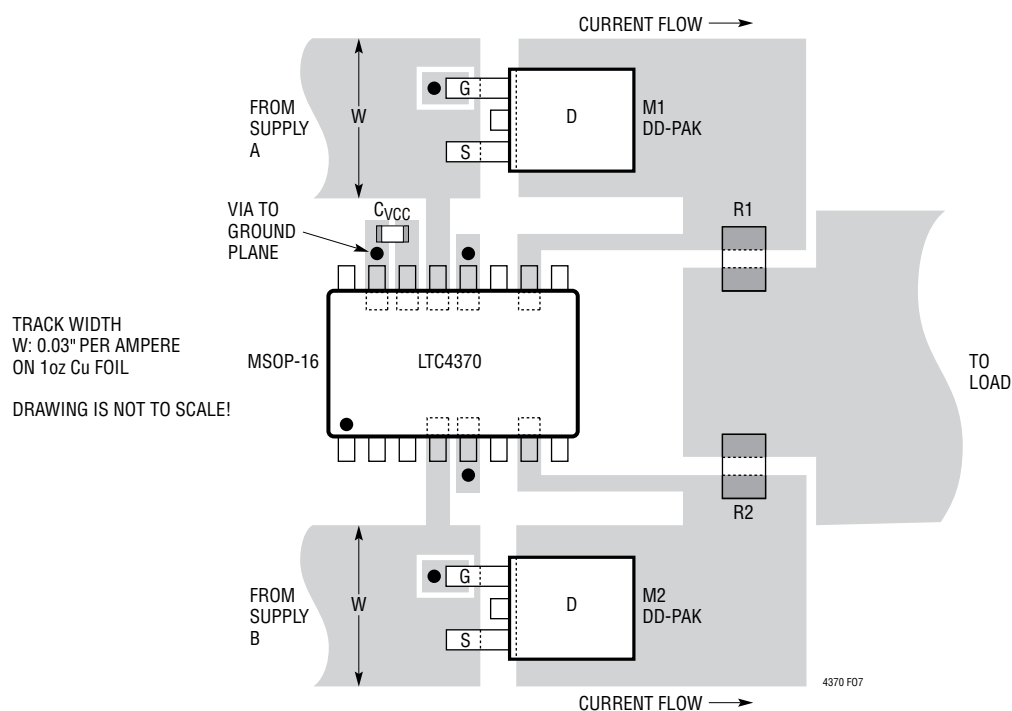
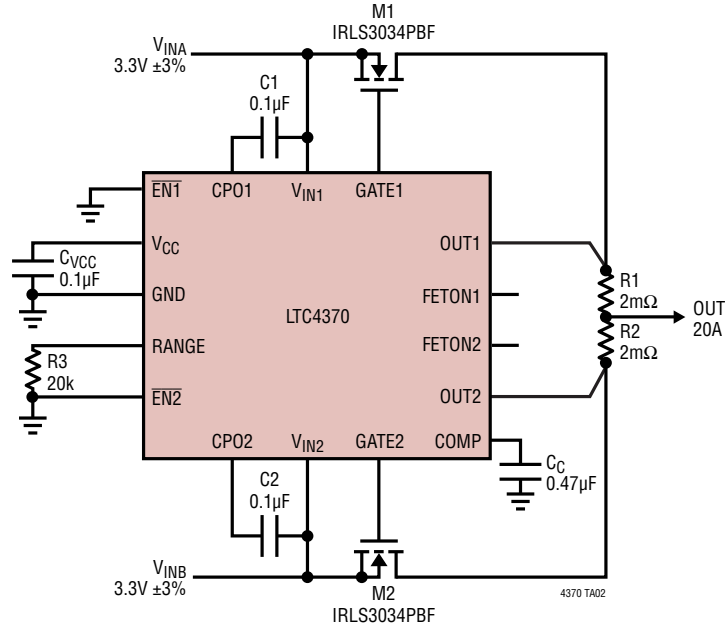


図7.M1、M2、 $C_{VCC}$ 、R1、R2の推奨PCBレイアウト

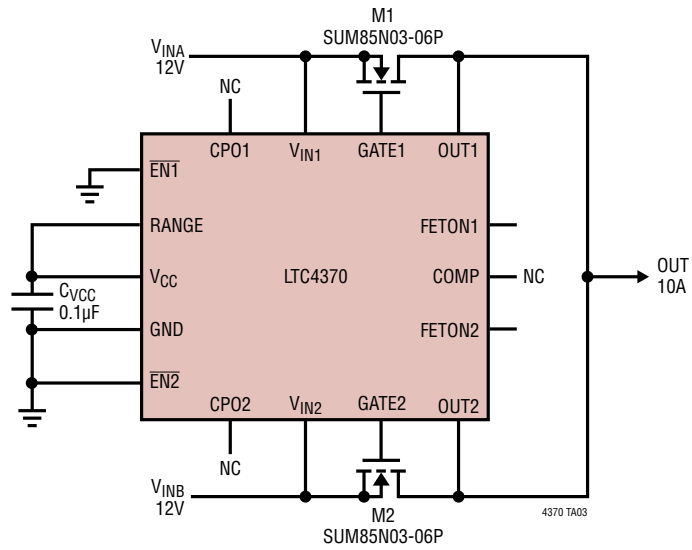
出力20Aの電流シェアリング3.3V電源





## 標準的応用例

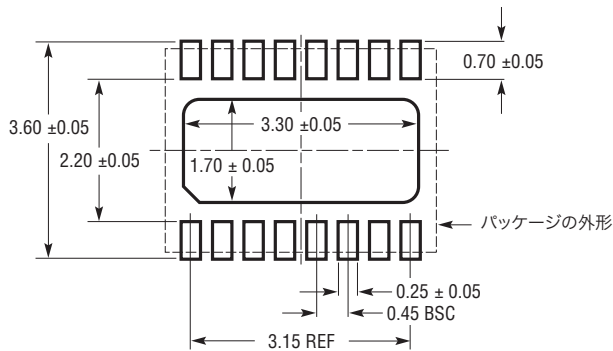
RANGEをV<sub>CC</sub>に接続した12V理想ダイオードOR(負荷シェアリングと比較するために掲載)  
負荷シェアリングが不要の場合はLTC4353を使用してください。



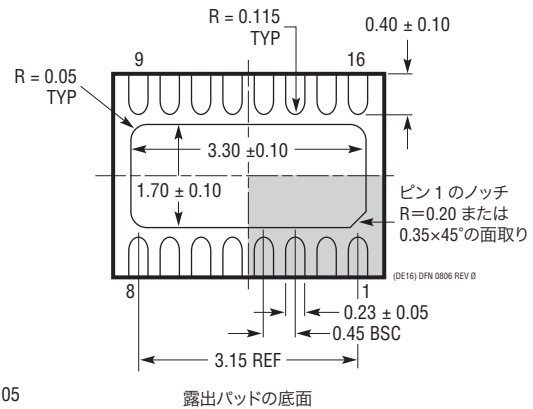
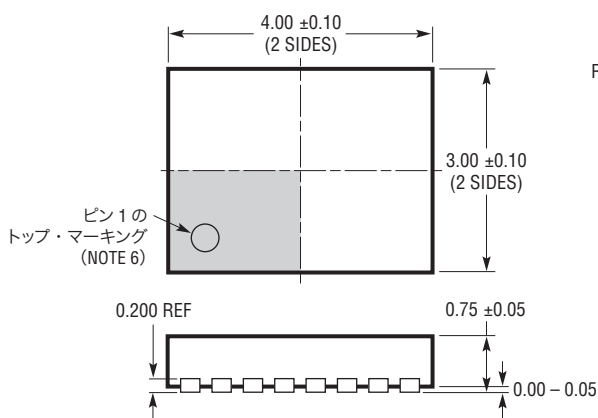
## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

### DE パッケージ 16ピン・プラスチック DFN (4mm×3mm) (Reference LTC DWG # 05-08-1732 Rev 0)



推奨する半田パッドのピッチと寸法  
半田付けされない領域には半田マスクを使用する



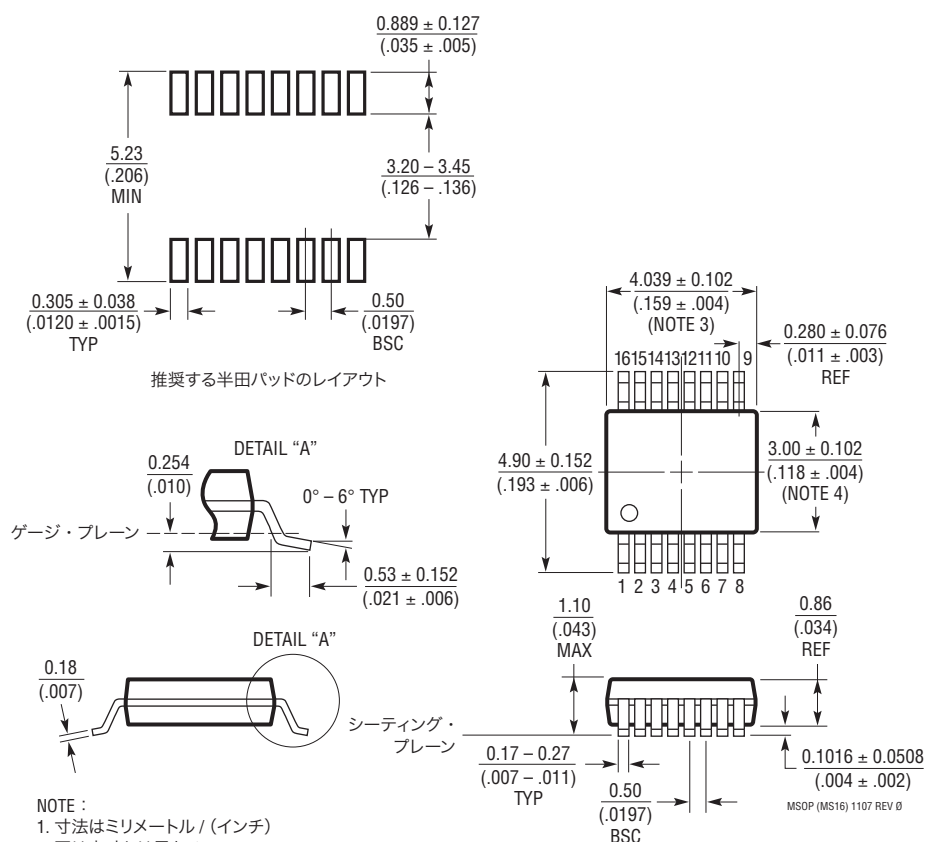
#### NOTE :

1. 図は JEDEC パッケージ・アウトライン M0-229 のバージョンのバリエーション (WGED-3) として提案。
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージのトップとボトムのピン 1 の位置の参考に過ぎない

## パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

MSパッケージ  
16ピン・プラスチックMSOP  
(Reference LTC DWG # 05-08-1669 Rev 0)

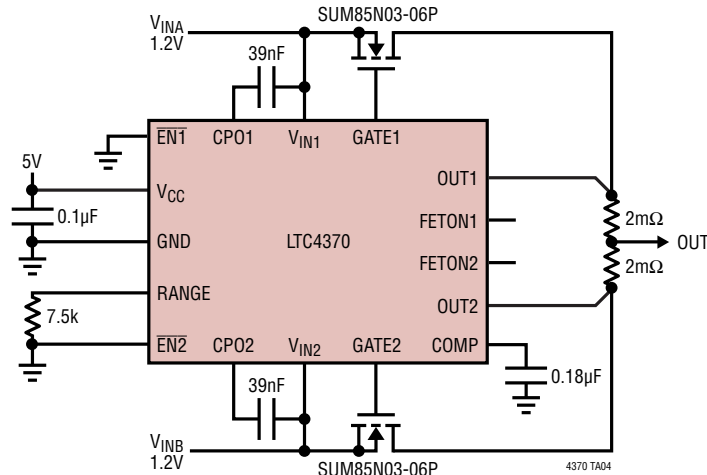


## NOTE :

1. 寸法はミリメートル/ (インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない  
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
4. 寸法にはリード間のバリまたは突出部を含まない  
リード間のバリまたは突出部は各サイドで 0.152mm (0.006") を超えないこと
5. リードの平坦度 (成形後のリードの底面) は最大 0.102mm (0.004") であること

## 標準的応用例

### 1.2V 負荷シェアリング



## 関連製品

製品番号	説明	注釈
LTC1473/ LTC1473L	デュアル PowerPath™ スイッチ・ドライバ	N チャネル、4.75V ~ 30V/3.3V ~ 10V、SSOP-16 パッケージ
LTC1479	デュアル・バッテリー・システム用 PowerPath コントローラ	3 個の N チャネル・ドライバ、6V ~ 28V、SSOP-36 パッケージ
LTC4352	モニタ機能付き低電圧理想ダイオード・コントローラ	N チャネル、0V ~ 18V、UV、OV、MSOP-12 および DFN-12 パッケージ
LTC4353	デュアル低電圧理想ダイオード・コントローラ	デュアル N チャネル、0V ~ 18V、MSOP-16 および DFN-16 パッケージ
LTC4354	負電圧ダイオード OR コントローラおよびモニタ	デュアル N チャネル、-4.5V ~ -80V、SO-8 および DFN-8 パッケージ
LTC4355	電源およびフューズのモニタ付き正の高電圧理想ダイオード OR	デュアル N チャネル、9V ~ 80V、SO-16 および DFN-14 パッケージ
LTC4357	正の高電圧理想ダイオード・コントローラ	N チャネル、9V ~ 80V、MSOP-8 および DFN-6 パッケージ
LTC4358	5A 理想ダイオード	内部 N チャネル、9V ~ 26.5V、TSSOP-16 および DFN-14 パッケージ
LTC4411	2.6A 低損失理想ダイオード、ThinSOT™ パッケージ	内部 P チャネル、2.6V ~ 5.5V、40µA I <sub>Q</sub> 、SOT-23 パッケージ
LTC4412/ LTC4412HV	低損失 PowerPath コントローラ、ThinSOT パッケージ	P チャネル、2.5V ~ 28V/36V、11µA I <sub>Q</sub> 、SOT-23 パッケージ
LTC4413/ LTC4413-1	デュアル 2.6A、2.5V ~ 5.5V 理想ダイオード、DFN-10 パッケージ	デュアル内部 P チャネル、2.5V ~ 5.5V、DFN-10 パッケージ
LTC4414	大型 P チャネル MOSFET 用 36V 低損失 PowerPath コントローラ	P チャネル、3V ~ 36V、30µA I <sub>Q</sub> 、MSOP-8 パッケージ
LTC4415	電流制限を調整可能なデュアル 4A 理想ダイオード	デュアル P チャネル 50mΩ 理想ダイオード、1.7V ~ 5.5V、15mV 順方向電圧降下、MSOP-16 および DFN-16 パッケージ
LTC4416/ LTC4416-1	大型 P チャネル MOSFET 用 36V 低損失デュアル PowerPath コントローラ	デュアル P チャネル、3.6V ~ 36V、70µA I <sub>Q</sub> 、MSOP-10 パッケージ