

## 100V 過電圧、低電圧、 および逆電源保護 コントローラ

### 特長

- 広い動作電圧範囲: 2.5V ~ 60V
- 100V までの過電圧保護
- -40V までの逆電源電圧保護
- LTC4367: 50Hz および 60Hz の AC 電源を遮断
- LTC4367: 32ms でフォルトから回復
- LTC4367-1: 500μs でフォルトから迅速に回復
- ほとんどのアプリケーションで入力コンデンサおよび TVS が不要
- 低電圧と過電圧のしきい値を調整可能
- バック・トゥ・バック接続の N チャネル MOSFET を制御
- 低い動作電流: 70μA
- 低シャットダウン電流: 5μA
- 8ピン MSOP および 3mm×3mm DFN パッケージ

### アプリケーション

- ポータブル機器
- 産業用自動制御機器
- ラップトップ
- 自動車のサージ (負荷遮断) 保護

### 概要

LTC<sup>®</sup>4367 は、電源入力電圧が高すぎるか低すぎるアプリケーション、更には負電圧になるアプリケーションを保護します。このデバイスは 1 対の外付け N チャネル MOSFET のゲート電圧を制御することにより、出力電圧を安全動作領域内に確実に保持します。LTC4367 は、-40V ~ 100V の電圧に耐え、動作電圧範囲が 2.5V ~ 60V である一方で、通常動作時の消費電流はわずか 70μA です。

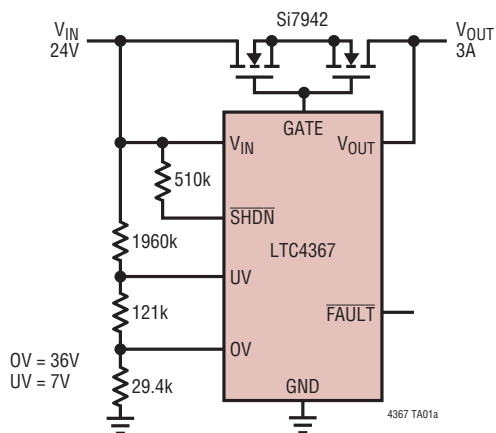
2つのコンパレータ入力により、外付けの抵抗分割器を使用して過電圧 (OV) と低電圧 (UV) を設定できます。シャットダウン・ピンにより、MOSFET のイネーブルおよびディスエーブルを外部制御できるだけでなく、デバイスを低電流のシャットダウン状態にすることもできます。フォルト出力は、デバイスがシャットダウン状態になるか、入力電圧が UV および OV の設定範囲から外れると、GATE ピンが “L” になることを示します。

LTC4367 は、通電状態接続のデバウンスを行い、50Hz ~ 60Hz の AC 電源を遮断する 32ms のターンオン遅延機能を備えています。フォルト発生後の回復を迅速化するため、LTC4367-1 のターンオン遅延時間は 500μs に短縮されています。

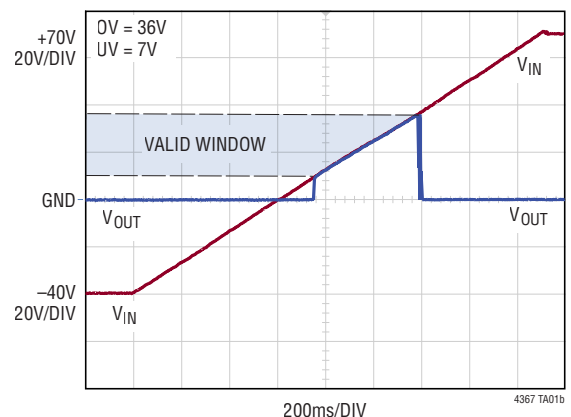
LT、LTC、LTM、Linear Technology および Linear のロゴはリアテクノロジー社の登録商標です。ThinSOT および Hot Swap はリアテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例

+100V、-40V の保護機能を備えた 24V 自動車用アプリケーション



VIN での逆電圧および過電圧から負荷を保護



# LTC4367

## 絶対最大定格

(Note 1, Note 2)

### 電源電圧

$V_{IN}$  ..... -40V ~ 100V

### 入力電圧 (Note 3)

UV,  $\overline{SHDN}$  ..... -0.3V ~ 80V

OV ..... -0.3V ~ 5V

$V_{OUT}$  ..... -0.3V ~ 80V

### 出力電圧

FAULT ..... -0.3V ~ 80V

GATE (Note 4) ..... -40V ~ 75V

### 入力電流

$\overline{SHDN}$ , UV ..... -1mA ~ 50 $\mu$ A

OV ..... -1mA

### 動作周囲温度範囲

LTC4367C ..... 0°C ~ 70°C

LTC4367I ..... -40°C ~ 85°C

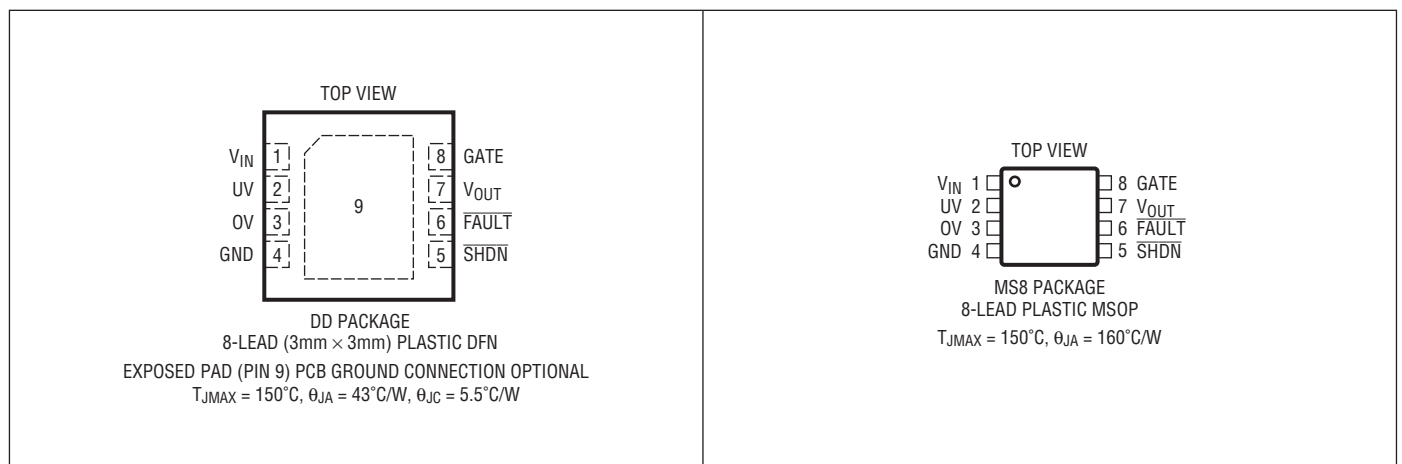
LTC4367H ..... -40°C ~ 125°C

### 保存温度範囲

リード温度 (半田付け, 10秒)

MSOPのみ ..... 300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC4367CDD#PBF	LTC4367CDD#TRPBF	LGTF	8-Lead (3mm×3mm) Plastic DFN	0°C to 70°C
LTC4367CDD-1#PBF	LTC4367CDD-1#TRPBF	LGVV	8-Lead (3mm×3mm) Plastic DFN	0°C to 70°C
LTC4367IDD#PBF	LTC4367IDD#TRPBF	LGTF	8-Lead (3mm×3mm) Plastic DFN	-40°C to 85°C
LTC4367IDD-1#PBF	LTC4367IDD-1#TRPBF	LGVV	8-Lead (3mm×3mm) Plastic DFN	-40°C to 85°C
LTC4367HDD#PBF	LTC4367HDD#TRPBF	LGTF	8-Lead (3mm×3mm) Plastic DFN	-40°C to 125°C
LTC4367HDD-1#PBF	LTC4367HDD-1#TRPBF	LGVV	8-Lead (3mm×3mm) Plastic DFN	-40°C to 125°C
LTC4367CMS8#PBF	LTC4367CMS8#TRPBF	LTGTD	8-Lead Plastic MSOP	0°C ~ 70°C
LTC4367CMS8-1#PBF	LTC4367CMS8-1#TRPBF	LTGVX	8-Lead Plastic MSOP	0°C ~ 70°C
LTC4367IMS8#PBF	LTC4367IMS8#TRPBF	LTGTD	8-Lead Plastic MSOP	-40°C ~ 85°C
LTC4367IMS8-1#PBF	LTC4367IMS8-1#TRPBF	LTGVX	8-Lead Plastic MSOP	-40°C ~ 85°C
LTC4367HMS8#PBF	LTC4367HMS8#TRPBF	LTGTD	8-Lead Plastic MSOP	-40°C ~ 125°C
LTC4367HMS8-1#PBF	LTC4367HMS8-1#TRPBF	LTGVX	8-Lead Plastic MSOP	-40°C ~ 125°C

\* 温度グレードは出荷時のコンテナのラベルで識別されます。

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

## 電気的特性

● は全動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。注記がない限り、 $V_{IN} = 2.5\text{V} \sim 60\text{V}$ 。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b><math>V_{IN}</math>, <math>V_{OUT}</math></b>							
$V_{IN}$	Input Voltage: Operating Range Protection Range		●	2.5	60	V	
			●	-40	100	V	
$V_{IN(UVLO)}$	Input Supply Undervoltage Lockout	$V_{IN}$ Rising	●	1.8	2.2	2.4	V
$I_{VIN}$	Input Supply Current: On Off	$\overline{\text{SHDN}} = 2.5\text{V}$ $\overline{\text{SHDN}} = 0\text{V}$ , $V_{IN} = V_{OUT}$	●		30	90	$\mu\text{A}$
			●		5	20	$\mu\text{A}$
$I_{VIN(R)}$	Reverse Input Supply Current	$V_{IN} = -40\text{V}$ , $V_{OUT} = 0\text{V}$	●		-1.5	-2.5	mA
$I_{VOUT}$	$V_{OUT}$ Input Current: On Off Reverse	$\overline{\text{SHDN}} = 2.5\text{V}$ , $V_{IN} = V_{OUT}$ $\overline{\text{SHDN}} = 0\text{V}$ , $V_{IN} = V_{OUT}$ $V_{IN} = -40\text{V}$ , $V_{OUT} = 0\text{V}$	●		40	110	$\mu\text{A}$
			●		3	15	$\mu\text{A}$
			●		20	50	$\mu\text{A}$
<b>GATE</b>							
$\Delta V_{GATE}$	Gate Drive (GATE - $V_{OUT}$ )	$V_{IN} = V_{OUT} = 5.0\text{V}$ , $I_{GATE} = 0\mu\text{A}$ , $-1\mu\text{A}$ $V_{IN} = V_{OUT} = 12\text{V}$ to $60\text{V}$ , $I_{GATE} = 0\mu\text{A}$ , $-1\mu\text{A}$	●	7.2	8.7	10.8	V
			●	10	11	13.1	V
$I_{GATE(UP)}$	Gate Pull Up Current	GATE = 15V, $V_{IN} = V_{OUT} = 12\text{V}$	●	-20	-35	-60	$\mu\text{A}$
$I_{GATE(SLOW)}$	Gate Slow Pull Down Current	GATE = 20V, $V_{IN} = V_{OUT} = 12\text{V}$	●	50	90	160	$\mu\text{A}$
$I_{GATE(FAST)}$	Gate Fast Pull Down Current	GATE = 20V, $V_{IN} = V_{OUT} = 12\text{V}$	●	30	60	90	mA
$t_{GATE(SLOW)}$	Slow Turn Off Delay	$C_{GATE} = 2.2\text{nF}$ , $\overline{\text{SHDN}}$ Falling, $V_{IN} = V_{OUT} = 12\text{V}$	●	150	250	370	$\mu\text{s}$
$t_{GATE(FAST)}$	Gate Fast Turn Off Delay	$C_{GATE} = 2.2\text{nF}$ , UV or OV Fault	●		2	4	$\mu\text{s}$

# LTC4367

## 電気的特性

● は全動作温度範囲の規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。注記がない限り、 $V_{IN} = 2.5\text{V} \sim 60\text{V}$ 。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$t_{D(ON)}$	GATE Turn-On Delay Time	$V_{IN} = 12\text{V}$ , Power Good to $\Delta V_{GATE} > 0\text{V}$ , $C_{GATE} = 2.2\text{nF}$ LTC4367 LTC4367-1	●	22	32	45	ms
			●	0.2	0.5	1.2	ms

### UV, OV

$V_{UV}$	UV Input Threshold Voltage	UV Falling	●	492.5	500	507.5	mV
$V_{OV}$	OV Input Threshold Voltage	OV Rising	●	492.5	500	507.5	mV
$V_{UVHYST}$	UV Input Hysteresis	$V_{IN} = V_{OUT} = 12\text{V}$	●	20	25	32	mV
$V_{OVHYST}$	OV Input Hysteresis	$V_{IN} = V_{OUT} = 12\text{V}$	●	20	25	32	mV
$I_{LEAK}$	UV, OV Leakage Current	$V = 0.5\text{V}$ , $V_{IN} = 60\text{V}$	●			$\pm 10$	nA
$t_{FAULT}$	UV, OV Fault Propagation Delay	Overdrive = 50mV $V_{IN} = V_{OUT} = 12\text{V}$	●		1	2	$\mu\text{s}$

### SHDN

$V_{SHDN}$	SHDN Input Threshold	SHDN Falling	●	0.4	0.75	1.2	V
$I_{SHDN}$	SHDN Input Current	SHDN = 0.75V, $V_{IN} = 60\text{V}$	●			$\pm 15$	nA
$t_{START}$	Delay Coming Out of Shutdown Mode	SHDN Rising to FAULT Released, $V_{IN} = V_{OUT} = 12\text{V}$ LTC4367 LTC4367-1	●	400	800	1200	$\mu\text{s}$
				125	250	500	$\mu\text{s}$
$t_{SHDN(F)}$	SHDN to FAULT Asserted	$V_{IN} = V_{OUT} = 12\text{V}$	●		1.5	3	$\mu\text{s}$
$t_{LOWPWR}$	Delay from Turn Off to Low Power Operation	$V_{IN} = V_{OUT} = 12\text{V}$ LTC4367 LTC4367-1	●	20	32	48	ms
			●	0.125	0.3	0.6	ms

### FAULT

$V_{OL}$	FAULT Output Voltage Low	$I_{FAULT} = 500\mu\text{A}$ , $V_{IN} = 12\text{V}$	●		0.15	0.4	V
$I_{FAULT}$	FAULT Leakage Current	FAULT = 5V, $V_{IN} = 60\text{V}$	●			$\pm 200$	nA

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

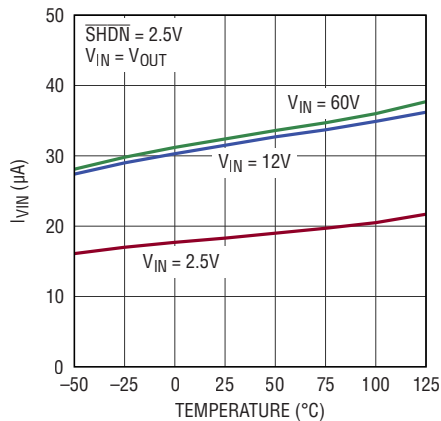
**Note 2:** 注記がない限り、ピンに流れ込む電流は全て正で、全ての電圧はGNDを基準にしている。

**Note 3:** これらのピンはGNDとの間にダイオードを内蔵している。電流の大きさが1mA未満に制限されている場合、これらのピンの電圧は-0.3Vより低くなることもある。

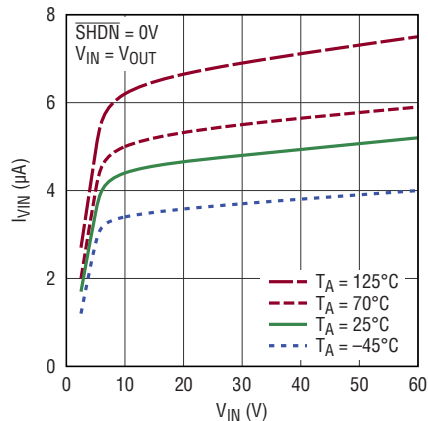
**Note 4:** GATEピンの電圧は $V_{OUT}$ の電圧を基準にしており、全動作電圧範囲で73Vを超えることはない。

標準的性能特性

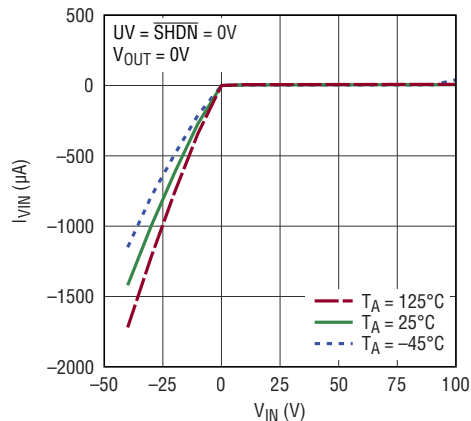
$V_{IN}$ の動作電流と温度



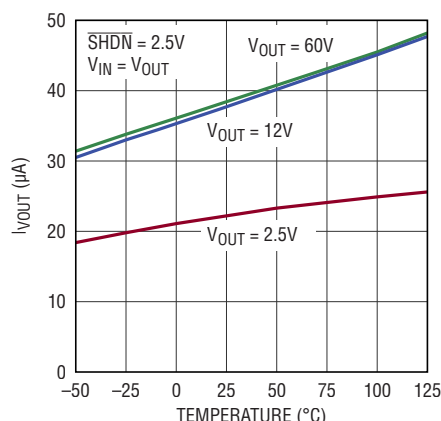
$V_{IN}$ のシャットダウン電流と電圧



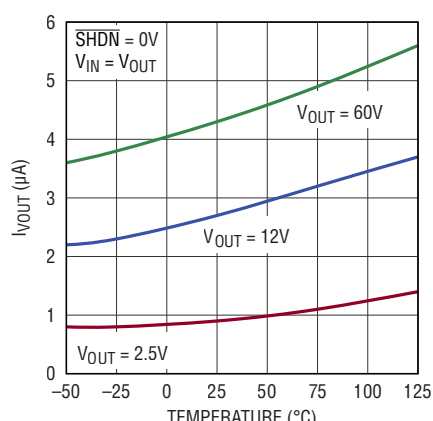
$V_{IN}$ の電源電流と電圧 (-40V ~ 100V)



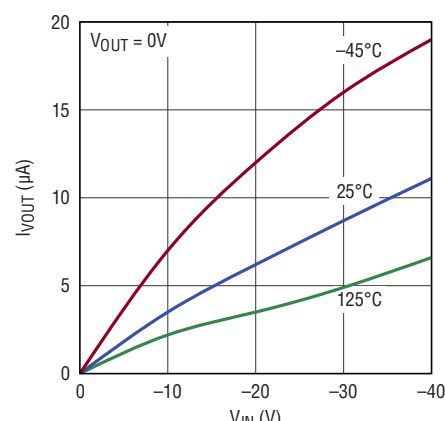
$V_{OUT}$ の動作電流と温度



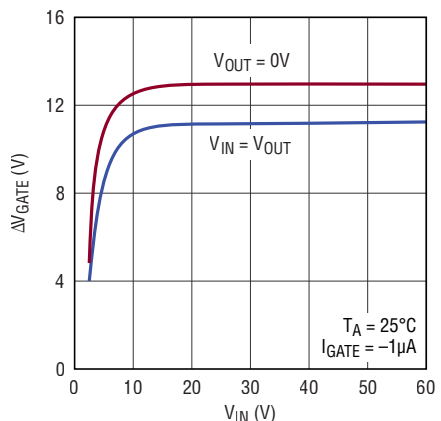
$V_{OUT}$ のシャットダウン電流と温度



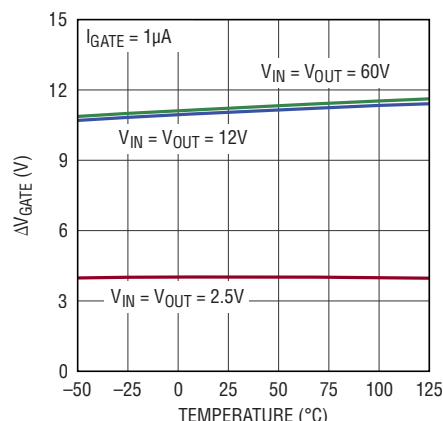
$V_{OUT}$ の電流と逆入力電圧 ( $V_{IN}$ )



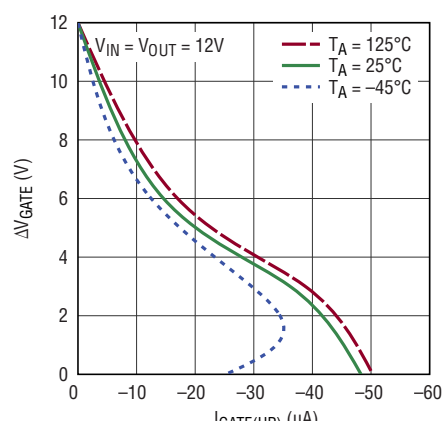
GATEの駆動電圧と  $V_{IN}$ の電源電圧



GATEの駆動電圧と温度



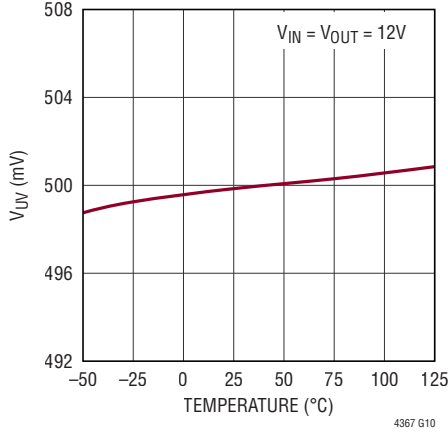
GATEの駆動電圧とGATEの電流



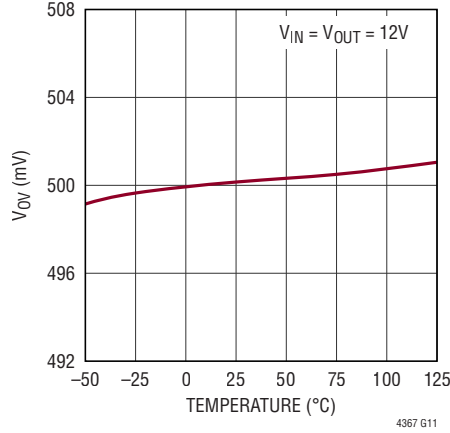
# LTC4367

## 標準的性能特性

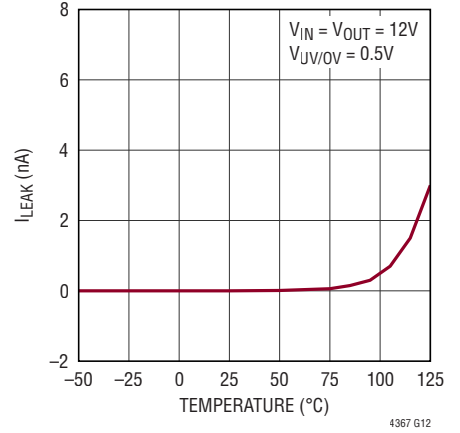
UVのしきい値と温度



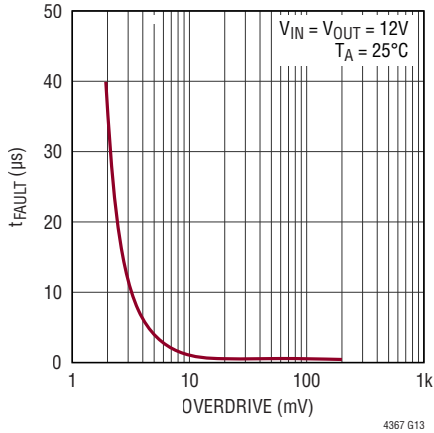
OVのしきい値と温度



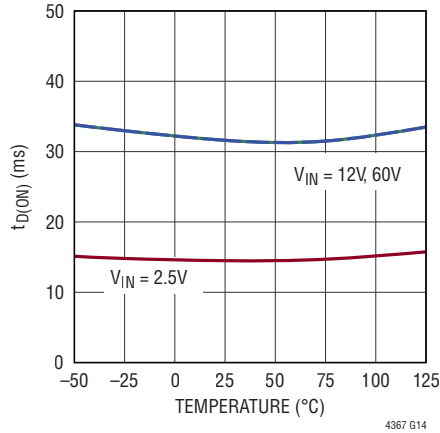
UV/OVの漏れ電流と温度



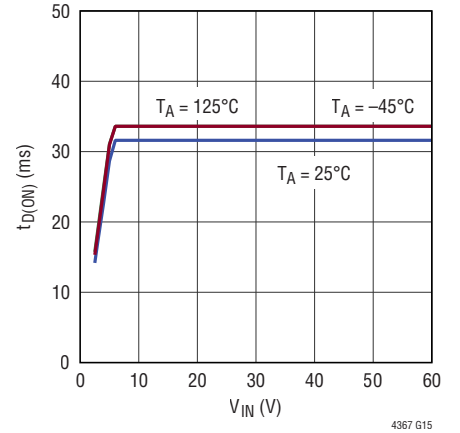
OV/UVの伝播遅延と  
オーバードライブ



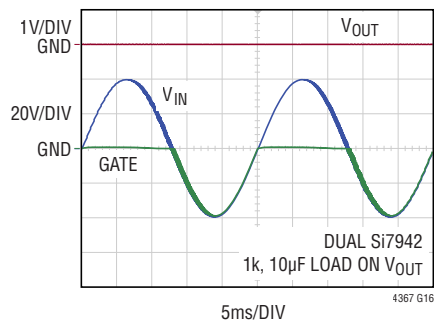
LTC4367のGATEターンオン  
遅延時間と温度



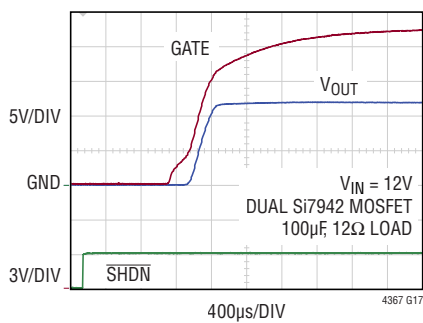
LTC4367のGATEターンオン  
遅延時間とV\_IN



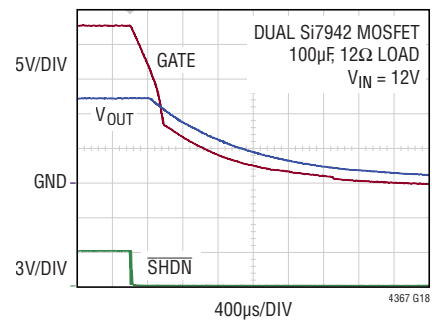
LTC4367のACブロッキング



オンのタイミング



オフのタイミング



## ピン機能

**露出パッド**：露出パッドは開放のままにするか、デバイスのグラウンドに接続することができます。

**FAULT**：フォルト表示出力。この高電圧オープンドレイン出力が“L”になるのは、UVの電圧がそのモニタしきい値より低い場合、OVの電圧がそのモニタしきい値より高い場合、 $\overline{\text{SHDN}}$ が“L”の場合、または $V_{\text{IN}}$ の電圧が $V_{\text{IN(UVLO)}}$ の電圧より高くなっていない場合です。

**GATE**：外付けのNチャンネルMOSFETのゲート駆動出力。内部チャージポンプにより、 $35\mu\text{A}$ のプルアップ電流が流れ、外付けNチャンネルMOSFETのゲート電圧が最大13.1Vまで上昇します。MOSFETがオフになると、GATEの電圧は、 $V_{\text{IN}}$ の電圧と $V_{\text{OUT}}$ の電圧の低い方よりわずかに低い電圧になります。 $V_{\text{IN}}$ の電圧が負になると、GATEは自動的に $V_{\text{IN}}$ に接続されます。

**GND**：デバイスのグラウンド。

**OV**：過電圧コンパレータの入力。このピンを外付け抵抗分割器に接続して、目的とする $V_{\text{IN}}$ の過電圧フォルトしきい値を設定します。この入力、立ち上がりしきい値が0.5Vでヒステリシスが25mVの高精度、高速(1 $\mu\text{s}$ )コンパレータに接続します。OVの電圧がそのしきい値より高くなると、60mAのシンク電流によってGATE出力の電圧が低下します。OVの電圧が0.475Vより低い電圧に戻り、GATEのターンオン遅延待ち時間32ms (LTC4367-1では500 $\mu\text{s}$ )が経過すると、GATEのチャージポンプがイネーブルされます。OV入力は漏れ電流が少ないので、外付け抵抗分割器に接続として値の大きな抵抗を使用できます。このピンを使用しない場合は、GNDに接続してください。OVピンの電圧は5Vより高くなることがあるので、OVピンには低漏れ電流のツェナー・クランプ・ダイオードを接続します。

**$\overline{\text{SHDN}}$** ：シャットダウン制御入力。 $\overline{\text{SHDN}}$ を“H”にするとGATEのチャージポンプがイネーブルされ、更には外付けNチャンネルMOSFETのゲート電圧が上昇します。 $\overline{\text{SHDN}}$ を“L”にすると、90 $\mu\text{A}$ のシンク電流によってGATEの出力にプルダウン電流が流れ、LTC4367は低電流モード(5 $\mu\text{A}$ )になります。このピンを使用しない場合は、 $V_{\text{IN}}$ に接続してください。 $V_{\text{IN}}$ の電圧がグラウンドより低くなる場合、または $V_{\text{IN}}$ の電圧が80Vになる場合は、510k以上の電流制限抵抗を使用します。

**UV**：低電圧コンパレータの入力。このピンを外付け抵抗分割器に接続して、目的とする $V_{\text{IN}}$ の低電圧フォルトしきい値を設定します。この入力、立ち下がりしきい値が0.5Vでヒステリシスが25mVの高精度、高速(1 $\mu\text{s}$ )コンパレータに接続します。UVの電圧がそのしきい値より低くなると、60mAのシンク電流によってGATE出力の電圧が低下します。UVの電圧が0.525Vより高い電圧に戻り、GATEのターンオン遅延待ち時間32ms (LTC4367-1では500 $\mu\text{s}$ )が経過すると、GATEのチャージポンプがイネーブルされます。UV入力は漏れ電流が少ないので、外付け抵抗分割器に接続として値の大きな抵抗を使用できます。このピンを使用しない場合は、 $V_{\text{IN}}$ に接続してください。 $V_{\text{IN}}$ に接続しているときに $V_{\text{IN}}$ の電圧がグラウンドより低くなる場合、または $V_{\text{IN}}$ の電圧が80Vになる場合は、510k以上の電流制限抵抗を使用します。

**$V_{\text{IN}}$** ：電源入力。最大保護範囲は-40V～100Vです。動作範囲は2.5V～60Vです。

**$V_{\text{OUT}}$** ：出力電圧検出入力。このピンは外付けNチャンネルMOSFETの出力側の電圧を検出します。GATEのチャージポンプ電圧は $V_{\text{OUT}}$ を基準にしています。 $V_{\text{OUT}}$ の電圧が約5Vより高い場合、このピンはチャージポンプの入力として使用します。





## 動作

今日の電子システムの多くは、ACアダプタ、バッテリー、カスタム電源などの外部電源から電力供給を受けています。DCたる型コネクタを使用した電源装置を図1に示します。電力はACアダプタから供給されるか、電源プラグを抜いている場合には、取り外し可能なバッテリーから供給されます。ACアダプタおよびたる型コネクタの極性はメーカーによって異なるので注意してください。以下のいずれかが起こると、不具合が発生します。

- バッテリーを逆向きに装着する
- 逆極性のACアダプタを取り付ける
- 過大な電圧のACアダプタを取り付ける
- 安全なレベルより低い電圧までバッテリーを放電する

これにより、電源電圧が高すぎたり、低すぎたり、更には負電圧になる状況につながります。これらの電源を電子システムに直接接続すると、システムは損傷する可能性があります。LTC4367は、入力電圧フォルト保護機能を備えたNチャンネルMOSFETコントローラです。このデバイスは、入力電源を負荷から切り離して予想外の電源電圧状態から負荷を保護しつつ、条件を満たす電源に対して低損失の経路を実現します。

過去には、不適切に接続された電源から電子システムを保護するため、システム設計者はディスクリートのダイオード、トランジスタ、および高電圧コンパレータを追加しがちでした。高電圧コンパレータは、入力電源が目的の電圧範囲内に収まる場合にのみ、システム電源をイネーブルします。通常、電源にショットキ・ダイオードまたはPチャンネルMOSFETを直列に追加すると、逆電源電圧の接続に対して保護します。

LTC4367は高精度の過電圧および低電圧コンパレータを内蔵しており、ユーザーが選択可能な電圧範囲内に入力電源電圧が収まっている場合にのみ、システムに電力が供給されるようになっています。逆電源電圧保護回路により、負荷は負の入力電圧から自動的に切り離されます。通常動作時は、高電圧のチャージポンプが外付けのNチャンネル・パワーMOSFETのゲート電圧を上昇させます。消費電力となる電流は、シャットダウン時は $5\mu\text{A}$ であり、動作時は $70\mu\text{A}$ です。LTC4367は、これらの全ての機能を8ピンMSOPパッケージおよび $3\text{mm}\times 3\text{mm}$ DFNパッケージに集積しています。

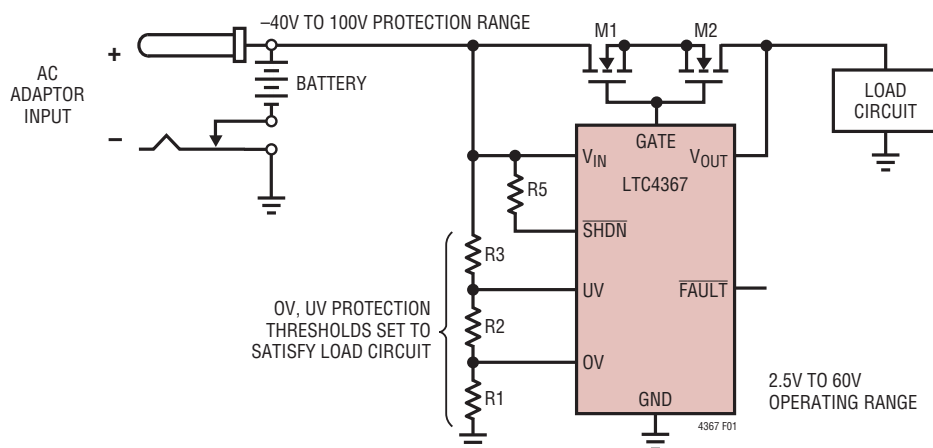


図1. 多くのポータブル製品に共通する動作回路図

## アプリケーション情報

LTC4367は、障害のある電源接続から負荷を保護するNチャネルMOSFETコントローラです。LTC4367を使用する基本的なアプリケーション回路を図2に示します。この回路は、 $V_{IN}$ の電圧範囲が3.5V～18Vである限り、 $V_{IN}$ と $V_{OUT}$ の間を低損失で接続します。 $V_{IN}$ の電圧は、3.5V～18Vの範囲から外れると、負荷に到達するのが防止されます。また、電圧の可能な最大値は100V、最小値は-40Vです。図2の回路は、図に示すように負の電圧に対して $V_{IN}$ を保護します。この他の外付け部品は不要です。

通常動作時に、LTC4367は、外付けのバック・トゥ・バックNチャネルMOSFETのゲート電圧を最大13.1Vまで高めます。これによりMOSFETがオンするので、 $V_{OUT}$ の負荷が $V_{IN}$ の電源に接続されます。

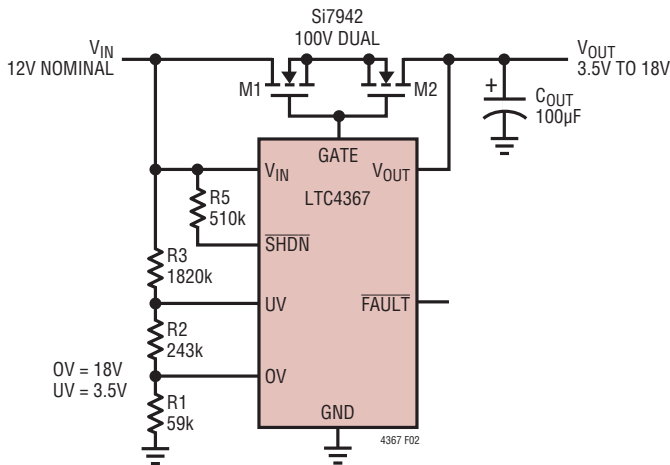


図2. -40V～100Vの範囲の $V_{IN}$ フォルトから負荷を保護するLTC4367

## GATEの駆動

LTC4367は、GATEピンの電圧を $V_{OUT}$ の電圧より高く駆動することにより、外付けのNチャネルMOSFETをオンします。GATEピンと $V_{OUT}$ ピンの間の電圧差(ゲート駆動電圧)は、 $V_{IN}$ (の電圧)と $V_{OUT}$ (の電圧)の関数です。

$V_{IN}$ および $V_{OUT}$ でのゲート駆動電圧の依存性を図3に示します。システムの電源を初めて投入したとき( $\overline{\text{SHDN}}$ が“L”から“H”に切り替わり、 $V_{OUT} = 0V$ のとき)、ゲート駆動電圧は、 $V_{IN}$ の全ての値のうち最大になります。これによって負荷をサポートする十分なゲート駆動電圧が確保されるので、重い負荷で起動するという問題を未然に防ぐのに役立ちます。

$V_{OUT}$ が0Vから上昇していくとき、 $V_{OUT}$ が $(V_{IN} - 1V)$ と5Vの低い方の値より高くなるまで、GATEの電圧の絶対値は固定されたままです。 $V_{OUT}$ がこのしきい値を超えるとゲート駆動電圧は増加し始め、最大で13.1Vになります( $V_{IN} \geq 12V$ の場合)。図3の曲線は、GATEピンの負荷を $-1\mu A$ にして測定した結果です。GATEピンに負荷を接続しなかったとすると、各 $V_{IN}$ でのゲート駆動電圧はわずかに高くなると考えられます。

$V_{IN}$ が動作電圧範囲の下限である場合は、これに対応する低いしきい値電圧の外付けNチャネルMOSFETを選択する必要がありますことに注意してください。

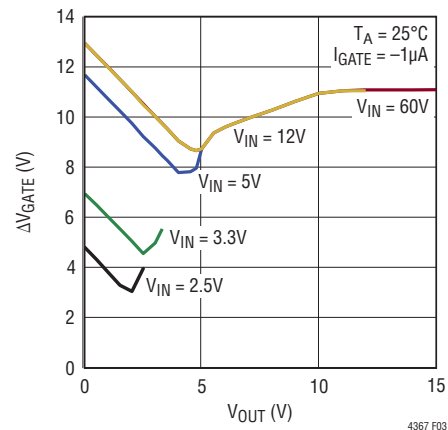


図3. ゲート駆動電圧(GATE -  $V_{OUT}$ )と $V_{OUT}$

## アプリケーション情報

$V_{IN}$ のさまざまな電源電圧に適合するいくつかの外付けMOSFETを表1に示します。

表1. さまざまな電源電圧範囲に適合するデュアルMOSFET

$V_{IN}$	MOSFET	$V_{TH}(MAX)$	$V_{GS}(MAX)$	$V_{DS}(MAX)$	$R_{DS}(ON)$ ( $\Omega$ )
2.5V	SiA920	0.7V	5V	8V	0.027
3.3V	SiA910	1.0V	8V	12V	0.028
3.3V	Si6926	1.0V	8V	20V	0.030
5V	SiA906	1.4V	12V	20V	0.046
5V	Si9926	1.5V	12V	20V	0.018
>12V	SiZ340	2.4V	20V	30V	0.010
>12V	Si4288	2.5V	20V	40V	0.020
>12V	Si7220	3V	20V	60V	0.060
>12V	Si4946	3V	20V	60V	0.040
>12V	FDS3890	4V	20V	80V	0.044
>12V	Si7942	4V	20V	100V	0.049
>12V	FDS3992	4V	20V	100V	0.054
>12V	Si7956	4V	20V	150V	0.105

## 過電圧保護と低電圧保護

LTC4367は、 $V_{IN}$ の過電圧(OV)状態および低電圧(UV)状態をモニタする2つの高精度コンパレータを内蔵しています。入力電源電圧が上昇して、ユーザーが調整可能なOVしきい値より高くなると、外付けMOSFETのゲートが急速にオフするので、負荷が入力から切り離されます。同様に、入力電源電圧が下降して、ユーザーが調整可能なUVしきい値より低くなると、外付けMOSFETのゲートはやはり急速にオフします。入力電源電圧が12VのUV/OVアプリケーションを図4に示します。

外付け抵抗分割器により、ユーザーは $V_{OUT}$ の負荷に適した入力電源電圧範囲を選択することができます。更に、UV入力およびOV入力の漏れ電流は非常に少ない(標準1nA未満、100°C時)ので、外付け抵抗分割器の抵抗値を大きくすることができます。図4のアプリケーションでは、 $V_{IN}$ の電圧範囲が3.5V~18Vの場合だけ、負荷が電源に接続されます。 $V_{IN}$ が18Vより高くなるか3.5Vより低くなると、外付けMOSFETのゲートは60mAのシンク電流によって直ちに放電されるので、負荷は電源から切り離されます。

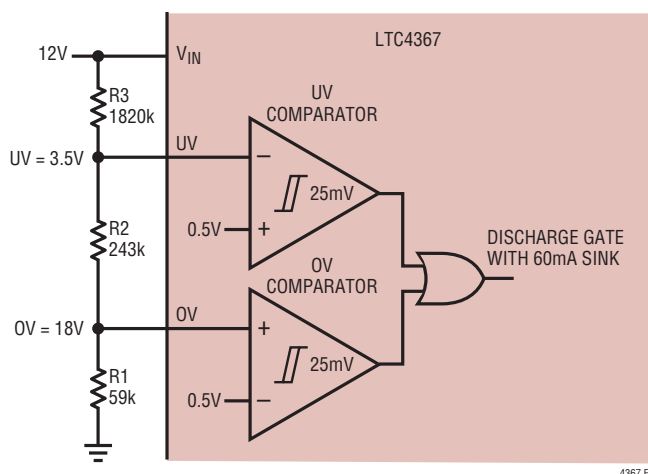


図4. UV、OVコンパレータが12Vの電源をモニタ

4367 F04

## アプリケーション情報

UVピンに関連したタイミングを図5に示します。UVフォルトがUVコンパレータを通じて伝搬すると( $t_{FAULT}$ )、 $\overline{FAULT}$ 出力は“L”にアサートされ、60mAのシンク電流によってGATEピンが放電されます。 $V_{OUT}$ が低下するにつれて、GATEピンの電圧は $V_{OUT}$ に追従します。

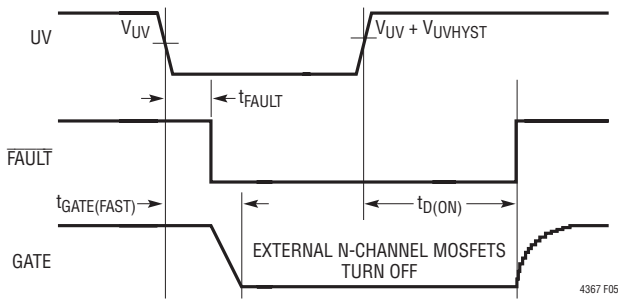


図5. UVピンのタイミング ( $OV < (V_{OV} - V_{OVHYST})$ 、 $\overline{SHDN} > 1.2V$ )

OVピンに関連したタイミングを図6に示します。OVフォルトがOVコンパレータを通じて伝搬すると( $t_{FAULT}$ )、 $\overline{FAULT}$ 出力は“L”にアサートされ、60mAのシンク電流によってGATEピンが放電されます。 $V_{OUT}$ が低下するにつれて、GATEピンの電圧は $V_{OUT}$ に追従します。

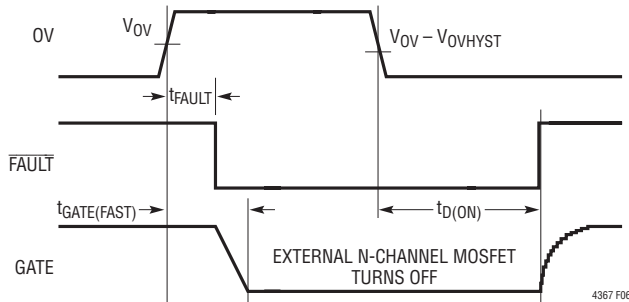


図6. OVピンのタイミング ( $UV > (V_{UV} + V_{UVHYST})$ 、 $\overline{SHDN} > 1.2V$ )

UVフォルトとOVフォルトが両方解消されても、外付けMOSFETはすぐにはオンしません。負荷を電源に再度接続する前に、ユーザーが選択したパワーグッド電圧範囲内に入力電源が32ms ( $t_{D(ON)}$ )以上留まる必要があります。このGATEターンオン遅延時間により、入力電源での(ライン・ノイズなどの)ノイズが除去され、負荷での電源のチャタリングが防止されます。フォルト発生後に迅速にオンすることが必要なアプリケーション向けに、LTC4367-1は500 $\mu$ sのGATEターンオン遅延時間を実現しています。

### UV/OVの外付け抵抗値の選択手順

以下の3段階の手順は、図4の抵抗分割器の抵抗値を選択するのに役立ちます。この手順により、UVピンとOVピンでの漏れ電流に起因するそれぞれのオフセット誤差は最小限に抑えられます。

1. UVピンでの許容最大オフセット誤差  $V_{OS(UV)}$  を選択します。この値を、UVピンでの最悪の場合の漏れ電流  $I_{LEAK}$  (10nA) で割ります。R1 + R2の和を、 $V_{OS(UV)}$  を10nAで割った値と等しい値に設定します。R3が存在するため、UVでの実際のオフセットは若干小さくなります。

$$R1 + R2 \leq \frac{V_{OS(UV)}}{I_{LEAK}}$$

2. 目的とする  $V_{IN}$  のUV保護作動しきい値  $UV_{TH}$  を選択します。R3の値を次式で求めます。

$$R3 = \frac{V_{OS(UV)}}{I_{LEAK}} \cdot \left( \frac{UV_{TH} - 0.5V}{0.5V} \right)$$

3. 目的とする  $V_{IN}$  のOV保護作動しきい値  $OV_{TH}$  を選択します。R1およびR2の値を次式で求めます。

$$R1 = \frac{\left( \frac{V_{OS(UV)}}{I_{LEAK}} \right) + R3}{OV_{TH}} \cdot 0.5V$$

$$R2 = \frac{V_{OS(UV)}}{I_{LEAK}} - R1$$

図4の例では、標準的な1%精度の抵抗値を使用します。以下のパラメータを選択しました。

$$V_{OS(UV)} = 3mV$$

$$I_{LEAK} = 10nA$$

$$UV_{TH} = 3.5V$$

$$OV_{TH} = 18V$$

## アプリケーション情報

これにより、抵抗値を次のように求めることができます。

$$1. R1 + R2 = \frac{3\text{mV}}{10\text{nA}} = 300\text{k}$$

$$2. R3 = \frac{3\text{mV}}{10\text{nA}} \cdot \frac{(3.5\text{V} - 0.5\text{V})}{0.5\text{V}} = 1.8\text{M}$$

最も近い1%精度の値は、次のとおりです。R3 = 1.82M

$$3. R1 = \frac{300\text{k} + 1.82\text{M}}{2 \cdot 18\text{V}} = 58.9\text{k}$$

最も近い1%精度の値は、次のとおりです。R1 = 59k

$$R2 = 300\text{k} - 59\text{k} = 241\text{k}$$

最も近い1%精度の値は、次のとおりです。R2 = 243k

したがって次のようになります。OV = 17.93V、UV = 3.51V

### 逆入力電圧保護

LTC4367の堅牢で活線挿抜可能なV<sub>IN</sub>入力により、出力負荷にある損傷を受けやすい回路を保護するのに役立ちます。入力電源を逆極性で差し込んだ場合、つまり負電圧の電源を誤って接続した場合、LTC4367はこの負電圧が出力負荷に通電されないようにします。

LTC4367は、新しい高速逆電源電圧モニタを採用しています。負のV<sub>IN</sub>電圧が検出されると、内部スイッチは外付けのバック・トゥ・バックNチャンネルMOSFETのゲートを負電圧の入力電源に接続します。

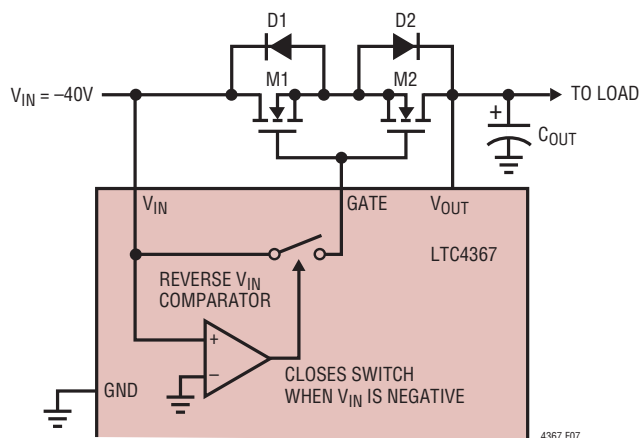


図7. 逆入力電圧保護回路

図7に示すように、逆電源電圧保護には外付けのバック・トゥ・バックNチャンネルMOSFETが必要です。V<sub>IN</sub>の電圧が負になると、逆V<sub>IN</sub>コンパレータは内部のスイッチを閉じて、更に外付けMOSFETのゲートを負のV<sub>IN</sub>電圧に接続します。M1のボディ・ダイオード(D1)は導通しますが、M2のボディ・ダイオード(D2)は逆流防止モードのままです。これは、M1とM2の共通ソース接続が、およそダイオード1個分の電圧降下だけV<sub>IN</sub>より高い電圧に維持されることを意味します。M2のゲート電圧がV<sub>IN</sub>と短絡するので、M2はオフになり、V<sub>IN</sub>からV<sub>OUT</sub>の負荷には電流が流れません。M2の電圧定格はV<sub>IN</sub>での逆電圧変動に耐える必要があることに注意してください。

V<sub>IN</sub>を-20Vに活線挿入した場合に得られる波形を図8に示します。V<sub>IN</sub>、GATE、およびV<sub>OUT</sub>は、接続される直前、グラウンド電位から立ち上がります。V<sub>IN</sub>とGATEの接続に寄生インダクタンスが存在するため、V<sub>IN</sub>ピンとGATEピンの電圧にはリングングが生じて-20Vより大幅に低くなります。したがって、40VのNチャンネルMOSFETを選択したのは、オーバーシュートを切り抜けるためです。

LTC4367の逆電圧保護回路の動作速度が速いことは、負のトランジェント発生時に、GATEピンの電圧がいかにかV<sub>IN</sub>に接近して追従しているかによって明らかです。2つの波形は、表示のスケールではほとんど区別できません。

一方で、V<sub>OUT</sub>のトレースはV<sub>IN</sub>での負電圧にตอบสนองしていないので、目的の逆電源電圧保護動作を示しています。図8の波形は、40VのデュアルNチャンネルMOSFETと10μFのセラミック出力コンデンサを使用し、V<sub>OUT</sub>に負荷電流を流さない条件で取り込みました。

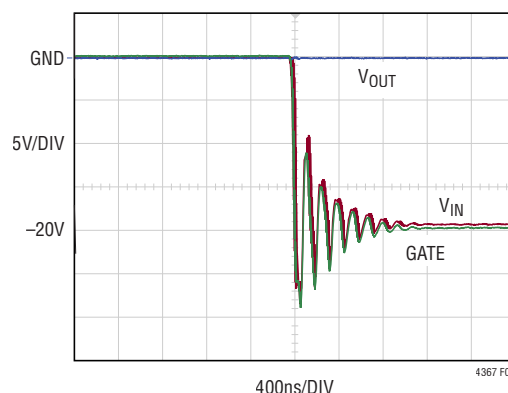


図8. V<sub>IN</sub>の-20Vへの活線挿入

## アプリケーション情報

### GATE ターンオン遅延タイム

LTC4367は、 $V_{IN}$ でのノイズを除去し、 $V_{OUT}$ でのチャタリングを防ぐのに役立つGATEターンオン遅延タイムを内蔵しています。OVフォルトまたはUVフォルトの発生後、外付けMOSFETを再度オンするには、図5および図6に示すように、入力電源電圧が目的の動作電圧範囲内に32ms ( $t_{D(ON)}$ )以上戻る必要があります。フォルト発生後に迅速にオンすることが必要なアプリケーション向けに、LTC4367-1は500 $\mu$ sのGATEターンオン遅延時間を実現しています。

フォルト状態を脱してからフォルト状態に戻るまでの時間が $t_{D(ON)}$ より短いと、MOSFETは引き続きオフのままです。同様に、シャットダウン状態を脱すると(SHDNが“L”から“H”に切り替わると)、800 $\mu$ sの起動遅延タイムが作動します(図11参照)。

また、デバイスが起動している間は、GATEターンオン遅延タイムも動作しています。このタイムは、 $V_{IN}$ の電圧が $V_{IN(UVLO)}$ より高くなり、ユーザーが選択可能なUV/OVパワーグッド電圧範囲内に $V_{IN}$ の電圧が入ると起動します。図9を参照してください。

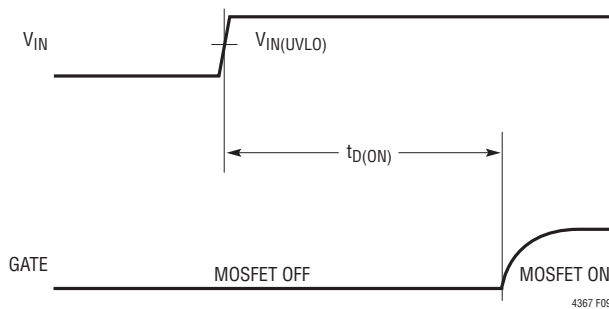


図9. 電源投入時のGATEターンオン遅延のタイミング  
(OV = GND、UV = SHDN =  $V_{IN}$ )

### シャットダウン

$\overline{\text{SHDN}}$  入力は、外付けMOSFETを制御状態でオフします。 $\overline{\text{SHDN}}$ が“L”にアサートされると、90 $\mu$ Aのシンク電流により、外付けMOSFETは徐々にオフし始めます。

GATEピンの電圧が $V_{OUT}$ ピンの電圧より低くなると、シンク電流は減少し、帰還ループが制御を引き継ぎます。このループによってGATEの電圧は $V_{OUT}$ に追従するので、 $V_{OUT}$ が低下するのに応じて、外付けMOSFETはオフ状態に維持されます。 $V_{OUT} < 2.2V$ の場合、GATEピンの電圧はグラウンドから400mV以内まで低下します。

ゲートのオフ状態が弱いと負荷電流のスルーレートが低下するので、寄生インダクタンスによる電圧スパイクは緩和されません。GATEピンのスルーレートを更に低下させるには、外付けMOSFETのゲート端子とソース端子の間にコンデンサを配置します。図10の波形は、デュアルNチャンネルMOSFETとしてSi4214を使用し、100 $\mu$ Fの出力コンデンサを接続して2A負荷の条件で取り込みました。

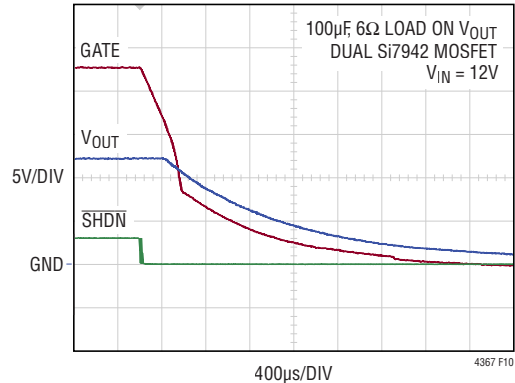


図10. シャットダウン:GATEの電圧は $V_{OUT}$ の低下に応じて $V_{OUT}$ に追従

### FAULTの状態

高電圧オープンドレイン出力 $\overline{\text{FAULT}}$ が“L”になるのは、 $\overline{\text{SHDN}}$ が“L”にアサートされた場合、 $V_{IN}$ が目的のUV/OV電圧範囲内に入らない場合、または $V_{IN}$ が $V_{IN(UVLO)}$ より高くならなかった場合です。図5、図6、および図11に、 $\overline{\text{FAULT}}$ 出力のタイミングを示します。

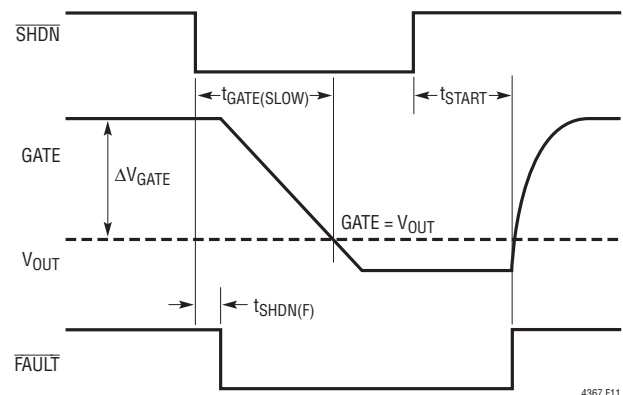


図11. シャットダウンのタイミング

## アプリケーション情報

### 2つの入力電源間での選択

デバイスがシャットダウン状態である場合は、 $V_{IN}$ ピンと $V_{OUT}$ ピンを異なる電源で駆動してもかまいません。その後、LTC4367は、2つの電源のうち電圧が低い方よりわずかに低い電圧でGATEピンを自動的に駆動するので、外付けのバック・トゥ・バックMOSFETはオフします。図12のアプリケーションでは、2つのLTC4367を使用して、2つの電源のいずれかを選択します。どの時点でも2つのLTC4367のうち1つだけがイネーブルされているように注意してください。

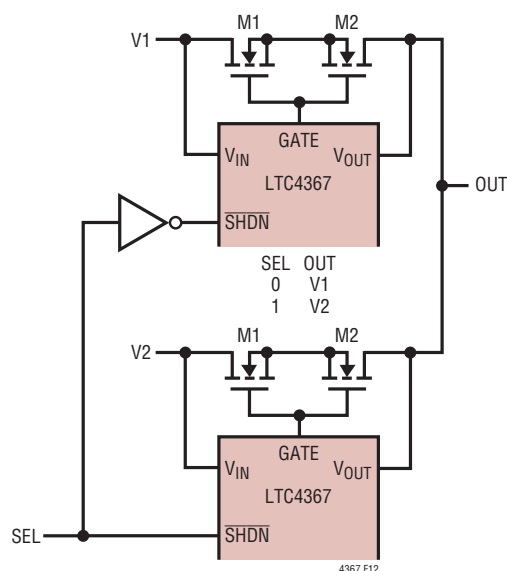


図12. 2つの電源のうち1つを選択

### 単一MOSFETアプリケーション

逆入力電圧保護が必要ない場合は、使用する外付けNチャンネルMOSFETを1個にしてもかまいません。図13のアプリケーション回路では、 $V_{IN}$ が30V未満の場合、負荷を $V_{IN}$ に接続し、最小限の外付け部品一式を使用します。

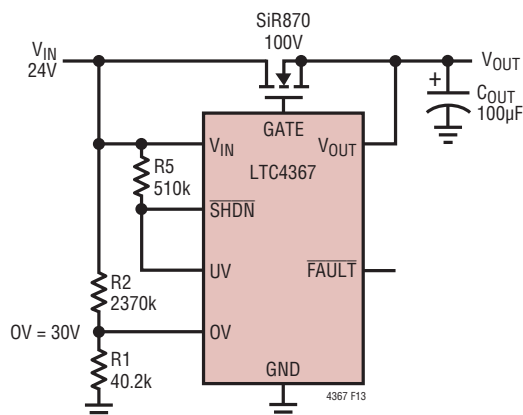


図13. 100Vに対して保護する単一MOSFETアプリケーション

### 導通中の突入電流の制限

LTC4367は、 $35\mu\text{A}$ の電流源によって外付けNチャンネルMOSFETをオンします。GATEピンでの最大スルーレートは、GATEピンにコンデンサを追加することにより低減できます。

$$\text{Slew Rate} = \frac{35\mu\text{A}}{C_{\text{GATE}}}$$

MOSFETはソース・フォロウのように動作するので、 $V_{OUT}$ でのスルーレートはGATEでのスルーレートと等しくなります。

したがって、突入電流は次式で与えられます。

$$I_{\text{INRUSH}} = \frac{C_{\text{OUT}}}{C_{\text{GATE}}} \cdot 35\mu\text{A}$$

例えば、 $330\mu\text{F}$ の出力容量に1Aの突入電流が流れる場合は、次のGATE容量が必要です。

$$C_{\text{GATE}} = \frac{35\mu\text{A} \cdot C_{\text{OUT}}}{I_{\text{INRUSH}}}$$

$$C_{\text{GATE}} = \frac{35\mu\text{A} \cdot 330\mu\text{F}}{1\text{A}} = 11.6\text{nF}$$

図14のアプリケーション回路での12nFの $C_{\text{GATE}}$ コンデンサは、1Aよりわずかに少ない値に突入電流を制限します。 $R_{\text{GATE}}$ は、UV/OVフォルトの発生時、または逆極性の $V_{IN}$ 接続時に、 $C_{\text{GATE}}$ がGATEの高速ターンオフ特性に影響しないようにするためのものです。 $R_{4A}$ と $R_{4B}$ は、外付けのNチャンネルMOSFETおよび関連の基板寄生素子による高周波発振を防ぐのに役立ちます。

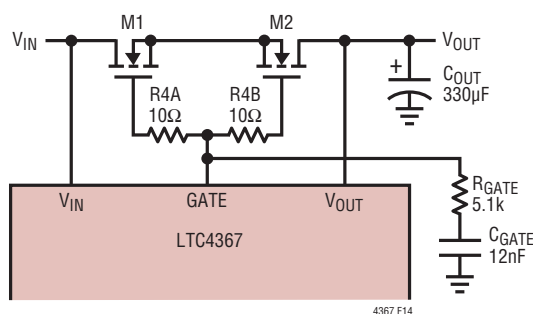


図14.  $C_{\text{GATE}}$ による突入電流の制限

## アプリケーション情報

### 0Vフォルト時のトランジェント

図15の回路を使用して、過電圧状態時のトランジェント特性を表示します。公称入力電源は48Vであり、その過電圧しきい値は60Vです。寄生インダクタンスは1フィートの線のインダクタンス(概算で300nH)です。V<sub>IN</sub>が過電圧状態のときの波形を図16に示します。これらのトランジェント特性は、配線の寄生インダクタンスと抵抗の他に、V<sub>IN</sub>ノードの容量に依存し

ます。D1は、100Vを超えるリンギングがV<sub>IN</sub>に生じる可能性があるアプリケーションで推奨されるオプションの電源クランプ(TVS、TransZorb)です。図16の波形は、クランプを使用せずに取り込みました。逆電源電圧保護機能を維持するため、D1は、パルス電力損失のピーク値が225W以上であることを定格とする双方向クランプである必要があります。

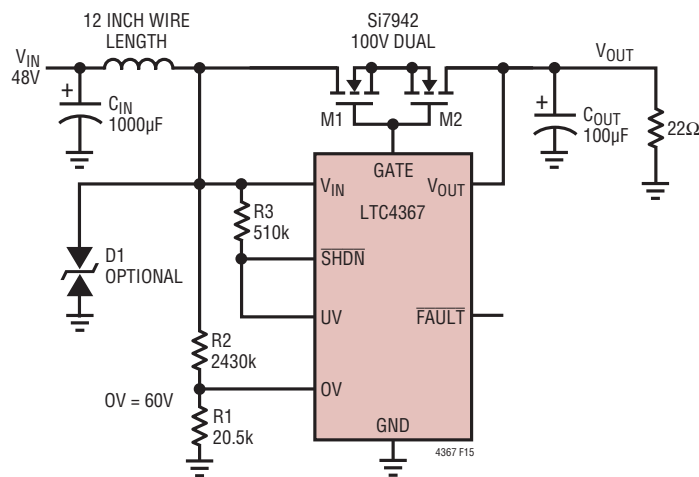


図15. V<sub>IN</sub>のインダクタンスが大きい場合の0Vフォルト

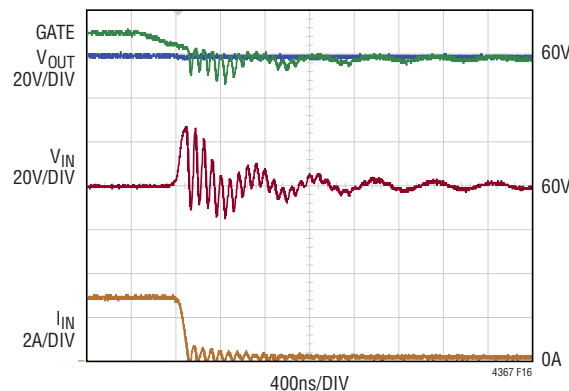


図16. TransZorb (TVS)を使用しない場合の0V発生時のトランジェント波形

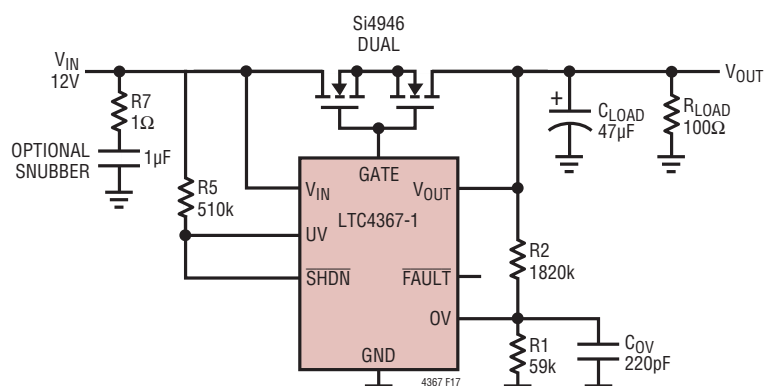


## アプリケーション情報

## レギュレータ・アプリケーション

## ヒステリシス・レギュレータ

ヒステリシスが組み込みで反転と非反転の両方の制御入力 (OVおよびUV)を使用できると、ヒステリシス・レギュレータを設計するのが簡単になります。LTC4367-1がOVトランジェントから負荷を保護しつつ、出力電圧をユーザー定義のレベルで安定化するための回路を図17に示します。出力電圧がそのOV制限値に達すると、LTC4367-1は外付けMOSFETをオフします。その後、OVの電圧がヒステリシス電圧より低くなるまで、負荷電流が出力容量を放電します。外付けMOSFETは、500 $\mu$ sの遅延時間後にオンに戻ります。図18は、図17の回路の波形を示しています。V<sub>IN</sub>のグリッチの持続時間、大きさ、およびデューティ・サイクルは、外付けMOSFETのSOA定格を超えることができないので注意してください。

図17. OVトランジェント時のV<sub>OUT</sub>のヒステリシス・レギュレーション

## ソーラー・チャージャ

ソーラー・チャージャのシリーズ・レギュレータを図19に示します。バッテリーの電圧が13.9Vより低くなると、(500 $\mu$ sの遅延時間後に) LTC4367-1はソーラー・チャージャをバッテリーに接続します。反対に、バッテリーの電圧が14.6Vに達すると、LTC4367-1は直ちに(2 $\mu$ s後に)充電経路を開きます。

バッテリー電圧のレギュレーションを実現するには、バッテリーと高精度OVコンパレータの入力間に抵抗分割器を接続します(5%のヒステリシスあり)。OVコンパレータの立ち上がり応答は高速なので、バッテリーの電圧がユーザー選択しきい値より高くなることはありません。

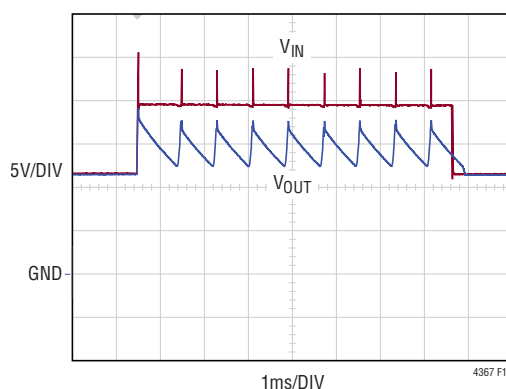
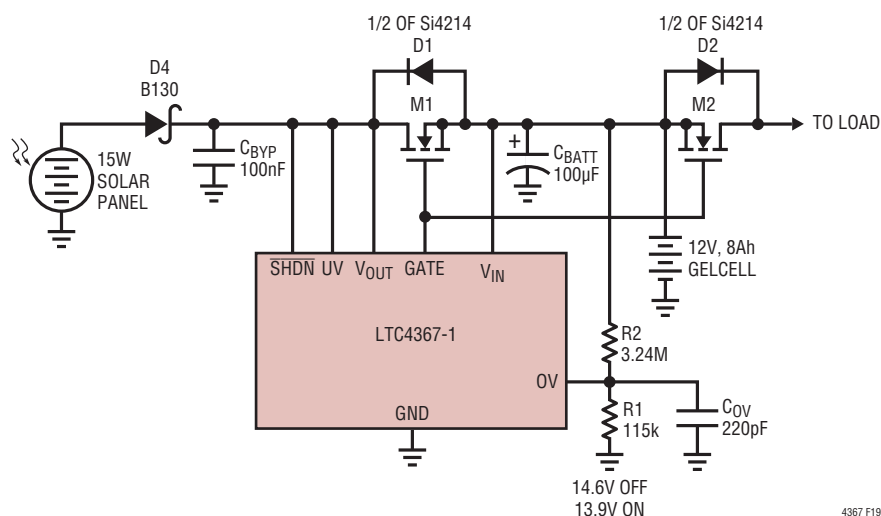
図18. V<sub>IN</sub>のグリッチが目標レベルより高い場合V<sub>OUT</sub>は16Vで安定化

図19. バッテリ逆接続保護回路と太陽電池パネル保護回路を備えた直列型ヒステリシス・ソーラー・チャージャ

## アプリケーション情報

最初の電源投入時は、バッテリーを  $V_{IN}$  ピンに初めて接続するまで、LTC4367-1 は外付け MOSFET をオンしないことに注意してください。動作を開始するには、 $V_{IN}$  が最初に UVLO ロックアウト電圧の 2.2V より高くなる必要があります。バッテリーを接続すると、LTC4367-1 は UVLO 状態から確実に抜け出すことができます。

### 150V のトランジェント保護機能を備えた 12V アプリケーション

最大 150V の入力電源トランジェントに耐える 12V のアプリケーションを図 20 に示します。入力電圧が 17.9V を超えると、OV の抵抗分割器によって外付け MOSFET はオフします。 $V_{IN}$  が 150V まで上昇していく中で、トランジスタ M1 のゲートはオフ状態のままなので、 $V_{IN}$  と  $V_{OUT}$  の間は導通しません。M1 の動作電圧範囲は 150V を超える必要があることに注意してください。

抵抗  $R_6$  とダイオード  $D_3$  は、LTC4367 の電源電圧を 50V にクランプします。 $R_6$  が逆方向の動作を妨げないように、推奨値は 1k 以下です。トランジェント時の過熱を防止するため、 $R_6$  の許容消費電力を検討する必要があります。また、 $V_{IN}$  の負電圧から  $V_{OUT}$  を保護するためには M2 も必要です。M2 の動作電圧範囲は  $D_3$  のブレークダウン電圧より広い必要があります。逆極性保護が必要ない場合は、M2 を取り外して M1 のソースを  $V_{OUT}$  に直接接続します。

### MOSFET の選択

$V_{IN}$  の負電圧から保護するには、外付けの N チャネル MOSFET をバック・トゥ・バックの配置で構成する必要があります。したがって、デュアル N チャネル・パッケージを選択するのが最適で

す。MOSFET の選択基準は、その許容消費電力、ドレインとゲートのブレークダウン電圧、およびしきい電圧です。

ドレイン/ソース間のブレークダウン電圧は、 $V_{IN}$  と  $V_{OUT}$  の間で予想される最大電圧より高い必要があります。通常動作時または Hot Swap™ 時にアプリケーションが高エネルギーのトランジェント電圧を発生する場合は、外付けの MOSFET がこのトランジェント電圧に耐えることができる必要があることに注意してください。

GATE ピンを駆動するチャージポンプは高インピーダンスの特性を持っているので、GATE ピンでの全漏れ電流は少なく抑える必要があります。図 3 のゲート駆動曲線は、GATE ピンに  $1\mu\text{A}$  の負荷をかけて測定しました。したがって、図 3 の曲線と一致させるには、GATE ピンの漏れ電流を  $1\mu\text{A}$  以下に抑える必要があります。漏れ電流がそれより多いと、ゲート駆動電圧は低くなります。表 1 に示すデュアル N チャネル MOSFET の最大ゲート漏れ電流は、全て 100nA です。更に、表 1 には、異なる値の  $V_{IN}$  で動作する代表的な MOSFET を示しています。

### レイアウトに関する検討事項

$V_{IN}$  ピンと外付け MOSFET のドレインの間のトレース長は、LTC4367 の GATE ピンと外付け MOSFET のゲートの間のトレース長と同様に、最小限に抑えます。

$V_{OUT}$  のバイパス・コンデンサは、外付け MOSFET にできるだけ近づけて配置します。バルク・コンデンサの他に高周波のセラミック・コンデンサを使用して、Hot Swap のリンギングを軽減します。高周波のコンデンサは、MOSFET に最も近い場所に配置します。バルク・コンデンサはそれ自体の ESR により、リンギングを軽減することに注意してください。セラミック・コンデンサは低 ESR なので、コンデンサ自体の共振振動数の近くでリンギングが発生することがあります。

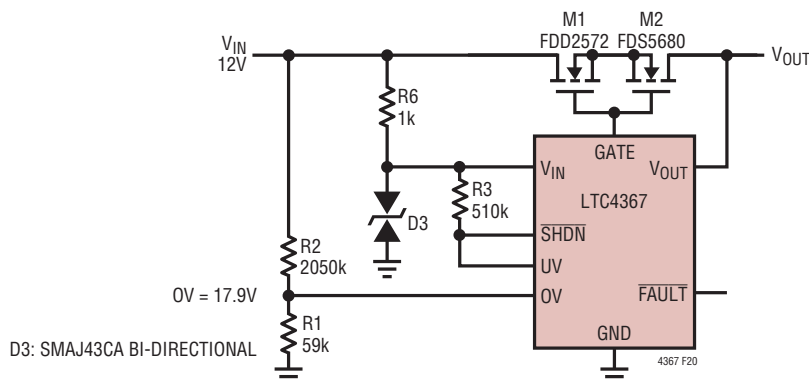


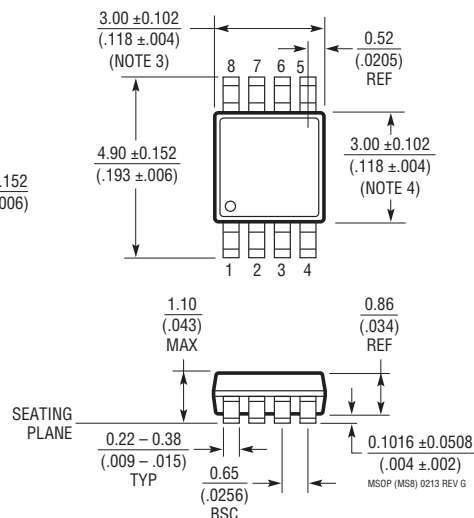
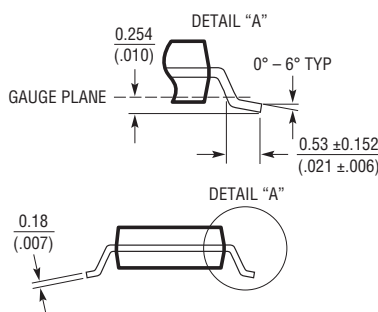
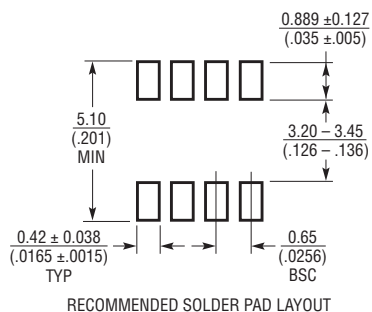
図 20. 150V のトランジェントから保護されている 12V アプリケーション

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

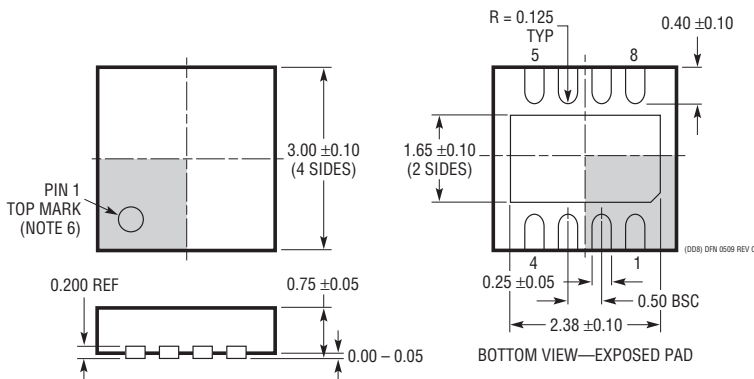
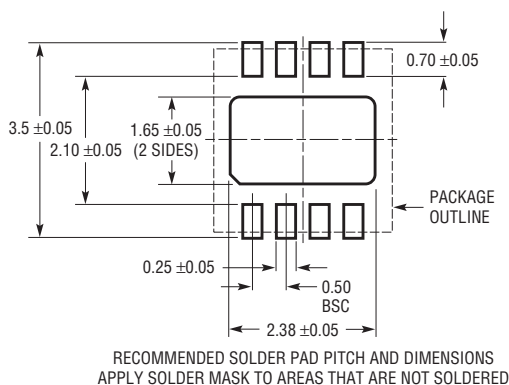
**MS8 Package**  
**8-Lead Plastic MSOP**

(Reference LTC DWG # 05-08-1660 Rev G)



- 注記:
1. 寸法はミリメートル(インチ)
  2. 図は実寸とは異なる
  3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない  
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006")を超えないこと
  4. 寸法には、リード間のバリまたは突出部を含まない  
リード間のバリまたは突出部は、各サイドで0.152mm (0.006")を超えないこと
  5. リードの平坦度(整形後のリードの底面)は最大0.102mm (0.004")であること

**DD Package**  
**8-Lead Plastic DFN (3mm × 3mm)**  
(Reference LTC DWG # 05-08-1698 Rev C)



- 注記:
1. 図は JEDEC のパッケージ外形 M0-229 のバリエーション (WEED-1) になる予定
  2. 図は実寸とは異なる
  3. 全ての寸法はミリメートル
  4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
  5. 露出パッドは半田メッキとする
  6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

