

### 特長

- 2.5V~5.5Vで動作
- 80Vまでの過電圧保護
- ほとんどのアプリケーションで  
入力コンデンサやTVSが不要
- 2%精度の5.8V過電圧スレッシュホールド
- 10%精度の50mV過電流回路ブレーカ
- 過電圧発生時に1μs以内でオフ、ソフトなシャットダウン
- NチャンネルMOSFETを制御
- 調整可能なパワーアップdV/dtにより、突入電流を制限
- 逆電圧保護
- パワーグッド出力
- 低電流のシャットダウン
- 過電流後にラッチオフ(LTC4361-1)  
または自動リトライ(LTC4361-2)
- 8ピンThinSOT™パッケージと  
8ピン(2mm×2mm)DFNパッケージ

### アプリケーション

- USB保護
- ハンドヘルド・コンピュータ
- 携帯電話/スマートフォン
- MP3/MP4プレーヤー
- デジタルカメラ

### 概要

LTC<sup>®</sup>4361過電圧/過電流保護コントローラは、2.5V~5.5Vのシステムを入力電源の過電圧から保護します。このデバイスは、ACアダプタ、カーバッテリー・アダプタ、USBポートなどの複数の電源オプションを備えた携帯機器向けに設計されています。

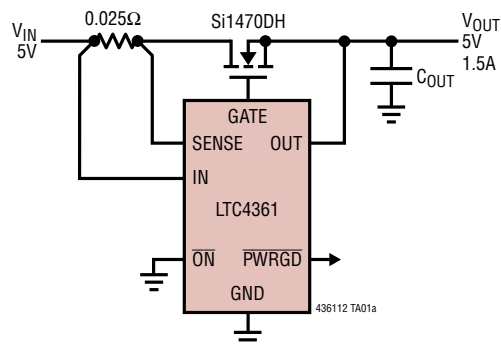
LTC4361は入力電源に直列に接続された外付けNチャンネルMOSFETを制御します。過渡過電圧が生じると、LTC4361は1μs以内にMOSFETをオフして、下流の部品を入力電源から切断します。誘導性のケーブルの過渡電圧は、MOSFETと負荷容量によって吸収されます。ほとんどのアプリケーションにおいて、LTC4361は過渡電圧サプレッサなどの外付け部品を追加しなくても、最大80Vの過渡電圧保護を実現します。

LTC4361は遅延付きの起動制御と、突入電流を制限するための調整可能なdV/dtランプアップ制御を備えています。PWRGDピンは、V<sub>IN</sub>のパワーグッド・モニタを行います。LTC4361はONピンによって制御されるソフトなシャットダウン機能を備えており、負電圧保護のためのオプションの外付けPチャンネルMOSFETをドライブします。過電圧状態の後、LTC4361は起動遅延をとまって自動的に再起動します。過電流フォールト発生後、LTC4361-1はオフのままですが、LTC4361-2は130msの起動遅延の後に自動的に再起動します。

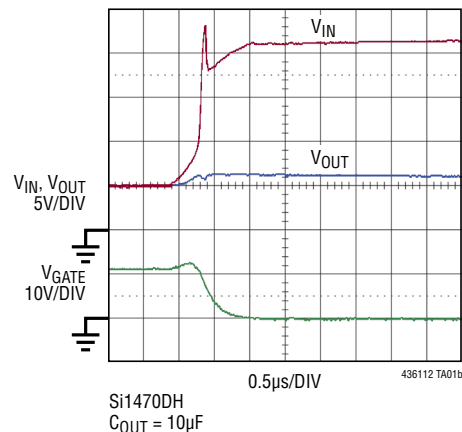
LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。ThinSOT、Hot Swap、No RSENSEおよびPowerPathは、リニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例

過電圧保護および過電流保護



入力の過電圧から出力を保護



# LTC4361-1/LTC4361-2

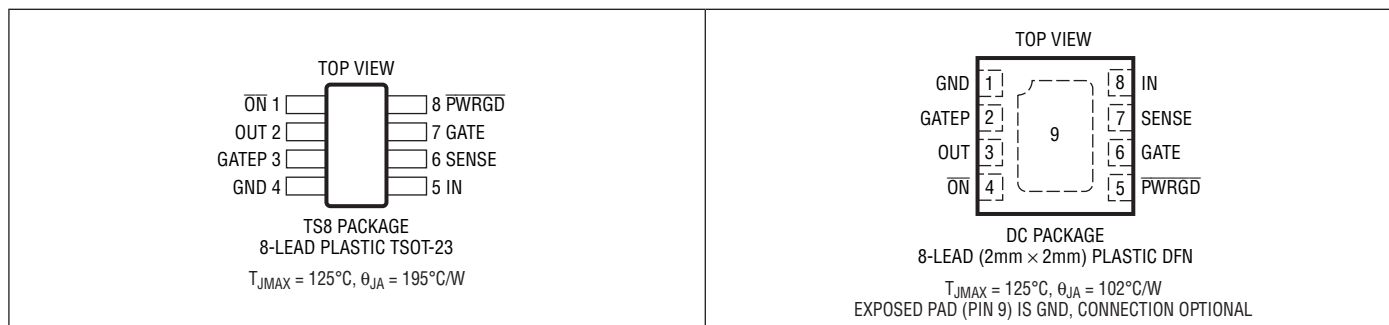
## 絶対最大定格

(Note 1, 2)

バイアス電源電圧 (IN) .....	-0.3V~85V
入力電圧	
SENSE.....	-0.3V~85V
OUT、 $\overline{\text{ON}}$ .....	-0.3V~9V
出力電圧	
PWRGD.....	-0.3V~9V
GATE (Note 3).....	-0.3V~15V
GATEP.....	-0.3V~85V
IN-GATEP間 .....	-0.3V~10V

動作温度範囲	
LTC4361C.....	0°C~70°C
LTC4361I.....	-40°C~85°C
LTC4361H.....	-40°C~125°C
保存温度範囲.....	-65°C~150°C
リード温度 (半田付け、10秒)	
TSOT.....	300°C

## ピン配置



## 発注情報

### 無鉛仕上げ

テープアンドリール(ミニ)	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4361CTS8-1#TRMPBF	LTC4361CTS8-1#TRPBF	LTDWN	8-Lead Plastic TSOT-23	0°C to 70°C
LTC4361CTS8-2#TRMPBF	LTC4361CTS8-2#TRPBF	LTFMN	8-Lead Plastic TSOT-23	0°C to 70°C
LTC4361ITS8-1#TRMPBF	LTC4361ITS8-1#TRPBF	LTDWN	8-Lead Plastic TSOT-23	-40°C to 85°C
LTC4361ITS8-2#TRMPBF	LTC4361ITS8-2#TRPBF	LTFMN	8-Lead Plastic TSOT-23	-40°C to 85°C
LTC4361HTS8-1#TRMPBF	LTC4361HTS8-1#TRPBF	LTDWN	8-Lead Plastic TSOT-23	-40°C to 125°C
LTC4361HTS8-2#TRMPBF	LTC4361HTS8-2#TRPBF	LTFMN	8-Lead Plastic TSOT-23	-40°C to 125°C
LTC4361CDC-1#TRMPBF	LTC4361CDC-1#TRPBF	LDWP	8-Lead (2mm x 2mm) Plastic DFN	0°C to 70°C
LTC4361CDC-2#TRMPBF	LTC4361CDC-2#TRPBF	LFMP	8-Lead (2mm x 2mm) Plastic DFN	0°C to 70°C
LTC4361IDC-1#TRMPBF	LTC4361IDC-1#TRPBF	LDWP	8-Lead (2mm x 2mm) Plastic DFN	-40°C to 85°C
LTC4361IDC-2#TRMPBF	LTC4361IDC-2#TRPBF	LFMP	8-Lead (2mm x 2mm) Plastic DFN	-40°C to 85°C
LTC4361HDC-1#TRMPBF	LTC4361HDC-1#TRPBF	LDWP	8-Lead (2mm x 2mm) Plastic DFN	-40°C to 125°C
LTC4361HDC-2#TRMPBF	LTC4361HDC-2#TRPBF	LFMP	8-Lead (2mm x 2mm) Plastic DFN	-40°C to 125°C

TRM=500個 \*温度グレードは出荷時のコンテナのラベルで識別されます。

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

436112fb

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 5\text{V}$ 、 $V_{ON} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>Supplies</b>							
$V_{IN}$	Input Voltage Range		●	2.5	80	V	
$V_{IN(UVL)}$	Input Undervoltage Lockout	$V_{IN}$ Rising	●	1.8	2.1	2.47	V
$I_{IN}$	Input Supply Current	$V_{ON} = 0\text{V}$	●		220	400	$\mu\text{A}$
		$V_{ON} = 2.5\text{V}$	●		1.5	10	$\mu\text{A}$
<b>Thresholds</b>							
$V_{IN(OV)}$	IN Pin Overvoltage Threshold	$V_{IN}$ Rising	●	5.684	5.8	5.916	V
$V_{IN(OVL)}$	IN Pin Overvoltage Recovery Threshold	$V_{IN}$ Falling	●	5.51	5.7	5.85	V
$\Delta V_{OV}$	Overvoltage Hysteresis		●	25	100	260	mV
$\Delta V_{OC}$	Overcurrent Threshold	$V_{IN} - V_{SENSE}$	●	45	50	55	mV
<b>External Gate Drive</b>							
$\Delta V_{GATE}$	External N-Channel MOSFET Gate Drive ( $V_{GATE} - V_{OUT}$ )	$2.5\text{V} \leq V_{IN} < 3\text{V}$ , $I_{GATE} = -1\mu\text{A}$	●	3.5	4.5	6	V
		$3\text{V} \leq V_{IN} < 5.5\text{V}$ , $I_{GATE} = -1\mu\text{A}$	●	4.5	6	7.9	V
$V_{GATE(TH)}$	GATE High Threshold for $\overline{\text{PWRGD}}$ Status	$V_{IN} = 3.3\text{V}$	●	5.7	6.3	6.8	V
		$V_{IN} = 5\text{V}$	●	6.7	7.2	7.8	V
$I_{GATE(UP)}$	GATE Pull-Up Current	$V_{GATE} = 1\text{V}$	●	-4.5	-10	-15	$\mu\text{A}$
$V_{GATE(UP)}$	GATE Ramp-Up	$V_{GATE} = 1\text{V}$ to $7\text{V}$	●	1.3	3	4.5	V/ms
$I_{GATE(FST)}$	GATE Pull-Down Current	Fast Turn-Off, $V_{IN} = 6\text{V}$ , $V_{GATE} = 9\text{V}$ (C-, I-Grade) (H-Grade)	●	15	30	60	$\text{mA}$
			●	12	30	60	$\text{mA}$
$I_{GATE(DN)}$	GATE Pull-Down Current	$V_{ON} = 2.5\text{V}$ , $V_{GATE} = 9\text{V}$	●	5	40	80	$\mu\text{A}$
<b>Input Pins</b>							
$I_{SENSE(IN)}$	SENSE Input Current	$V_{SENSE} = 5\text{V}$			10	nA	
$I_{OUT(IN)}$	OUT Input Current	$V_{OUT} = 5\text{V}$ , $V_{ON} = 0\text{V}$	●	5	10	20	$\mu\text{A}$
		$V_{OUT} = 5\text{V}$ , $V_{ON} = 2.5\text{V}$	●		0	$\pm 3$	$\mu\text{A}$
$V_{ON(TH)}$	$\overline{\text{ON}}$ Input Threshold		●	0.4		1.5	V
$I_{ON}$	$\overline{\text{ON}}$ Pull-Down Current	$V_{ON} = 2.5\text{V}$	●	2	5	10	$\mu\text{A}$
<b>Output Pins</b>							
$V_{GATEP(CLIP)}$	IN to GATEP Clamp Voltage	$V_{IN} = 8\text{V}$ to $80\text{V}$	●	5	5.8	7.9	V
$R_{GATEP}$	GATEP Resistive Pull-Down	$V_{GATEP} = 3\text{V}$	●	0.6	2	3.2	$\text{M}\Omega$
$V_{\overline{\text{PWRGD}}(OL)}$	$\overline{\text{PWRGD}}$ Output Low Voltage	$V_{IN} = 5\text{V}$ , $I_{\overline{\text{PWRGD}}} = 3\text{mA}$ (C-, I-Grade) (H-Grade)	●		0.23	0.4	V
			●		0.23	0.5	V
$R_{\overline{\text{PWRGD}}}$	$\overline{\text{PWRGD}}$ Pull-Up Resistance to OUT	$V_{IN} = 6.5\text{V}$ , $V_{\overline{\text{PWRGD}}} = 1\text{V}$	●	220	500	800	$\text{k}\Omega$
<b>Delay</b>							
$t_{ON}$	GATE On Delay	$V_{IN}$ High to $I_{GATE} = -5\mu\text{A}$	●	50	130	219	ms
$t_{OFF}$	GATE Off Propagation Delay	$V_{IN} = \text{Step } 5\text{V to } 6.5\text{V to } \overline{\text{PWRGD}} \text{ High}$ $V_{IN} - V_{SENSE} = \text{Step } 0\text{mV to } 100\text{mV}$	●		0.25	1	$\mu\text{s}$
			●	5	10	20	$\mu\text{s}$
$t_{\overline{\text{PWRGD}}}$	$\overline{\text{PWRGD}}$ Delay	$V_{IN} = \text{Step } 5\text{V to } 6.5\text{V}$ $V_{GATE} > V_{GATE(TH)}$ to $\overline{\text{PWRGD}}$ Low	●		0.25	1	$\mu\text{s}$
			●	25	65	105	ms
$t_{\overline{\text{ON}}(OFF)}$	$\overline{\text{ON}}$ High to GATE Off	$V_{ON} = \text{Step } 0\text{V to } 2.5\text{V}$	●		2	5	$\mu\text{s}$

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** ピンに流れ込む電流は全て正。ピンから流れ出る電流は全て負。注記がない限り、全ての電圧はGNDを基準にしている。

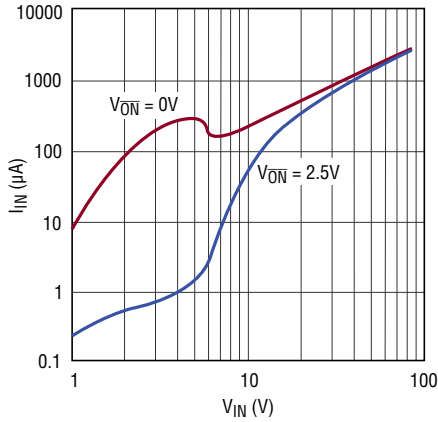
**Note 3:** 内部クランプにより、 $V_{GATE}$ は $V_{OUT}$ より少なくとも4.5V高い電圧に制限される。このピンをこのクランプ電圧より高い電圧にドライブすると、デバイスを損傷する恐れがある。

# LTC4361-1/LTC4361-2

## 標準的性能特性

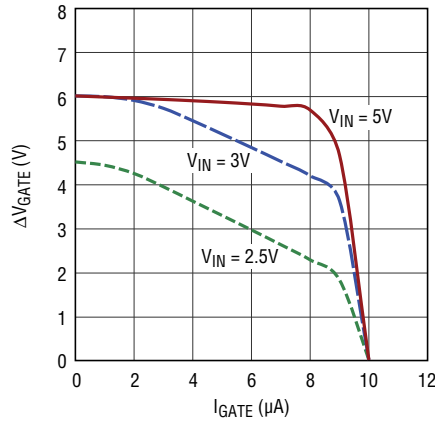
注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{ON} = 0\text{V}$ 。

入力の消費電流と入力電圧



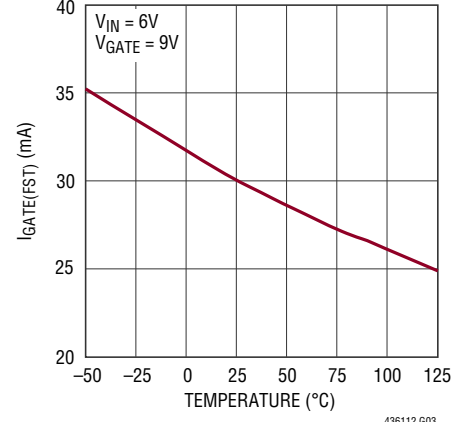
436112 G01

GATEドライブとGATE電流



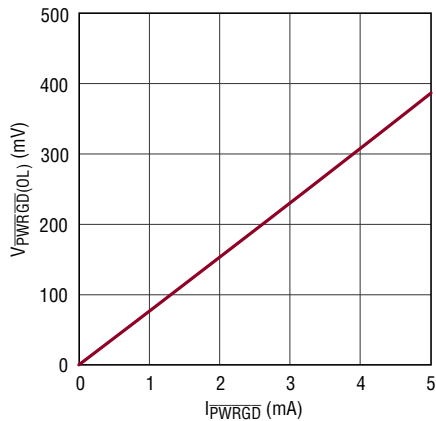
436112 G02

GATEの高速プルダウン電流と温度



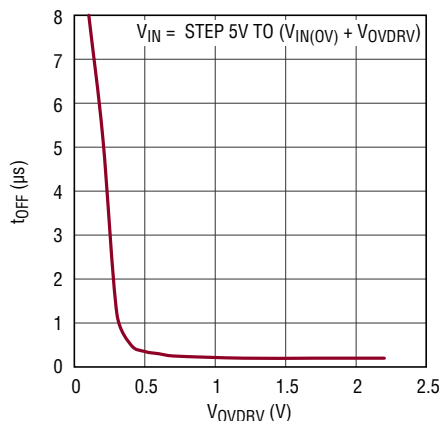
436112 G03

PWRGDの電圧と電流



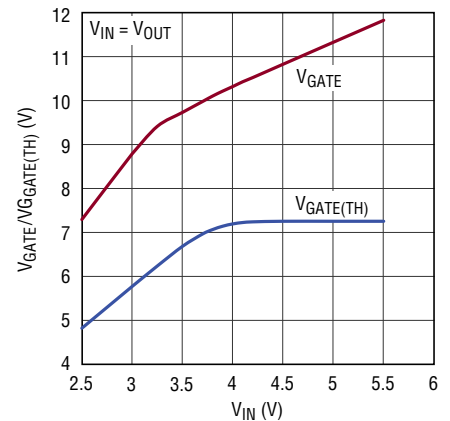
436112 G04

GATEオフ時の伝播遅延と  
オーバードライブ



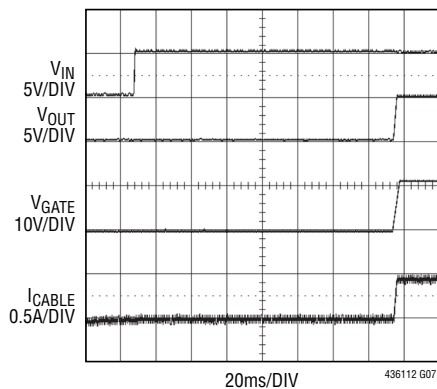
436112 G05

GATE電圧および  
(PWRGDステータス用の)GATEの  
“H”スレッシュホールドと入力電圧



436112 G06

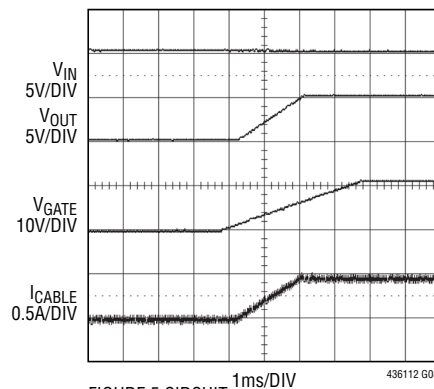
通常の起動シーケンス



436112 G07

FIGURE 5 CIRCUIT  
 $R_{IN} = 150\text{m}\Omega$ ,  $L_{IN} = 0.7\mu\text{H}$   
 $R_{SENSE} = 25\text{m}\Omega$   
LOAD =  $10\Omega$ ,  $C_{OUT} = 10\mu\text{F}$

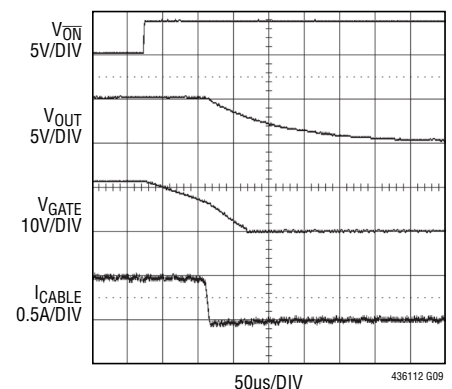
GATEピンによる緩やかな  
ランプアップ



436112 G08

FIGURE 5 CIRCUIT  
 $R_{IN} = 150\text{m}\Omega$ ,  $L_{IN} = 0.7\mu\text{H}$   
 $R_{SENSE} = 25\text{m}\Omega$   
LOAD =  $10\Omega$ ,  $C_{OUT} = 10\mu\text{F}$

スリープ・モードへの移行



436112 G09

FIGURE 5 CIRCUIT  
 $R_{IN} = 150\text{m}\Omega$ ,  $L_{IN} = 0.7\mu\text{H}$   
 $R_{SENSE} = 25\text{m}\Omega$   
LOAD =  $10\Omega$ ,  $C_{OUT} = 10\mu\text{F}$

436112fb

## ピン機能

**露出パッド (DFN):** グランド。PCBへの接続はオプションです。

**GATE:** 外付けNチャネルMOSFETのゲート・ドライブ。内部チャージポンプにより、外付けNチャネルMOSFETのゲートを充電する $10\mu\text{A}$ のプルアップ電流が供給されます。ランプ回路を追加することにより、GATEのターンオン時のランプレートが $3\text{V/ms}$ に制限されます。ランプレートを遅くするには、GATEからGNDにコンデンサを外付けします。GATEは、内部クランプによってOUTピンの電圧より $6\text{V}$ 上に制限されます。内部のGATE“H”コンパレータによってPWRGDピンが制御されます。

**GATEP:** 外付けPチャネルMOSFETのゲート・ドライブ。GATEPは、オプションの外付けPチャネルMOSFETのゲートに接続し、INの負電圧に対して保護します。このピンは内部で $V_{\text{IN}}$ より $5.8\text{V}$ 下にクランプされます。 $2\text{M}$ の内部抵抗がこのピンからグランドに接続されています。使用しない場合にはINに接続します。

**GND:** デバイスのグランド。

**IN:** 電源電圧入力。このピンは入力電源に接続します。このピンには $5.8\text{V}$ の過電圧スレッシュホールドがあります。過電圧が生じた後は、このピンが $V_{\text{IN(OV)}} - \Delta V_{\text{OV}}$ より低くならないと過電圧ロックアウトが解除されません。ロックアウトの間、GATEが“L”に保たれてPWRGDのプルダウンが解放されます。

**ON:** オン制御入力。 $\overline{\text{ON}}$ をロジック“L”にするとLTC4361はイネーブルされます。 $\overline{\text{ON}}$ をロジック“H”にすると、GATEピンの低電流プルダウンが作動してLTC4361が低電流のスリープ・モードになります。 $5\mu\text{A}$ の内部電流源が $\overline{\text{ON}}$ をグランドにプルダウンします。使用しない場合には、グランドに接続するか、またはオープンのままにします。

**OUT:** GATEをクランプするための出力電圧の検出入力。外付けNチャネルMOSFETのソースに接続して、GATEをOUTを基準にクランプするための出力電圧を検出します。

**PWRGD:** パワーグッド・ステータス。OUTへの $500\text{k}$ のプルアップ抵抗を備えたオープンドレイン出力。GATEが $V_{\text{GATE(TH)}}$ より高くランプした後、 $65\text{ms}$ の間“L”になります。

**SENSE:** 電流検出入力。INとSENSEの間に検出抵抗を接続します。検出抵抗両端の電圧が $10\mu\text{s}$ 以上 $50\text{mV}$ を超えると、過電流保護回路がNチャネルMOSFETをオフします。



## アプリケーション情報

LTC4361の標準的なアプリケーションでは、携帯機器の2.5V～5.5Vのシステムを電源の過電圧から保護します。基本的なアプリケーション回路を図1に示します。デバイスの動作と外付け部品の選択については以降のセクションで詳細に説明します。

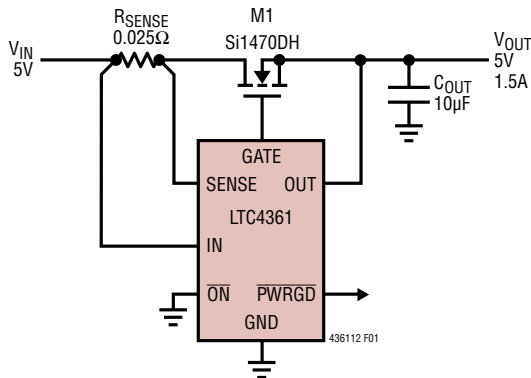


図1. 入力の過電圧および過電流からの保護

### 起動

$V_{IN}$ が2.1Vの低電圧ロックアウト・レベルより低い場合、GATEドライバが“L”に保たれて $\overline{PWRGD}$ のプルダウンが高インピーダンスになります。 $V_{IN}$ が2.1Vを上回りONが“L”に保たれていると、130msの遅延サイクルが開始します。INに低電圧または過電圧 ( $V_{IN} < 2.1V$  または  $V_{IN} > 5.7V$ ) が生じると、遅延サイクルが再開します。この遅延により、NチャネルMOSFETは起動時に生じるすべての入力過渡から出力を遮断します。遅延サイクルが終了すると、GATEは緩やかなランプアップを開始します。

### GATEの制御

$2.5V \leq V_{IN} < 3V$ の時、内部チャージポンプは3.5Vより大きいゲート・オーバードライブを提供します。 $V_{IN} \geq 3V$ の場合は、ゲート・ドライブが4.5Vより大きくなることが保証されています。これにより、ロジックレベルのNチャネルMOSFETを使用することができます。GATEとOUTの間の6Vの内部クランプがMOSFETのゲートを保護します。

GATEのランプレートは3V/msに制限されます。 $V_{OUT}$ は同じランプレートに従うので、負荷コンデンサ $C_{OUT}$ に流入する突入電流は次のようになります。

$$I_{INRUSH} = C_{OUT} \cdot \frac{dV_{GATE}}{dt} = C_{OUT} \cdot 3 \text{ [mA/}\mu\text{F]}$$

サーボループは外付けMOSFETの寄生容量によって補償されます。通常、これ以外の補償部品は必要ありません。寄生容量が100pFより小さい場合、GATEとグラウンドの間に100pFの補償コンデンサが必要になることがあります。

GATEからグラウンドにコンデンサ $C_G$ を外付けすることにより、GATEのランプや突入電流を緩やかにすることもできます。この場合、GATEの電圧は $10\mu\text{A}/C_G$  [V/s]に等しい勾配でランプアップします。次式を使用して $C_G$ を選択します。

$$C_G = \frac{10\mu\text{A}}{I_{INRUSH}} \cdot C_{OUT}$$

### 過電圧

最初に電源が入られるときは、GATEがランプアップしてMOSFETをオンする前に、 $V_{IN}$ を130ms以上5.7V ( $V_{IN(OV)} - \Delta V_{OV}$ )より低く保つ必要があります。その後 $V_{IN}$ が5.8V ( $V_{IN(OV)}$ )を上回ると、過電圧コンパレータが1 $\mu\text{s}$ 以内にGATEの30mAの高速プルダウンを作動させます。過電圧状態になると、 $V_{IN}$ が再度130msの間5.7Vを下回るまで、MOSFETはオフに保たれます。

### 過電流

過電流コンパレータはMOSFETに過度の電流が流れないようにします。このコンパレータは、SENSEピンがINより50mV以上低い状態が10 $\mu\text{s}$ 継続するとトリップします。過電流コンパレータがトリップすると、GATEが瞬時に“L”になって $\overline{PWRGD}$ のプルダウンが解放されます。130msの起動遅延の後、LTC4361-2は再度自動的に電源を印加しようとします。

# LTC4361-1/LTC4361-2

## アプリケーション情報

LTC4361-1にはラッチが内蔵されており、リセットされるまでこのオフ状態を保ちます。このラッチをリセットするには、INを一旦2.1V ( $V_{IN(UVL)}$ )より下にするか、または $\overline{ON}$ を500 $\mu$ sより長く1.5V ( $V_{\overline{ON}(TH)}$ )より上にします。リセット後、LTC4361-1は起動サイクルを実行します。

過電流保護が不要なアプリケーションでは、SENSEピンをINピンに接続します。過電流スレッシュホールド $I_{TRIP}$ を設定するには、次式を使用して $R_{SENSE}$ を選択します。

$$R_{SENSE} = \frac{\Delta V_{OC}}{I_{TRIP}}$$

$R_{SENSE}$ を選択したら以下に注意します。

$$I_{TRIP(MAX)} = \frac{\Delta V_{OC(MAX)}}{R_{SENSE(MIN)}}$$

$$I_{TRIP(MIN)} = \frac{\Delta V_{OC(MIN)}}{R_{SENSE(MAX)}}$$

## PWRGD出力

$\overline{PWRGD}$ はアクティブ“L”の出力であり、MOSFETでグラウンドにプルダウンされ、500kの抵抗でOUTにプルアップされています。 $\overline{ON}$ が“H”になることによって実行される)低電流スリープ・モード、UVLO、過電圧、または過電流の間とその後の130msの起動遅延の間、 $\overline{PWRGD}$ ピンのプルダウンは解放されます。起動遅延の後、GATEは緩やかなランプアップを開始して $\overline{PWRGD}$ のプルダウンの制御がGATE“H”コンパレータに移ります。65ms以上 $V_{GATE}$ が $V_{GATE(TH)}$ より高いと $\overline{PWRGD}$ のプルダウンがアサートされ、 $V_{GATE}$ が $V_{GATE(TH)}$ より低いとプルダウンは解放されます。 $\overline{PWRGD}$ のプルダウンは最大3mAの電流をシンクする能力があるので、オプションのLEDをドライブすることができます。 $\overline{PWRGD}$ を別のI/Oレールにインタフェースさせるには、OUTへの500kの内部プルアップを十分無視できるだけ小さい値の抵抗を $\overline{PWRGD}$ からI/Oレールに接続します。 $\overline{PWRGD}$ で5Vへの1kのプルアップを行ったLTC4361-2の $\overline{PWRGD}$ の動作の詳細を図2に示します。

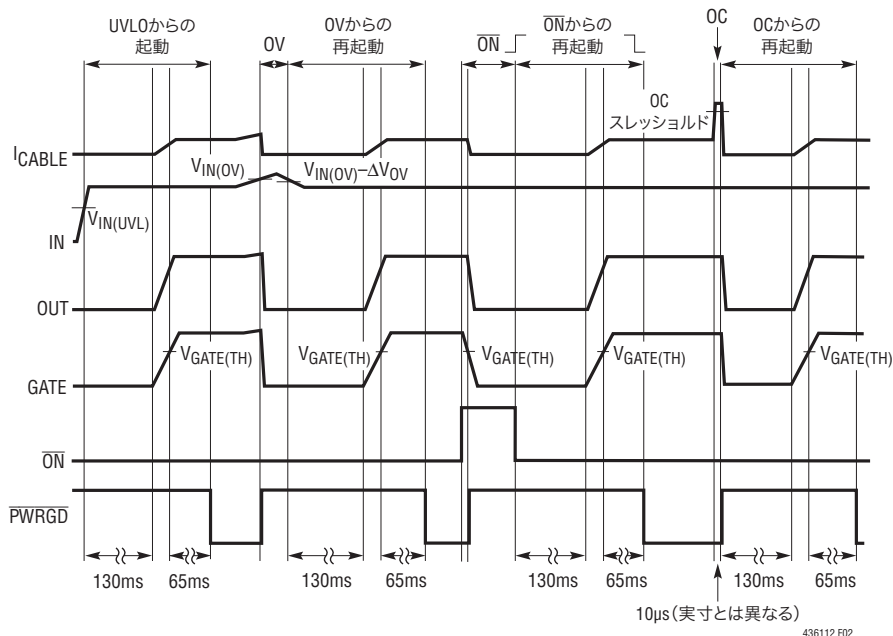


図2.  $\overline{PWRGD}$ の動作



## アプリケーション情報

### ON入力

$\overline{\text{ON}}$ はCMOS互換のアクティブ“L”のイネーブル入力です。デフォルトでグラウンドへの $5\mu\text{A}$ のプルダウンを備えています。このピンをグラウンドに接続するか、またはオープンのままにすると、デバイスを通常動作させることができます。このピンが外付けMOSFETがオンの間に“H”にドライブされると、GATEが弱いプルダウン電流( $40\mu\text{A}$ )で“L”に引き下げられて外付けMOSFETを徐々にオフし、入力電圧過渡が最小限に抑えられます。次いで、LTC4361は低電流スリープ・モードになり、INの電流がわずかに $1.5\mu\text{A}$ になります。 $\overline{\text{ON}}$ が“L”に戻ると、デバイスは130msの遅延サイクルを伴って再起動します。

### GATEPの制御

GATEPは2Mの抵抗でグラウンドにプルダウンされており、INとの間に5.8Vのツェナー・クランプと200kの抵抗が直列に接続されています。GATEPは、オプションの外付けPチャネルMOSFETのゲートを制御して負電圧保護を行います。 $V_{\text{IN}} - V_{\text{GATEP}}$ がMOSFETのゲート・スレッシュホールド電圧を上回ると、2Mのプルダウン抵抗によってMOSFETがオンします。INとGATEPの間のツェナー・ダイオードは、 $V_{\text{IN}}$ が高くなったときに $V_{\text{GS}}$ を5.8VにクランプすることによってMOSFETのゲートが過電圧になるのを防ぎます。

### MOSFETの構成と選択

LTC4361は、外付けMOSFETを様々な構成で使用することができます(図3を参照)。1個のNチャネルMOSFETを使う構成が最もシンプルです。この構成は $R_{\text{DS(ON)}}$ と電圧降下が最も小さいので、電力効率が最も良いソリューションです。GATEがグラウンドに引き下げられると、NチャネルMOSFETは、NチャネルMOSFETの $\text{BV}_{\text{DSS}}$ までのINの正電圧からOUTを絶縁することができます。ただし、NチャネルMOSFETの寄生ボディ・ダイオードを介してOUTからINに逆電流が流れる可能性があります。

GATEがグラウンドに引き下げられたときにゼロに近い逆リーク電流保護を行うために、バック・トゥ・バックNチャネルMOSFETを使用することができます。また、GATEPによって制御されたPチャネルMOSFETを追加することにより、PチャネルMOSFETの $\text{BV}_{\text{DSS}}$ までの負入力電圧保護を行うこともできます。もう1つの構成は、GATEPによって制御されるPチャネルMOSFETとGATEによって制御されるNチャネルMOSFETから成ります。これは過電圧と負電圧に対して保護しますが、逆電流に対しては保護しません。

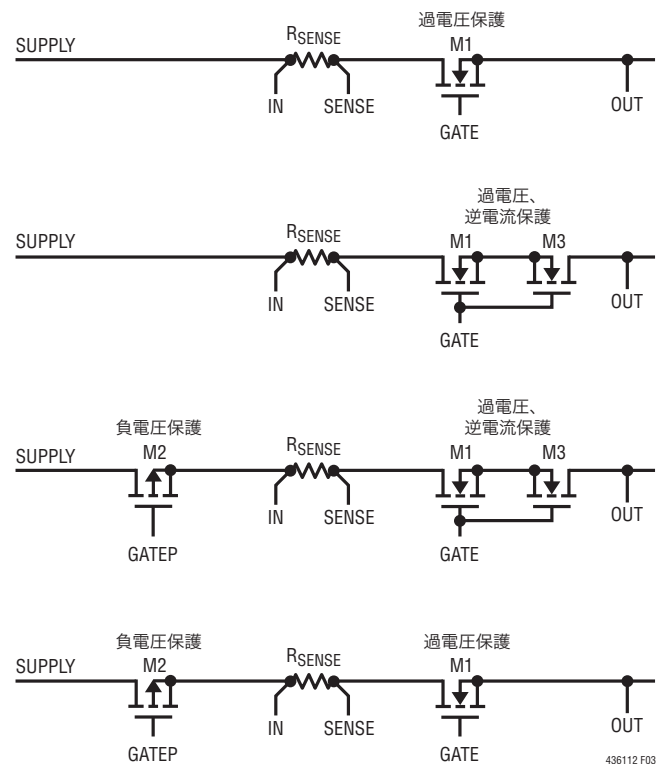
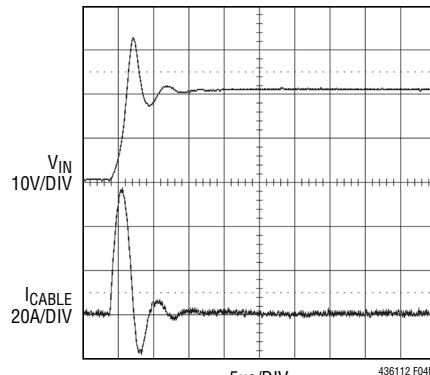
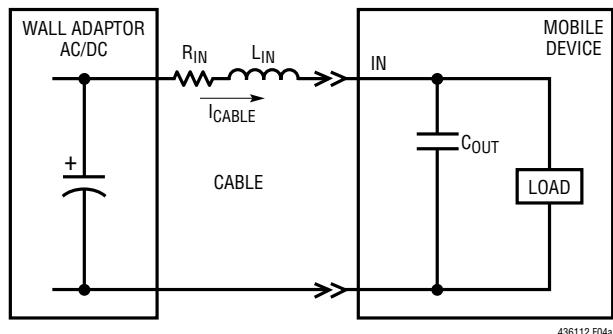


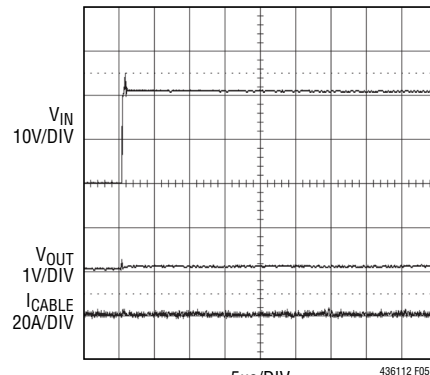
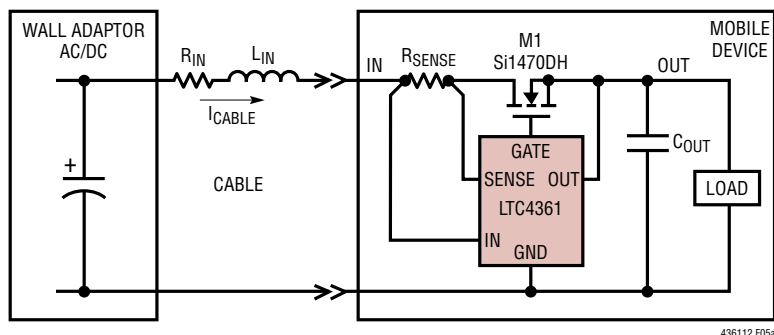
図3. MOSFETの構成

## アプリケーション情報



$R_{IN} = 150\text{m}\Omega$ ,  
 $L_{IN} = 0.7\mu\text{H}$   
 $LOAD = 10\Omega$ ,  $C_{OUT} = 10\mu\text{F}$

図4. 10 $\mu\text{F}$ のコンデンサへの20Vの活線挿入



$R_{IN} = 150\text{m}\Omega$ ,  
 $L_{IN} = 0.7\mu\text{H}$ ,  $R_{SENSE} = 25\text{m}\Omega$   
 $LOAD = 10\Omega$ ,  $C_{OUT} = 10\mu\text{F}$

図5. LTC4361への20Vの活線挿入

### 入力過渡

ACアダプタが携帯機器を充電するときの標準的な構成を図4に示します。インダクタ $L_{IN}$ は、ケーブルと一部のACアダプタで使用されるEMIフィルタの等価インダクタンスの合計です。 $R_{IN}$ は、ケーブル、ACアダプタの出力コンデンサのESR、およびコネクタの接触抵抗の等価抵抗の合計です。

$L_{IN}$ と $R_{IN}$ はINのすべての容量とともにLCタンク回路を形成します。ACアダプタが最初にパワーアップした場合、ACアダプタ出力をINに挿入することは実際には、このLC回路に電圧ステップを与えることに相当します。この結果INに生じる電圧オーバーシュートは、図4に示すように、ACアダプタのDC出力電圧の2倍まで上昇することがあります。LTC4361に印加される20VのACアダプタ出力を図5に示します。INピンの容量が小さいので、挿入時の過渡は対処可能なレベルまで減少しています。

## アプリケーション情報

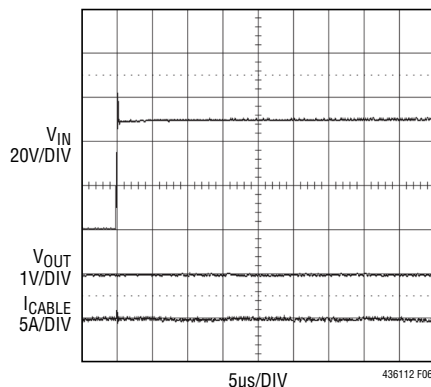
INピンは最大80Vに耐えるので、高電圧NチャンネルMOSFETを使用することにより、MOSFETの $BV_{DSS}$ までの大きな過渡電圧やDC電圧による過酷な扱いに対してシステムを保護することができます。60V定格のMOSFETを制御するLTC4361に挿入された50V入力を図6に示します。

入力過渡は、ケーブルのインダクタンスを流れる電流が急激に変化するときに生じます。これは、過電圧または過電流の状態ではLTC4361がNチャンネルMOSFETを急激にオフすると生じることがあります。過電流の後の入力過渡を図7に示します。 $L_{IN}$ に電流が流れると $V_{IN}$ にオーバーシュートを生じ、NチャンネルMOSFETから $C_{OUT}$ になだれ降伏を起こします。通常、INは $V_{OUT} + 1.3 \cdot (Si1470DHのBV_{DSS}) = 45V$ の電圧にクランプされます。これはLTC4361の85Vの絶対最大電圧定格より十分に低い値です。ピーク電流が $I_{AS}$ のこのなだれ降伏の間

MOSFETによって吸収される繰り返さない1回だけのパルス・エネルギー ( $E_{AS}$ ) は次式で近似されます。

$$E_{AS} = 0.5 \cdot L_{IN} \cdot I_{AS}^2$$

$L_{IN} = 0.7\mu H$  および  $I_{AS} = 4A$  の場合、 $E_{AS} = 5.6\mu J$  になります。これは、Si1470DHを含むほとんどのMOSFETの $I_{AS}$ および $E_{AS}$ の能力範囲内です。したがってほとんどの場合、LTC4361はバイパス・コンデンサ、過渡電圧サプレッサなどの部品をINに外付けすることなく、このような過渡に対処することができます。INにバイパス・コンデンサを使用すると、 $V_{IN}$ の過渡のオーバーシュートは小さくなりますが、長く持続することに注意してください。 $V_{IN}$ が $10\mu s$ より長く $V_{IN(UVL)}$ を下回ると、LTC4361-1内のラッチオフしたラッチが意図せずにリセットされる可能性があります。



FDC5612  
 $R_{IN} = 150m\Omega$ ,  $L_{IN} = 0.7\mu H$   
 $R_{SENSE} = 25m\Omega$ ,  $LOAD = 10\Omega$ ,  $C_{OUT} = 10\mu F$

図6. LTC4361への50Vの活線挿入

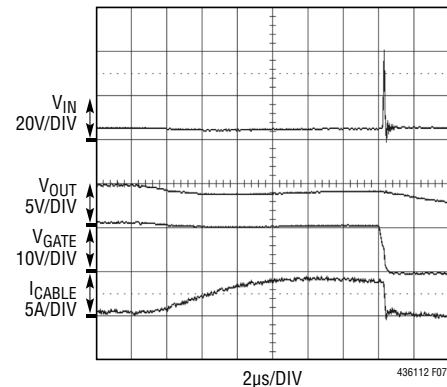


FIGURE 5 CIRCUIT  
 $R_{IN} = 150m\Omega$ ,  $L_{IN} = 0.7\mu H$   
 $R_{SENSE} = 25m\Omega$ ,  $LOAD = 10\Omega$ ,  $C_{OUT} = 10\mu F$

図7. 過電流ターンオフとその結果生じる入力過渡

## アプリケーション情報

2電源入力の携帯機器で生じる可能性がある特に厳しい状況を図8に示します。これは、USB入力で既に通電状態の5Vのデバイスに20VのACアダプタを誤って活線挿入しています。図9に示すように、 $C_{OUT}$ を充電する大きな電流が $L_{IN}$ に生じる可能性があります。NチャネルMOSFETがオフすると、 $L_{IN}$ に蓄積されたエネルギーが $C_{OUT}$ に放出されて、40Vの大きな入力過渡電圧を生じます。LTC4361は、これを出力電圧の1Vの上昇に制限します。

$L_{IN}$ のエネルギーが $C_{OUT}$ に放出されることによって生じる $\Delta V_{OUT}$ を許容できないか、またはMOSFETのアバランシェ耐量を超える場合は、INとGNDの間にSMAJ24Aなどの外付けクランプを追加することができます。 $C_{OUT}$ は保護される回路のデカップリング・コンデンサで、この値は主に保護される回路の要件によって決まります。大きな $C_{OUT}$ を使用すると $L_{IN}$ とともにOUTの $dV/dt$ を遅くして、 $V_{OUT}$ のオーバーシュートが危

険な電圧になる前にLTC4361がMOSFETをオフする時間を確保できます。MOSFETの $BV_{DSS}$ を入力クランプとして使用する場合、大きな $C_{OUT}$ は $L_{IN}$ のエネルギーの放出によって生じる $\Delta V_{OUT}$ を小さくする役割も果たします。

### レイアウトの検討事項

1個のNチャネルMOSFET (SC70パッケージ)と0603サイズの検出抵抗を使用したLTC4361 (TS8パッケージ)のPCBレイアウトの例を図10に示します。NチャネルMOSFETへのトレースは幅を広く、長さを短くします。NチャネルMOSFETを通る電力経路に関連したPCBトレースは抵抗を小さくします。過電流スレッシュホールドの精度を上げるため、 $R_{SENSE}$ にケルビン接続を使用します。

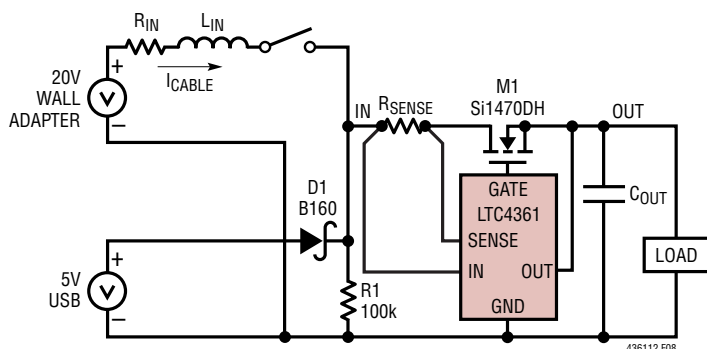


図8. 5Vシステムに20Vを挿入するテストを行う回路

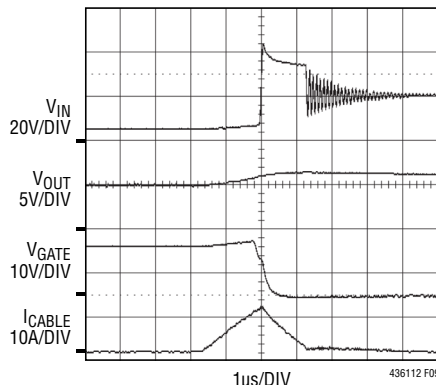


FIGURE 8 CIRCUIT  
 $R_{IN} = 150m\Omega$   
 $L_{IN} = 2\mu H$ ,  $R_{SENSE} = 25m\Omega$ ,  $LOAD = 10\Omega$   
 $C_{OUT} = 10\mu F$  (16V, SIZE 1210)

図9. 5Vシステムに20Vを挿入したときの過電圧保護の波形

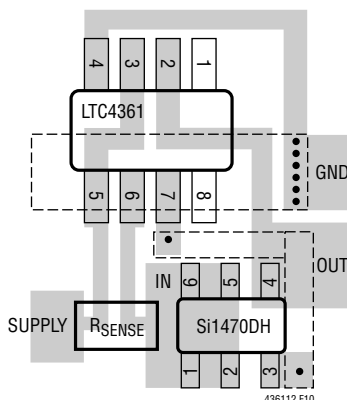
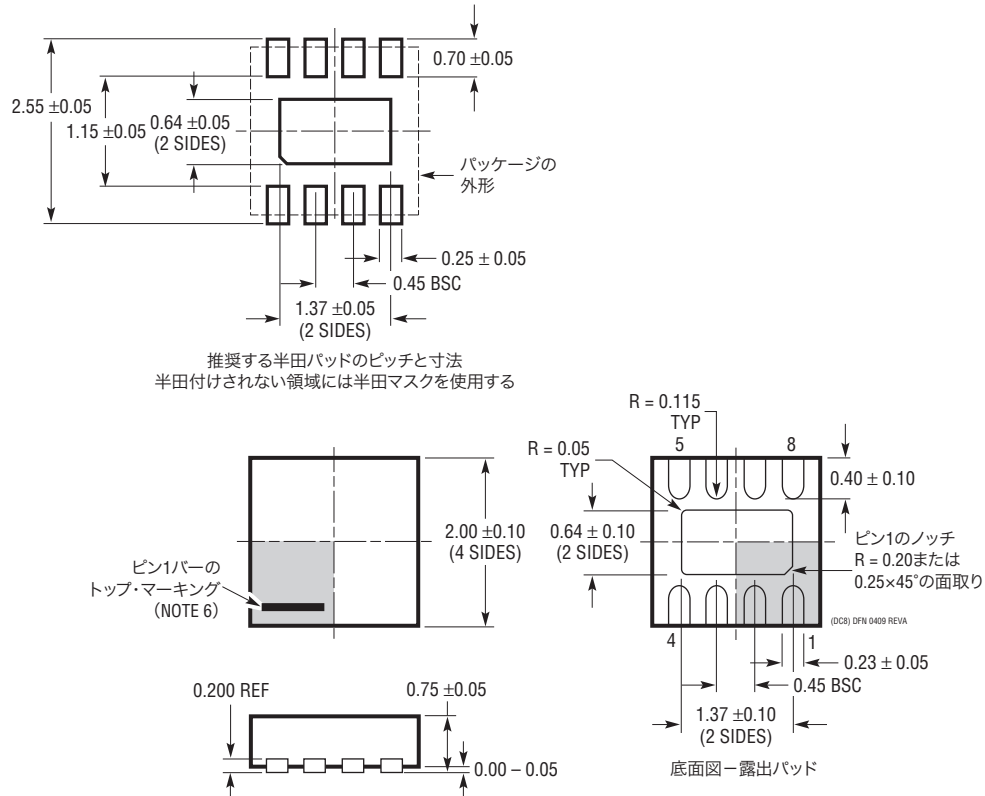


図10. NチャネルMOSFETのレイアウトの構成

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

DC8パッケージ  
8ピン・プラスチックDFN (2mm×2mm)  
(Reference LTC DWG # 05-08-1719 Rev A)



## NOTE:

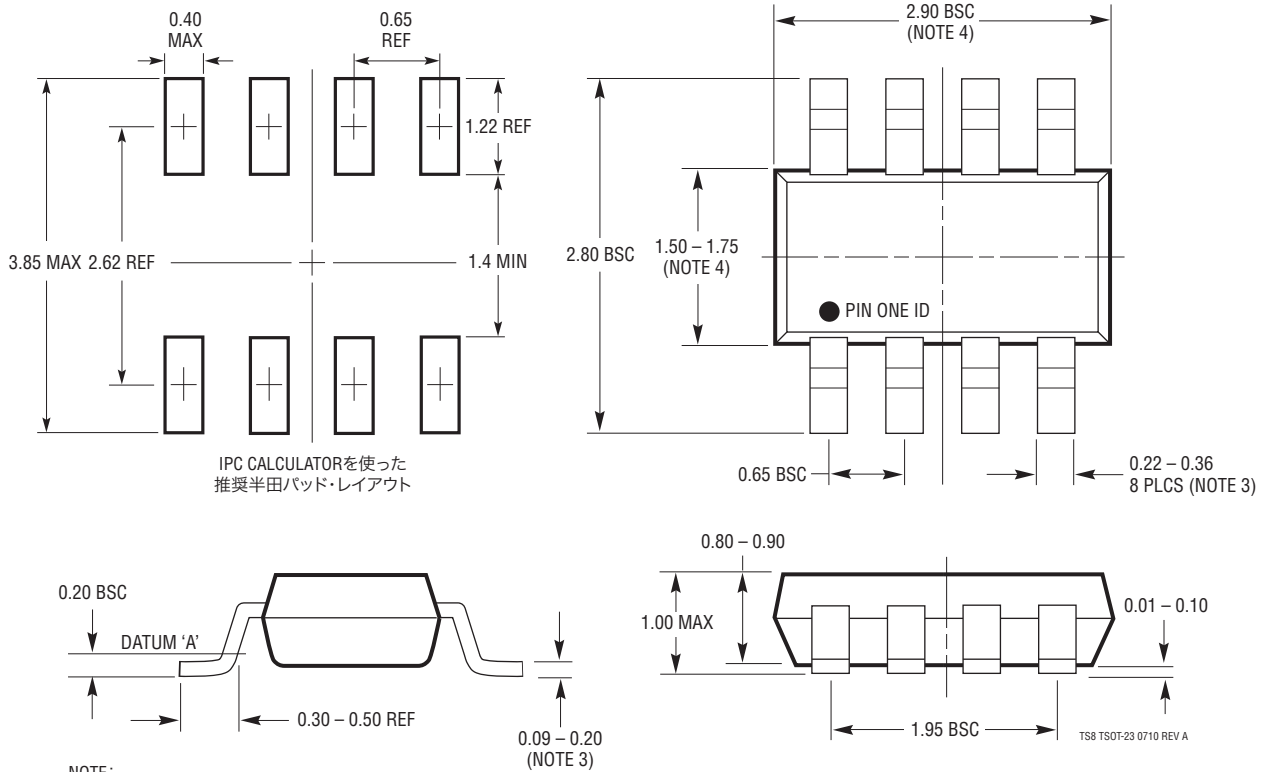
- 図はJEDECパッケージ外形とは異なる
- 図は実寸とは異なる
- すべての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

# LTC4361-1/LTC4361-2

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

TS8パッケージ  
8ピン・プラスチックTSOT-23  
(Reference LTC DWG # 05-08-1637 Rev A)



- NOTE:
1. 寸法はミリメートル
  2. 図は実寸とは異なる
  3. 寸法にはメッキを含む
  4. 寸法にモールドのバリや金属のバリを含まない
  5. モールドのバリは0.254mmを超えてはならない
  6. JEDECパッケージ参照番号はMO-193

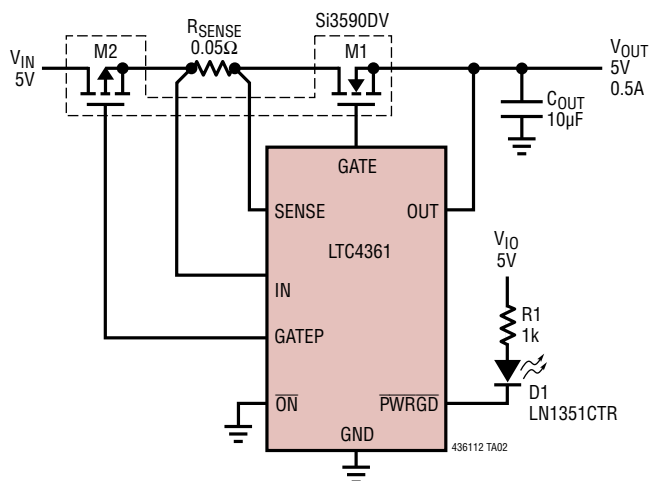
## 改訂履歴

REV	日付	概要	ページ番号
A	1/11	「電気的特性」セクションの $V_{GATE(CLP)}$ と $t_{OFF}$ の条件を改訂	3
		「アプリケーション情報」セクションの「GATEの制御」を改訂	7
B	5/12	Hグレードの発注情報を追加	2
		Input Undervoltage Lockoutの電気的特性を変更	3
		$V_{IN(OVL)}$ の仕様を追加	3
		Overvoltage Hysteresisの電気的特性を変更	3
		GATE Pull-Up CurrentとGATE Pull-Down Currentの電気的特性を変更	3
		GATE Ramp-Upの電気的特性を変更	3
		$I_{SENSE(IN)}$ の仕様を追加	3
		ON Pull-Down Currentの電気的特性を変更	3
		IN to GATEP Clamp Voltageの電気的特性を変更	3
		GATEP Resistive Pull-Downの電気的特性を変更	3
		PWRGD Pull-Up Resistance to OUTの電気的特性を変更	3
		GATE On Delayの電気的特性を変更	3
		PWRGD Delayの電気的特性を変更	3
		「GATEの高速プルダウン電流と温度」のグラフを差し替え	4
		図10のピン3をピン5に短絡させるPCBトレースを追加	12
パッケージング情報へのリンクを追加	13、14		

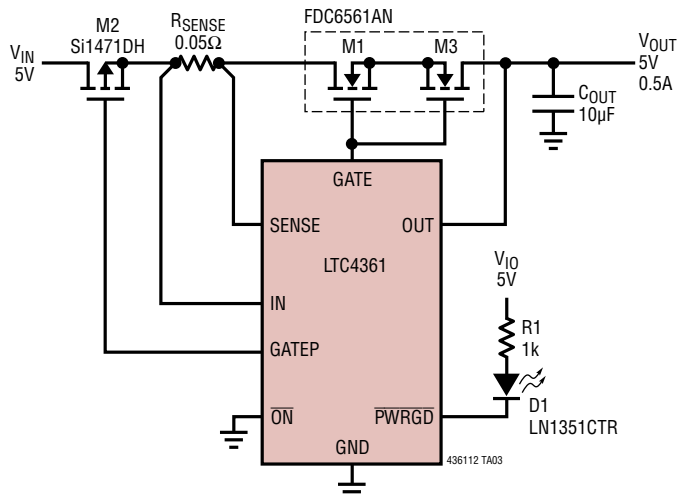
# LTC4361-1/LTC4361-2

## 標準的応用例

±24V電源および過電流から保護される5Vシステム



±24V電源、過電流および逆電流から保護される5Vシステム



## 関連製品

製品番号	説明	注釈
LTC2935	8つのスレッシュホールドをピンで選択可能な超低消費電力スーパーバイザ	消費電流: 500nA, 2mm×2mm 8ピンDFNおよびTSOT-23パッケージ
LT3008	消費電流3μA、20mA、45VマイクロパワーLDO	損失電圧: 280mV、低消費電流: 3μA、VIN: 2.0V~45V、VOUT: 0.6V~39.5V、ThinSOTおよび2mm×2mm DFN-6パッケージ
LT3009	消費電流3μA、20mAマイクロパワーLDO	損失電圧: 280mV、低消費電流: 3μA、VIN: 1.6V~20V、VOUT: 0.6V~19.5V、ThinSOTおよびSC-70パッケージ
LTC3576/ LTC3576-1	USB OTG付きスイッチングUSBパワーマネージャとトリプル降圧DC/DC	完全な多機能PMIC: 双方向スイッチング・パワーマネージャ+3個の降圧レギュレータ+LDO
LTC4090/ LTC4090-5	理想ダイオード・コントローラおよび高効率リチウムイオン・バッテリー・チャージャ付き高電圧USBパワーマネージャ	6V~38V(最大60V)入力の高効率な1.2Aチャージャにより、1セル・リチウムイオン・バッテリーをUSBポートから直接充電
LTC4098	過電圧保護付きUSB準拠スイッチモード・パワーマネージャ	高い入力電圧: 38V(動作時)、60V(過渡電圧)、66Vまでの過電圧保護、ACアダプタからの充電電流: 最大1.5A、USBからの充電電流: 600mA
LTC4210	シングルチャネル、低電圧Hot Swap™コントローラ	2.7V~16.5Vで動作、アクティブ電流制限、SOT23-6パッケージ
LTC4213	No RSENSE™電子回路ブレーカ	0V~6Vの負荷電圧を制御、3種類の回路ブレーカ・スレッシュホールドを選択可能、デュアルレベル過電流保護
LT4356	サージ・ストッパー 過電圧/過電流保護レギュレータ	広い動作範囲: 4V~80V、-60Vまでの逆入力保護、調整可能な出力クランプ電圧
LTC4411	SOT-23パッケージの理想ダイオード	順方向電流: 2.6A、安定化された順方向電圧: 28mV
LTC4412	2.5V~28Vのバッテリー電圧範囲、ThinSOTパッケージの低損失PowerPath™コントローラ	ダイオードOR接続よりも高効率、DCソースの自動切換、負荷分担を簡素化
LTC4413-1/ LTC4413-2	3mm×3mm DFNパッケージのデュアル2.6A、2.5V~5.5V高速理想ダイオード	130mΩのオン抵抗、小さい逆リーク電流、安定化された順方向電圧: 18mV(LTC4413-2は過電圧保護センサ付き)

436112fb