

ピンで選択可能な バス・バッファ付き2チャンネル 2線マルチプレクサ

特長

- 2線バス用の1:2マルチプレクサ/スイッチ
- SDAラインおよびSCLライン用の双方向バッファ
- $V_{IL} = 0.3 \cdot V_{CC}$ の大きなノイズ・マージン
- SDAラインとSCLラインをENABLEピンで接続
- 立ち上がり時間アクセラレータの電流および作動電圧を選択可能
- 1.5V、1.8V、2.5V、3.3Vおよび5Vバスのレベルシフト
- バックプレーンに対する基板の活線挿抜時のSDAとSCLの破損防止
- スタックバスの切断および復旧
- I²C、I²C Fast ModeおよびSMBusに準拠
- ±4kV人体モデル(HBM) ESD耐性
- 14ピン4mm×3mm DFNおよび16ピンMSOPパッケージ

アプリケーション

- ATCAなどの通信システム
- アドレス拡張
- レベル変換器
- 容量バッファ/バス・エクステンダ
- 基板の活線挿入
- PMBus

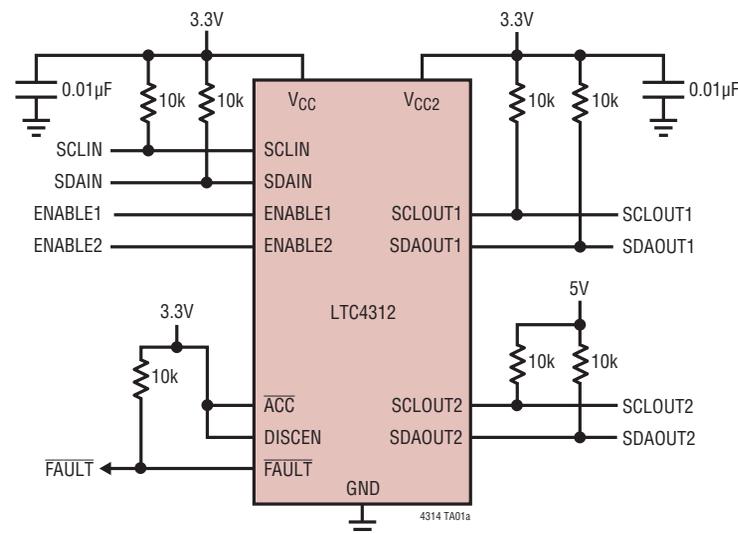
概要

LTC[®]4312は、あらゆる組み合わせの下り方向バスまたはチャンネルに1本の上り方向バスを接続可能にする、ホットスワップ可能な2チャンネル、2線バス・マルチプレクサです。それぞれの接続を個別のイネーブル・ピンで制御します。LTC4312は双方向バッファリングを行い、上り方向バス容量を下り方向バス容量から絶縁された状態に保ちます。LTC4312はノイズ・マージンが大きいので、高い $V_{OL} (> 0.4V)$ をドライブするI²Cデバイスと組み合わせて使うことができます。LTC4312は1.5V、1.8V、2.5V、3.3Vおよび5Vバス間のレベル変換をサポートしています。また、ホットスワップ可能なので、電源の入ったバックプレーンに対するI/Oカードの挿入/引抜き時にデータ・バスやクロック・バスの破損を防ぐことができます。

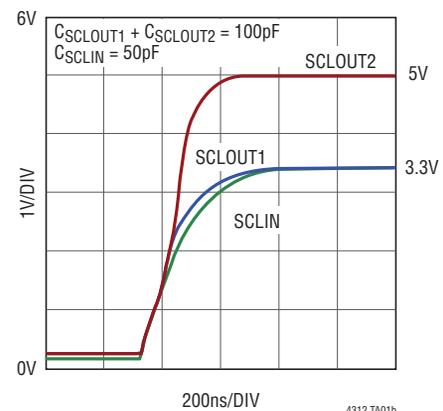
45msの間、データとクロックの両方が一度も同時に“H”にならず、DISCENが“H”の場合、FAULT信号が生成され、バスが“L”にスタックした状態であることを知らせます。次いで、イネーブルされたすべての出力チャンネルからその入力を切り離し、イネーブルされた下り方向バスに最多16クロックを生成します。スリーステートのACCピンにより、入力側および出力側の立ち上がり時間アクセラレータの強度を制御可能で、 $V_{IL,RISING}$ 電圧を設定します。

LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリアテクノロジー社の登録商標です。Hot Swapはリアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。6356140, 6650174, 7032051, 7478286を含む米国特許により保護されています。

標準的応用例



レベル変換におけるアサートされた“L”状態からの立ち上がりエッジ



LTC4312

絶対最大定格 (Note 1, 2)

電源電圧

V_{CC}, V_{CC2} -0.3V~6V

入力電圧

ACC, DISCEN, ENABLE1~ENABLE2 -0.3V~6V

入力電圧/出力電圧

SDAIN, SCLIN, SCLOUT1~SCLOUT2,
SDAOUT1~SDAOUT2, FAULT -0.3V~6V

出力DCシンク電流

FAULT 50mA

動作周囲温度範囲

LTC4312C 0°C~70°C

LTC4312I -40°C~85°C

保存温度範囲

..... -65°C~150°C

リード温度 (半田付け、10秒)

MSOP 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4312IDE#PBF	LTC4312IDE#TRPBF	4312	14-Lead (4mm x 3mm) DFN	-40°C to 85°C
LTC4312IMS#PBF	LTC4312IMS#TRPBF	4312	16-Lead Plastic MSOP	-40°C to 85°C
LTC4312CDE#PBF	LTC4312CDE#TRPBF	4312	14-Lead (4mm x 3mm) DFN	0°C to 70°C
LTC4312CMS#PBF	LTC4312CMS#TRPBF	4312	16-Lead Plastic MSOP	0°C to 70°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 *温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = V_{CC2} = 3.3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電源/起動							
V_{CC}	Input Supply Range		●	2.9	5.5	V	
$V_{DD, BUS}$	2-Wire Bus Supply Voltage		●	2.25	5.5	V	
V_{CC2}	Output Side Accelerator Supply Range		●	2.25	5.5	V	
I_{CC}	Input Supply Current	One or Both $V_{ENABLE1-2} = V_{CC} = V_{CC2} = 5.5\text{V}$ (Note 3)	●	6.0	7.3	9	mA
$I_{CC(DISABLED)}$	Input Supply Current	$V_{ENABLE1-2} = 0\text{V}$; $V_{CC} = V_{CC2} = 5.5\text{V}$ (Note 3)	●	1.6	2.2	3.5	mA
I_{CC2}	V_{CC2} Supply Current	One or Both $V_{ENABLE1-2} = V_{CC} = V_{CC2} = 5.5\text{V}$ (Note 3)	●	0.35	0.5	0.6	mA
t_{UVLO}	UVLO Delay		●	60	110	200	μs
V_{TH_UVLO}	UVLO Threshold		●		2.3	2.6	V
$V_{CC_UVLO(HYST)}$	UVLO Threshold Hysteresis Voltage				200		mV
バッファ							
$V_{OS1(SAT)}$	Buffer Offset Voltage	$I_{OL} = 4\text{mA}$, Driven $V_{SDAIN, SCLIN} = 50\text{mV}$	●	130	220	280	mV
		$I_{OL} = 500\mu\text{A}$, Driven $V_{SDAIN, SCLIN} = 50\text{mV}$	●	15	60	120	mV
$V_{OS2(SAT)}$	Buffer Offset Voltage	$I_{OL} = 4\text{mA}$, Driven $V_{SDAOUT, SCLOUT} = 50\text{mV}$	●	90	190	260	mV
		$I_{OL} = 500\mu\text{A}$, Driven $V_{SDAOUT, SCLOUT} = 50\text{mV}$	●	15	55	110	mV
V_{OS}	Buffer Offset Voltage	$I_{OL} = 4\text{mA}$, Driven $V_{SDAIN, SCLIN} = 200\text{mV}$	●	50	130	195	mV
		$I_{OL} = 500\mu\text{A}$, Driven $V_{SDAIN, SCLIN} = 200\text{mV}$	●	15	55	110	mV
V_{OS2}	Buffer Offset Voltage	$I_{OL} = 4\text{mA}$, Driven $V_{SDAOUT, SCLOUT} = 200\text{mV}$	●	35	95	170	mV
		$I_{OL} = 500\mu\text{A}$, Driven $V_{SDAOUT, SCLOUT} = 200\text{mV}$	●	15	50	100	mV
$V_{IL, FALLING}$	Buffer Input Logic Low Voltage	SDA, SCL Pins (Notes 4, 5)	●	$0.3 \cdot V_{MIN}$	$0.33 \cdot V_{MIN}$	$0.36 \cdot V_{MIN}$	V
$V_{IL, RISING}$	Buffer Input Logic Low Voltage	SDA, SCL Pins; \overline{ACC} Grounded	●	0.5	0.6	0.7	V
		SDA, SCL Pins; \overline{ACC} Open or High (Notes 4, 5)	●	$0.3 \cdot V_{MIN}$	$0.33 \cdot V_{MIN}$	$0.36 \cdot V_{MIN}$	V
I_{LEAK}	Input Leakage Current	SDA, SCL Pins; $V_{CC}, V_{CC2} = 0\text{V}, 5.5\text{V}$	●			± 10	μA
C_{IN}	Input Capacitance	SDA, SCL Pins (Note 6)				<20	pF
立ち上がり時間アクセラレータ							
dV/dt (RTA)	Minimum Slew Rate Requirement	SDA, SCL Pins; $V_{CC} = V_{CC2} = 5\text{V}$	●	0.1	0.2	0.4	V/ μs
$V_{RTA(TH)}$	Rise Time Accelerator DC Threshold Voltage	SDA, SCL Pins; $V_{CC} = V_{CC2} = 5\text{V}$, \overline{ACC} Grounded	●	0.7	0.8	0.9	V
		\overline{ACC} Open or High, $V_{CC} = V_{CC2} = 5\text{V}$ (Note 4)	●	$0.36 \cdot V_{MIN}$	$0.4 \cdot V_{MIN}$	$0.44 \cdot V_{MIN}$	V
$\Delta V_{\overline{ACC}}$	Buffers Off to Accelerator On Voltage	SDA, SCL Pins; $V_{CC} = V_{CC2} = 5\text{V}$, \overline{ACC} Grounded	●	100	200		mV
		\overline{ACC} Open, $V_{CC} = V_{CC2} = 5\text{V}$ (Note 4)	●	$0.05 \cdot V_{MIN}$	$0.07 \cdot V_{MIN}$		mV
I_{RTA}	Rise Time Accelerator Pull-Up Current	SDA, SCL Pins; $V_{CC} = V_{CC2} = 5\text{V}$, \overline{ACC} Grounded (Note 7)	●	20	35	45	mA
		\overline{ACC} Open, $V_{CC} = V_{CC2} = 5\text{V}$ (Note 7)	●	1.5	3	4	mA
イネーブル/制御							
$V_{DISCEN(TH)}$	DISCEN Threshold Voltage		●	0.8	1.4	2	V
$\Delta V_{DISCEN(HYST)}$	DISCEN Hysteresis Voltage				20		mV
$V_{EN(TH)}$	ENABLE1-2 Threshold Voltage		●	0.8	1.4	2	V
$\Delta V_{EN(HYST)}$	ENABLE1-2 Hysteresis Voltage				20		mV
t_{LH_EN}	ENABLE1-2 High to Buffer Active				0.56	1	μs

LTC4312

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = V_{CC2} = 3.3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
I_{LEAK}	Input Leakage Current	DISCEN = ENABLE1-2 = 5.5V	●		0.1	± 10	μA
$I_{\overline{ACC}}(\text{IN, HL})$	\overline{ACC} High, Low Input Current	$V_{CC} = 5\text{V}$, $V_{\overline{ACC}} = 5\text{V}, 0\text{V}$	●		± 23	± 40	μA
$I_{\overline{ACC}}(\text{IN, Z})$	Allowable Leakage Current in Open State	$V_{CC} = 5\text{V}$	●			± 5	μA
$I_{\overline{ACC}}(\text{EN, Z})$	\overline{ACC} High Z Input Current	$V_{CC} = 5\text{V}$	●	± 5			μA
$V_{\overline{ACC}}(\text{L, TH})$	\overline{ACC} Input Low Threshold Voltages	$V_{CC} = 5\text{V}$	●	$0.2 \cdot V_{CC}$	$0.3 \cdot V_{CC}$	$0.4 \cdot V_{CC}$	V
$V_{\overline{ACC}}(\text{H, TH})$	\overline{ACC} Input High Threshold Voltages	$V_{CC} = 5\text{V}$	●	$0.7 \cdot V_{CC}$	$0.8 \cdot V_{CC}$	$0.9 \cdot V_{CC}$	V

スタック“L”のタイムアウト回路

t_{TIMEOUT}	Bus Stuck Low Timer	SDAOUT or SCLOUT < $0.3 \cdot V_{CC}$	●	35	45	55	ms
$V_{\text{FAULT}}(\text{OL})$	FAULT Output Low Voltage	$I_{\text{FAULT}} = 3\text{mA}$	●			0.4	V
$I_{\text{FAULT}}(\text{OH})$	FAULT Leakage Current		●		0.1	± 5	μA

I²Cインタフェースのタイミング

$f_{\text{SCL}}(\text{MAX})$	I ² C Frequency Max	(Note 6)	●	400			kHz
t_{PDHL}	SDA, SCL Fall Delay	$V_{CC} = 3\text{V to } 5.5\text{V}$, $C_{\text{BUS}} = 50\text{pF}$, $I_{\text{BUS}} = 1\text{mA}$ (Note 6)			60	100	ns
t_f	SDA, SCL Fall Times	$V_{CC} = 3\text{V to } 5.5\text{V}$, $C_{\text{BUS}} = 50\text{pF}$, $I_{\text{BUS}} = 1\text{mA}$ (Note 6)			10		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 注記がない限り、ピンに流れ込む電流はすべて正であり、すべての電圧はGNDを基準にしている。

Note 3: SDAINとSCLINは“L”。

Note 4: $V_{CC2} > 2.25\text{V}$ では、 V_{MIN} は V_{CC} と V_{CC2} のいずれか低い方の電圧。それ以外は $V_{\text{MIN}} = V_{CC}$ 。

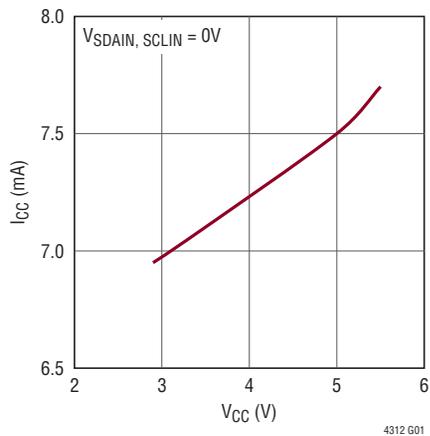
Note 5: V_{IL} は以下の組み合わせの(V_{CC} , V_{CC2})に対してテストされている: (2.9V, 5.5V)、(5.5V, 2.25V)、(3.3V, 3.3V)、(5V, 0V)。

Note 6: 設計によって保証されており、製造時にはテストされない。

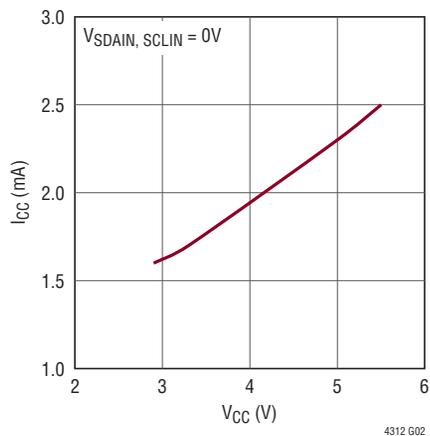
Note 7: $V_{\text{SDA, SCL}} = V_{\text{RTA}}(\text{TH}) + 1\text{V}$ の特別なDCモードで測定される。 \overline{ACC} が“L”のときに立ち上がりエッジで見られる過渡電流 I_{RTA} は、バスの負荷条件とバスのスルーレートに依存する。LTC4312の内部スルーレート制御回路は、過渡電流 I_{RTA} を制御することによって最大バス立ち上がり速度を75V/ μs に制限する。

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 。

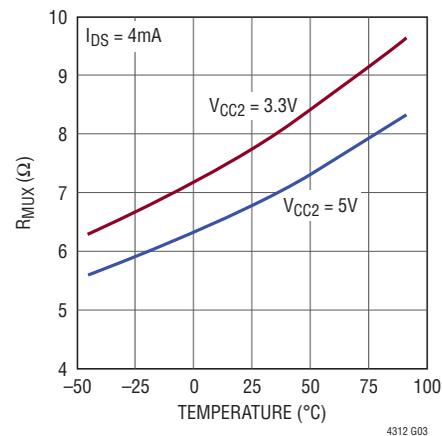
イネーブル時の I_{CC} 電流と電源電圧



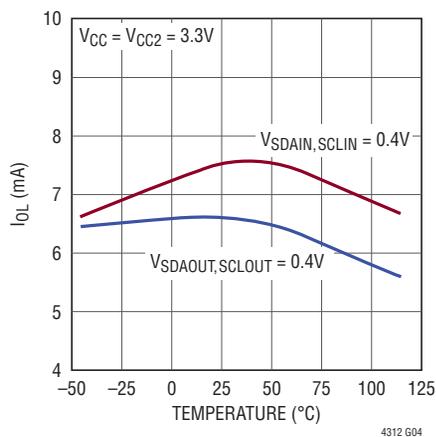
ディスエーブル時(ENABLE1~2 = "L")の I_{CC} 電流と電源電圧



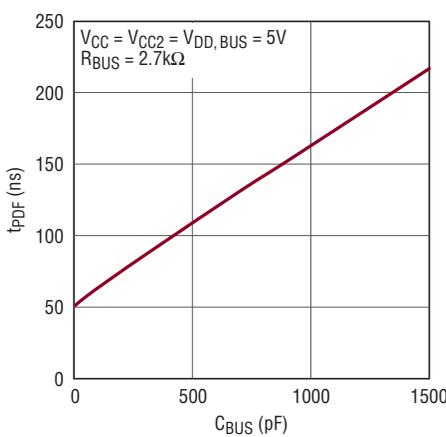
マルチプレクサのスイッチ抵抗 R_{MUX} と温度



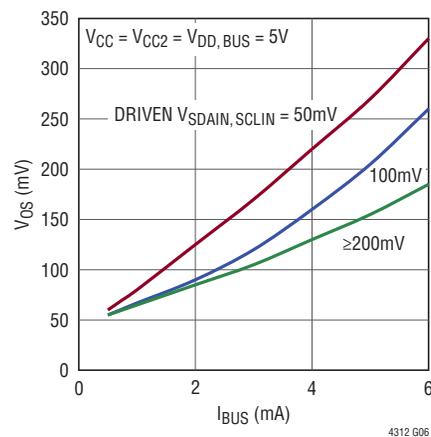
バッファのDC I_{OL} と温度



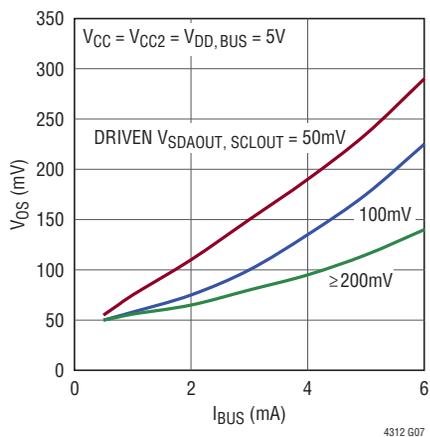
バッファの"H"から"L"への伝播遅延と出力容量



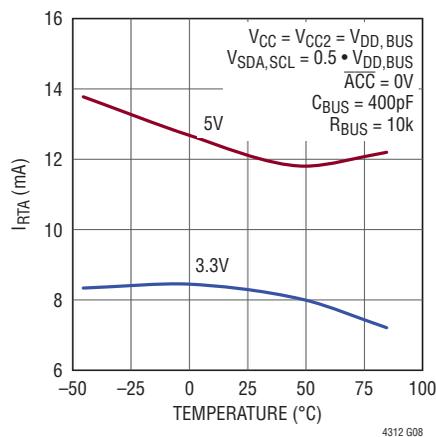
異なる入力電圧レベルでの入力から出力までのオフセット電圧とバス電流



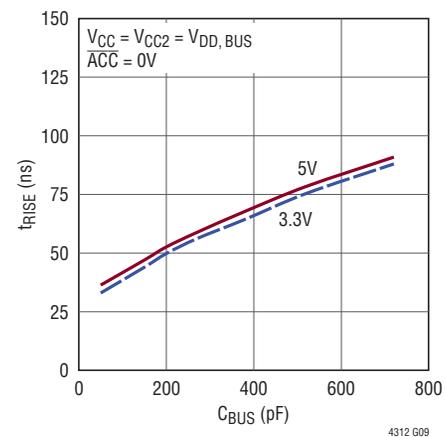
異なる出力電圧レベルでの入力から出力までのオフセット電圧とバス電流



立ち上がり時間アクセラレータの電流と温度



t_{RISE} (30%から70%)と C_{BUS}



ピン機能

ACC: アクセラレータとバッファのモード選択ピン (スリーステート)。このピンは、立ち上がり時間アクセラレータのターンオン電圧と、入力側と出力側両方におけるその電流強度を制御します。また、バッファのターンオフ電圧も制御します。「アプリケーション情報」セクションの表1を参照してください。

DISCEN: スタックバスの切断のイネーブル入力。このピンが“H”の時はスタックバスの接続が自動的に解除され、45msのタイムアウト時間経過後に $\overline{\text{FAULT}}$ が“L”になります。切断後は、最大16個のクロック・パルスがスタックした出力チャンネルに加えられます。DISCENピンが“L”のときはスタックしたバスの切断もクロック入力も行われませんが、 $\overline{\text{FAULT}}$ は“L”になります。使用しない場合はGNDに接続してください。

ENABLE1~ENABLE2: 接続イネーブル入力。これらの入力ピンは、対応する出力チャンネルをイネーブルまたはディスエーブルします。ENABLEピンを“L”にすると、SDAINとSCLINがそれぞれSDAOUTとSCLOUTから遮断されます。すべてのバスがアイドル状態のときだけ、チャンネルのイネーブルとディスエーブルを行います。バスが“L”にスタックしたフォールト状態では、すべてのENABLEピンの立ち上がりエッジに続く1つまたは複数のENABLEピンの立ち上がりエッジによって、SDAINと選択されたSDAOUTとの接続、およびSCLINと選択されたSCLOUTとの接続が強制されます。使用しない場合はGNDに接続してください。

露出パッド (DFNパッケージのみ): 露出パッドはオープンのままにするか、デバイスのグラウンドに接続します。

FAULT: スタック・バス・フォールト出力。イネーブルされたSCLOUTチャンネルとSDAOUTチャンネルが45ms以内に同時に“H”にならない時は、このオープンドレインNチャンネルMOSFETの出力が“L”になります。通常動作時の $\overline{\text{FAULT}}$ は“H”です。このピンとバスのプルアップ電源の間にはプルアップ抵抗 (標準10k) を接続します。使用しない場合はオープンのままにするかGNDに接続してください。

GND: デバイスのグラウンド。

SCLIN: 上り方向シリアル・バスのクロック入力/出力。このピンは、上り方向バスのSCLラインに接続します。このピンとバス電源の間には、外付けのプルアップ抵抗または電流源を接続します。このピンはオープンのままにしないでください。

SCLOUT1~SCLOUT2: 下り方向シリアル・バスのクロック入力/出力チャンネル1~2。SCLOUT1~SCLOUT2ピンは、それぞれ下り方向チャンネル1~2のSCLラインに接続します。使用時は、ピンと対応するバス電源の間に外付けのプルアップ抵抗または電流源が必要です。使用しない場合は、オープンのままにするか、GNDに接続して対応するENABLEピンをGNDに接続してください。

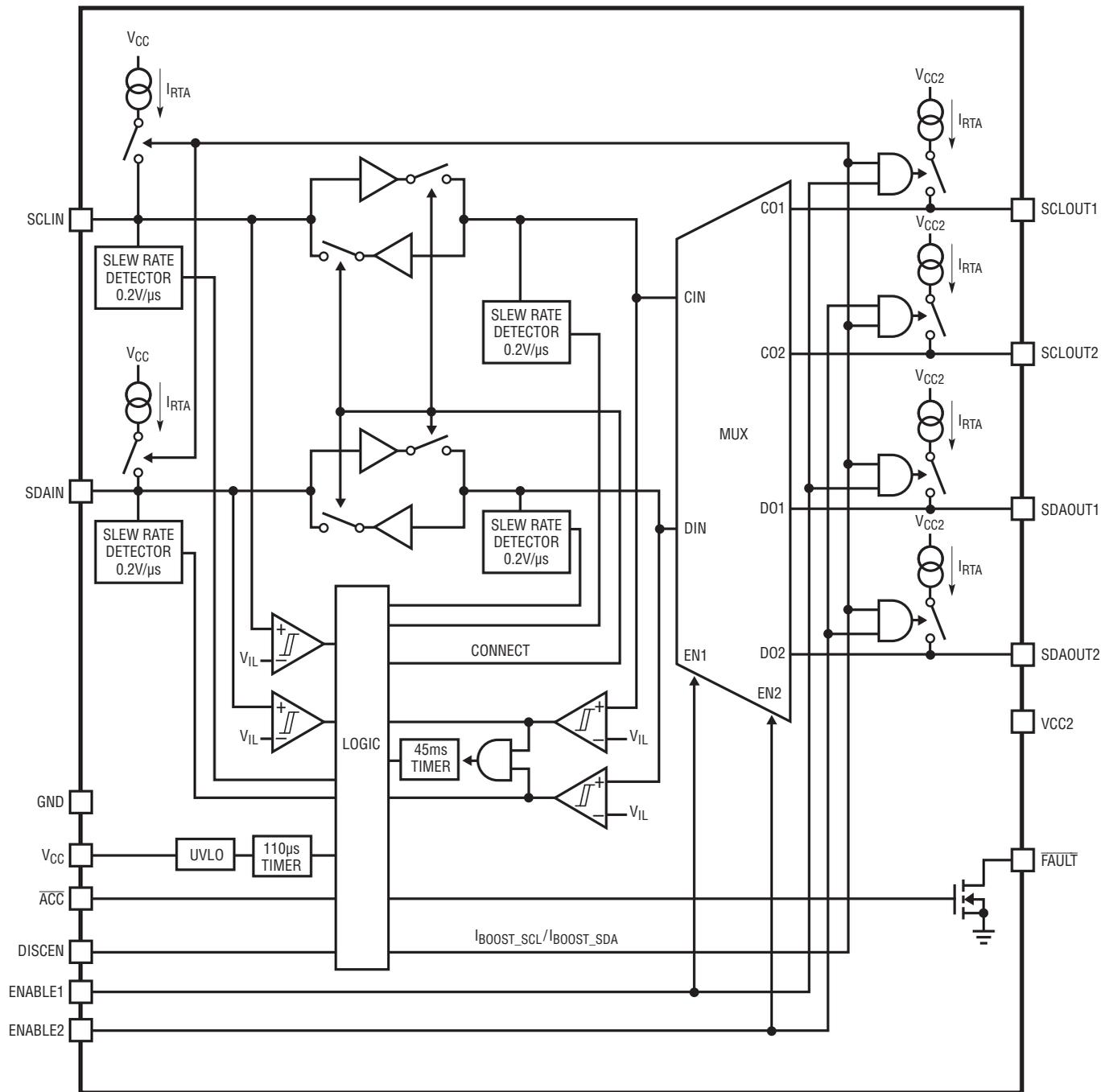
SDAIN: 上り方向シリアル・バスのデータ入力/出力。このピンは、上り方向バスのSDAラインに接続します。このピンとバス電源の間には、外付けのプルアップ抵抗または電流源を接続します。このピンはオープンのままにしないでください。

SDAOUT1~SDAOUT2: 下り方向シリアル・バスのデータ入力/出力チャンネル1~2。SDAOUT1~SDAOUT2ピンは、それぞれ下り方向チャンネル1~2のSDAラインに接続します。使用時は、ピンと対応するバス電源の間に外付けのプルアップ抵抗または電流源が必要です。使用しない場合は、オープンのままにするか、GNDに接続して対応するENABLEピンをGNDに接続してください。

VCC: 電源電圧。このピンには2.9V~5.5Vの電源を接続します。少なくとも0.01 μ Fのコンデンサを使用してGNDにバイパスしてください。

VCC2: 出力側立ち上がり時間アクセラレータ (RTA) の電源電圧。VCC2に電力を供給するときは2.25V~5.5Vの電源電圧を使用し、少なくとも0.01 μ FのコンデンサでGNDにバイパスします。下り方向バスが複数の電源電圧を使用している場合、VCC2には最も低い電源電圧を使用してください。VCC2 \geq 2.25VでACCが“L”またはオープンの場合は、出力側RTAがアクティブになります。VCC2を接地すると出力側のRTAがディスエーブルされます。

ブロック図



4314 BD

動作

LTC4312の主要機能ブロックをブロック図に示します。LTC4312は、I²C信号用の容量バッファリング機能を備えた1:2マルチプレクサです。容量バッファリングは、クロック・チャンネルとデータ・チャンネルに双方向バッファを使用してSDAIN容量とSCLIN容量をそれぞれSDAOUT容量とSCLOUT容量から遮断することによって実現されます。すべてのSDAピンとSCLピンは双方向性です。LTC4312はノイズ・マージンが大きいので、仕様に適合しない高いV_{OL}でドライブするI²Cデバイスと結合して使用することもできます。多重化は、専用のENABLEピンによって制御されるNチャンネルMOSFETを使用して行われます。イネーブルされると、システムの立ち上がり時間を短縮するために、立ち上がりエッジで立ち上がり時間アクセラレータのプルアップ電流I_{RTA}がオンします。標準的なアプリケーションでは入力側のバスがV_{CC}にプルアップされて出力側のバスがV_{CC2}にプルアップされますが、これらは必須要件ではありません。V_{CC}はLTC4312の主電源です。V_{CC}とV_{CC2}は、それぞれ入力側および出力側の立ち上がり時間アクセラレータの電源として機能します。V_{CC2}を接地すると、出力側のアクセラレータはディスエーブルされます。イネーブルされたチャンネルのマルチプレクサNチャンネルMOSFETのゲートは、V_{CC2} > 1.8Vの場合はV_{CC2}にドライブされ、それ以外の場合はV_{CC}にドライブされます。

V_{CC}ピンへの電力供給が開始されると、LTC4312は、V_{CC}が2.3Vを超えてから110μs経過するまで低電圧ロックアウト・モード(UVLO)になります。この間、バッファと立ち上がり時間アクセラレータはディスエーブルされてマルチプレクサのゲートはオフとなり、LTC4312はENABLEピンの状態に関わらず、クロック・ピンやデータ・ピンの状態遷移を無視します。V_{CC2}が1.8Vのスレッシュホールドを超えて“H”から“L”、またはその逆方向に遷移した場合も、LTC4312は、その遷移後110μsが経過するまでバッファ、立ち上がり時間アクセラレータ、および伝送ゲートをディスエーブルして、クロック・ピンとデータ・ピンを無視します。LTC4312がUVLOモードでないときに片方または両方のENABLEがアサートされると、LTC4312は、SDAIN入力およびSCLIN入力と選択された出力チャンネルの間の接続回路をアクティブにします。入力側の立ち上がり時間アクセラレータと選択されたチャンネルの出力側立ち上がり時間アクセラレータも、このときにイネーブルされます。SDA/SCL入力ピンまたはイネーブルされた出力チャンネルのSDA/SCL出力ピンが0.33・V_{MIN}のV_{IL,FALLING}レベルより低い値にドライブされると、バッファがオンしてLTC4312を通してロジック“L”レベルが反対側に伝達されます。V_{CC2} > 1.8Vの場合、V_{MIN}はV_{CC}電圧とV_{CC2}電圧のうち低い方の値になります。V_{CC2} < 1.8Vの場

合、V_{MIN}はV_{CC}電圧になります。LTC4312は、0.4VのV_{OL}を保持しながら4mAの最小合計バス電流I_{OL}をシンクするように設計されています。複数の出力チャンネルがイネーブルされている場合、合計バス電流を求めるには、イネーブルされたすべてのチャンネルのバス電流を合計する必要があります。温度とI_{OL}の関係については「標準的性能特性」のグラフを参照してください。

入力側と出力側のすべてのデバイスが“H”にリリースすると、“H”になります。バス電圧がV_{IL,RISING}レベルを超えたかどうかはACCピンの状態で決定されますが、超えた場合はバッファがオフします。立ち上がり時間アクセラレータはこれよりわずかに高い電圧でオンします。立ち上がり時間アクセラレータは、SDA/SCL入力と選択された出力がそれぞれ0.9・V_{CC}と0.8・V_{CC2}の電圧まで立ち上がる時間を短縮しますが、これは、それぞれのバス自体がスルーレート検出器によって決定される0.2V/μsの最小速度で立ち上がることが条件となります。ACCはスリーステート入力、V_{IL,RISING}、および立ち上がり時間アクセラレータのターンオン電圧とプルアップ強度を制御します。

クロック・バスとデータ・バスの両方が少なくとも45msに1回同時に“H”にならないと、LTC4312はバスが“L”にスタックした(フォールト)状態であることを検出します。スタック“L”状態の電圧モニタリングは、クロック出力とデータ出力の共通内部ノードで行われます。したがってスタック“L”状態は、イネーブルされた出力チャンネルで発生した場合のみ検出されます。バスがスタックすると、LTC4312はFAULTフラグをアサートします。DISCENが“H”に接続されていると、LTC4312は入力側と出力側を切断します。少なくとも40μsの待機後、LTC4312はイネーブルされたSCLOUTピン上で最大16個の5.5kHzクロック・パルスとストップ・ビットを生成し、スタックしたバスを解放しようとしています。16個のクロックすべてが発行される前にバスが“H”に回復すると、LTC4312はクロックの発行を停止してストップ・ビットを生成します。DISCENが“L”に接続されていると、スタックバス・イベントが発生してもFAULTフラグがアサートされるだけで、入力側と出力側の切断やクロック生成は行われません。スタックしたバスが復旧してフォールト状態が解除されたら、入力側と出力側の接続を確立するために、両方のENABLEピンを“L”にしてから必要なENABLEピンを“H”にアサートする必要があります。バスが“L”にスタックした状態でLTC4312がパワーアップすると、UVLOから出た後、スタックバス・タイムアウト・イベントが検出されるまで45msにわたって入力側と出力側を接続します。

アプリケーション情報

LTC4312はピンで選択可能な1:2のI²Cマルチプレクサで、ノイズ・マージンが大きく、容量バッファリング、クロック・ピンやデータ・ピンのレベル変換機能を備えています。立ち上がり時間アクセラレータは、高周波数で高負荷動作を可能にするために立ち上がりエッジを加速します。これらの特長について以下に説明します。

立ち上がり時間アクセラレータとDCスレッシュホールド電圧

LTC4312がUVLO状態から出てSDAとSCLの入力と出力の接続が確立されると、ACCピンの状態とV_{CC2}電源電圧に基づいて、SDAバスとSCLバスの入力側と出力側両方の立ち上がり時間アクセラレータがアクティブになります。少なくとも0.2V/μsの正のバス遷移の間は、立ち上がり時間アクセラレータがプルアップ電流を供給して立ち上がり時間を短縮します。立ち上がり時間アクセラレータをイネーブルすれば、ユーザーはより大きなバス・プルアップ抵抗を選択して消費電力を少なくするとともに、ロジック“L”のノイズ・マージンを改善し、I²C仕様の範囲外のバス容量で設計を行うことや、より高いクロック周波数でスイッチングを行うことができます。ACCピンは、バッファのターンオフ・スレッシュホールド電圧、立ち上がり時間アクセラレータのターンオン電圧、および立ち上がり時間アクセラレータのプルアップ電流強度を設定します。ACCの機能を表1に示します。V_{OL} > 0.4VのI²Cデバイスが含まれるシステムでLTC4312を使用するときのように大きなノイズ・マージンが必要なときは、ACCをオープンにするか“H”に設定します。

表1. 立ち上がり時間アクセラレータ電流I_{RTA}とバッファのターンオフ電圧V_{IL,RISING}のACCによる制御

ACC	I _{RTA}	V _{RTA(TH)}	V _{IL,RISING}
Low	Strong	0.8V	0.6V
Open	3mA	0.4•V _{MIN}	0.33•V _{MIN}
High	None	N/A	0.33•V _{MIN}

ACCピンにはV_{CC}とGNDの間の抵抗分割器が備わっており、ACCをオープンのままにすると、その電圧は0.5•V_{CC}に設定されます。電流源アクセラレータ・モードでは、LTC4312は3mAの定電流源プルアップを作動させます。ストロング・モードでは、LTC4312はプルアップ電流をソースして75V/μs(標準)でバスを立ち上げます。したがって、ストロング・モードの電流はバスの容量に正比例します。LTC4312は、ストロング・モードで最大45mAの電流をソースすることができます。立ち上がり時間アクセラレータの強度の影響を図1と図2のSDA波形に示します。これは、1つの出力チャンネルだけをイネーブルして、バス負荷を同じにした時の図です。立ち上がり時間アクセラレータは図1と図2に示すバス条件で、電流源モードとストロング・モードでそれぞれ3mAと10mAのプルアップ電流(I_{RTA})を供給します。立ち上がり時間アクセラレータのターンオン電圧も、ストロング・モードの時の方が電流源モードの時よりも低くなります。バスの負荷条件が同じであれば、バスは図2よりも図1の時の方が早く“H”を返します。これは、図1の場合の方がI_{RTA}が大きく、立ち上がり時間アクセラレータのターンオン電圧も低いためです。入力バスと出力バスのバス電流とバス容量はほぼ同じなので、それぞれの図における入力と出力の立ち上がり波形はほぼ同じです。

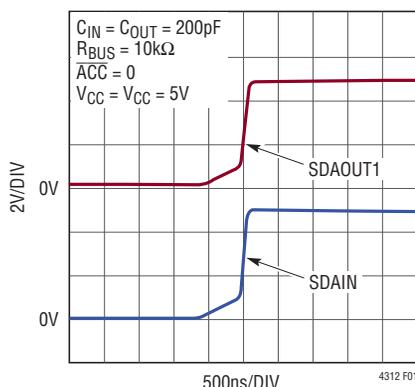


図1. ストロング・アクセラレータ・モードのバスの立ち上がりエッジ

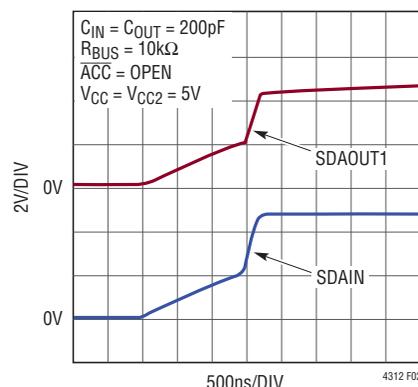


図2. 電流源アクセラレータ・モードのバスの立ち上がりエッジ

アプリケーション情報

V_{CC2} を“L”に接続すると、出力側の立ち上がり時間アクセラレータは \overline{ACC} ピンの状態に関係なくディスエーブルされます。 \overline{ACC} を“H”に接続すると、入力側と出力側のRTAはディスエーブルされます。 \overline{ACC} ピンと V_{CC2} 電圧の組み合わせを使用すれば、ユーザーは入力側と出力側の立ち上がり時間アクセラレータを個別に制御することができます。「動作」のセクションで述べたようなパワーアップ時と V_{CC2} の遷移時の他、“L”にスタックしたバスの復旧イベントのための自動クロッキング時とストップ・ビット生成時に、立ち上がり時間アクセラレータを内部でディスエーブルすることもできます。

立ち上がり時間アクセラレータをアクティブにすると、アクセラレータはSDAラインとSCLラインの入力側で $0.9 \cdot V_{CC}$ までバスをプルアップします。SDAOUTラインとSCLOUTラインの出力側は、立ち上がり時間アクセラレータによって $0.8 \cdot V_{CC2}$ までプルアップされます。 V_{CC2} 電圧が2.3Vに近付くと、NFETパス・デバイスのスレッシュホールド電圧のために、 $0.8 \cdot V_{CC2}$ に達するまで出力バスが加速されなくなることがあります。

レベル変換アプリケーションでの電源電圧に関する検討事項

立ち上がり時間アクセラレータによってバスがバス電源より高い電圧にドライブされないようにするために、入力側と出力側のバス電源電圧は、それぞれ $0.9 \cdot V_{CC}$ および $0.8 \cdot V_{CC2}$ より高くするように注意する必要があります。これは通常、レベルシフト・アプリケーションにおいて、図3に示すように V_{CC} を入力バス電源に接続し、 V_{CC2} を出力側の最も低いバス電源に接続することにより行います。

V_{CC2} を接地した場合、マルチプレクサのパス・ゲートには V_{CC} から電力が供給されます。この場合、イネーブルされたチャネルの最小出力バス電源の電圧は、イネーブルされた出力チャネル間のクロス導通を防ぐために V_{CC} 以上にする必要があります。これを図4に示します。図4に示すように、 V_{CC2} を接地すると、出力側の立ち上がり時間アクセラレータは \overline{ACC} ピンの状態に関係なくディスエーブルされます。この構成における入力側の立ち上がり時間アクセラレータは引き続き \overline{ACC} ピンによって制御され、個別にイネーブルすることができます。図4では、 V_{IL} を高くし、入力側の3mAの立ち上がり時間アクセラレータ電流を得るために、 \overline{ACC} がオープンのままになっています。

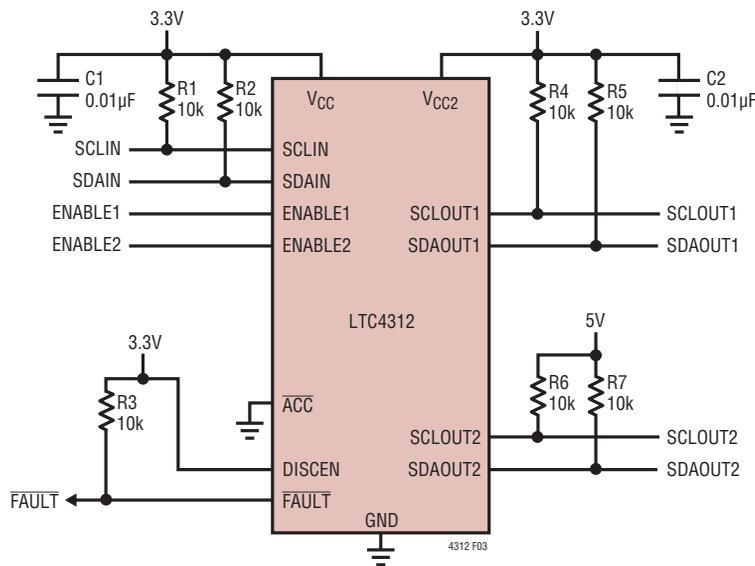


図3. レベルシフト・アプリケーションにおけるLTC4312の接続。
 V_{CC2} は出力側の最小バス電源電圧以下。

アプリケーション情報

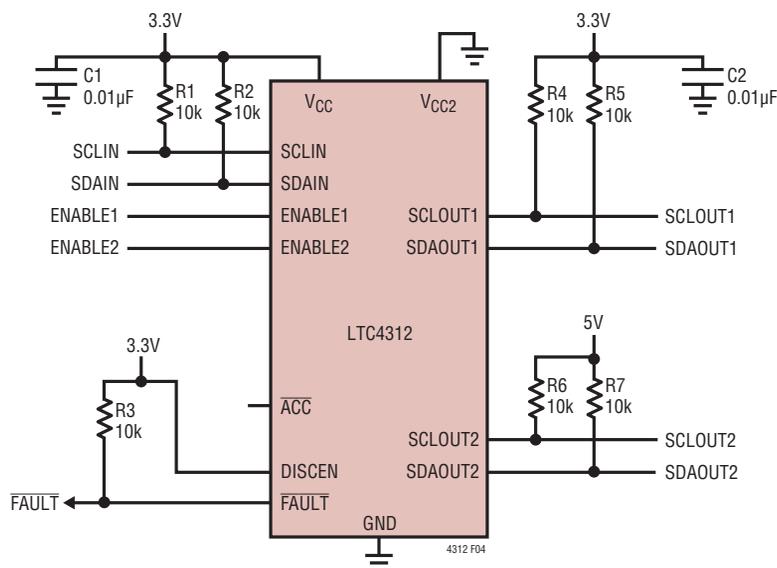


図4. レベルシフト・アプリケーションにおけるLTC4312の接続。 V_{CC} は出力側の最小バス電源電圧以下。出力の立ち上がり時間アクセラレータをディスエーブルするために、 V_{CC2} は接地してある

プルアップ抵抗値の選択

立ち上がり時間アクセラレータが立ち上がりエッジでアクティブになるよう保証するには、バス自体が少なくとも $0.4\text{V}/\mu\text{s}$ の正のスルーレートで立ち上がる必要があります。これを実現するには、式1を使用して最大の R_{BUS} を選択します。

$$R_{BUS}(\Omega) \leq \frac{(V_{DD,BUS(MIN)} - V_{RTA(TH)})}{0.4 \frac{\text{V}}{\mu\text{s}} \cdot C_{BUS}} \quad (1)$$

R_{BUS} はバス・プルアップ抵抗、 $V_{DD,BUS(MIN)}$ は最小バス・プルアップ電源電圧、 $V_{RTA(TH)}$ は立ち上がり時間アクセラレータがオンする電圧 (ACCの関数)、 C_{BUS} は等価バス容量です。各出力チャンネルの R_{BUS} の値は、必要なすべての出力チャンネルがイネーブルされたときに合計バス電流が 4mA 以下になるように選ぶ必要もあります。同時にイネーブルされるチャンネルが1つだけの場合は、各出力チャンネルのバス電流を 4mA にすることができます。入力側の R_{BUS} の値も、バス電流を 4mA 以下に制限するように選ぶ必要があります。1つのバスのバス電流は式2によって求められます。

$$I_{BUS}(A) = \frac{V_{DD,BUS} - 0.4\text{V}}{R_{BUS}} \quad (2)$$

入力から出力までのオフセット電圧と伝播遅延

LTC4312では、入力と出力の間の立ち下がりエッジにオフセットと伝播遅延が生じます。LTC4312のいずれかのデータ・ピンまたはクロック・ピンで 200mV 以上のロジック“L”電圧がドライブされると、LTC4312はその反対側の電圧をこれよりもわずかに高い電圧に安定化します。SCLINまたはSDAINがロジック“L”電圧にドライブされると、SCLOUTまたはSDAOUTは式3に従ってこれよりもわずかに高い電圧にドライブされます (式3はSDAを例として用いています)。

$$V_{SDAOUT}(V) = V_{SDAIN} + 45\text{mV} + (10\Omega + R_{MUX}) \cdot \frac{V_{DD,BUS}}{R_{BUS}} \quad (3)$$

$V_{DD,BUS}$ は出力バス電圧、 R_{BUS} は出力バスのプルアップ抵抗、 R_{MUX} はブロック図に示すマルチプレクサのチャンネル伝送ゲートの抵抗です。オフセットは V_{CC2} 電圧とバス電流の影響を受けます。 V_{CC2} 電圧 (V_{CC2} が接地されている場合は V_{CC}) が高ければ R_{MUX} が小さくなり、結果としてオフセットも小さくなります。「標準的性能特性」に示す V_{CC2} と温度による R_{MUX} の変動曲線を参照してください。SDAOUTまたはSCLOUTが 200mV 以上のロジック“L”電圧にドライブされると、SCLINまたはSDAINは式4に従ってロジック“L”電圧に安定化されます (式4はSDAを例として用いています)。

アプリケーション情報

$$V_{SDAIN}(V) = V_{SDAOUT} + 45mV + 10\Omega \cdot \frac{V_{DD,BUS}}{R_{BUS}} \quad (4)$$

マルチプレクサの伝送ゲートはオフセットには影響を与えないので、SCLOUT/SDAOUTからSCLIN/SDAINへのオフセットは逆の場合よりも小さくなります。200mV未満のロジック“L”電圧にドライブされる場合、オープンコレクタ出力トランジスタの飽和電圧によりオフセットが大きくなるので、上式は適用されません。ただし、オフセットはあらゆる状態において、4mAの合計バス・プルアップ電流に対し400mV未満であることが保証されています。ロジック“L”のドライブ電圧とバス・プルアップ電流に対するバッファのオフセット電圧の変化については、「標準的性能特性」のグラフを参照してください。

“H”から“L”への伝播遅延は、バッファの応答時間にもその電流シンク能力にも限界があるために生じます。バス容量に対する伝播遅延の変化については、「標準的性能特性」のグラフを参照してください。

LTC4312同士および他のLTCバス・バッファとのカスケード接続

アプリケーションの要件に応じて、複数のLTC4312をカスケード接続することや、LTC4312と他のバス・バッファをカスケード接続することができます。LTC4312と別のLTC4312、および他のいくつかのLTCバス・バッファとをカスケード接続した場合のデータ・パスを図5に示します。クロック・パスは同一です。このようなカスケード接続を使用する場合、システムのノイズ・マージンを決定する際には追加的なロジック“L”のオフセット電圧 V_{OS} に注意する必要があります。カスケード前後でのオフセット(式3と式4、および対応するバス・バッファのデータシートを参照)の合計にワーストケースのロジック“L”のドライブ電圧を加えた値がバッファのターンオフ電圧を超えると、信号はカスケード接続を通して伝達されなくなります。また、カスケード内の各デバイスの立ち上がり時間アクセラレータ(RTA)の最小ターンオン電圧(該当する場合)も、カスケード内のすべてのデバイスの最大バッファ・ターンオフ電圧より大きくなければなりません。この条件は、1つのデバイスのバッファと他のデバイスのRTA間の競合を防ぐために必要です。この要件に基づき、LTC4312ではそのRTAのターンオン電圧を

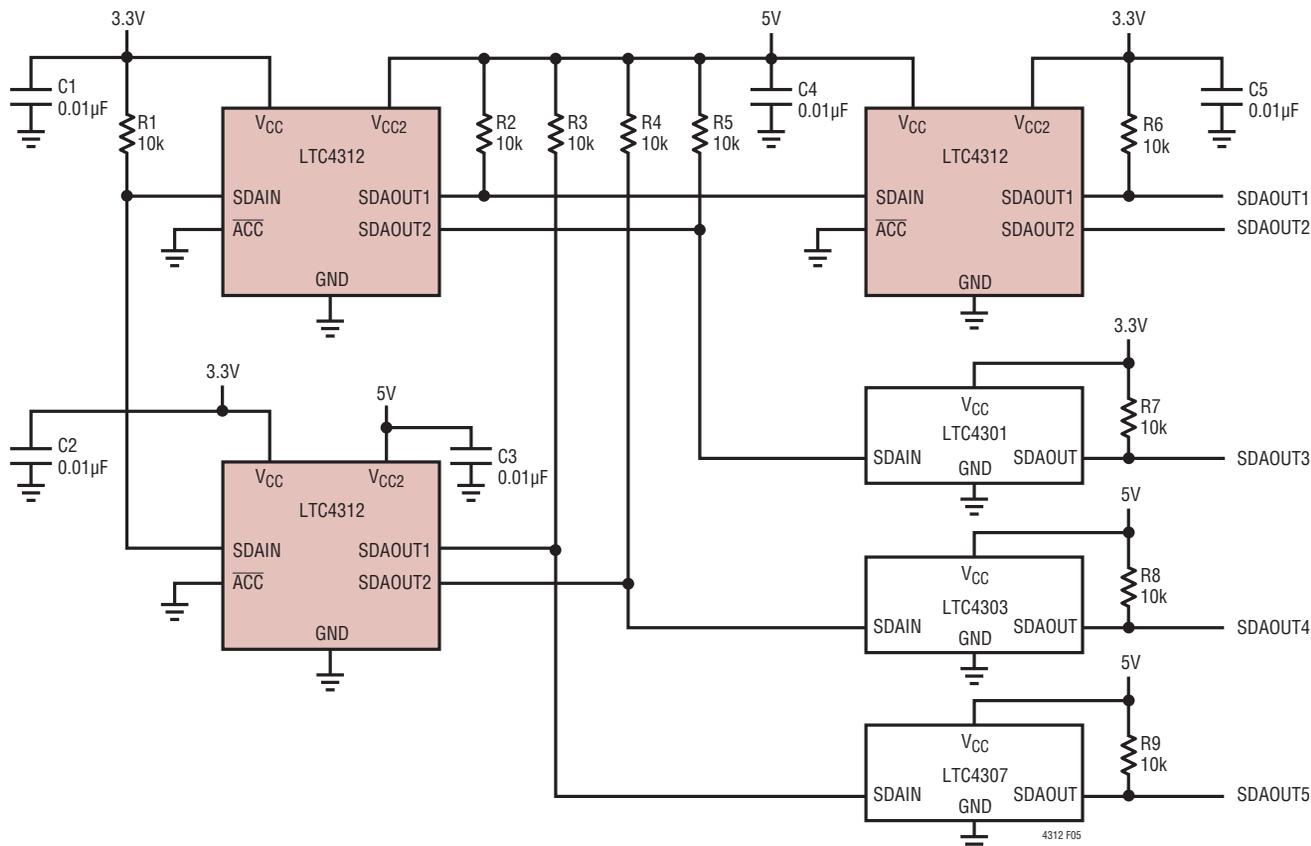


図5. LTC4312と別のLTC4312および他のLTCバス・バッファとの接続。簡略化のためSDAバスだけが示されている。

アプリケーション情報

0.8Vに設定すれば(\overline{ACC} を“L”)、LTC4303およびLTC4307とカスケード接続することができます。LTC4301とLTC4301LにはRTAがないので、LTC4312はあらゆる \overline{ACC} 設定でこれらのデバイスとカスケード接続することが可能です。また、LTC4312は、0.8VでオンするようにそのRTAを設定すれば(\overline{ACC} を“L”)、LTC4302、LTC4304、LTC4305、およびLTC4306とカスケード接続することができます。あるいは、他のバス・バッファのRTAをディスエーブルすれば、あらゆる \overline{ACC} 設定でこれらのデバイスとカスケード接続することができます。最後に、2つのLTC4312の \overline{ACC} ピンを同じ状態(“H”、“L”、またはオープン)に設定するか、一方のLTC4312の \overline{ACC} ピンを“H”に接続して他方のLTC4312の \overline{ACC} ピンをオープンのままにすれば、2つのLTC4312をカスケード接続することができます。

放射状通信

放射状通信アプリケーションにおけるLTC4312の使用法を図6に示します。スレーブのI²Cデバイスとの通信の冗長性を確保するために、2つのシェルフ・マネージャが接続されています。それぞれのシェルフ・マネージャには、システム内のボード数と望みの放射状/スター構成に応じて、必要な数のLTC4312を使用することができます。いつでも“H”にアサートできるのは、一方のシェルフ・マネージャ内にあるLTC4312のENABLEピンに限られます。簡略化のために図6ではSDAパスだけが示されていますが、SCLパスも同じです。

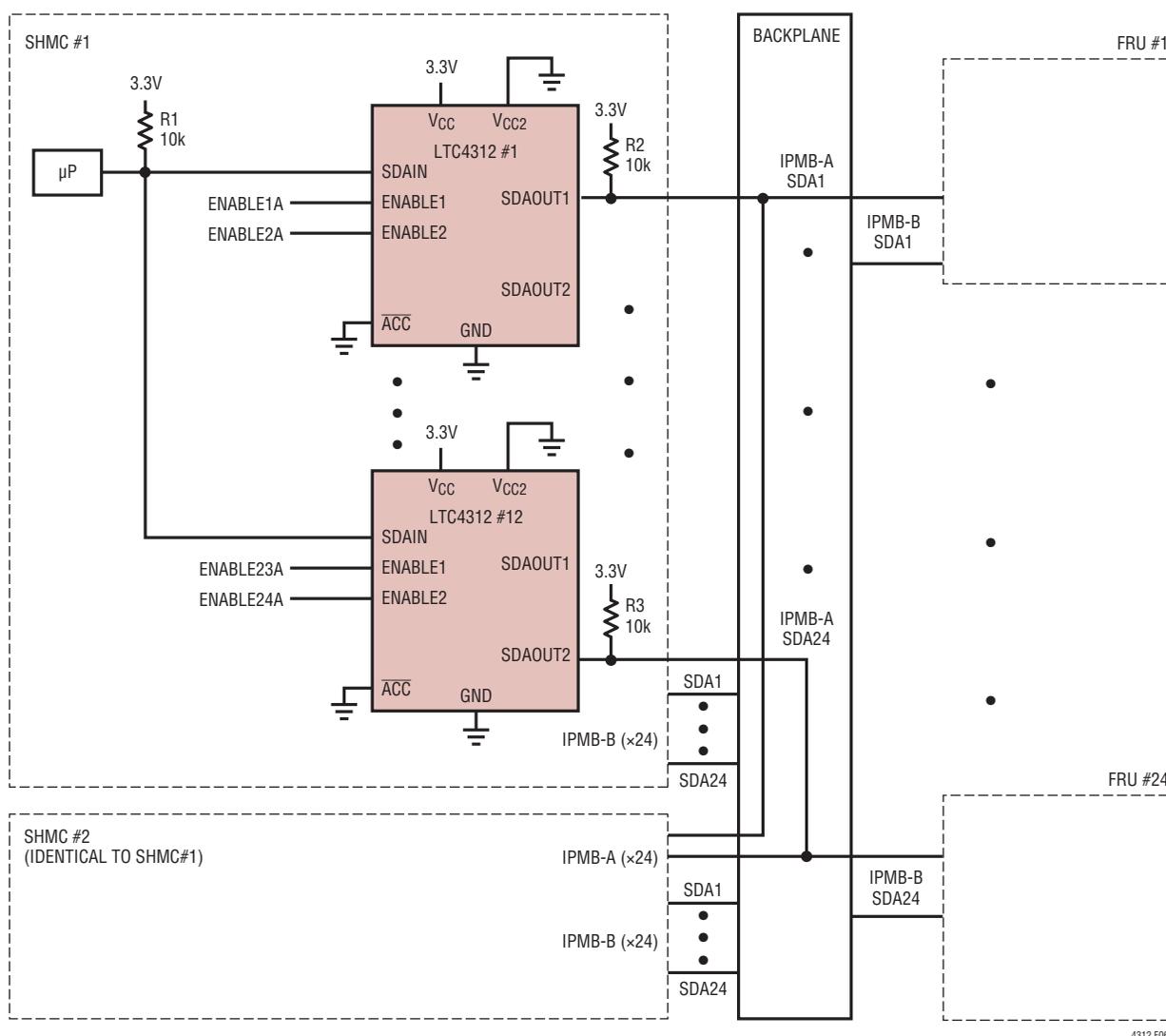


図6. 12×2配置の放射状接続冗長通信シェルフ・マネージャ・アプリケーション用に構成されたLTC4312。一方のシェルフ・マネージャ内にあるENABLEピンだけがいつでも“H”にアサート可能。簡略化のためSDAパスだけが示されている。

アプリケーション情報

アドレス指定のネスト化

LTC4312のENABLEピンをチャンネル選択ビットとして使用すれば、アドレス指定をネスト化することができます。これを図7に示します。図7のマスターは、ある時点で1つの出力チャンネルだけを選択してイネーブルすることによって、同じアドレスを持つスレーブ・デバイスと通信します。スレーブのアドレスが同じなので、マスターが両方のチャンネルを同時にイネーブルすることがないように注意が必要です。

ストップ・ビットの生成とFAULTクロッキング

イネーブルされたチャンネルの1つで出力バスが“L”にスタックされて(SCLOUTまたはSDAOUTが少なくとも45msにわたり“L”にスタック)DISCENが“H”になっている場合、LTC4312

は、まず入力と出力の接続を遮断してFAULTを“L”にアサートし、2つのチャンネルに共通なSCLOUTノード上で最大16個の5.5kHzクロック・パルスを生成することによって、バスのスタック状態を解消しようとします。スタックしたバスがこの間に“H”になると、クロック・パルスが停止してストップ・ビットが生成され、FAULTフラグが解除されます。入力と出力の接続を確立するには、すべてのENABLEを“L”にしてから必要なチャンネルのENABLEをアサートする必要があります。このプロセスを図8に示します。これはチャンネル1だけがアクティブなときに、SDAOUT1が“L”にスタックして復旧した場合の例です。DISCENが“L”に接続されてスタック“L”イベントが発生した場合はFAULTフラグが“L”にドライブされますが、入力と出力の接続は遮断されず、クロックも生成されません。

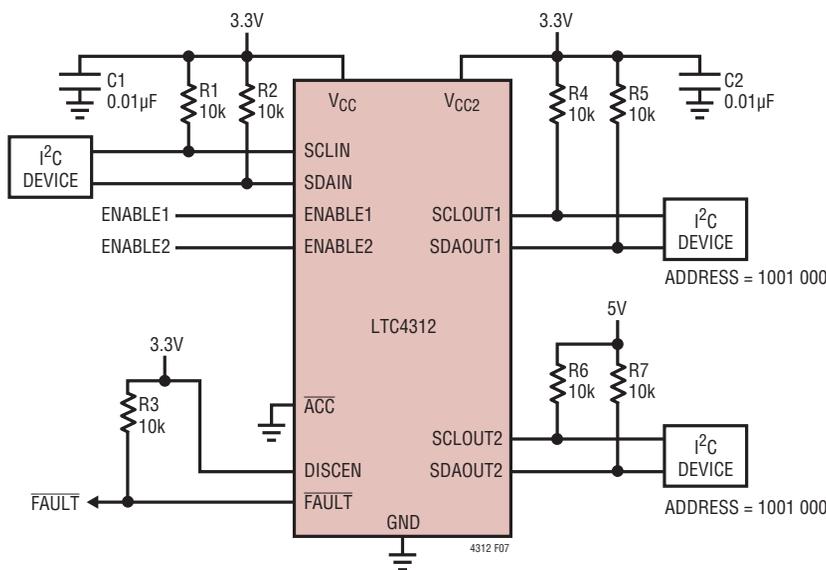


図7. アドレス指定のネスト化

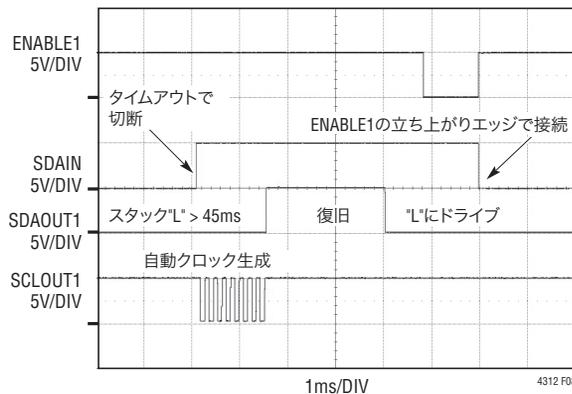


図8. SDAOUT1が“L”にスタックして復旧する場合のバス波形

アプリケーション情報

デマルチプレクサ機能

LTC4312は双方向性なので、デマルチプレクサとして使用することができます。これを図9に示します。図9では2つのチャンネルを使用して、冗長性を備えたマスター側からスレーブ側にI²Cデータをドライブしています。このアプリケーションでは、SDAOUT/SCLOUTチャンネルが入力の役割を果たし、SDAIN/SCLINチャンネルが出力の役割を果たしています。マスター側の冗長性により電源故障時の保護機能が与えられます。図9

では、チャンネル1の5Vバス電源が1.4Vを下回ると、ENABLE1がそのデジタル・スレッショルドよりも低い値にドライブされてチャンネル1がディスエーブルされます。同時に、ENABLE2のNPNプルダウン・デバイスのV_{BE}が0.7V未満に低下して、そのプルダウン・デバイスがオフします。この結果、R7によってENABLE2がプルアップされてチャンネル2がイネーブルされ、I²Cのバックアップ用マスター・デバイスに制御が移行します。

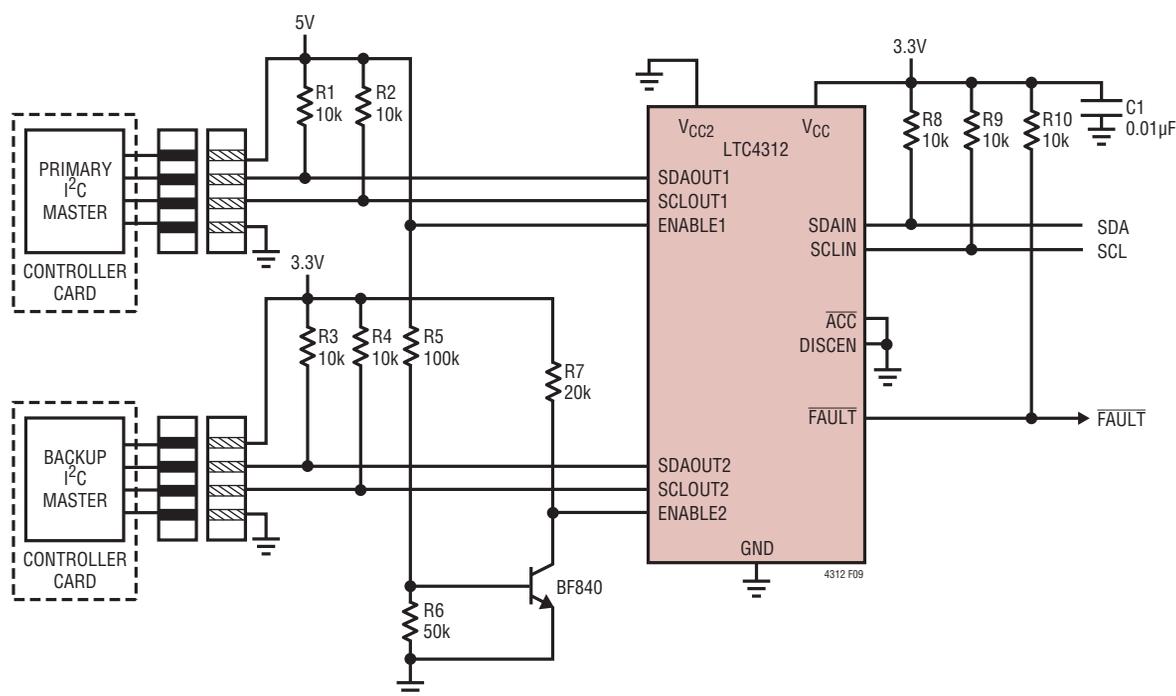


図9. 冗長システムにおける2:1デマルチプレクサとして構成されたLTC4312

LTC4312

アプリケーション情報

ホットスワップ

標準的なホットスワップ・アプリケーションにおけるLTC4312の例を図10に示します。図10ではLTC4312がバックプレーンに搭載され、I/Oカードは下り方向チャンネルに挿入されます。出力は“H”のままアイドル状態になっていなければならない、I/Oカードを出力チャンネルに対して挿抜する前に対応する出力チャンネルをディスエーブルしなければなりません。図10は、仕

様に適合しないI²CデバイスをLTC4312で使用方法も示しています。LTC4312は大きなノイズ・マージンを備えているので0.3・V_{CC}までのロジック“L”レベルに対応可能で、クロック・ラインおよびデータ・ライン上で0.4Vを超えるロジック“L”レベルをドライブすることができます。

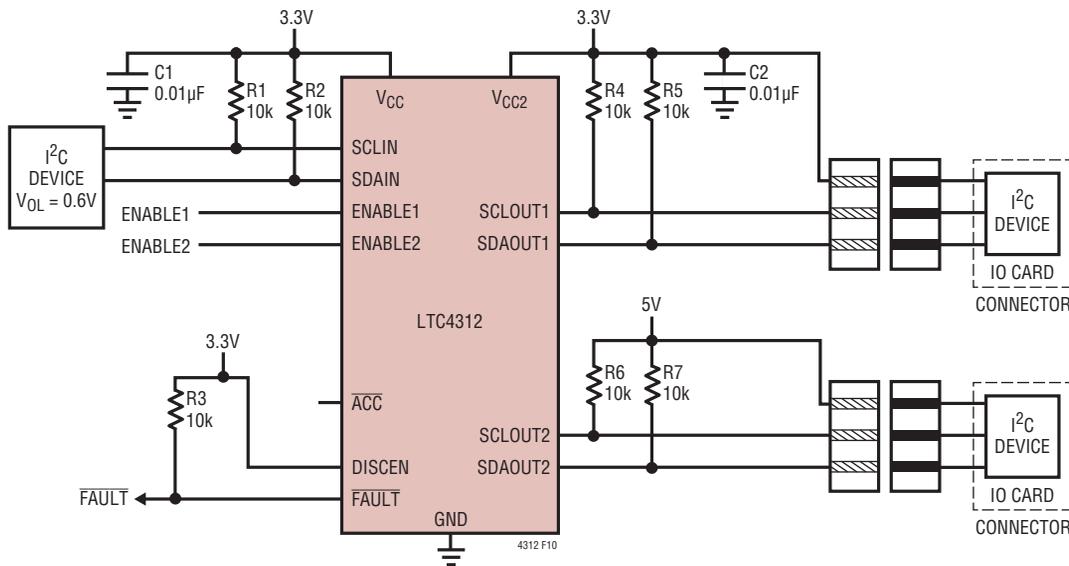


図10. 仕様に適合しないI²Cデバイスを使用した、SDA、SCLのホットスワップおよび動作

アプリケーション情報

2.25V未満のバス電圧へのレベル変換

一定の条件が満たされれば、LTC4312は2.25V未満のバス電圧へのレベル変換に使用することができます。このレベル変換を行うには、低電圧バスのオーバードライブを防ぐために低電圧側のRTAをディスエーブルする必要があります。出力チャネルの一方が低電圧バス電源にプルアップされる場合は、出力チャネル間のクロス導通を防ぐために、このチャネルがアクティブになっている間はもう一方の出力チャネルをディスエーブルする必要があります。バッファのターンオン電圧とターンオフ電圧は $0.3 \cdot V_{\text{MIN}}$ なので、最小バス電源電圧は式5によって求められます。

$$V_{\text{DD,BUS(MIN)}} \geq \frac{0.3 \cdot V_{\text{MIN}}}{0.7} \quad (5)$$

これは、 $V_{\text{IH}} = 0.7 \cdot V_{\text{DD,BUS}}$ の要件を満たし、ロジック“H”のノイズ・マージンに影響を与えないための値です。ロジック“H”のノイズ・マージンを小さくできる場合は、最小1.5Vまでレベル変換を行うことができます。3.3Vから1.8Vへの電圧レベル変換の例を図11に示します。この例では、3.3Vの入力電圧レベルがチャネル1の1.8V出力電圧レベルに変換されています。 V_{CC} を3.3Vに接続すると式5に一致します。 V_{CC2} を接地すると、低電圧チャネルのRTAがディスエーブルされます。これらの状況下では V_{MIN} はデフォルトの V_{CC} となり、バッファのターンオフ電圧は0.99Vになります。チャネル1をイネーブルしたときはチャネル2をディスエーブルしなければなりません。入力RTAをディスエーブルするために $\overline{\text{ACC}}$ を“H”に接続し、 V_{CC} と V_{CC2} を出力側のバス電源に接続した場合は、出力側の3.3Vバス電源から入力側の1.8Vバス電源へ同様の電圧変換を行うことができます。

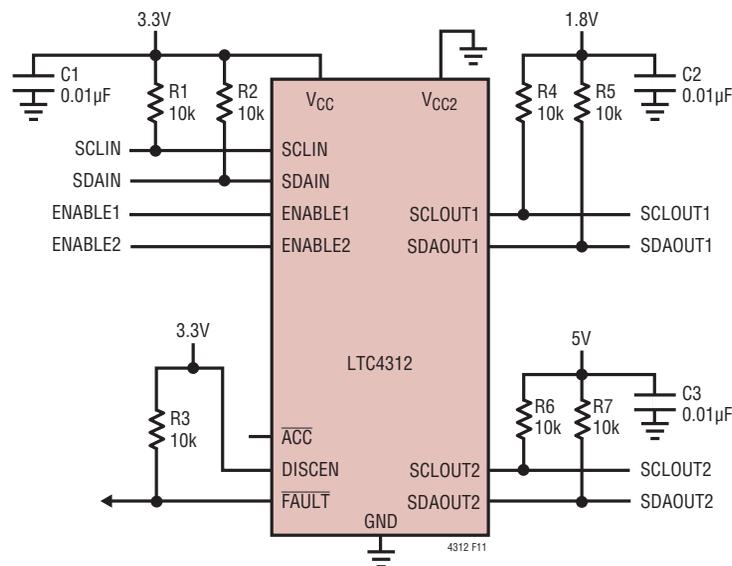
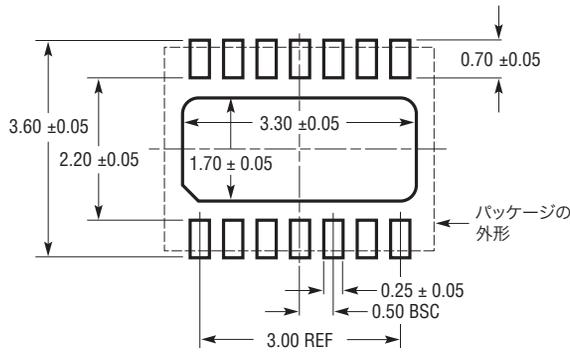


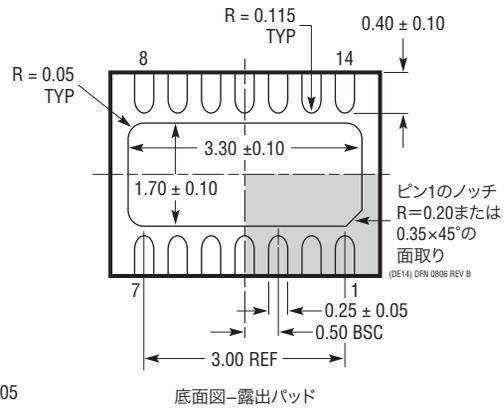
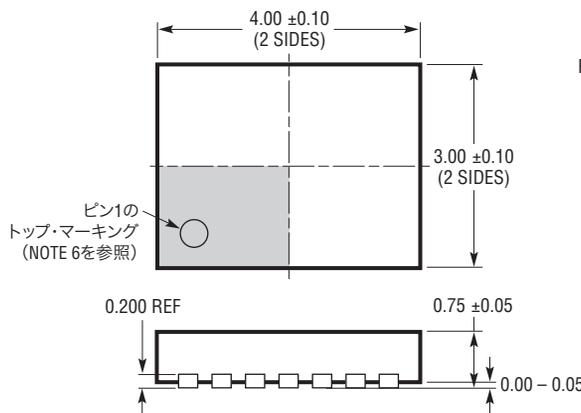
図11. LTC4312を使用した1.8Vへのレベルシフト(ダウン)。低電圧バスの立ち上がり時間アクセラレータをディスエーブルするために V_{CC2} を接地。ENABLE1が“H”の場合、ENABLE2は“L”でなければならない

パッケージ

DEパッケージ
14ピン・プラスチックDFN (4mm×3mm)
 (Reference LTC DWG # 05-08-1708 Rev B)



推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する

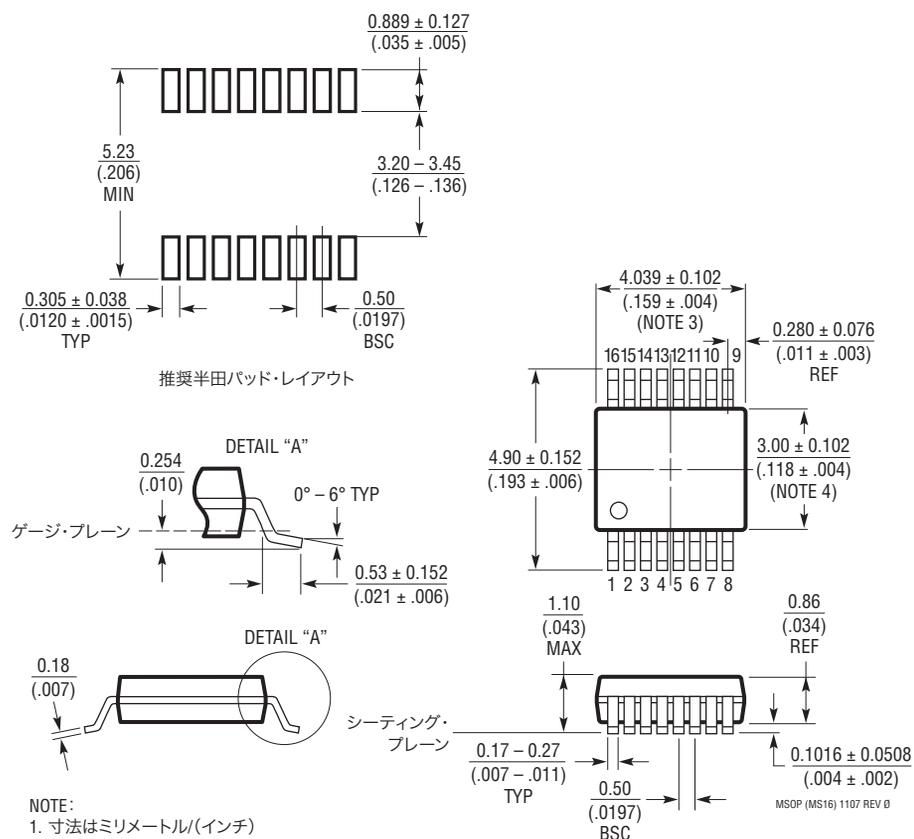


NOTE:

1. 図はJEDECパッケージ・アウトラインMO-229のバージョンのバリエーション(WGED-3)として提案
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考にすぎない

パッケージ

MSパッケージ
16ピン・プラスチックMSOP
(Reference LTC DWG # 05-08-1669 Rev 0)

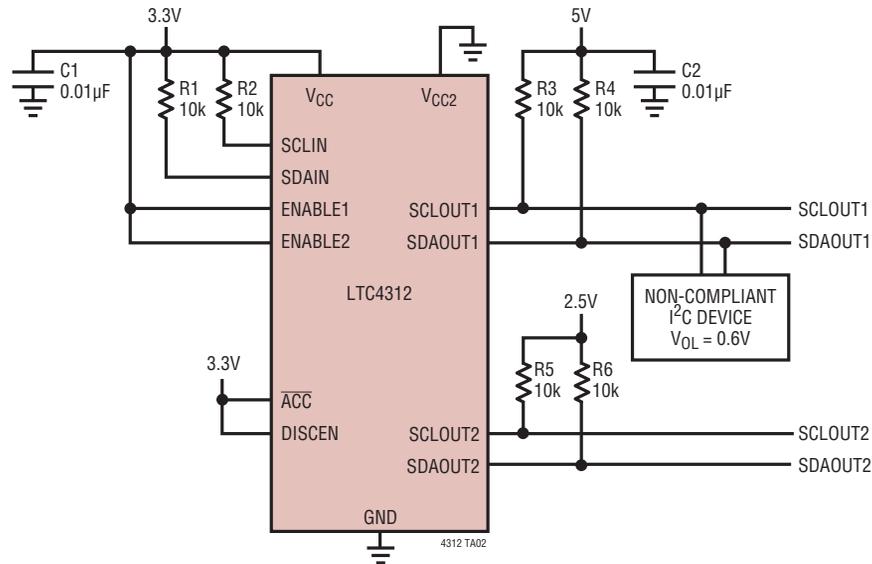


NOTE:

1. 寸法はミリメートル(インチ)
2. 寸法は実寸とは異なる
3. 寸法にはモールドのバリ、突出部またはゲートのバリを含まない
モールドのバリ、突出部またはゲートのバリは各サイドで0.152mm (0.006")を超えないこと
4. 寸法にはリード間のバリまたは突出部を含まない
リード間のバリまたは突出部は各サイドで0.152mm (0.006")を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大0.102mm (0.004")であること

標準的応用例

2.5V、3.3V、5Vバス間のレベル変換および仕様に適合しないI²Cデバイスを使用した動作



関連製品

製品番号	説明	注釈
LTC4300A-1/ LTC4300A-2/ LTC4300A-3	ホットスワップ可能な2線バス・バッファ	-1: READYピンおよびENABLEピンを備えたバス・バッファ -2: ACCを備えたデュアル電源バッファ -3: ENABLEピンを備えたデュアル電源バッファ
LTC4302-1/ LTC4302-2	アドレス指定可能な2線バス・バッファ	アドレス拡張、GPIO、ソフトウェアによる制御
LTC4303 LTC4304	スタックバス復旧機能付き、 ホットスワップ可能な2線バス・バッファ	自動クロッキングでスタックしたI ² Cバスを解放
LTC4305 LTC4306	容量バッファリング付き2チャンネル または4チャンネルの2線バス・マルチプレクサ	ソフトウェアで選択可能な2本または4本の下り方向バス、スタックバスの切断、立ち上がり時間アクセラレータ、フォールト通知、±10kV人体モデルESD耐性
LTC4307	スタックバス復旧機能付き、低オフセットの ホットスワップ可能な2線バス・バッファ	バッファのオフセット電圧: 60mV、スタックバスの切断および復旧タイムアウト: 30ms、立ち上がりアクセラレータ、±5kV人体モデルESD耐性
LTC4307-1	高解像度マルチメディアインタフェース(HDMI) レベルシフト2線バス・バッファ	バッファのオフセット電圧: 60mV、3.3Vと5V間のレベルシフト、±5kV人体モデルESD耐性
LTC4308	スタックバス復旧機能付き、ホットスワップ可能な 低電圧レベルシフト2線バス・バッファ	ENABLEピンおよびREADYピンを備えたバス・バッファ、最小1Vバスまでレベル変換、出力側の立ち上がり時間アクセラレータ
LTC4309	スタックバス復旧機能付き、ホットスワップ可能な 低オフセット2線バス・バッファ	バッファのオフセット電圧: 60mV、スタックバスの切断および復旧タイムアウト: 30ms、立ち上がりアクセラレータ、±6kV人体モデルESD耐性
LTC4310-1/ LTC4310-2	ホットスワップ可能なI ² Cアイソレータ	-1: 100kHzバス -2: 400kHzバス
LTC4311	低電圧I ² C/SMBusアクセラレータ	立ち上がり時間アクセラレータ、ENABLEピン付き、±8kV人体モデルESD耐性
LTC4314	ピンで選択可能なバス・バッファ付き4チャンネル、 2線バス・マルチプレクサ	ピンで選択可能な4本の下り方向バス、スタックバスの切断および復旧、立ち上がり時間アクセラレータの電流および作動電圧を選択可能、±4kV人体モデルESD耐性
LTC4301	電源に依存しないホットスワップ可能な 2線バス・バッファ	1Vのプリチャージ、CSピンおよびREADYピンを備えたバス・バッファ
LTC4301L	低電圧レベル変換付き、ホットスワップ可能な 2線バス・バッファ	CSピンおよびREADYピンを備えたバス・バッファ、最大1Vの入力バス電圧が可能
LTC1694-1	SMBus/I ² Cアクセラレータ	立ち上がり時間アクセラレータ