

IEEE 802.3bt PD インタフェース・コントローラ

特長

- IEEE 802.3af/at/bt (ドラフト 2.3) 受電装置 (PD) コントローラ
- 最大 71W の PD をサポート
- 5 イベントの分類検出
- 優れたサージ保護 (絶対最大定格: 100V)
- 広い接合部温度範囲 (-40°C ~ 125°C)
- 過熱保護
- シグネチャ抵抗を内蔵
- ホット・スワップ用の N チャネル MOSFET を外付けすることにより、最小の電力損失および最高のシステム効率を達成
- 最小 9V の構成可能な補助電源をサポート
- LTPoE++ PD を IEEE 802.3bt PD に容易に移行
- LT4275A/B/C とピン互換
- 10ピン MSOP パッケージおよび 3mm × 3mm DFN パッケージで供給可能

アプリケーション

- 高出力の無線データ・システム
- 屋外防犯カメラ装置
- 商用情報および公開情報の表示装置
- 高温での産業用機器アプリケーション

概要

LT[®]4294 は、IEEE 802.3af/at/bt (ドラフト 2.3) 準拠の受電装置 (PD) インタフェース・コントローラです。T2P 出力は、IEEE 802.3bt 準拠の相互識別時および供給可能な電力のネゴシエーション時に受け取った分類イベントの数を示します。

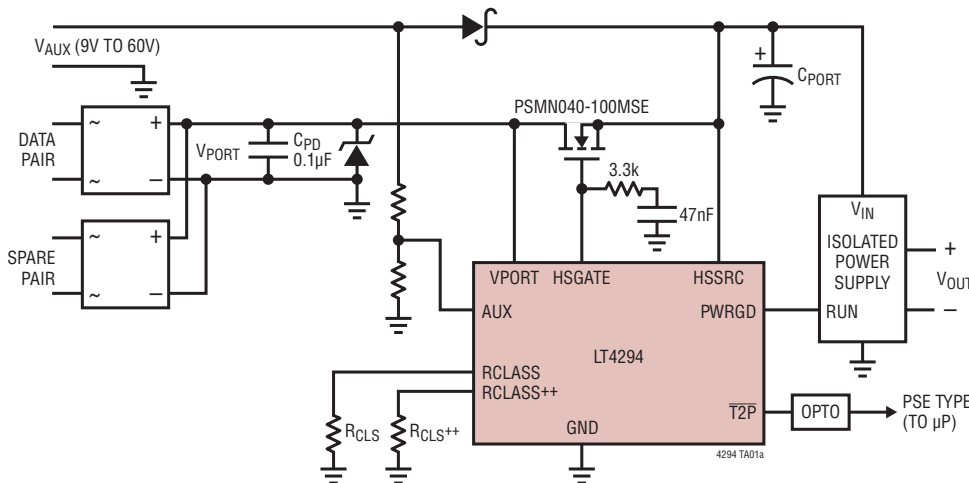
LT4294 は、低 R_{DS(ON)} の外付け N チャネル ホット・スワップ MOSFET を使用し、LT4320/LT4321 理想ダイオード・ブリッジをサポートして、終端間の電力供給効率を高め、高価なヒートシンクの必要性をなくします。LT4294 には、パワーグッド出力、シグネチャ抵抗、低電圧ロックアウト回路、および熱保護回路も内蔵されています。起動時の突入電流は外付けコンデンサで調整可能です。AUX ピンにより、補助電源の変更機能が最小 9V までサポートされています。

LT4294 は、外付け部品の変更により、802.3bt、802.3at、および 802.3af の可能な全ての電力レベルをサポートするように構成できます。PD インタフェース・コントローラの LT4275 ファミリーとピン互換なので、LTPoE++ PD から IEEE 802.3bt 準拠の PD へ容易に移行することができます。

LT、LT、LTC、LTM、Linear Technology、会社ロゴ、および LTPoE++ は、Analog Devices, Inc. の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

IEEE 802.3bt シングル・シグネチャ受電装置インタフェース



シングル・シグネチャの電力分類

| クラス | PDの入力で供給可能な電力 |
|-----|---------------|
| 0 | 13W |
| 1 | 3.84W |
| 2 | 6.49W |
| 3 | 13W |
| 4 | 25.5W |
| 5 | 40W |
| 6 | 51W |
| 7 | 62W |
| 8 | 71W |

LT4294

絶対最大定格

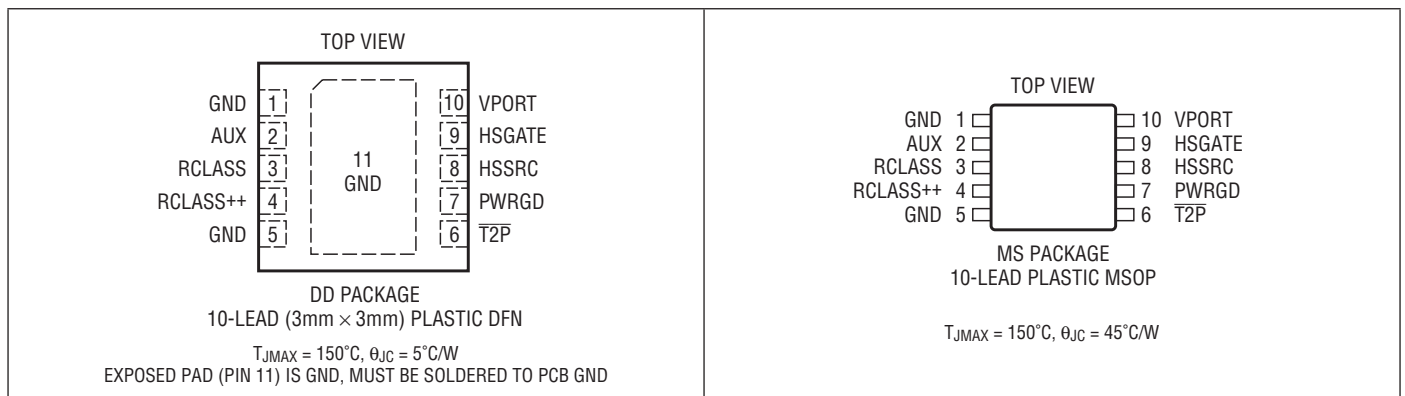
(Note 1, 3)

| | |
|--------------------|----------------------|
| VPORT、HSSRCの電圧 | -0.3V~100V |
| HSGATEの電流 | ±20mA |
| RCLASS、RCLASS++の電圧 | -0.3V~8V(かつ ≤ VPORT) |
| AUXの電流 | ±1.4mA |
| T2P、PWRGDの電圧 | -0.3V~100V |
| T2P、PWRGDの電流 | 5mA |

動作接合部温度範囲 (Note 4)

| | |
|-----------------|-------------|
| LT4294I | -40°C~85°C |
| LT4294H | -40°C~125°C |
| 保存温度範囲 | -65°C~150°C |
| リード温度(半田付け、10秒) | 300°C |

ピン配置



発注情報

<http://www.linear-tech.co.jp/product/LT4294#orderinfo>

| 無鉛仕上げ | テープ・アンド・リール | 製品マーキング* | パッケージ | 温度範囲 |
|---------------|-----------------|----------|---------------------------------|----------------|
| LT4294IDD#PBF | LT4294IDD#TRPBF | LHBX | 10 Lead (3mm × 3mm) Plastic DFN | -40°C to 85°C |
| LT4294HDD#PBF | LT4294HDD#TRPBF | LHBX | 10 Lead (3mm × 3mm) Plastic DFN | -40°C to 125°C |
| LT4294IMS#PBF | LT4294IMS#TRPBF | LTHBW | 10-Lead Plastic TSSOP | -40°C to 85°C |
| LT4294HMS#PBF | LT4294HMS#TRPBF | LTHBW | 10-Lead Plastic TSSOP | -40°C to 125°C |

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|--------------------|-------------------------------|--|-----|------|-----|-------|
| | VPORT Operating Input Voltage | At VPORT Pin | ● | | 60 | V |
| V _{SIG} | VPORT Signature Range | At VPORT Pin | ● | 1.5 | 10 | V |
| V _{CLASS} | VPORT Classification Range | At VPORT Pin | ● | 12.5 | 21 | V |
| V _{MARK} | VPORT Mark Range | At VPORT Pin, Preceded by V _{CLASS} | ● | 5.6 | 10 | V |

電气的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 3)。

| SYMBOL | PARAMETER | CONDITIONS | | MIN | TYP | MAX | UNITS |
|-------------|-----------------------------------|---------------------------------------|---|-----|-----|-----|-------|
| | VPORT Aux Mode Range | At VPORT Pin, $AUX > V_{AUXT}$ | ● | 8 | | 60 | V |
| | Signature/Class Hysteresis Window | | ● | 1.0 | | | V |
| V_{RESET} | Reset Threshold | At VPORT Pin, Preceded by V_{CLASS} | ● | 2.6 | | 5.6 | V |
| V_{HSON} | Hot Swap Turn-On Voltage | | ● | | 35 | 37 | V |
| V_{HSOFF} | Hot Swap Turn-Off Voltage | | ● | 30 | 31 | | V |
| | Hot Swap On/Off Hysteresis Window | | ● | 3 | | | V |

電源電流

| | | | | | | | |
|--|--------------------------------------|---|---|-----|-----|-----|----|
| | Supply Current | $V_{VPORT} = V_{HSSRC} = 57\text{V}$ | ● | | | 2 | mA |
| | Supply Current During Classification | $V_{VPORT} = 17.5\text{V}$, RCLASS and RCLASS++ Open | ● | 0.4 | 0.7 | 0.9 | mA |
| | Supply Current During Mark Event | $V_{VPORT} = V_{MARK}$ After 1st Classification Event | ● | 0.5 | | 2.2 | mA |

検出シグネチャと分類シグネチャ

| | | | | | | | |
|--|---|--|---|------|------|------|------------|
| | Detection Signature Resistance | V_{SIG} (Note 2) | ● | 23.7 | 24.4 | 25.2 | k Ω |
| | Resistance During Mark Event | V_{MARK} (Note 2) | ● | 5.8 | 8.3 | 11 | k Ω |
| | RCLASS/RCLASS++ Operating Voltage | $-10\text{mA} \geq I_{RCLASS} \geq -36\text{mA}$, V_{CLASS} | ● | 1.32 | 1.40 | 1.43 | V |
| | Classification Signature Stability Time | V_{VPORT} Step to 17.5V, 34.8 Ω from RCLASS or RCLASS++ to GND | ● | | | 2 | ms |

アナログ/デジタル・インタフェース

| | | | | | | | |
|------------|----------------------------------|-------------------------------|---|-----|-----|-----|---------------|
| V_{AUXT} | AUX Threshold | | ● | 6.1 | 6.3 | 6.5 | V |
| I_{AUXH} | AUX Pin Hysteresis Current | $V_{AUX} = 6.1\text{V}$ | ● | 3.2 | 5 | 7 | μA |
| | $\overline{T2P}$ Output Low | 1mA Load | ● | | | 0.8 | V |
| | PWRGD Output Low | 1mA Load | ● | | | 0.8 | V |
| | PWRGD Leakage Current | $V_{PWRGD} = 60\text{V}$ | ● | | | 5 | μA |
| | $\overline{T2P}$ Leakage Current | $\overline{T2P} = 60\text{V}$ | ● | | | 5 | μA |

活線挿抜制御

| | | | | | | | |
|-----------|-----------------------------|---|---|-----|-----|-----|---------------|
| I_{GPU} | HSGATE Pull-Up Current | $V_{HSGATE} - V_{HSSRC} = 5\text{V}$ (Note 6) | ● | -27 | -22 | -18 | μA |
| V_{GOC} | HSGATE Open Circuit Voltage | -10 μA Load, with Respect to HSSRC | ● | 10 | | 18 | V |
| | HSGATE Pull-Down Current | $V_{HSGATE} - V_{HSSRC} = 5\text{V}$ | ● | 200 | | | μA |

タイミング

| | | | | | | | |
|-----------|--|--|---|-----|----------|-----|--------|
| f_{T2P} | $\overline{T2P}$ Frequency | After PWRGD Valid, if IEEE802.3bt PSE Is Mutually Identified | ● | 690 | 840 | 990 | Hz |
| | $\overline{T2P}$ Duty Cycle in PoE Operation (Note 5) | After 4-Event Classification After 5-Event Classification (RCLASS++ Has Resistor to GND) | | | 50 25 | | % % |
| | $\overline{T2P}$ Duty Cycle in Auxiliary Supply Operation (Note 5) | $V_{AUX} > V_{AUXT}$, and RCLASS++ Has Resistor to GND | | | 25 | | % |

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性があります。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがあります。

Note 2: シグネチャ抵抗の仕様には、ポート抵抗を最大 1.1k 増加させる可能性がある外付けダイオード・ブリッジの抵抗が含まれていない。

Note 3: 全ての電圧値は (注記がない限り) GND を基準にしている。注記がない限り、正電流はピンに流れ込み、負電流はピンから流れ出す。

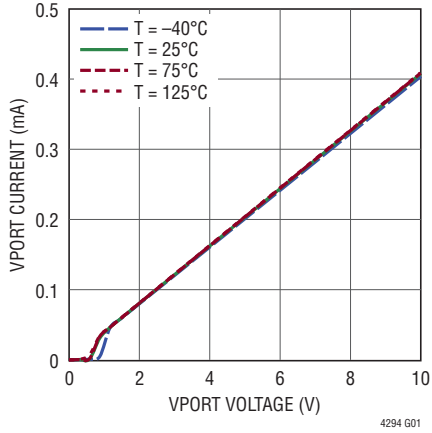
Note 4: このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能が動作しているとき接合部温度は 150°C を超える。規定された最大動作接合部温度を超えた状態で動作が継続すると、デバイスの信頼性を損なう恐れがある。

Note 5: $\overline{T2P}$ が GND に対して低インピーダンスである時間の割合 (%) として規定されている。

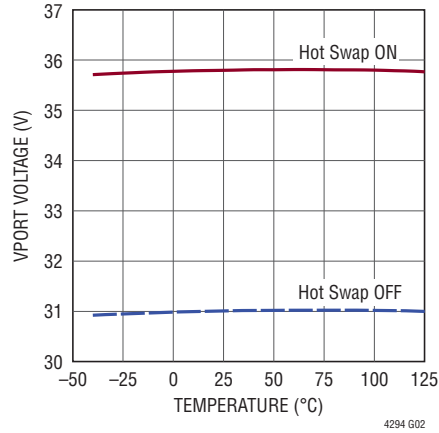
Note 6: PoE 受電動作時に流れる I_{GPU} 。つまり、 V_{VPORT} が $V_{HSOFF} \sim 60\text{V}$ の範囲で、 $V_{VPORT} > V_{HSON}$ かつ $V_{AUX} < V_{AUXT}$ となった後に流れる電流。

標準的性能特性

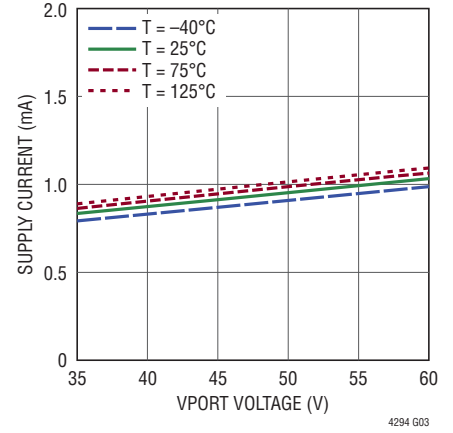
25k 検出シグネチャ抵抗の入力電流範囲と入力電圧範囲



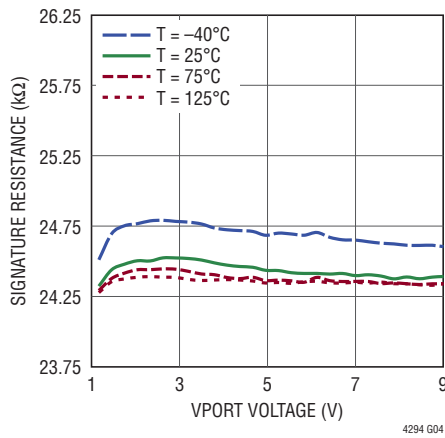
VPORT ホットスワップしきい値



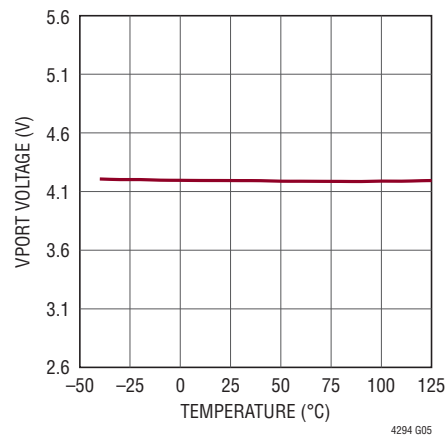
電源投入時の電源電流



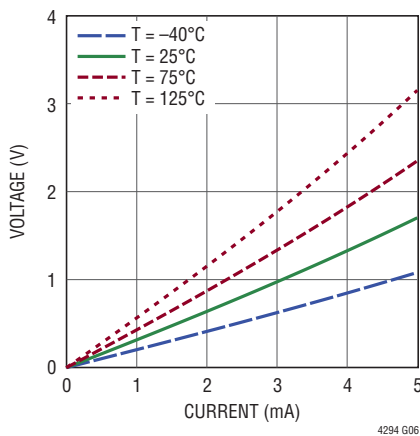
検出シグネチャ抵抗と入力電圧



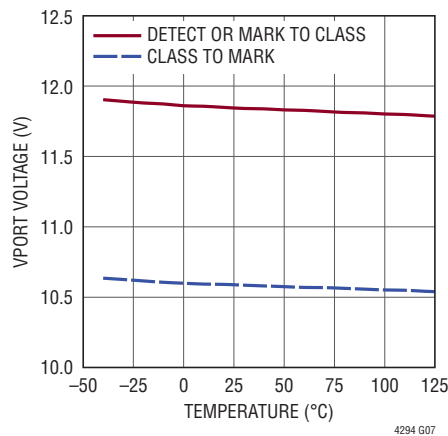
リセットしきい値



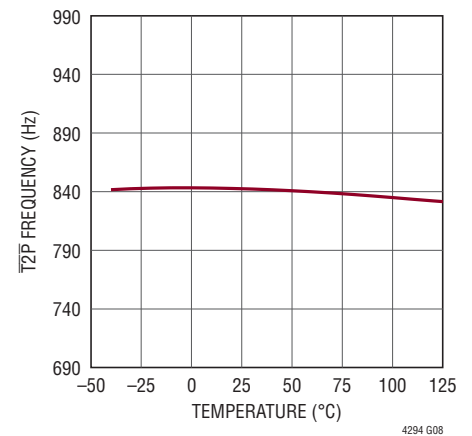
PWRGD、T2P Low 出力電圧と電流



VPORT 分類しきい値



T2P の周波数



ピン機能

GND (ピン1、5、DFN 露出パッドのピン11) : デバイスのグラウンド。露出パッドは、ピン5、およびPCBのGNDに電気的および熱的に接続する必要があります。

AUX (ピン2) : 補助検出ピン。補助電源入力とAUXの間に抵抗分割器を接続して、補助電源が引き継ぐ電圧を設定します。補助電源の動作時は、HSGATEの電圧が低下し、シグネチャ抵抗が切り離され、分類が無効になり、PWRGDピンが高インピーダンスになって、T2Pは供給可能な最大電力を示します。AUXピンは、その電圧がしきい値電圧 V_{AUXT} より低くなると、 I_{AUXH} が流れ込んでヒステリシス特性を示します。使用しない場合は、GNDに接続します。

RCLASS (ピン3) : 構成可能なPoE分類抵抗用のピン。表2を参照してください。

RCLASS++ (ピン4) : 構成可能なPoE分類抵抗用のピン。表2を参照してください。

T2P (ピン6) : PSEのタイプを示すオープンドレイン出力ピン。ピンの動作については「アプリケーション情報」のセクションを参照してください。

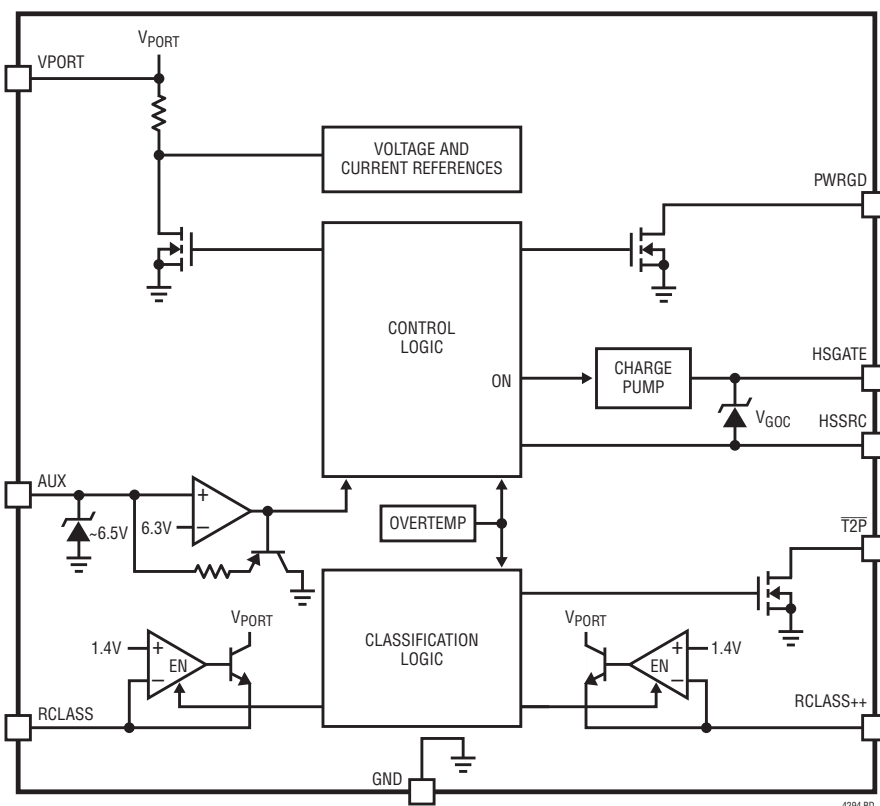
PWRGD (ピン7) : パワーグッド・インジケータ用のオープンドレイン出力ピン。 V_{CLASS} および突入電流モードではGNDまで低下します。

HSSRC (ピン8) : ホットスワップ用の外付けMOSFETのソース。外付けMOSFETのソースに接続します。

HSGATE (ピン9) : ホットスワップ用の外付けMOSFETのゲート制御、出力。外付けMOSFETのゲートに接続します。

VPORT (ピン10) : PDインタフェースの上側電源レールと、ホットスワップ用の外付けMOSFETのドレイン接続。

ブロック図



アプリケーション情報

概要

Power over Ethernet (PoE) 製品は、RJ45 コネクタ1つで、DC 電力と高速のデータという2つのメリットを得られることから、ますます普及が進んでいます。しかし、受電 (PD) 装置のベンダーの前には、IEEE 802.3at 規格によって設定された、25.5W という電力制限の壁が立ちはだかります。

LT4294 は IEEE 802.3bt (ドラフト 2.3) 準拠の PD インタフェース・コントローラであり、最大 71W の動作が可能である上に、既存の PSE システムとの下位互換性を維持しています。T2P 出力は、IEEE 802.3bt 準拠の相互識別時および供給可能な電力のネゴシエーション時に受け取った分類イベントの数を示します。LT4294 は、低 $R_{DS(ON)}$ の N チャンネル MOSFET を制御して、効率と供給電力を最大化します。

また、リニアテクノロジーは、スイッチング・レギュレータを内蔵した IEEE 802.3bt 準拠の PD である LT4295 を提供して、より小型で一体型の解決策が必要なアプリケーションの要求に対応しています。

IEEE 802.3bt と LTPoE++ での供給可能な電力

LT4294 は、最大 71W の IEEE 802.3bt PD 電力レベルをサポートします。

LT4275 および LT4276 は、LTPoE++ 規格のもとで最大 90W の PD 電力レベルをサポートすることができます。LTPoE++ 製品の一覧については、「関連製品」のセクションを参照してください。

動作モード

検出シグネチャ

検出モードでは、PSE はデバイスを PD として識別する 25k のシグネチャ抵抗を探します。PSE は 2.7V ~ 10.1V の範囲の 2 つの電圧を印加して、対応する電流を測定します。図 1 に検出電圧を示します。PSE は $\Delta V/\Delta I$ の測定手法により、シグネチャ抵抗を計算します。

LT4294 は、VPORT と GND ピンの間に温度補償された高精度の 24.4k Ω の抵抗値を示すことで、PD が存在して電源印加を要求していることを PSE に認識させます。LT4294 のシグネチャ抵抗は、IEEE が要求するブリッジまたは LT4321 ベースの理想ダイオード・ブリッジによって増加する直列抵抗を補うために、25k よりも小さな値になっています。

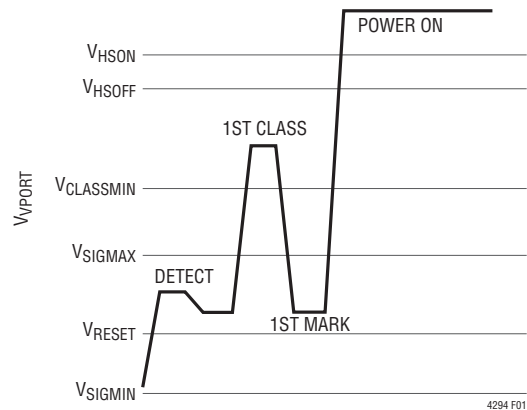


図 1. 1 イベント分類の信号波形

IEEE 802.3bt のシングル・シグネチャ PD とデュアル・シグネチャ PD

IEEE 802.3bt は、シングル・シグネチャとデュアル・シグネチャという 2 つの PD トポロジーを規定しています。LT4294 は主にシングル・シグネチャ PD トポロジーを対象にしているため、別の PD コントローラは必要ありません。このデータシートでの PD の説明および IEEE 802.3 規格の参考文献は、全てシングル・シグネチャ PD の範囲内に限られます。

LT4294 は、デュアル・シグネチャ PD アプリケーションに採用することもできます。詳細については、弊社にお問い合わせください。

分類シグネチャおよびマーク

分類/マークのプロセスは、PSE のタイプによって異なります。PSE は、検出に成功すると、14.5V ~ 20.5V の分類プローブ電圧を印加して、PD 分類シグネチャ電流を測定します。PSE は、いったん分類プローブ電圧を印加すると、PD の電圧をマーク電圧の範囲内に戻してから、別の分類プローブ電圧を印加するか、または PD に電力を供給します。

1 イベント分類の一例を図 1 に示します。2 イベント分類では、PSE は、図 2 に示すように電力分類のプロービングを 2 回行います。IEEE 802.3bt PSE は、PD に電力を供給する前に、最大で 5 つのイベントを適用することができます。

アプリケーション情報

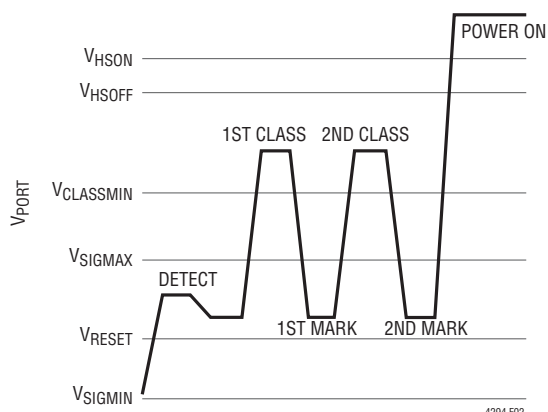


図2. 2イベント分類/マークの信号波形

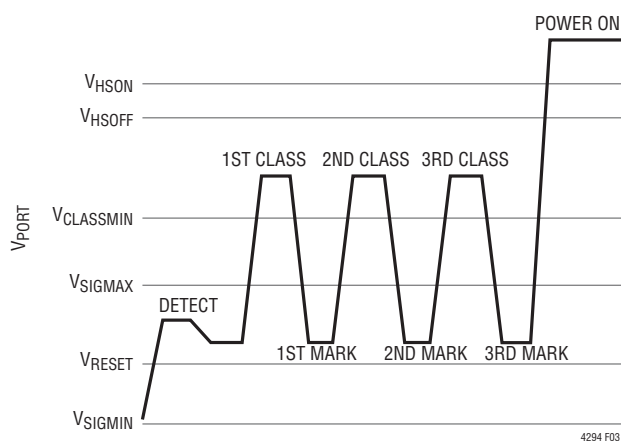


図3. 3イベント分類/マークの信号波形

IEEE 802.3btの物理的な分類と格下げ

IEEE 802.3btは、物理的な分類を定義して、PDがその電力割り当て量を接続先のPSEから要求し、PSEがその供給可能電力をPDに通知することができます。PDの要求電力レベルをPSEが供給できない場合は、格下げが行われます。格下げされると、PDはより低い電力状態で動作する必要があります。

PSEが発行した分類/マークのイベント数は、PDに割り当てられた電力を端的に示します(表1に要約を示します)。

IEEE 802.3btは、表2に示すように、9つのPDクラスと4つのPDタイプを規定しています。LT4294のクラスは、RCLSとRCLS++の抵抗値を設定することによって構成されます。

表1. PSE割り当てクラスの電力

| PD要求クラス | PSEクラス/マークのイベント数 | | | | |
|---------|------------------|-------|-----|-----|---|
| | 1 | 2 | 3 | 4 | 5 |
| 0 | 13W | | | | |
| 1 | 3.84W | | | | |
| 2 | 6.49W | | | | |
| 3 | 13W | | | | |
| 4 | 13W | 25.5W | | | |
| 5 | 13W | 25.5W | 40W | | |
| 6 | 13W | 25.5W | 51W | | |
| 7 | 13W | 25.5W | 51W | 62W | |
| 8 | 13W | 25.5W | 51W | 71W | |

注記: 太字はPDが格下げされていることを示す。

表2. シングル・シグネチャ分類コード、電力レベル、および抵抗の選択

| クラス | PD供給電力 | PDタイプ | クラスの公称電流 | 抵抗(1%) | |
|-----|--------|-------------|-------------|--------|--------|
| | | | | RCLS | RCLS++ |
| 0 | 13W | Type 1 | 2.5mA | 1.00kΩ | Open |
| 1 | 3.84W | Type 1 or 3 | 10.5mA | 140Ω | Open |
| 2 | 6.49W | Type 1 or 3 | 18.5mA | 76.8Ω | Open |
| 3 | 13W | Type 1 or 3 | 28mA | 49.9Ω | Open |
| 4 | 25.5W | Type 2 or 3 | 40mA | 34.8Ω | Open |
| 5 | 40W | Type 3 | 40mA/2.5mA | 1.00kΩ | 37.4Ω |
| 6 | 51W | Type 3 | 40mA/10.5mA | 140Ω | 46.4Ω |
| 7 | 62W | Type 4 | 40mA/18.5mA | 76.8Ω | 64.9Ω |
| 8 | 71W | Type 4 | 40mA/28mA | 49.9Ω | 118Ω |

アプリケーション情報

IEEE 802.3bt PSEは、クラス0～3のPDに1つの分類イベント(図1参照)を示します。クラス0～3のPDは、そのクラス・シグネチャをPSEに提示し、十分な電力が得られる場合は電源が投入されます。電力が制限されたIEEE 802.3bt PSEは、クラス4以上のPDをクラス3(13W)に格下げするために、これらのPDに対して1つのイベントを発行することがあります。

IEEE 802.3bt PSEは、クラス4のPDに対して、PSEタイプに応じて最大3つの分類イベントを示します(図3参照)。クラス4のPDは、全てのイベントにクラス・シグネチャ4を示します。第3のイベントにより、クラス4のPDは上位クラスのPDと区別されます。電力が制限されたIEEE 802.3bt PSEは、クラス5以上のPDをクラス4(25.5W)に格下げするために、これらのPDに対して3つのイベントを発行することがあります。

IEEE 802.3bt PSEは、クラス5および6のPDに4つの分類イベント(図4参照)を示します。クラス5および6のPDは、最初の2つのイベントでクラス・シグネチャ4を示し、残りのイベントでそれぞれクラス・シグネチャ0または1を示します。電力が制限されたIEEE 802.3bt PSEは、クラス7以上のPDをクラス6(51W)に格下げするために、これらのPDに対して4つのイベントを発行することがあります。

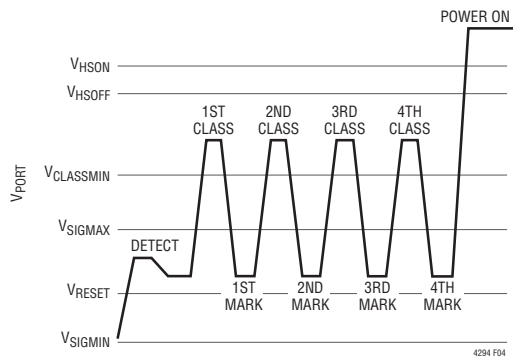


図4. 4イベント分類/マークの信号波形

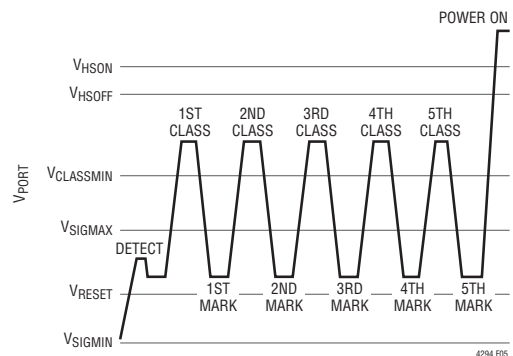


図5. 5イベント分類/マークの信号波形

IEEE 802.3bt PSEは、クラス7および8のPDに5つの分類イベント(図5参照)を示します。クラス7および8のPDは、最初の2つのイベントでクラス・シグネチャ4を示し、残りのイベントでそれぞれクラス・シグネチャ2または3を示します。

分類/マークのイベント数は、LT4294のT2Pピンを介して伝達されます。詳細については「T2P出力」のセクションを参照してください。

分類抵抗(RCLSおよびRCLS++)

抵抗RCLSおよびRCLS++は、PDの電力分類に対応した分類電流を設定します。表2からRCLSおよびRCLS++を選択し、許容誤差1%の抵抗をRCLASS、RCLASS++ピンとGNDの間にそれぞれ接続します。

マーク・イベント時の検出シグネチャ波形の乱れ

マーク・イベント時に、LT4294は、IEEE 802.3規格で要求されているとおり、ポートに対して11kΩより低い値を示します。

突入電流および電源投入

PSEは、検出およびPDの分類が完了すると、PDに電源を投入します。ポート電圧がVHSONのしきい値を超えると、HSGATEピンからIGPUを供給しはじめます。この電流は外付けコンデンサ(図6のCGATE)に流れ込み、外付けMOSFETのゲート電圧を高くする電圧を発生します。外付けのMOSFETはソース・フォロワとして機能し、出力バルク・コンデンサCPORTの電圧を上昇させるので、これによって突入電流IINRUSHが決まります。IINRUSHが約100mAになるように設計します。次式を参照してください。

$$I_{INRUSH} = I_{GPU} \cdot \frac{C_{PORT}}{C_{GATE}}$$

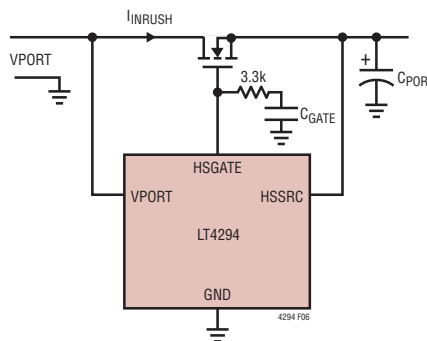


図6. IINRUSHの構成

アプリケーション情報

LT4294では、内蔵のチャージ・ポンプによってNチャンネルMOSFETによる解決策を実現できるので、より大型で高価なPチャンネルMOSFETを使用せずに済みます。R_{DS(ON)}の低いMOSFETにより、電力供給と電力効率が最高になり、消費電力と熱放散が減少して、熱設計が容易になります。

パワーグッド

PWRGDピンは、HSGATEがHSSRCより約7V高い電圧に充電されるまで、オープン・ドレイン出力によってLowに保持されます。PWRGDピンは、突入電流が流れきり、外付けMOSFETが完全にオンするまで、絶縁された電源を待機させるために使用します。HSGATEピンは“H”のままであり、ポートの電圧がV_{HSSOFF}より低くなるまでPWRGDピンはオープンドレイン状態が維持されます。

遅延後の起動

PSEがポートの電源を投入する場合、PDアプリケーションはIEEE 802.3規格に準拠するため、80msの間350mAを超える電流を流さないようにします。

補助電源への切り換え(オーバライド)

AUXピンをV_{AUXT}より高く保持すると、LT4294は補助電源オーバライド・モードに移行します。このモードでは、シグネチャ抵抗が切り離され、分類が無効になり、HSGATEは電圧が低下し、PWRGDピンはオープンドレインになって、T2Pピンは供給可能な最大電力を示します。

AUXピンによって、補助電源のターンオン電圧しきい値(V_{AUXON})とターンオフ電圧しきい値(V_{AUXOFF})をそれぞれ設定できます。補助電源のヒステリシス電圧V_{AUXHYS}はシンク電流I_{AUXH}を流すことによって発生させます。また、AUXピンの電圧がV_{AUXT}より低い場合に限り有効になります。V_{AUXON}とV_{AUXOFF}は、図7のR1とR2により、次式に従って設定します。内部の6.5VツェナーによってAUXピンの電圧が制限されることに注意してください。

$$R1 = \frac{V_{AUXON} - V_{AUXOFF}}{I_{AUXH}} = \frac{V_{AUXHYS}}{I_{AUXH}} + \dots$$

$$R2 = \frac{R1}{\left(\frac{V_{AUXOFF}}{V_{AUXT}} - 1\right)}$$

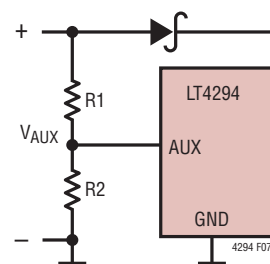
$$R1 \geq \frac{V_{AUX(MAX)} - V_{AUXT}}{1.4mA}$$


図7. AUXのしきい値とヒステリシスの計算

最大1000pFのコンデンサをAUXピンとGNDの間に接続して、ノイズ耐性を改善することができます。V_{AUXON}はV_{HSSOFF}より低くする必要があります。

T2P出力

LT4294は、PDアプリケーションに供給可能な電力をT2Pピンを介して伝達します。T2Pピンの状態は、分類/マークのイベント数、PDの分類シグネチャ、およびPDがPoE動作か補助電源動作かによって決まります。LT4294は、T2Pピンで4ステートの符号化を使用します。

突入電流が流れた後のPoE動作時に、クラス0~4になるように構成されたT2Pピンは、GNDに対して高インピーダンス(Hi-Z)になり、1イベント分類を示します。T2PはGNDに対して低インピーダンス(Low-Z)になって、2イベント以上の分類イベントを示します。この機能の概要を表3に示します。

クラス5~8になるように構成されたT2PピンはGNDに対してHi-Zになり、1イベントの分類を示します。T2PピンはGNDに対してLow-Zになり、2イベントまたは3イベント分類を示します。T2Pピンは50%のデューティ・サイクルで交互に低インピーダンス/高インピーダンスになり、4イベント分類を示します。T2Pピンは25%のデューティ・サイクルで低インピーダンスになり、75%のデューティ・サイクルで高インピーダンスになって、5イベント分類を示します。T2Pピンは、f_{T2P}の速度で切り替わります。この機能の概要を表4に示します。

補助電源動作時に、クラス4以下になるよう構成した場合(つまり、RCLASS++ピンがフロート状態)、T2PはGNDに対して低インピーダンスになります。クラス5以上になるよう構成した場合(つまり、RCLASS++ピンとGNDの間に抵抗を接続した場合)、T2Pは25%のデューティ・サイクルで低インピーダンスになります。この機能の概要を表5に示します。

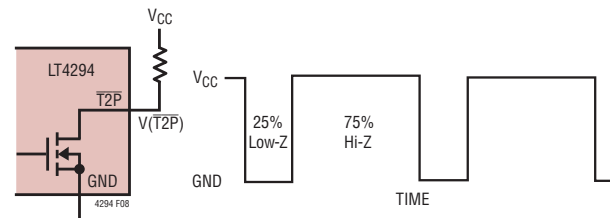


図8. Low-Zが25%、Hi-Zが75%の場合の応答例

アプリケーション情報

表3. T2Pの応答とPoE動作時の分類/マークのイベント数、クラス0~4

| 分類/マークのイベント数 | GNDを基準にしたT2Pの状態 | PDの電力 |
|----------------|-----------------|--------------|
| 1 2 or More | Hi-Z Low-Z | 13W 25.5W |

表4. T2Pの応答とPoE動作時の分類/マークのイベント数、クラス5~8

| 分類/マークのイベント数 | GNDを基準にしたT2Pの状態 | PDの電力 |
|--------------|---------------------|------------------------|
| 1 | Hi-Z | 13W |
| 2 or 3 | Low-Z | 25.5W |
| 4 | 50% Hi-Z/50% Low-Z | Minimum(PD Class, 51W) |
| 5 | 25% Low-Z, 75% Hi-Z | Minimum(PD Class, 71W) |

表5. 補助電源動作時のT2Pの応答

| PDクラス | GNDを基準にしたT2Pの状態 |
|-------|---------------------|
| 0-4 | Low-Z |
| 5-8 | 25% Low-Z, 75% Hi-Z |

過熱保護

IEEE 802.3規格は、PDが0V~57Vの範囲の任意の印加電圧に無期限で耐えることを要求しています。しかし、分類動作モードにおけるLT4294の電力損失は1.5Wに達することがあります。LT4294はIEEE分類の最大時間であってもこの電力を十分に許容することができますが、この状態が異常に長く続けば過熱状態になります。

LTC4294は、瞬間的な過負荷状態の間デバイスを保護するための過熱保護機能を備えています。接合部温度が過熱しきい値を超えると、LT4294はHSGATEピンの電圧を引き下げて分類を無効にします。

外部インタフェースと部品の選択

PoE入力ダイオード・ブリッジ

PDはその入力電圧の極性を補正することが必要です。ダイオード・ブリッジを使用する場合は、ダイオードの順方向電圧降下がVPORTピンの電圧に影響します。LT4294は、これらの電圧降下を許容できるように設計されています。「電気的特性」に示す電圧パラメータは、LT4294のパッケージのピンで規定されています。

効率の高いアプリケーション向けに、LT4294はLT4321ベースのPoE理想ダイオード・ブリッジをサポートしています。このダイオード・ブリッジは、通常動作時にはダイオード1個当たりの順方向電圧降下を0.7Vからほぼ20mVに低減しつつ、IEEE 802.3準拠を維持します。

補助入力ダイオード・ブリッジ

一部のPDは、AC電力またはDC電力を補助電源から受けることが必要です。電圧の整流と極性の補正を扱うには、一般的にはダイオード・ブリッジが必要です。

効率の高いアプリケーションや補助電源の入力電圧が低いアプリケーションでは、整流器の両端での電圧降下を許容することができません。LT4294は、LT4320ベースの理想ダイオード・ブリッジと組み合わせて構成し、ダイオードの電圧降下分を補って、熱設計を容易にすることができます。

補助電源の入力電圧が10Vより低いアプリケーションでは、LT4294をLT4320ベースの理想ダイオード・ブリッジと組み合わせて構成して電圧降下を補償し、「電気的特性」の表で規定しているように、VPORTの最小電圧がVPORT AUXモードの電圧範囲内に収まることを保証する必要があります。

効率の高い標準的なアプリケーション回路の例を「標準的応用例」のセクションに示します。

入力コンデンサ

IEEE 802.3の入力インピーダンス要件を満たし、LT4294を適切にバイパスするには、VPORTとGNDの間に0.1μFのコンデンサが必要です。

LT4294をLT4321と組み合わせて動作させる場合は、0.1μFのコンデンサを2個の0.047μFコンデンサに置き換えます。コンデンサの配置については、「レイアウトに関する検討事項」のセクションを参照してください。

トランジェント電圧サプレッサ

LTC4294の絶対最大定格電圧は100Vと規定されており、イーサネット・ケーブルのサージに起因する短時間の過電圧を許容するように設計されています。LT4294を過電圧から保護するため、SMAJ58Aなどの単方向トランジェント電圧サプレッサ(TVS)をVPORTピンとGNDピンの間に取り付けます。TVSの配置については、「レイアウトに関する検討事項」のセクションを参照してください。

アプリケーション情報

補助電源入力が必要なPDアプリケーションの場合は、LT4294のできるだけ近くで V_{IN} とGNDの間にTVSを取り付けます。ケーブル放電が著しく大きい場合やサージ保護については、弊社にお問い合わせください。

露出パッド

LT4294のDFNパッケージには、内部で電氣的にGNDに接続された露出パッドがあります。露出パッドは、プリント回路基板上のGNDにのみ接続できます。

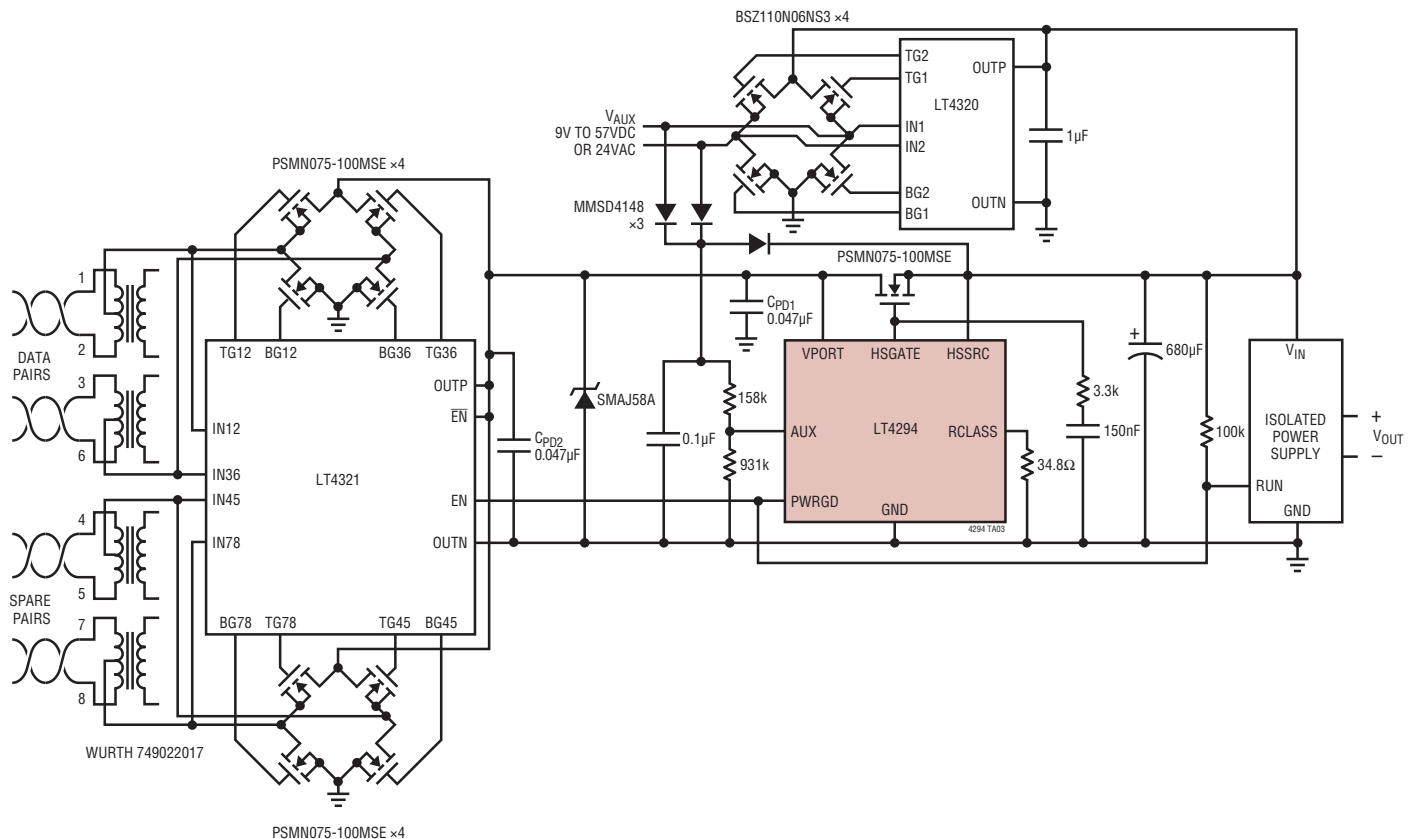
レイアウトに関する検討事項

RCLASSピンとRCLASS++ピンに過剰な寄生容量が付加されないようにしてください。また、抵抗 R_{CLS} および R_{CLS++} はLT4294の近くに配置します。

デバイスを最大限保護するには、 $0.1\mu\text{F}$ の入力コンデンサ C_{PD} とトランジェント電圧サプレッサをLT4294のできるだけ近くに配置することが不可欠です。LT4294とLT4321を組み合わせて動作させる場合は、 $0.047\mu\text{F}$ のコンデンサ C_{PD1} をLT4294の V_{PORT} ピンとGNDピン(それぞれピン10とピン5)にできるだけ近づけて配置し、 $0.047\mu\text{F}$ のコンデンサ C_{PD2} をLT4321のOUTPピンとOUTNピンにできるだけ近づけて配置します。

標準的応用例

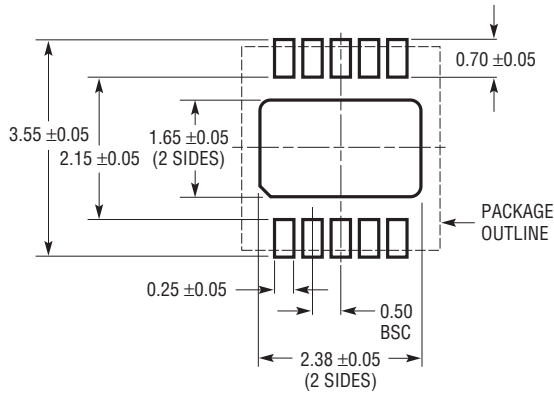
DC12VおよびAC24V補助入力による高効率25.5W PDソリューション



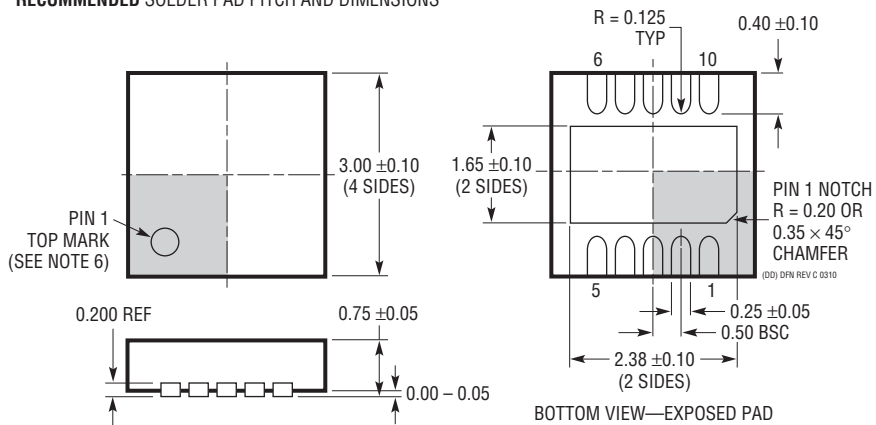
パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT4294#packaging> を参照してください。

DD Package 10-Lead Plastic DFN (3mm × 3mm) (Reference LTC DWG # 05-08-1699 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



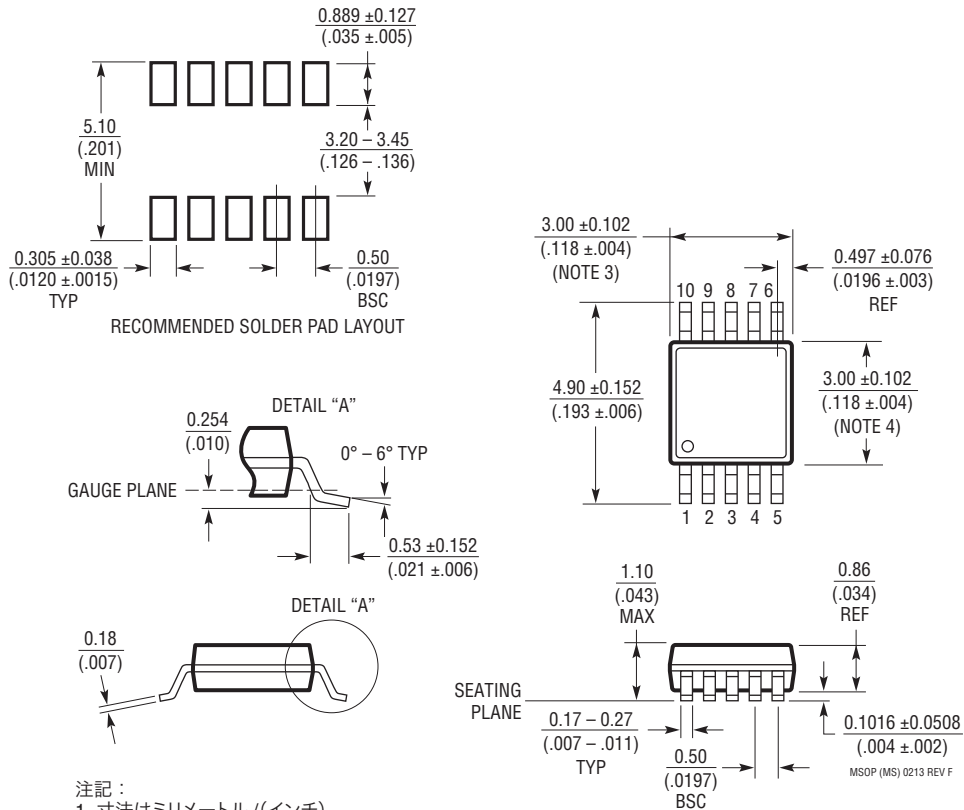
注記：

1. 図は JEDEC のパッケージ外形 MO-229 のバリエーション (WEED-2) になる予定。バリエーションの指定の現状については LTC の Web サイトのデータシートを参照
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT4294#packaging> を参照してください。

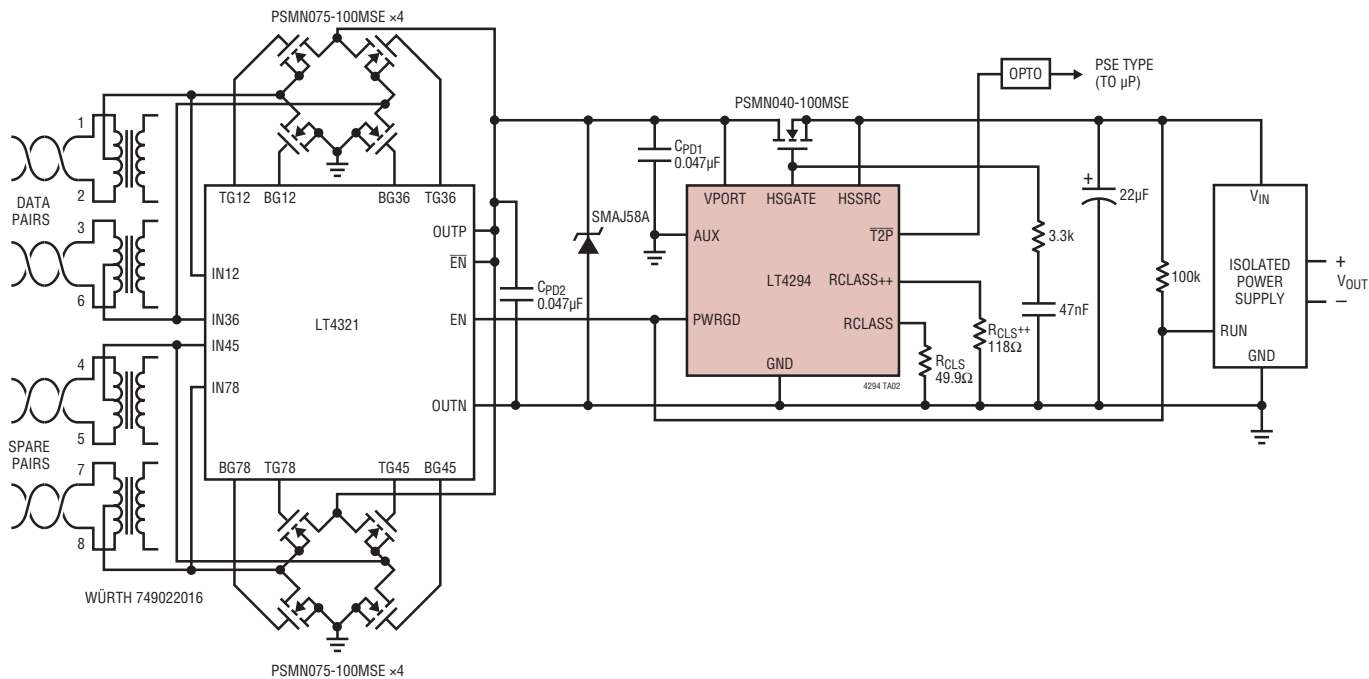
MS Package
10-Lead Plastic MSOP
 (Reference LTC DWG # 05-08-1661 Rev F)



- 注記：
1. 寸法はミリメートル/インチ
 2. 図は実寸とは異なる
 3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm ($0.006''$) を超えないこと
 4. 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで 0.152mm ($0.006''$) を超えないこと
 5. リードの平坦度(整形後のリードの底面)は最大 0.102mm ($0.004''$) であること

標準的応用例

IEEE 802.3bt 準拠、効率99%超の71W 受電装置



関連製品

| 製品番号 | 概要 | 注釈 |
|-----------------------------|---|---|
| LT4295 | フォワード/フライバック・スイッチング・レギュレータ・コントローラ付き IEEE 802.3bt PD | 外部スイッチ、IEEE 802.3bt のサポート、構成可能なクラス、フォワード動作または No-Opto フライバック構成動作、周波数、PG/SG 遅延、ソフトスタート、および最小 9V の補助電源サポート、(ハウスキープング降圧電源、スローブ補償を含む) |
| LT4321 | PoE 理想ダイオード・ブリッジ・コントローラ | IEEE 規定の PD 向けに 8 つの NMOSFET を制御、ダイオードの電圧降下がない電圧の整流 |
| LT4320/LT4320-1 | 理想ダイオード・ブリッジ・コントローラ | 入力: 9V~72V、DC~600Hz、4 つの NMOSFET を制御、ダイオードの電圧降下がない電圧の整流 |
| LTC4279 | シングル PoE/PoE+/LTPoE++ PSE コントローラ | IEEE 802.3af、IEEE 802.3at、LTPoE++、および独自 PD をサポート |
| LT4276A/B/C | フォワード/フライバック・スイッチング・レギュレータ・コントローラを内蔵した LTPoE++/PoE+/PoE PD コントローラ | 外部スイッチ、LTPoE++ のサポート、ユーザーが構成可能なクラス、フォワード動作または No-Opto フライバック動作、周波数、PG/SG 遅延、ソフトスタート、および最小 9V の補助電源サポート、(ハウスキープング降圧電源、スローブ補償を含む) |
| LT4275A/B/C | LTPoE++/PoE+/PoE PD コントローラ | 外部スイッチ、LTPoE++ をサポート |
| LTC4269-1 | フライバック・スイッチング・レギュレータ搭載の IEEE 802.3at PD インタフェース | 2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz~250kHz、補助電源サポート |
| LTC4269-2 | フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インタフェース | 2 イベント分類、プログラム可能なクラス、同期整流式フォワード・コントローラ、スイッチング周波数: 100kHz~500kHz、補助電源サポート |
| LTC4278 | フライバック・スイッチング・レギュレータ搭載の IEEE 802.3at PD インタフェース | 2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz~250kHz、12V 補助電源サポート |
| LTC4267/LTC4267-1/LTC4267-3 | スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース | 100V、400mA スイッチを内蔵、プログラム可能なクラス、200/300kHz の固定周波数 PWM |
| LTC4290/LTC4271 | 8 ポート PoE/PoE+/LTPoE++ PSE コントローラ | トランスによる絶縁、IEEE802.3af、IEEE802.3at、および LTPoE++ PD に対応 |

4294f