

# LTPoE++/PoE+/PoE PD フォワード/ フライバック・コントローラ

## 特長

- フォワード/フライバック・コントローラ内蔵の IEEE802.3af/at および LTPoE++™ 90W 受電装置 (PD)
- LT4276A は以下の規格を全てサポート:
  - LTPoE++: 38.7W、52.7W、70W、90W
  - IEEE 802.3at (25.5W) に準拠
  - IEEE 802.3af (最大 13W) に準拠
- LT4276B は IEEE 802.3at/af に準拠
- LT4276C は IEEE 802.3af に準拠
- 優れたサージ保護機能 (絶対最大定格 100V)
- 広い接合部温度範囲 (-40°C ~ 125°C)
- 最小 9V の補助電源をサポート
- フライバック動作に対して光アイソレータ不要
- Hot Swap™ N チャンネル MOSFET を外付けすることにより、最小の電力損失と最高のシステム効率を達成
- LT4321 理想ダイオード・ブリッジと併用時のエンド・トゥ・エンド効率: 94% 超
- 4mm×5mm の 28 ピン QFN パッケージで供給

## アプリケーション

- 高出力の無線データ・システム
- 屋外防犯カメラ装置
- 商用情報および公開情報の表示装置
- 高温アプリケーション

## 概要

LT@4276 は、IEEE 802.3 および LTPoE++ 受電装置 (PD) コントローラのピン互換ファミリです。フォワードとフライバック両方のトポロジーで同期整流式動作が可能で、補助電源をサポートする絶縁型スイッチング・レギュレータ・コントローラを内蔵しています。

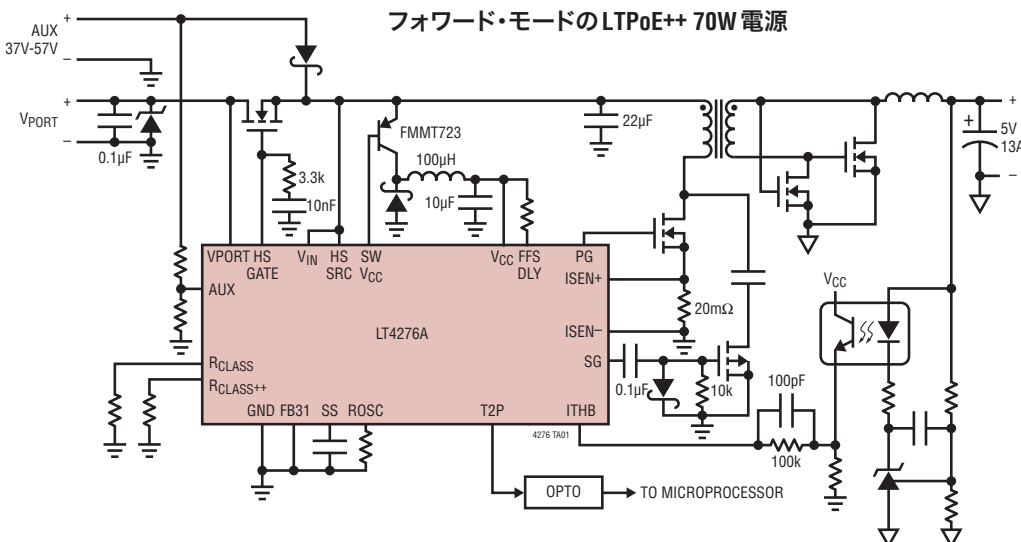
LT4276A は独自の LTPoE++ 分類体系を採用しており、PD の RJ45 コネクタで 38.7W、52.7W、70W、または 90W の電力を受け取ります。また、IEEE 802.3 との下位互換性があります。LT4276B は、802.3at 完全準拠の 25.5W タイプ 2 (PoE+) PD コントローラです。LT4276C は、802.3af 完全準拠の 13W タイプ 1 (PoE) PD コントローラです。

LT4276 はフォワードとフライバック両方の電源トポロジーをサポートしているため、広範囲の PoE アプリケーションに合わせて構成することが可能です。フライバックトポロジーは No-Opto 帰還をサポートしています。補助入力電圧は、AUX ピンに接続した抵抗分割器だけで正確に検出することができます。

LT4276 は、低  $R_{DS(ON)}$  の外付け N チャンネル MOSFET を使用して Hot Swap 機能に対応し、電力供給能力および効率を最大限に高め、熱損失を低減して、熱設計を容易にします。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリアクタテクノロジー社の登録商標です。LTPoE++ および Hot Swap はリアクタテクノロジー社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例



## LT4276 ファミリ

最大供給電力	LT4276 のグレード		
	A	B	C
LTPoE++ 90W	●		
LTPoE++ 70W	●		
LTPoE++ 52.7W	●		
LTPoE++ 38.7W	●		
25.5W	●	●	
13W	●	●	●

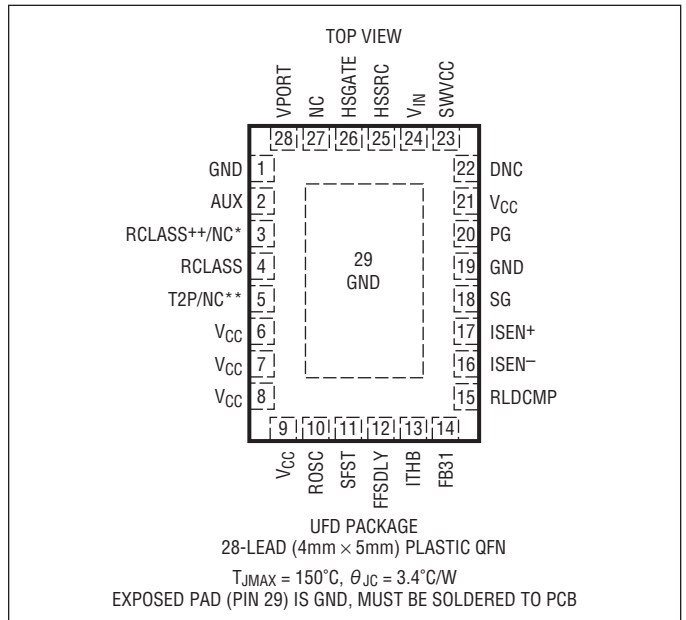
# LT4276

## 絶対最大定格

(Note 1, 2)

VPORT, HSSRC, V <sub>IN</sub> 電圧 .....	-0.3 ~ 100V
HSGATE 電流 .....	±20mA
V <sub>CC</sub> 電圧 .....	-0.3 ~ 8V
RCLASS, RCLASS++ 電圧 .....	-0.3 ~ 8V (VPORT 以下)
SFST, FFSDLY, ITHB, T2P 電圧 .....	-0.3 ~ V <sub>CC</sub> + 0.3V
ISEN+, ISEN- 電圧 .....	±0.3V
FB31 電圧 .....	+12V/-30V
RCLASS/RCLASS++ 電流 .....	-50mA
AUX 電流 .....	±1.4mA
ROSC 電流 .....	±100µA
RLDCMP 電流 .....	±500µA
T2P 電流 .....	-2.5mA
動作接合部温度範囲 (Note 3)	
LT4276AI/LT4276BI/LT4276CI .....	-40°C ~ 85°C
LT4276AH/LT4276BH/LT4276CH .....	-40°C ~ 125°C
保存温度範囲 .....	-65°C ~ 150°C

## ピン配置



\*RCLASS++ は LT4276B および LT4276C では接続されていません。  
\*\*T2P は LT4276C では接続されていません。

## 発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	PD 最大電力	パッケージ	温度範囲
LT4276AIUFD#PBF	LT4276AIUFD#TRPBF	4276A	90W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 85°C
LT4276AHUFD#PBF	LT4276AHUFD#TRPBF	4276A	90W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C
LT4276BIUFD#PBF	LT4276BIUFD#TRPBF	4276B	25.5W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 85°C
LT4276BHUFD#PBF	LT4276BHUFD#TRPBF	4276B	25.5W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C
LT4276CIUFD#PBF	LT4276CIUFD#TRPBF	4276C	13W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 85°C
LT4276CHUFD#PBF	LT4276CHUFD#TRPBF	4276C	13W	28-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_J = 25^\circ\text{C}$  での値。  $V_{\text{VPORT}} = V_{\text{HSSRC}} = V_{\text{VIN}} = 40\text{V}$ 、 $V_{\text{VCC}} = V_{\text{CCREG}}$  で、ROSC、PG、およびSGは開放状態、 $R_{\text{FFSDLY}} = 5.23\text{k}\Omega$ をGNDに接続。注記がない限り、AUXをGNDに接続。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	VPORT, HSSRC, $V_{\text{IN}}$ Operating Voltage	At VPORT Pin	●		60	V
$V_{\text{SIG}}$	VPORT Signature Range	At VPORT Pin	●	1.5	10	V
$V_{\text{CLASS}}$	VPORT Classification Range	At VPORT Pin	●	12.5	21	V
$V_{\text{MARK}}$	VPORT Mark Range	At VPORT Pin, After 1st Classification Event	●	5.6	10	V
	VPORT AUX Range	At VPORT Pin, $V_{\text{AUX}} \geq 6.45\text{V}$	●	8	60	V
	Signature/Class Hysteresis Window		●	1.0		V
	Reset Threshold		●	2.6	5.6	V
$V_{\text{HSON}}$	Hot Swap Turn-On Voltage		●	35	37	V
$V_{\text{HSOFF}}$	Hot Swap Turn-Off Voltage		●	30	31	V
	Hot Swap On/Off Hysteresis Window		●	3		V

## 電源電流

	VPORT, HSSRC & $V_{\text{IN}}$ Supply Current	$V_{\text{VPORT}} = V_{\text{HSSRC}} = V_{\text{VIN}} = 60\text{V}$	●		2	mA	
	VPORT Supply Current During Classification	$V_{\text{VPORT}} = 17.5\text{V}$ , RCLASS, RCLASS++ Open	●	0.7	1.0	1.3	mA
	VPORT Supply Current During Mark Event	$V_{\text{VPORT}} = V_{\text{MARK}}$ after 1st Classification Event	●	0.4		2.2	mA

## シグネチャと分類

	Signature Resistance	$V_{\text{SIG}}$ (Note 4)	●	23.6	24.4	25.5	k $\Omega$
	Signature Resistance During Mark Event	$V_{\text{MARK}}$ (Note 4)	●	5.2	8.3	11.4	k $\Omega$
	RCLASS/RCLASS++ Voltage	$-10\text{mA} \geq I_{\text{RCLASS}} \geq -36\text{mA}$	●	1.36	1.40	1.43	V
	Classification Stability Time	$V_{\text{VPORT}}$ Step to 17.5V, $R_{\text{CLS}} = 35.7\Omega$	●			2	ms

## デジタル・インタフェース

$V_{\text{AUXT}}$	AUX Threshold		●	6.05	6.25	6.45	V
$I_{\text{AUXH}}$	AUX Pin Current	$V_{\text{AUX}} = 6.05\text{V}$	●	3.3	5.3	7.3	$\mu\text{A}$
	T2P Output High	$V_{\text{VCC}} - V_{\text{T2P}}$ , $-1\text{mA}$ Load	●			0.3	V
	T2P Leakage	$V_{\text{T2P}} = 0\text{V}$	●	-1		1	$\mu\text{A}$

## Hot Swap 制御

$I_{\text{GPU}}$	HSGATE Pull Up Current	$V_{\text{HSGATE}} - V_{\text{HSSRC}} = 5\text{V}$ (Note 5)	●	-27	-22	-18	$\mu\text{A}$
	HSGATE Voltage	$-10\mu\text{A}$ Load, with respect to HSSRC	●	10		14	V
	HSGATE Pull Down Current	$V_{\text{HSGATE}} - V_{\text{HSSRC}} = 5\text{V}$	●	400			$\mu\text{A}$

## VCC 電源

$V_{\text{CCREG}}$	VCC Regulation Voltage		●	7.2	7.6	8.0	V
--------------------	------------------------	--	---	-----	-----	-----	---

## 帰還アンプ

$V_{\text{FB}}$	FB31 Regulation Voltage		●	3.11	3.17	3.23	V
	FB31 Pin Bias Current	$R_{\text{LDCMP}}$ Open			-0.1		$\mu\text{A}$
gm	Feedback Amplifier Average Trans-Conductance	Time Average, $-2\mu\text{A} < I_{\text{THB}} < 2\mu\text{A}$	●	-52	-40	-26	$\mu\text{A/V}$
$I_{\text{SINK}}$	ITHB Average Sink Current	Time Average, $V_{\text{FB31}} = 0\text{V}$	●	4.4	8.0	13.4	$\mu\text{A}$

## ソフトスタート

$I_{\text{SFST}}$	Charging Current	$V_{\text{SFST}} = 0.5\text{V}, 3.0\text{V}$	●	-49	-42	-36	$\mu\text{A}$
-------------------	------------------	--	---	-----	-----	-----	---------------

# LT4276

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_J = 25^\circ\text{C}$  での値。 $V_{VPORT} = V_{HSSRC} = V_{VIN} = 40\text{V}$ 、 $V_{VCC} = V_{CCREG}$  で、ROSC、PG、およびSGは開放状態、 $R_{FFSDLY} = 5.23\text{k}\Omega$ をGNDに接続。注記がない限り、AUXをGNDに接続。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ゲート出力</b>							
	PG, SG Output High Level	$I = -1\text{mA}$	●	$V_{CC} - 0.1$		V	
	PG, SG Output Low Level	$I = 1\text{mA}$	●		1	V	
	PG Rise Time, Fall Time	PG = 1000pF		15		ns	
	SG Rise Time, Fall Time	SG = 400pF		15		ns	
<b>電流検出/過電流</b>							
$V_{FAULT}$	Overcurrent Fault Threshold	$V_{ISEN+} - V_{ISEN-}$	●	125	140	155	mV
$\Delta V_{SENSE}/\Delta V_{ITHB}$	Current Sense Comparator Threshold with Respect to $V_{ITHB}$		●	-130	-111	-98	mV/V
$V_{ITHB(OS)}$	$V_{ITHB}$ Offset		●	3.03	3.17	3.33	V
<b>タイミング</b>							
$f_{OSC}$	Default Switching Frequency	ROSC Pin Open	●	200	214	223	kHz
	Switching Frequency	$R_{OSC} = 45.3\text{k}\Omega$ to GND	●	280	300	320	kHz
$f_{T2P}$	LTPoE++ Signal Frequency			$f_{sw}/256$			
$t_{MIN}$	Minimum PG On Time		●	175	250	330	ns
$D_{MAX}$	Maximum PG Duty Cycle		●	63	66	70	%
$t_{PGDELAY}$	PG Turn-On Delay-Flyback	5.23k $\Omega$ from FFSDLY to GND			45	ns	
		52.3k $\Omega$ from FFSDLY to GND			171	ns	
	PG Turn-On Delay-Forward	10.5k $\Omega$ from FFSDLY to $V_{CC}$ 52.3k $\Omega$ from FFSDLY to $V_{CC}$			92 391	ns ns	
$t_{FBDLY}$	Feedback Amp Enable Delay Time			350		ns	
$t_{FB}$	Feedback Amp Sense Interval			550		ns	
$t_{PGSG}$	PG Falling to SG Rising Delay Time-Flyback PG Falling to SG Falling Delay Time-Forward	Resistor from FFSDLY to GND			20	ns	
		10.5k $\Omega$ from FFSDLY to $V_{CC}$			67	ns	
		52.3k $\Omega$ from FFSDLY to $V_{CC}$			301	ns	
$t_{START}$	Start Timer (Note 6)	Delay After Power Good	●	80	86	93	ms
$t_{FAULT}$	Fault Timer (Note 6)	Delay After Overcurrent Fault	●	80	86	93	ms
$I_{MPS}$	MPS Current		●	10	12	14	mA

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

**Note 2:** 全ての電圧値は(注記がない限り)GNDを基準にしている。注記がない限り、正電流はピンに流れ込み、負電流はピンから流れ出す。

**Note 3:** このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能が動作しているときも接合部温度は150°Cを超えることがある。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

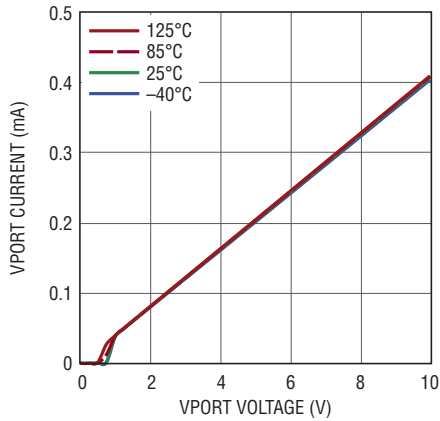
**Note 4:** シグネチャ抵抗の仕様には、ポート抵抗を最大1.1k $\Omega$ 増加させる可能性がある外付けダイオード・ブリッジの抵抗が含まれていない。

**Note 5:** PoE電源動作ではIGPUを使用することができる。つまり、 $V(VPORT) > V_{HSON}$ かつ $V(AUX) < V_{AUXT}$ となった後に、 $V(VPORT)$ が $V_{HSSOFF}$ から60Vまでの範囲で使用可能である。

**Note 6:** 設計によって保証されているが、テストされない。

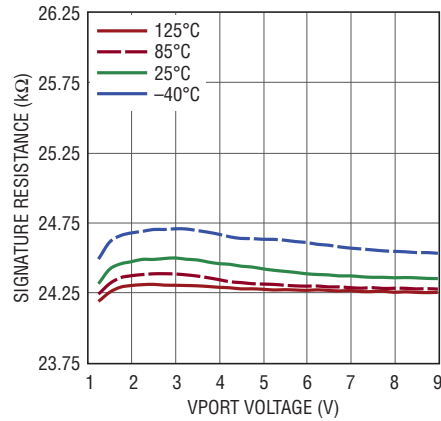
標準的性能特性

入力電流と入力電圧  
25k検出範囲



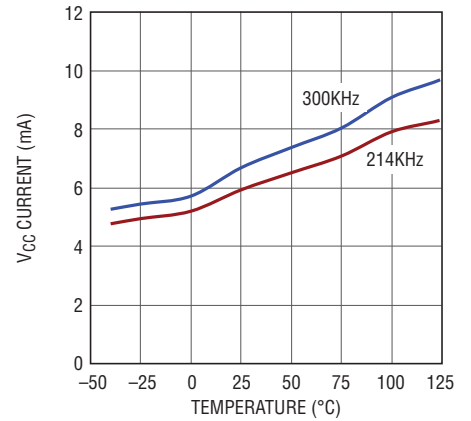
4276 G01

シグネチャ抵抗と入力電圧



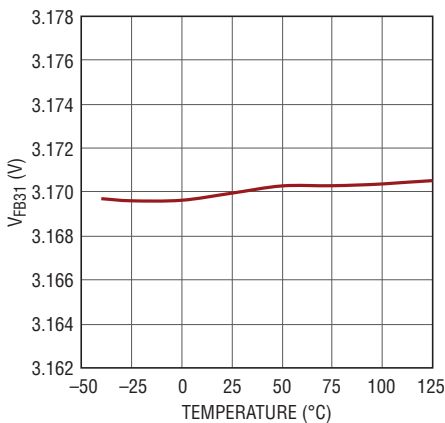
4276 G02

V<sub>CC</sub> 電流と温度



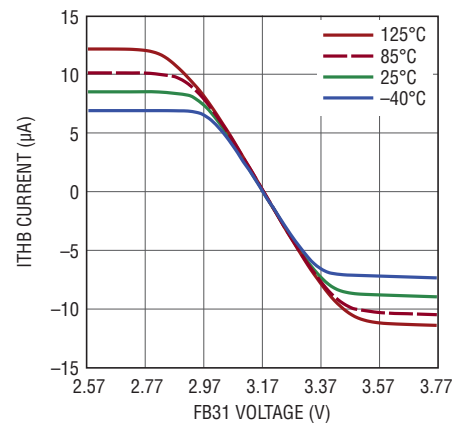
4276 G03

V<sub>FB31</sub> と温度



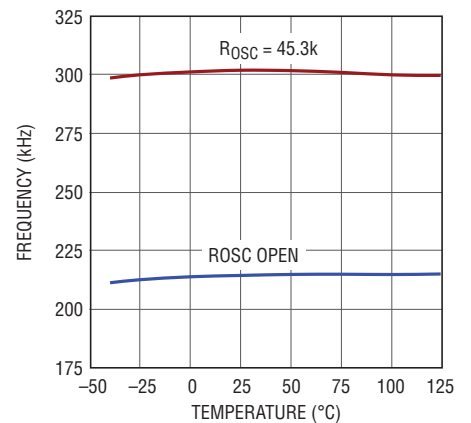
4276 G04

帰還アンプ出力電流と V<sub>FB31</sub>



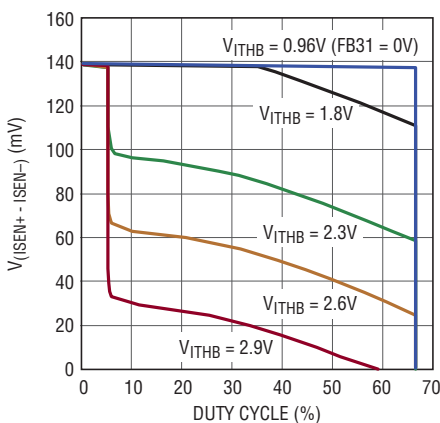
4276 G05

スイッチング周波数と温度



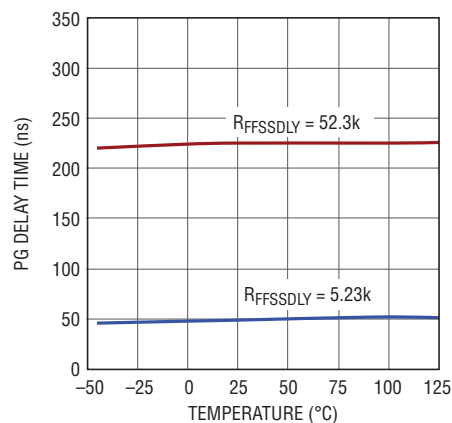
4276 G06

電流検出電圧とデューティ・  
サイクル (I<sub>THB</sub>)



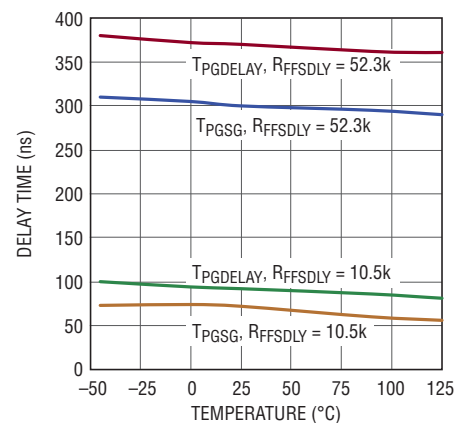
4276 G07

PG 遅延時間と温度  
(フライバック・モード)



4276 G08

PG 遅延時間と温度  
(フォワード・モード)



4276 G09

## ピン機能

**GND (ピン1、19、露出パッド・ピン29) :** デバイスのグラウンド。露出パッドは、電気的および熱的にPCB GNDとピン19に接続する必要があります。

**RCLASS++ (ピン3、LT4276Aのみ) :** LTPoE++クラス選択入力。表1に従ってRCLASS++とGNDの間に抵抗を接続します。

**AUX (ピン2) :** 補助検出ピン。補助電源入力からの抵抗分割器を介してAUXを有効にし、補助電源が供給を引き継ぐ電圧を設定します。AUXを有効にすると、HSGATEの引き下げ、シグネチャ抵抗の切断、分類機能の無効化が実行されます。AUXピンは、しきい値電圧 $V_{AUXT}$ を下回ると、 $I_{AUXH}$ をシンクしてヒステリシスを生成します。使用しない場合は、GNDに接続します。

**RCLASS (ピン4) :** クラス選択入力。表1に従ってRCLASSとGNDの間に抵抗を接続します。

**T2P (ピン5、LT4276AとLT4276Bのみ) :** PSEタイプ・インジケータ。 $V_{CC}$ ピンの低インピーダンス状態は2イベント分類であることを示します。低インピーダンス状態と高インピーダンス状態が交互に続く場合は、LTPoE++分類であることを示します(LT4276Aのみ、「アプリケーション情報」を参照)。高インピーダンス状態は1イベント分類であることを示します。このピンは、LT4276Cでは接続されていません。AUXピンを使用時のピン動作については、「アプリケーション情報」のセクションを参照してください。

**DNC (ピン22) :** 接続しないでください。このピンは開放のままにします。

**ROSC (ピン10) :** プログラマブル周波数調整。グラウンドとの間に抵抗を接続することにより、動作周波数を設定します。開放のままにすると214kHzのデフォルト周波数になります。

**SFST (ピン11) :** ソフトスタート。GNDとの間にコンデンサを接続することによって、ソフトスタートのタイミングを設定します。

**FFSDLY (ピン12) :** フォワード/フライバックの選択と1次側ゲート遅延の調整。GNDとの間に抵抗を接続することによってフライバック・トポロジーのゲート駆動遅延を調整し、 $V_{CC}$ に抵抗を接続することによってフォワード・トポロジーのゲート駆動遅延を調整します。

**ITHB (ピン13) :** 電流しきい値制御。このピンの電圧が、外付けFETのピーク電流に対応します。ITHBから電流検出コンパレータ( $V_{SENSE}$ )までの電圧利得は負です。

**FB31 (ピン14) :** 帰還入力。フライバック・モードでは、3次巻線帰還からの外付け抵抗分割器を接続します。リファレンス電圧は3.17Vです。フォワード・モードではGNDに接続します。

**RLDCMP (ピン15) :** 負荷補償調整。GNDとの間にオプションの抵抗を接続することにより、ピーク・スイッチング電流の関数として、出力電圧の設定値を制御します。負荷補償が必要な時はRLDCMPを開放のままにします。

**ISEN- (ピン16) :** 電流検出回路の負入力。電流検出抵抗への専用トレースとして配線します。

**ISEN+ (ピン17) :** 電流検出回路の正入力。電流検出抵抗への専用トレースとして配線します。

**SG (ピン18) :** 2次側(同期)ゲート駆動、出力。

**PG (ピン20) :** 1次側ゲート駆動、出力。

**$V_{CC}$  (ピン6、7、8、9、21) :** スwitchング・レギュレータ・コントローラの電源電圧。 $V_{CC}$ ピン21とGNDピン19の間にローカルの1 $\mu$ Fセラミック・コンデンサ(表2参照)を接続します。コンデンサはできるだけLT4276に近付けて配置してください。

**SWVCC (ピン23) :**  $V_{CC}$ の降圧レギュレータ用スイッチ・ドライバ。このピンは、降圧レギュレータのPNPのベースを駆動して $V_{CC}$ を生成します。

**$V_{IN}$  (ピン24) :** 降圧レギュレータの電源電圧。通常は $\pi$ フィルタによってHSSRCから分離されています。

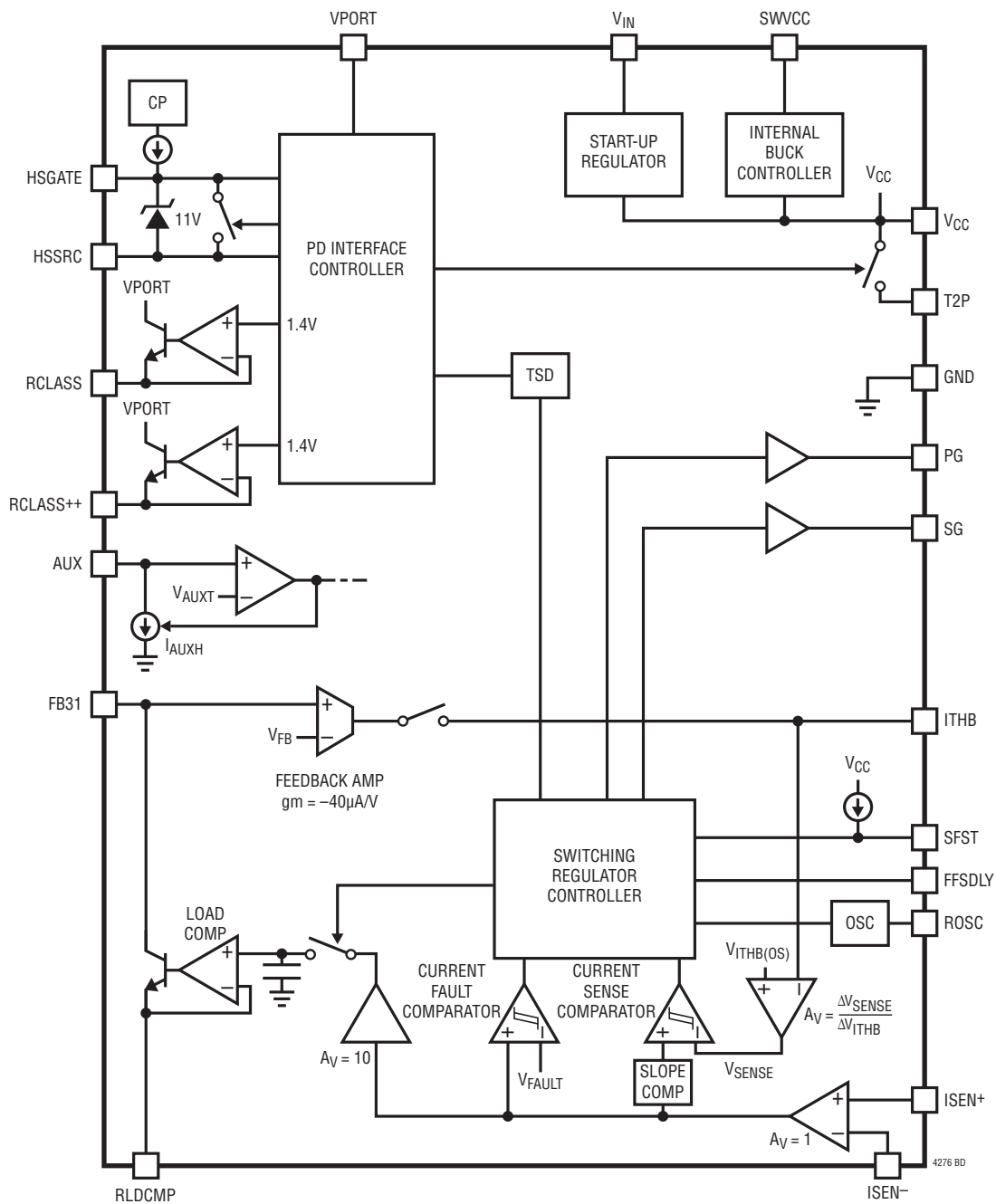
**HSSRC (ピン25) :** 外付けHot Swap MOSFETのソース。外付けMOSFETのソースに接続します。

**HSGATE (ピン26) :** 外付けHot Swap MOSFETのゲート制御、出力。GNDとの間に接続した容量によって突入時間が決まります。

**NC (ピン27) :** 接続なし。内部で接続されていません。

**VPORT (ピン28) :** PDインタフェースの電源電圧と外付けHot Swap MOSFETのドレインの接続。

ブロック図





# LT4276

## アプリケーション情報

### 概要

Power over Ethernet (PoE) 製品は、RJ45 コネクタ1つで、DC 電力と高速データという2つのメリットを得られることから、ますます普及が進んでいます。LT4276A は、既存のPSEシステムとの下位互換性を保ちながら、より大きな電力を提供することができます。LT4276は、PoE PDコントローラと、フライバックまたはフォワード絶縁電源動作が可能なスイッチング・レギュレータ・コントローラを組み合わせた製品です。

### 従来製品との大きな違い

LT4276には、リニアテクノロジーの従来製品と大きく異なる点がいくつかあります。これらの違いの概要を以下に示します。詳細については「アプリケーション情報」を参照してください。

#### ITHBは通常のITHピンの反転出力

ITHBピン電圧は、電流検出コンパレータしきい値  $V_{SENSE}$  と反比例の関係にあります。さらに、ITHBピンのオフセット電圧  $V_{ITHB(OS)}$  は3.17Vです。図1を参照してください。

#### デューティ・サイクル・ベースのソフトスタート

LT4276は、デューティ・サイクル・ランプ・ソフトスタートを使用してITHBピンに電荷を注入します。これによって、安価な外付け部品を使い、顕著なオーバーシュートなしで起動することができます。

#### 帰還ピン(FB31)が1.25Vではなく3.17V

エラーアンプの帰還電圧 ( $V_{FB}$ ) は3.17Vです。

表1. 分類コード、電力レベル、抵抗の選択

クラス	PD供給電力	PDタイプ	クラスの公称電流	LT4276の各グレードの性能			抵抗(1%)	
				A	B	C	RCLS	RCLS++
0	13W	Type 1	0.7mA	√	√	√	Open	Open
1	3.84W	Type 1	10.5mA	√	√	√	150Ω	Open
2	6.49W	Type 1	18.5mA	√	√	√	80.6Ω	Open
3	13W	Type 1	28mA	√	√	√	52.3Ω	Open
4	25.5W	Type 2	40mA	√	√		35.7Ω	Open
4*	38.7W	LTPoE++	40mA	√			Open	35.7Ω
4*	52.7W	LTPoE++	40mA	√			150Ω	47.5Ω
4*	70W	LTPoE++	40mA	√			80.6Ω	64.9Ω
4*	90W	LTPoE++	40mA	√			52.3Ω	118Ω

\*LTPoE++ PDは、IEEE 802.3 準拠のPSEではクラス4に分類されます。

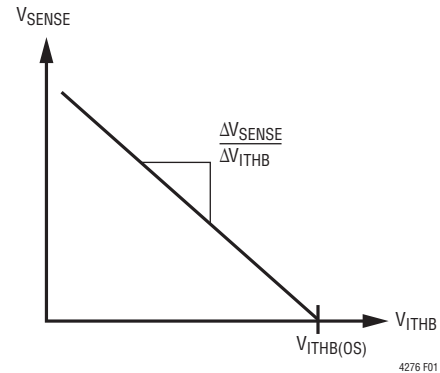


図1.  $V_{SENSE}$ と $V_{ITHB}$

### フライバック/フォワード・モードをピンで選択可能

GNDに抵抗を接続してFFSDLYをプルダウンするとLT4276はフライバック・モードで動作し、 $V_{CC}$ に抵抗を接続してFFSDLYをプルアップするとフォワード・モードで動作します。この抵抗の値で $t_{PGDELAY}$ と $t_{PGSG}$ を決定します。

### T2Pピンの極性が逆

アクティブ時はT2PピンがGNDにプルダウンされず、 $V_{CC}$ にプルアップされます。

### $V_{CC}$ の電源を内部駆動の降圧レギュレータにより供給

LT4276は、 $V_{CC}$ の電源電圧生成に必要な降圧レギュレータ・コントローラを内蔵しています。

### PoEの動作モード

LT4276には、VPORTピンに印加される入力電圧のシーケンスによって決まる複数の動作モードがあります。



## アプリケーション情報

### 検出

検出時には、PSEはデバイスをPDとして識別する25kΩのシグネチャ抵抗を探します。LT4276のシグネチャ抵抗には、IEEEが要求するブリッジによって増加する直列抵抗を補うために、25kよりも小さな値を使用しています。

### 分類

検出/分類のプロセスは、PSEがタイプ1、タイプ2、LTPoE++のいずれであるかによって異なります。タイプ1のPSEは検出に成功すると、15.5V～20.5Vの分類プローブ電圧を印加して、電流を測定します。

2イベント分類においてタイプ2のPSEは、図3に示すように電力分類のプロービングを2回行います。LT4276AまたはLT4276Bは、これを認識してT2PピンをV<sub>CC</sub>までプルアップし、タイプ2の電力を使用できることを負荷に知らせます。認識しない場合、T2Pピンをプルアップせず、タイプ1の電力だけが使用可能であることを示します。LT4276Aは、LTPoE++ PSEを検出すると、T2Pをプルアップする動作とフロート状態にする動作を周波数f<sub>T2P</sub>で交互に繰り返し、LTPoE++電力が使用可能であることを示します。

### LTPoE++ 分類

LT4276Aでは、IEEE 802.3の分類信号を拡張することにより、既存のPSEシステムに対する下位互換性を保ちつつ、より高い電力の割り当てを可能にしています。リニアテクノロジー社が提供するLTPoE++対応のPSEコントローラの一覧は、「関連製品」のセクションに掲載されています。IEEEのPSEでは、LTPoE++ PDをタイプ2のPDに分類します。

### 分類抵抗(R<sub>CLS</sub>とR<sub>CLS++</sub>)

抵抗R<sub>CLS</sub>とR<sub>CLS++</sub>は、PDの電力分類に対応した分類電流を設定します。表1に従ってR<sub>CLS</sub>の値を選び、この抵抗をRCLASSピンとGNDの間に接続します。LTPoE++の場合は、R<sub>CLS</sub>に加え、LT4276Aを使用して表1からR<sub>CLS++</sub>の値を選択します。抵抗の許容差は、分類回路の総合精度が低下するのを避けるために、1%以下とする必要があります。

### マーク時のシグネチャの無効化

マーク状態のLT4276は、IEEE仕様の要件に従い、ポートに11kΩより小さな抵抗値を示します。

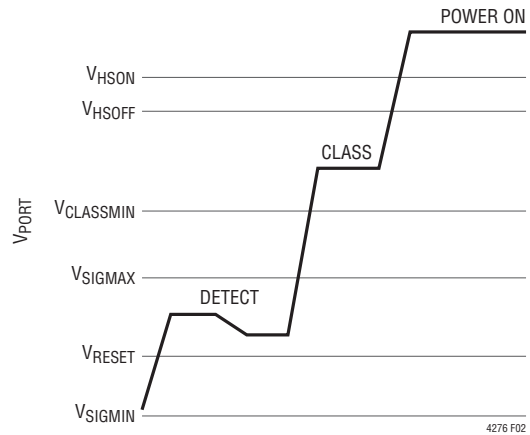


図2. タイプ1検出/クラスの信号波形

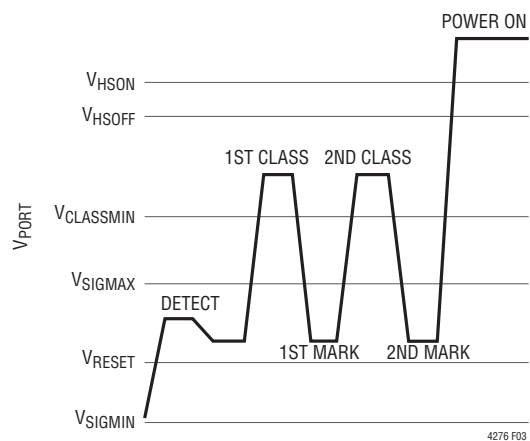


図3. タイプ2検出/クラスの信号波形

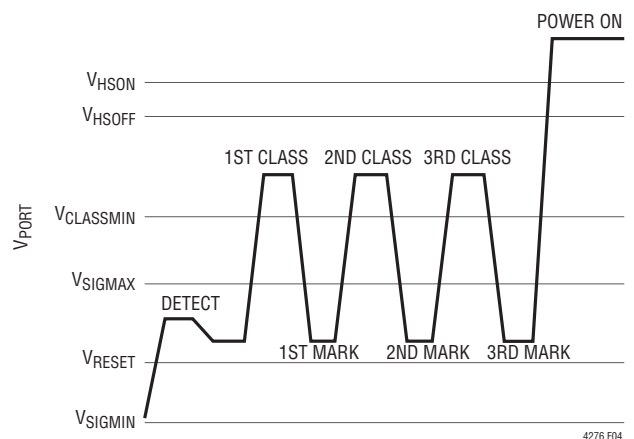


図4. LTPoE++ 検出/クラスの信号波形

## アプリケーション情報

### 突入電流および給電

PSEは、検出およびPDの分類(オプション)が完了すると、PDへの給電を開始します。ポート電圧が $V_{HSON}$ しきい値を超えると、HSGATEピンから $I_{GPU}$ を供給し始めます。この電流は外付けコンデンサ(図5の $C_{GATE}$ )に流れ込み、外付けMOSFETのゲートをランプ・アップする電圧を発生します。外付けMOSFETはソース・フォロワとして機能し、出力バルク・コンデンサ(図5の $C_{PORT}$ )の電圧をランプ・アップし、これが突入電流(図5の $I_{INRUSH}$ )を決定します。IEEEの要件を満たすために、 $I_{INRUSH}$ が約100mAになるように設計してください。

LT4276では、内蔵のチャージ・ポンプによってNチャンネルMOSFETによる解決策を実現できるので、より大型で高価なPチャンネルFETを使用せずに済みます。また、 $R_{DS(ON)}$ の低いMOSFETにより、電力供給と電力効率を最大限に高め、消費電力と熱損失を低減して、熱設計を容易にします。

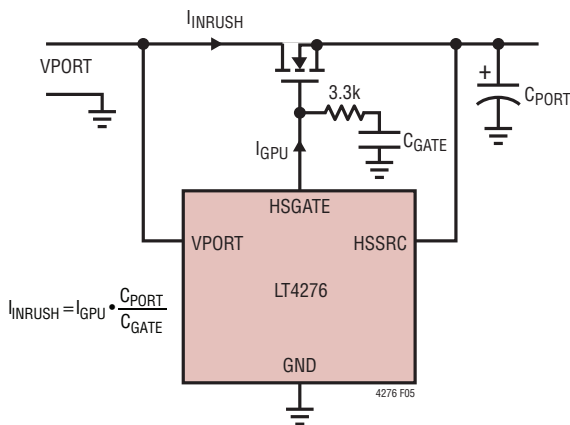


図5.  $I_{INRUSH}$ の設定

### 遅延スタート

HSGATEがHSSRCより約7V高い電圧まで充電されて外付けHot Swap MOSFETが十分に導通すると、遅延時間 $t_{START}$ 経過後にスイッチング・レギュレータ・コントローラが動作します。この遅延の間、電源維持シグネチャの要件により、PSEがPDへのDCを遮断しないように、LT4276がVPORTから $I_{MPS}$ を流します。

### 外付けV<sub>CC</sub>電源

外付け $V_{CC}$ 電源は、図6に示す降圧レギュレータとして構成する必要があります。降圧レギュレータを最適化するには、 $V_{IN}$ の動作範囲に応じて表2に示す値の外付け部品を使用します。この降圧レギュレータは不連続モードで動作し、インダクタのピーク電流は $V_{CC}$ の平均負荷電流よりかなり大きくなります。したがって、インダクタの飽和電流定格は、表2に示す値より大きくなければなりません。コンデンサCは、できるだけ $V_{CC}$ ピン21とGNDピン19の近くに配置します。最適な性能を得るには、外付け部品をできるだけLT4276の近くに配置します。

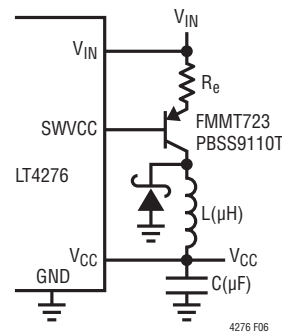


図6.  $V_{CC}$ 降圧レギュレータ

表2. 降圧レギュレータの部品選択

$V_{IN}$	C	L	ISAT	$R_e$
9V-57V	22 $\mu$ F	22 $\mu$ H	$\geq 700$ mA	10 $\Omega$
PoE	10 $\mu$ F	100 $\mu$ H	$\geq 300$ mA	20 $\Omega$

### 補助電源の優先

AUXピンを $V_{AUXT}$ より高い電圧に保持すると、LT4276は補助電源優先モードに移行します。このモードではシグネチャ抵抗が切り離されて分類が無効になり、HSGATEがプルダウンされます。LT4276B ( $R_{CLS++}$ 抵抗がない場合はLT4276A)では、T2Pピンが $V_{CC}$ までプルアップされます。LT4276Aでは、 $R_{CLS++}$ 抵抗がある場合、T2Pピンがプルアップ動作とフロート状態を周波数 $f_{T2P}$ で交互に繰り返します。

AUXピンによって、補助電源のターンオン( $V_{AUXON}$ )電圧とターンオフ( $V_{AUXOFF}$ )電圧のしきい値を設定できます。AUXピン電圧が $V_{AUXT}$ 未満の場合のみ、補助電源のヒステリシス電圧( $V_{AUXHYS}$ )は電流( $I_{AUXH}$ )をシンクすることによって設定されます。 $V_{AUXON}$ と $V_{AUXOFF}$ の設定は、次式に従い、図7

## アプリケーション情報

のR1とR2によって設定します。ノイズ耐性を改善するために、AUXピンとGNDの間に最大1000pFのコンデンサを取り付けることができます。

V<sub>AUXON</sub>はV<sub>HSSOFF</sub>未満でなければなりません。

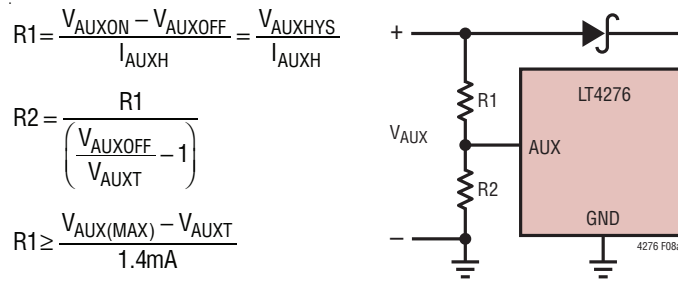


図7. AUXのしきい値とヒステリシスの計算

## スイッチング・レギュレータ・コントローラの動作

LT4276のスイッチング・レギュレータ・コントローラの部分は、フライバックまたはフォワード電源を構成することができる電流モード・コントローラです。フライバック・モードで使用する時は、トランスの3次巻線を介して出力電圧を検出するので、帰還用の光アイソレータは不要です。

### フライバック・モード

LT4276は、FFSDLYピンとGNDの間に抵抗R<sub>FFSDLY</sub>を置くことによって、フライバック・モードに設定されます。この抵抗は、5.23kΩ～52.3kΩの範囲でなければなりません。ポテンショメータを使ってR<sub>FFSDLY</sub>を調整する場合は、ポテンショメータによる調整値が52.3kΩを超えないようにしてください。R<sub>FFSDLY</sub>の値により、次式からt<sub>PGDELAY</sub>が求められます。

$$t_{PGDELAY} \approx 2.69ns/k\Omega \cdot R_{FFSDLY} + 30ns$$

$$t_{PGSG} \approx 20ns$$

フライバック・モードにおけるPGとSGの関係を図8に示します。

SGピンは、図9に示すようにゲート駆動トランスを介して2次側のMOSFETに接続する必要があります。PGが負になるのを防ぐため、図9に示すようにPGとGNDの間にショットキ・ダイオードを追加してください。

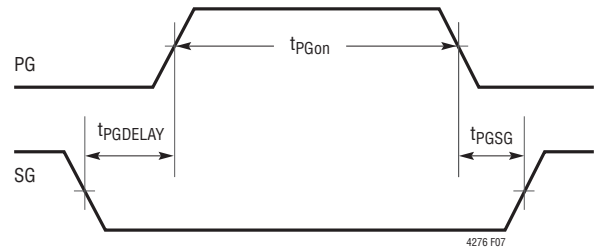


図8. フライバック・モードでのPGとSGの関係

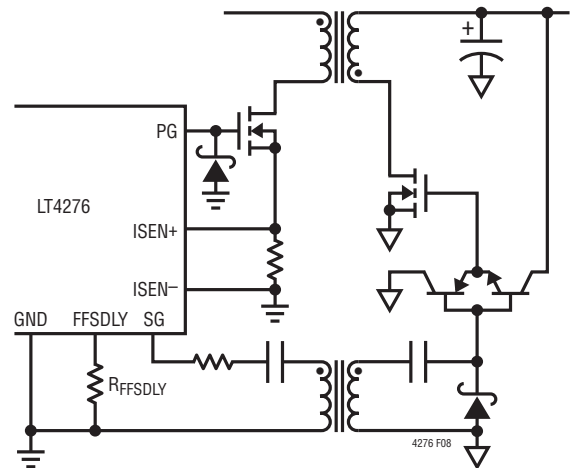


図9. フライバック・モードでのPGとSGの接続例

### フォワード・モード

LT4276は、FFSDLYピンとV<sub>CC</sub>の間に抵抗R<sub>FFSDLY</sub>を置くことによって、フォワード・モードに設定されます。抵抗R<sub>FFSDLY</sub>は、10.5kΩ～52.3kΩの範囲でなければなりません。ポテンショメータを使ってR<sub>FFSDLY</sub>を調整する場合は、ポテンショメータによる調整値が52.3kΩを超えないようにしてください。

R<sub>FFSDLY</sub>の値により、次式からt<sub>PGDELAY</sub>とt<sub>PGSG</sub>が求められます。

$$t_{PGDELAY} \approx 7.16ns/k\Omega \cdot R_{FFSDLY} + 17ns$$

$$t_{PGSG} \approx 5.60ns/k\Omega \cdot R_{FFSDLY} + 7.9ns$$

フォワード・モードにおけるPGとSGの関係を図10に示します。

## アプリケーション情報

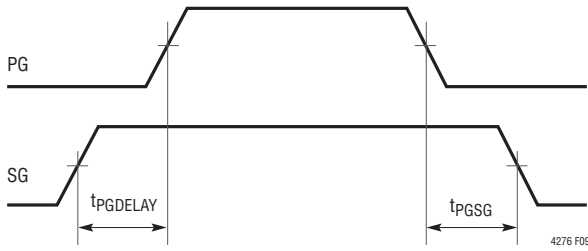


図10. フォワード・モードでのPGとSGの関係

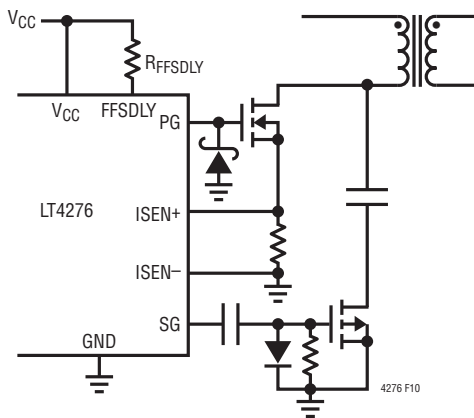


図11. フォワード・モードでのPGとSGの接続例

フォワード・モードでは、図11に示すように簡単なレベル・シフタを介してアクティブ・クランプPチャネルMOSFETを駆動するために、SGピンが正しい極性となります。PGが負になるのを防ぐため、図11に示すようにPGとGNDの間にショットキ・ダイオードを追加してください。

### 帰還アンプ

フライバック・モードでは、図12に示すように、帰還アンプがトランスの3次巻線を介して出力電圧を検出します。このアンプは、図13に示すように、一定時間 $t_{FB}$ だけイネーブルされます。これにより絶縁設計から光アイソレータを無くすことができるので、寿命全般を通じてダイナミック応答と安定性が大幅に改善されます。 $t_{FB}$ は一定時間なので、時間平均のトランスコンダクタンス $g_m$ は、ユーザーが選択したスイッチング周波数の関数として変化します。

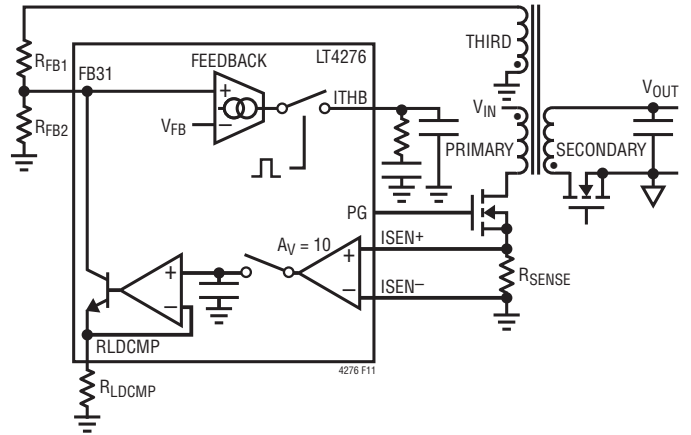


図12. 帰還と負荷補償の接続

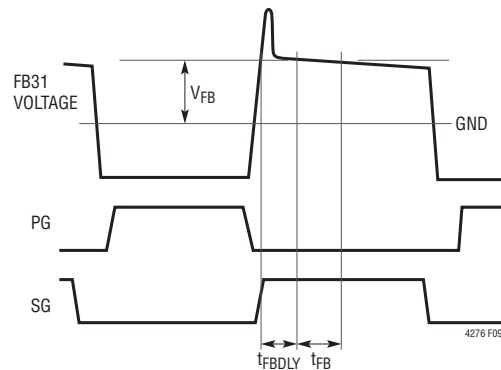


図13. 帰還アンプのタイミング図

### 帰還アンプ出力、 $I_{THB}$

ブロック図に示すように、 $V_{SENSE}$ は電流検出コンパレータの入力です。 $V_{SENSE}$ はリニア・アンプの出力から得られます。リニア・アンプの入力は $I_{THB}$ ピンの電圧 $V_{ITHB}$ です。

このリニア・アンプは、その入力 $V_{ITHB}$ をゲイン $\Delta V_{SENSE}/\Delta V_{ITHB}$ およびオフセット電圧 $V_{ITHB(OS)}$ で反転して、出力 $V_{SENSE}$ を生成します。この関係を図1に示します。勾配 $\Delta V_{SENSE}/\Delta V_{ITHB}$ は負で、値は電気的特性の表に示されています。

$$V_{ITHB} = V_{ITHB(OS)} + V_{SENSE} \cdot \left( \frac{\Delta V_{SENSE}}{\Delta V_{ITHB}} \right)^{-1}$$

## アプリケーション情報

ブロック図では、 $V_{SENSE}$ が、電流検出抵抗両端電圧の  $V(ISEN+)-V(ISEN-)$ を内部勾配補償電圧によって修正した値と比較されています。この補償について以下に説明します。

### 負荷補償

図13から分かるように、FB31ピンの電圧はフライバック時間中にわずかに低下します。これは主に、2次巻線、同期MOSFETの $R_{DS(ON)}$ 、出力コンデンサのESRといった2次側部品の抵抗によるものです。これらの抵抗は、帰還サンプル範囲の時点での2次側ループの電流に比例する帰還誤差を発生させます。この誤差を補償するために、LT4276は、1次巻線のピーク電流に比例した電圧を $R_{LDCMP}$ ピンに印加します。

### 帰還抵抗と負荷補償抵抗の決定

2次側部品の抵抗は一般に既知ではないので、帰還抵抗と負荷補償抵抗の値を決定するには、経験的な方法を使う必要があります。

INITIALLY SET  $R_{FB2} = 2k\Omega$

$$R_{FB1} \approx R_{FB2} \frac{V_{OUT}}{V_{FB}} \frac{N_{THIRD}}{N_{SECONDARY}} - R_{FB2}$$

$R_{LDCMP}$ ピンとGNDの間に抵抗 $R_{LDCMP}$ を接続します。 $R_{LDCMP}$ 抵抗は、 $10k\Omega$ 以上とする必要があります。全ての入力および出力負荷範囲に対する $V_{OUT}$ の変化が最小となるように、 $R_{LDCMP}$ を調整します。初めに、 $R_{LDCMP}$ として、 $10k\Omega$ の抵抗に直列に接続したポテンショメータを使用して調整します。その後ポテンショメータと $10k\Omega$ 抵抗を取り外して測定し、同等の固定抵抗に置き換えます。この結果得られる $V_{OUT}$ は、負荷補償によって加えられるオフセットのため、望みの $V_{OUT}$ とは異なります。これを修正するために $R_{FB2}$ に加える変更は、次式で予想できます。

$$\Delta R_{FB2} = \frac{\Delta V_{OUT}}{V_{FB}} \frac{N_{THIRD}}{N_{SECONDARY}} \frac{R_{FB2}^2}{R_{FB1}}$$

ここで、 $\Delta V_{OUT}$ は $V_{OUT}$ に必要な変更、  
 $\Delta R_{FB2}$ は $R_{FB2}$ に必要な変更、

$N_{THIRD}/N_{SECONDARY}$ はトランスの3次巻線と2次巻線の巻数比です。

### 光アイソレータ帰還

フォワード・モード動作では、トランスにかかるフライバック電圧を検出することはできません。したがって、光アイソレータ帰還を使う必要があります。光アイソレータ帰還を使う時は、FB31ピンをGNDに接続して、 $R_{LDCMP}$ ピンを開放のままにします。この状態で、帰還アンプは平均電流 $I_{SINK}$ をITHBピンにシンクします。帰還接続の例を図14に示します。ただし、 $I_{SINK}$ はスイッチング時間で平均した値なので、シンク電流はユーザーが選択したスイッチング周波数の関数として変化します。

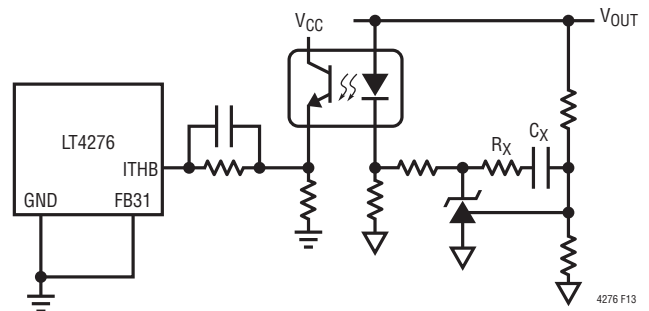


図14. フォワード・モードでの光アイソレータ帰還接続



## アプリケーション情報

### ソフトスタート

PoEアプリケーションでは、PSEの供給能力を超える電流がPDに流れないようにするために、適切なソフトスタート設計をする必要があります。

ソフトスタート時間 $t_{SFST}$ は、おおよそ、電源の出力電圧 $V_{OUT}$ がその出力容量 $C_{OUT}$ を充電する時間です。この結果、PDのポートに突入電流 $I_{port\_inrush}$ が生じます。 $t_{SFST}$ を選ぶにあたっては、PSEの供給能力を超える電流がPDに流れないように注意する必要があります。

出力に負荷電流が流れない場合、 $I_{port\_inrush}$ は次式で近似されます。

$$I_{port\_inrush} \approx (C_{OUT} \cdot V_{OUT}^2) / (\eta \cdot t_{SFST} \cdot V_{IN})$$

ここで、 $\eta$ は電源の効率、

$V_{IN}$ はPDの入力電圧です。

$I_{port\_inrush}$ と負荷電流によるポート電流の和は、PSEが供給できる電流値より小さくしなければなりません。PSEの電流供給能力は、PSEの動作規格によって異なります。

LT4276にはソフトスタート機能が搭載されています。この機能は、SFSTピンとGNDの間に外付けコンデンサ $C_{SFST}$ を接続することによって $t_{SFST}$ を制御します。LT4276がスイッチングを開始すると、SFSTピンは $I_{SFST}$ によってプルアップされます。SFSTピンの電圧ランプは、PGピンのデューティ・サイクル・ランプに比例します。

フライバック・モード時のソフトスタート時間は次式で表されます。

$$t_{SFST} = \frac{600\mu A}{nF} \left( \frac{C_{SFST}}{I_{SFST}} \right) (t_{PGon} + t_{PGDELAY} - t_{MIN})$$

ここで、 $t_{PGon}$ は、電源が安定状態になってから図8に示すようにPGが“H”になるまでの時間です。

フォワード・モードにおける $t_{SFST}$ と $C_{SFST}$ の表を、末尾のページの各アプリケーション回路図に示します。アプリケーションを選択して、必要なソフトスタート時間に対応する $C_{SFST}$ の値を選んでください。

### 電流検出コンパレータ

LT4276は、寄生抵抗と寄生インダクタンスが1次側電流の測定に及ぼす影響を減らすために、差動電流検出コンパレータを使用しています。ISEN+とISEN-は、検出抵抗パッドにケルビン接続する必要があります。

ほとんどのスイッチング・レギュレータ・コントローラ同様、電流検出コンパレータは、PGがオンしてから $t_{MIN}$ 後に電流の検出を開始します。次いで、ISEN+とISEN-間の電圧が電流検出コンパレータのしきい値 $V_{SENSE}$ を超えると、コンパレータがPGをオフします。ISEN+とISEN-間の電圧は、LT4276の内部スロープ補償によって変化します。

### スロープ補償

LT4276は電流スロープ補償を採用しています。スロープ補償は、デューティ・サイクルが50%前後、あるいはそれ以上の時に電流ループの安定性を保証するために必要です。LT4276のスロープ補償によって、高デューティ・サイクルでの最大ピーク電流が減ることはありません。

### 制御ループ補償

フライバック・モードでは、図12に示すように、帰還アンプの出力(ITHBピン)とGNDの間に抵抗/コンデンサ回路を接続することによって、ループ周波数補償を行います。フォワード・モードでは、図14の $R_X$ と $C_X$ を変化させることによってループ補償を行います。



## アプリケーション情報

### 調整可能なスイッチング周波数

LT4276のデフォルトのスイッチング周波数は $f_{OSC} = 214 \text{ kHz}$ で、ROSCピンを開放のままにするとこの周波数になります。これより高いスイッチング周波数 $f_{SW}$ が必要な時は(最大300 kHz)、ROSCピンとGNDの間に45.3k $\Omega$ 以上の抵抗を追加します。抵抗は次式で計算できます。

$$R_{OSC} = \frac{3900\text{k}\Omega \cdot \text{kHz}}{(f_{SW} - f_{OSC})} (\text{k}\Omega)$$

### 短絡応答

電源出力電圧が短絡した場合、過負荷となった場合、またはソフトスタート・コンデンサが小さ過ぎる場合は、検出ピン間の電圧が $V_{FAULT}$ を超えると( $t_{MIN}$ のブランキング時間経過後)過電流フォルトが発生します。これにより、内部フォルト・タイマ $t_{FAULT}$ が始動します。 $t_{FAULT}$ が経過するまでの間、LT4276はPGとSGをオフしてSFSTピンをGNDに引き下げます。 $t_{FAULT}$ の経過後、LT4276はソフトスタートを開始します。

このフォルトおよびソフトスタート・シーケンスは、短絡または過負荷状態が続く限り繰り返されます。この状態は、図15に示すように、 $t_{FAULT}$ の間隔で繰り返されるPG波形によって識別できます。

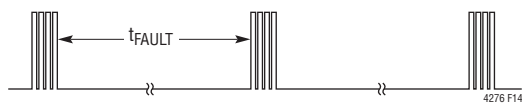


図15. 出力短絡状態でのPG波形

### 過熱保護

IEEE 802.3仕様は、PDが0V～57Vの範囲の印加電圧に無期限で耐えることを要求しています。しかし、分類動作モードにおけるLT4276の電力損失は1.5Wに達することがあります。IEEEの最長分類タイミングを使用しても、LT4276は十分にこの電力に耐えられますが、この状態が異常に長く続けば過熱状態を招きます。

LT4276は過熱保護機能を備えていますが、この機能は本来、短時間の過負荷状態からデバイスを保護することを意図したものです。接合部温度が過熱しきい値を超えると、LT4276はHSGATEピンをプルダウンして分類を無効にし、さらにスイッチング・レギュレータ動作を無効にします。

### 最大デューティ・サイクル

PGピンの最大デューティ・サイクルは、選択した $t_{PGDELAY}$ と $f_{SW}$ によって変化します。この値は次式で計算されます。

$$\begin{aligned} & \text{MAX POWER SUPPLY DUTY CYCLE} \\ & = D_{MAX} - t_{PGDELAY} \cdot f_{SW} \end{aligned}$$

トランジェント動作時に適切なマージンを確保するには、フォワードまたはフライバック電源を設計する際に、その定常状態の最大デューティ・サイクルが上の式で計算したLT4276の最大電源デューティ・サイクルより約10%低くなるようにする必要があります。

### 外部インタフェースと部品の選択

#### PoE入力ダイオード・ブリッジ

PDでは、入力電圧の極性を補正する必要があります。ダイオード・ブリッジ使用時は、ダイオードの順方向電圧降下がVPORTピンの電圧に影響します。LT4276は、これらの電圧降下を許容できるように設計されています。「電気的特性」に示した電圧パラメータは、LT4276パッケージのピン部分での仕様値です。

高効率アプリケーション用に、LT4276は、LT4321ベースのPoE理想ダイオード・ブリッジをサポートしています。このブリッジは、通常動作時のダイオードあたりの順方向電圧降下を0.7Vからほぼ20mVまで減らしながら、IEEE 802.3に準拠しています。

## アプリケーション情報

### 補助入力ダイオード・ブリッジ

PDの中には、補助電源からのACまたはDC電力を必要とするものもあります。通常、電圧整流と極性補正にはダイオード・ブリッジが必要です。

高効率アプリケーションでは、整流器両端での電圧降下は許容されません。LT4276はLT4320ベースの理想ダイオード・ブリッジによって構成可能で、ダイオードの電圧降下を補って熱設計を容易にすることができます。

### 入力コンデンサ

IEEE 802.3の入力インピーダンス要件を満たし、LT4276を正しくバイパスするには、VPORTとGND間に0.1 $\mu$ Fのコンデンサが必要です。このコンデンサは、VPORTピンとGNDピンのできるだけ近くに配置してください。

### トランジェント電圧サプレッサ

LT4276の絶対最大定格電圧は100Vと規定されており、Ethernetケーブルのサージによる短期間の過電圧を許容できるように設計されています。

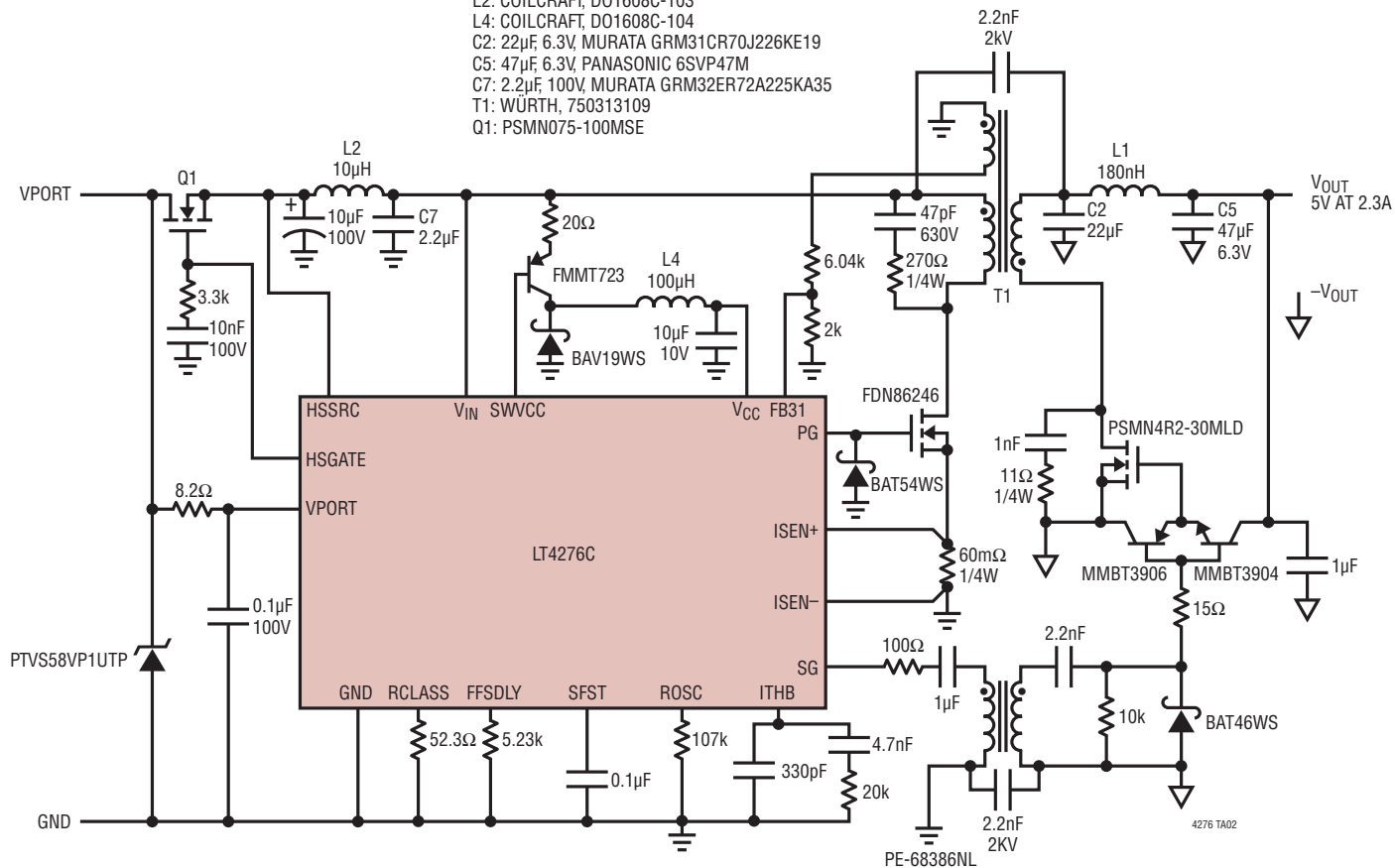
LT4276を保護するため、VPORTピンとGNDピン間にSMAJ58Aなどの単方向トランジェント電圧サプレッサ(TVS)を取り付けてください。このTVSは、LT4276のVPORTピンとGNDピンのできるだけ近くに配置する必要があります。補助電源入力を必要とするPDアプリケーションでは、できるだけLT4276に近付けて、V<sub>IN</sub>とGNDの間にTVSを取り付けます。

ケーブル放電が著しく大きい場合やサージ保護については、弊社または弊社代理店にお問い合わせください。

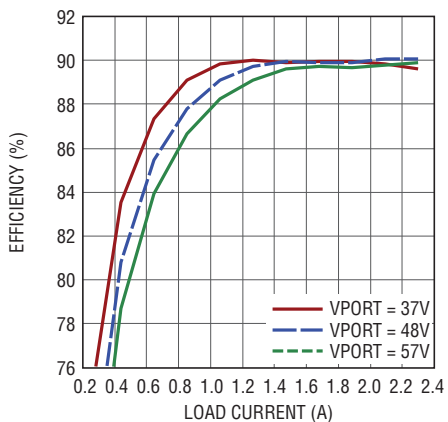
標準的応用例

フライバック・モードの13W(タイプ1) PoE 電源(5V/2.3A 出力)

- L1: COILCRAFT, DO1608C-103
- L2: COILCRAFT, DO1608C-103
- L4: COILCRAFT, DO1608C-104
- C2: 22 $\mu$ F, 6.3V, MURATA GRM31CR70J226KE19
- C5: 47 $\mu$ F, 6.3V, PANASONIC 6SVP47M
- C7: 2.2 $\mu$ F, 100V, MURATA GRM32ER72A225KA35
- T1: WÜRTH, 750313109
- Q1: PSMN075-100MSE

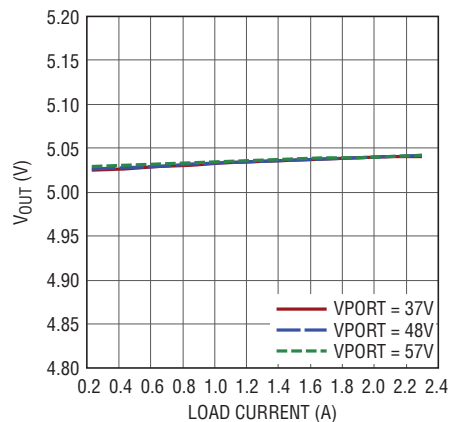


効率と負荷電流



4276 TA02a

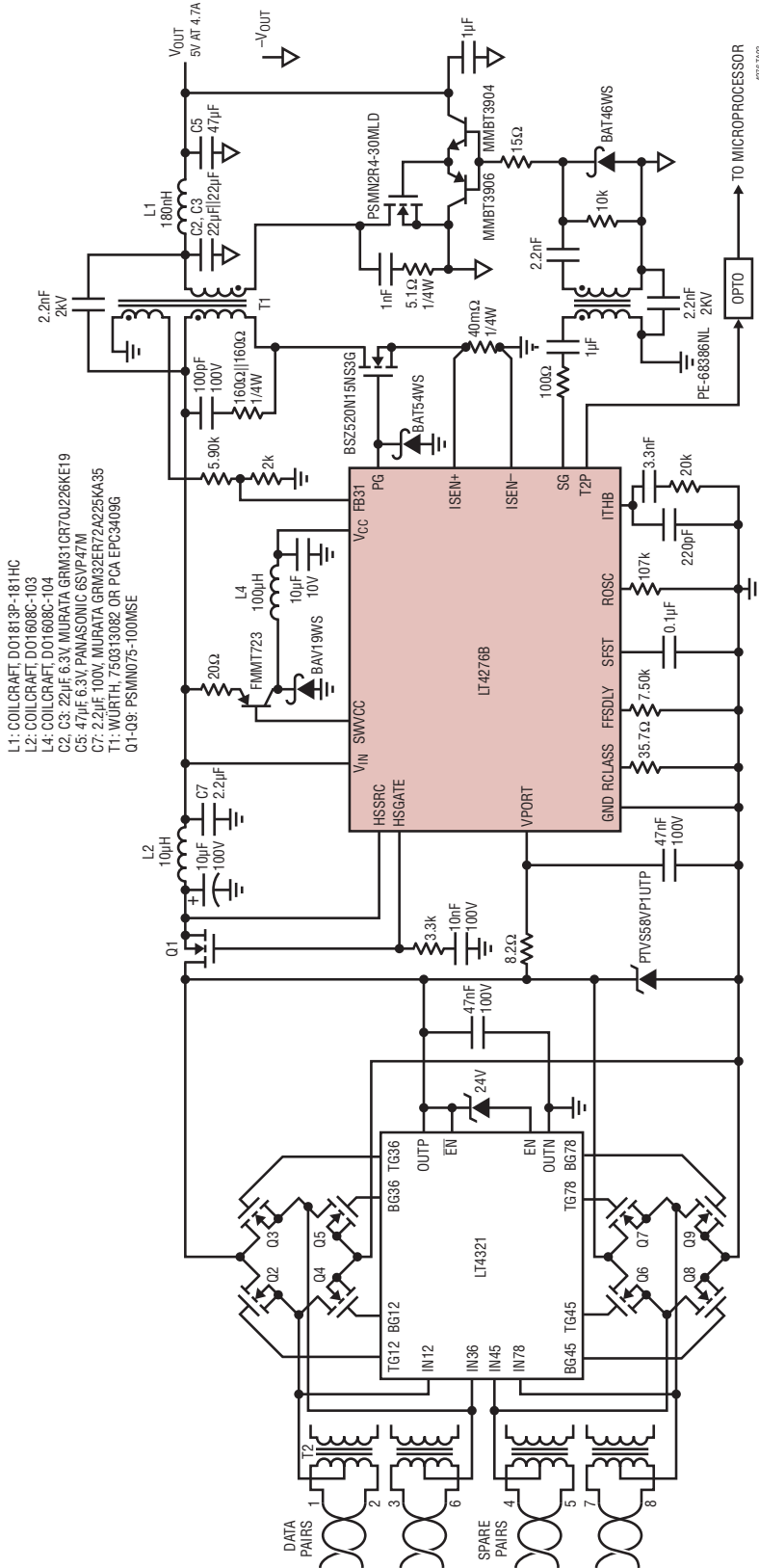
出力レギュレーションと負荷電流



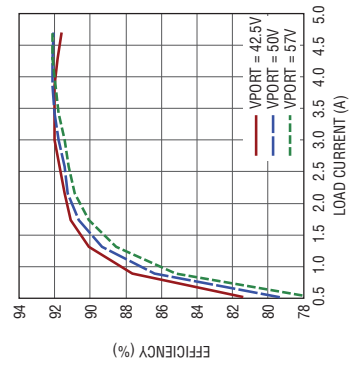
4276 TA02b

標準的応用例

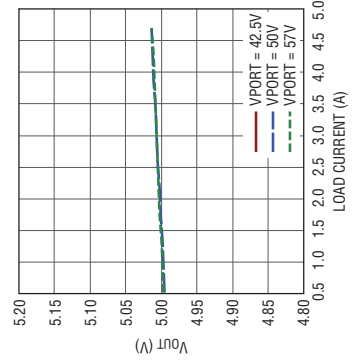
フライバック・モードの25.5W(タイプ2)PoE+電源(5V/4.7A出力)



効率と負荷電流

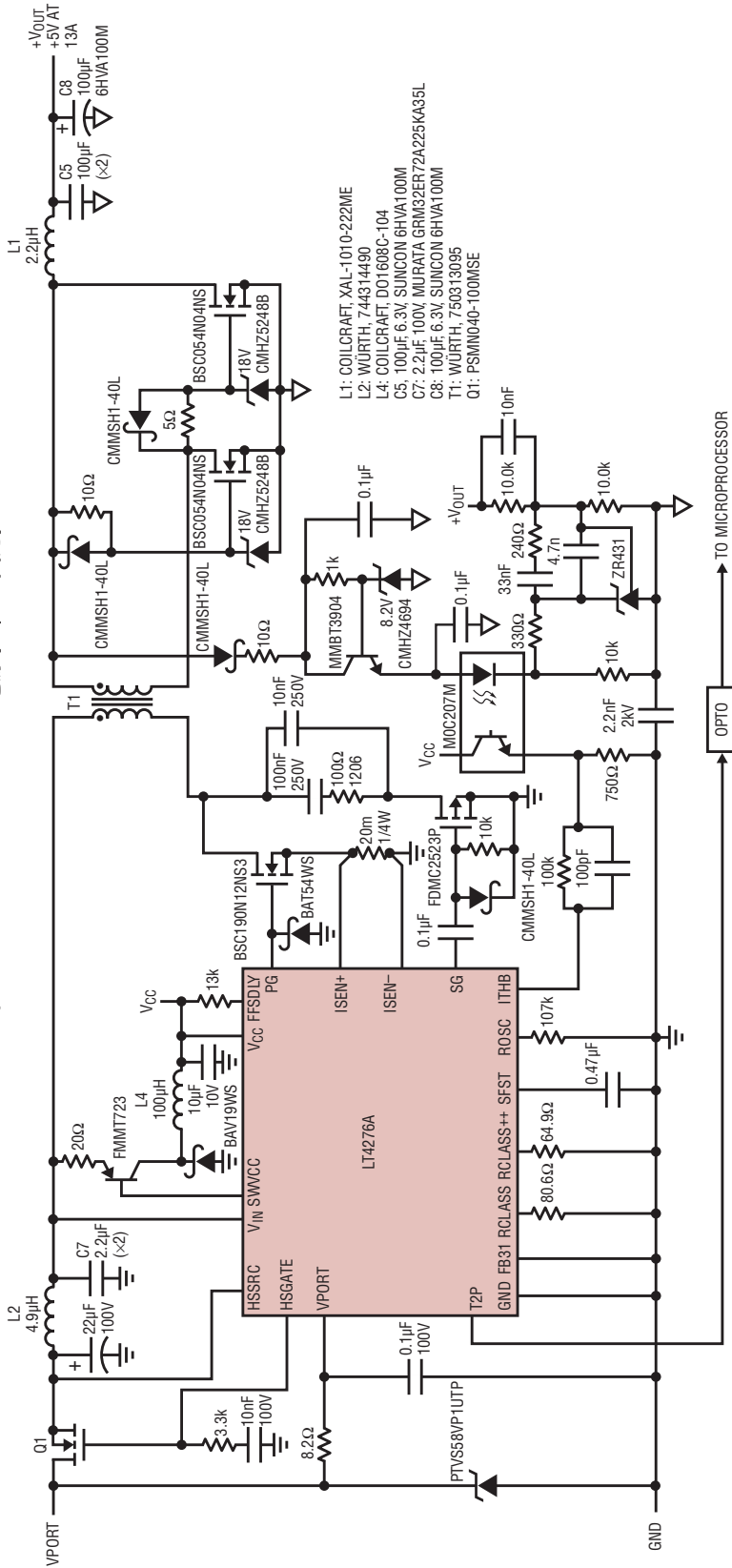


VOUTと負荷電流



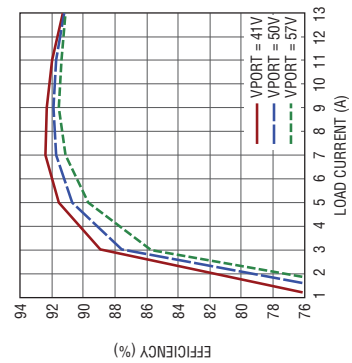
標準的応用例

フォワード・モードの70W LTPOE++電源(5V/13A出力)

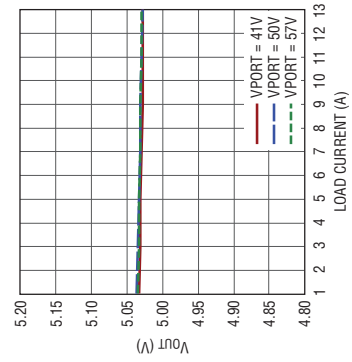


- L1: COILCRAFT, XAL-1010-222ME
- L2: WURTH, 744314490
- L4: COILCRAFT, DO1608C-104
- C5: 100µF, 6.3V, SUNCON 6HVA100M
- C7: 2.2µF, 100V, MURATA GRM32ER72A225KA35L
- C8: 100µF, 6.3V, SUNCON 6HVA100M
- T1: WURTH, 750313095
- O1: PSMN040-100MSE

効率と負荷電流



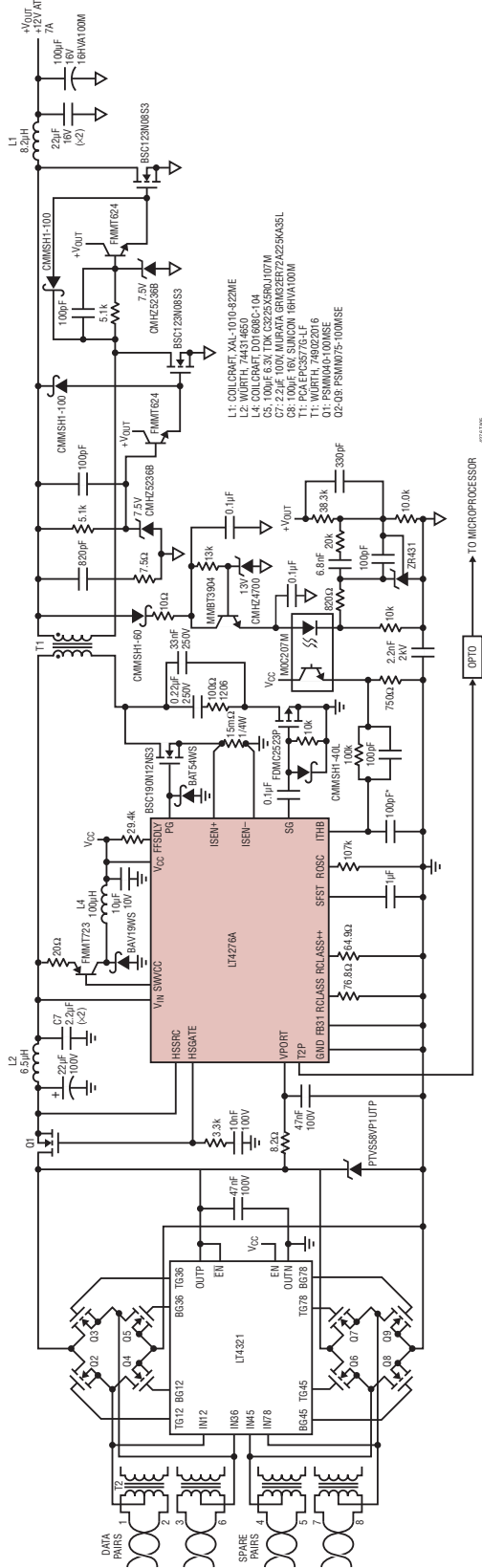
Voutと負荷電流



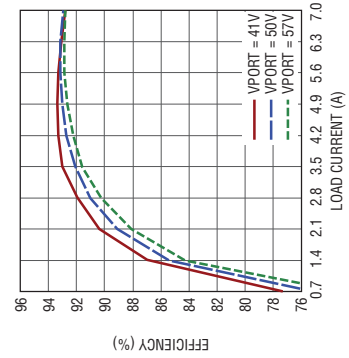
CSFST (µF)	ISFST (ms)
0.10	1.2
0.33	3.8
1.0	12
3.3	38

## 標準的応用例

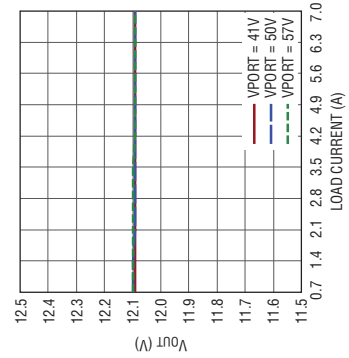
フォワードモードの90W LTPoE++電源(12V/7A出力)



効率と負荷電流



V<sub>OUT</sub>と負荷電流

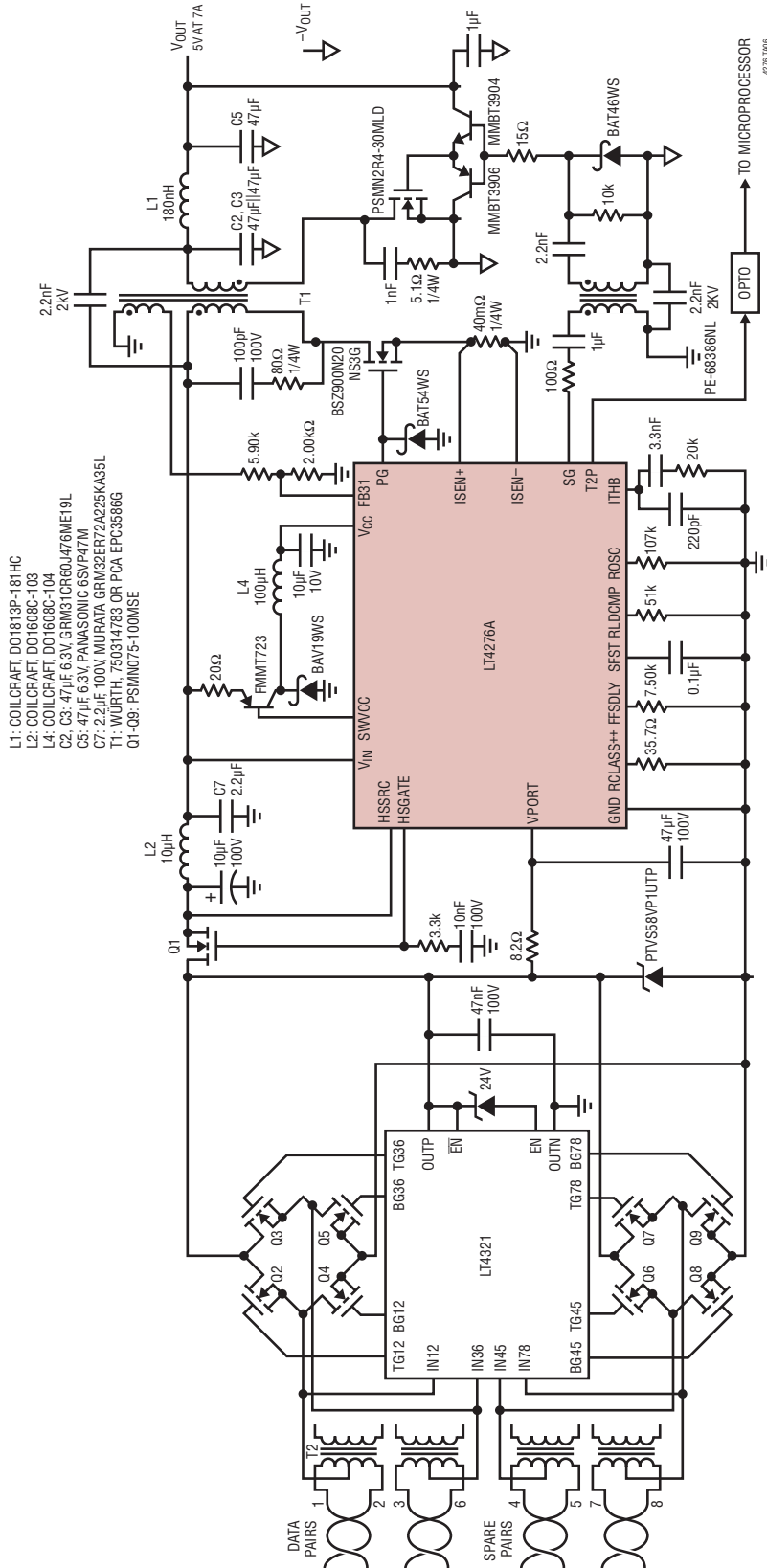


CSFST (µF)	ISFST (ms)
0.10	1.5
0.33	4.9
1.0	15
3.3	48



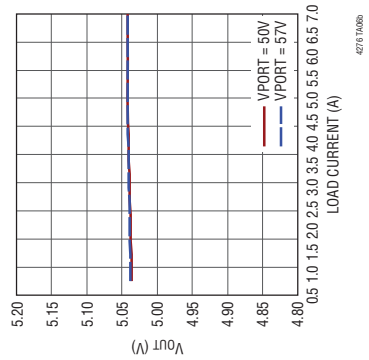
標準的応用例

フライバック・モードの38.7W LTP0E++電源(5V/7A出力)

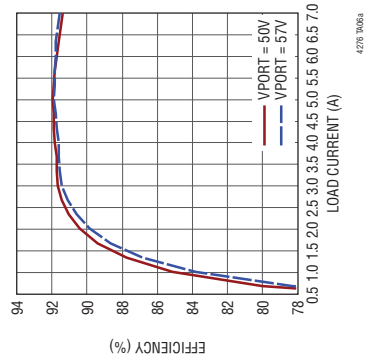


- L1: COILCRAFT, DO1813P-181HC
- L2: COILCRAFT, DO1608C-103
- L4: COILCRAFT, DO1608C-104
- C2, C3: 47µF, 6.3V, GRM31CR60J476ME19L
- C5: 47µF, 6.3V, PANASONIC 6SVF47M
- C7: 2.2µF, 100V, MURATA GRM32ER72A25KA35L
- T1: WÜRTH, 750314783 OR PCA EPC3686G
- O1-O9: PSMN075-100MSE

出力レギュレーションと負荷電流

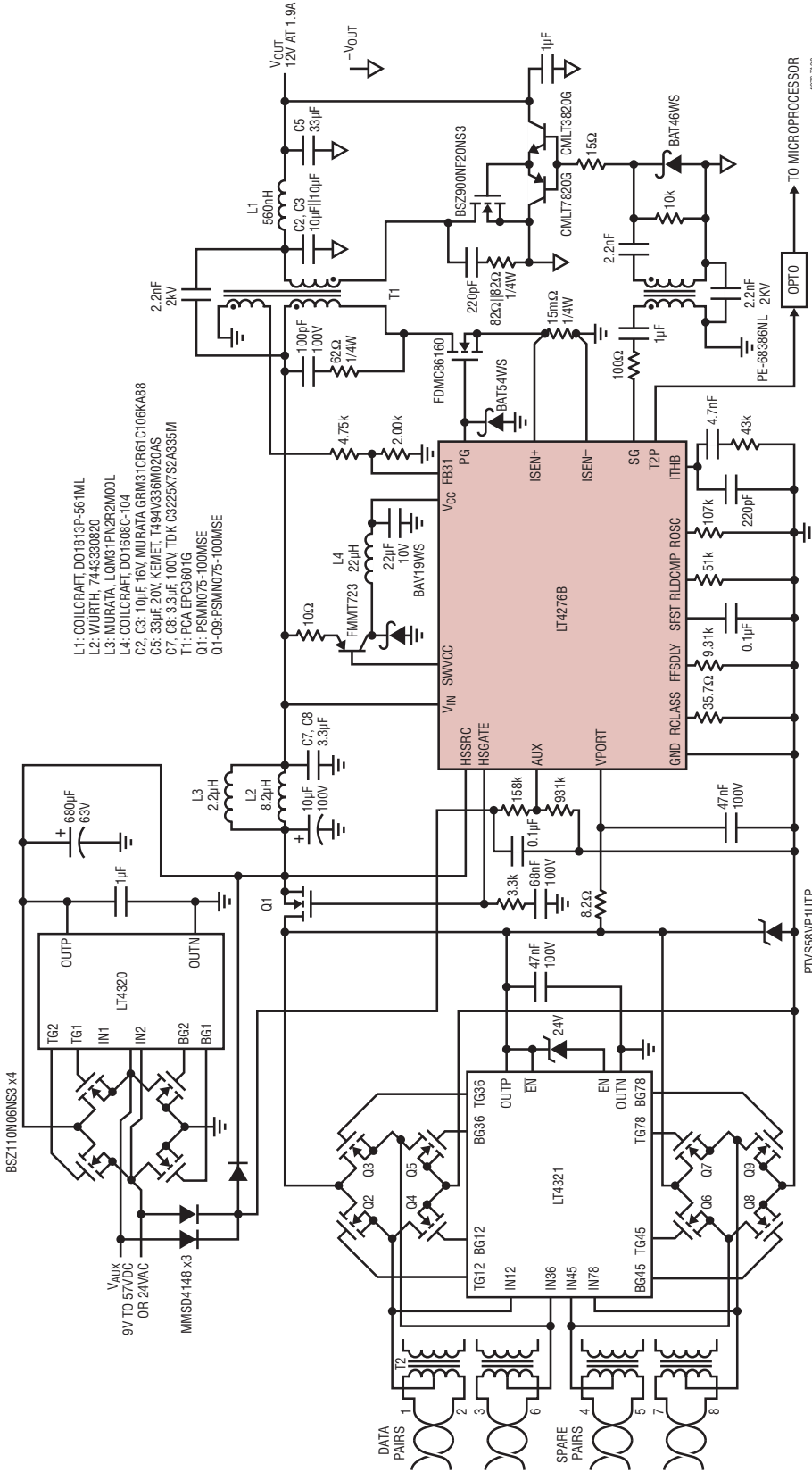


効率と負荷電流

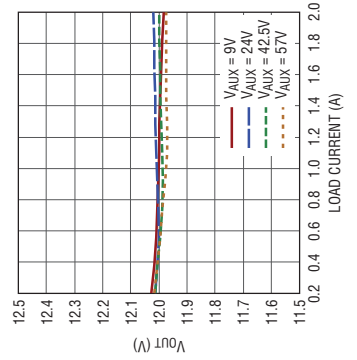


## 標準的応用例

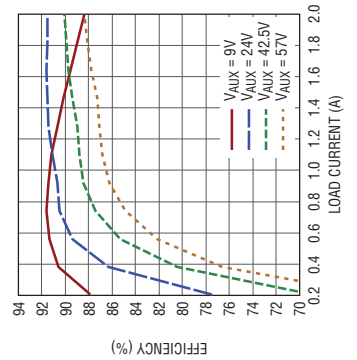
### フライバック・モードの25.5W(タイプ2)PoE+および9V~57V補助入力電源(12V/1.9A出力)



出力レギュレーションと  
負荷電流



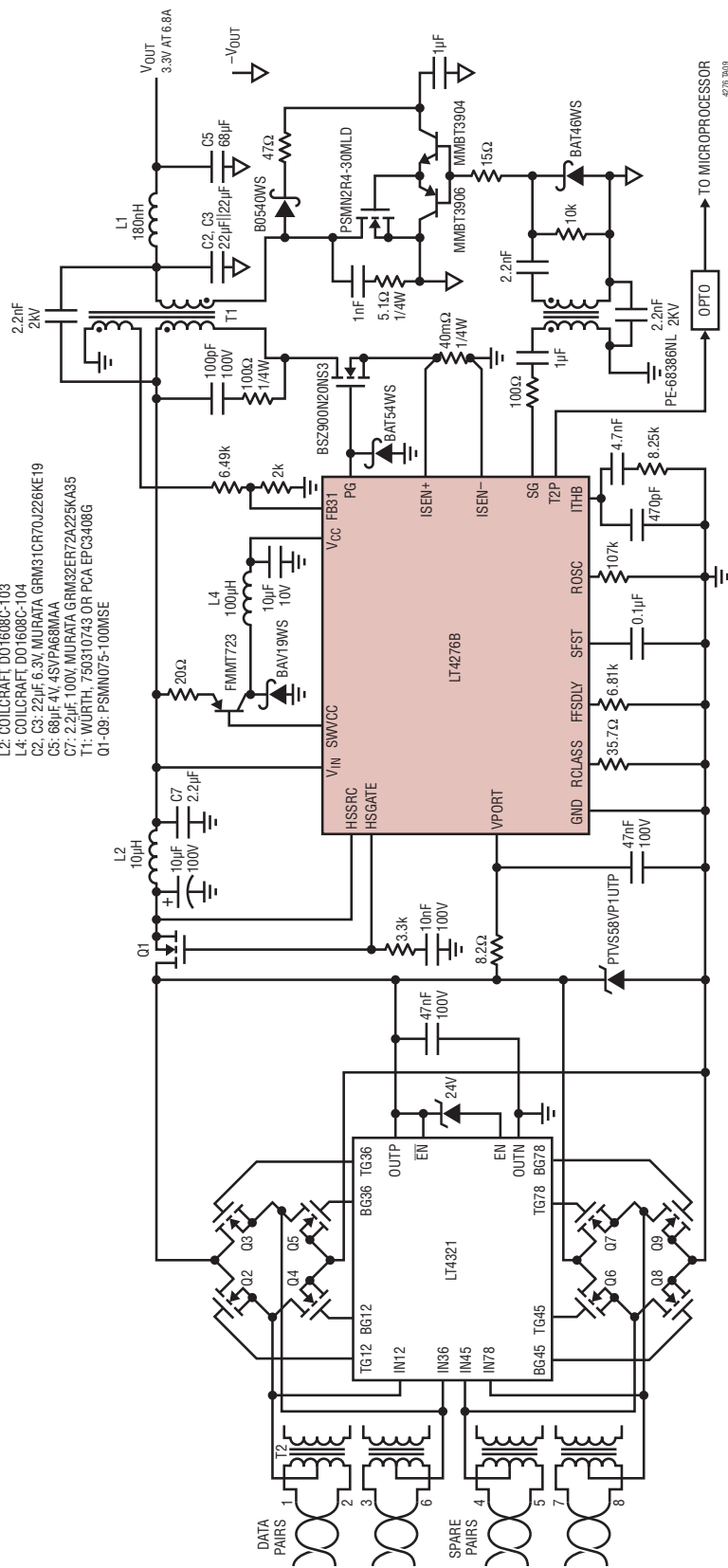
効率と負荷電流



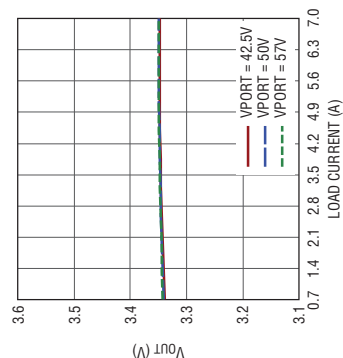
標準的応用例

フライバック・モードの25.5W (タイプ2) PoE+ 電源 (3.3V/6.8A 出力)

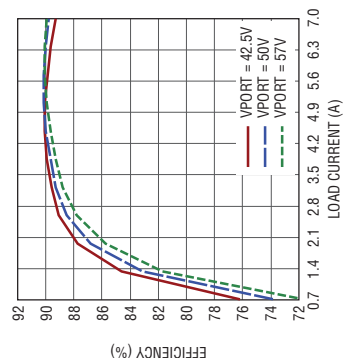
- L1: COILCRAFT DO1813P-181HC
- L2: COILCRAFT DO1608C-103
- L4: COILCRAFT DO1608C-104
- C2, C3: 22µF 6.3V MURATA GRM31CR70J226KE19
- C5: 68µF 4V 45VPA68MAA
- C7: 2.2µF 100V MURATA GRM32ER72A225KA35
- T1: WÜRTH 750310743 OR PCA EPC3408G
- O1-Q8: PSMN075-100MSE



出力レギュレーションと  
負荷電流

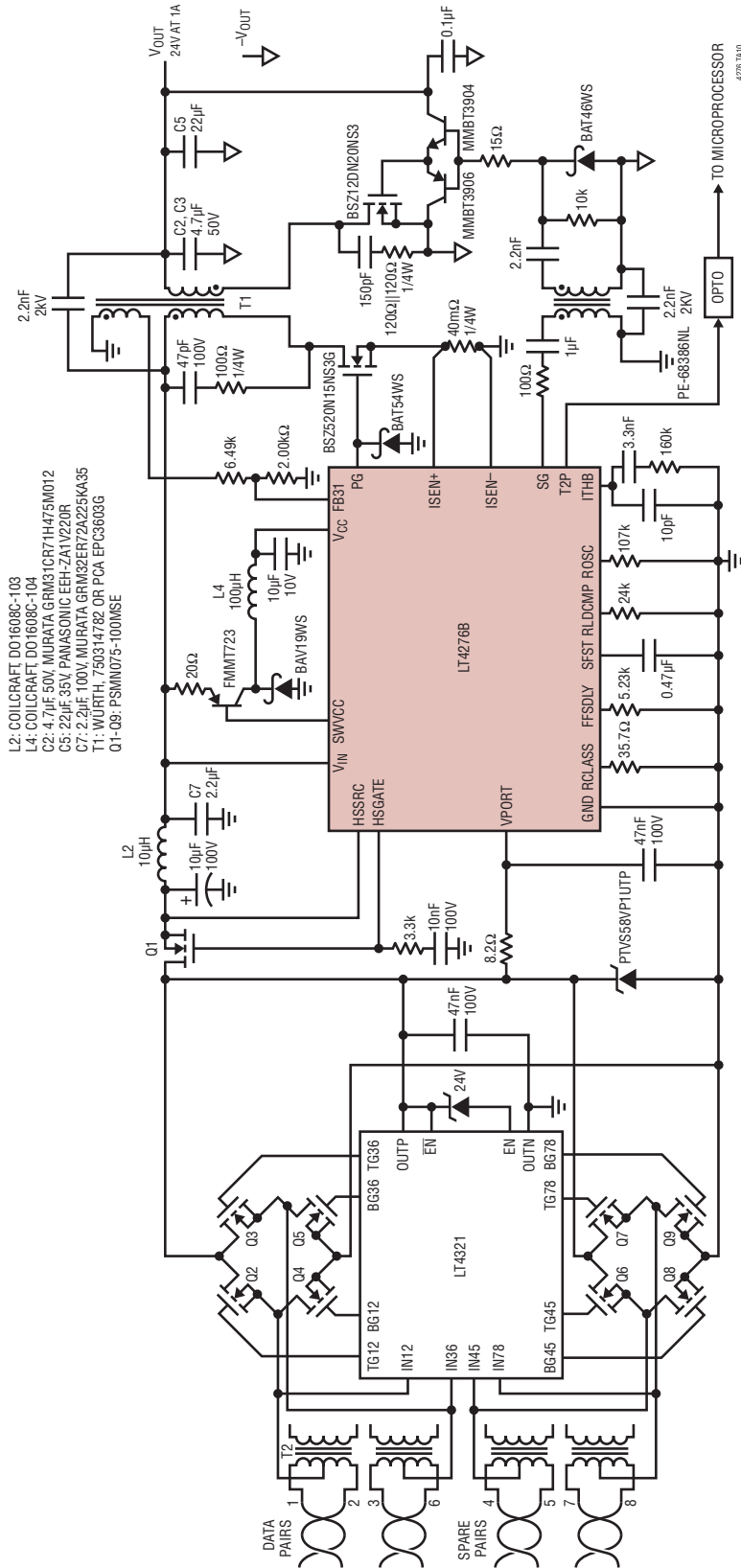


効率と負荷電流

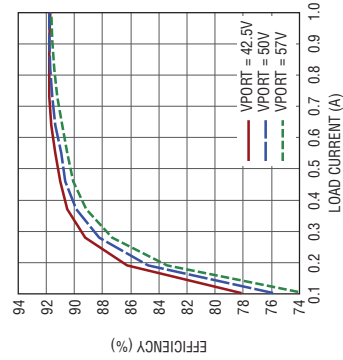


## 標準的応用例

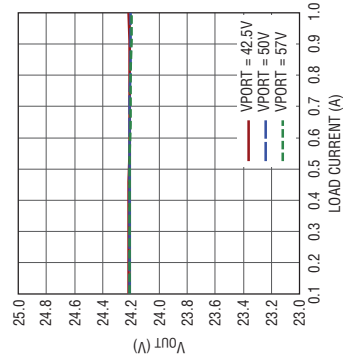
### フライバック・モードの25.5W(タイプ2)PoE+電源(24V/1A出力)



効率と負荷電流



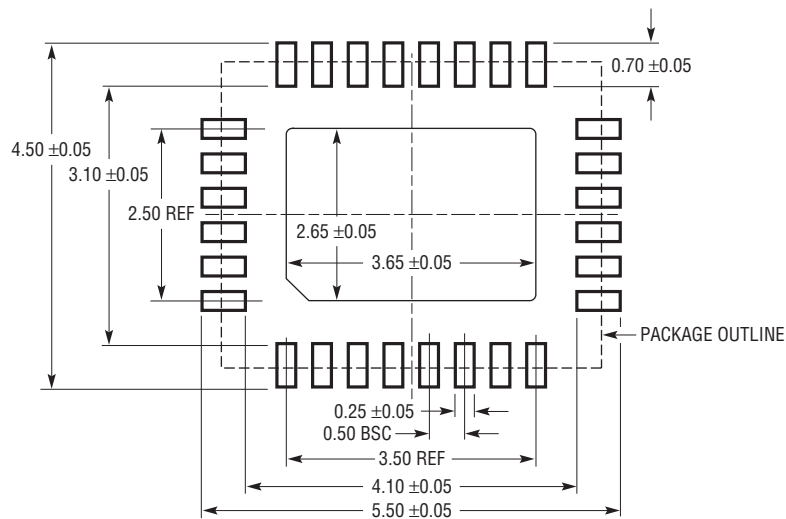
V<sub>OUT</sub>と負荷電流



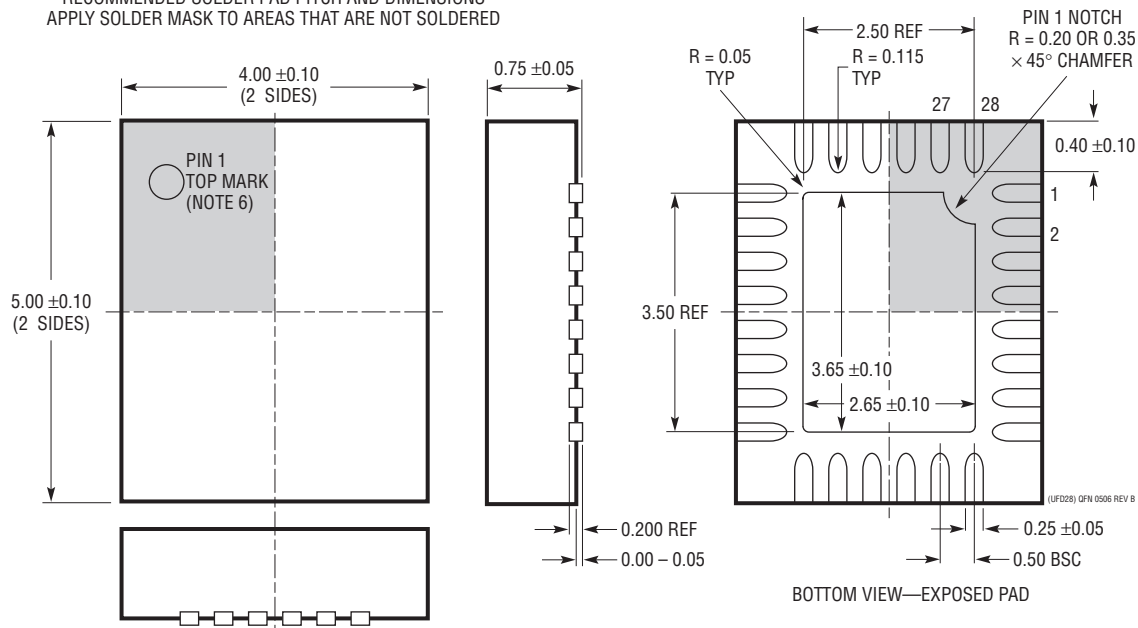
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

**UFD Package**  
**28-Lead Plastic QFN (4mm × 5mm)**  
 (Reference LTC DWG # 05-08-1712 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS  
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



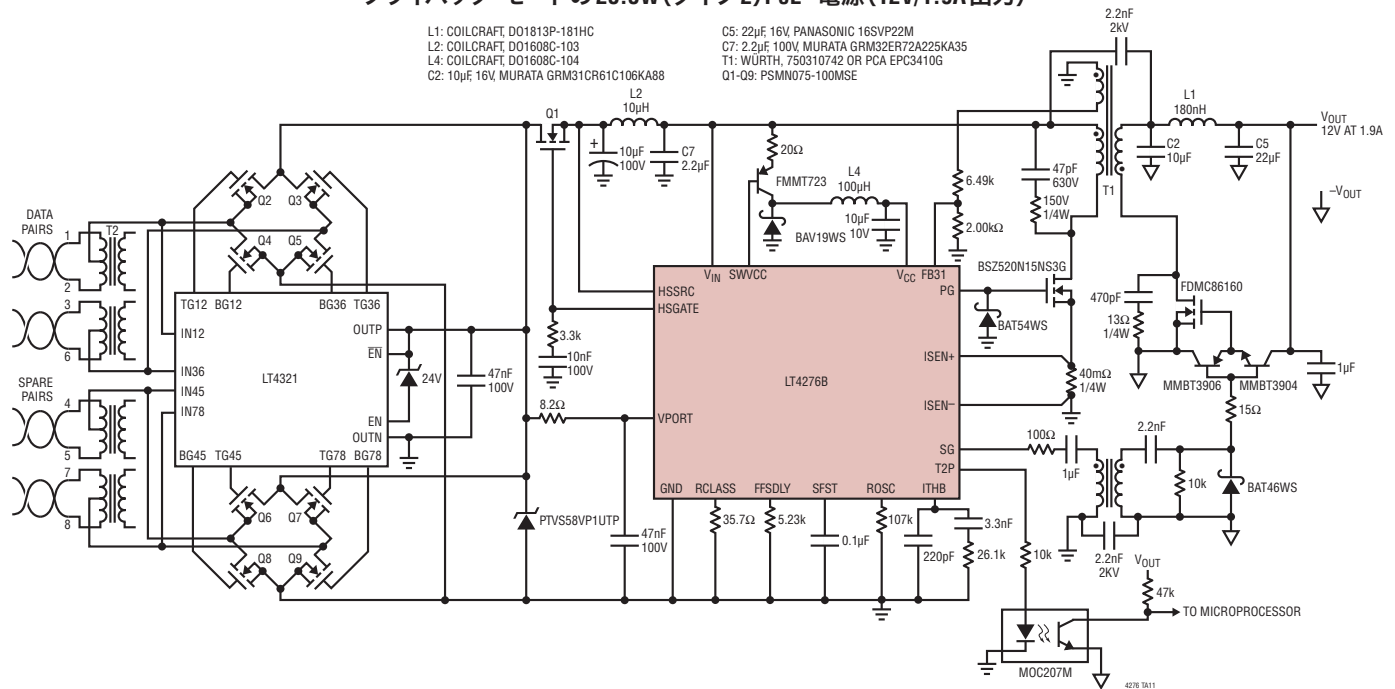
注記：

1. 図は JEDEC パッケージ外形 M0-220 のバリエーション (WXXX-X) にするよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

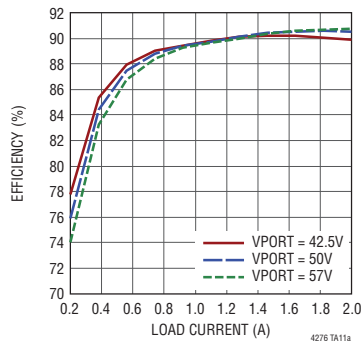
# LT4276

## 標準的応用例

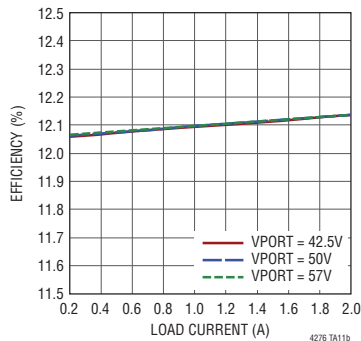
### フライバック・モードの25.5W(タイプ2)PoE+電源(12V/1.9A出力)



効率と負荷電流



出力レギュレーションと負荷電流



## 関連製品

製品番号	説明	注釈
<a href="#">LTC4267/ LTC4267-1/ LTC4267-3</a>	スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	100V、400mA スイッチを内蔵、プログラム可能なクラス、200/300kHz の固定周波数 PWM
<a href="#">LTC4269-1</a>	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、補助電源をサポート
<a href="#">LTC4269-2</a>	フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 フォワード・コントローラ、スイッチング周波数: 100kHz ~ 500kHz、補助電源をサポート
<a href="#">LT4275A/B/C</a>	LTPoE++/PoE+/PoE PD コントローラ	外部スイッチ、LTPoE++ をサポート
<a href="#">LTC4278</a>	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、12V 補助電源をサポート
<a href="#">LTC4290/LTC4271</a>	8ポート PoE/PoE+/LTPoE++ PSE コントローラ	トランスによる絶縁、IEEE 802.3af、IEEE 802.3at、および LTPoE++ PD に対応
<a href="#">LT4320/LT4320-1</a>	理想ダイオード・ブリッジ・コントローラ	入力: 9V ~ 72V、DC ~ 600Hz。4 個の NMOSFET を制御、ダイオード電圧降下なしの電圧整流
<a href="#">LT4321</a>	PoE 理想ダイオード・ブリッジ・コントローラ	IEEE に準拠したダイオード電圧降下なしの PD 電圧整流用に 8 個の NMOSFET を制御