

特長

- IEEE 802.3af/at および LTPoE++™ 受電装置 (PD) コントローラ
- LTPoE++ は最大 90W の電力レベルをサポート
- LT4275A は以下の規格をすべてサポート:
 - LTPoE++: 38.7W、52.7W、70W、90W
 - IEEE 802.3at (25.5W) に準拠
 - IEEE 802.3af (最大 13W) に準拠
- LT4275B は IEEE 802.3at/af に準拠
- LT4275C は IEEE 802.3af に準拠
- 入力電圧の絶対最大定格: 100V
- 広い接合部温度範囲 (-40°C ~ 125°C)
- 過熱保護
- シグネチャ抵抗を内蔵
- Hot Swap™ Nチャネル MOSFET を外付けすることにより、最小の電力損失および最高のシステム効率を達成
- 9V 以上のプログラム可能な補助電源をサポート
- 非標準の低電圧 PoE をオプションでサポート
- 10ピン MSOP パッケージおよび 3mm×3mm の DFN パッケージで供給

アプリケーション

- 高出力の無線データ・システム
- 屋外防犯カメラ装置
- 商用情報および公開情報の表示装置
- 高温での産業用機器アプリケーション

概要

LT®4275 は、IEEE 802.3 および LTPoE++ 受電装置 (PD) コントローラのピン互換ファミリです。

LT4275A は独自の LTPoE++ 分類体系を採用しており、PD の RJ45 コネクタで 38.7W、52.7W、70W、または 90W の電力を供給します。LT4275A は IEEE 802.3 との完全な互換性があります。LT4275B は IEEE 802.3at に準拠しており、最大 25.5W を供給するタイプ 2 (PoE+) の PD 向けです。LT4275C は IEEE 802.3af に準拠しており、最大 13W を供給するタイプ 1 (PoE) の PD 向けです。

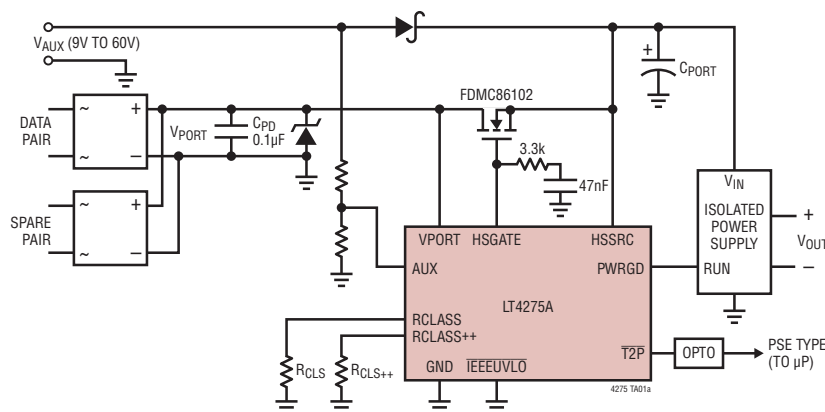
LT4275 では、内蔵のチャージ・ポンプによって Nチャネル MOSFET による解決策を実現できるので、より大型で高価な Pチャネル MOSFET を使用せずに済みます。R_{DS(ON)} の低い MOSFET により、電力供給と電力効率が最高になり、消費電力と発熱が減少して、熱設計が容易になります。起動時の突入電流は外付けコンデンサで調整可能です。LT4275 には、パワーグッド出力、シグネチャ抵抗、低電圧ロックアウト回路、および熱保護回路も内蔵されています。LT4275A/LT4275B は、1 個のオプトカップラを駆動して、接続されている PSE の電力レベルを示します。非標準の低電圧動作に対するサポートをピンで選択可能です。AUX ピンでは補助電源の変更機能がサポートされています。

LT4275A は、外付け部品の変更により、LTPoE++、802.3at、および 802.3af の可能なすべての電力レベルをサポートするように構成できます。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。LTPoE++ および Hot Swap はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

LTPoE++ 90W 受電装置インタフェース



LT4275 ファミリ

最大供給電力	LT4275 のグレード		
	A	B	C
LTPoE++ 90W	●		
LTPoE++ 70W	●		
LTPoE++ 52.7W	●		
LTPoE++ 38.7W	●		
25.5W	●	●	
13W	●	●	●

LT4275

絶対最大定格

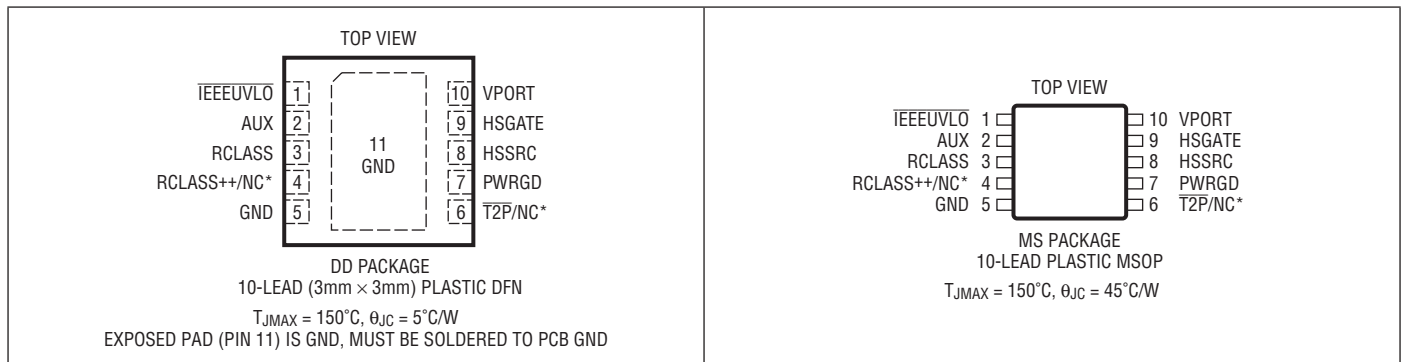
(Note 1, 3)

VPORT、HSSRC 電圧.....	-0.3V ~ 100V
HSGATE 電流.....	±20mA
IEEEUVLO、RCLASS、 RCLASS++ 電圧.....	-0.3V ~ 8V(かつ ≤ VPORT)
AUX 電流.....	±1.4mA
T2P、PWRGD 電圧.....	-0.3V ~ 100V
T2P、PWRGD 電流.....	5mA

動作接合部温度範囲 (Note 4)

LT4275AI/LT4275BI/LT4275CI.....	-40°C ~ 85°C
LT4275AH/LT4275BH/LT4275CH.....	-40°C ~ 125°C
保存温度範囲.....	-65°C ~ 150°C
リード温度 (半田付け、10 秒).....	300°C

ピン配置



* RCLASS++はLT4275B/Cバージョンでは接続されていません。T2PはLT4275Cバージョンでは接続されていません。

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	PD 最大電力	パッケージ	温度範囲
LT4275AIDD#PBF	LT4275AIDD#TRPBF	LGBS	90W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LT4275AHDD#PBF	LT4275AHDD#TRPBF	LGBS	90W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT4275AIMS#PBF	LT4275AIMS#TRPBF	LTGBT	90W	10-Lead Plastic MSOP	-40°C to 85°C
LT4275AHMS#PBF	LT4275AHMS#TRPBF	LTGBT	90W	10-Lead Plastic MSOP	-40°C to 125°C
LT4275BIDD#PBF	LT4275BIDD#TRPBF	LGBV	25.5W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LT4275BHDD#PBF	LT4275BHDD#TRPBF	LGBV	25.5W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT4275BIMS#PBF	LT4275BIMS#TRPBF	LTGBW	25.5W	10-Lead Plastic MSOP	-40°C to 85°C
LT4275BHMS#PBF	LT4275BHMS#TRPBF	LTGBW	25.5W	10-Lead Plastic MSOP	-40°C to 125°C
LT4275CIDD#PBF	LT4275CIDD#TRPBF	LGBX	13W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 85°C
LT4275CHDD#PBF	LT4275CHDD#TRPBF	LGBX	13W	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT4275CIMS#PBF	LT4275CIMS#TRPBF	LTGBY	13W	10-Lead Plastic MSOP	-40°C to 85°C
LT4275CHMS#PBF	LT4275CHMS#TRPBF	LTGBY	13W	10-Lead Plastic MSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/>をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	VPORT Operating Input Voltage	At VPORT Pin	●	23		60	V
V _{SIG}	VPORT Signature Range	At VPORT Pin	●	1.5		10	V
V _{CLASS}	VPORT Classification Range	At VPORT Pin	●	12.5		21	V
V _{MARK}	VPORT Mark Range	At VPORT Pin, Preceded by V _{CLASS}	●	5.6		10	V
	VPORT Aux Mode Range	At VPORT Pin, AUX > V _{AUXT}	●	8		60	V
	Signature/Class Hysteresis Window		●	1.0			V
V _{RESET}	Reset Threshold		●	2.6		5.6	V
V _{HSON}	Hot Swap Turn-On Voltage	I _{EEEEUVLO} = 0V I _{EEEEUVLO} Open	● ●		35 27	37 29	V V
V _{HSOFF}	Hot Swap Turn-Off Voltage	I _{EEEEUVLO} = 0V I _{EEEEUVLO} Open	● ●	30 21.5	31 22.5		V V
	Hot Swap On/Off Hysteresis Window		●	3			V

電源電流

	Supply Current	VPORT = HSSRC = 57V	●			2	mA
	Supply Current During Classification	VPORT = 17.5V, RCLASS and RCLASS++ Open	●	0.4	0.7	1.1	mA
	Supply Current During Mark Event	V _{MARK}	●	0.5		2.2	mA

シグネチャと分類

	Signature Resistance	V _{SIG} (Note 2)	●	23.7	24.4	25.2	k Ω
	Signature Resistance During Mark Event	V _{MARK} (Note 2)	●	5.8	8.3	11	k Ω
V _{RCLS}	RCLASS/RCLASS++ Operating Voltage	-10mA \geq I _{RCLASS} \geq -36mA, V _{CLASS}	●	1.32	1.40	1.43	V
	Classification Stability Time	VPORT Step to 17.5V, RCLASS = 34.8 Ω	●			2	ms

アナログ/デジタル・インタフェース

V _{AUXT}	AUX Threshold		●	6.1	6.3	6.5	V
I _{AUXH}	AUX Pin Hysteresis Current	AUX = 6.1V	●	4	5.8	8	μ A
	$\overline{\text{T2P}}$ Output Low	1mA Load (LT4275A/LT4275B Only)	●			0.8	V
	PWRGD Output Low	1mA Load	●			0.8	V
	PWRGD Leakage Current	PWRGD = 60V	●			5	μ A
	$\overline{\text{T2P}}$ Leakage Current	$\overline{\text{T2P}}$ = 60V	●			5	μ A

Hot Swap 制御

I _{GPU}	HSGATE Pull-Up Current	V _{HSGATE} - V _{HSSRC} = 5V, V _{PORT} > 42V, Out of Pin	●	18	22	27	μ A
V _{GOC}	HSGATE Open Circuit Voltage	V _{HSGATE} - V _{HSSRC} , 0 μ A to 10 μ A Load with Respect to HSSRC	●	10		18	V
	HSGATE Pull-Down Current	V _{HSGATE} - V _{HSSRC} = 5V	●	200			μ A

タイミング

f _{T2P}	$\overline{\text{T2P}}$ Frequency	After PWRGD Valid, if LTPoE++ PSE Is Mutually Identified	●	690	840	990	Hz
------------------	-----------------------------------	--	---	-----	-----	-----	----

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

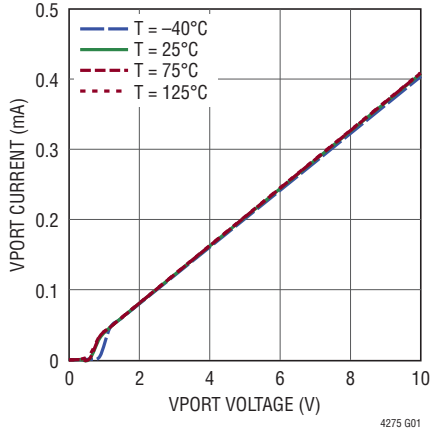
Note 2: シグネチャ抵抗の仕様には、ポート抵抗を最大1.1k増加させる可能性がある外付けダイオード・ブリッジの抵抗が含まれていない。

Note 3: すべての電圧値は(注記がない限り) GNDを基準にしている。注記がない限り、正電流はピンに流れ込み、負電流はピンから流れ出す。

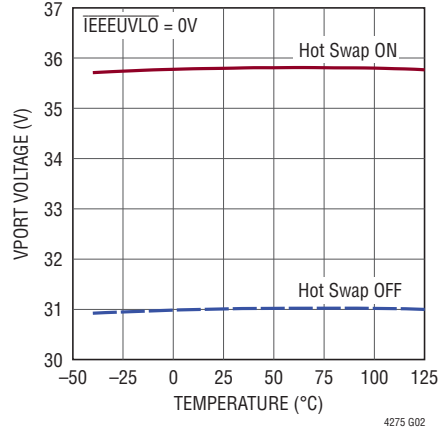
Note 4: このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能がアクティブなとき接合部温度は150 $^\circ\text{C}$ を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがある。

標準的性能特性

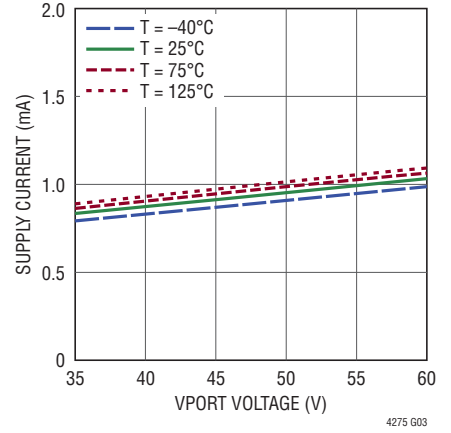
VPORT 電流と VPORT 電圧
検出範囲 25k



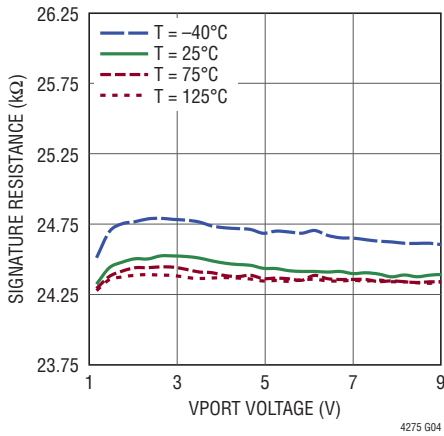
VPORT Hot Swap しきい値



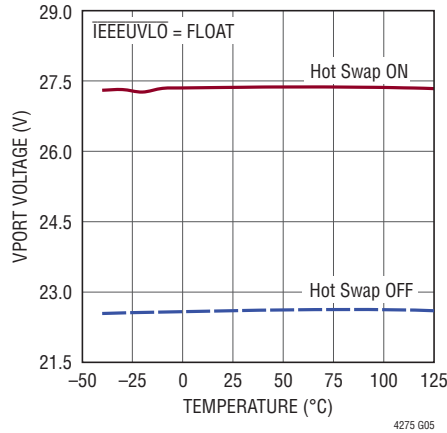
電源投入時の電源電流



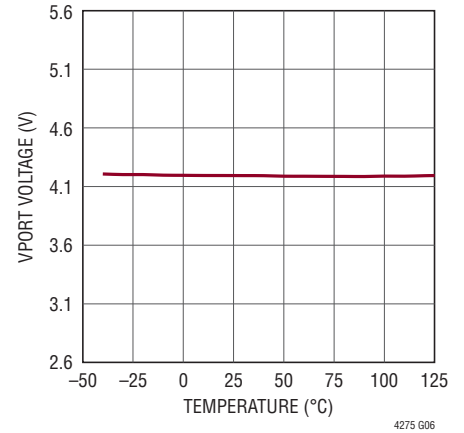
シグネチャ抵抗と入力電圧



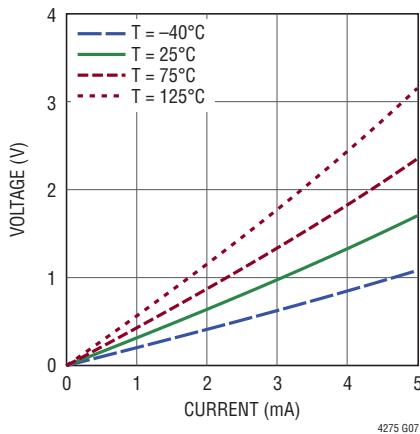
VPORT Hot Swap しきい値



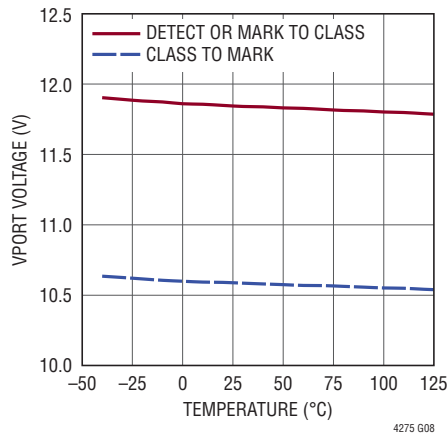
リセットしきい値



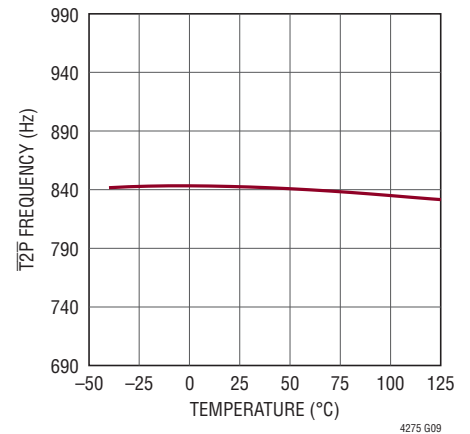
PWRGD、T2P Low 出力
電圧と電流



VPORT 分類しきい値



T2P 周波数



ピン機能

IEEEUVLO (ピン1) : Hot Swapのターンオンしきい値レベル制御ピン。IEEE準拠のターンオンおよびターンオフ(UVLO)電圧しきい値を使用する場合は、グランドに接続し、より低いターンオンおよびターンオフ電圧しきい値を使用する場合は、開放のままにします。

AUX (ピン2) : 補助検出ピン。補助電源入力からの抵抗分割器を介してAUXをアサートし、補助電源が供給を引き継ぐ電圧を設定します。AUXをアサートすると、HSGATEのプルダウン、シグネチャ抵抗の切断、分類機能の無効化、PWRGDピンのフロートが実行されます。AUXピンは、しきい値電圧 V_{AUXT} を下回ると、 I_{AUXH} をシンクしてヒステリシス特性を示します。使用しない場合は、GNDに接続します。

RCLASS (ピン3) : プログラム可能なPoE分類抵抗用のピン。表1を参照してください。

RCLASS++ (ピン4、LT4275Aのみ) : プログラム可能なLTPoE++分類抵抗用のピン。このピンは、LT4275B/LT4275Cでは接続されていません。表1を参照してください。

GND (ピン5) : グランド・ピン。PCBのGNDにはんだ付けする必要があります。

T2P (ピン6、LT4275A/LT4275Bのみ) : PSEのタイプを示すオープンドレイン出力ピン。13W PSEの場合、T2Pはフロート状態になります。25.5W PSEの場合、T2Pは引き下げられます。LTPoE++ PSEが存在する場合、T2Pは周波数 f_{T2P} 、デューティ・サイクル50% (代表値) のパルスで知らせます。T2Pが有効な値を示すのは、PWRGDがアクティブになった後です。このピンは、LT4275Cでは接続されていません。AUXピンを使用した場合の動作については、「アプリケーション情報」のセクションを参照してください。

PWRGD (ピン7) : パワーグッド・インジケータ用のオープンドレイン出力ピン。 V_{CLASS} および突入電流モードでは引き下げられます。

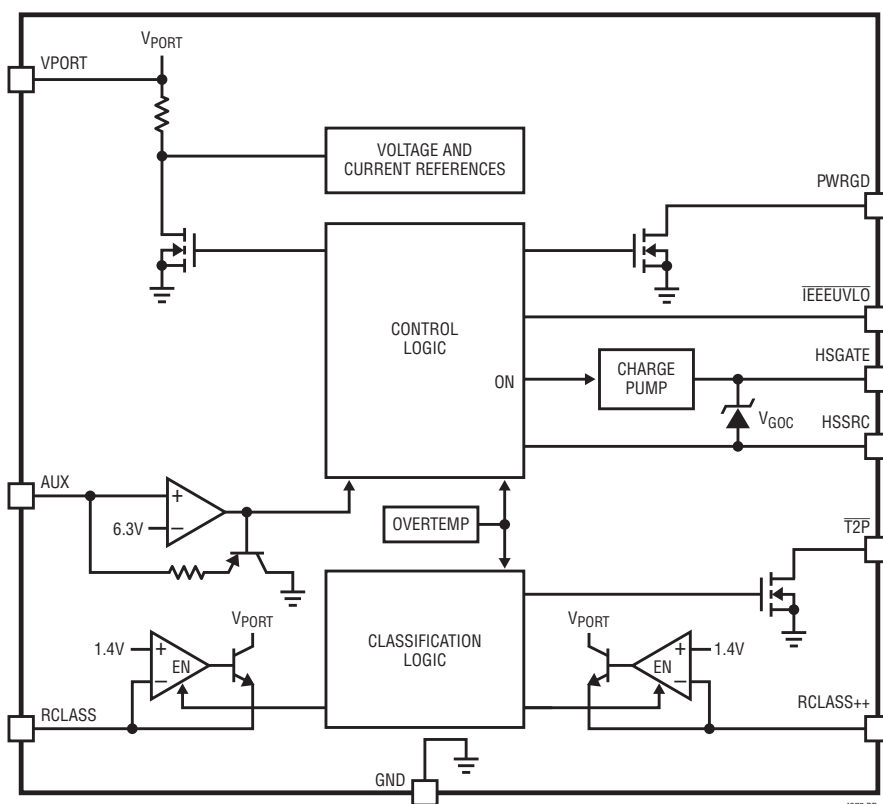
HSSRC (ピン8) : Hot Swap用の外付けMOSFETのソース。外付けMOSFETのソースに接続します。

HSGATE (ピン9) : Hot Swap用の外付けMOSFETのゲート制御、出力。外付けMOSFETのゲートに接続します。

VPORT (ピン10) : PDインタフェースの上側電源レールと、Hot Swap用の外付けMOSFETのドレイン接続。

露出パッド (ピン11、DFNパッケージのみ) : GND。PCBのGNDにはんだ付けする必要があります。

ブロック図



アプリケーション情報

概要

Power over Ethernet (PoE) 製品は、RJ45 コネクタ1つで、DC 電力と高速のデータという2つのメリットを得られることから、ますます普及が進んでいます。しかし、受電 (PD) 装置のベンダーの前には、IEEE 802.3 規格によって設定された、25.5W という電力制限の壁が立ちはだかります。そのようなときに、既存の PSE システムとの下位互換性を保ちながら、より大きな電力を提供するのが LT4275A です。LT4275 は、低 $R_{DS(ON)}$ の N チャンネル MOSFET を使用し、効率と供給電力を最大化します。発熱も抑えられ、熱設計が容易になります。

動作モード

LT4275 には、VPORT ピンに印加される入力電圧のシーケンスによって決まる、複数の動作モードがあります。25k Ω シグネチャ検出、分類、マーク、突入電流、給電などのモードです。

検出

検出モードでは、PSE はデバイスを PD として識別する 25k Ω のシグネチャ抵抗を探します。PSE は 2.8V ~ 10V の範囲の 2 つの電圧を印加して、対応する電流を測定します。図 1 に検出電圧を示します。PSE は $\Delta V / \Delta I$ の測定手法により、シグネチャ抵抗を計算します。

LT4275 は、VPORT と GND ピンの間に温度補償された高精度の 24.4k Ω の抵抗値を示すことで、PD が存在して電源印加を要求していることを PSE に認識させます。LT4275 のシグネチャ抵抗には、IEEE が要求するブリッジによって増加する直列抵抗を補うために、25k よりも小さな値を使用しています。

分類

検出/分類のプロセスは、PSE がタイプ 1、タイプ 2、LTPoE++ のいずれであるかによって異なります。タイプ 2 の PSE はタイプ 1 の分類信号を使用し、より電力の高いクラスとしての分類は、後ほどデータ層を介して PD と再ネゴシエートします。

タイプ 1 の PSE は検出に成功すると、15.5V ~ 20.5V の分類プローブ電圧を印加して、電流を測定します。

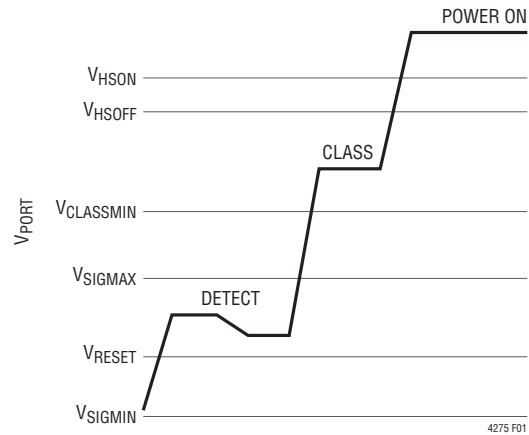


図1. タイプ1検出/分類の信号波形

タイプ 2 の PSE は、より大きな電力が使用可能であることを、2 イベント (物理層) 分類を実行するか、高速データ・ライン (データ・リンク層) を介した通信によって示すことができます。したがって、タイプ 2 の PD は、これら両方の通信タイプを認識できなければなりません。レイヤ 2 の通信は PSE と PD アプリケーション間で直接実行されるため、LT4275A/LT4275B の役割は 2 イベント分類のサポートまでで終わります。

2 イベント分類においてタイプ 2 の PSE は、図 2 に示すように電力分類のプロベリングを 2 回行います。LT4275A または LT4275B はこれを認識して T2P ピンを引き下げ、タイプ 2 の電力を使用できることを負荷に知らせます。LT4275A は、LTPoE++ PSE を検出すると、T2P を引き抜く動作とフロート状態にする動作を周波数 f_{T2P} で交互に繰り返します。

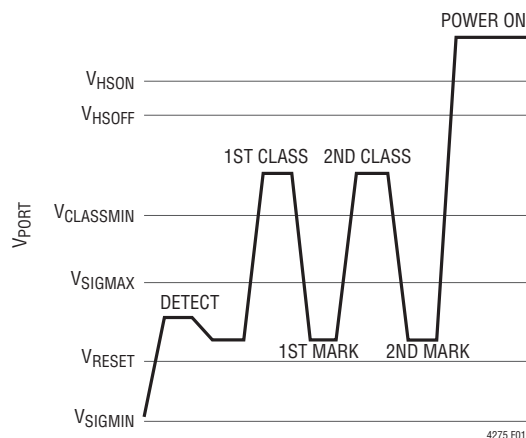


図2. タイプ2検出/分類の信号波形

アプリケーション情報

表1. 分類コード、電力レベル、抵抗の選択

クラス	PD 供給電力	PD タイプ	クラスの公称電流	LT4275の各グレードの性能			抵抗	
				A	B	C	R _{CLS}	R _{CLS++}
0	13W	Type 1	<0.4mA	✓	✓	✓	Open	Open
1	3.84W	Type 1	10.5mA	✓	✓	✓	140Ω	Open
2	6.49W	Type 1	18.5mA	✓	✓	✓	76.8Ω	Open
3	13W	Type 1	28mA	✓	✓	✓	49.9Ω	Open
4	25.5W	Type 2	40mA	✓	✓		34.8Ω	Open
4*	38.7W	LTPoE++	40mA	✓			Open	34.8Ω
4*	52.7W	LTPoE++	40mA	✓			140Ω	46.4Ω
4*	70W	LTPoE++	40mA	✓			76.8Ω	64.9Ω
4*	90W	LTPoE++	40mA	✓			49.9Ω	118Ω

*LTPoE++ PDは、IEEE 802.3 準拠のPSEではクラス4に分類されます。

LTPoE++ の分類

LT4275A では、IEEE 802.3 の分類信号を拡張することにより、既存のPSEシステムに対する下位互換性を保ちつつ、より高い電力の割り当てを可能にしています。リニアテクノロジー社が提供するLTPoE++ 対応のPSEコントローラの一覧は「関連製品」のセクションに掲載されています。IEEE のPSEでは、LTPoE++ PDをタイプ2のPDに分類します。

マーク時のシグネチャ破壊

マーク状態のLT4275は、IEEE仕様の要件に従い、ポートが11kΩより小さな抵抗値を示します。

突入電流および給電

PSEは、検出およびPDの分類(オプション)が完了すると、PDへの給電を開始します。ポート電圧がV_{HSON}しきい値を超えると、HSGATEピンからI_{GPU}を供給しはじめます。この電流は外付けコンデンサ(図3のC_{GATE})に流れ込み、外付けMOSFETのゲートをランプ・アップする電圧を発生します。外付けのMOSFETはソース・フォロワとして機能し、出力バルク・コンデンサ(図3のC_{PORT})の電圧をランプ・アップし、これが突入電流(図3のI_{INRUSH})を決定します。

IEEEの要件を満たすために、I_{INRUSH}が約100mAになるように設計します。次式を参照してください。

$$I_{INRUSH} = I_{GPU} \cdot \frac{C_{PORT}}{C_{GATE}}$$

LT4275では、内蔵のチャージ・ポンプによってNチャネルMOSFETによる解決策を実現できるので、より大型で高価なPチャネルFETを使用せずに済みます。R_{DS(ON)}の低いMOSFETにより、電力供給と電力効率が最高になり、消費電力と熱放散が減少して、熱設計が容易になります。

PWRGDピンは、HSGATEがHSSRCより約7V高い電圧に充電されるまで、オープン・ドレイン出力によってLowに保持されます。PWRGDピンは、突入電流が流れきり、外付けMOSFETが完全にオンするまで、絶縁された電源を待機させるために使用します。ポート電圧がV_{HSSOFF}より低下するか、AUXピンがV_{AUXT}を超えるまでHSGATEピンはHighを保持し、PWRGDピンは引き下げられたままになります。

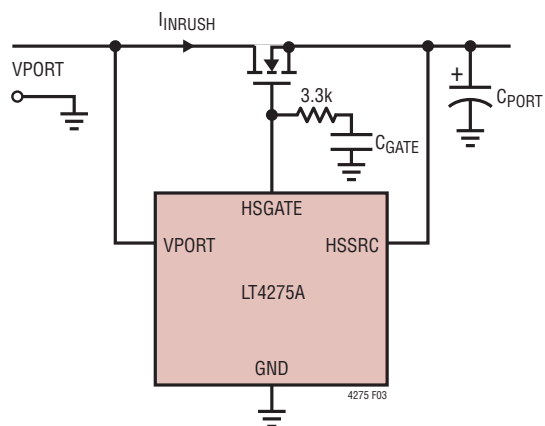


図3. I_{INRUSH} のプログラミング

補助電源への切り換え(オーバライド)

AUXピンをV_{AUXT}より高く保持すると、LT4275は補助電源オーバライド・モードに移行します。このモードでは、シグネチャ抵抗が切り離されて分類が無効化され、HSGATEが引き下げられるとともにPWRGDピンがフロート状態に解放されます。R_{CLS++}抵抗が存在しない場合、LT4275A/LT4275BではT_{2P}ピンが引き下げられます。R_{CLS++}が存在する場合、T_{2P}ピンはプルダウンとフロートの状態を周波数f_{T2P}で交互に繰り返します。

アプリケーション情報

AUXピンによって、補助電源のターンオン (V_{AUXON}) とターンオフ (V_{AUXOFF}) 電圧しきい値を設定できます。補助電源のヒステリシス電圧 (V_{AUXHYS}) は、AUXピン電圧が V_{AUXT} より低い場合にのみ、電流 (I_{AUXH}) をシンクすることで設定されます。 V_{AUXON} と V_{AUXOFF} の設定は、次式に従い、図4のR1とR2によって設定します。

$$R1 = \frac{V_{AUXON} - V_{AUXOFF}}{I_{AUXH}} = \frac{V_{AUXHYS}}{I_{AUXH}}$$

$$R2 = \frac{R1}{\left(\frac{V_{AUXOFF}}{V_{AUXT}} - 1\right)}$$

$$R1 \geq \frac{V_{AUX(MAX)} - V_{AUXT}}{1.4mA}$$

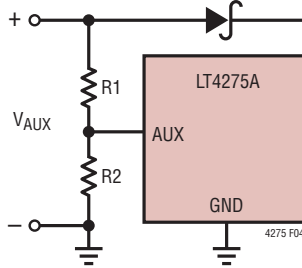


図4. AUXのしきい値とヒステリシスの計算

過熱保護

IEEE 802.3仕様は、PDが0V～57Vの範囲の任意の印加電圧に無期限で耐えることを要求しています。しかし、分類動作モードにおけるLT4275の電力損失は1.5Wに達することがあります。IEEEの最長タイミングを使用しても、LT4275は十分にこの電力に耐えられますが、この状態が異常に長く続けば過熱状態を招きます。

このため、過剰な温度からデバイスを保護するための過熱保護機能が搭載されています。接合部温度が過熱しきい値を超えると、LT4275はHSGATEピンとPWRGDピンを引き下げ、分類を無効にします。

外部インタフェースと部品選定

入力ダイオード・ブリッジ

入力ダイオード・ブリッジによって、各動作モードの電圧範囲に影響を及ぼす電圧降下が発生します。LT4275は、これらの電圧降下を許容できるように設計されています。「電気的特性」に示した値は、LT4275のパッケージのピン部分で測定した値です。

入力コンデンサ

IEEE 802.3の入力インピーダンス要件を満たすために、VPORTとGND間に0.1μFのコンデンサが必要です。

トランジェント電圧サプレッサ

LT4275の絶対最大定格電圧は100Vと規定され、短期間の過電圧は許容できるように設計されています。ただし、外界とのインタフェースとなるピンには、繰り返し過剰なピーク電圧が印加される可能性があります。LT4275を保護するために、ポート電圧とGND間にSMAJ58Aなどの単方向トランジェント電圧サプレッサ (TVS) を実装してください。このTVSはLT4275の近くに配置する必要があります。

ケーブル放電が著しく大きい場合やサージ保護については、リニアテクノロジー社までお問い合わせください。

分類抵抗 (R_{CLS} と R_{CLS++})

R_{CLS} 抵抗は、PDの電力分類に対応した分類負荷電流を設定します。表1に従って R_{CLS} の値を選び、この抵抗をRCLASSピンとGNDの間に接続します。クラス0を設定する場合は、RCLASSピンをフロート状態にします。抵抗の許容誤差は1%以内とし、分類回路の総合精度が損なわれないようにします。LTPoE++に対応するには、LT4275Aを使用し、 R_{CLS} に加えて R_{CLS++} の値も表1から選択します。

パワーグッド・インタフェース

LT4275は、絶縁された電源の設計を簡素化する、パワーグッド信号 (PWRGD) を提供します。パワーグッド信号は、絶縁された電源の起動を、C_{PORT} コンデンサが完全に充電されるまで遅延させるために使用します。

露出パッド

LT4275A/LT4275B/LT4275CのDFNパッケージには、内部で電氣的にGNDに接続された露出パッドがあります。露出パッドは、プリント回路基板上のGNDにのみ接続できます。

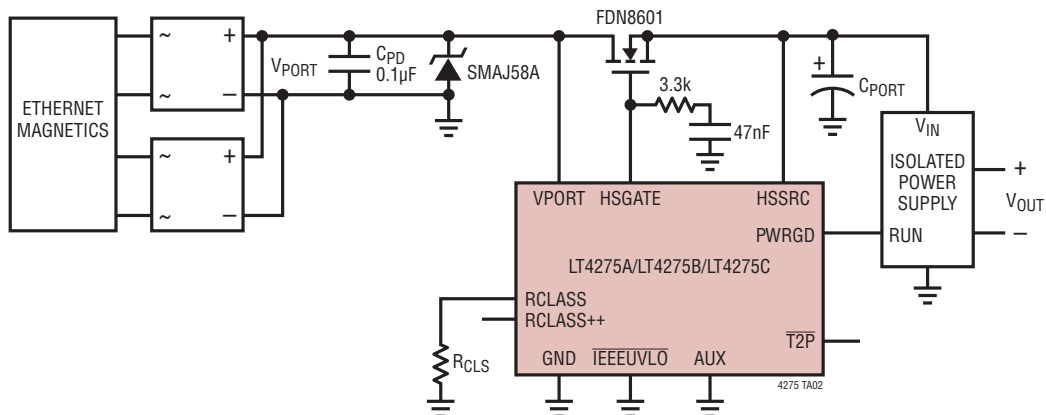
レイアウトに関する検討事項

RCLASSピンに過剰な寄生容量が付加されないようにしてください。また、抵抗 R_{CLS} はLT4275の近くに配置します。LT4275Aの場合は、 R_{CLS++} も同様にデバイスの近くに配置します。

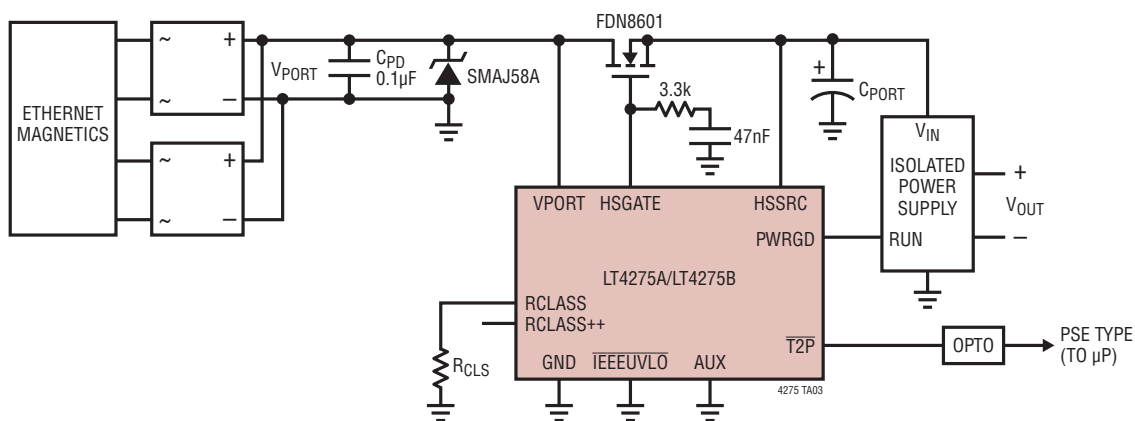
デバイスを最大限保護するには、入力コンデンサ (C_{PD}) とトランジェント電圧サプレッサをLT4275のできるだけ近くに配置することが不可欠です。

標準的応用例

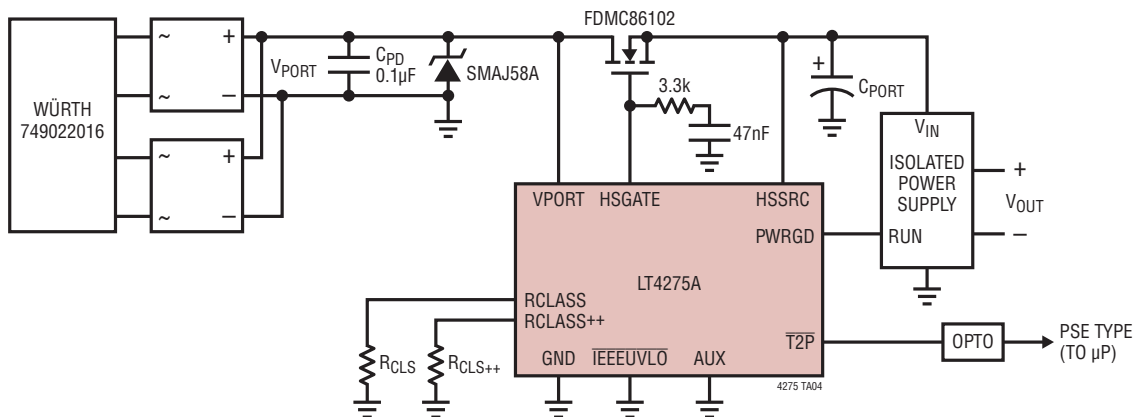
IEEE 802.3af (タイプ1) 13W 受電装置



IEEE 802.3at (タイプ2) 25.5W 受電装置



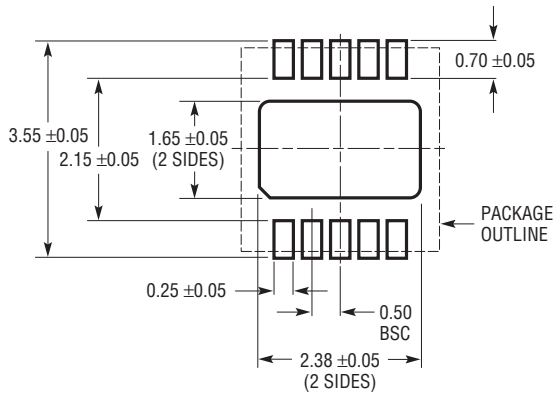
LTPoE++ 38.7W ~ 90W 受電装置



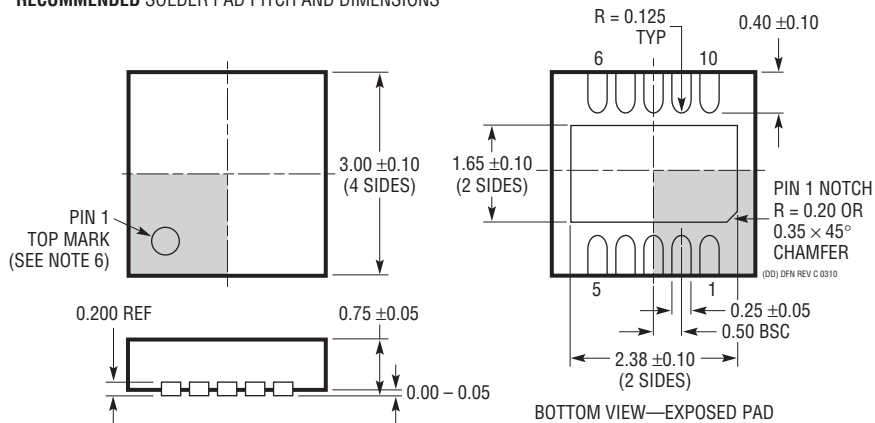
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

DD パッケージ 10ピン・プラスチック DFN (3mm×3mm) (Reference LTC DWG # 05-08-1699 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



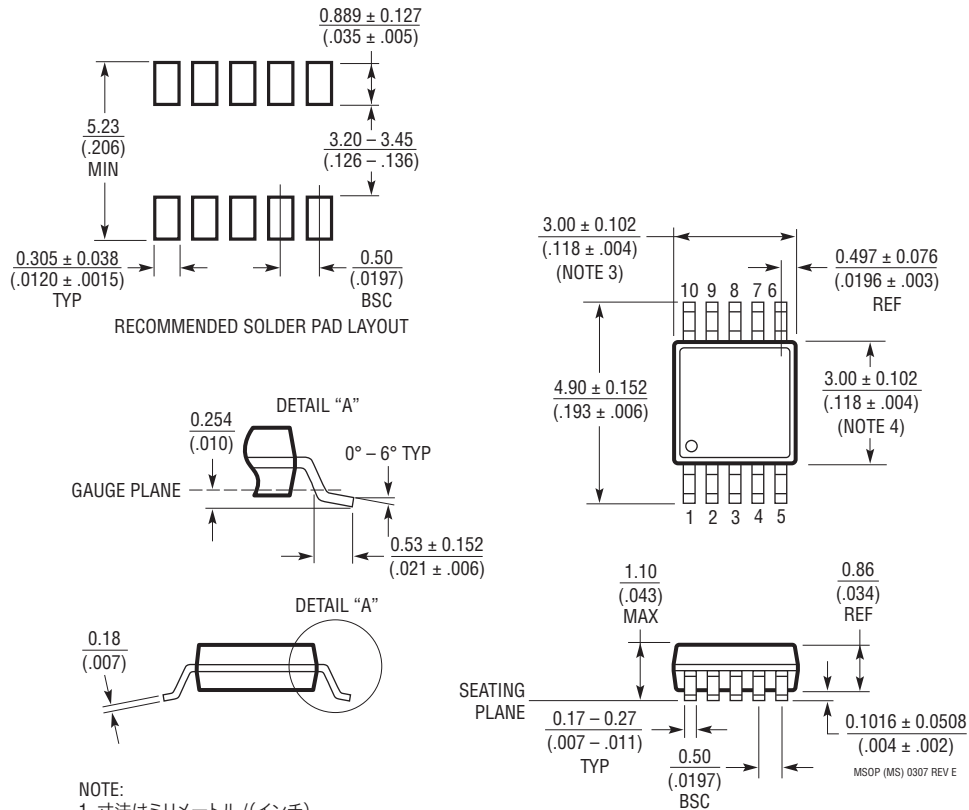
NOTE:

1. 図は JEDEC のパッケージ外形 MO-229 のバリエーション (WEED-1) になる予定
バリエーションの指定の現状については LTC の Web サイトのデータシートを参照
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージの底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

MS パッケージ
10ピン・プラスチック MSOP
(Reference LTC DWG # 05-08-1661 Rev E)

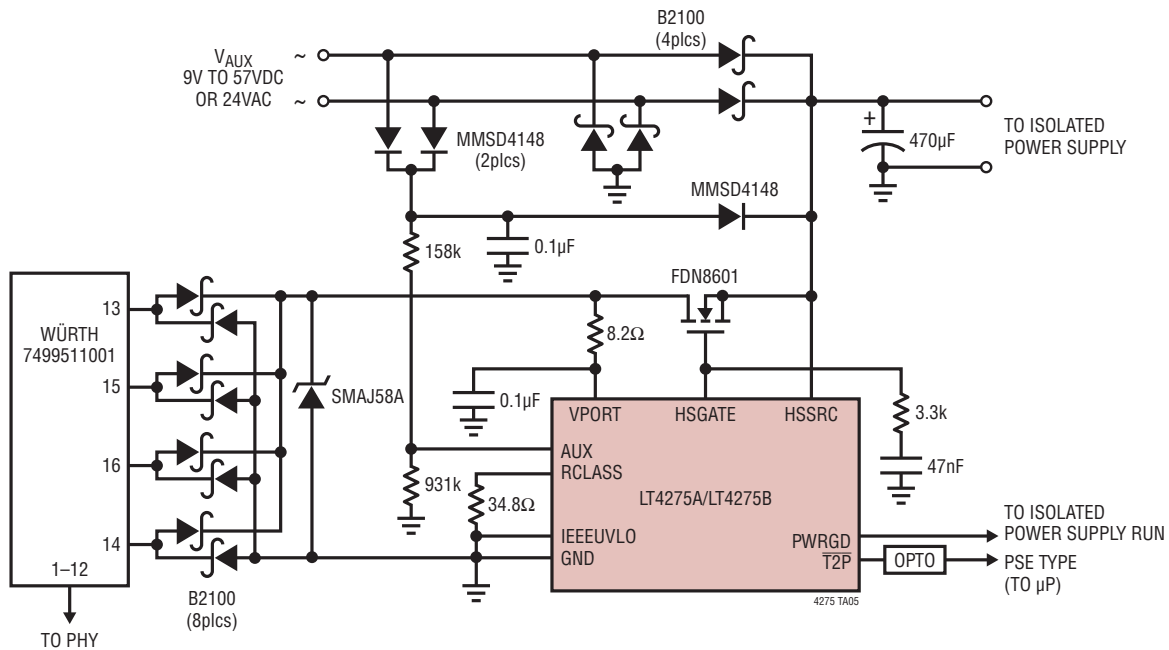


NOTE:

1. 寸法はミリメートル / (インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm (0.006") を超えないこと
4. 寸法にはリード間のバリまたは突出部を含まない
リード間のバリまたは突出部は各サイドで 0.152mm (0.006") を超えないこと
5. リードの平坦度 (成形後のリードの底面) は最大 0.102mm (0.004") であること

標準的応用例

DC12VおよびAC24V補助入力による25W PD解決策



関連製品

製品番号	説明	注釈
LTC4257-1	IEEE 802.3af PD インタフェース・コントローラ	100V、400mA スイッチを内蔵、デュアル・レベル電流制限、プログラム可能なクラス
LTC4263	シングル IEEE 802.3af PSE コントローラ	FET スイッチ内蔵
LTC4265	IEEE 802.3at PD インタフェース・コントローラ	100V、1A スイッチを内蔵、2 イベント分類を認識
LTC4266	IEEE 802.3at クワッド PoE PSE コントローラ	プログラム可能な I_{CUT}/I_{LIM} 、2 イベント分類に対応
LTC4266A	LTPoE++ クワッド PSE コントローラ	最大 90W を供給。IEEE 802.3af および IEEE 802.3at PD と下位互換。プログラム可能な I_{CUT}/I_{LIM} 、2 イベント分類に対応
LTC4266C	IEEE 802.3af クワッド PSE コントローラ	プログラム可能な I_{CUT}/I_{LIM} 、1 イベント分類に対応
LTC4267-3	スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	100V、400mA スイッチを内蔵、プログラム可能なクラス、300kHz の固定周波数 PWM
LTC4269-1	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、補助電源サポート
LTC4269-2	フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 フォワード・コントローラ、スイッチング周波数: 100kHz ~ 500kHz、補助電源サポート
LTC4270/LTC4271	12 ポート PoE/PoE+/LTPoE++ PSE コントローラ	トランスによる絶縁、IEEE802.3af、IEEE802.3at、および LTPoE++ PD に対応
LTC4274	IEEE 802.3at シングル PoE PSE コントローラ	プログラム可能な I_{CUT}/I_{LIM} 、2 イベント分類に対応
LTC4274A	LTPoE++ シングル PSE コントローラ	最大 90W を供給。IEEE 802.3 PD と下位互換プログラム可能な I_{CUT}/I_{LIM} 、2 イベント分類に対応
LTC4274C	シングル IEEE 802.3af PSE コントローラ	プログラム可能な I_{CUT}/I_{LIM} 、1 イベント分類に対応
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、12V の補助電源サポート
LTC4290/LTC4271	8 ポート PoE/PoE+/LTPoE++ PSE コントローラ	トランスによる絶縁、IEEE802.3af、IEEE802.3at、および LTPoE++ PD に対応

4275f