

特長

- IEEE 802.3at タイプ1 およびタイプ2 に準拠
- 合計チャンネル抵抗: 0.34Ω
600mA で 130mW/ポート
- 高度なパワーマネジメント
8ビットでプログラム可能な電流制限 (I_{LIM})
7ビットでプログラム可能な過負荷電流 (I_{CUT})
高速シャットダウン
14.5ビットのポート電流/電圧モニタリング
2イベント分類
- 信頼性の高い4ポイントPD検出:
2ポイントの強制電圧
2ポイントの強制電流
- 大容量のレガシー・デバイスの検出
- LTC4259A-1 および LTC4266 とソフトウェア互換
- 1MHz の I²C 互換シリアル制御インタフェース
- ミッドスパン・バックオフ・タイマ
- 25W を上回る独自の電力レベルをサポート
- 38ピン 5mm×7mm QFN パッケージ

アプリケーション

- PSE スイッチ/ルータ
- PSE ミッドスパン

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。ThinSOT および LTPoE++ はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

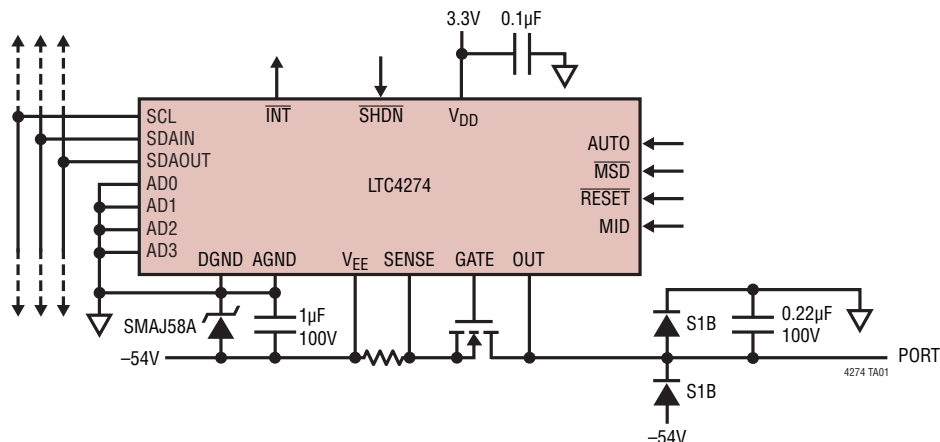
LTC[®]4274 は、IEEE 802.3 タイプ1 およびタイプ2 (高電力) 準拠の Power over Ethernet システム向けに設計されたシングル Power Sourcing Equipment (PSE: 給電装置) コントローラです。外付けパワー MOSFET により、システムの信頼性が向上し、チャンネル抵抗が最小に抑えられるので、電力損失が低減され、タイプ2の電力レベルでもヒートシンクが不要です。さらに、外付けパワー部品によって非常に高い電力レベルでの使用が可能になりますが、それ以外は IEEE 標準規格に適合します。80V 定格のポート・ピンにより、外部フォールトからシステムを確実に保護します。

LTC4274 は、電流および電圧の読み出し、プログラム可能な I_{CUT} および I_{LIM} のスレッシュホールドなど、高度なパワーマネジメント機能を備えています。また、C ライブラリを使用できるので、ソフトウェアの開発が容易です。オプションの AUTO ピン・モードを使えば、IEEE に完全準拠したスタンドアロン動作がソフトウェアなしで可能です。独自の4ポイントPD検出回路により、レガシー電話の動作をサポートしながらPD検出誤りを最小限に抑えることができます。ミッドスパン動作は、内蔵の2イベント分類とバックオフ・タイミングでサポートされています。ホストとの通信は、1MHz の I²C シリアル・インタフェースを介して行われます。

LTC4274 は 5mm×7mm の QFN パッケージで供給され、競合ソリューションに比べてボードスペースが大幅に削減されています。

標準的応用例

イーサネット高電力源



LTC4274

絶対最大定格

電源電圧 (Note 1)

AGND – V _{EE}	-0.3V ~ 80V
DGND – V _{EE}	-0.3V ~ 80V
V _{DD} – DGND.....	-0.3V ~ 5.5V

デジタル・ピン

SCL, SDAIN, SDAOUT, $\overline{\text{INT}}$, $\overline{\text{SHDN}}$, $\overline{\text{MSD}}$, AD_n,
RESET, AUTO, MID (DGND – 0.3V) ~ (V_{DD} + 0.3V)

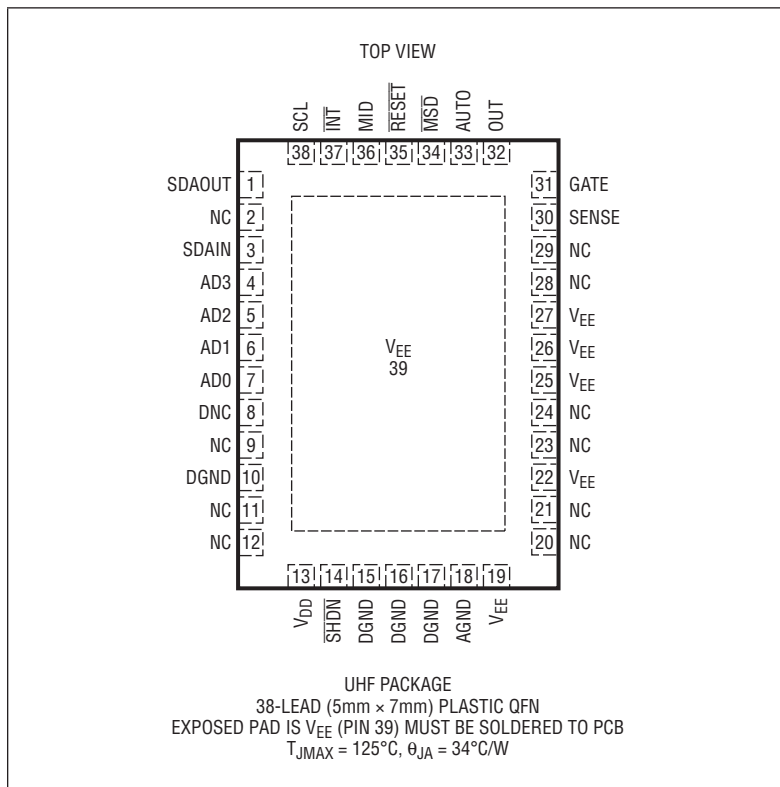
アナログ・ピン

GATE, SENSE, OUT (V_{EE} – 0.3V) ~ (V_{EE} + 80V)

動作温度範囲

LTC4274C	0°C ~ 70°C
LTC4274I	-40°C ~ 85°C
接合部温度 (Note 2)	125°C
保存温度範囲.....	-65°C ~ 150°C
リード温度 (半田付け, 10秒).....	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4274CUHF#PBF	LTC4274CUHF#TRPBF	4274	38-Lead (5mm × 7mm) Plastic QFN	0°C to 70°C
LTC4274IUHF#PBF	LTC4274IUHF#TRPBF	4274	38-Lead (5mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND} - V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Main PoE Supply Voltage	$\text{AGND} - V_{EE}$ For IEEE Type 1 Complaint Output For IEEE Type 2 Complaint Output	● ●	45 51		57 57	V V
	Undervoltage Lock-out Level		●	20	25	30	V
V_{DD}	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3.0	3.3	4.3	V
	Undervoltage Lock-out		●		2.2		V
	Allowable Digital Ground Offset	$\text{DGND} - V_{EE}$	●	25		57	V
I_{EE}	V_{EE} Supply Current	$(\text{AGND} - V_{EE}) = 55\text{V}$	●		-2.4	-5	mA
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●		1.1	3	mA

検出

	Detection Current – Force Current	First Point, $\text{AGND} - V_{OUT} = 9\text{V}$ Second Point, $\text{AGND} - V_{OUT} = 3.5\text{V}$	● ●	220 140	240 160	260 180	μA μA
	Detection Voltage – Force Voltage	$\text{AGND} - V_{OUT}$, $5\mu\text{A} \leq I_{OUT} \leq 500\mu\text{A}$ First Point Second Point	● ●	7 3	8 4	9 5	V V
	Detection Current Compliance	$\text{AGND} - V_{OUT} = 0\text{V}$	●		0.8	0.9	mA
V_{OC}	Detection Voltage Compliance	$\text{AGND} - V_{OUT}$, Open Port	●		10.4	12	V
	Detection Voltage Slew Rate	$\text{AGND} - V_{OUT}$, $C_{PORT} = 0.15\mu\text{F}$	●			0.01	V/ μs
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

分類

V_{CLASS}	Classification Voltage	$\text{AGND} - V_{OUT}$, $0\text{mA} \leq I_{CLASS} \leq 50\text{mA}$	●	16.0		20.5	V
	Classification Current Compliance	$V_{OUT} = \text{AGND}$	●	53	61	67	mA
	Classification Threshold Current	Class 0 – 1	●	5.5	6.5	7.5	mA
		Class 1 – 2	●	13.5	14.5	15.5	mA
		Class 2 – 3	●	21.5	23	24.5	mA
		Class 3 – 4	●	31.5	33	34.9	mA
		Class 4 – Overcurrent	●	45.2	48	50.8	mA
V_{MARK}	Classification Mark State Voltage	$\text{AGND} - V_{OUT}$, $0.1\text{mA} \leq I_{CLASS} \leq 10\text{mA}$	●	7.5	9	10	V
	Mark State Current Compliance	$V_{OUT} = \text{AGND}$	●	53	61	67	mA

ゲート・ドライバ

	GATE Pin Pull-Down Current	Port Off, $V_{GATE} = V_{EE} + 5\text{V}$ Port Off, $V_{GATE} = V_{EE} + 1\text{V}$	● ●	0.4 0.08	0.12		mA mA
	GATE Pin Fast Pull-Down Current	$V_{GATE} = V_{EE} + 5\text{V}$			30		mA
	GATE Pin On Voltage	$V_{GATE} - V_{EE}$, $I_{GATE} = 1\mu\text{A}$	●	8	12	14	V

出力電圧の検出

V_{PG}	Power Good Threshold Voltage	$V_{OUT} - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	$0\text{V} \leq (\text{AGND} - V_{OUT}) \leq 5\text{V}$	●	300	500	700	k Ω

LTC4274

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND} - V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電流検出							
V_{CUT}	Overcurrent Sense Voltage	$V_{\text{SENSE}} - V_{EE}$, $\text{icut1} = \text{hpen} = 00\text{h}$ $\text{hpen} = 01\text{h}$, $\text{cut}[5:0] \geq 4$ (Note 12) $\text{cutrng} = 0$ $\text{cutrng} = 1$	●	180	188	196	mV
			●	9	9.38	9.75	mV/LSB
			●	4.5	4.69	4.88	mV/LSB
	Overcurrent Sense in AUTO Pin Mode	Class 0, Class 3 Class 1 Class 2 Class 4	●	90	94	98	mV
			●	26	28	30	mV
			●	49	52	55	mV
			●	152	159	166	mV
V_{LIM}	Active Current Limit in 802.3af Compliant Mode	$V_{\text{SENSE}} - V_{EE}$, $\text{dblpwr} = \text{hpen} = 00\text{h}$ $V_{EE} = 55\text{V}$ (Note 12) $V_{EE} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$	●	204	212	220	mV
			●	40		100	mV
V_{LIM}	Active Current Limit in High Power Mode	$\text{hpen} = 01\text{h}$, $\text{lim1} = \text{C0h}$, $V_{EE} = 55\text{V}$ $V_{\text{OUT}} - V_{EE} = 0\text{V}$ to 10V $V_{EE} + 23\text{V} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$	●	204	212	221	mV
			●	100	106	113	mV
			●	20		50	mV
V_{LIM}	Active Current Limit in AUTO Pin Mode	$V_{\text{OUT}} - V_{EE} = 0\text{V}$ to 10V , $V_{EE} = 55\text{V}$ Class 0 to Class 3 Class 4	●	102	106	110	mV
			●	204	212	221	mV
V_{MIN}	DC Disconnect Sense Voltage	$V_{\text{SENSE}} - V_{EE}$, $\text{rdis} = 0$ $V_{\text{SENSE}} - V_{EE}$, $\text{rdis} = 1$	●	2.6	3.8	4.8	mV
			●	1.3	1.9	2.41	mV
V_{SC}	Short-Circuit Sense	$V_{\text{SENSE}} - V_{EE} - V_{\text{LIM}}$, $\text{rdis} = 0$ $V_{\text{SENSE}} - V_{EE} - V_{\text{LIM}}$, $\text{rdis} = 1$	●	160	200	255	mV
			●	75	100	135	mV

ポート電流の読み出し

	Resolution	No missing codes, $\text{fast_iv} = 0$		14		bits
	LSB Weight	$V_{\text{SENSE}} - V_{EE}$		30.5		$\mu\text{V}/\text{LSB}$
	50-60Hz Noise Rejection	(Note 7)		30		dB

ポート電圧の読み出し

	Resolution	No missing codes, $\text{fast_iv} = 0$		14		bits
	LSB Weight	$\text{AGND} - V_{\text{OUT}}$		5.835		mV/LSB
	50-60Hz noise rejection	(Note 7)		30		dB

デジタル・インタフェース

V_{ILD}	Digital Input Low Voltage	ADn , SHDN , RESET , MSD , AUTO , MID (Note 6)	●		0.8	V
	I ² C Input Low Voltage	SCL , SDAIN (Note 6)	●		0.8	V
V_{IHD}	Digital Input High Voltage	(Note 6)	●	2.2		V
	Digital Output Low Voltage	$I_{\text{SDAOUT}} = 3\text{mA}$, $I_{\text{I}^2\text{T}} = 3\text{mA}$ $I_{\text{SDAOUT}} = 5\text{mA}$, $I_{\text{I}^2\text{T}} = 5\text{mA}$	●		0.4	V
			●		0.7	V
	Internal Pull-Up to V_{DD}	ADn , SHDN , RESET , MSD		50		k Ω
	Internal Pull-Down to DGND	AUTO , MID		50		k Ω

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $AGND - V_{EE} = 54\text{V}$ 、 $AGND = DGND$ 、 $V_{DD} - DGND = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
タイミング特性							
t_{DET}	Detection Time	Beginning to End of Detection (Note 7)	●	270	290	310	ms
t_{DETDLY}	Detection Delay	From PD Connected to Port to Detection Complete (Note 7)	●	300		470	ms
t_{CLE1}	First Class Event Duration	(Note 7)	●	11	12	13	ms
t_{ME1}	First Mark Event Duration	(Notes 7, 11)	●	6.8	8.6	10.3	ms
t_{CLE2}	Second Class Event Duration	(Note 7)	●	11	12	13	ms
t_{ME2}	Second Mark Event Duration	(Note 7)	●	19	22		ms
t_{CLE3}	Third Class Event Duration	$C_{PORT} = 0.6\mu\text{F}$ (Note 7)	●			0.1	ms
t_{PON}	Power On Delay in AUTO Pin Mode	From End of Valid Detect to Application of Power to Port (Note 7)	●			60	ms
	Turn On Rise Time	($AGND - V_{OUT}$): 10% to 90% of ($AGND - V_{EE}$), $C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●	15	24		μs
	Turn On Ramp Rate	$C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●			10	$\text{V}/\mu\text{s}$
	Fault Delay	From I_{CUT} Fault to Next Detect	●	1.0	1.1		s
	Midspan Mode Detection Backoff	$R_{port} = 15.5\text{k}\Omega$ (Note 7)	●	2.3	2.5	2.7	s
	Power Removal Detection Delay	From Power Removal After t_{DIS} to Next Detect (Note 7)	●	1.0	1.3	2.5	s
t_{START}	Maximum Current Limit Duration During Port Startup	$t_{START1} = 0$, $t_{START0} = 0$ (Notes 7, 12)	●	52	62.5	66	ms
t_{LIM}	Maximum Current Limit Duration After Port Startup	$t_{CUT1} = 0$, $t_{CUT0} = 0$, $t_{LIM} = 0\text{h}$ (Notes 7, 12)	●	52	62.5	66	ms
t_{CUT}	Maximum Overcurrent Duration After Port Startup	$t_{CUT1} = 0$, $t_{CUT0} = 0$ (Notes 7, 12)	●	52	62.5	66	ms
	Maximum Overcurrent Duty Cycle	(Note 7)	●	5.8	6.3	6.7	%
t_{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Notes 7, 8)	●	1.6		3.6	ms
t_{DIS}	Maintain Power Signature (MPS) Dropout Time	$t_{conf} [1:0] = 00\text{b}$ (Notes 5, 7, 12)	●	320	350	380	ms
t_{MSD}	Masked Shut Down Delay	(Note 7)	●			6.5	μs
t_{SHDN}	Port Shut Down Delay	(Note 7)	●			6.5	μs
	I ² C Watchdog Timer Duration		●	1.5	2	3	s
	Minimum Pulse Width for Masked Shut Down	(Note 7)	●	3			μs
	Minimum Pulse Width for SHDN	(Note 7)	●	3			μs
	Minimum Pulse Width for RESET	(Note 7)	●	4.5			μs

LTC4274

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND} - V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C タイミング						
	Clock Frequency	(Note 7)	●		1	MHz
t ₁	Bus Free Time	Figure 5 (Notes 7, 9)	●	480		ns
t ₂	Start Hold Time	Figure 5 (Notes 7, 9)	●	240		ns
t ₃	SCL Low Time	Figure 5 (Notes 7, 9)	●	480		ns
t ₄	SCL High Time	Figure 5 (Notes 7, 9)	●	240		ns
t ₅	Data Hold Time	Figure 5 (Notes 7, 9) Data into chip Data out of chip	● ●	60	120	ns ns
t ₆	Data Set-Up Time	Figure 5 (Notes 7, 9)	●	80		ns
t ₇	Start Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t ₈	Stop Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t _r	SCL, SDAIN Rise Time	Figure 5 (Notes 7, 9)	●		120	ns
t _f	SCL, SDAIN Fall Time	Figure 5 (Notes 7, 9)	●		60	ns
	Fault Present to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		150	ns
	Stop Condition to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		1.5	μs
	ARA to $\overline{\text{INT}}$ Pin High Time	(Notes 7, 9)	●		1.5	μs
	SCL Fall to ACK Low	(Notes 7, 9)	●		120	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: このデバイスには短時間の過負荷状態の間デバイスを保護するための過温度保護機能が備わっている。過温度保護機能がアクティブなとき接合部温度は 140°C を超える。規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 3: デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れ出す電流はすべて負。

Note 4: LTC4274はグラウンドを基準にして負電源電圧で動作する。混乱を避けるため、このデータシートの電圧は絶対値で表示されている。

Note 5: t_{DJS}はIEEE 802.3af標準規格で規定されたt_{MPO}と同じである。

Note 6: LTC4274のデジタル・インタフェースはDGNDを基準にして動作する。すべてのロジックレベルはDGNDを基準にして測定される。

Note 7: 設計によって保証されているが、テストされない。

Note 8: IEEE 802.3afの規定では、PDが切断されることなくそのMaintain Power Signature (MPS)を間欠的に出力するのを許容している。電力供給を受け続けるには、PDはどのt_{MPO}の間ウィンドウ内でもt_{MPS}の間MPSを出力しなければならない。

Note 9: V_{ILD(MAX)}およびV_{IHD(MIN)}で測定された値。

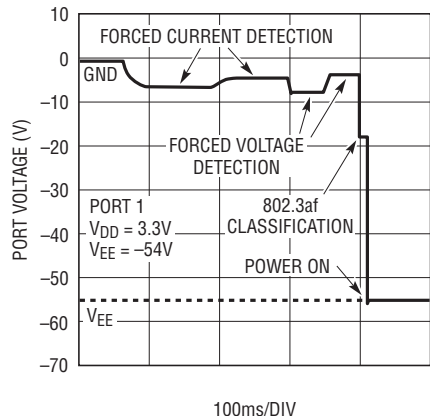
Note 10: I²Cトランザクションの進行中にフォールト状態が発生した場合、I²CバスにSTOP条件が送信されるまでINTピンは引き下げられない。

Note 11: マーク・イベントでのLTC4274の負荷特性:
7V < (AGND - V_{OUT}) < 10V または I_{OUT} < 50μA

Note 12: シリアル・バスの使用およびデバイスの設定レジスタと状態レジスタの詳細については、LTC4274のソフトウェア・プログラミング・マニュアルを参照。

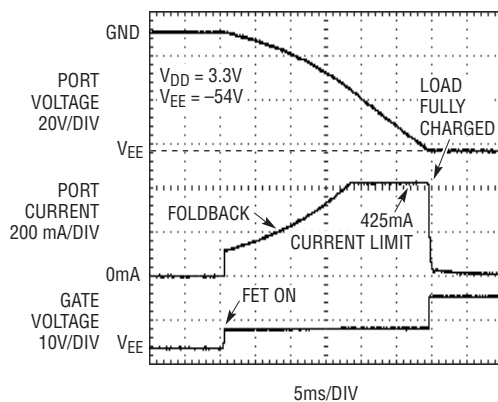
標準的性能特性

パワーオン・シーケンス制御
(AUTOピン・モード)



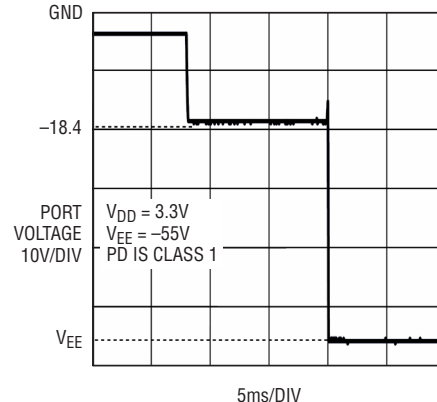
4274 G01

180μFの負荷に対する
パワーアップ



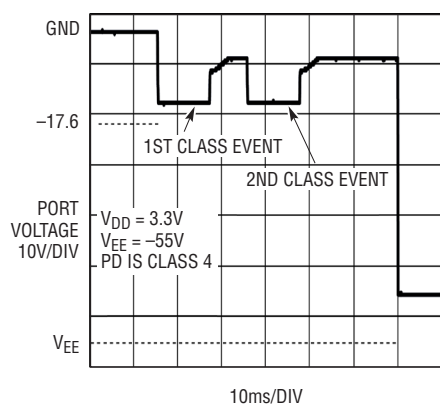
4274 G02

802.3afの分類
(AUTOピン・モード)



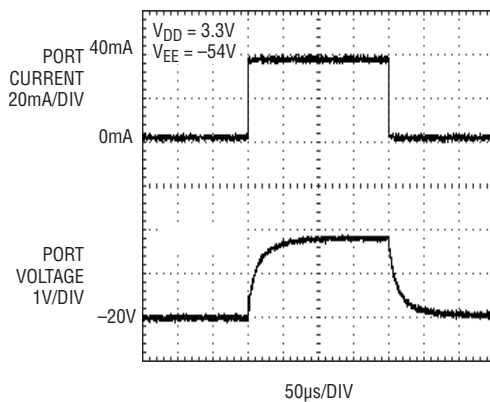
4274 G03

2イベント分類
(AUTOピン・モード)



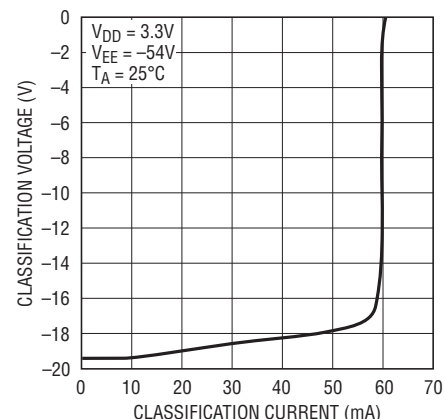
4274 G04

40mAの負荷ステップに対する
分類過渡応答



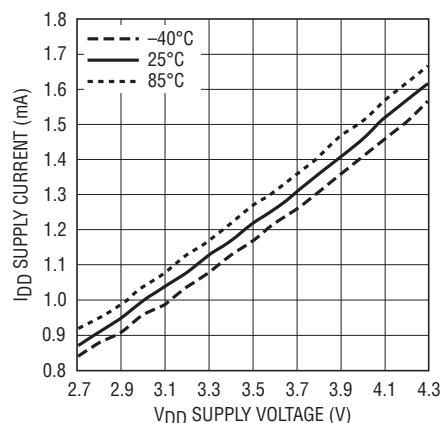
4274 G05

分類電流のコンプライアンス



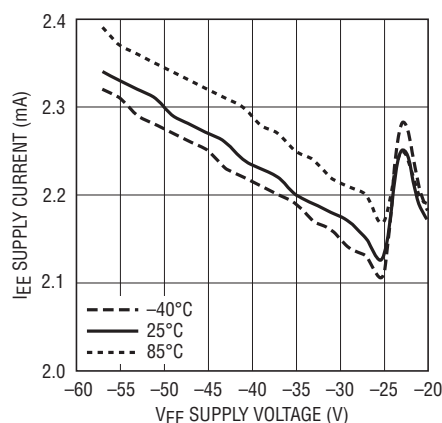
4274 G06

V_{DD}の消費電流と電圧



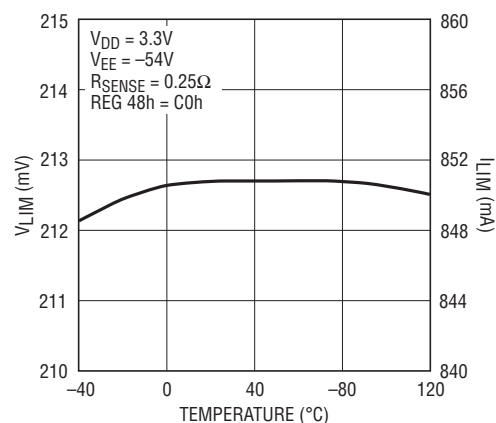
4274 G07

V_{EE}の消費電流と電圧



4274 G08

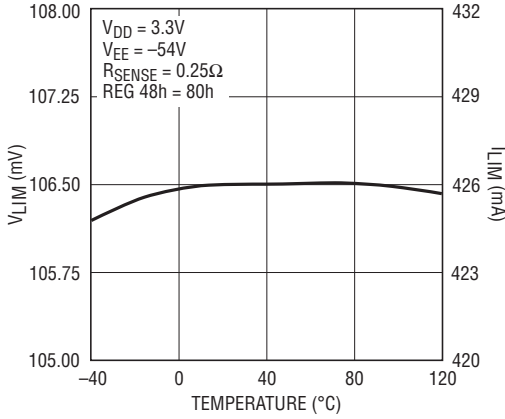
802.3atのI_{LIM}スレッシュホールドと
温度



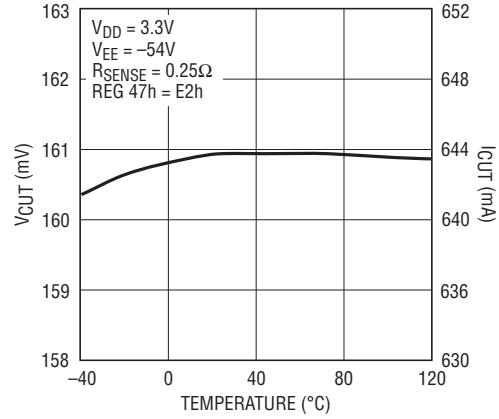
4274 G09

標準的性能特性

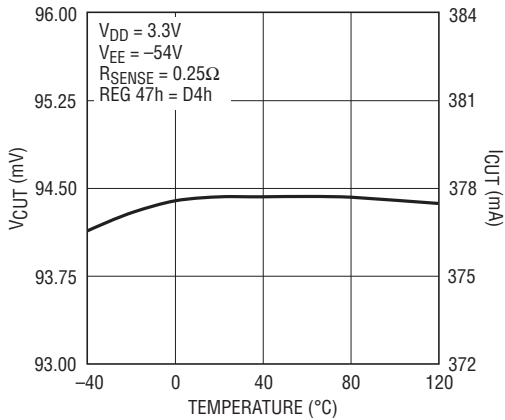
802.3afの I_{LIM} スレッシュホールドと温度



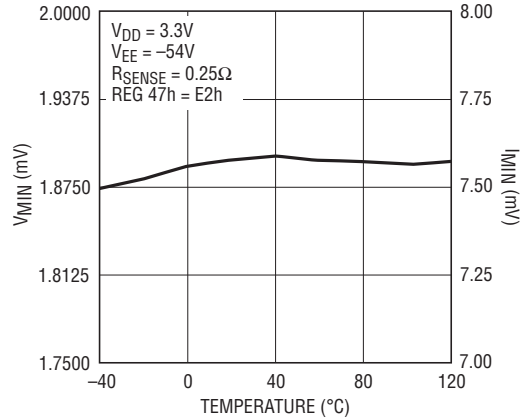
802.3atの I_{CUT} スレッシュホールドと温度



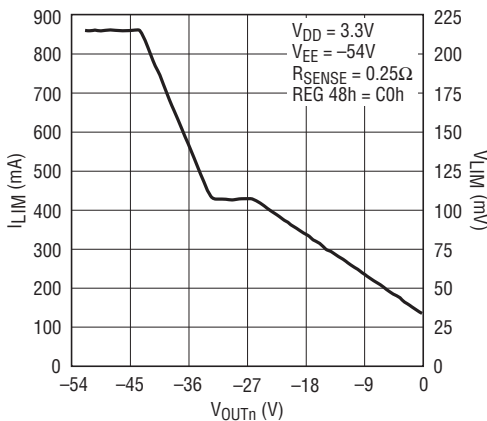
802.3afの I_{CUT} スレッシュホールドと温度



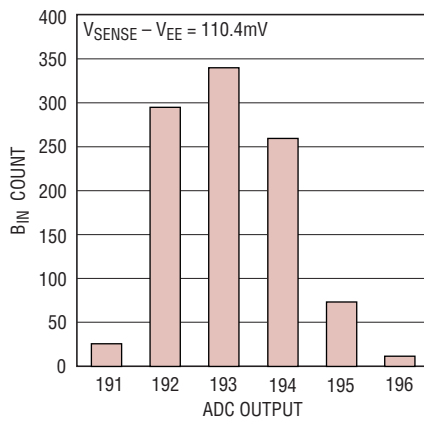
DC切断のスレッシュホールドと温度



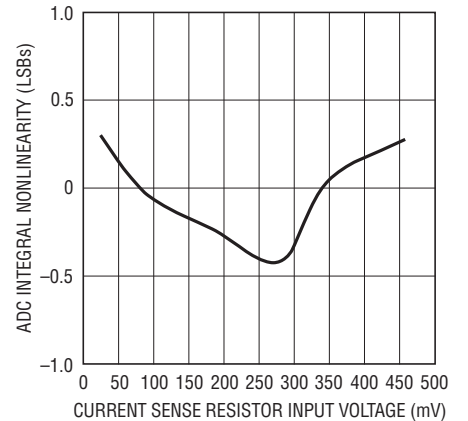
電流制限フォールドバック



ADCのノイズのヒストグラム (電流読み出し、高速モード)

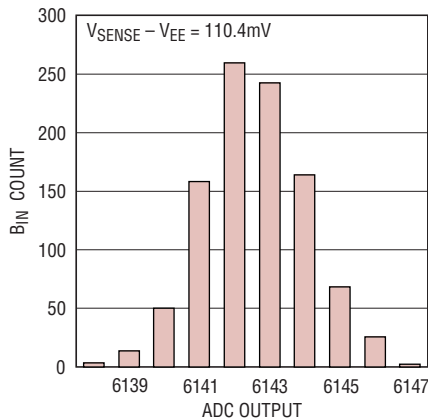


ADCの積分非直線性 (電流読み出し、高速モード)

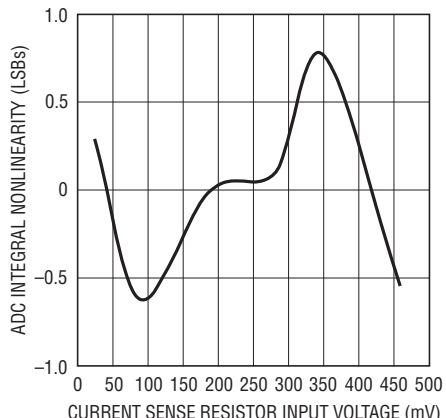


標準的性能特性

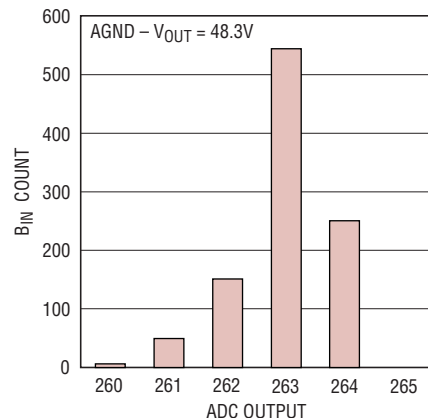
ADCのノイズのヒストグラム
(電流読み出し、低速モード)



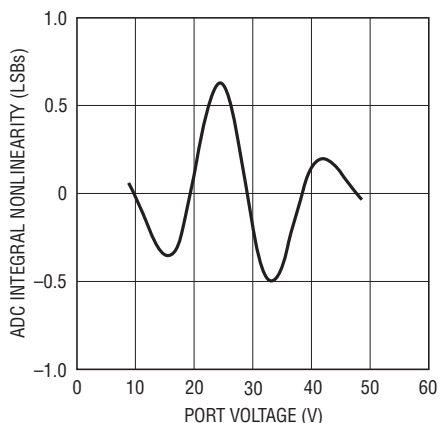
ADCの積分非直線性
(電流読み出し、低速モード)



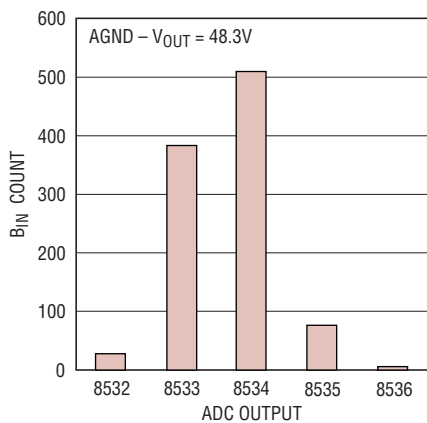
ADCのノイズのヒストグラム
(ポート電圧読み出し、高速モード)



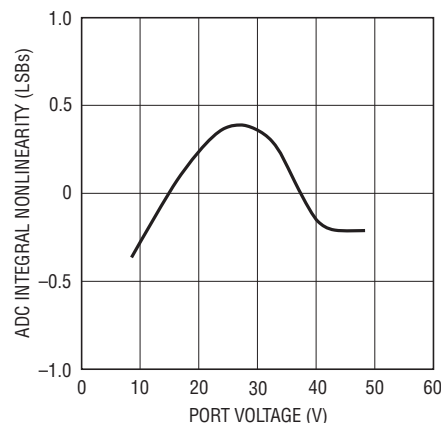
ADCの積分非直線性
(電圧読み出し、高速モード)



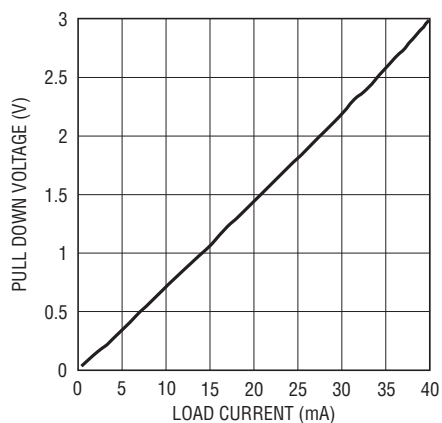
ADCのノイズのヒストグラム
(ポート電圧読み出し、低速モード)



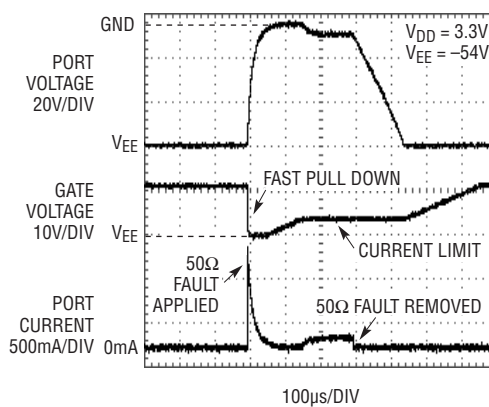
ADCの積分非直線性
(電圧読み出し、低速モード)



INTおよびSDAOUTの
プルダウン電圧と負荷電流



高速プルダウン付き
MOSFETゲート・ドライブ



テスト・タイミング図

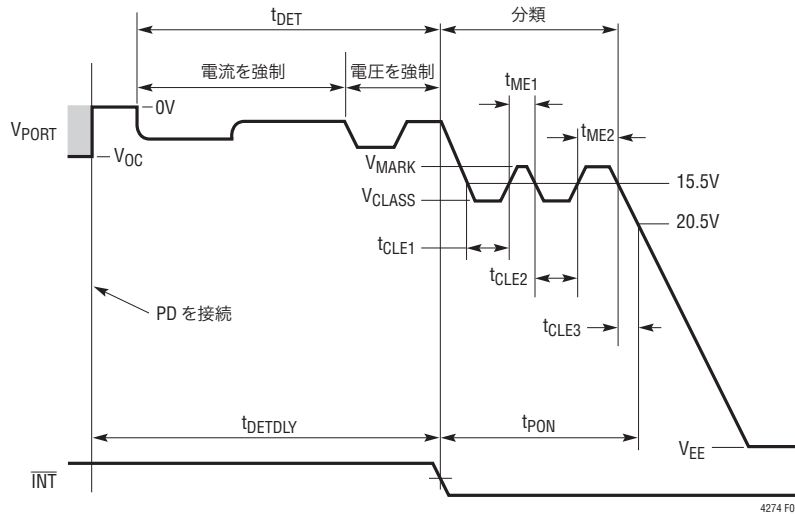


図 1. AUTOピン・モードまたは半自動モードでの検出、分類、ターンオンのタイミング

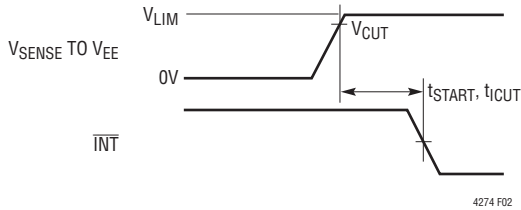


図 2. 電流制限のタイミング

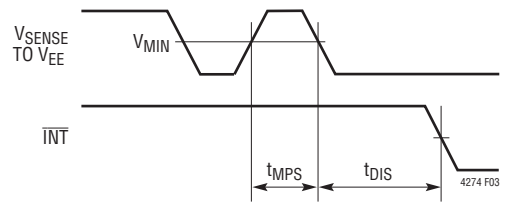


図 3. DC切断のタイミング

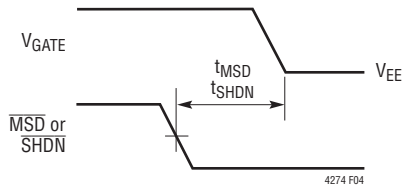


図 4. シャットダウン遅延のタイミング

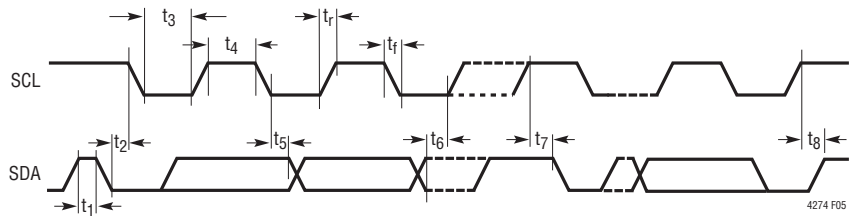


図 5. I²Cインタフェースのタイミング

I²C タイミング図

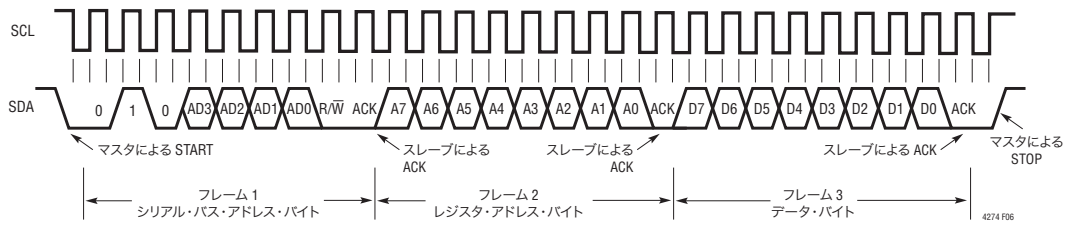


図6. レジスタへの書き込み

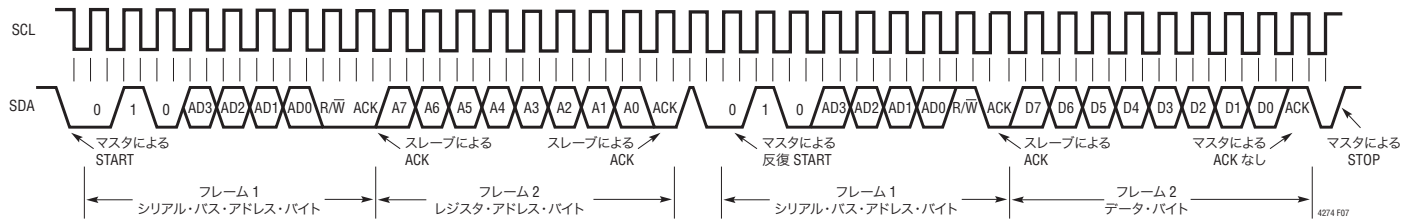


図7. レジスタからの読み出し

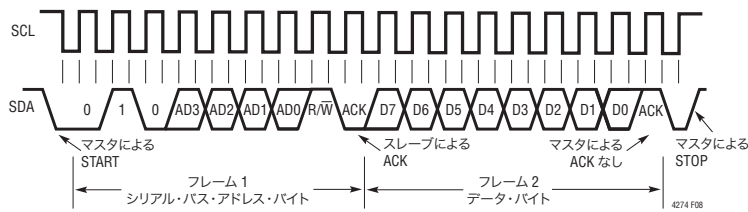


図8. 割り込みレジスタの読み出し(ショートフォーム)

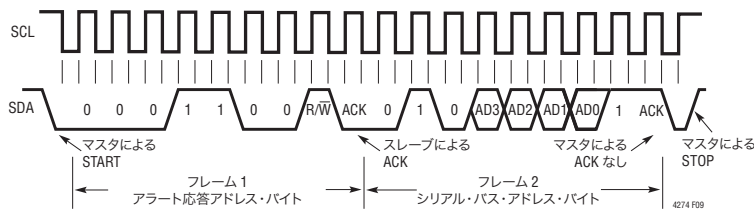


図9. アラート応答アドレスからの読み出し

ピン機能

RESET: アクティブ“L”のデバイス・リセット。 $\overline{\text{RESET}}$ ピンが“L”のとき、LTC4274は非アクティブ状態に保たれ、すべてのポートがオフし、すべての内部レジスタがそれぞれのパワーアップ状態にリセットされます。 $\overline{\text{RESET}}$ が“H”になると、LTC4274は通常動作を開始します。 $\overline{\text{RESET}}$ を外付けコンデンサまたはRCネットワークに接続することで、パワーオンを遅らせることができます。 $\overline{\text{RESET}}$ ピンは内部でフィルタされているので、幅が1 μs 未満のグリッチによってLTC4274がリセットされることはありません。RESETピンは内部で V_{DD} にプルアップされています。

MID: ミッドスパン・モード入力。“H”のとき、LTC4274はミッドスパン・デバイスとして機能します。MIDピンは内部でDGNDにプルダウンされています。

$\overline{\text{INT}}$: オープンドレインの割り込み出力。LTC4274内でイベントのいずれか1つが発生すると、 $\overline{\text{INT}}$ は“L”になります。Reset PBレジスタ(1Ah)のビット6またはビット7がセットされると、INTは高インピーダンス状態に戻ります。 $\overline{\text{INT}}$ 信号を使ってホスト・プロセッサに対して割り込みを発生させることができるので、ソフトウェアによる連続ポーリングは不要です。個々の $\overline{\text{INT}}$ イベントはInt Maskレジスタ(01h)を使ってディスエーブルすることができます。詳細については、LTC4274のソフトウェア・プログラミング・マニュアルを参照してください。 $\overline{\text{INT}}$ ピンが更新されるのは、I²Cのトランザクションとトランザクションの間だけです。

SCL: シリアル・クロック入力。I²Cシリアル・インタフェース・バスの高インピーダンス・クロック入力。使用しない場合、SCLピンは“H”に接続する必要があります。

SDAOUT: シリアル・データ出力(I²Cシリアル・インタフェース・バスのオープンドレイン・データ出力)。LTC4274は2つのピンを使って双方向のSDA機能を実現しているので、I²Cバスのオプ्टアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。使用しない場合は、SDAOUTを接地するか、またはフロート状態にしておきます。詳細については「アプリケーション情報」を参照。

SDAIN: シリアル・データ入力。I²Cシリアル・インタフェース・バスの高インピーダンス・データ入力。LTC4274は2つのピンを使って双方向のSDA機能を実現しているので、I²Cバスのオプ्टアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。使用しない場合、SDAINは“H”に接続する必要があります。詳細については「アプリケーション情報」を参照。

AD3: アドレス・ビット3。アドレス・ピンを“H”または“L”に接続して、LTC4274が応答するI²Cシリアルアドレスを設定します。このアドレスは010A₃A₂A₁A₀bになります。AD3ピンは内部で V_{DD} にプルアップされています。

AD2: アドレス・ビット2。AD3を参照してください。

AD1: アドレス・ビット1。AD3を参照してください。

AD0: アドレス・ビット0。AD3を参照してください。

NC, DNC: “NC”または“DNC”と表示されたピンはすべて未接続のままにしておく必要があります。

DGND: デジタル・グランド。DGNDは V_{DD} 電源のリターンです。

V_{DD} : ロジック電源。DGNDを基準にした単一3.3V電源に接続します。 V_{DD} は、少なくとも0.1 μF のコンデンサを使ってLTC4274の近くでDGNDにバイパスする必要があります。

$\overline{\text{SHDN}}$: シャットダウン・ピン(アクティブ“L”)。 $\overline{\text{SHDN}}$ が“L”になると、内部レジスタの状態に関係なく、ポートがシャットダウンします。 $\overline{\text{SHDN}}$ を“L”に引き下げると、Reset Pushbuttonレジスタ(1Ah)内のReset Portビットをセットすることに相当します。 $\overline{\text{SHDN}}$ ピンは内部でフィルタされているので、幅が1 μs 未満のグリッチによってLTC4274がリセットされることはありません。 $\overline{\text{SHDN}}$ ピンは内部で V_{DD} にプルアップされています。

AGND: アナログ・グランド。AGNDは V_{EE} 電源のリターンです。

SENSE: 電流検出入力。SENSEは、SENSEと V_{EE} 間の0.5 Ω または0.25 Ω のセンス抵抗を介して外付けMOSFETの電流をモニタします。センス抵抗の両端の電圧が過電流検出スレッショルド V_{CUT} を超えるたびに、電流制限フォールト・タイマがカウントアップします。センス抵抗両端の電圧が電流制限スレッショルド V_{LIM} に達すると、GATEピンの電圧が下がり、外付けMOSFETの電流を一定に保ちます。詳細については「アプリケーション情報」を参照してください。

GATE: ゲート・ドライブ。GATEはポートの外付けMOSFETのゲートに接続します。MOSFETがオンすると、ゲート電圧は V_{EE} より12V(標準)高い電圧にドライブされます。電流制限状態の間、GATEの電圧が低下して外付けMOSFETを流れる電流を一定に保ちます。フォールト・タイマが終了すると、GATEはプルダウンされ、MOSFETがオフして、 t_{CUT} または t_{START} イベントが記録されます。

ピン機能

OUT: 出力電圧モニタ。OUTは出力ポートに接続します。電流制限フォールドバック回路は、ドレイン-ソース間の電圧が10Vを超えたときに電流制限スレッシュホールドを下げることで、外付けMOSFETの電力損失を制限します。OUTから V_{EE} への電圧が2.4V (標準)を下回ると、Power Goodビットがセットされます。ポートがアイドル状態のときは、OUTからAGNDに500kの抵抗が内部接続されます。

V_{EE} : 主電源入力。AGNDを基準にした-45V~-57V電源に接続します。

AUTO: AUTOピン・モード入力。AUTOピン・モードでは、 I^2C バス上にホスト・コントローラが存在しなくても、LTC4274はPDを検出してパワーアップすることができます。AUTOピンの電圧により、LTC4274がリセットされたとき、または V_{DD} のUVLO状態から回復したときの内部レジスタの状態が決まり

ます(LTC4274のソフトウェア・プログラミング・マニュアルを参照)。これらのレジスタのビットの状態は、その後も I^2C インタフェースを介して変更することができます。AUTOピンのリアルタイムの状態は、Pin Statusレジスタ(11h)のビット0で読み出されます。AUTOピンは内部でDGNDにプルダウンされており、 V_{DD} またはDGNDのどちらかにローカルに接続する必要があります。

\overline{MSD} : マスク可能なシャットダウン入力。アクティブ“L”。“L”になると、Misc Configレジスタ(17h)内の対応するマスク・ビットがセットされているすべてのポートがリセットされます。これは、 \overline{SHDN} ピンを“L”にすることに相当します。 \overline{MSD} ピンは内部でフィルタされているので、幅が1 μ s未満のグリッチによってポートがリセットされることはありません。 \overline{MSD} ピンは内部で V_{DD} にプルアップされています。

動作

概要

Power over Ethernet (PoE)は、銅のイーサネット・データ配線を通してDC電力を伝送する標準プロトコルです。802.3イーサネット・データ標準規格を策定するIEEEグループは、2003年にPoEによる電力供給機能を追加しました。802.3afと呼ばれるオリジナルのPoE規格は、最大13Wで48VのDC電力を許容します。この最初の規格は広く普及しましたが、要件によっては13Wでは十分ではありませんでした。IEEEは、2009年に802.3at (PoE+)と呼ばれる新たな標準規格を発表しました。この規格では25Wの電力を供給するために電圧と電流の要件が拡大されています。

IEEE標準規格ではPoE用語も規定しています。ネットワークに電力を供給するデバイスはPSE (給電装置)と呼ばれ、ネットワークから電力が供給されるデバイスはPD (受電装置)と呼ばれます。PSEには、データと電力を供給するエンドポイント(ネットワーク・スイッチやルータが一般的)と、電力を供給してデータを通過させるミッドスパンの2つのタイプがあります。ミッドスパンは一般に、PoEに対応していない既存のネットワークにPoE機能を追加するために使用されます。PDは一般に、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどの機器ですが、25W以下で動作してRJ45ネットワーク・コネクタを備えるほぼすべての機器が該当します。

LTC4274は、エンドポイントまたはミッドスパンの設計の第3世代のシングルPSEコントローラです。実際、IEEE 802.3at準拠のPSE設計を行うのに必要なすべての回路を内蔵しており、必要なのは外付けパワーMOSFETとセンス抵抗だけなので、内蔵MOSFETを使用する設計と比べて電力損失が最小

限に抑えられ、1つのチャンネルが損傷した場合でもシステムの信頼性が向上します。

PoEの基本

一般的なイーサネット・データは2本または4本の銅のより対線(通称CAT-5ケーブル)で接続し、グラウンド・ループを避けるために両端をトランス結合にします。PoEシステムは、データ・トランスのセンタータップ間に電圧を印加し、データ伝送に影響を与えることなくPSEからPDに電力を伝送することにより、この結合方式をうまく利用します。ハイレベルなPoEシステムの回路図を図10に示します。

DC電圧が加わることを想定していない従来のデータ機器を損傷しないように、PoE規格ではPSEによる電力の供給と切断の時点を決めたプロトコルが規定されています。有効なPDは入力に固有な25k Ω の同相抵抗を必要とします。このようなPDがケーブルに接続されると、PSEはこのシグネチャ抵抗を検出して電源をオンします。その後PDが切断されると、PSEはオープン状態を検出して電源をオフします。電流フォールトや短絡が生じた場合も、PSEは電源をオフします。

PDが検出されると、PSEはオプションとしてそのPDが消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、複数のポートに対する電力の割り当て、PDの消費電流の監視、またはPSEの供給能力を超える電力を消費するPDの拒絶を行うことができます。分類ステップはオプションです。PSEがPDを分類しないことを選択する場合、PSEはPDが13W(802.3afの最大電力)のデバイスであると想定する必要があります。

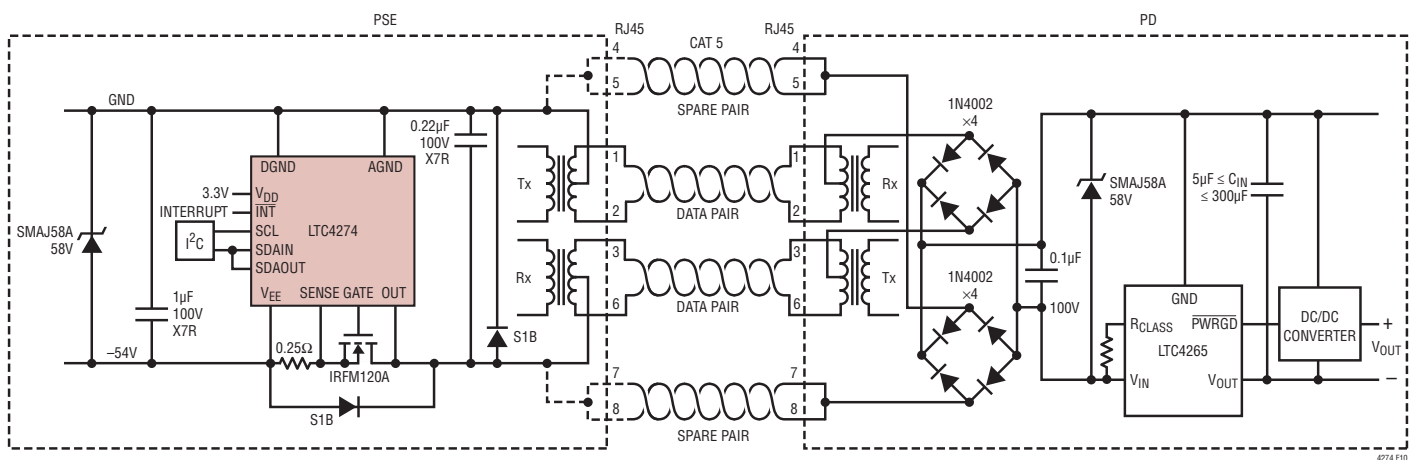


図10. Power Over Ethernetのシステム図

動作

802.3atの新項目

802.3at 標準規格は802.3afを更新したもので、以下の新機能が追加されています。

- PDは最大25.5Wを使用できます。このようなPD（およびそれらに対応するPSE）はタイプ2と呼ばれます。従来の13Wの802.3afの機器はタイプ1として分類されます。タイプ1のPDはすべてのPSEに対応しますが、タイプ2のPDを適切に動作させるには、タイプ2のPSEが必要になる場合があります。LTC4274は、タイプ1とタイプ2のどちらのPSEの設計でも動作するように設計されており、高電力レベルの非標準の構成にも対応します。
- 分類プロトコルは、タイプ2のPSEがタイプ2のPDを検出でき、タイプ2のPDがタイプ2のPSEに接続されているかどうかを確認できるように拡張されています。2つのバージョンの新しい分類プロトコルが利用できます。それらは、802.3afクラス・パルス・プロトコルの拡張バージョン、および（イーサネット・データ・パスを使用した）既存のLLDPプロトコルと統合した代替手法です。LTC4274は新しいクラス・パルス・プロトコルをフルサポートすると同時に、（PoE回路ではなくデータ通信レイヤに実装された）LLDPプロトコルとも互換性があります。
- フォールト保護の電流レベルとタイミングはフォールト時のMOSFETのピーク電力を低減するように調整されるので、従来の13Wの設計と同じMOSFETを使って新しい25.5Wの電力レベルに達することが可能です。

下位互換性

LTC4274は、ポート1のみを使用した場合のLTC4266と完全なソフトウェアおよびピン互換です。

LTC4274は、ソフトウェアとピン機能の両方で従来のPSEデバイスと下位互換になるように設計されています。LTC4258またはLTC4259A（または互換デバイス）のどちらかを使用した既存のシステムは、ソフトウェアやPCBレイアウトを変更することなくLTC4274で置き換え可能であり、802.3at完全互換の

設計を実現するために必要なのは部品表のわずかな変更だけです。

下位互換性があるので、LTC4274を推奨されているように動作させると、内部レジスタのいくつかは重複または未使用状態になります。互換モードでの使用の詳細については、LTC4258/LTC4259A デバイスのデータシートを参照してください。

互換モードに関する特別な注意事項

- LTC425x デバイスは必ず 0.5Ω のセンス抵抗を使用するのに対して、LTC4274は 0.5Ω と 0.25Ω のセンス抵抗のいずれかを使用することができます。互換性を維持するため、LTC4274がパワーアップしたときにAUTOピンが“L”だとセンス抵抗を 0.5Ω とみなし、パワーアップしたときにAUTOピンが“H”だと 0.25Ω とみなします。レジスタの設定値はパワーアップ後にいつでも再設定することができます。特に、 0.25Ω のセンス抵抗を使用していてAUTOが“L”に接続されているシステムでは、パワーアップ後にレジスタの設定値を再設定する必要があります。
- LTC4259AはACとDCの切断検出回路を備えていますが、LTC4274が備えているのはDC切断検出のみです。互換性を確保するために、LTC4259AのAC切断のイネーブルに使用されるレジスタ・ビットがLTC4274に実装されていますが、これらはDC切断に使用するビットを反映するだけです。
- LTC4258とLTC4259Aは、OUTnピンと外付けMOSFETのドレインの間に $10k\Omega$ の抵抗を必要とします。LTC4274を使用する場合は、これらの抵抗を短絡するか、または 0Ω のジャンパー線に置き換える必要があります。
- LTC4258とLTC4259AにはBYPピンがあり、 $0.1\mu\text{F}$ のコンデンサでAGNDにデカップリングします。LTC4274では、このピンはMIDピンになります。このコンデンサはエンドスパン・アプリケーションでは取り去ります。また、ミッドスパン・アプリケーションでは 0Ω のジャンパー線に置き換えます。

アプリケーション情報

動作モード

LTC4274はマニュアル、半自動、AUTOピン、シャットダウンの4つのモードのいずれかで動作することができます。

表1. 動作モード

モード	AUTOピン	OPMD	検出/分類	パワーアップ	I _{CUT} /I _{LIM} の自動設定
AUTOピン	1	11b	リセット時にイネーブル	自動	あり
予備	0	11b	N/A	N/A	N/A
半自動	0	10b	ホストによってイネーブル	要求時	なし
マニュアル	0	01b	要求時に1回	要求時	なし
シャットダウン	0	00b	ディスエーブル	ディスエーブル	なし

- マニュアル・モードでは、ポートはホスト・システムからの指示を待ってアクションをとります。ポートは、ホストから指示されると検出サイクルまたは分類サイクルを1回実行し、Port Statusレジスタでその結果を知らせます。ホスト・システムはいつでもポートに電力のオン/オフを指示することができます。このモードは診断とテストの目的にのみ使用してください。
- 半自動モードでは、ポートは接続されているすべてのPDの検出と分類を繰り返し試みます。ポートはこれらの結果をホストに知らせ、ホストからのコマンドを待ってからポートの電力をオンします。検出が開始される前に、ホストはポートの検出(およびオプションで分類)をイネーブルする必要があります。
- AUTOピン・モードは、検出に成功するとポートの電力を自動的にオンすること以外は、半自動モードと同じ動作をします。AUTOピン・モードでは、I_{CUT}とI_{LIM}の値はLTC4274によって自動的に設定されます。AUTOピン・モードが有効になるのは、リセットまたはパワーアップ時にAUTOピンが“H”であり、かつ、動作中“H”に保持されるときだけです。
- シャットダウン・モードでは、ポートはディスエーブルされており、PDの検出も電力供給も行いません。

LTC4274は、モードに関係なく、電流制限フォールトを生じたポートからの電力供給を自動的に停止します。また、切断の検出がイネーブルされている場合は、切断イベントを生じたポートからの電力供給を自動的に停止します。さらに、ホスト・コントローラはいつでもポートに電力供給の停止を指示することができます。

リセットとAUTO/MIDピン

LTC4274の初期設定は、リセット時のAUTOピンとMIDピンの状態によって決まります。リセットが生じるのは、パワーアップ時、あるいはRESETピンが“L”になった場合、またグローバルなReset Allビットがセットされた場合です。パワーアップ後にAUTOやMIDの状態が変化しても、リセットが生じるまではLTC4274のポートの動作は変化しません。

LTC4274は通常、ホスト・コントローラと共に使用されますが、シリアル・インタフェースに接続しないスタンドアロン・モードで使用することもできます。ホストが存在しない場合、リセット時にポートが自動的に動作する設定になるように、AUTOピンを“H”に接続する必要があります。ポートは、PDが見つかるまで検出と分類を繰り返し、分類結果に従ってI_{CUT}とI_{LIM}を設定し、PDが検出されると電力を供給し、PDが切断されると電力供給を停止します。同様に、スタンドアロン・アプリケーションがミッドスパンの場合は、MIDピンを“H”に接続して正しいミッドスパン検出タイミングが得られるようにする必要があります。

AUTOピン・モード時に検出されたクラスに基づいて自動的に設定されるI_{CUT}とI_{LIM}の値を表2に示します。

表2. AUTOピン・モードのI_{CUT}とI_{LIM}の値

クラス	I _{CUT}	I _{LIM}
クラス1	112mA	425mA
クラス2	206mA	425mA
クラス3またはクラス0	375mA	425mA
クラス4	638mA	850mA

AUTOピンが“H”の状態ではLTC4274がリセットされたときだけ、I_{CUT}とI_{LIM}の値が自動的に設定されます。

アプリケーション情報

検出

検出の概要

DC電圧に耐えるように設計されていないネットワーク・デバイスの損傷を防ぐため、PSEは接続されたデバイスが真のPDであることを確認してから電力を供給する必要があります。IEEE規格では、ポートの電圧が10Vより低いとき、有効なPDは $25k \pm 5\%$ の同相抵抗を示すことが規定されています。PSEは19k～26.5kの範囲の抵抗は受け入れ、33kより大きいまたは15kより小さい抵抗は拒絶する必要があります(図11の網掛けの部分)。PSEは、受け入れが必要な範囲と拒絶が必要な範囲の間の規定されていない部分の抵抗は、受け入れても拒絶しても構いません。特に、PSEはコンピュータの標準ネットワーク・ポートを拒絶する必要があります。これらのポートの多くは同相終端抵抗が 150Ω で、電力が供給されると損傷を受けます(図11の左側の黒の部分)。

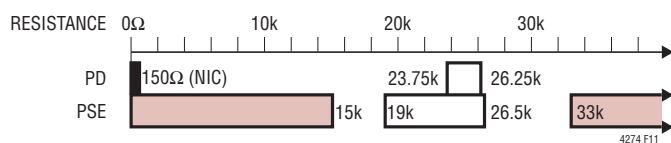


図11. IEEE 802.3af のシグネチャ抵抗の範囲

4ポイントの検出

LTC4274は4ポイント検出手法を使ってPDを検出します。電流強制と電圧強制の両方の測定を使ってシグネチャ抵抗をチェックすることにより、誤った適合判定が最小限に抑えられます。最初に、2つのテスト電流を(OUTピンを介して)ポートに強制し、その結果得られる電圧を測定します。検出回路は2つのV-Iポイントの差分を計算し、直列ダイオードやポートのリーク電流に起因するオフセットを除去しながら、抵抗の傾きを求めます(図12を参照)。電流強制による検出が有効なシグネチャ抵抗を示す場合は、2つのテスト電圧をポートに強制し、その結果得られる電流を測定して差分を計算します。両方の手法で有効な抵抗値が得られないと、ポートは有効な検出を知らせることができません。標準で17k～29kのPDシグネチャ抵抗を有効と判定し、Port Statusレジスタで「適合を検出」として知らせます。オープン状態や短絡などのこの範囲外の値も知らせます。最初の電流強制テストでポートが1Vより低い値を測定すると、検出サイクルを中断して「短絡」を知らせます。可能な検出結果を表3に示します。

表3. 検出状態

測定されたPDシグネチャ	検出結果
未完了またはテストしていない	検出状態が不明
<2.4k	短絡
容量 > 2.7μF	C _{PD} が過大
2.4k < R _{PD} < 17k	R _{SIG} が過小
17k < R _{PD} < 29k	適合を検出
>29k	R _{SIG} が過大
>50k	オープン状態
電圧 > 10V	ポート電圧が検出範囲外

動作モード

ポートの動作モードにより、LTC4274が検出サイクルを実行する時点が決まります。マニュアル・モードでは、ホストが検出サイクルを指示するまでポートはアイドル状態になります。検出サイクルが指示されるとポートは検出を実行し、その結果を知らせ、アイドル状態に戻って別のコマンドを待ちます。

半自動モードでは、LTC4274は自立的にポートをポーリングしてPDを探しますが、ホストによって指示されるまで電力を供給しません。各検出サイクルの最後にPort Statusレジスタが更新されます。有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートはPDを分類してその結果も知らせます。次いで、ポートは少なくとも100ms(ミッドスパン・モードがイネーブルされている場合は2秒)の間待機し、検出サイクルを繰り返してPort Statusレジスタ内のデータが最新のものであることを確認します。

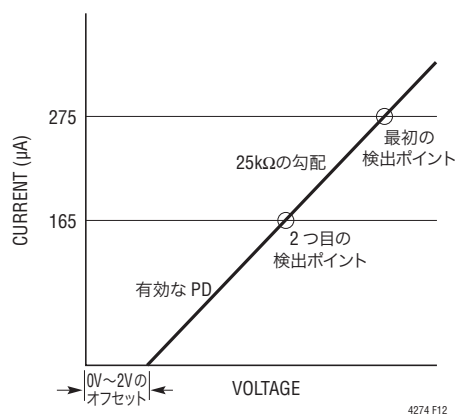


図12. PD検出

アプリケーション情報

ポートが半自動モードの状態が高電力動作がイネーブルされていると、電流検出の結果が「適合を検出」でない限り、ポートがパワーオン・コマンドにตอบสนองしてオンすることはありません。「適合を検出」以外の検出結果では、パワーオン・コマンドを受け取ると t_{START} フォールトが発生します。ポートが高電力モードでない場合は、コマンドを受け取ったときに検出結果を無視して電力を供給し、LTC4259A との下位互換性を維持します。

AUTOピン・モードの動作は半自動モードに似ていますが、「適合を検出」が通知され、(分類がイネーブルされている場合は) そのポートが分類された後は、それ以上の介入なしにポートは自動的にパワーオンします。スタンドアロン (AUTOピン) モードでは、 I_{CUT} と I_{LIM} のスレッシュホールドが自動的に設定されます。詳細については「リセットと AUTO/MIDピン」のセクションを参照してください。

AUTOピンが“L”の状態ではポートが最初にパワーアップするとき、シャットダウン・モード時、または対応する Detect Enable ビットがクリアされているときは、シグネチャ検出回路はディスエーブルされます。

レガシー PD の検出

オリジナルの IEEE 802.3af 標準規格以前に遡るプロプライエタリ PD は、今では一般にレガシー・デバイスと呼ばれています。レガシー PD の 1 つのタイプは、検出シグネチャとして大きな同相容量 ($>10\mu\text{F}$) を使用しています。この範囲の容量を使用する PD は無効であると規定されているので、レガシー PD を検出する PSE は IEEE 規格に技術的に準拠していないことに注意してください。

LTC4274 は、このタイプのレガシー PD を検出するように設定することができます。レガシー PD の検出はデフォルトではディスエーブルされていますが、手動でイネーブルすることができます。イネーブルされたポートは、有効な IEEE PD または高容量のレガシー PD のどちらかを検出したときに「適合を検出」を知らせます。レガシー・モードがディスエーブルされると、有効な IEEE PD のみが認識されます。

分類

802.3af の分類

PD は、オプションで PSE に分類シグネチャを送り、動作時に消費する最大電力を知らせることができます。IEEE 規格では、このシグネチャを PSE のポート電圧が V_{CLASS} の範囲 (15.5V ~ 20.5V) のときに流れる定電流と規定しており、この電流レベルは 5 つの可能な PD クラスの 1 つを示します。PD の標準負荷曲線を図 13 に示します。10V までは $25\text{k}\Omega$ のシグネチャ抵抗の勾配で始まり、 V_{CLASS} の範囲では分類シグネチャ電流 (この場合、クラス 3) に移行します。可能な分類値を表 4 に示します。

表 4. 分類値

クラス	結果
クラス 0	分類シグネチャなし、クラス 3 と同様に処理
クラス 1	3W
クラス 2	7W
クラス 3	13W
クラス 4	25.5W (タイプ 2)

分類がイネーブルされていると、半自動または AUTOピン・モード時、あるいはマニュアル・モードで指示されたときに、検出に成功した直後、ポートは PD を分類します。OUTピンを介してポートに 12ms の間 18V (どちらの値も標準値) を印加してその結果生じる電流を測定することで PD 分類シグネチャを測定し、Port Status レジスタによって検出されたクラスを知らせます。LTC4274 が AUTOピン・モードの場合、さらに分類結果

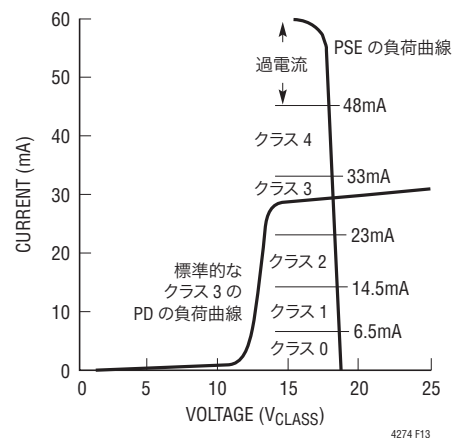


図 13. PD の分類

アプリケーション情報

を使って I_{CUT} と I_{LIM} のスレッシュホールドを設定します。詳細については「リセットと AUTO/MID ピン」のセクションを参照してください。

AUTO ピンが“L”の状態ではポートが最初にパワーアップするとき、シャットダウン・モード時、または対応する Class Enable ビットがクリアされている場合、分類回路はディスエーブルされます。

802.3at の 2 イベント分類

802.3at 規格では、タイプ 2 の PD を分類する 2 つの方法を規定しています。

1 つ目の方法ではイーサネット LLDP データ・プロトコルに特別なフィールドを追加します。LTC4274 はこの分類方法と互換性がありますが、データ・パスへアクセスできないため直接分類することができません。LLDP 分類では、PSE が標準的な 802.3af (タイプ 1) デバイスとしての PD へ電力を供給する必要があります。次いで PSE はホストが PD と LLDP 通信を行って PSE ポートのデータを更新するまで待機します。LTC4274 は I_{LIM} と I_{CUT} のレベルを動作中にいつでも変更できるので、ホストが LLDP 分類を完了することができます。

802.3at の 2 つ目の分類方法は 2 イベント分類またはピンポン分類と呼ばれ、LTC4274 によってフルサポートされています。13W より大きな電力を要求するタイプ 2 の PD は通常の 802.3af 分類のときクラス 4 を示します。LTC4274 がクラス 4 を検出すると、規定された低電圧 (マーク電圧と呼ばれ、標準 9V) をポートに強制し、一時的に停止してから分類を再開してクラス 4 の読み出しを確認します (図 1)。また、High Power Status レジスタのビットをセットして、2 番目の分類サイクルを実行したことを示します。2 番目のサイクルは、タイプ 2 の電力レベルを供給できるタイプ 2 の PSE に PD が接続されていることを PD に警告します。

2 イベント・ピンポン分類は、ポートの High Power Mode レジスタのビットをセットすることによってイネーブルされます。ピンポン分類がイネーブルされたポートはクラス 4 のデバイスを検出したときだけ 2 番目の分類サイクルを実行します。最初のサイクルがクラス 0 ~ 3 を返すと、ポートはタイプ 1 の PD に接続されているとみなして 2 つ目の分類サイクルを実行しないことに注意してください。

無効なタイプ 2 のクラスの組み合わせ

802.3at 規格では、タイプ 2 の PD 分類シグネチャを、2 つ連続するクラス 4 として規定しており、クラス 4 にクラス 0 ~ 3 が続くシグネチャは有効ではありません。AUTO ピン・モードでは、LTC4274 は 1 つの例外を除き、分類結果に関係なく検出された PD に電力を供給します。例外として、PD が無効なタイプ 2 のシグネチャ (クラス 4 にクラス 0 ~ 3 が続く) を示すと、LTC4274 は電力を供給しないで検出プロセスを再開します。診断を補うため、Port Status レジスタは常に最後のクラス・パルスの結果を知らせるので、無効なクラス 4 とクラス 2 の組み合わせの場合は、High Power Status レジスタで 2 番目のクラス・パルスが実行されたこと (最初のサイクルがクラス 4 を検出したことを意味する) を知らせ、Port Status レジスタでクラス 2 を知らせます。

電力制御

外付け MOSFET、センス抵抗の概要

LTC4274 の主な機能は、PSE ポートへの電力供給を制御することです。これを行うため、外付けセンス抵抗を流れる電流と OUT ピンの出力電圧をモニタしながら、外付けパワー MOSFET のゲート・ドライブ電圧を制御します。この回路は制御されていない V_{EE} 入力電源を制御された状態でポートに接続し、MOSFET の電力損失と V_{EE} バックプレーンの乱れを最小限に抑えながら PD の電力要件を満たします。

LTC4274 は、電力損失を最小限に抑えるために 0.25Ω のセンス抵抗を使用するように設計されています。LTC4258/LTC4259A との互換性が必要なときのデフォルトである 0.5Ω のセンス抵抗もサポートしています。

突入電流の制御

ポートをオンするコマンドが与えられると、LTC4274 はそのポートの外付け MOSFET の GATE ピンを制御された状態でランプアップします。通常のパワーアップ環境では、ポート電流が突入電流制限レベル (標準 450mA) に達するまで MOSFET のゲート電圧は上昇し、このポイントで GATE ピンは規定された I_{INRUSH} 電流を維持するようにサーボ制御されます。この突入電流期間の間、タイマ (t_{START}) が動作します。

アプリケーション情報

出力の充電が完了するとポート電流が減少するので、GATEピンはMOSFETが完全に導通状態になるまで上昇し続けてそのオン抵抗を最小限に抑えることができます。最終的な V_{GS} は公称12Vです。突入電流期間が終了する前に t_{START} タイマが終了すると、ポートはオフに戻って t_{START} フォールトを知らせます。

電流制限

LTC4274のポートには2つの電流制限スレッシュホールド(I_{CUT} および I_{LIM})があり、それぞれ対応するタイマ(t_{CUT} および t_{LIM})を備えています。 I_{CUT} と I_{LIM} のスレッシュホールドの設定は、PDのクラス、主電源(V_{EE})の電圧、PSEのタイプ(1または2)、センス抵抗(0.5 Ω または0.25 Ω)、MOSFETのSOA、さらに、システムにとってクラスの強制が必要か否かによって変わります。

IEEE規格に従い、LTC4274はポートの電力供給を停止する前の限られた時間 I_{CUT} を超えるポート電流を供給することができます一方で、MOSFETのゲート・ドライブをアクティブに制御してポート電流を I_{LIM} より下に保ちます。ポートは、 I_{CUT} スレッシュホールドを超えただけでは電流を制限する動作をしません。が、 t_{CUT} タイマの始動は行います。ポート電流が I_{LIM} スレッシュホールドを超えて電流制限がアクティブになると、 t_{LIM} タイマが始動します。 t_{CUT} タイマが終了する前にポート電流が I_{CUT} 電流スレッシュホールドを下回ると、 t_{CUT} タイマはカウントダウンしますが、カウントアップの1/16の速度になります。これにより、電流制限回路はデューティ・サイクルが約6%を下回る間欠的な過負荷信号は許容することができます。これより長いデューティ・サイクルの過負荷ではポートをオフします。

I_{CUT} は通常、 I_{LIM} より小さい値に設定されるので、ポートは小さなフォールトには電流制限なしで耐えることができます。

IEEE規格により、LTC4274はポートのターンオンの突入電流時に I_{LIM} を自動的に425mA(表5に太字で示す)に設定し、突入電流期間が終了すると設定された I_{LIM} 値に切り替えます。IEEE準拠を維持するため、 I_{LIM} はタイプ1のPDではすべて425mAに保ち、タイプ2のPDが検出された場合は850mAに保ちます。ポートがオフすると、 I_{LIM} は自動的に425mAにリセットされます。

表5. 電流制限の設定例

I_{LIM} (mA)	内部レジスタの設定 (16進数)	
	$R_{SENSE} = 0.5\Omega$	$R_{SENSE} = 0.25\Omega$
53	88	
106	08	88
159	89	
213	80	08
266	8A	
319	09	89
372	8B	
425	00	80
478	8E	
531	92	8A
584	CB	
638	10	90
744	D2	9A
850	40	C0
956	4A	CA
1063	50	D0
1169	5A	DA
1275	60	E0
1488	52	49
1700		40
1913		4A
2125		50
2338		5A
2550		60
2975		52

 I_{LIM} フォールドバック

LTC4274は、ポート電圧が通常動作電圧を下回ったときにポート電流を低減する2段のフォールドバック回路を備えています。これにより、拡張された802.3afの電力レベルでも、MOSFETの電力損失は標準的な802.3afのMOSFETにとって安全なレベルに保たれます。電流制限とフォールドバック動作はプログラム可能です。MOSFETの標準的なSOA曲線と比較した802.3afのフォールドバックでのMOSFETの電力損失を図14に示し、2段のフォールドバックが同じ状況でFETをSOA内に保つ様子を図15に示します。推奨する I_{LIM} レジスタの設定例を表5に示します。

アプリケーション情報

LTC4274は、802.3at規格の最大値を大幅に超える電流レベルをサポートします。表5の網掛けの部分は、大型の外付けMOSFET、ヒートシンクの追加、 t_{LIM} 設定の低減などを必要とする可能性のある設定値を示します。

MOSFETのフォールト検出

LTC4274のPSEポートはかなりのレベルの酷使に耐えるように設計されていますが、極端な場合には外付けMOSFETが損傷する可能性があります。MOSFETが損傷するとソース-ドレイン間が短絡する可能性があり、これによってオフであるべきポートがオンしているように見えます。また、この状態により、

センス抵抗がオープン状態になってポートをオフしますが、LTC4274のSENSEピンを異常に高い電圧まで上昇させます。MOSFETが損傷するとゲート-ドレイン間が短絡する可能性もあり、LTC4274のGATEピンを異常に高い電圧まで上昇させます。LTC4274のSENSEピンとGATEピンは、損傷することなく最大80Vのフォールトに耐えるように設計されています。

LTC4274がこれらの状態を180 μ s以上検出すると、すべてのポートの機能をディスエーブルし、ポートのゲート・ドライブ・プルダウン電流を低減してFET Badフォールトを知らせます。これは通常、永続的なフォールトですが、ホストはポートをリセットするか、またはポートのリセットでフォールトを解除できない場合にデバイス全体をリセットすることによって回復を試みることができます。MOSFETが実際に損傷していると、直ちにフォールトが返されて、ポートは再び自己をディスエーブルします。

MOSFETがオープン状態であったり損傷していることによってFET Badフォールトがトリガされることはありませんが、LTC4274がポートをオンしようとするとき t_{START} フォールトが生じます。

電圧と電流の読み出し

LTC4274は、内部A/Dコンバータを使ってポートの出力電圧と出力電流を測定します。ポート・データはポートの電源がオンのときだけ有効です。コンバータには以下の2つのモードがあります。

- 低速モード: 1秒あたり14サンプル、14.5ビットの分解能
- 高速モード: 1秒あたり440サンプル、9.5ビットの分解能

高速モードでは、両方のモードでビットのスケールが等しくなるように、下位バイトの最下位の5ビットは0になっています。

切断

LTC4274はポートをモニタして、PDに最小規定電流が流れ続けていることを確認します。ポート電流が7.5mA(標準)を下回るたびに切断タイマがカウントアップし、PDが切断されていることを知らせます。 t_{DIS} タイマが終了すると、ポートがオフしてFault Eventレジスタの切断ビットがセットされます。 t_{DIS} タイマが終了する前に低電流状態ではなくなるとタイマはリセットし、低電流状態に戻るとカウントを最初から開始します。PDが t_{DIS} より頻繁に最小電流レベルを超える限り、PDには電力が供給され続けます。

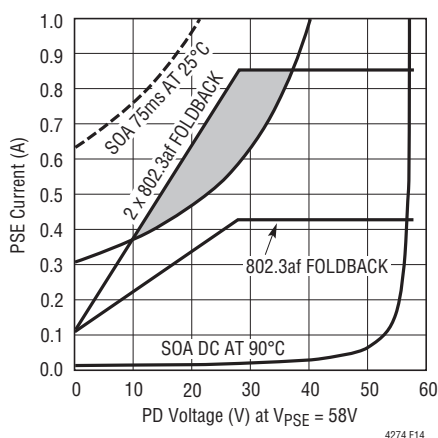


図14. 周囲温度90°Cでのターンオン電流とFETの安全動作領域(SOA)

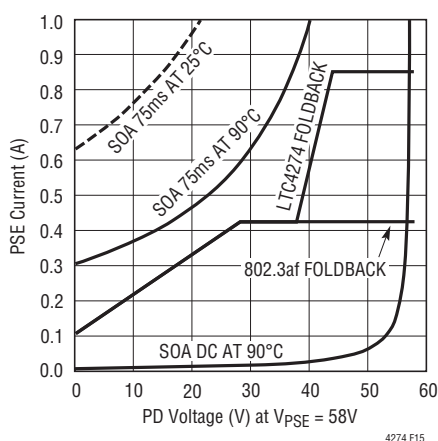


図15. 周囲温度90°CでのLTC4274のフォールドバックとFETの安全動作領域(SOA)

アプリケーション情報

推奨しませんが、DC切断機能は、DC Disconnect Enableビットをクリアすることによってディスエーブルすることができます。給電されているポートにはPDが取り去られた後も電力が供給され続けるので、これにより、IEEE規格に組み込まれた保護メカニズムが無効になることに注意してください。給電され続けているポートに、PoEに対応していないデータ・デバイスが接続されると、デバイスが損傷する可能性があります。

LTC4274はAC切断回路を備えていませんが、LTC4259Aとの互換性を維持するためにAC Disconnect Enableビットを備えています。AC Disconnect Enableビットがセットされると、DC切断が使用されます。

シャットダウン・ピン

LTC4274はハードウェアの $\overline{\text{SHDN}}$ ピンを備えています。 $\overline{\text{SHDN}}$ ピンがDGNDに引き下げられると、ポートが直ちにオフします。ポートは、I²Cを介して再イネーブルされるか、またはAUTOピン・モードでデバイスがリセットされるまでシャットダウン状態を保ちます。

マスクされたシャットダウン

LTC4274は待ち時間の短いポート・シェディング機能を備えており、必要に応じて短時間でシステム負荷を低減します。あらかじめ決められた複数のポートをオフすることにより、優先度の高いデバイスに電力を供給し続けながら、過負荷の主電源の電流を素早く低減することができます。各ポートは優先度の高/低を設定可能で、優先度の低いポートはすべてMSDピンが“L”になってから6.5μs以内にシャットダウンします。ポートがMSDを介してオフすると、対応するDetection EnableビットとClassification Enableビットがクリアされるので、ホストの指示で検出が再度イネーブルされるまでポートがオフ状態を保ちます。

シリアル・デジタル・インタフェース

概要

LTC4274は、標準SMBus/I²C 2線インタフェースを使ってホストと通信します。LTC4274はスレーブのみのデバイスで、標準SMBusプロトコルを使ってホスト・マスターと通信します。割り込みは $\overline{\text{INT}}$ ピンを介してホストに伝えられます。標準的な通信波形とこれらのタイミング関係をタイミング図(図5～図9)に示します。SMBusのデータ・プロトコルの詳細についてはwww.smbus.orgを参照してください。

LTC4274では、シリアル・インタフェースを機能させるためにV_{DD}とV_{EE}の両方の電源レールを必要とします。

バスのアドレス指定

LTC4274の最初のシリアル・バス・アドレスは010xxxx bで、下位の4ビットはAD3ピン～AD0ピンによって設定されます。これにより、1本のバス上に最大16個のLTC4274を接続することができます。また、すべてのLTC4274がアドレス0110000bに応答することにより、ホストが1回のトランザクションで複数のLTC4274に同じコマンド(通常、設定コマンド)を書き込むことができます。LTC4274は、 $\overline{\text{INT}}$ ピンをアサートしているとき、SMBus規格に従ってアラート応答アドレス(0001100b)にも応答します。

割り込みとSMBAlert

LTC4274のほとんどのポート・イベントは割り込みをトリガするように設定することができ、 $\overline{\text{INT}}$ ピンをアサートしてホストにイベントへの警告を行います。これにより、ホストがLTC4274をポーリングする必要がなくなり、シリアル・バスのトラフィックが最小限に抑えられてホストCPUのサイクルが節約されます。SMBAlertプロトコル(ARA)を使用しているホストがどのLTC4274が割り込みを発生させたかを判断することにより、複数のLTC4274が共通の $\overline{\text{INT}}$ ラインを共有することができます。

レジスタの概要

シリアル・バスの使用およびデバイスの設定と状態については、LTC4274のソフトウェア・プログラミング・マニュアルを参照してください。

外付け部品の選択

電源とバイパス

LTC4274を動作させるには2つの電源電圧が必要です。V_{DD}にはDGNDを基準にした3.3V(公称)が必要です。V_{EE}には、タイプ1のPSEでは-45V～-57V、タイプ2のPSEでは-51V～-57VのAGNDを基準にした負電圧が必要です。2つのグラウンドの関係は一定ではなく、AGNDはV_{DD}～DGNDの任意のレベルを基準にすることができますが、通常はV_{DD}またはDGNDのどちらかに接続します。

アプリケーション情報

V_{DD} は LTC4274 の大部分の内部回路に電力を供給し、最大 3mA を流します。 V_{DD} から DGND に、少なくとも $0.1\mu\text{F}$ のセラミックのデカップリング・コンデンサを、各 LTC4274 デバイスにできるだけ近づけて接続します。

負の V_{EE} 電源から生成する、DGND への負電源用の 3 つの部品の低損失レギュレータを図 16 に示します。 V_{DD} は AGND に接続され、DGND は AGND を基準にして負になります。このレギュレータは 1 個の LTC4274 デバイスをドライブします図 17 では、AGND より 3.3V 高い正の V_{DD} 電源を得るため、この昇圧コンバータ回路の DGND が AGND に接続されています。この回路は複数の LTC4274 デバイスとオプトカプラをドライブすることができます。

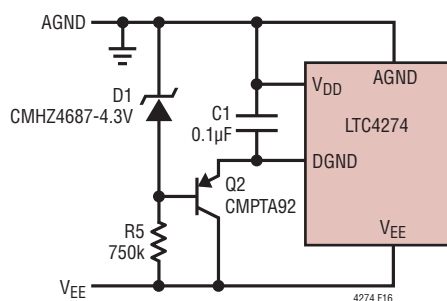


図 16. DGND への負の LDO

V_{EE} は、PD に電力を供給する主電源です。この電源は比較的大きな電力を供給し、大きな過渡電流を生じやすいので、簡単なロジック電源よりも設計に注意が必要です。最小の IR 損失と最大のシステム効率を得るため、 V_{EE} を最大振幅 (57V) 近くに設定し、過渡オーバーシュート/アンダーシュート、温度ドリフト、および使用される個々の電源のライン・レギュレーション仕様を見込んだ十分なマージンを残します。

AGND と V_{EE} の間のバイパス容量は、信頼性の高い動作をさせるために非常に重要になります。出力ポートに短絡が生じると、LTC4274 が電流を安定化し始めるのに $1\mu\text{s}$ もの時間を要することがあります。この間は、電流が回路内の小さなインピーダンスによってのみ制限され、通常、高電流スパイクが生じるので、 V_{EE} 電源に過渡電圧が生じ、UVLO フォールトによって LTC4274 がリセットされる可能性があります。誤ったりセットを最小限に抑えるため、 $1\mu\text{F}$ の 100V X7R コンデンサを V_{EE} ピンの近くに接続することを推奨します。

シリアル・バスの絶縁

LTC4274 には分割された SDA ピン (SDAIN および SDAOUT) が備わっていて、双方向の SDA ラインのオプトアイソレーションが容易です。

IEEE 802.3 イーサネット規格では、(PoE 回路を含む) ネットワーク・セグメントが各ネットワーク・インタフェース・デバイスのシャーシ・グラウンドから電気的に絶縁されていることが求められます。ただし、ネットワーク・セグメントが 1 つの配電システ

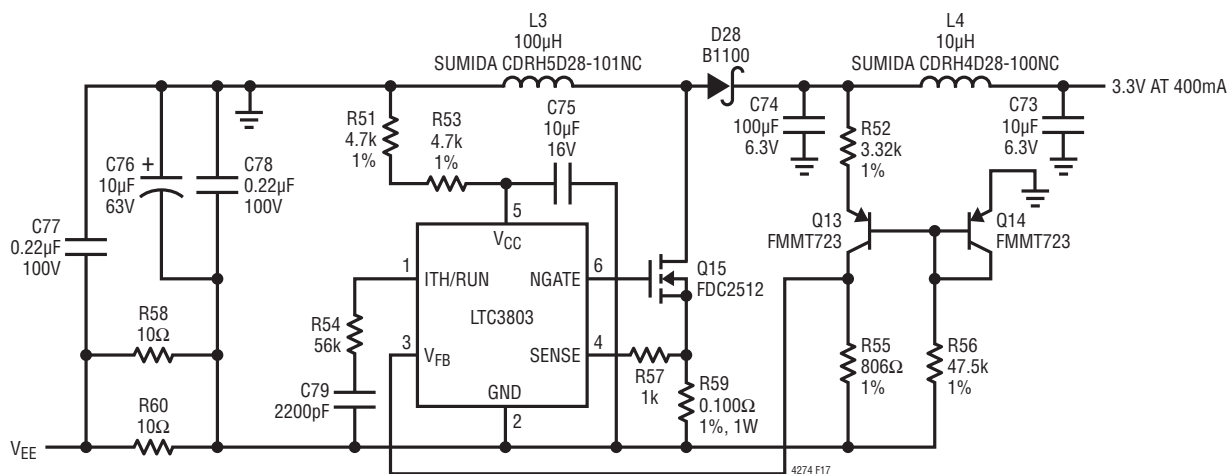
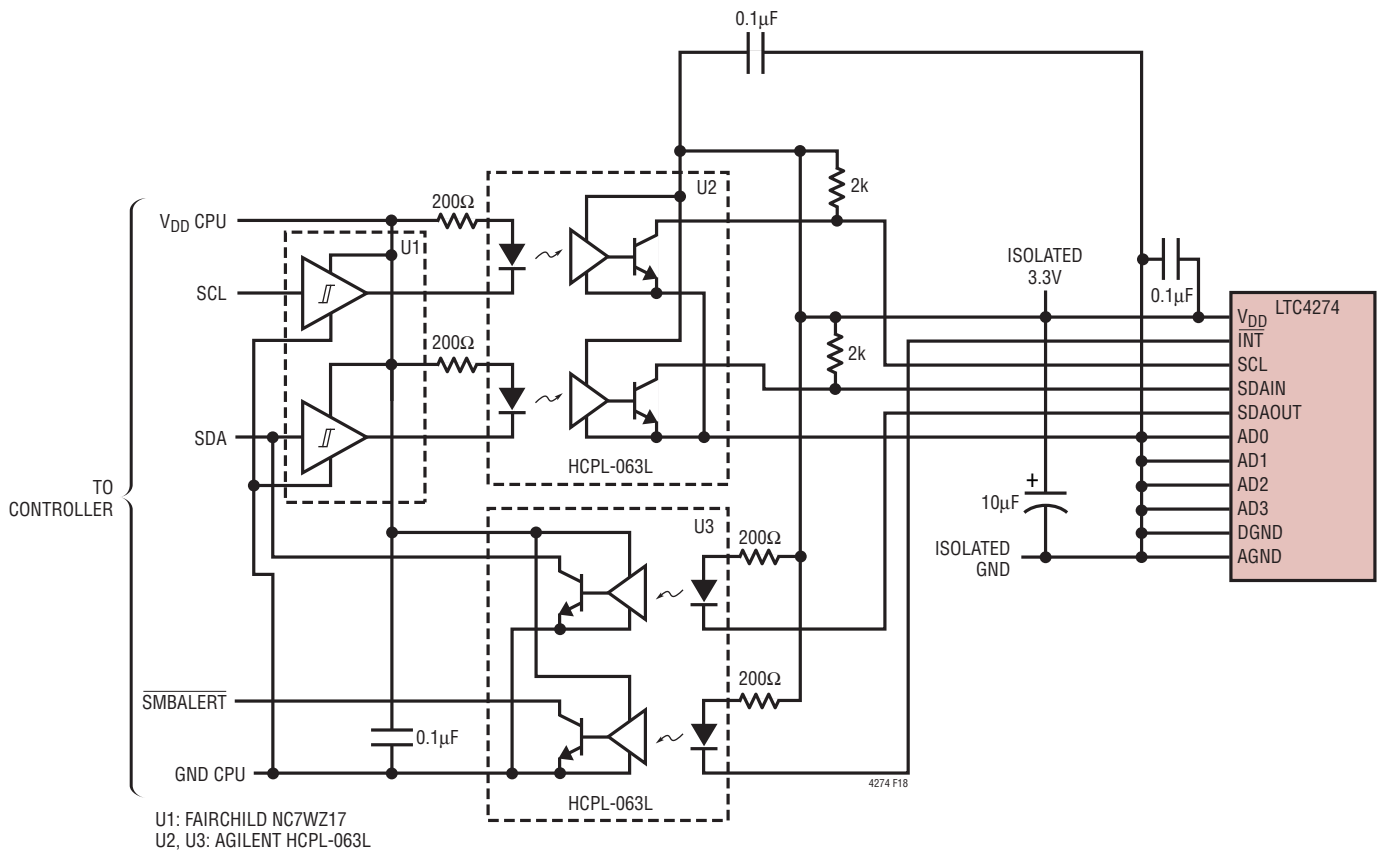


図 17. 正の V_{DD} 昇圧コンバータ

図18. I²Cバスのオプトアイソレーション

ム上の、1つの建物内にあるデバイスに接続されていれば、それらのセグメントを互いに絶縁する必要はありません。

小型PoEスイッチのような簡単なデバイスの場合、デバイス全体に絶縁型の主電源を使用することによって絶縁要件を満たすことができます。この方法は、デバイスがより対線イーサネット以外には電氣的に導通するポートを備えていない場合に使用できます。この場合、SDAINピンとSDAOUTピンは互いに接続可能で、標準的なI²C/SMBus SDAピンとして機能します。

このデバイスが大型のシステムの一部であったり、イーサネットに対応していない追加の外部ポートを備えていたり、あるいは、何か別の理由によって保護グランドを基準としなければならない場合、Power over Ethernetサブシステム(すべてのLTC4274を含む)をシステムの残りの部分から電氣的に絶縁する必要があります。標準的な絶縁型シリアル・インタフェースを図18に示します。LTC4274のSDAOUTピンは、オプトカ

プラの入力を直接ドライブするように設計されています。標準I²C/SMBus デバイスは通常、オプトカプラをドライブすることができないので、ホスト・コントローラ側からの信号をバッファするためにU1が使用されています。

外付け MOSFET

システムの信頼性にとってパワー MOSFET を注意深く選択することが重要です。弊社では、タイプ1とタイプ2のPSEアプリケーションで信頼性が確認されているFairchild社のIRFM120A、FDT3612、FDMC3612、またはPhilips社のPHT6NQ10Tを推奨しています。850mAのIEEEの最大規格を超える電流を供給する非標準のアプリケーションでは、放熱や他のMOSFETの設計を考慮する必要があります。これらの推奨デバイス以外のMOSFETを使用する場合は、弊社にお問い合わせください。

アプリケーション情報

センス抵抗

LTC4274は、 0.5Ω または 0.25Ω の電流センス抵抗を使用するように設計されています。新規設計では 0.25Ω を使って電力損失を低減することを推奨します。 0.5Ω のオプションは、LTC4274をLTC4258やLTC4259Aの当座の代替として使用する既存のシステムを対象としたものです。センス抵抗の値が小さくなると熱損失が小さくなります。1本の 0.25Ω 抵抗の代わりに、4本の一般的な 1Ω 抵抗(0402以上のパッケージ・サイズ)を並列接続して使用することができます。IEEE規格が要求する I_{CUT} と I_{LIM} の精度を達成するため、センス抵抗は許容誤差を $\pm 1\%$ 以下にし、温度係数を $\pm 200\text{ppm}/^\circ\text{C}$ 以下にします。

出力コンデンサ

ポートは、起動時や過負荷時の電流制限状態のときにLTC4274を安定に保つため、出力の両端に $0.22\mu\text{F}$ のコンデンサを必要とします。一般的なセラミック・コンデンサは多くの場合大きな電圧係数をもっています。つまり、印加電圧が上昇するに従って容量が減少します。この問題を最小限に抑えるためには、少なくとも 100V の定格のX7Rセラミック・コンデンサを推奨します。

ESD/ケーブル放電保護

それぞれ数千ボルトに充電されている可能性がある複数の長いデータ・ケーブルが低インピーダンスのRJ45ジャックに挿入されたとき、イーサネット・ポートは大きなESDの影響を受ける可能性があります。損傷から保護するため、一方をAGNDに、他方を V_{EE} に接続した1対のクランプ・ダイオードがポートに必要です(図10)。各LTC4274デバイスの V_{EE} からAGNDにサージ・サプレッサを追加する必要があります。ポートのこれらのダイオードは有害なサージを電源レールに誘導し、そこでサージ・サプレッサと V_{EE} のバイパス容量によってこれらのサージが吸収されます。サージ・サプレッサには、 V_{EE} 電源の過渡変動からLTC4274を保護するというもう1つの利点があります。

S1Bダイオードはポートのクランプ・ダイオードに適しており、SMAJ58Aまたは同等部品を V_{EE} のサージ・サプレッサとして推奨します。

レイアウトのガイドライン

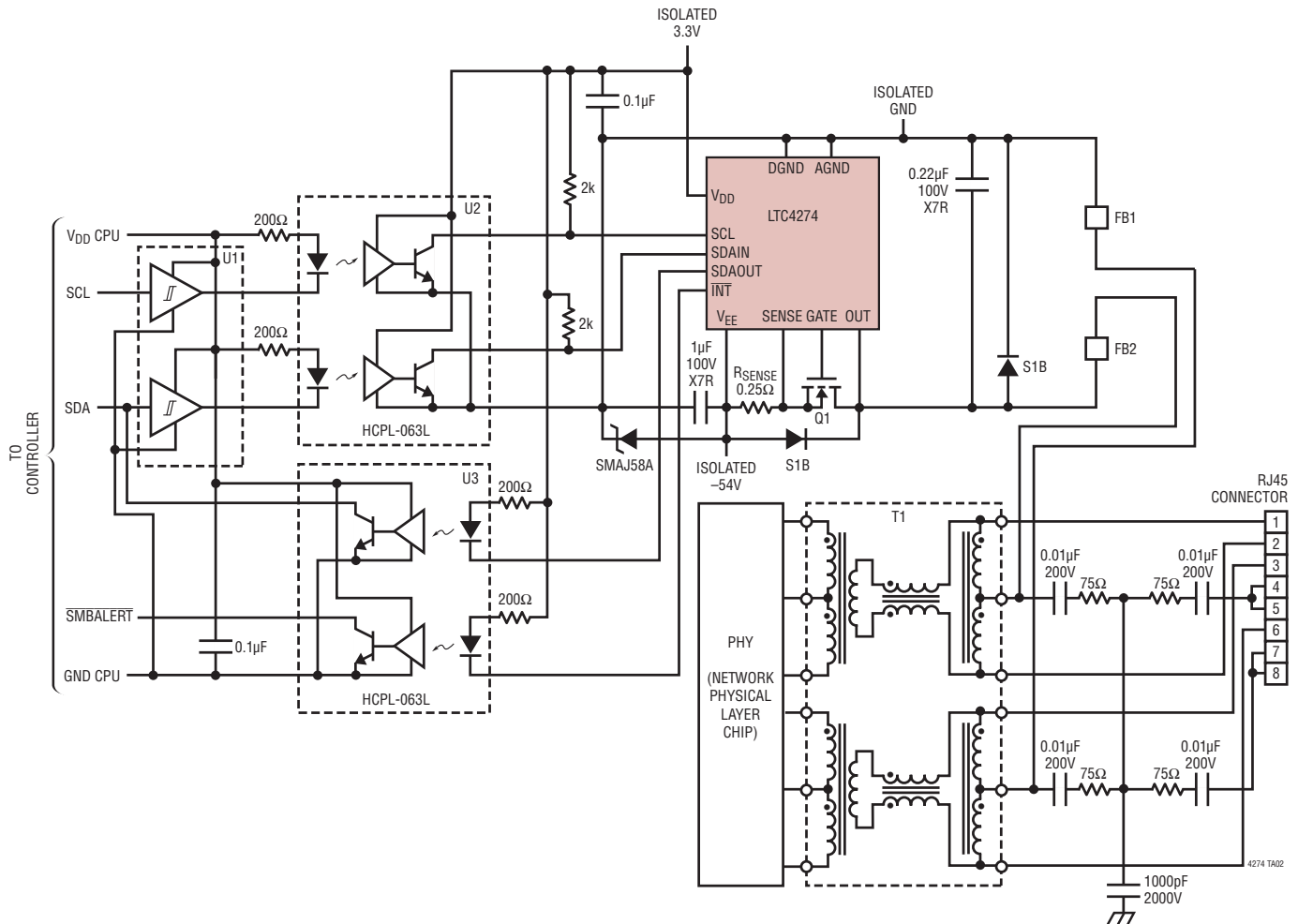
LTC4274には電源レイアウトの標準ガイドラインを適用します。 V_{DD} および V_{EE} 電源用のデカップリング・コンデンサをそれぞれの電源ピンの近くに配置し、グランド・プレーンを使用し、大きな電流が流れるところには幅の広いトレースを使用します。

改訂履歴

REV	日付	概要	ページ番号
A	4/11	データシート全体を改訂	1~28
B	6/11	「電気的特性」のセクションに t_{LIM} を独立した項目で追加し、 t_{CUT} と t_{DIS} の項目を改訂	5
		「標準的性能特性」のセクションのG17、G19、G21のグラフを改訂	9
		「ピン機能」のセクションのAUTOピンの説明を改訂	13
		「アプリケーション情報」セクションの「動作モード」、「電流制限」、「 I_{LIM} フォールドバック」、「MOSFETのフォールト検出」の細部を変更	18、20、21
		図16を差し替え	23
		「標準的応用例」を差し替え、「関連製品」を改訂	28
C	9/11	"-48 Supply Voltage"を"Main PoE Supply Voltage"に変更	3
		GATEの標準電圧を12Vに変更	3、12、20
		「デジタル・インタフェース」の V_{ILD} のテキストを改訂	4
		「分類電流コンプライアンス」の軸タイトルに(mA)を追加	7
		Figure number reference corrected.	18
		「電源とバイパス」の電源電圧の数字を改訂	22
D	1/12	ツェナー・ダイオードにSMAJ58Aを指定	28
		V_{ILD} の I^2C Input Low VoltageのMAX値を改訂	4
		AUTOピン・モードとリセット・ピンの関係を明確化	16

標準的応用例

1つの絶縁型受電イーサネット・ポート



関連製品

製品番号	説明	注釈
LT1619	低電圧電流モードPWMコントローラ	-48V ~ 3.3V/300mA, MSOPおよびSOパッケージ
LTC4265	IEEE 802.3at PD インタフェース・コントローラ	100V、1A スイッチを内蔵、2イベント分類を認識
LTC4266	IEEE 802.3at クワッドPSEコントローラ	IEEE 802.3at タイプ1およびタイプ2のPDに対応、チャネル抵抗: 0.34Ω、高度なパワーマネージメント、信頼性の高い4ポイントPD検出、高容量のレガシー・デバイスの検出
LTC4267	スイッチング・レギュレータ内蔵のIEEE 802.3af PD インタフェース・コントローラ	100V、400mA スイッチを内蔵、デュアル・レベル突入電流制限、プログラム可能なクラス
LTC4269-1	スイッチング・レギュレータ内蔵のIEEE 802.3at PD インタフェース・コントローラ	2イベント分類、プログラム可能な分類電流、同期整流式No-Optoフライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、補助電源サポート
LTC4269-2	スイッチング・レギュレータ内蔵のIEEE 802.3at PD インタフェース・コントローラ	2イベント分類、プログラム可能な分類電流、同期整流式フォワードコントローラ、スイッチング周波数: 100kHz ~ 500kHz、補助電源サポート
LTC4278	スイッチング・レギュレータ内蔵のIEEE 802.3at PD インタフェース	2イベント分類、プログラム可能な分類電流、同期整流式No-Optoフライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、12Vの補助電源サポート
LTC4270/ LTC4271	12ポート PoE/PoE+/LTPoE++™ PSEコントローラ	トランスによる絶縁、タイプ1、タイプ2、およびLTPoE++のPDに対応

4274fd