

### 特長

- 12の独立したPSEチャンネル
- IEEE 802.3at タイプ1およびタイプ2に準拠
- 電氣的絶縁を実現するチップセット
  - BOM(部品表)コストを削減
  - 最多6個の高速オプトカプラが不要
  - 絶縁型3.3V電源が不要
- 低消費電力
  - センス抵抗: 0.25Ω/チャンネル
- 信頼性の高い4ポイントPD検出
  - 2ポイントの強制電圧
  - 2ポイントの強制電流
- V<sub>EE</sub>およびV<sub>PORT</sub>のモニタリング
- 1秒のポート電流の移動平均化
- 2ペアおよび4ペアの出力電力をサポート
- 1MHzのI<sup>2</sup>C 互換シリアル制御インタフェース
- 3つの電力グレード
  - Aグレード – LTPoE++™: 38.7W~90W
  - Bグレード – PoE+: 25.5W
  - Cグレード – PoE: 13W
- 52ピン7mm×8mm(LTC4270)および24ピン4mm×4mm(LTC4271)QFNパッケージ

### アプリケーション

- PoE PSEスイッチ/ルータ
- PoE PSEミッドスパン

### 概要

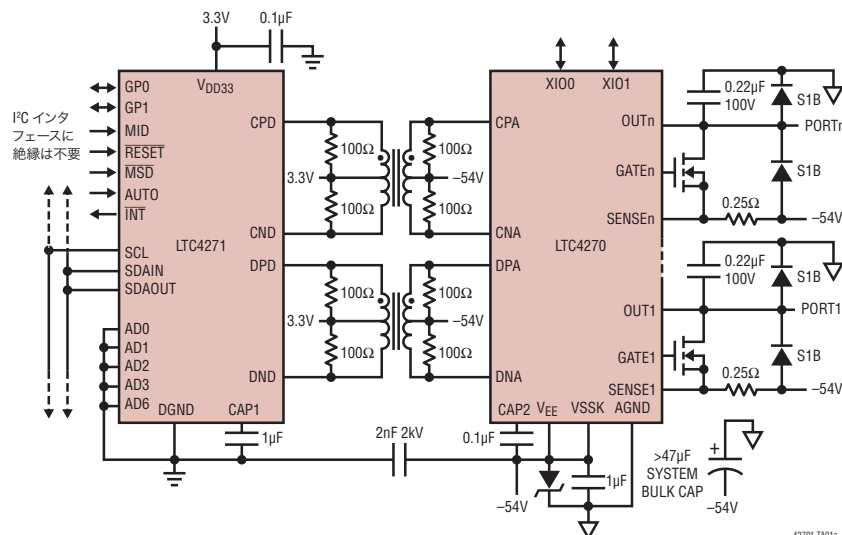
LTC®4270/LTC4271 チップセットは、IEEE 802.3at タイプ1およびタイプ2(高電力)準拠のPower over Ethernet (PoE)システム向けに設計された12ポートPower Sourcing Equipment (PSE: 給電装置)コントローラです。高価なオプトカプラと複雑な絶縁型3.3V電源に代わり、トランスで絶縁された通信プロトコルを使用しているため、BOMコストが大幅に削減されます。また、LTC4270/LTC4271 チップセットは、R<sub>DS(ON)</sub>の小さいMOSFETと0.25Ωのセンス抵抗を外付けすることで、熱損失を業界最小に抑えています。

高度なパワーマネジメント機能として、ポートごとの12ビットの電流モニタリングADC、DACでプログラム可能な電流制限、多用途に使える予め選択されたポートの高速シャットダウン機能を備えています。高度なパワーマネジメント・ホスト・ソフトウェアの無料ライセンスを提供中です。PDの検出は、独自のデュアルモード4ポイント検出メカニズムを使用して行われ、PDの検出誤りを最大限防止できます。ミッドスパンPSEは、2イベント分類と2秒のバックオフ・タイマでサポートされています。LTC4270/LTC4271は最大1MHzまで動作可能なI<sup>2</sup>Cシリアル・インタフェースを内蔵しています。

LTC4270/LTC4271には複数の電力グレードがあり、最大90Wの電力をPDに供給できます。

LT、LT、LTC、LTM、Burst Mode、Linear Technologyおよびリニアのロゴはリニアテクノロジー社の登録商標です。LTPoE++はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

### 標準的応用例



LTC4270/LTC4271 ファミリー

LTC4270のグレード	絶縁	LTPoE++	PoE+	PoE	最大供給電力
A	トランス	●	●	●	90W
B	トランス		●	●	25.5W
C	トランス			●	13W

# LTC4270/LTC4271

---

## 絶対最大定格 (LTC4270)

(Note 1, Note 4)

### 電源電圧

AGND - V<sub>EE</sub> ..... -0.3V ~ 80V

VSSK (Note 7) ..... (V<sub>EE</sub> - 0.3V) ~ (V<sub>EE</sub> + 0.3V)

### デジタル・ピン

XIO<sub>n</sub> ..... (V<sub>EE</sub> - 0.3V) ~ (CAP2 + 0.3V)

### アナログ・ピン

SENSE<sub>n</sub>, GATE<sub>n</sub>, OUT<sub>n</sub> ..... (V<sub>EE</sub> - 0.3V) ~ (V<sub>EE</sub> + 80V)

CAP2 (Note 13) ..... (V<sub>EE</sub> - 0.3V) ~ (V<sub>EE</sub> + 5V)

CPA, CNA, DPA, DNA ..... (V<sub>EE</sub> - 0.3V) ~ (V<sub>EE</sub> + 0.3)

### 動作周囲温度範囲

LTC4270I ..... -40°C ~ 85°C

接合部温度 (Note 2) ..... 125°C

保存温度範囲 ..... -65°C ~ 150°C

---

## 絶対最大定格 (LTC4271)

(Note 1)

### 電源電圧

V<sub>DD</sub> - DGND ..... -0.3V ~ 3.6V

### デジタル・ピン

SCL, SDA<sub>IN</sub>, SDA<sub>OUT</sub>, INT, RESET, MSD, AD<sub>n</sub>, AUTO,

MID, GP<sub>n</sub> ..... (DGND - 0.3V) ~ (V<sub>DD</sub> + 0.3V)

### 動作周囲温度範囲

LTC4271I ..... -40°C ~ 85°C

### アナログ・ピン

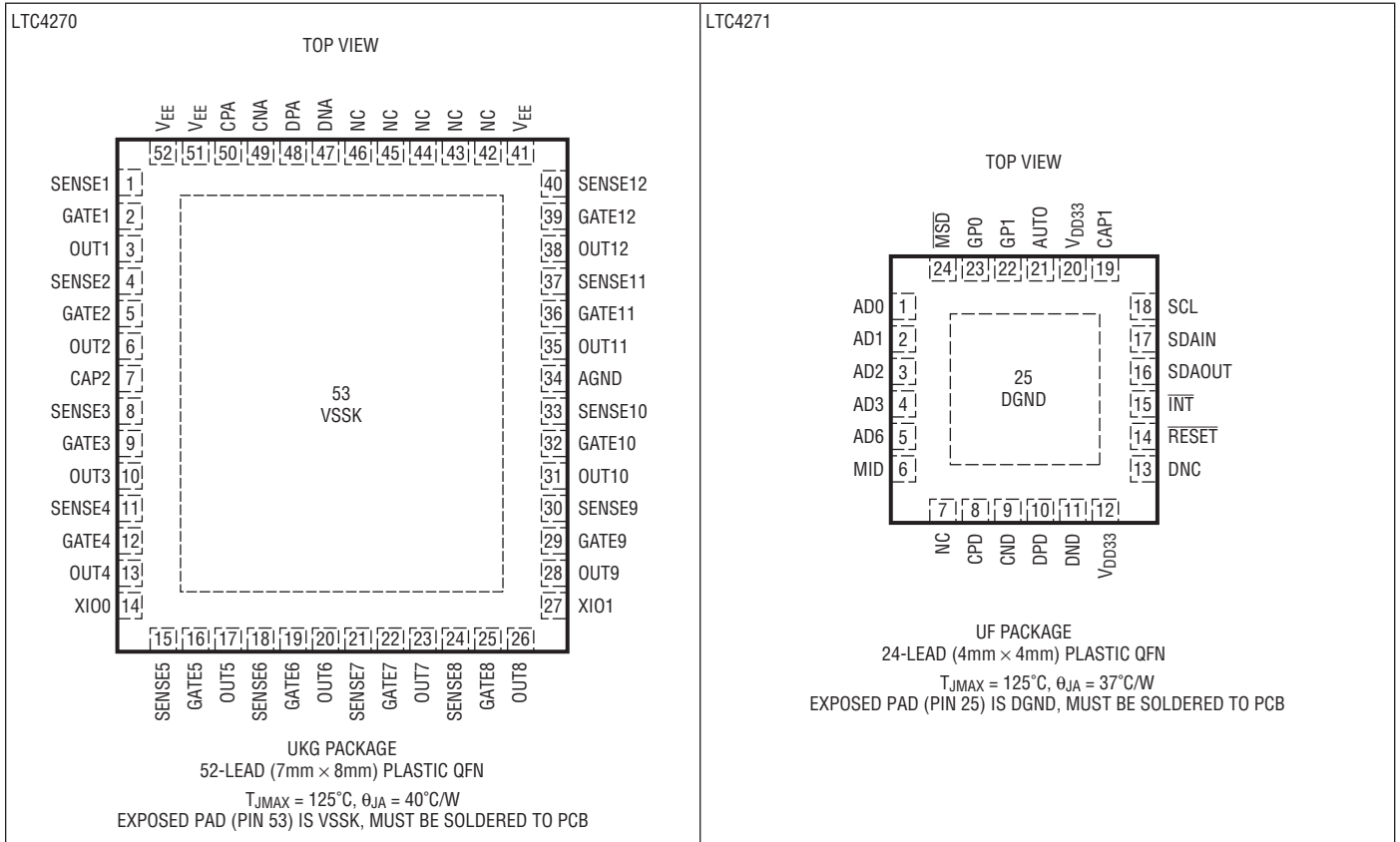
CAP1 (Note 13) ..... -0.3V ~ (DGND + 2V)

CPD, CND, DPD, DND ..... (DGND - 0.3) ~ (V<sub>DD</sub> + 0.3)

接合部温度 (Note 2) ..... 125°C

保存温度範囲 ..... -65°C ~ 150°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	最大電力	温度範囲
LTC4271IUF#PBF	LTC4271IUF#TRPBF	4271	24-Lead (4mm × 4mm) Plastic QFN		-40°C to 85°C
LTC4270AIUKG#PBF	LTC4270AIUKG#TRPBF	LTC4270AUKG	52-Lead (7mm × 8mm) Plastic QFN	90W	-40°C to 85°C
LTC4270BIUKG#PBF	LTC4270BIUKG#TRPBF	LTC4270BUKG	52-Lead (7mm × 8mm) Plastic QFN	25.5W	-40°C to 85°C
LTC4270CIUKG#PBF	LTC4270CIUKG#TRPBF	LTC4270CUKG	52-Lead (7mm × 8mm) Plastic QFN	13W	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

# LTC4270/LTC4271

**電気的特性** ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND}-V_{EE}=54\text{V}$ 、 $V_{DD}-\text{DGND}=3.3\text{V}$ 。(Note 3および Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{EE}$	Main PoE Supply Voltage	AGND – $V_{EE}$	●	45	57	V	
		For IEEE Type 1 Compliant Output	●	51	57	V	
		For IEEE Type 2 Compliant Output For LTPOE++ Compliant Output	●	54.75	57	V	
	Undervoltage Lock-Out	AGND – $V_{EE}$	●	20	25	30	V
$V_{DD}$	$V_{DD}$ Supply Voltage	$V_{DD} - \text{DGND}$	●	3.0	3.3	3.6	V
	Undervoltage Lock-Out	$V_{DD} - \text{DGND}$			2.7		V
$V_{CAP1}$	Internal Regulator Supply Voltage	$V_{CAP1} - \text{DGND}$		1.84		V	
$V_{CAP2}$	Internal Regulator Supply Voltage	$V_{CAP2} - V_{EE}$		4.3		V	
$I_{EE}$	$V_{EE}$ Supply Current	(AGND – $V_{EE}$ ) = 55V	●	9	15	mA	
$R_{EE}$	$V_{EE}$ Supply Resistance	$V_{EE} < 15\text{V}$	●		12	$\text{k}\Omega$	
$I_{DD}$	$V_{DD}$ Supply Current	( $V_{DD} - \text{DGND}$ ) = 3.3V	●	10	15	mA	

## 検出

	Detection Current – Forced Current	First Point, AGND – $V_{OUTn} = 9\text{V}$ Second Point, AGND – $V_{OUTn} = 3.5\text{V}$	● ●	220 143	240 160	260 180	$\mu\text{A}$ $\mu\text{A}$
	Detection Voltage – Forced Voltage	AGND – $V_{OUTn}$ , $5\mu\text{A} \leq I_{OUTn} \leq 500\mu\text{A}$ First Point Second Point	● ●	7 3	8 4	9 5	V V
	Detection Current Compliance	AGND – $V_{OUTn} = 0\text{V}$	●		0.8	0.9	mA
$V_{OC}$	Detection Voltage Compliance	AGND – $V_{OUTn}$ , Open Port	●		10.4	12	V
	Detection Voltage Slew Rate	AGND – $V_{OUTn}$ , $C_{PORT} = 0.15\mu\text{F}$	●			0.01	$\text{V}/\mu\text{s}$
	Min. Valid Signature Resistance		●	15.5	17	18.5	$\text{k}\Omega$
	Max. Valid Signature Resistance		●	27.5	29.7	32	$\text{k}\Omega$

## 分類

$V_{CLASS}$	Classification Voltage	AGND – $V_{OUTn}$ , $0\text{mA} \leq I_{OUTn} \leq 50\text{mA}$	●	16.0		20.5	V
	Classification Current Compliance	$V_{OUTn} = \text{AGND}$	●	53	61	67	mA
	Classification Threshold Current	Class 0-1	●	5.5	6.5	7.5	mA
		Class 1-2	●	13.5	14.5	15.5	mA
		Class 2-3	●	21.5	23	24.5	mA
		Class 3-4	●	31.5	33	34.9	mA
		Class 4-Overcurrent	●	45.2	48	50.8	mA
$V_{MARK}$	Classification Mark State Voltage	AGND – $V_{OUTn}$ , $0.1\text{mA} \leq I_{CLASS} \leq 5\text{mA}$	●	7.5	9	10	V
	Mark State Current Compliance	$V_{OUTn} = \text{AGND}$	●	53	61	67	mA

## ゲート・ドライバ

	GATE Pin Pull-Down Current	Port Off, $V_{GATEn} = V_{EE} + 5\text{V}$	●	0.4			mA
		Port Off, $V_{GATEn} = V_{EE} + 1\text{V}$	●	0.08	0.12		mA
	GATE Pin Fast Pull-Down Current	$V_{GATEn} = V_{EE} + 5\text{V}$			30		mA
	GATE Pin On Voltage	$V_{GATEn} - V_{EE}$ , $I_{GATEn} = 1\mu\text{A}$	●	8	12	14	V

## 出力電圧の検出

$V_{PG}$	Power Good Threshold Voltage	$V_{OUTn} - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	$0\text{V} \leq (\text{AGND} - V_{OUT}) \leq 5\text{V}$	●	300	500	700	$\text{k}\Omega$

**電気的特性** ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND}-V_{EE}=54\text{V}$ 、 $V_{DD}-\text{DGND}=3.3\text{V}$ 。(Note 3および Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{\text{CUT}}$	Overcurrent Sense Voltage	$V_{\text{SENSEn}} - V_{EE}$ , $\text{hpen} = 0\text{Fh}$ , $\text{cutn} = \text{D4h}$	●	89	94	99	mV
		$\text{hpen} = 0\text{Fh}$ , $\text{cutn} = \text{E2h}$ (Note 12)	●	152	159	168	mV
	Overcurrent Sense in AUTO Pin Mode	Class 0, Class 3	●	89	94	99	mV
		Class 1	●	26	28	30	mV
		Class 2	●	49	52	55	mV
		Class 4	●	152	159	168	mV
$V_{\text{LIM}}$	Active Current Limit in 802.3af Compliant Mode	$V_{\text{SENSEn}} - V_{EE}$ , $\text{hpen} = 0\text{Fh}$ , $\text{limn} = 80\text{h}$ , $\text{AGND}-V_{EE} = 55\text{V}$ $V_{EE} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$ (Note 12)	●	102	106	112	mV
			●	25		50	mV
	Active Current Limit in High Power Mode	$\text{hpen} = 0\text{Fh}$ , $\text{limn} = \text{C0h}$ , $\text{AGND}-V_{EE} = 55\text{V}$ $V_{\text{OUT}} - V_{EE} = 0 - 10\text{V}$ $V_{EE} + 23\text{V} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$ (Note 12)	●	204	212	225	mV
		●	102	106	115	mV	
		●	25		50	mV	
	Active Current Limit in AUTO Pin Mode	$V_{EE} < V_{\text{OUT}} < \text{AGND} - 10\text{V}$ , $\text{AGND}-V_{EE} = 55\text{V}$ Class 0 to Class 3	●	102	106	112	mV
		Class 4	●	204	212	225	mV
$V_{\text{MIN}}$	DC Disconnect Sense Voltage	$V_{\text{SENSE}} - V_{EE}$ , $\text{rdis Bit} = 0$	●	2.6	3.8	4.9	mV
		$V_{\text{SENSE}} - V_{EE}$ , $\text{rdis Bit} = 1$ (Note 12)	●	1.3	1.9	2.45	mV
$V_{\text{SC}}$	Short-Circuit Sense	$V_{\text{SENSEn}} - V_{EE} - V_{\text{LIM}}$ (Note 12) $\text{rdis Bit} = 0$	●	125	200	255	mV
		$\text{rdis bit} = 1$	●	70	100	125	mV

#### ポート電流の読み出し

	Resolution	No Missing Codes, Reported as 14-Bits		12		Bits
	LSB Weight	$V_{\text{SENSEn}} - V_{EE}$		30.518		$\mu\text{V}/\text{LSB}$
	Conversion Period			25.1		ms/ Convert

#### ポート電圧の読み出し

	Resolution	No Missing Codes, Reported as 14-Bits		12		Bits
	LSB Weight	$V_{\text{SENSEn}} - V_{EE}$		5.8350		mV/LSB

#### デジタル・インタフェース

$V_{\text{ILD}}$	Digital Input Low Voltage	$\text{ADn}$ , $\overline{\text{RESET}}$ , $\overline{\text{MSD}}$ , $\text{GPn}$ , $\text{AUTO}$ , $\text{MID}$ (Note 6)	●		0.8	V
	I <sup>2</sup> C Input Low Voltage	$\text{SCL}$ , $\text{SDAIN}$ (Note 6)	●		1.0	V
$V_{\text{IHD}}$	Digital Input High Voltage	(Note 6)	●	2.2		V
	Digital Output Voltage Low	$\text{ISDAOUT} = 3\text{mA}$ , $\text{IINT} = 3\text{mA}$ $\text{ISDAOUT} = 5\text{mA}$ , $\text{IINT} = 5\text{mA}$	● ●		0.4 0.7	V V
	Internal Pull Up to $V_{\text{DD}}$	$\text{ADn}$ , $\overline{\text{RESET}}$ , $\overline{\text{MSD}}$ , $\text{GPn}$			50	$\text{k}\Omega$
	Internal Pull Down To $\text{DGND}$	$\text{AUTO}$ , $\text{MID}$			50	$\text{k}\Omega$

# LTC4270/LTC4271

**電気的特性** ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND}-V_{EE}=54\text{V}$ 、 $V_{DD}-\text{DGND}=3.3\text{V}$ 。(Note 3および Note 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>XIO</b>							
$V_{OLX}$	XIO Digital Output Low	$V_{XIO_n} - V_{EE}$ , $I_{XIO_n} = 5\text{mA}$	●			0.7	V
$V_{OHX}$	XIO Digital Output High	$V_{XIO_n} - V_{EE}$ , $I_{XIO_n} = 100\mu\text{A}$	●	3.5			V
	XIO Digital Input Low Voltage	$V_{XIO_n} - V_{EE}$	●			0.8	V
	XIO Digital Input High Voltage	$V_{XIO_n} - V_{EE}$	●	3.4			V
	Internal Pull Up to CAP2	XIO0, XIO1			50		$\text{k}\Omega$
<b>PSEのタイミング特性</b>							
$t_{DET}$	Detection Time	Beginning To End of Detection (Note 7)			220		ms
$t_{CLE}$	Class Event Duration	(Note 7)			12		ms
$t_{CLEON}$	Class Event Turn On Duration	$C_{PORT} = 0.6\mu\text{F}$ (Note 7)	●			0.1	ms
$t_{ME}$	Mark Event Duration	(Note 7, Note 11)			8.6		ms
$t_{MEL}$	Last Mark Event Duration	(Note 7, Note 11)	●	16	22		ms
$t_{PON}$	Power On Delay in AUTO Pin Mode	From End of Valid Detect to Application of Power to Port (Note 7)	●			60	ms
	Turn-On Rise Time	( $\text{AGND} - V_{OUT}$ ): 10% to 90% of ( $\text{AGND} - V_{EE}$ ) $C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●	15	24		$\mu\text{s}$
	Turn-On Ramp Rate	$C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●			10	$\text{V}/\mu\text{s}$
$t_{TOCL}$	Turn-On Class Transition	$C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●			0.1	ms
$t_{ED}$	Fault Delay	From $I_{CUT}$ or $I_{LIM}$ Fault to Next Detect (Note 7)	●	1.0	1.1		s
	Midspan Mode Detection Backoff	$R_{PORT} = 15.5\text{k}\Omega$ (Note 7)	●	2.3	2.5	2.7	s
	Power Removal Detection Delay	From Power Removal After $t_{DIS}$ to Next Detect (Note 7)	●	1.0	1.3	2.5	s
$t_{START}$	Maximum Current Limit Duration During Port Start-Up	(Note 7)	●	52	59	66	ms
$t_{CUT}$	Maximum Overcurrent Duration After Port Start-Up	(Note 7)	●	52	59	66	ms
	Maximum Overcurrent Duty Cycle	(Note 7)	●	5.8	6.3	6.7	%
$t_{LIM}$	Maximum Current Limit Duration After Port Start-Up – $t_{LIM}$ Enabled	$t_{LIM} = 1$ (Note 7, Note 12)	●	10	12	14	ms
	Maximum Current Limit Duration After Port Start-Up – $t_{LIM}$ as $t_{CUT}$	$t_{LIM} = 0$ (Note 7, Note 12)	●	52	59	66	ms
$t_{MPS}$	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Note 7, Note 8)	●	1.6		3.6	ms
$t_{DIS}$	Maintain Power Signature (MPS) Dropout Time	(Note 7, Note 5)	●	320	350	380	ms
$t_{MSD}$	Masked Shut Down Delay	(Note 7)				6.5	$\mu\text{s}$
	$I^2\text{C}$ Watchdog Timer Duration	(Note 7)	●	1.5	2	3	s
	Minimum Pulse Width for Masked Shut Down	(Note 7)	●	3			$\mu\text{s}$
	Minimum Pulse Width for $\overline{\text{RESET}}$	(Note 7)	●	4.5			$\mu\text{s}$

**電気的特性** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。注記がない限り、 $\text{AGND}-V_{EE}=54\text{V}$ 、 $V_{DD}-\text{DGND}=3.3\text{V}$ 。(Note 3および Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>I<sup>2</sup>C タイミング</b>						
f <sub>SCLK</sub>	Clock Frequency	(Note 7)	●		1	MHz
t <sub>1</sub>	Bus Free Time	Figure 5 (Notes 7, 9)	●	480		ns
t <sub>2</sub>	Start Hold Time	Figure 5 (Notes 7, 9)	●	240		ns
t <sub>3</sub>	SCL Low Time	Figure 5 (Notes 7, 9)	●	480		ns
t <sub>4</sub>	SCL High Time	Figure 5 (Notes 7, 9)	●	240		ns
t <sub>5</sub>	SDAIN Data Hold Time	Figure 5 (Notes 7, 9)	●	60		ns
t <sub>5</sub>	Data Clock to SDAOUT Valid	Figure 5 (Notes 7, 9)	●		130	ns
t <sub>6</sub>	Data Set-Up Time	Figure 5 (Notes 7, 9)	●	80		ns
t <sub>7</sub>	Start Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t <sub>8</sub>	Stop Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t <sub>r</sub>	SCL, SDAIN Rise Time	Figure 5 (Notes 7, 9)	●		120	ns
t <sub>f</sub>	SCL, SDAIN Fall Time	Figure 5 (Notes 7, 9)	●		60	ns
	Fault Present to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		150	ns
	Stop Condition to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		1.5	μs
	ARA to $\overline{\text{INT}}$ Pin High Time	(Notes 7, 9)	●		1.5	μs
	SCL Fall to ACK Low	(Notes 7, 9)	●		130	ns

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。(V<sub>DD</sub>-DGND)を除き、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** このデバイスには短時間の過負荷状態の間デバイスを保護するための過温度保護機能が備わっている。過温度保護機能がアクティブなとき接合部温度は140°Cを超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがある。

**Note 3:** ピンに流れ込む電流は全て正。ピンから流れ出る電流は全て負。

**Note 4:** LTC4270はAGNDを基準にして負電源電圧で動作する。混乱を避けるため、このデータシートの電圧は絶対値で表示されている。

**Note 5:** t<sub>DIS</sub>はIEEE 802.3af標準規格で規定されたt<sub>MPO</sub>と同じである。

**Note 6:** LTC4271のデジタル・インタフェースはDGNDを基準にして動作する。すべてのロジック・レベルはDGNDを基準にして測定される。

**Note 7:** 設計によって保証されているが、テストされない。

**Note 8:** IEEE 802.3afの規定では、PDが切斷されることなくそのMaintain Power Signature (MPS)を間欠的に出力するのを許容している。電力供給を受け続けるには、PDほどのt<sub>MPO</sub>の時間ウィンドウ内でもt<sub>MPS</sub>の間MPSを出力しなければならない。

**Note 9:** V<sub>ILD</sub>およびV<sub>IHD</sub>で測定された値。

**Note 10:** I<sup>2</sup>Cトランザクションの進行中にフォールト状態が発生した場合、I<sup>2</sup>CバスにSTOP条件が送信されるまでINTピンは引き下げられない。

**Note 11:** マーク・イベントでのLTC4270の負荷特性:  $7\text{V} < (\text{AGND} - V_{\text{OUTn}}) < 10\text{V}$ またはI<sub>OUT</sub> < 50μA。

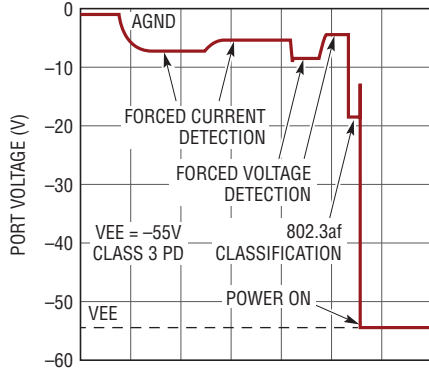
**Note 12:** シリアル・バスの使用およびデバイスの設定レジスタと状態レジスタの詳細については、LTC4271のソフトウェア・プログラミング・マニュアルを参照。

**Note 13:** CAP1およびCAP2から電流をソースまたはシンクしてはならない。

# LTC4270/LTC4271

## 標準的性能特性

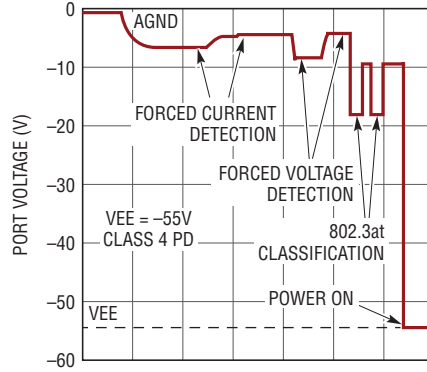
802.3af のパワーオン・シーケンス (AUTOピン・モード)



50ms/DIV

42701 G01

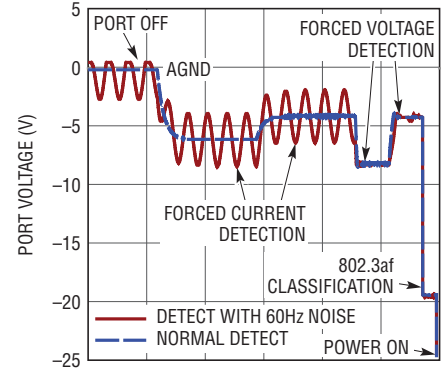
802.3at のパワーオン・シーケンス (AUTOピン・モード)



50ms/DIV

42701 G02

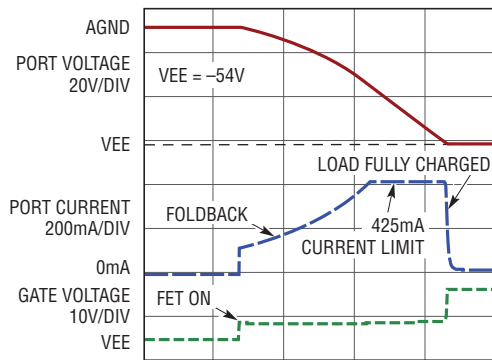
10Vpp の 60Hz ノイズでのパワーオン・シーケンス



50ms/DIV

42701 G03

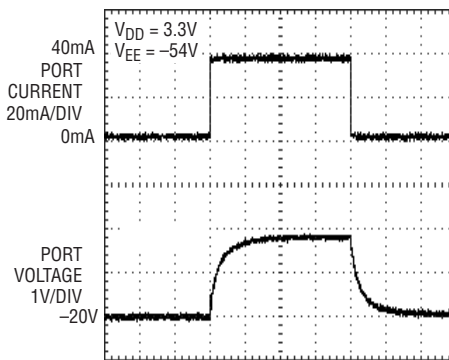
180μF の負荷に対するパワーアップ



5ms/DIV

42701 G04

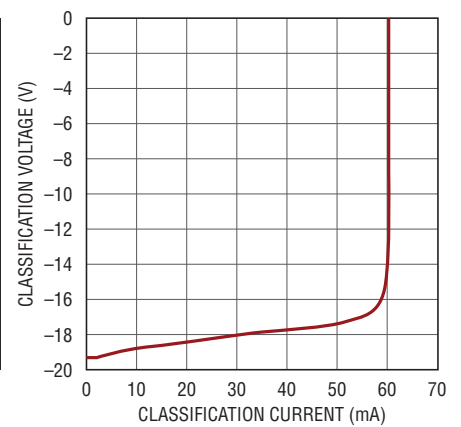
40mA の負荷ステップに対する分類過渡応答



50μs/DIV

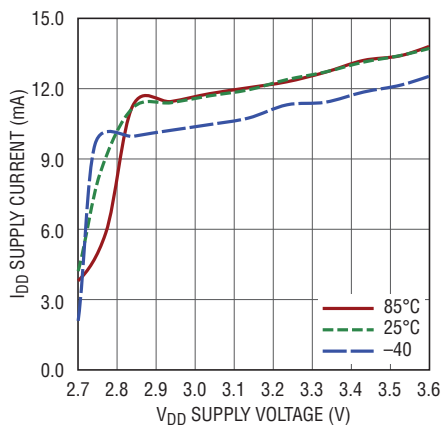
42701 G05

分類電流のコンプライアンス



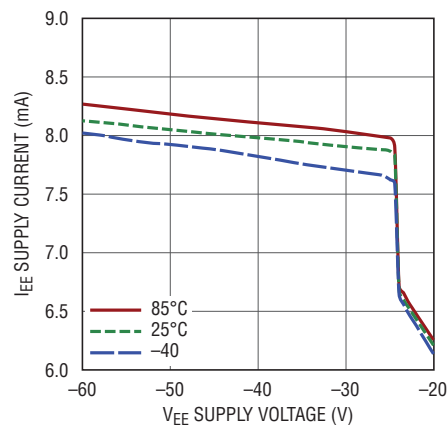
42701 G06

V<sub>DD</sub> の消費電流と電圧



42701 G07

V<sub>EE</sub> の消費電流と電圧



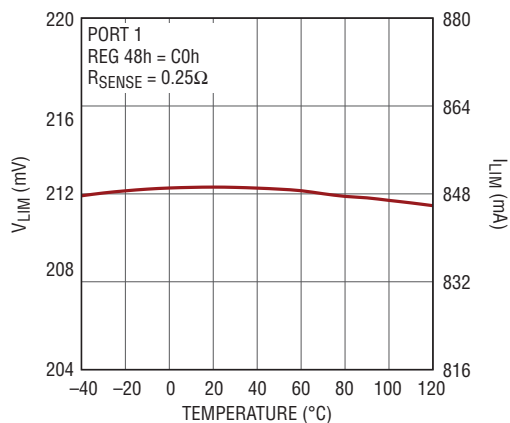
42701 G08

42701fc



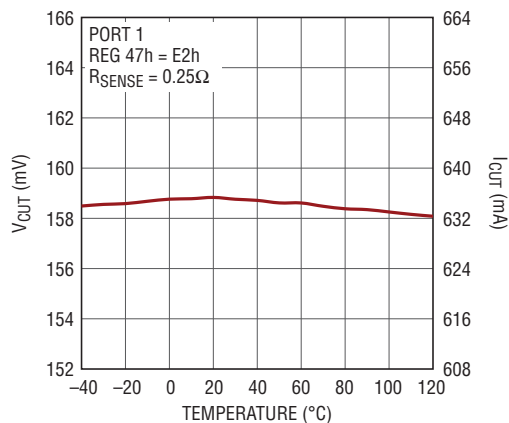
## 標準的性能特性

802.3atの $I_{LIM}$ スレッシュホールドと温度



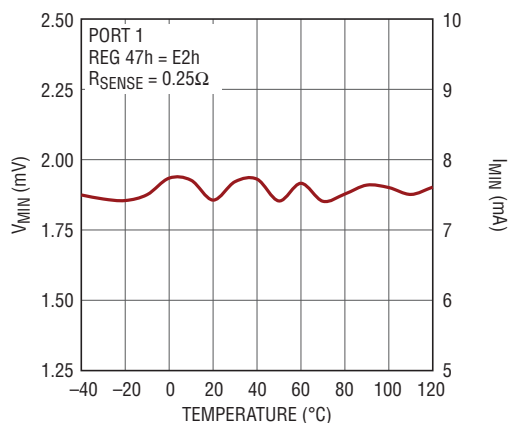
42701 G09

802.3atの $I_{CUT}$ スレッシュホールドと温度



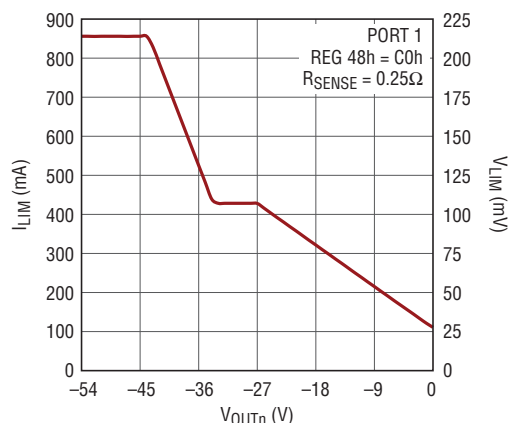
42701 G10

DC切断のスレッシュホールドと温度



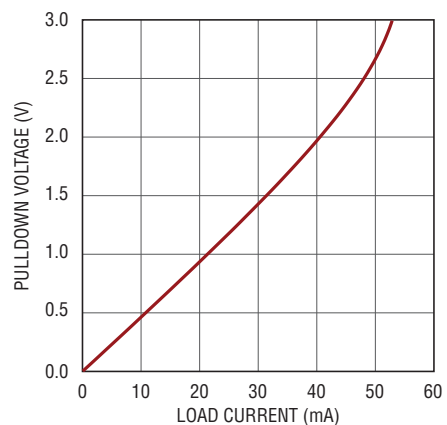
42701 G11

802.3atの電流制限フォールドバック



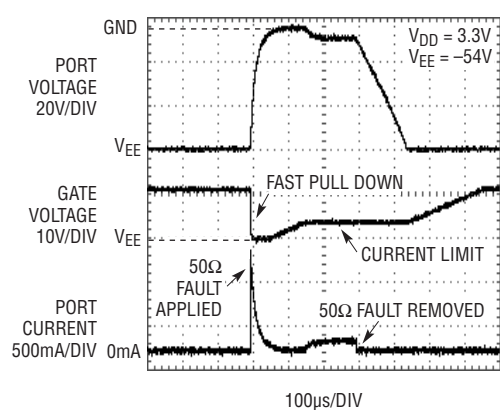
42701 G12

$\overline{INT}$ およびSDAOUTのプルダウン  
電圧と負荷電流



42701 G13

高速プルダウン付きMOSFETゲート・  
ドライブ



42701 G14

## テスト・タイミング図

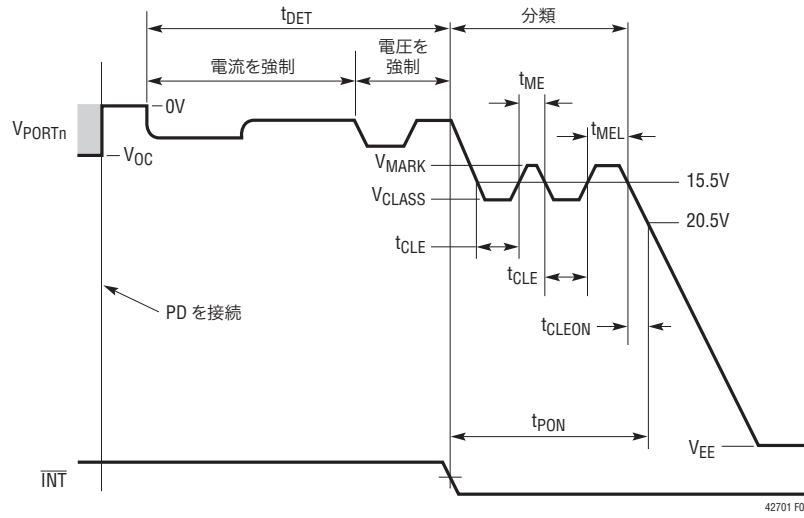


図1. AUTOピン・モードまたは半自動モードでの検出、分類、ターンオンのタイミング

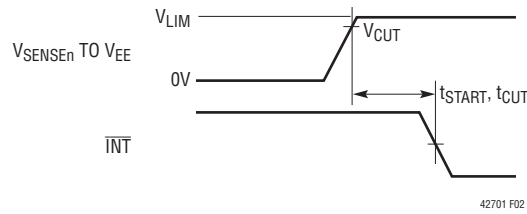


図2. 電流制限のタイミング

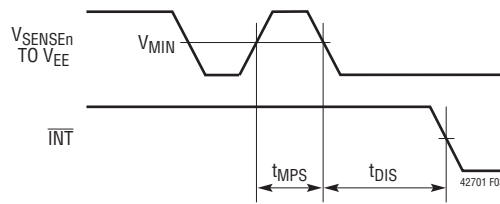


図3. DC切断のタイミング

## テスト・タイミング図

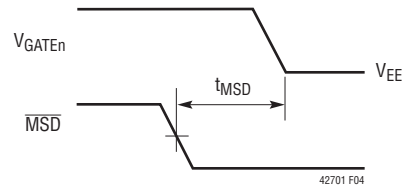
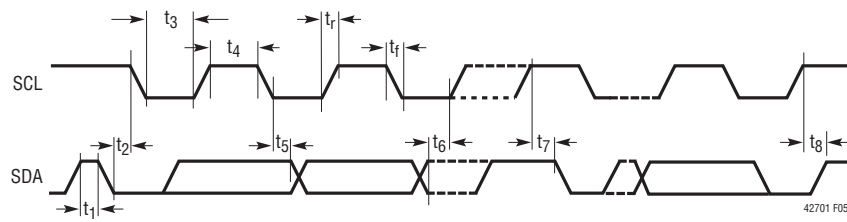


図4. シャットダウン遅延のタイミング

図5. I<sup>2</sup>C インタフェースのタイミング

## I<sup>2</sup>C タイミング図

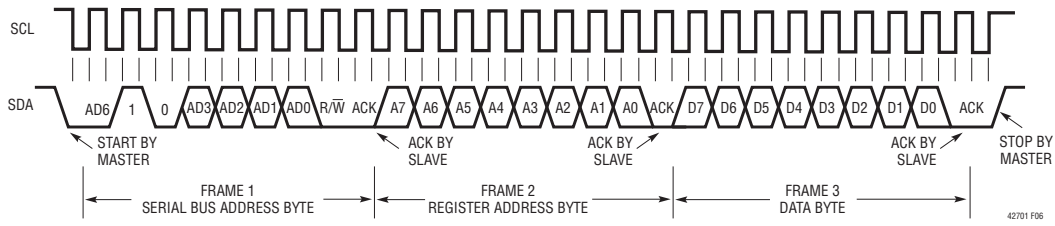


図6. レジスタへの書き込み

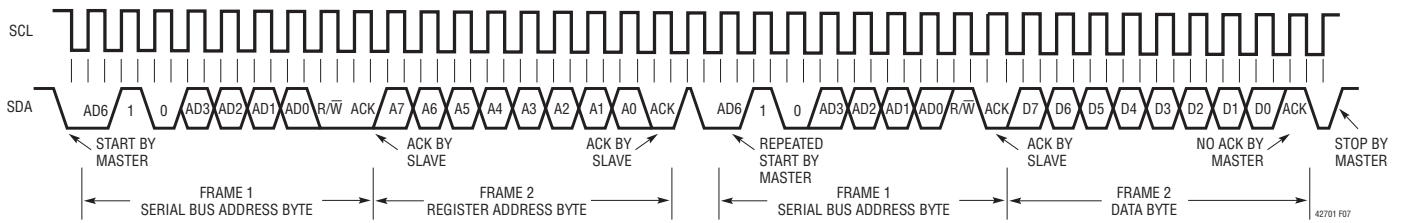


図7. レジスタからの読み出し

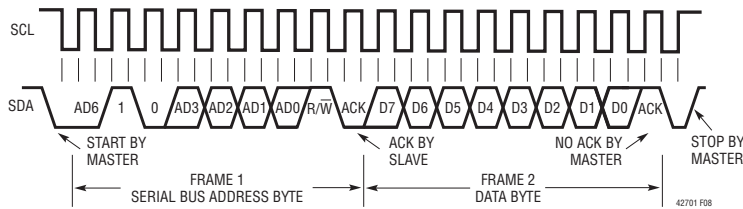


図8. 割り込みレジスタの読み出し(ショートフォーム)

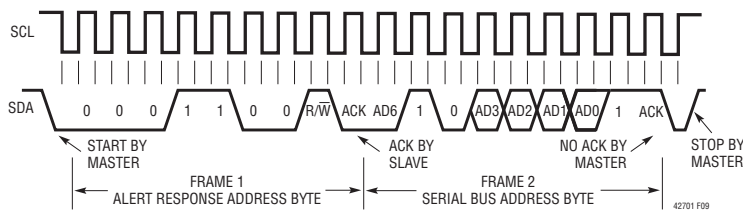


図9. アラート応答アドレスからの読み出し

## ピン機能

### LTC4270

**SENSEn (ピン 1、4、8、11、15、18、21、24、30、33、37、40) :** ポート n の電流検出入力。SENSEn は、SENSEn と  $V_{EE}$  間の  $0.5\Omega$  または  $0.25\Omega$  のセンス抵抗を介して外付け MOSFET の電流をモニタします。センス抵抗の両端の電圧が過電流検出スレッショルド  $V_{CUT}$  を超えるたびに、電流制限フォールト・タイマがカウントアップします。センス抵抗両端の電圧が電流制限スレッショルド  $V_{LIM}$  に達すると、GATEn ピンの電圧が下がり、外付け MOSFET の電流を一定に保ちます。詳細については「アプリケーション情報」を参照してください。ポート n を使用しない場合は、SENSEn ピンを  $V_{EE}$  に接続する必要があります。

**GATEn (ピン 2、5、9、12、16、19、22、25、29、32、36、39) :** ポート n のゲート・ドライブ。GATEn はポート n の外付け MOSFET のゲートに接続します。MOSFET をオンするとき、ゲート電圧は  $V_{EE}$  より 12V (標準) 高い電圧にドライブされます。電流制限状態の間、GATEn の電圧が低下して外付け MOSFET を流れる電流を一定に保ちます。フォールト・タイマが終了すると、GATEn はプルダウンされ、MOSFET がオフして、ポート・フォールト・イベントが記録されます。ポート n を使用しない場合は、GATEn ピンをフロート状態にします。

**OUTn (ピン 3、6、10、13、17、20、23、26、28、31、35、38) :** ポート n の出力電圧モニタ。OUTn は出力ポートに接続します。電流制限フォールドバック回路は、ドレイン・ソース間の電圧が 10V を超えたときに電流制限スレッショルドを下げることによって外付け MOSFET の電力損失を制限します。OUTn から  $V_{EE}$  への電圧が 2.4V (標準) を下回ると、ポート n の Power Good ビットがセットされます。ポート n がアイドル状態のときは、OUTn から AGND に 500k の抵抗が内部接続されます。ポート n を使用しない場合は、OUTn ピンをフロート状態にします。

**CAP2 (ピン 7) :** アナログ回路の 4.3V の内部電源のバイパス・コンデンサ用ピン。このピンから  $V_{EE}$  に  $0.1\mu\text{F}$  のセラミック・コンデンサを接続します。

**XI00 (ピン 14) :** 汎用デジタル入出力。  $V_{EE} \sim V_{EE} + 4.3\text{V}$  のロジック信号。内部プルアップ。

**XI01 (ピン 27) :** 汎用デジタル入出力。  $V_{EE} \sim V_{EE} + 4.3\text{V}$  のロジック信号。内部プルアップ。

**AGND (ピン 34) :** アナログ・グラウンド。AGND は  $V_{EE}$  電源のリターンに接続します。

**$V_{EE}$  (ピン 41、51、52) :** PoE の主電源入力。AGND を基準にした  $-45\text{V} \sim -57\text{V}$  電源に接続します。電圧は PSE のタイプ (タイプ 1、タイプ 2 または LTPoE++) によって異なります。

**DNA (ピン 47) :** データ・トランシーバの負電圧入力/出力 (アナログ)。データ・トランスを介して DND に接続します。

**DPA (ピン 48) :** データ・トランシーバの正電圧入力/出力 (アナログ)。データ・トランスを介して DPD に接続します。

**CNA (ピン 49) :** クロック・トランシーバの負電圧入力/出力 (アナログ)。データ・トランスを介して CND に接続します。

**CPA (ピン 50) :** クロック・トランシーバの正電圧入力/出力 (アナログ)。データ・トランスを介して CPD に接続します。

**VSSK (露出パッド・ピン 53) :**  $V_{EE}$  への 4 端子検出。センス抵抗の共通ノードに接続します。  $V_{EE}$  プレーンに直接接続してはなりません。レイアウト・ガイドを参照してください。

### 共通ピン

**NC、DNC (LTC4271 のピン 7、13、LTC4270 のピン 42、43、44、45、46) :** “NC” または “DNC” と表示されたピンはすべて未接続のままにしておく必要があります。

### LTC4271

**AD0 (ピン 1) :** アドレス・ビット 0。アドレス・ピンを “H” または “L” に接続して、LTC4271 が応答する、最初の I<sup>2</sup>C シリアルアドレスを設定します。LTC4271 は、このアドレスとこれに続く 2 つのアドレスに応答します。最初の 4 個のポートのベース・アドレスは (A<sub>6</sub>10A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>) b になります。2 番目と 3 番目のそれぞれ 4 個のポートのグループは、これに続く 2 つの論理アドレスに応答します。AD0 ピンは内部で  $V_{DD}$  にプルアップされています。

**AD1 (ピン 2) :** アドレス・ビット 1。AD0 を参照してください。

**AD2 (ピン 3) :** アドレス・ビット 2。AD0 を参照してください。

**AD3 (ピン 4) :** アドレス・ビット 3。AD0 を参照してください。

**AD6 (ピン 5) :** アドレス・ビット 6。AD0 を参照してください。

**MID (ピン 6) :** ミッドスパン・モード入力。“H” のとき、LTC4271 はミッドスパン・デバイスとして機能します。MID ピンは内部で DGND にプルダウンされています。

## ピン機能

**CPD (ピン8)** : クロック・トランシーバの正電圧入出力(デジタル)。データ・トランスを介してCPAに接続します。

**CND (ピン9)** : クロック・トランシーバの負電圧入出力(デジタル)。データ・トランスを介してCNAに接続します。

**DPD (ピン10)** : データ・トランシーバの正電圧入出力(デジタル)。データ・トランスを介してDPAに接続します。

**DND (ピン11)** : データ・トランシーバの負電圧入出力(デジタル)。データ・トランスを介してDNAに接続します。

**V<sub>DD33</sub> (ピン12、20)** : V<sub>DD</sub> I/Oの電源。DGNDを基準にした単一3.3V電源に接続します。V<sub>DD33</sub>は、少なくとも0.1μF以上のコンデンサを使ってLTC4271の近くでDGNDにバイパスする必要があります。

**RESET (ピン14)** : アクティブ“L”のリセット入力。RESETピンが“L”のとき、LTC4270/LTC4271はすべてのポートがオフ状態で非アクティブ状態に保たれ、すべての内部レジスタがそれぞれのパワーアップ状態にリセットされます。RESETが“H”になると、LTC4271は通常動作を開始します。RESETを外付けコンデンサまたはRCネットワークに接続することで、パワーオンを遅らせることができます。RESETピンは内部でフィルタされるので、幅が1μs未満のグリッチによってLTC4270/LTC4271がリセットされることはありません。RESETピンは内部でV<sub>DD</sub>にプルアップされています。

**INT (ピン15)** : オープンドレインの割り込み出力。LTC4271内でイベントのいずれか1つが発生すると、INTは“L”になります。Reset PBレジスタ(1Ah)のビット6またはビット7がセットされると、INTは高インピーダンス状態に戻ります。INT信号を使ってホスト・プロセッサに対して割り込みを発生させることができるので、ソフトウェアによる連続ポーリングは不要です。個々のINTイベントはINT Maskレジスタ(01h)を使ってディスエーブルすることができます。詳細については、LTC4271のソフトウェア・プログラミング・マニュアルを参照してください。INTピンが更新されるのは、I<sup>2</sup>Cのトランザクションとトランザクションの間だけです。

**SDAOUT (ピン16)** : シリアル・データ出力(I<sup>2</sup>Cシリアル・インタフェース・バスのオープンドレイン・データ出力)。LTC4271は2つのピンを使って双方向のSDA機能を実現しているため、I<sup>2</sup>Cバスのオプ्टアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。詳細については「アプリケーション情報」を参照。

**SDAIN (ピン17)** : シリアル・データ入力。I<sup>2</sup>Cシリアル・インタフェース・バスの高インピーダンス・データ入力。LTC4271は2つのピンを使って双方向のSDA機能を実現しているため、I<sup>2</sup>Cバスのオプ्टアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。詳細については「アプリケーション情報」を参照。

**SCL (ピン18)** : シリアル・クロック入力。I<sup>2</sup>Cシリアル・インタフェース・バスの高インピーダンス・クロック入力。SCLピンはI<sup>2</sup>CのSCLバス・ラインに直接接続します。I<sup>2</sup>Cシリアル・インタフェース・バスを使用しない場合、SCLは“H”に接続する必要があります。

**CAP1 (ピン19)** : コア電源のバイパス・コンデンサ。1.8Vの内部レギュレータ用に、このピンからDGNDに1μFのバイパス・コンデンサを接続します。1μF以外のコンデンサ値を使用しないでください。

**AUTO (ピン21)** : AUTOピン・モード入力。AUTOピン・モードでは、I<sup>2</sup>Cバス上にホスト・コントローラが存在しなくても、LTC4271はPDを検出してパワーアップすることができます。AUTOピンにより、LTC4271がリセットされたとき、またはV<sub>DD</sub>のUVLO状態から抜け出したときの内部レジスタの状態が決まります(LTC4271のソフトウェア・プログラミング・マニュアルを参照)。これらのレジスタのビットの状態は、その後もI<sup>2</sup>Cインタフェースを介して変更することができます。AUTOピンは内部でDGNDにプルダウンされており、V<sub>DD</sub>またはDGNDのどちらかにローカルに接続する必要があります。

**GP1 (ピン22)** : 顧客のアプリケーションに対応した汎用デジタル入力/出力。DGNDを基準にしています。

**GP0 (ピン23)** : 顧客のアプリケーションに対応した汎用デジタル入力/出力。DGNDを基準にしています。

**MSD (ピン24)** : マスク可能なシャットダウン入力。アクティブ“L”。“L”になると、mconfigレジスタ(17h)内の対応するマスク・ビットがセットされているすべてのポートがリセットされます。MSDピンは内部でフィルタされているため、幅が1μs未満のグリッチによってポートがリセットされることはありません。MSD Pin ModeレジスタによってMSDピンの極性を設定することができます。MSDピンは内部でV<sub>DD</sub>にプルアップされています。

**DGND (露出パッド・ピン25)** : デジタル・グラウンド。DGNDはV<sub>DD</sub>電源のリターンに接続します。

## アプリケーション情報

### 概要

Power over Ethernet (PoE)は、銅のイーサネット・データ配線を通してDC電力を伝送する標準プロトコルです。802.3イーサネット・データ標準規格を策定するIEEEグループは、2003年にPoEによる電力供給機能を追加しました。802.3afと呼ばれるオリジナルのPoE規格は、最大13Wで48VのDC電力を許容します。この最初の規格は広く普及しましたが、要件によっては13Wでは十分ではありませんでした。IEEEは、2009年に802.3at (PoE+)と呼ばれる新たな標準規格を発表しました。この規格では25Wの電力を供給するために電圧と電流の要件が拡大されています。

IEEE標準規格ではPoE用語も規定しています。ネットワークに電力を供給するデバイスはPSE (給電装置)と呼ばれ、ネットワークから電力が供給されるデバイスはPD (受電装置)と呼ばれます。PSEには、データと電力を供給するエンドポイント(ネットワーク・スイッチやルータが一般的)と、電力を供給してデータを通過させるミッドスパンの2つのタイプがあります。ミッドスパンは一般に、PoEに対応していない既存のネットワークにPoE機能を追加するために使用されます。PDは一般に、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどのデバイスです。

### PoE++の展開

IEEEのPoE+ 25.5W規格の作成段階からすでに、25.5Wより大きな電力供給に対するかなりの需要があり、そのニーズはさらに高まりつつあることが明らかになってきました。AグレードのLTC4270/LTC4271チップセットは、LTPoE++のPDに最

大90Wの電力を確実に供給できるようにして、この市場の要求に応えています。LTPoE++規格は既存のIEEE PoEプロトコルを拡張した信頼性の高い検出および分類機能を与え、既存のタイプ1およびタイプ2のPDに対して下位互換性があり、相互運用可能です。他のプロプライエタリPoE++ソリューションと異なり、リニアテクノロジーのLTPoE++はPSEとPD間で相互に識別が可能です。このため、LTPoE++のPDは起動時にすでにLTPoE++のPSEを検出しているため、要求される電力を使用できることを知ることができます。LTPoE++のPSEは、LTPoE++のPDと他のあらゆる種類のIEEE準拠のPDを区別できるので、LTPoE++のPSEは既存の機器との互換性ならびに相互運用性を維持することができます。

### LTC4270/LTC4271 製品ファミリ

LTC4270/LTC4271ファミリは、エンドポイントまたはミッドスパンの設計のどちらにも12個のPSEポートを実装する第4世代の12ポートPSEコントローラです。実際、IEEE 802.3at準拠のPSE設計を行うのに必要なすべての回路を内蔵し、1チャンネルあたり必要とするのは外付けパワーMOSFETとセンス抵抗だけなので、内蔵MOSFETを使用する設計と比較して電力損失が最小限に抑えられ、万一、1本のチャンネルが損傷した場合でもシステムの信頼性が向上します。

LTC4270/LTC4271ファミリは全グレードで、ポートごとの電流モニタ、V<sub>EE</sub>のモニタ、ポート電流の監視、1秒の電流の移動平均化、4本の汎用入力/出力ピンなどの、高度な第4世代のPSE機能を備えています。

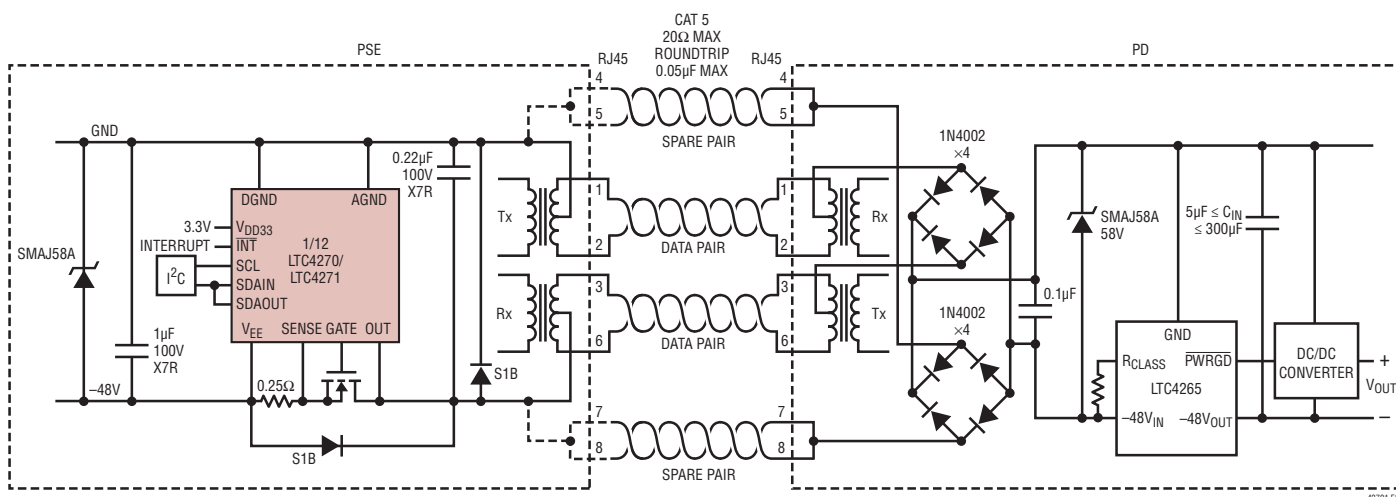


図 10. Power over Ethernet のシステム図

## アプリケーション情報

LTC4270/LTC4271 チップセットは独自の絶縁方式を採用しているため、デバイス間の通信が可能です。このアーキテクチャにより、高価なオプトアイソレータや絶縁型電源を1個の低価格なトランスに置き換えられるので、BOM (部品表) コストが大幅に削減されます。

LTC4270/LTC4271には、異なるPD電力レベルをサポートする3つのグレードがあります。

AグレードのLTC4270/LTC4271チップセットはPoEの電力供給能力をLTPoE++レベルまで拡張しています。LTPoE++はリニアテクノロジー独自の規格で、LTPoE++準拠のPDに最大90Wを供給可能です。LTPoE++アーキテクチャは、IEEEの物理的な電力ネゴシエーションが38.7W、52.7W、70W、90Wの各電力レベルを含むように拡張されています。AグレードのLTC4270/LTC4271は、BグレードとCグレードの機能も搭載しています。

BグレードのLTC4270/LTC4271はIEEEに完全準拠したタイプ2のPSEで、タイプ1とタイプ2のPDに対して自律的に検出、分類、電力供給を行うことができます。BグレードのLTC4270/LTC4271は、Cグレードの機能もすべて搭載しています。

CグレードのLTC4270/LTC4271は完全に自律的な802.3afタイプ1のPSEソリューションです。Cグレードのチップセットは、AUTOピンを“H”に接続した状態でのみの使用を意図しており、タイプ1のPDに対して自律的に検出、分類、電力供給を行うことができます。タイプ1のPSEとして機能するので、2イベント分類は禁止され、クラス4のPDは自動的にクラス0のPDとして扱われます。

### PoEの基本

一般的なイーサネット・データは2本または4本の銅のより対線 (通称CAT-5ケーブル) で接続し、グラウンド・ループを避けるために両端をトランス結合にします。PoEシステムは、データ・トランスのセンタータップ間に電圧を印加し、データ伝送に影響を与えることなくPSEからPDに電力を伝送することにより、この結合方式をうまく利用します。ハイレベルなPoEシステムの回路図を図10に示します。

DC電圧が加わることを想定していない従来のデータ機器を損傷しないように、PoE規格ではPSEによる電力の供給と切断の時点を決めたプロトコルが規定されています。有効なPDは入力に固有な25kの同相抵抗を必要とします。このような

PDがケーブルに接続されると、PSEはこのシグネチャ抵抗を検出して電源をオンします。その後PDが切断されると、PSEはオープン状態を検出して電源をオフします。電流フォールトや短絡が生じた場合も、PSEは電源をオフします。

PDが検出されると、PSEはオプションとしてそのPDが消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、複数のポートに対する電力の割り当て、PDの消費電流の監視、またはPSEの供給能力を超える電力を消費するPDの拒絶を行うことができます。分類ステップはオプションです。PSEがPDを分類しないことを選択する場合、PSEはPDが13W (802.3afの最大電力) のデバイスであると想定する必要があります。

### 802.3atの新項目

802.3at標準規格は802.3afを更新したもので、以下の新機能が追加されています。

- PDは最大25.5Wを使用できます。このようなPD (およびそれらに対応するPSE) はタイプ2と呼ばれます。従来の13Wの802.3afの機器はタイプ1として分類されます。タイプ1のPDはすべてのPSEに対応しますが、タイプ2のPDを適切に動作させるには、タイプ2のPSEが必要になる場合があります。LTC4270/LTC4271は、タイプ1とタイプ2のどちらのPSEの設計でも動作するように設計されており、高電力レベルの非標準の構成にも対応します。
- 分類プロトコルは、タイプ2のPSEがタイプ2のPDを検出でき、タイプ2のPDがタイプ2のPSEに接続されているかどうかを確認できるように拡張されています。2つのバージョンの新しい分類プロトコルが利用できます。それらは、802.3afクラス・パルス・プロトコルの拡張バージョンと、(イーサネット・データ・バスを使用した) 既存のLLDPプロトコルと統合した代替手法です。LTC4270/LTC4271は新しいクラス・パルス・プロトコルをフルサポートすると同時に、(PoE回路ではなくデータ通信レイヤに実装された) LLDPプロトコルと互換性があります。
- フォールト保護の電流レベルとタイミングはフォールト時のMOSFETのピーク電力を低減するように調整されるので、従来の13Wの設計と同じMOSFETを使って新しい25.5Wの電力レベルに達することが可能です。



## アプリケーション情報

### LTPoE++による供給電力の増強

AグレードのLTC4270/LTC4271デバイスには、最大90Wの電力をPDに自動的に供給する機能が追加されています。LTPoE++のPDは802.3 LLDPのサポートなしに動作可能で、LTPoE++の物理的な分類だけでLTPoE++のPSEとの電力ネゴシエーションを行うことができます。これにより、高電力PDの実装を大幅に簡素化します。

AグレードのLTC4270/LTC4271では、High Power EnableビットとLTPoE++ Enableビットの両方をセットすることにより、LTPoE++をオプションでイネーブル可能です。

LTPoE++の電力供給レベルが上がるのに伴い、レイアウトや部品選択時の制約が厳しくなります。LTC4270のピンを選択することにより、AUTOピン・モードのLTC4271は、サポートされているレベルまでの電力を自律的に供給することができます。AUTOピンが“H”の場合、リセット時にXIO1ピンとXIO0ピンがサンプリングされ、供給可能な最大電力が決まります。供給能力を超える電力を要求するPDには、電力は供給されません。

表1. LTPoE++のAUTOピン・モードで供給可能な最大電力量

電力	XIO1	XIO0
38.7W	0	0
52.7W	0	1
70W	1	0
90W	1	1

### 下位互換性

LTC4270/LTC4271チップセットは、LTC4266と下位互換になるように設計されており、ソフトウェアの変更なしにタイプ2モードで動作します。IEEE 802.3atに完全準拠した設計を実現するのに必要なのは、わずかなレイアウト変更だけです。

LTC4266のレジスタのいくつかは、LTC4270/LTC4271チップセットでは廃止されています。廃止されたレジスタは、802.3at準拠のPSE動作には必要ありません。LTC4266とLTC4270/LTC4271間のソフトウェアの違いについての詳細は、LTC4271のソフトウェア・プログラミング・マニュアルを参照してください。

高電力モードをディスエーブルした状態での動作は、LTC4270/LTC4271チップセットでは廃止されています。従来、低電力モードで使用可能であった動作はすべて、高電力モードの機能のサブセットとして実装されています。

### 動作モード

LTC4270/LTC4271には12本の独立したポートがあり、各ポートはマニュアル、半自動、AUTOピン、シャットダウンの4つのモードのいずれかで動作することができます。

表2. 動作モード

モード	AUTOピン	OPMD	検出/分類	パワーアップ	I <sub>CUT</sub> /I <sub>LIM</sub> の自動設定
AUTOピン	1	11b	リセット時にイネーブル	自動	あり
予備	0	11b	N/A	N/A	N/A
半自動	0	10b	ホストによりイネーブル	要求時	なし
マニュアル	0	01b	要求時に1回	要求時	なし
シャットダウン	0	00b	ディスエーブル	ディスエーブル	なし

マニュアル・モードでは、ポートはホスト・システムからの指示を待ってアクションをとります。ポートは、ホストから指示されると検出サイクルまたは分類サイクルを1回実行し、Port Statusレジスタでその結果を知らせます。ホスト・システムはいつでもポートに電力のオン/オフを指示することができます。

半自動モードでは、ポートは接続されているすべてのPDの検出と分類を繰り返し試みます。ポートはこれらの結果をホストに知らせ、ホストからのコマンドを待ってからポートの電力をオンします。検出が開始される前に、ホストはポートの検出(およびオプションで分類)をイネーブルする必要があります。

AUTOピン・モードは、検出に成功するとポートの電力を自動的にオンすること以外は、半自動モードと同じ動作をします。AUTOピン・モードでは、分類の結果に基づいてI<sub>CUT</sub>とI<sub>LIM</sub>の値が自律的に設定されます。AUTOピン・モードが有効になるのは、リセットまたはパワーアップ時にAUTOピンが“H”であり、かつ、動作中“H”に保持されるときだけです。

シャットダウン・モードは、ポートはディスエーブルされており、PDの検出も電力供給も行いません。

LTC4270/LTC4271は、モードに関係なく、電流制限フォールトを生じたポートへの電力供給を自動的に停止します。また、切断の検出がイネーブルされていると、切断イベントを生じたポートへの電力供給を自動的に停止します。また、ホスト・コントローラはいつでもポートに電力供給の停止を指示することができます。

## アプリケーション情報

### リセットとAUTO/MIDピン

LTC4270/LTC4271の初期設定は、リセット時のAUTOピンとMIDピンの状態によって決まります。リセットが生じるのは、パワーアップ時、あるいはRESETピンが“L”になった場合、またグローバルなReset Allビットがセットされた場合です。パワーアップ後にAUTOやMIDの状態が変化しても、リセットが生じるまではLTC4270/LTC4271のポートの動作は正しく変化しません。

LTC4270/LTC4271は通常、ホスト・コントローラと共に使用されますが、シリアル・インタフェースに接続しないスタンドアロン・モードで使用することもできます。ホストが存在しない場合、リセット時にすべてのポートが自動的に動作する設定になるように、AUTOピンを“H”に接続する必要があります。各ポートは、PDが見つかるまで検出と分類を繰り返し、分類結果に従って $I_{CUT}$ と $I_{LIM}$ を設定し、有効なPDに電力を供給し、PDが切断されると電力供給を停止します。

スタンドアロン(AUTOピン)モード時に検出されたクラスに基づいて自動的に設定される $I_{CUT}$ と $I_{LIM}$ の値を表3に示します。

表3. スタンドアロン・モードの $I_{CUT}$ と $I_{LIM}$ の値

クラス	$I_{CUT}$	$I_{LIM}$
クラス1	112mA	425mA
クラス2	206mA	425mA
クラス3またはクラス0	375mA	425mA
クラス4	638mA	850mA

AUTOピンが“H”の状態ではLTC4270/LTC4271がリセットされたときだけ、 $I_{CUT}$ と $I_{LIM}$ の値が自動的に設定されます。

スタンドアロン・アプリケーションがミッドスパンの場合は、MIDピンを“H”に接続して正しいミッドスパン検出タイミングが得られるようにする必要があります。

### 検出

#### 検出の概要

DC電圧に耐えるように設計されていないネットワーク・デバイスの損傷を防ぐため、PSEは接続されたデバイスが真のPDであることを確認してから電力を供給する必要があります。IEEE規格では、ポートの電圧が10Vより低いとき、有効なPDは

25k  $\pm$ 5%の同相抵抗を示すことが規定されています。PSEは19k~26.5kの範囲の抵抗は受け入れ、33kより大きいまたは15kより小さい抵抗は拒絶する必要があります(図11の網掛けの部分)。PSEは、受け入れが必要な範囲と拒絶が必要な範囲の間の規定されていない部分の抵抗は、受け入れても拒絶しても構いません。特に、PSEはコンピュータの標準ネットワーク・ポートを拒絶する必要があります。これらのポートの多くは同相終端抵抗が150 $\Omega$ で、電力が供給されると損傷を受けます(図11の左側の黒の部分)。

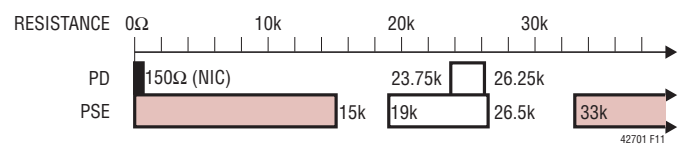


図11. IEEE 802.3afのシグネチャ抵抗の範囲

#### 4ポイントの検出

LTC4270/LTC4271は4ポイント検出手法を使ってPDを検出します。強制電流と強制電圧の両方の測定を使ってシグネチャ抵抗をチェックすることにより、誤った適合判定が最小限に抑えられます。

最初に、2つのテスト電流を(OUTnピンを介して)ポートに強制し、その結果得られる電圧を測定します。検出回路は2つのV-Iポイントの差分を計算し、直列ダイオードやポートのリーク電流に起因するオフセットを除去しながら、抵抗の傾きを求めます(図12を参照)。強制電流による検出が有効なシグネチャ抵抗を示す場合には、2つのテスト電圧をポートに強制し、その結果得られる電流を測定して差分を計算します。両方の手法で有効な抵抗値が得られないと、ポートは有効な検出を知らせることができません。標準で17k~29kのPDシグネチャ抵抗を有効と判定し、対応するPort Statusレジスタで「適合を検出」として知らせます。オープン状態や短絡などのこの範囲外の値も知らせます。最初の強制電流テストでポートが1Vより低い値を測定すると、検出サイクルを中断して「短絡」を知らせます。可能な検出結果を表4に示します。

## アプリケーション情報

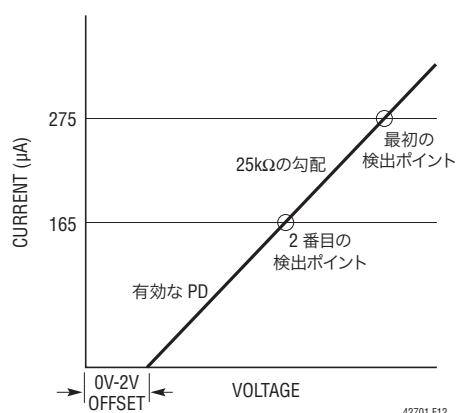


図 12. PD 検出

表 4. 検出状態

測定された PD シグネチャ	検出結果
未完了またはテストしていない	検出状態が不明
< 2.4k	短絡
容量 > 2.7µF	C <sub>PD</sub> が過大
2.4k < R <sub>PD</sub> < 17k	R <sub>SIG</sub> が過小
17k < R <sub>PD</sub> < 29k	適合を検出
> 29k	R <sub>SIG</sub> が過大
> 50k	オープン状態
電圧 > 10V	ポート電圧が検出範囲外

## 動作モードの詳細

ポートの動作モードにより、LTC4270/LTC4271 が検出サイクルを実行する時点が決まります。マニュアル・モードでは、ホストが検出サイクルを指示するまでポートはアイドル状態になります。検出サイクルが指示されるとポートは検出を実行し、その結果を知らせ、アイドル状態に戻って別のコマンドを待ちます。

半自動モードでは、LTC4270/LTC4271 は自律的にポートをポーリングして PD を探しますが、ホストによって指示されるまで電力を供給しません。各検出サイクルの最後に Port Status レジスタが更新されます。

有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートは PD を分類してその結果も知らせます。次いで、ポートは少なくとも 100ms (ミッドスパン・モードがイネーブルされている場合は 2 秒) の間待機し、検出サイクルを繰り返して Port Status レジスタ内のデータが最新のものであることを確認します。

ポートが半自動モードの状態を高電力動作がイネーブルされていると、電流検出の結果が「適合を検出」でない限り、ポートがパワーオン・コマンドに応答してオンすることはありません。

「適合を検出」以外の検出結果では、パワーオン・コマンドを受け取ると t<sub>START</sub> フォールトが発生します。高電力モードでは、検出結果に関係なく、ポートをマニュアル・モードにして強制的にオンにする必要があります。

AUTO ピン・モードの動作は半自動モードに似ていますが、「適合を検出」が通知され、(分類がイネーブルされている場合は) そのポートが分類された後は、それ以上の介入なしにポートは自動的にパワーオンします。スタンドアロン (AUTO ピン) モードでは、I<sub>CUT</sub> と I<sub>LIM</sub> のスレッシュホールドが自動的に設定されます。詳細については「リセットと AUTO/MID ピン」のセクションを参照してください。

AUTO ピンが“L”の状態でポートが最初にパワーアップするとき、シャットダウン・モード時、または対応する Detect Enable ビットがクリアされているときは、シグネチャ検出回路はディスエーブルされます。

## レガシー PD の検出

オリジナルの IEEE 802.3af 標準規格に遡る専用 PD は、今では一般にレガシー・デバイスと呼ばれています。レガシー PD の 1 つのタイプは、検出シグネチャとして大きな同相容量 (>10µF) を使用しています。この範囲の容量を使用する PD は無効であると規定されているので、レガシー PD を検出する PSE は IEEE 規格に技術的に準拠していないことに注意してください。LTC4270/LTC4271 は、このタイプのレガシー PD を検出するように設定することができます。レガシー PD の検出はデフォルトではディスエーブルされていますが、ポートごとに手動でイネーブルすることができます。イネーブルされたポートは、有効な IEEE PD または高容量のレガシー PD のどちらかを検出したときに「適合を検出」を知らせます。レガシー・モードがディスエーブルされると、有効な IEEE PD のみが認識されます。

## 分類

## 802.3af の分類

PD は、オプションで PSE に分類シグネチャを送り、動作時に消費する最大電力を知らせることができます。IEEE 規格では、このシグネチャを PSE のポート電圧が V<sub>CLASS</sub> の範囲 (15.5V ~ 20.5V) のときに流れる定電流と規定しており、この電流レベルは 5 つの可能な PD クラスの 1 つを示します PD の標準負荷曲線を図 13 に示します。10V までは 25k のシグネチャ抵抗の勾配で始まり、V<sub>CLASS</sub> の範囲では分類シグネチャ電流 (この場合、クラス 3) に移行します。可能な分類値を表 5 に示します。

42701fc

## アプリケーション情報

表5. 802.3afおよび802.3atの分類値

クラス	結果
クラス0	分類シグネチャなし、クラス3と同様に処理
クラス1	3W
クラス2	7W
クラス3	13W
クラス4	25.5W (タイプ2)

分類がイネーブルされていると、半自動またはAUTOピン・モード時、あるいはマニュアル・モードで指示されたときに、検出に成功した直後、ポートはPDを分類します。OUTnピンを介してポートに12msの間18V(どちらの値も標準値)を印加してその結果生じる電流を測定することでPD分類シグネチャを測定し、Port Statusレジスタによって検出されたクラスを知らせます。LTC4270/LTC4271がAUTOピン・モードの場合、さらに分類結果を使って $I_{\text{CUT}}$ と $I_{\text{LIM}}$ のスレッシュホールドを設定します。詳細については「リセットとAUTO/MIDピン」のセクションを参照してください。

AUTOピンが“L”の状態ではポートが最初にパワーアップするとき、シャットダウン・モード時、または対応するClass Enableビットがクリアされている場合、分類回路はディスエーブルされます。

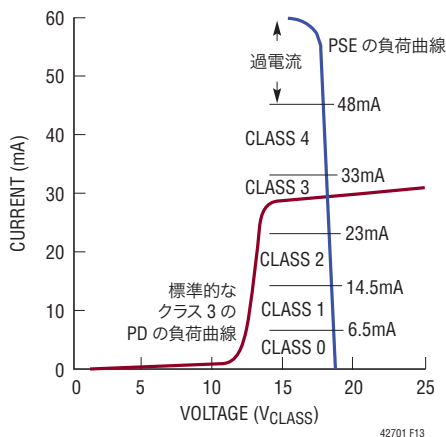


図13. PDの分類

### 802.3atの2イベント分類

802.3at規格では、タイプ2のPDを分類する2つの方法を規定しています。LTC4270/LTC4271のAグレードとBグレードのデバイスは、802.3atの2イベント分類が可能です。

1つ目の方法ではイーサネットLLDPデータ・プロトコルに特別なフィールドを追加します。LTC4270/LTC4271はこの分類方法と互換性がありますが、データ・パスへアクセスできないため直接分類することができません。LLDP分類では、PSEが標準的な802.3af(タイプ1)デバイスとしてのPDへ電力を供給する必要があります。次いでPSEはホストがPDとLLDP通信を行ってPSEポートのデータを更新するまで待機します。LTC4270/LTC4271は $I_{\text{LIM}}$ と $I_{\text{CUT}}$ のレベルを動作中にいつでも変更できるので、ホストがLLDP分類を完了することができます。

802.3atの2つ目の分類方法は2イベント分類またはピンポン分類と呼ばれ、LTC4270/LTC4271によってサポートされています。13Wより大きな電力を要求するタイプ2のPDは通常の802.3af分類のときクラス4を示します。LTC4270/LTC4271がクラス4を検出すると、規定された低電圧(マーク電圧と呼ばれ、標準9V)をポートに強制し、一時的に停止してから分類を再開してクラス4の読み出しを確認します(図1)。また、High Power Statusレジスタのビットをセットして、2番目の分類サイクルを実行したことを示します。2番目のサイクルは、タイプ2の電力レベルを供給できるタイプ2のPSEにPDが接続されていることをPDに警告します。

2イベント・ピンポン分類は、ポートのHigh Power Modeレジスタのビットをセットすることによってイネーブルされます。ピンポン分類がイネーブルされたポートはクラス4のデバイスを検出したときだけ2番目の分類サイクルを実行します。最初のサイクルがクラス0~3を返すと、ポートはタイプ1のPDに接続されているとみなして2番目の分類サイクルを実行しないことに注意してください。

### 無効なタイプ2のクラスの組み合わせ

802.3at規格では、タイプ2のPD分類シグネチャを、2つ連続するクラス4として規定しており、クラス4にクラス0~3が続くシグネチャは有効ではありません。AUTOピン・モードでは、LTC4270/LTC4271は1つの例外を除き、分類結果に関係なく検出されたPDに電力を供給します。例外として、PDが無効なタイプ2のシグネチャ(クラス4にクラス0~3が続く)を示すと、LTC4270/LTC4271は電力を供給しないで検出プロセスを再開します。診断を補うため、Port Statusレジスタは常に最

## アプリケーション情報

後のクラス・パルスの結果を知らせるので、無効なクラス4とクラス2の組み合わせの場合は、High Power Statusレジスタで2番目のクラス・パルスが実行されたこと(最初のサイクルがクラス4を検出したことを意味する)を知らせ、Port Statusレジスタでクラス2を知らせます。

### 電力制御

LTC4270/LTC4271の主な機能は、PSEポートへの電力供給を制御することです。これを行うため、外付けセンス抵抗を流れる電流とOUTピンの出力電圧をモニタしながら、外付けパワーMOSFETのゲート・ドライブ電圧を制御します。この回路は制御されていない $V_{EE}$ 入力電源を制御された状態でポートに接続し、MOSFETの電力損失と $V_{EE}$ バックプレーンの乱れを最小限に抑えながらPDの電力要件を満たします。

### 突入電流の制御

ポートをオンするコマンドが与えられると、LTC4270/LTC4271はそのポートの外付けMOSFETのGATEピンを制御された状態でランプアップします。通常のパワーアップ環境では、ポート電流が突入電流制限レベル(標準425mA)に達するまでMOSFETのゲート電圧は上昇し、このポイントでGATEピンは規定された $I_{INRUSH}$ 電流を維持するようにサーボ制御されます。この突入電流期間の間、タイマ( $t_{START}$ )が動作します。出力の充電が完了するとポート電流が減少するので、GATEピンはMOSFETが完全に導通状態になるまで上昇し続けてそのオン抵抗を最小限に抑えることができます。最終的な $V_{GS}$ は公称12Vです。突入電流期間は $t_{START}$ タイマが終了するまで維持されます。 $t_{START}$ タイマが終了した時点でポート電流が突入電流制限レベルを超えたままだと、ポートはオフに戻って、 $t_{START}$ フォールトが通知されます。

### 電流制限

LTC4270/LTC4271の各ポートには2つの電流制限スレッショルド( $I_{CUT}$ および $I_{LIM}$ )があり、それぞれ対応するタイマ( $t_{CUT}$ および $t_{LIM}$ )を備えています。 $I_{CUT}$ と $I_{LIM}$ のスレッショルドの設定は、PDのクラス、主電源( $V_{EE}$ )の電圧、PSEのタイプ(タイプ1またはタイプ2)、センス抵抗(0.5 $\Omega$ または0.25 $\Omega$ )、MOSFETのSOA、さらに、システムによるクラスの電流レベルの強制が必要か否かによって変わります。

IEEE規格に従い、LTC4270/LTC4271はポートの電力供給を停止する前の限られた時間 $I_{CUT}$ を超えるポート電流を供給することができる一方で、MOSFETのゲート・ドライブをアクティブに制御してポート電流を $I_{LIM}$ より下に保ちます。ポートは、 $I_{CUT}$ スレッショルドを超えただけでは電流を制限する動作をしません、 $t_{CUT}$ タイマの始動は行います。 $t_{CUT}$ タイマが終了する前にポート電流が $I_{CUT}$ 電流スレッショルドを下回ると、 $t_{CUT}$ タイマはカウントダウンしますが、カウントアップの1/16の速度になります。 $t_{CUT}$ タイマが60ms(標準)に達すると、ポートはオフして、ポートの $t_{CUT}$ フォールトがセットされます。これにより、電流制限回路はデューティ・サイクルが約6%を下回る間欠的な過負荷信号は許容することができます。これより長いデューティ・サイクルの過負荷ではポートをオフします。

$I_{LIM}$ 電流制限回路は常にイネーブルされており、ポート電流をアクティブに制限しています。 $t_{LIM}$ タイマがイネーブルされるのは、 $t_{LIM}$  Enableビットがセットされているときだけです。このため、 $t_{LIM}$ を $t_{CUT}$ より小さい値に設定することで、より強力にMOSFETを保護し、MOSFETが損傷する前にポートをオフすることができます。ポート電流が $I_{LIM}$ スレッショルドを超えると、 $t_{LIM}$ タイマが始動します。 $t_{LIM}$ タイマが12ms(標準)に達すると、ポートはオフして、ポートの $t_{LIM}$ フォールトがセットされます。 $t_{LIM}$  Enableビットがディスエーブルされているときは、 $t_{CUT}$ タイマは $t_{LIM}$ の動作に従います。 $t_{CUT}$ タイマは $I_{LIM}$ と $I_{CUT}$ のどちらのフォールト時にもカウントアップします。

$I_{CUT}$ は通常、 $I_{LIM}$ より小さい値に設定されるので、ポートは小さなフォールトには電流制限なしで耐えることができます。

IEEE規格により、LTC4270/LTC4271はポートのターンオンの突入電流時に $I_{LIM}$ を自動的に425mA(表6の太字で示す)に設定し、突入電流期間が完了すると設定された $I_{LIM}$ 値に切り替えますIEEE準拠を維持するため、 $I_{LIM}$ はタイプ1のPDではすべて425mAに保ち、タイプ2のPDが検出された場合は850mAに保ちます。ポートがオフすると、 $I_{LIM}$ は自動的に425mAにリセットされます。

## アプリケーション情報

表 6. 電流制限設定の例

I <sub>LIM</sub> (mA)	内部レジスタの設定 (16進数)	
	R <sub>SENSE</sub> = 0.5Ω	R <sub>SENSE</sub> = 0.25Ω
53	88	
106	08	88
159	89	
213	80	08
266	8A	
319	09	89
372	8B	
<b>425</b>	<b>00</b>	<b>80</b>
478	8E	
531	92	8A
584	CB	
638	10	90
744	D2	9A
<b>850</b>	<b>40</b>	<b>C0</b>
956	4A	CA
1063	50	DA
1169	5A	EA
1275	60	F0
1488	52	49
1700		40
1913		4A
2125		50
2338		5A
2550		60
2975		52

### I<sub>LIM</sub> フォールドバック

LTC4270/LTC4271 は、ポート電圧が通常動作電圧を下回ったときにポート電流を低減する2段のフォールドバック回路を備えています。これにより、拡張された 802.3at の電力レベルでも、MOSFET の電力損失は標準的な 802.3af の MOSFET にとって安全なレベルに保たれます。電流制限とフォールドバック動作はポートごとにプログラム可能です。

推奨する I<sub>LIM</sub> レジスタの設定値を表 6 に示します。

LTC4270/LTC4271 は、802.3at 規格の最大値を大幅に超える電流レベルをサポートします。表 6 の網掛けの部分は、大型の外付け MOSFET、ヒートシンクの追加、t<sub>LIM</sub> Enable のセットなどを必要とする可能性のある設定値を示します。

### MOSFET のフォールト検出

LTC4270/LTC4271 の PSE ポートはかなりのレベルの酷使に耐えるように設計されていますが、極端な場合には外付け MOSFET が損傷する可能性があります。MOSFET が損傷するとソース-ドレイン間が短絡する可能性があります、これによってオフであるべきポートがオンしているように見えます。また、この状態により、センス抵抗がオープン状態になってポートをオフしますが、LTC4270 の SENSE ピンを異常に高い電圧まで上昇させます。MOSFET が損傷するとゲート-ドレイン間が短絡する可能性もあり、LTC4270 の GATE ピンを異常に高い電圧まで上昇させます。LTC4270 の OUT ピン、SENSE ピン、GATE ピンは、損傷することなく最大 80V のフォールトに耐えるように設計されています。

LTC4270/LTC4271 がこれらの状態を 180μs 以上検出すると、すべてのポートの機能をディスエーブルし、ポートのゲート・ドライブ・プルダウン電流を低減して FET Bad フォールトを知らせます。これは通常、永続的なフォールトですが、ホストはポートをリセットするか、またはポートのリセットでフォールトを解除できない場合にデバイス全体をリセットすることによって回復を試みることができます。MOSFET が実際に損傷していると、直ちにフォールトが返されて、ポートは再び自己をディスエーブルします。LTC4270/LTC4271 の残りのポートは影響を受けません。

MOSFET がオープン状態であったり損傷していることによって FET Bad フォールトがトリガされることはありませんが、LTC4270/LTC4271 がポートをオンしようとする t<sub>START</sub> フォールトが生じます。

### ポート電流の読み出し

LTC4270/LTC4271 は、内部 A/D コンバータを使って各ポートの電流を測定します。ポート・データはポートの電源がオンしているときだけ有効で、それ以外の場合は常にゼロが読み出されます。コンバータには以下の2つのモードがあります。

- 100ms モード：連続してサンプリングされ、100ms ごとに測定値が更新される。
- 1s モード：連続してサンプリングされ、1秒の電流の移動平均値が 100ms ごとに更新される。

## アプリケーション情報

### ポート電流の監視

LTC4270/LTC4271は監視機能を使って $t_{\text{CUT}}$ 電流モニタを強化し、1秒の電流の移動平均値を追尾することができます。ユーザーが規定したポート監視スレッシュホールドを超える電流を流しているポートはオフされ、 $t_{\text{CUT}}$ イベントと監視イベントの両方が記録されます。ポート電流の監視イベントとポートの $t_{\text{CUT}}$ タイマ違反は、両方のイベント・ビットを読み出すことによって区別することができます。監視違反の場合は両方のビットがセットされますが、 $t_{\text{CUT}}$ タイマ違反の場合は $t_{\text{CUT}}$ ビットのみがセットされます。

### ポート電圧の読み出し

LTC4270/LTC4271は、内部A/Dコンバータを使って各ポートの出力電圧を測定します。ポート・データはポートの電源がオンしているときだけ有効で、それ以外の場合は常にゼロが読み出されます。

### 切断

LTC4270/LTC4271は給電されているポートをモニタして、PDに最小規定電流が流れ続けていることを確認します。ポート電流が7.5mA(標準)を下回るたびに切断タイマがカウントアップし、PDが切断されていることを知らせます。 $t_{\text{DIS}}$ タイマが終了すると、ポートがオフしてFault Eventレジスタの切断ビットがセットされます。 $t_{\text{DIS}}$ タイマが終了する前に電流が元の状態に戻ると、タイマはリセットします。PDが $t_{\text{DIS}}$ より頻繁に最小電流レベルを超える限り、PDには電力が供給され続けます。

推奨しませんが、DC切断機能は、対応するイネーブル・ビットをクリアすることによってディスエーブルすることができます。給電されているポートにはPDが取り去られた後も電力が供給され続けるので、これにより、IEEE規格に組み込まれた保護メカニズムが無効になることに注意してください。給電され続けているポートに、PoEに対応していないデータ・デバイスが接続されると、デバイスが損傷する可能性があります。

LTC4270/LTC4271はAC切断回路を備えていませんが、LTC4259Aとの互換性を維持するためにAC Disconnect Enableビットを備えています。AC Disconnect Enableビットがセットされると、DC切断が使用されます。

### マスクされたシャットダウン

LTC4270/LTC4271は待ち時間の短いポート・シェディング機能を備えており、必要に応じて短時間でシステム負荷を低減します。あらかじめ決められた複数のポートをオフすることにより、優先度の高いデバイスに電力を供給し続けながら、過負荷の主電源の電流を素早く低減することができます。各ポートは優先度の高/低を設定可能で、優先度の低いポートはすべてMSDピンが“L”になってから6.5 $\mu$ s以内にシャットダウンします。優先度の高いポートは給電状態のままです。ポートがMSDを介してオフすると、対応するDetection EnableビットとClassification Enableビットがクリアされるので、ホストの指示で検出が再度イネーブルされるまでポートがオフ状態を保ちます。

LTC4270/LTC4271チップセットでは、MSDのアクティブ・レベルはアクティブ“H”またはアクティブ“L”にレジスタで設定可能です。デフォルトは、LTC4266と互換性のあるアクティブ“L”動作です。

### V<sub>EE</sub>の読み出し

LTC4270/LTC4271は内部の12ビットA/Dコンバータを使ってV<sub>EE</sub>電圧を測定します。

### 汎用入出力

LTC4270/LTC4271チップセットには2組の汎用入出力(IO)ピンがあります。1組目の汎用IOピンは、GP1とGP0です。これらの完全双方向のIOは、LTC4271デバイスでは3.3VのCMOS入出力です。

2組目の汎用IOピンはXIO1とXIO0です。これらの完全双方向のIOは、LTC4270デバイスでは4.3VのCMOS入出力です。

### コードのダウンロード

LTC4271のファームウェアは、RAMイメージをダウンロードして実行することにより、フィールドでアップグレード可能です。RAMイメージは揮発性なので、V<sub>DD</sub>電源サイクルが終了するごとに再度ダウンロードする必要がありますが、リセット中とV<sub>EE</sub>電源イベント中は有効に保たれます。コードのダウンロードの手順とRAMイメージについては、弊社または弊社代理店にお問い合わせください。

# LTC4270/LTC4271

## アプリケーション情報

### シリアル・デジタル・インタフェース

#### 概要

LTC4270/LTC4271は、標準SMBus/I<sup>2</sup>C 2線インタフェースを使ってホストと通信します。LTC4270/LTC4271はスレーブのみのデバイスで、標準SMBusプロトコルを使ってホスト・マスタと通信します。割り込みはINTピンを介してホストに伝えられます。標準的な通信波形とこれらのタイミング関係をタイミング図(図5～図9)に示します。SMBusのデータ・プロトコルの詳細についてはwww.smbus.orgを参照してください。

LTC4270/LTC4271では、シリアル・インタフェースを機能させるためにV<sub>DD</sub>とV<sub>EE</sub>の両方の電源レールを必要とします。

#### バスのアドレス指定

LTC4270/LTC4271の最初の7ビット・シリアル・バス・アドレスはA<sub>6</sub>10A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>bで、ビット6はAD6ピンで制御され、下位の4ビットはAD3ピン～AD0ピンによって設定されます。これにより、1本のバス上に最多10個のLTC4270/LTC4271を接続することができます。10個のLTC4270/LTC4271は、30個のクワッドPSEつまり120のポートに相当します。また、すべてのLTC4270/LTC4271がブロードキャスト・アドレス0110000bに応答するので、ホストが1回のトランザクションで複数のLTC4270/LTC4271に同じコマンド(通常、設定コマンド)を書き込むことができます。LTC4270/LTC4271は、INTピンをアサートしているとき、SMBus規格に従ってアラート応答アドレス(0001100b)にも応答します。

各LTC4270/LTC4271は論理上、それぞれ4個のポートから成る3つのクワッドで構成されています。各クワッドには、異なる連続したI<sup>2</sup>Cアドレスが付加されます。AD6ピンとAD3～AD0ピンが基本クワッドのアドレスを設定し、残りのクワッドには連番が付けられます。x10xxxxbの範囲外のI<sup>2</sup>Cアドレスは不正とみなし、応答しません。Chip Resetレジスタ、MSD Inversionレジスタ、General Purpose Input Outputレジスタへの書き込みを除いて、それぞれの内部クワッドは他のクワッドと無関係です。これらのレジスタは本質的にグローバルで、すべてのクワッドに影響を与えます。

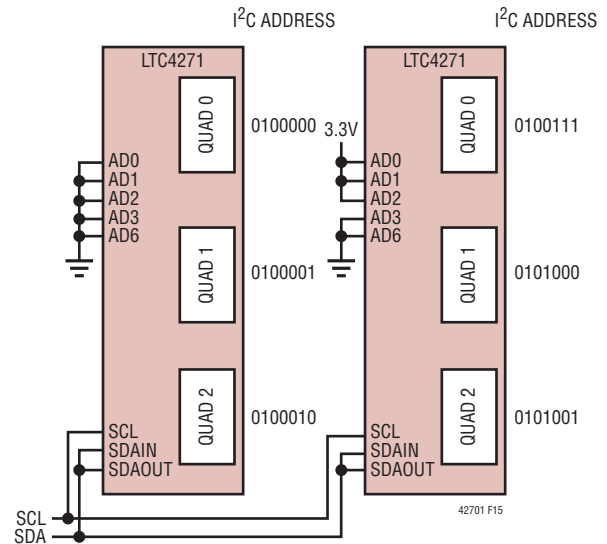


図14. I<sup>2</sup>C バスのアドレス指定の例

#### 割り込みとSMBAlert

LTC4270/LTC4271のほとんどのポート・イベントは割り込みをトリガするように設定することができ、INTピンをアサートしてホストにイベントへの警告を行います。これにより、ホストがLTC4270/LTC4271をポーリングする必要がなくなり、シリアル・バスのトラフィックが最小限に抑えられてホストCPUのサイクルが節約されます。SMBAlertプロトコル(ARA)を使用しているホストがどのLTC4270/LTC4271が割り込みを発生させたかを判断することにより、複数のLTC4270/LTC4271が共通のINTラインを共有することができます。

#### レジスタの概要

シリアル・バスの使用およびデバイスの設定と状態については、LTC4271のソフトウェア・プログラミング・マニュアルを参照してください。

#### 絶縁要件

IEEE 802.3イーサネット規格では、(PoE回路を含む)ネットワーク・セグメントが各ネットワーク・インタフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁されていることが求められます。ただし、ネットワーク・セグメントが1つの配電システム上の、1つの建物内にあるデバイスに接続されていれば、それらのセグメントを互いに絶縁する必要はありません。



## アプリケーション情報

小型PoEスイッチのような簡単なデバイスの場合、デバイス全体に絶縁型の主電源を使用することによって絶縁要件を満たすことができます。この方法は、デバイスがより対線イーサネット以外には電氣的に導通するポートを備えていない場合に使用できます。この場合、SDAINピンとSDAOUTピンは互いに接続可能で、標準的なI<sup>2</sup>C/SMBus SDAピンとして機能します。

このデバイスが大型のシステムの一部であったり、イーサネットに対応していない追加の外部ポートを備えていたり、あるいは、何か別の理由によって保護グランドを基準としなければならない場合、Power over Ethernet サブシステムをシステムの残りの部分から電氣的に絶縁する必要があります。

LTC4270/LTC4271 チップセットは、LTC4271 デバイスを非絶縁側に置くことにより、PSEの絶縁を簡素化します。このチップセットは、非絶縁側で主ロジック電源から電力供給を受け、I<sup>2</sup>C/SMBus バスに直接接続することが可能です。LTC4271とLTC4270間の絶縁は、専用のトランス・ベースの通信プロトコルを使って実現されます。詳細については、このデータシートの「シリアル・バスの絶縁」のセクションをご覧ください。

## 外付け部品の選択

### 電源とバイパス

LTC4270/LTC4271 を動作させるには2つの電源電圧が必要です。V<sub>DD</sub>にはDGNDを基準にした3.3V（公称）が必要です。V<sub>EE</sub>には、タイプ1のPSEでは-45V～-57V、タイプ2のPSEでは-51V～-57V、LTPoE++のPSEでは-54.75V～-57VのAGNDを基準にした負電圧が必要です。

### デジタル電源

V<sub>DD</sub>はLTC4271のプロセッサにデジタル電源を供給し、最大15mAを流します。V<sub>DD</sub>からDGNDに、少なくとも0.1μFのセラミックのデカップリング・コンデンサを、各LTC4271デバイスにできるだけ近づけて接続します。1.8Vのコア電源が内部で生成されるので、CAP1ピンとDGNDの間に1μFのセラミックのデカップリング・コンデンサを接続する必要があります。

LTC4270/LTC4271では、ホスト・コントローラの非絶縁型3.3V電源によってV<sub>DD</sub>を供給します。必要な絶縁を維持するためには、決してAGNDとDGNDを接続してはなりません。

### PoEの主電源

V<sub>EE</sub>は、PDに電力を供給するPoEの絶縁型主電源です。この電源は比較的大きな電力を供給し、大きな過渡電流を生じやすいので、簡単なロジック電源よりも設計に注意が必要です。最小のIR損失と最大のシステム効率を得るため、V<sub>EE</sub>を最大振幅(57V)近くに設定し、過渡オーバーシュート/アンダーシュート、温度ドリフト、および使用される個々の電源のラインレギュレーション仕様を見込んだ十分なマージンを残します。

AGNDとV<sub>EE</sub>の間のバイパス容量は、信頼性の高い動作をさせるために非常に重要になります。出力ポートの1つに短絡が生じると、LTC4270が電流を安定化し始めるのに1μsもの時間を要することがあります。この間は、電流が回路内の小さなインピーダンスによってのみ制限され、通常、高電流スパイクが生じるので、V<sub>EE</sub>電源に過渡電圧が生じ、UVLOフォールトによってLTC4270/LTC4271がリセットされる可能性があります。誤ったりセットを最小限に抑えるため、少なくとも47μFのバルク電解コンデンサに加えて、1μFの100V X7RコンデンサをV<sub>EE</sub>ピンの近くに接続することを推奨します。

### シリアル・バスの絶縁

LTC4270/LTC4271 チップセットでは、トランスを使ってLTC4271をLTC4270から絶縁します。この場合、SDAINピンとSDAOUTピンを互いに短絡してI<sup>2</sup>C/SMBusバスに直接接続することができます。トランスは巻数比が1:1の10BASE-Tまたは10/100BASE-Tを使用します。重要なのは、選択されたトランスには同相チョークがないということです。これらのトランスの絶縁能力は通常、LTC4271とLTC4270の間で1500Vです。適切な動作を確保するには、厳密なレイアウト・ガイドラインに従う必要があります。

## アプリケーション情報

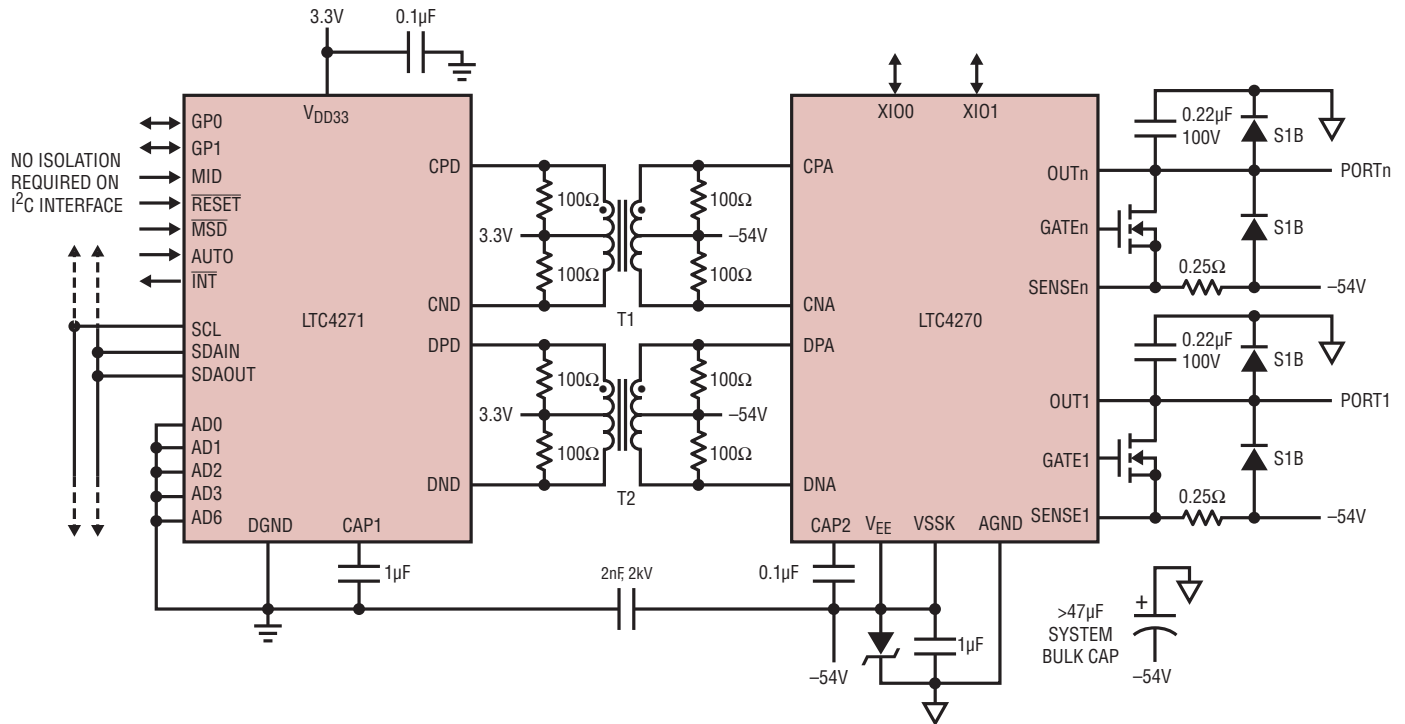


図 15. LTC4270/LTC4271 独自の絶縁

### 外付け MOSFET

システムの信頼性にとってパワー MOSFET を注意深く選択することが重要です。弊社では、タイプ 1 とタイプ 2 の PSE アプリケーションで信頼性が確認されている Fairchild 社の IRFM120A、FDT3612、FDMC3612、または Philips 社の PHT6NQ10T を推奨しています。SOA 曲線は、MOSFET を選択する際に信頼できる仕様ではありません。これらの推奨デバイス以外の MOSFET を使用する場合は、弊社にお問い合わせください。

### センス抵抗

LTC4270/LTC4271 は、電力損失を低減するために 0.25Ω の電流センス抵抗を使用するように設計されています。1 本の 0.25Ω 抵抗の代わりに、4 本の一般的な 1Ω 抵抗 (電力損失に応じたサイズ) を並列接続して使用することができます。IEEE

規格が要求する  $I_{CUT}$  と  $I_{LIM}$  の精度を達成するため、センス抵抗は許容誤差を  $\pm 1\%$  以下にし、温度係数を  $\pm 200\text{ppm}/^\circ\text{C}$  以下にします。また、センス抵抗は、厳密なレイアウト・ガイドラインに従う必要があります。

### ポートの出力コンデンサ

各ポートは、起動時や過負荷時の電流制限状態のときに LTC4270 を安定に保つため、出力の両端に 0.22μF のコンデンサを必要とします。一般的なセラミック・コンデンサは多くの場合大きな電圧係数をもっています。つまり、印加電圧が上昇するに従って容量が減少します。この問題を最小限に抑えるためには、少なくとも 100V の定格の X7R セラミック・コンデンサを推奨します。このセラミック・コンデンサは PSE の近くに配置する必要があります。

42701 F16

42701fc

## アプリケーション情報

### ESD/ケーブル放電保護

それぞれ数千ボルトに充電されている可能性がある複数の長いデータ・ケーブルが低インピーダンスのRJ45ジャックに挿入されたとき、イーサネット・ポートは大きなESDの影響を受ける可能性があります。損傷から保護するため、一方をAGNDに、他方を $V_{EE}$ に接続した1対のクランプ・ダイオードが各ポートごとに必要です(図16)。各LTC4270デバイスの $V_{EE}$ からAGNDにサージ・サプレッサを追加する必要があります。ポートのこれらのダイオードは有害なサージを電源レールに誘導し、そこでサージ・サプレッサと $V_{EE}$ のバイパス容量によってこれらのサージが吸収されます。サージ・サプレッサには、 $V_{EE}$ 電源の過渡変動からLTC4270を保護するというもう1つの利点があります。

S1Bダイオードはポートのクランプ・ダイオードに適しており、SMAJ58Aまたは同等部品を $V_{EE}$ のサージ・サプレッサとして推奨します。

### レイアウトのガイドライン

基板レイアウト、部品の配置および配線のガイドラインの厳格な遵守は、最適な電流読み出し精度、IEEE準拠、システムの堅牢性、熱損失を達成するために不可欠です。レイアウトについては、DC1682A デモボードを参照してください。すべてのレイアウト・ガイドライン、レイアウト例、BOM(部品表)が必要な場合は、弊社にお問い合わせください。

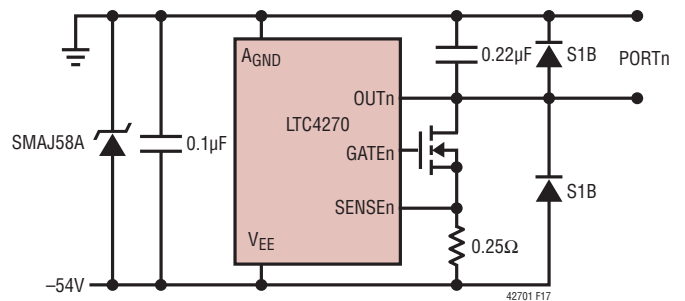
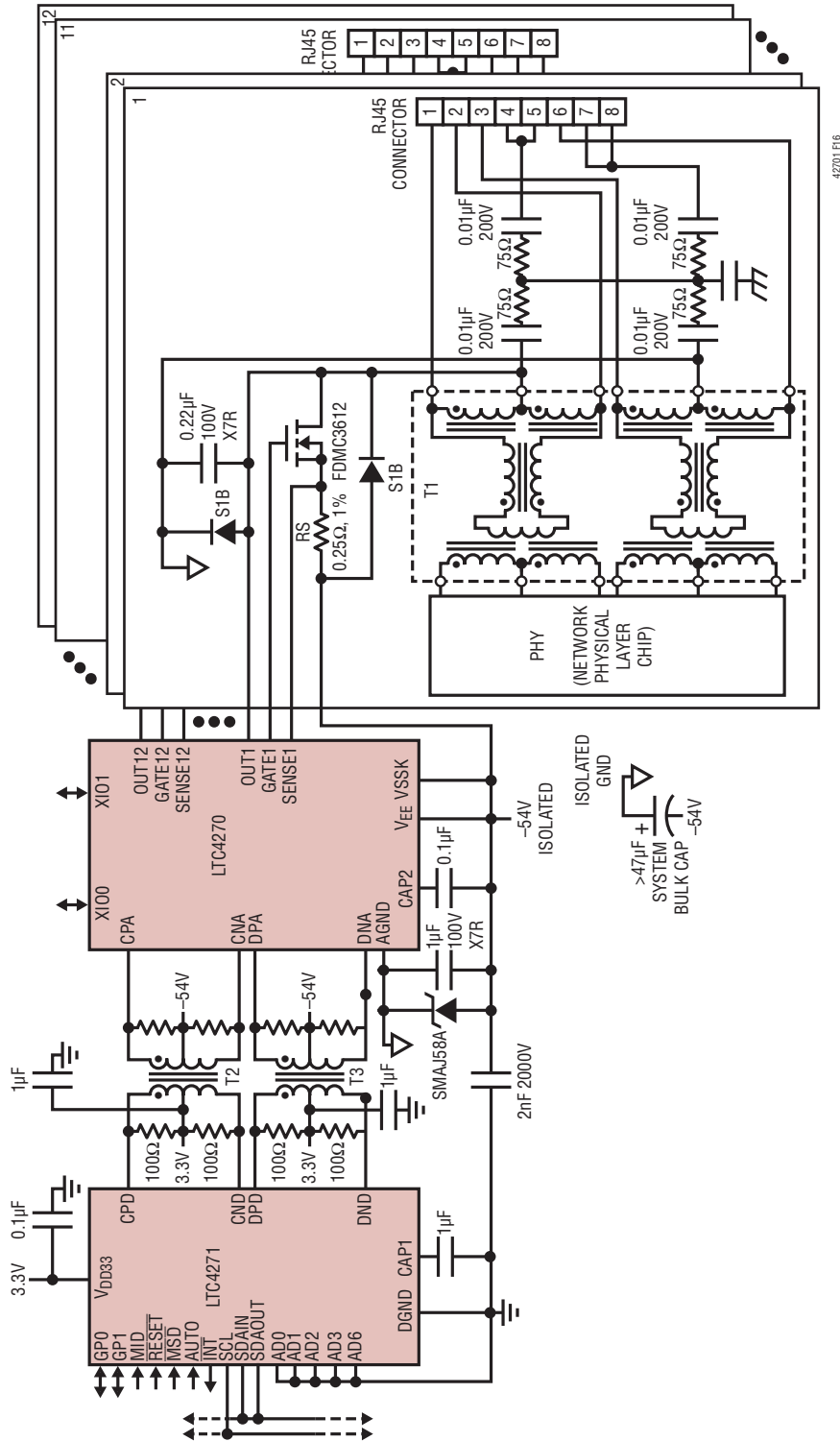


図16. LTC4270の放電保護

# LTC4270/LTC4271

## 標準的応用例



42701 F16

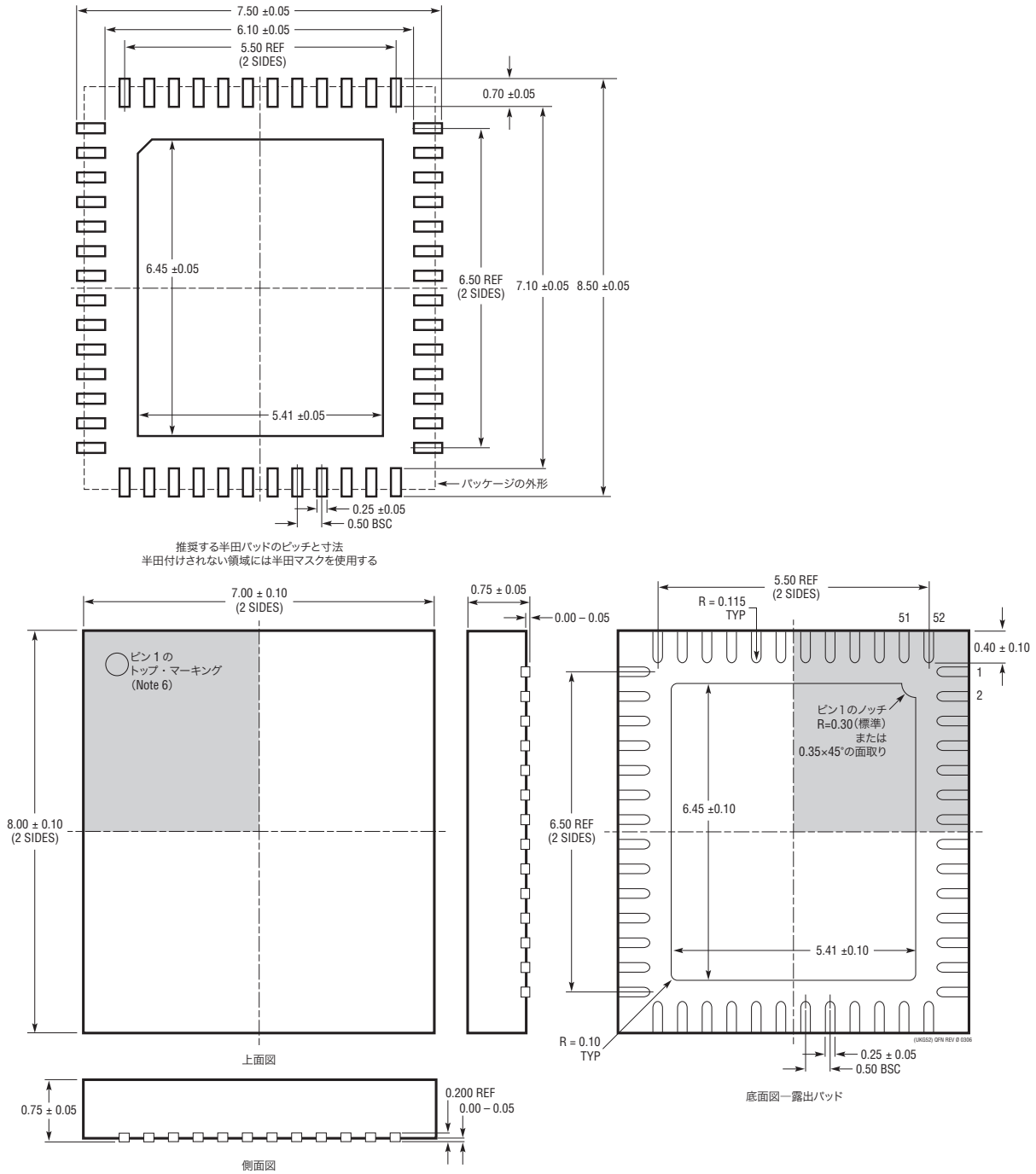


# LTC4270/LTC4271

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

### UKG パッケージ 52ピン・プラスチック QFN (7mm×8mm) (Reference LTC DWG # 05-08-1729 Rev 0)



**NOTE:**

1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは (もしあれば) 各サイドで  $0.20$ mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

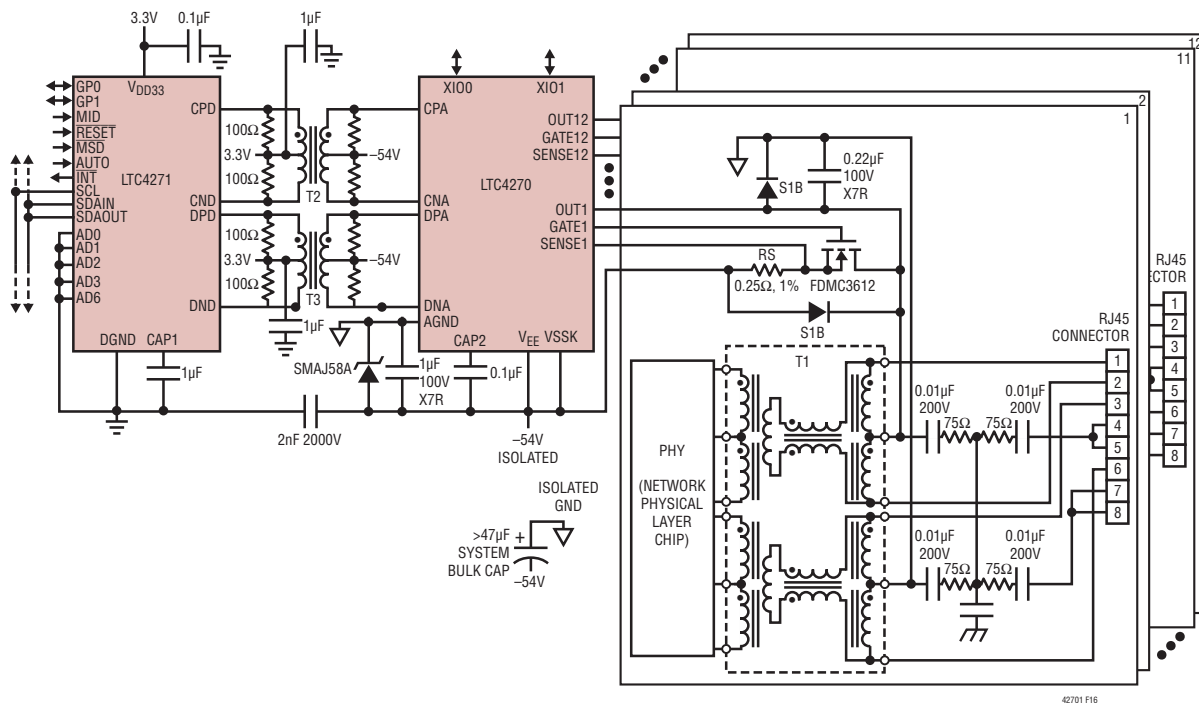
42701fc

## 改訂履歴

REV	日付	概要	ページ番号
A	9/11	「絶対最大定格」を更新 「電気的特性」を更新 GATEnピンの記述を更新 「突入電流の制御」セクションを更新 「電源とバイパス」セクションを更新 「標準的応用例」を更新	2 4、5、6、7 13 21 25 28、32
B	3/12	温度読み出し機能を削除 LTPoE++の電力レベルを35W、45Wから38.7W、52.7Wにそれぞれ変更 リード温度を削除 電気的特性を更新(動作温度範囲に関するドットを一部削除) AUTOピン・モードとリセット・ピンの関係を明確化 関連製品を修正	1、5、15、23 1、16、17 2 5、6 17～18 32
C	8/12	V <sub>DD</sub> Undervoltage Lock-Outの動作温度範囲に関するドットを削除 CAP2ピンのコンデンサに0.1μFのラベルを追加	4 28、32

# LTC4270/LTC4271

## 標準的応用例



## 関連製品

製品番号	説明	注釈
LTC4257-1	IEEE 802.3af PD用インタフェース・コントローラ	100V、400mA スイッチを内蔵、デュアル・レベル電流制限、プログラム可能なクラス
LTC4263	シングル IEEE 802.3af PSE コントローラ	FET スイッチ内蔵
LTC4265	IEEE 802.3at PD用インタフェース・コントローラ	100V、1A スイッチを内蔵、2 イベント分類を認識
LTC4266	クワッド IEEE 802.3at PoE PSE コントローラ	プログラム可能な $I_{CUT}/I_{LIM}$ 、2 イベント分類、ポート電流とポート電圧のモニタリング
LTC4266A	クワッド LTPoE++PSE コントローラ	最大 90W 対応、IEEE 802.3af と IEEE 802.3at の PD と後方互換、プログラム可能な $I_{CUT}/I_{LIM}$ 、2 イベント分類、ポート電流とポート電圧のモニタリング
LTC4266C	クワッド IEEE 802.3a f PSE コントローラ	プログラム可能な $I_{CUT}/I_{LIM}$ 、1 イベント分類、ポート電流とポート電圧のモニタリング
LTC4267	スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	100V、400mA スイッチを内蔵、デュアル・レベル突入電流制限、プログラム可能なクラス
LTC4267-1	スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	100V、400mA スイッチを内蔵、プログラム可能なクラス、200kHz の固定周波数 PWM
LTC4267-3	スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	100V、400mA スイッチを内蔵、プログラム可能なクラス、300kHz の固定周波数 PWM
LTC4269-1	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、補助電源サポート
LTC4269-2	フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 フォワードコントローラ、スイッチング周波数: 100kHz ~ 500kHz、補助電源サポート
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD用インタフェース	2 イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、12V の補助電源サポート
LTC4274	シングル IEEE 802.3at PoE PSE コントローラ	プログラム可能な $I_{CUT}/I_{LIM}$ 、2 イベント分類、ポート電流とポート電圧のモニタリング
LTC4274A	シングル LTPoE++PSE コントローラ	最大 90W 対応、IEEE 802.3af と IEEE 802.3at の PD と後方互換、プログラム可能な $I_{CUT}/I_{LIM}$ 、2 イベント分類、ポート電流とポート電圧のモニタリング
LTC4274C	シングル IEEE 802.3a f PSE コントローラ	プログラム可能な $I_{CUT}/I_{LIM}$ 、1 イベント分類、ポート電流とポート電圧のモニタリング
LTC4311	SMBus/ I <sup>2</sup> C アクセラレータ	I <sup>2</sup> C 立ち上がり時間を改善、データの完全性を保証

42701fc