

同期整流式No-Opto フライバック・コントローラ付き IEEE 802.3at PD

特長

- 25.5W IEEE 802.3at 準拠(タイプ2)PD
- 最先端の同期整流式フライバック・コントローラ内蔵
 - 絶縁型電源の効率>92%
 - ダイオードブリッジと Hot Swap™ FETを含む効率:88%
- 柔軟な補助電源サポートを搭載
- 優れたEMI性能
- 堅牢な100V 0.7Ω(標準) Hot Swap MOSFET内蔵
- IEEE 802.3at の”High Power Available(高電力可能)”インジケータ
- 内蔵のシグネチャ抵抗とプログラム可能な分類電流
- 低電圧保護、過電圧保護、熱保護
- 自動リスタート付き短絡保護
- ソフトスタートとスイッチング周波数をプログラム可能
- コンプリメンタリなパワーグッド・インジケータ
- 熱特性が改善された7mm×4mm DFNパッケージ

アプリケーション

- 先進ディスプレイ・オプション付きVoIP電話
- デュアルラジオ・ワイヤレス・アクセス・ポイント
- PTZ防犯カメラ
- RFIDリーダ
- 産業用制御

概要

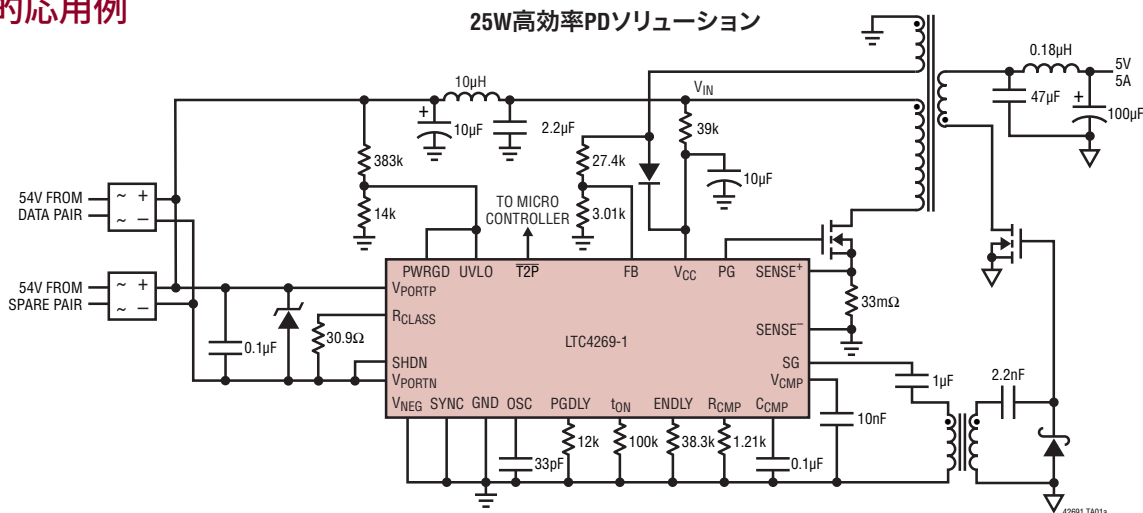
LTC®4269-1はIEEE 802.3atおよび802.3af準拠の高電力アプリケーション向けの集積化された受電機器(PD)コントローラおよびスイッチング・レギュレータで、10W~25Wの高効率なシングルおよびマルチ出力アプリケーションに対応しています。IEEEの規定に従い1イベント分類と2イベント分類の両方をサポートしているため、広範な製品構成で使用可能です。

LTC4269-1の同期整流式電流モード・フライバック・コントローラは1つの変換ステップで複数の電源レールを生成し、すべての出力で高精度のレギュレーションを維持しながらシステム効率を最大限に向上させます。LTC4269-1はリニアテクノロジーが特許を取得したNo-Opto帰還トポロジーを採用し、オプティソレータ回路なしで完全なIEEE 802.3 絶縁を提供することができます。また、真のソフトスタート機能により、すべての出力電圧のスムーズなランプアップが可能です。

リニアテクノロジーのPDソリューションはすべて、シャットダウン・ピンを搭載しているため、柔軟な補助電源オプションを提供します。LTC4269-1は18V~60Vのアダプタ電圧に対応可能で、PoEオプションと補助電源優先オプションの両方をサポートしています。LTC4269-1は省スペースの32ピンDFNパッケージで供給されます。

LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。5841643を含む米国特許によって保護されています。

標準的応用例



42691fc

LTC4269-1

絶対最大定格

(Note 1, 2)

V_{PORTN}基準のピン

V_{PORTP}の電圧 -0.3V~100V

V_{NEG}の電圧 -0.3V~V_{PORTP}

V_{NEG}のプルアップ電流 1A

SHDN -0.3V~100V

R_{CLASS}の電圧 -0.3V~7V

R_{CLASS}のソース電流 50mA

PWRGDの電圧 (Note 3)

低インピーダンス・ソース V_{NEG}-0.3V~V_{NEG}+11V

シンク電流 5mA

PWRGD、T2Pの電圧 -0.3V~100V

PWRGD、T2Pのシンク電流 10mA

GND基準のピン

V_{CC} (Note 3)

低インピーダンス・ソース -0.3V~+18V

シンク電流 30mA

SENSE⁻、SENSE⁺の電圧 -0.5V~+0.5V

UVLO、SYNCの電圧 -0.3V~V_{CC}

FB電流 ±2mA

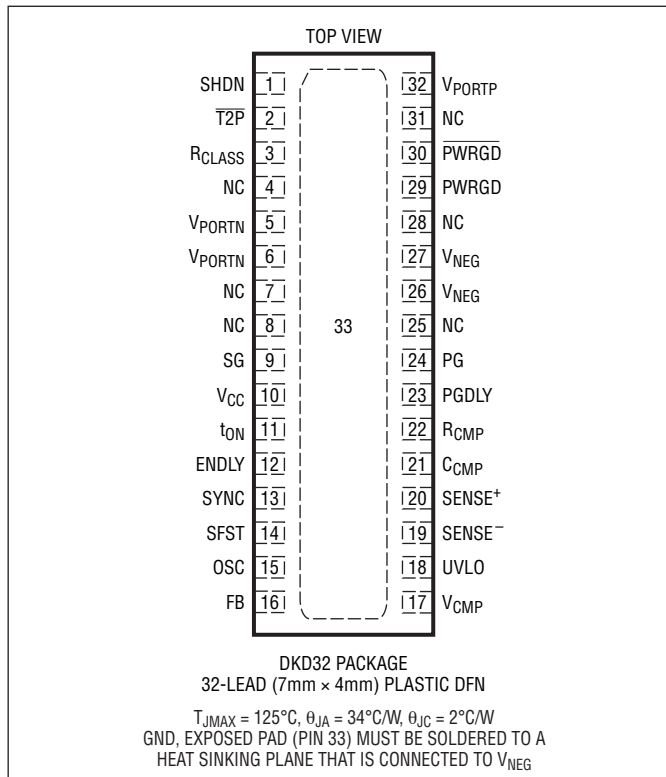
V_{CMP}電流 ±1mA

動作周囲温度範囲

LTC4269C-1 0°C~70°C

LTC4269I-1 -40°C~85°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4269CDKD-1#PBF	LTC4269CDKD-1#TRPBF	42691	32-Lead (7mm x 4mm) Plastic DFN	0°C to 70°C
LTC4269IDKD-1#PBF	LTC4269IDKD-1#TRPBF	42691	32-Lead (7mm x 4mm) Plastic DFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Interface Controller (Note 4)						
Operating Input Voltage	At V_{PORTP} (Note 5)	●			60	V
Signature Range		●	1.5		9.8	V
Classification Range		●	12.5		21	V
ON Voltage		●			37.2	V
OFF Voltage		●	30.0			V
Overvoltage Lockout				71		V
ON/OFF Hysteresis Window		●	4.1			V
Signature/Class Hysteresis Window		●	1.4			V
Reset Threshold	State Machine Reset for 2-Event Classification	●	2.57		5.40	V
Supply Current						
Supply Current at 57V	Measured at V_{PORTP} Pin	●			1.35	mA
Class 0 Current	$V_{PORTP} = 17.5\text{V}$, No R_{CLASS} Resistor	●			0.40	mA
Signature						
Signature Resistance	$1.5\text{V} \leq V_{PORTP} \leq 9.8\text{V}$ (Note 6)	●	23.25		26	k Ω
Invalid Signature Resistance, SHDN Invoked	$1.5\text{V} \leq V_{PORTP} \leq 9.8\text{V}$, $V_{SHDN} = 3\text{V}$ (Note 6)	●			11	k Ω
Invalid Signature Resistance During Mark Event	(Notes 6, 7)	●			11	k Ω
Classification						
Class Accuracy	$10\text{mA} < I_{CLASS} < 40\text{mA}$, $12.5\text{V} < V_{PORTP} < 21\text{V}$ (Notes 8, 9)	●			± 3.5	%
Classification Stability Time	V_{PORTP} Pin Step to 17.5V, $R_{CLASS} = 30.9$, I_{CLASS} Within 3.5% of Ideal Value (Notes 8, 9)	●			1	ms
Normal Operation						
Inrush Current	$V_{PORTP} = 54\text{V}$, $V_{NEG} = 3\text{V}$	●	60	100	180	mA
Power FET On-Resistance	Tested at 600mA into V_{NEG} , $V_{PORTP} = 54\text{V}$	●		0.7	1.0	Ω
Power FET Leakage Current at V_{NEG}	$V_{PORTP} = \text{SHDN} = V_{NEG} = 57\text{V}$	●			1	μA
Digital Interface						
SHDN Input High Level Voltage		●	3			V
SHDN Input Low Level Voltage		●			0.45	V
SHDN Input Resistance	$V_{PORTP} = 9.8\text{V}$, $\text{SHDN} = 9.65\text{V}$	●	100			k Ω
$\overline{\text{PWRGD}}$, $\overline{\text{T2P}}$ Output Low Voltage	Tested at 1mA, $V_{PORTP} = 54\text{V}$. For $\overline{\text{T2P}}$, Must Complete 2-Event Classification to See Active Low	●			0.15	V
$\overline{\text{PWRGD}}$, $\overline{\text{T2P}}$ Leakage Current	Pin Voltage Pulled 57V, $V_{PORTP} = V_{PORTN} = 0\text{V}$	●			1	μA
$\overline{\text{PWRGD}}$ Output Low Voltage	Tested at 0.5mA, $V_{PORTP} = 52\text{V}$, $V_{NEG} = 48\text{V}$, Output Voltage Is with Respect to V_{NEG}	●			0.4	V
$\overline{\text{PWRGD}}$ Clamp Voltage	Tested at 2mA, $V_{NEG} = 0\text{V}$, Voltage with Respect to V_{NEG}	●	12		16.5	V
$\overline{\text{PWRGD}}$ Leakage Current	$V_{\overline{\text{PWRGD}}} = 11\text{V}$, $V_{NEG} = 0\text{V}$, Voltage with Respect to V_{NEG}	●			1	μA

LTC4269-1

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PWM Controller (Note 10)						
Power Supply						
V_{CC} Turn-On Voltage, $V_{CC(ON)}$		●	14	15.3	16	V
V_{CC} Turn-Off Voltage, $V_{CC(OFF)}$		●	8	9.7	11	V
V_{CC} Hysteresis	$V_{CC(ON)} - V_{CC(OFF)}$	●	4	5.6	6.5	V
V_{CC} Shunt Clamp	$V_{UVLO} = 0V, I_{VCC} = 15mA$	●	19.5	20.5		V
V_{CC} Supply Current (I_{CC})	$V_{CMP} = \text{Open}$ (Note 11)	●	4	6.4	10	mA
V_{CC} Start-Up Current	$V_{CC} = 10V$	●		180	400	μA
Feedback Amplifier						
Feedback Regulation Voltage (V_{FB})		●	1.220	1.237	1.251	V
Feedback Pin Input Bias Current	R_{CMP} Open			200		nA
Feedback Amplifier Transconductance	$\Delta I_C = \pm 10\mu\text{A}$	●	700	1000	1400	μmho
Feedback Amplifier Source or Sink Current		●	25	55	90	μA
Feedback Amplifier Clamp Voltage	$V_{FB} = 0.9V$ $V_{FB} = 1.4V$			2.56 0.84		V V
Reference Voltage Line Regulation	$12V \leq V_{CC} \leq 18V$	●		0.005	0.02	%/V
Feedback Amplifier Voltage Gain	$V_{CMP} = 1.2V$ to $1.7V$			1400		V/V
Soft-Start Charging Current	$V_{SFST} = 1.5V$		16	20	25	μA
Soft-Start Discharge Current	$V_{SFST} = 1.5V, V_{UVLO} = 0V$		0.8	1.3		mA
Control Pin Threshold (V_{CMP})	Duty Cycle = Min			1		V
Gate Outputs						
PG, SG Output High Level		●	6.6	7.4	8	V
PG, SG Output Low Level		●		0.01	0.05	V
PG, SG Output Shutdown Strength	$V_{UVLO} = 0V; I_{PG}, I_{SG} = 20mA$	●		1.6	2.3	V
PG Rise Time	$C_{PG} = 1nF$			11		ns
SG Rise Time	$C_{SG} = 1nF$			15		ns
PG, SG Fall Time	$C_{PG}, C_{SG} = 1nF$			10		ns
Current Amplifier						
Switch Current Limit at Maximum V_{CMP}	V_{SENSE}^+	●	88	98	110	mV
$\Delta V_{SENSE} / \Delta V_{CMP}$				0.07		V/V
Sense Voltage Overcurrent Fault Voltage	$V_{SENSE}^+, V_{SFST} < 1V$	●		206	230	mV
Timing						
Switching Frequency (f_{OSC})	$C_{OSC} = 100pF$	●	84	100	110	kHz
Oscillator Capacitor Value (C_{OSC})	(Note 12)		33		200	pF
Minimum Switch On Time ($t_{ON(MIN)}$)				200		ns
Flyback Enable Delay Time (t_{ENDLY})				265		ns
PG Turn-On Delay Time (t_{PGDLY})				200		ns
Maximum Switch Duty Cycle		●	85	88		%
SYNC Pin Threshold		●		1.53	2.1	V
SYNC Pin Input Resistance				40		k Ω

42691fc

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Load Compensation					
Load Compensation to V_{SENSE} Offset Voltage	V_{RCMP} with $V_{\text{SENSE}}^+ = 0\text{V}$		1		mV
Feedback Pin Load Compensation Current	$V_{\text{SENSE}}^+ = 20\text{mV}$, $V_{\text{FB}} = 1.230\text{V}$		20		μA
UVLO Function					
UVLO Pin Threshold (V_{UVLO})		● 1.215	1.240	1.265	V
UVLO Pin Bias Current	$V_{\text{UVLO}} = 1.2\text{V}$ $V_{\text{UVLO}} = 1.3\text{V}$	-0.25 -4.50	0 -3.4	0.25 -2.50	μA μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: $T \geq 0^\circ\text{C}$ で絶対最大定格100Vが保証されているピン。他は90V。

Note 3: アクティブ“H”のPWRGDピンの内部クランプ回路は、 V_{NEG} を基準にして14Vに自己制御する。 V_{CC} にはGNDを基準にして19.5Vのクランプが備わっている。

Note 4: 注記がない限り、すべての電圧値は V_{PORTN} ピンを基準にしている。

Note 5: 入力電圧の仕様はLTC4269-1のピンを基準にして定義されており、入力ダイオード・ブリッジが含まれる場合にIEEE 802.3af/IEEE 802.3atの仕様に適合する。

Note 6: シグネチャ抵抗は最小 ΔV が1Vの $\Delta V/\Delta I$ 手法で測定される。LTC4269-1のシグネチャ抵抗は入力ダイオード・ブリッジの追加直列抵抗を補償する。

Note 7: 1回目の分類イベント後の無効なシグネチャはIEEE 802.3at標準規格によって義務付けられている。「アプリケーション情報」のセクションを参照。

Note 8: 分類の正確さは $1.237/R_{\text{CLASS}}$ で定義される理想電流を基準にしており、 R_{CLASS} 抵抗のばらつきは含まない。

Note 9: このパラメータは設計とウェハー・レベルでのテストによって確認されている。

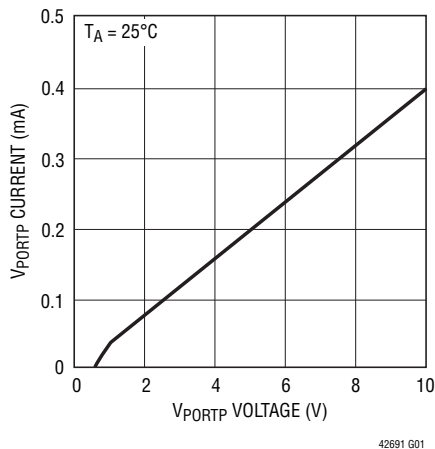
Note 10: 注記がない限り、 $V_{\text{CC}} = 14\text{V}$ 、PGおよびSGはオープン、 $V_{\text{CMP}} = 1.5\text{V}$ 、 $V_{\text{SENSE}}^- = 0\text{V}$ 、 $R_{\text{CMP}} = 1\text{k}$ 、 $R_{\text{ION}} = 90\text{k}$ 、 $R_{\text{PGDLY}} = 27.4\text{k}$ 、 $R_{\text{ENDLY}} = 90\text{k}$ 。すべての電圧はGNDを基準にしている。

Note 11: 消費電流にはMOSFETのゲート充電電流は含まれない。

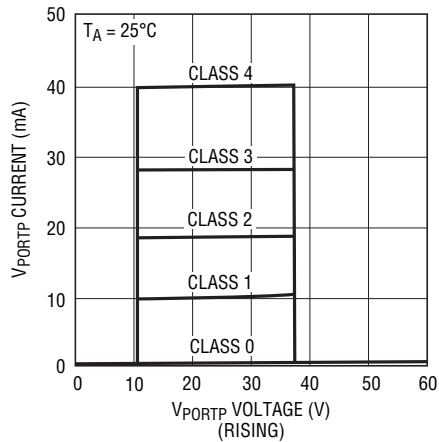
Note 12: 設計保証される部品の値の範囲。

標準的性能特性

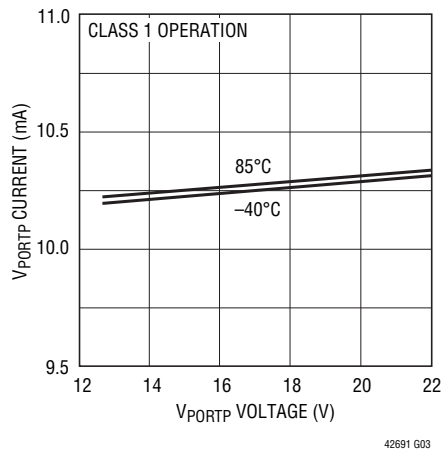
入力電流と入力電圧、
25k検出範囲



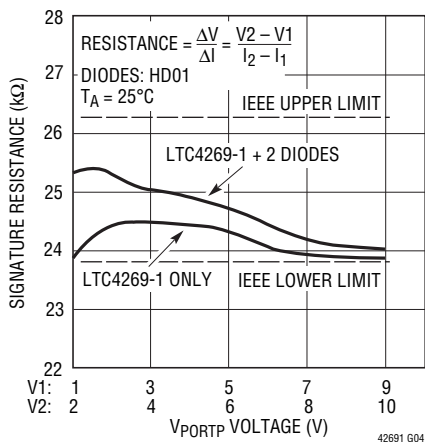
入力電流と入力電圧



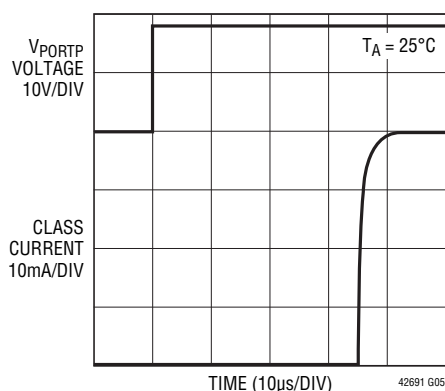
入力電流と入力電圧



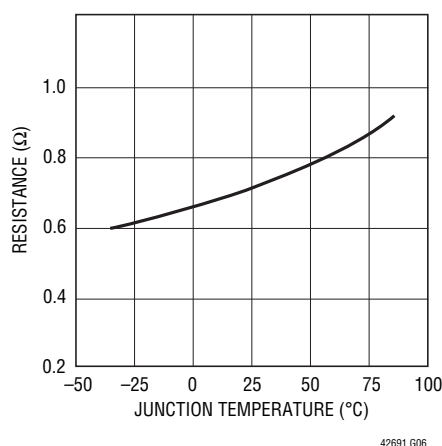
シグネチャ抵抗と入力電圧



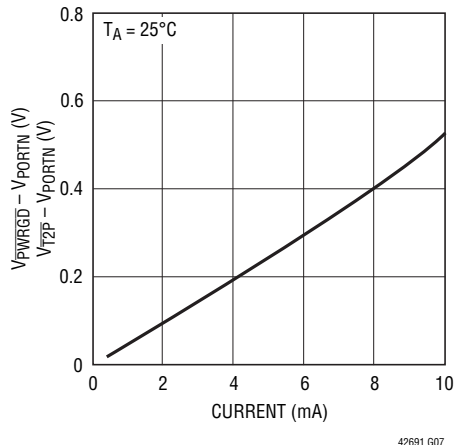
分類動作と時間



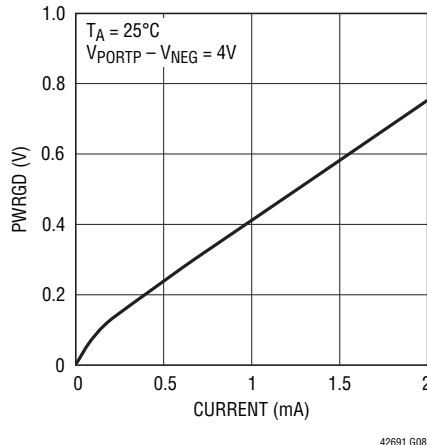
オン抵抗と温度



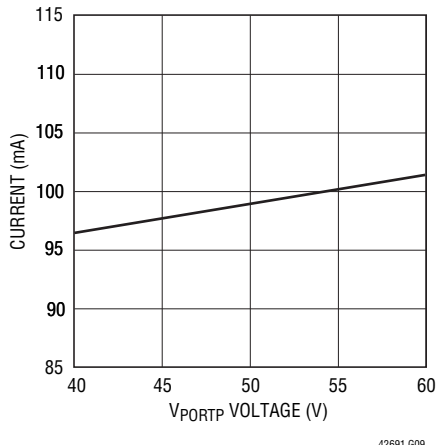
PWRGD、T2P出力の“L”電圧と電流



アクティブ“H”のPWRGD出力の
“L”電圧と電流

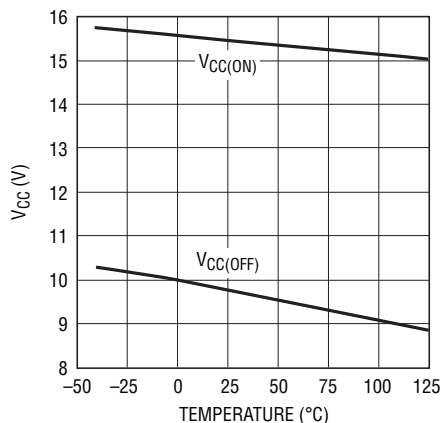


突入電流と入力電圧



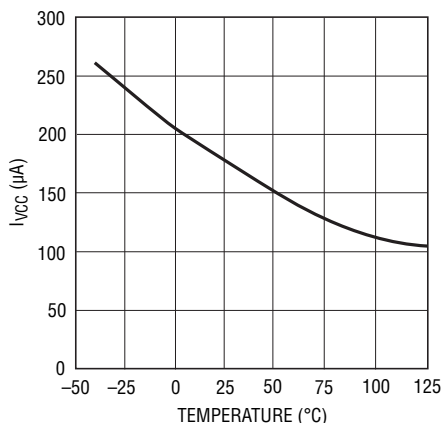
標準的性能特性

V_{CC}(ON)およびV_{CC}(OFF)と温度



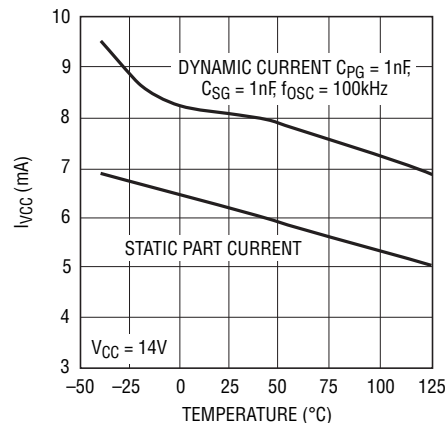
42691 G10

V_{CC}起動電流と温度



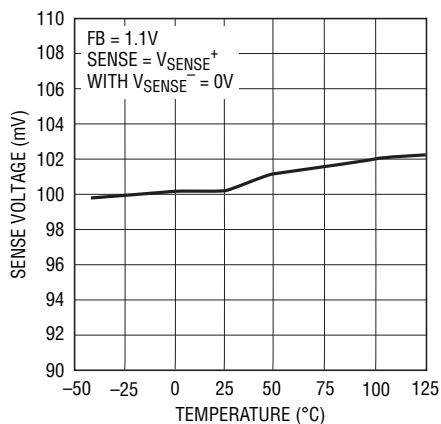
42691 G11

V_{CC}電流と温度



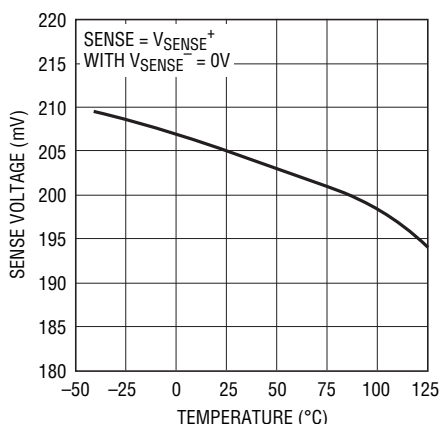
42691 G12

SENSE電圧と温度



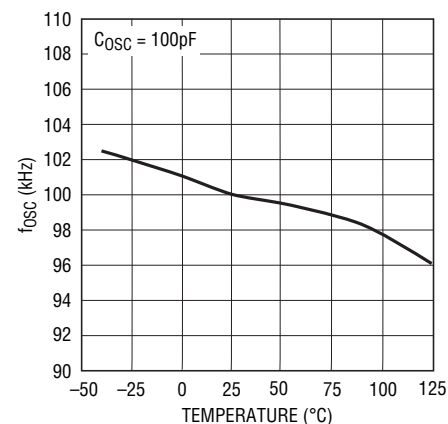
42691 G13

SENSEフォールト電圧と温度



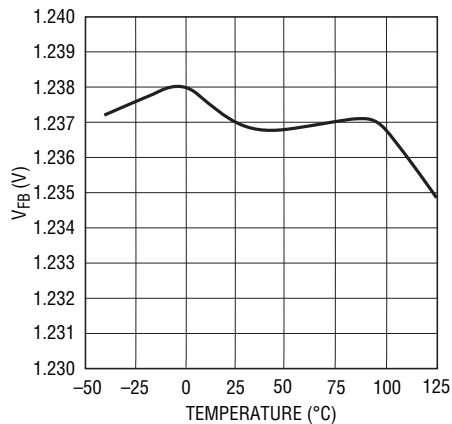
42691 G14

発振器周波数と温度



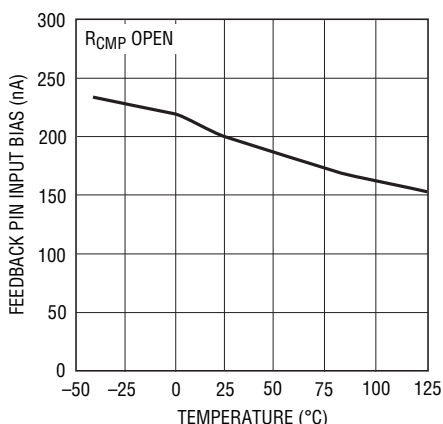
42691 G15

V_{FB}と温度



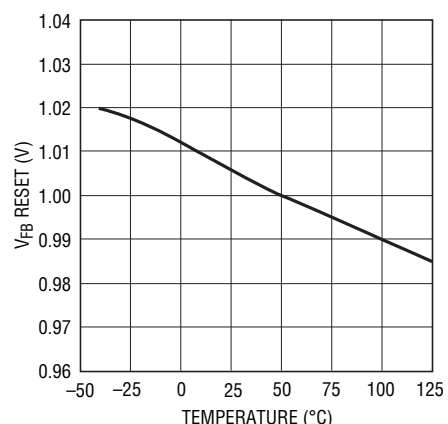
42691 G16

帰還ピンの
入力バイアス電流と温度



42691 G17

V_{FB}のリセット電圧と温度

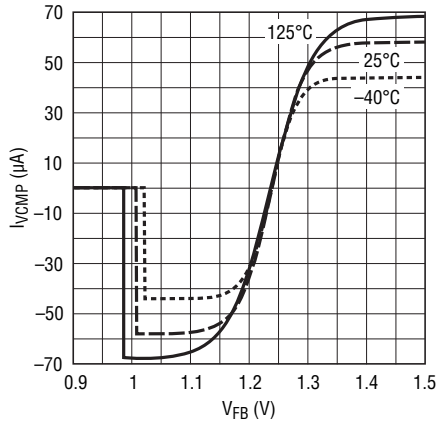


42691 G18

42691fc

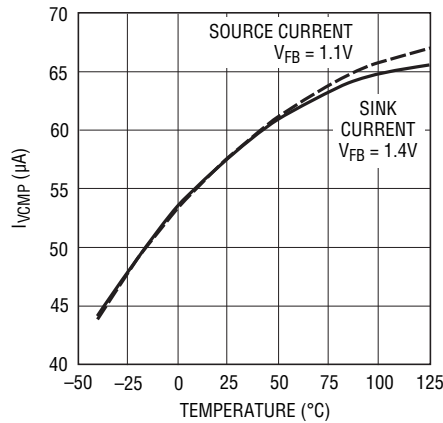
標準的性能特性

帰還アンプの出力電流と V_{FB}



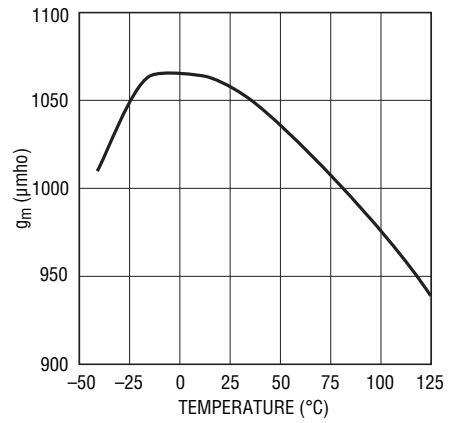
42691 G19

帰還アンプのソース電流およびシンク電流と温度



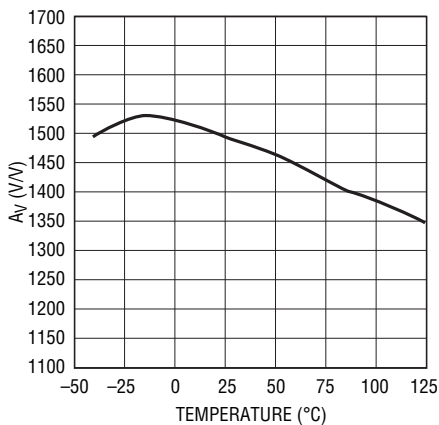
42691 G20

帰還アンプの g_m と温度



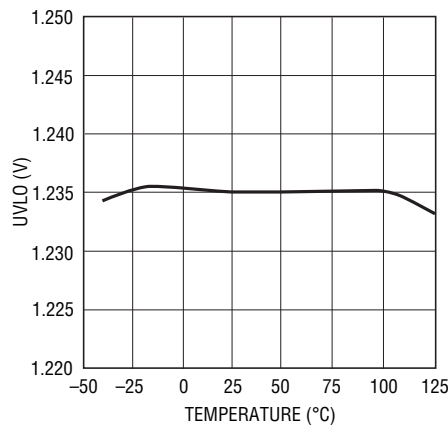
42691 G21

帰還アンプの電圧利得と温度



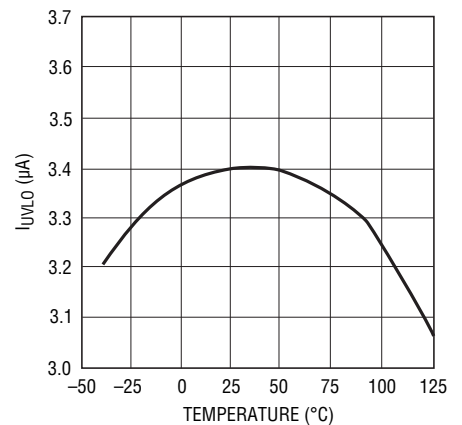
42691 G22

UVLOと温度



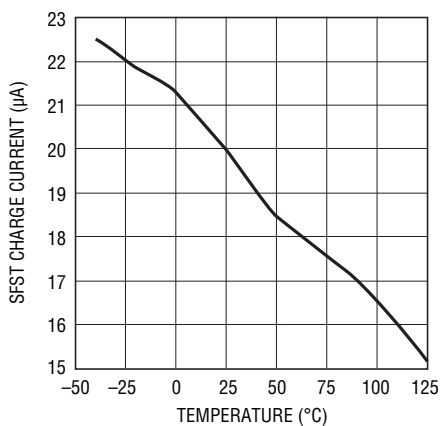
42691 G23

I_{UVLO} のヒステリシスと温度



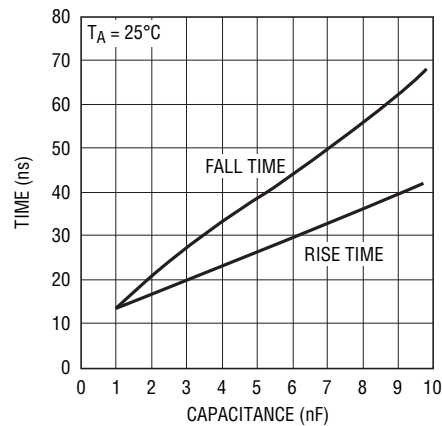
42691 G24

ソフトスタート充電電流と温度



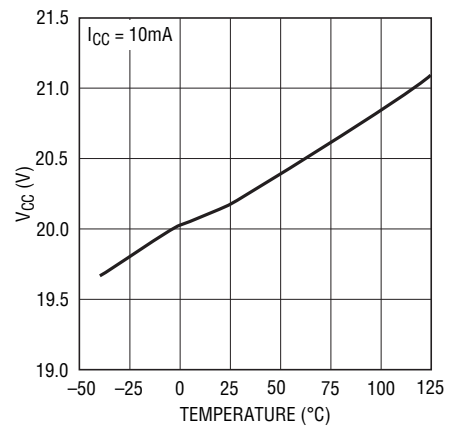
42691 G25

PG、SGの立ち上がり時間および立ち下がり時間と負荷容量



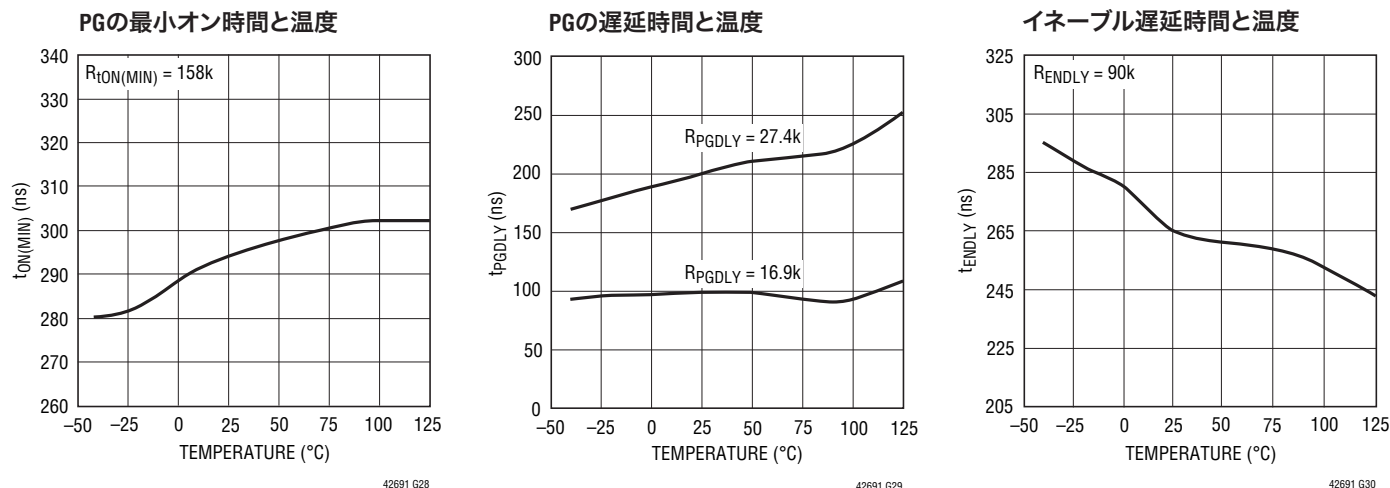
42691 G26

V_{CC} クランプ電圧と温度



42691 G27

標準的性能特性



ピン機能

SHDN (ピン1): シャットダウン入力。このピンは補助電源のアプリケーションに使用します。SHDNを“H”にドライブしてLTC4269-1の動作をディスエーブルし、シグネチャ抵抗を無効化します。使用しない場合、SHDNをVPORTNに接続します。

T2P (ピン2): タイプ2のPSEインジケータ、オープンドレイン。低インピーダンスでタイプ2のPSEが接続されていることを示します。

RCLASS (ピン3): 分類選択入力。RCLASSとVPORTNの間に抵抗を接続して分類負荷電流を設定します(表2を参照)。

NC (ピン4、7、8、25、28、31): 接続なし。

VPORTN (ピン5、6): 入力電圧の負電源レール。ピン5とピン6はパッケージのところで電氣的に相互接続する必要があります。

SG (ピン9): 同期ゲート・ドライブ出力。このピンは2次側同期整流器の出力信号を供給します。電圧過渡の間に大きなダイナミック電流が流れることがあります。詳細については、「アプリケーション情報」のセクションを参照してください。

VCC (ピン10): 電源電圧ピン。このピンは4.7 μ F以上のコンデンサを使用してGNDにバイパスします。このピンはグラウンドを基準にした19.5Vにクランプされています。VCCは低電圧ロックアウト機能を備えており、VCCが約15.3Vでデバイスをオンし、9.7Vでオフします。従来のトリクル充電ブートストラップ構成では、VCC電源電流がターンオン時に大幅に増加し、デバイ

が正常に起動しないとVCCピンに穏やかな弛緩発振動作が生じます。

tON (ピン11): サイクル毎に1次側スイッチがオンする最小時間を設定する外付け設定抵抗用のピン。最小時間オンさせることにより、絶縁型帰還手法を容易に実現します。詳細については、「アプリケーション情報」のセクションを参照してください。

ENDLY (ピン12): イネーブル遅延時間を設定する外付け設定抵抗用のピン。イネーブル遅延時間により、1次側MOSFETがオフした後、帰還アンプが一定時間ディスエーブルされます。これにより、フライバック電圧検出において漏れインダクタンスによる電圧スパイクを無視できます。詳細については、「アプリケーション情報」のセクションを参照してください。

SYNC (ピン13): 外部同期入力。このピンは内部発振器を外部クロックに同期させるために使用します。クロックの立ち上がりエッジによって発振器が放電し、PGが“L”(オフ)になり、SGが“H”(オン)になります。同期スレッショルドは標準で1.5Vです。使用しない場合は、グラウンドに接続します。詳細については、「アプリケーション情報」のセクションを参照してください。

SFST (ピン14): ソフトスタート。このピンは、GNDに接続したコンデンサ(C_{SFST})とともに、検出抵抗を流れる1次側ピーク電流のランプアップを制御します。これはコンバータの起動時の突入電流を制御するのにも使用します。SFSTはV_{CMP}電圧をクランプして、ソフトスタートが完了するまでピーク電流を制

ピン機能

限します。ランプ時間は $1\mu\text{F}$ の容量あたり約70msです。ソフトスタート機能を使用しない場合、SFSTをオープンのままにしておきます。

OSC (ピン15) : 発振器。このピンは、GNDに接続した外付けコンデンサ (C_{OSC}) とともに、コントローラの発振器周波数を設定します。周波数は約 $100\text{kHz} \cdot 100/C_{\text{OSC}}$ (pF) です。

FB (ピン16) : 帰還アンプの入力。帰還は通常3番目の巻線を介して検出され、フライバック期間にイネーブルされます。また、このピンは追加の電流をシンクして、 R_{CMP} ピンによって設定される負荷電流の変動を補償します。帰還分割器のテブナン等価抵抗はおよそ3kに保ちます。

V_{CMP} (ピン17) : 周波数補償の制御。 V_{CMP} はスイッチャ制御ループの周波数補償に使用されます。これは帰還アンプの出力であり、電流コンパレータの入力です。スイッチャの周波数補償部品をこのピンからGNDに接続します。このピンの電圧は1次側スイッチのピーク電流に比例します。帰還アンプの出力は同期スイッチのオン時間の間イネーブルされます。

UVLO (ピン18) : 低電圧ロックアウト。 V_{PORTP} からこのピンに接続された抵抗分割器によって、(V_{CC} ではなく) V_{PORTP} のレベルに基づいて低電圧ロックアウトが設定されます。UVLOピンがそのスレッショルドよりも低いと、ゲート・ドライブはディスエーブルされますが、デバイスには V_{CC} から通常の消費電流が流れます。 V_{CC} の低電圧ロックアウトはこの機能に優先するので、デバイスを起動するには V_{CC} が十分高くなければなりません。

このピンのバイアス電流にはヒステリシスがあるので、UVLOスレッショルドを超えるとバイアス電流がソースされます。このため、バイアス電流の変化分と分割器の上側の抵抗のインピーダンスの積に等しいヒステリシスがこのピンに生じます。分割器のインピーダンスを調節することにより、ヒステリシスの値を制御することができます。この機能を使用しない場合、UVLOピンを V_{CC} に接続します。詳細については、「アプリケーション情報」のセクションを参照してください。このピンはスイッチング・レギュレータのUVLO機能に使用されます。PDインタフェース部にUVLO機能を備えています。

SENSE⁻, SENSE⁺ (ピン19, 20) : 電流検出入力。これらのピンは外付け検出抵抗によって1次側スイッチ電流を測定するのに使用されます。1次側スイッチのピーク電流はコンバータの制御ループで使用されます。ノイズの問題を軽減するために、検出抵抗 R_{SENSE} にはケルビン接続を行います。SENSE⁻はGND側に接続します。最大電流では(V_{CMP} がその最大電

圧)、SENSEピンのスレッショルドは100mVです。最小ターンオン時間の間、信号はブランキング(無視)されます。

C_{CMP} (ピン21) : 負荷補償容量の制御。帰還検出経路の寄生抵抗の影響を減らすため、 C_{CMP} からGNDにコンデンサを接続します。ほとんどのアプリケーションでは、 $0.1\mu\text{F}$ のセラミック・コンデンサで十分です。負荷補償が不要な場合は、このピンをGNDに短絡します。

R_{CMP} (ピン22) : 負荷補償抵抗の制御。帰還検出経路の寄生抵抗を補償するため、 R_{CMP} からGNDに抵抗を接続します。要求が厳しくないアプリケーションでは、この抵抗は不要で、このピンをオープンのままにしておくことができます。詳細については、「アプリケーション情報」のセクションを参照してください。

PGDLY (ピン23) : 1次側ゲートの遅延制御。外付け設定抵抗 (R_{PGDLY}) を接続して、同期ゲートがオフしてから1次側ゲートがオンするまでの遅延を設定します。詳細については、「アプリケーション情報」のセクションを参照してください。

PG (ピン24) : 1次側ゲート・ドライブ。PGは1次側MOSFETスイッチのゲート・ドライブ・ピンです。電圧過渡の間に大きなダイナミック電流が流れます。詳細については、「アプリケーション情報」のセクションを参照してください。

V_{NEG} (ピン26, 27) : システムの負電源レール。 V_{NEG} は内部パワーMOSFETを介して V_{PORTN} と接続されています。ピン26とピン27はパッケージのところで電氣的に相互接続する必要があります。

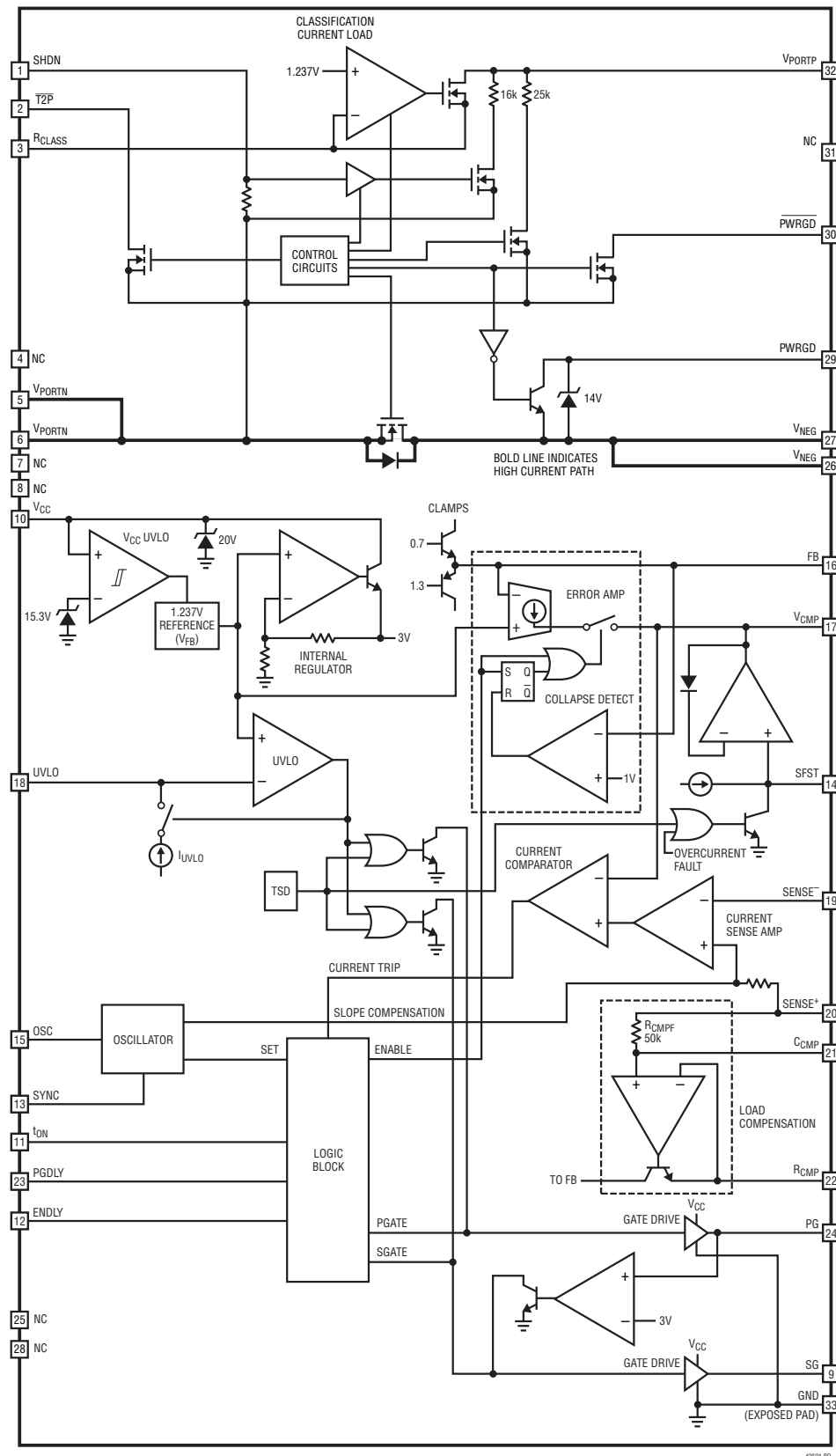
PWRGD (ピン29) : パワーグッド出力(オープンコレクタ)。高インピーダンス状態でパワーアップが完了していることを示します。PWRGDは V_{NEG} を基準にしており、14Vのクランプを備えています。

$\overline{\text{PWRGD}}$ (ピン30) : 相補パワーグッド出力(オープンドレイン)。低インピーダンス状態でパワーアップが完了していることを示します。 $\overline{\text{PWRGD}}$ は V_{PORTN} を基準にしています。

V_{PORTP} (ピン32) : 正電源入力。入力ダイオード・ブリッジを介して入力ポートの電源に接続します。

露出パッド (ピン33) : グランド。これは、信号グランドとフライバック・コントローラのゲート・ドライバのグランドの両方の負電源レール接続です。このピンは V_{NEG} に接続します。

ブロック図



アプリケーション情報

概要

Power over Ethernet (PoE) は、1個のRJ45コネクタからDC電力と高速データを使用できる利点を活かした製品が増えるにつれ、ますます広く普及してきています。PoEが市場で成長を続けるにつれ、受電機器(PD)メーカーはIEEE 802.3af標準規格の定める13.0Wの電力制限に達してきています。

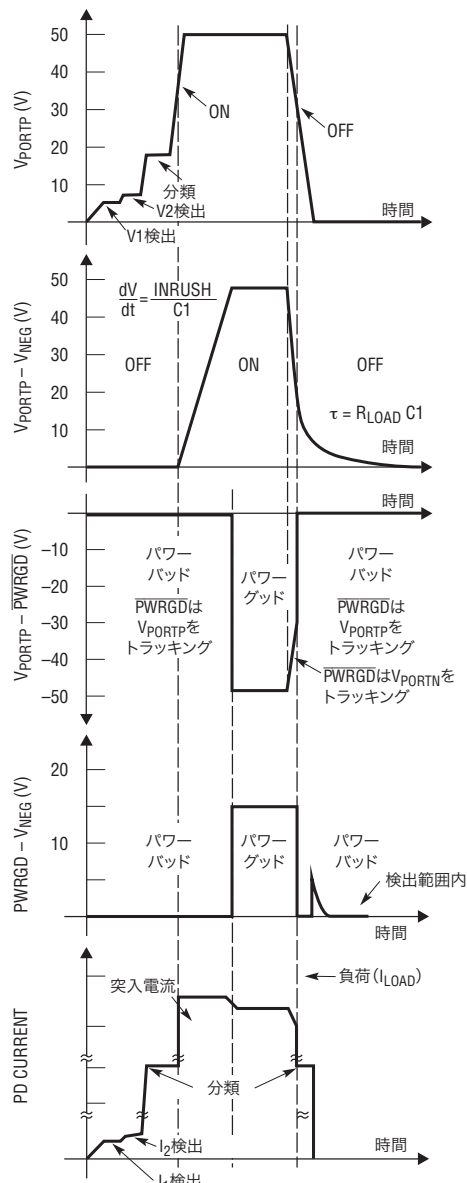
IEEE802.3at標準規格はPower over Ethernetのより高電力の割り当てを規定するとともに、従来のIEEE802.3afシステムとの下位互換性を維持しています。給電機器(PSE)と受電機器は、IEEE 802.3af/IEEE 802.3atの電力レベルに準拠しているタイプ1またはIEEE802.3atの電力レベルに準拠しているタイプ2として区別されます。タイプ2のPDが使用可能な最大電力は25.5Wです。

IEEE802.3at標準規格は、PDから電力分類を取得し、タイプ2のPSEが接続されていることを知らせる新たな方法も規定しています。タイプ2のPSEは、2イベント分類を行うことにより(レイヤ1)、またはデータ・ラインを使用してPDと通信することにより(レイヤ2)、PDの電力分類を取得するオプションを備えています。他方、タイプ2のPDは両方のレイヤの通信を認識し、タイプ2のPSEを識別できる必要があります。

LTC4269-1はIEEE802.3at標準規格に従って動作する必要のあるPDのフロントエンドのサポート専用設計されています。特に、LTC4269-1は2イベント分類を認識するT2Pインジケータ・ビットを生成します。このインジケータ・ビットを使用して、タイプ2のPSEが接続されていることをLTC4269-1の出力負荷に知らせることができます。LTC4269-1は、内部シグネチャ抵抗、分類回路、突入電流制御およびサーマル・シャットダウン機能を備えた完全なPDインタフェース・ソリューションであり、次世代のPDアプリケーションをサポートすることができます。

動作モード

LTC4269-1には、V_{PORTP}ピンとV_{PORTN}ピンの間に与えられる入力電圧に依存するいくつかの動作モードがあります。表1に要約されている様々な動作モードでLTC4269-1に生じる可能性のある電圧および電流の波形を図1に示します。



$$I_1 = \frac{V_1 - \text{ダイオードの電圧降下} \times 2}{25k\Omega} \quad I_2 = \frac{V_2 - \text{ダイオードの電圧降下} \times 2}{25k\Omega}$$

I_{CLASS}はR_{CLASS}の選択に依存
突入電流 = 100mA

$$I_{LOAD} = \frac{V_{PORTP}}{R_{LOAD}}$$

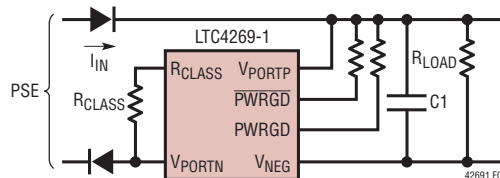


図1. V_{NEG}、PWRGD、PWRGD、およびPD電流と入力電圧の関係

アプリケーション情報

表1. LTC4269-1の動作モードと入力電圧の関係

V _{PORTP} -V _{PORTN} (V)	LTC4269-1の動作モード
0V~1.4V	非アクティブ(1回目の分類イベント後のリセット)
1.5V~9.8V (5.4V~9.8V)	1回目の分類イベント前の25kのシグネチャ抵抗の検出(マーク、1回目の分類イベント後の11kのシグネチャの無効化)
12.5V~ON/OFF*	分類負荷電流がアクティブ
ON/OFF*~60V	突入電流が流れ、電力がPD負荷に与えられる
>71V	過電圧ロックアウト、 分類とHot Swapはディスエーブルされる

* ON/OFFにはヒステリシスが含まれる。立ち上がり入力スレッシュホールドは最大37.2V。
立ち下がり入力スレッシュホールドは最小30V。

これらのモードはIEEE 802.3af/IEEE 802.3atの仕様で規定されている要件を満たしています。

入力ダイオード・ブリッジ

IEEE 802.3af/IEEE 802.3at標準規格では、動作モードはPDのRJ45コネクタの入力電圧を基準にしています。データ・ペアまたは予備ペアのどちらからであっても、またどちらの極性であっても、PDは受け取った電力を処理する必要があるため、入力ダイオード・ブリッジのBR1とBR2がRJ45コネクタとLTC4269-1の間に接続されます(図2)。

入力ダイオード・ブリッジには、各動作モードの範囲に影響を与える電圧降下が生じます。LTC4269-1はこれらの電圧降下を補償して、LTC4269-1を使用して構築したPDがIEEE 802.3af/IEEE 802.3atによって規定されている電圧範囲の条件を満たすようにします。電気的特性はLTC4269-1のパッケージのピンを基準にしていることに注意してください。

検出

検出時に、PSEはデバイスをPDとして識別させる25kのシグネチャ抵抗を探します。PSEは2.8V~10Vの範囲の2つの電圧を与えて、対応する電流を測定します。検出電圧V1およびV2とそれに対応するPD電流を図1に示します。PSEは $\Delta V/\Delta I$ 測定手法を使用してシグネチャ抵抗を算出します。

LTC4269-1は、V_{PORTP}ピンとV_{PORTN}ピンの間に温度補償された25kの高精度抵抗を備えており、PDが接続されていて電力供給を要求していることをPSEに知らせます。LTC4269-1のシグネチャ抵抗は入力ダイオード・ブリッジによって生じる追加直列抵抗も補償します。このようにして、LTC4269-1を使用して構築したPDはIEEE802.3af/IEEE802.3atの仕様に適合します。

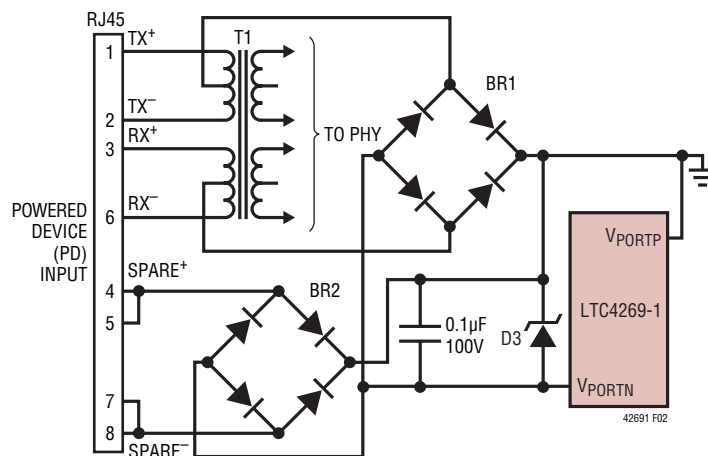


図2. 主入力と予備入りにダイオード・ブリッジを使用したPDのフロントエンド

アプリケーション情報

シグネチャ無効化オプション

補助電源オプションを備えた設計の中には、PDがPSEによって検出されるのを防ぐ必要があるものもあります。LTC4269-1のシグネチャ抵抗はSHDNピンを使用して無効化することができます(図3)。SHDNピンを“H”にすると、シグネチャ抵抗が11kより小さい値に減少します。これはIEEE 802.3af/IEEE 802.3atの仕様では無効のシグネチャであり、電力を供給しないようにPSEに警告します。SHDNピンを動作させると分類動作も停止し、LTC4269-1の負荷をPD入力から切り離します。この機能を使用しない場合、SHDNをV_{PORTN}に接続します。

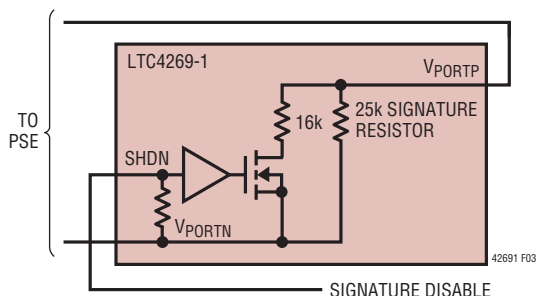


図3. ディスエーブル機能が付いた25kのシグネチャ抵抗

分類

分類は、PSEがPDの電力分類を識別できるようにすることにより、効率の良い電力割り当て方法を提供します。分類をサポートしていないPDのために、IEEEの仕様にはクラス0が含まれています。クラス1~3はPDを3つの異なる電力範囲に分けます。クラス4は、IEEE802.3atによる新しい電力範囲です(表2を参照)。

分類プロービングの間、PSEは15.5V~20.5Vの固定電圧をPDに供給します(図1)。LTC4269-1はPDの電力分類を表す負荷電流を有効な状態にします。分類負荷電流は、表2から選択される抵抗R_{CLASS}を使用して設定されます。

表2. 電力分類とLTC4269-1のR_{CLASS}抵抗の選択

クラス	用法	PDの入力での最大電力レベル (W)	公称分類負荷電流 (mA)	LTC4269-1のR _{CLASS} 抵抗 (Ω、1%)
0	タイプ1	0.44~13.0	< 0.4	オープン
1	タイプ1	0.44~3.84	10.5	124
2	タイプ1	3.84~6.49	18.5	69.8
3	タイプ1	6.49~13.0	28	45.3
4	タイプ2	13.0~25.5	40	30.9

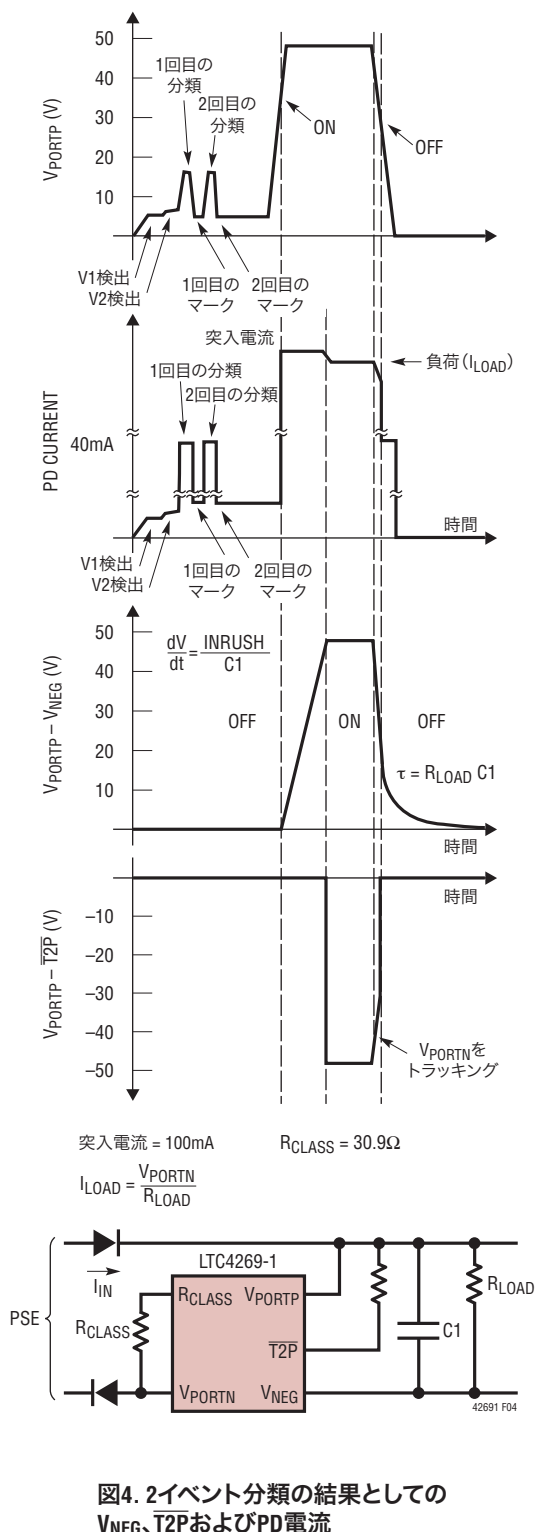
2イベント分類とT2Pピン

タイプ2のPSEは、2イベント分類を行うことにより(レイヤ1)、または高速データ・ラインを介して通信することにより(レイヤ2)、高電力を使用可能なことを宣言することができます。タイプ2のPDは両方のレイヤの通信を認識する必要があります。レイヤ2の通信はPSEとLTC4269-1の負荷の間で直接行われるので、LTC4269-1は2イベント分類の認識のみに関与します。

2イベント分類では、タイプ2のPSEは電力分類のプロービングを2回行います。2イベント分類の例を図4に示します。1回目の分類イベントは、PSEが15.5V~20.5Vの入力電圧を与え、LTC4269-1がクラス4の負荷電流を供給するとき発生します。次いで、PSEは入力電圧を7V~10Vのマーク電圧範囲に下げ、1回目のマーク・イベントの信号を送ります。マーク電圧範囲内のPDは0.25mA~4mAの負荷電流を供給します。

PSEはこのシーケンスを繰り返し、2回目の分類および2回目のマーク・イベント発生を送ります。これにより、タイプ2のPSEが接続されていることをLTC4269-1に知らせます。次いで、タイプ2のPSEはPDに電力を供給し、LTC4269-1は制御された突入電流で蓄電コンデンサC1を充電します。C1が完全に充電され、LTC4269-1がパワーグッドを宣言すると、T2Pピンはアクティブ“L”になります。つまりT2P出力がV_{PORTN}を基準にして低インピーダンスになります。T2P出力は、LTC4269-1の入力電圧が低電圧ロックアウト・スレッシュホールドより低くなると非アクティブになります。

アプリケーション情報



マークの間のシグネチャの無効化

リニアテクノロジーはIEEE802.3atのワーキング・グループのメンバーとして、初回の検出サイクルの前にPSEポートが検出電圧範囲より高い電圧に予め充電されていると、タイプ2のPDが正しくない2イベント分類表示を受け取る可能性があることを指摘しました。IEEEのワーキング・グループはこの可能性を防止するように規格を修正しました。つまり、タイプ2のPDはマーク・イベントの間はシグネチャ抵抗を無効化して、電力を供給しないようにPSEに警告することを要求事項にしました。LTC4269-1はシグネチャ抵抗を無効化することによって、この標準規格に適合しています。この場合、PSEが次の検出サイクルを開始する前にポートの放電も行います。

分類中のPDの安定性

対応する分類負荷電流の範囲が広いので、分類には難しい安定性の問題が伴います。分類負荷電流が流れ始めるとケーブル両端に電圧降下が生じ、入力ダイオード・ブリッジの順方向電圧が増加します。これにより、検出と分類の間に分類負荷電流の開始と停止に伴い、PDが発振することがあります。

LTC4269-1は検出範囲と分類範囲の間に電圧ヒステリシス・ウィンドウを設けてこの発振を防ぎます。ヒステリシス・ウィンドウは、分類負荷電流の開始時にPDに生じる電圧変化に適應するので、PDは検出モードと分類モードの間を問題なく移行します。

また、LTC4269-1はオン電圧までの分類電圧範囲全体にわたり正のI-Vスロープを維持します。PSEに分類電圧範囲を超えたオーバーシュートが生じた場合、利用可能な負荷電流がPDを分類電圧範囲に戻す役割を果たします。(さもないと、逆バイアスされたダイオード・ブリッジと0.1 μ Fのコンデンサによって保持されている電圧により、PDの入力が「トラップ」されることがあります。)

突入電流

PSEがPDを検出し、場合によってはさらに分類してからPSEはPDに電力を供給します。LTC4269-1の入力電圧がオン電圧スレッシュホールドより高くなると、LTC4269-1は内部パワーMOSFETを介して V_{NEG} を V_{PORTN} に接続します。システムのパワーオン・サージ電流を抑制するため、

LTC4269-1

アプリケーション情報

LTC4269-1は一定の突入電流を供給して、C1が制御された状態でライン電圧までランプアップするようにします。

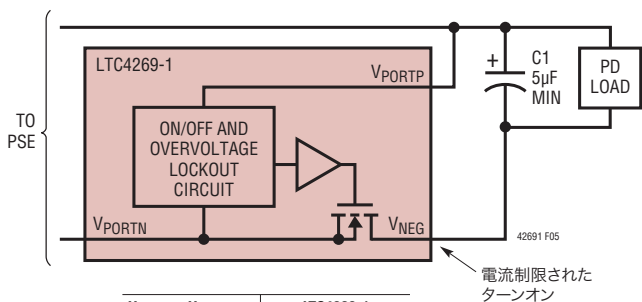
LTC4269-1は、PDの突入電流をPSEの電流制限より小さく保ち、PSEの動作に関係なく十分制御されたパワーアップ特性を実現します。これにより、LTC4269-1を使用したPDは、どんなPSEとも相互運用が可能になります。

ターンオン/ターンオフ・スレッシュホールド

PDに関するIEEE 802.3af/IEEE 802.3atの仕様は、42Vの最大ターンオン電圧と30Vの最小ターンオフ電圧を定めています。この仕様は、PDの動作を開始する適切な電圧と、入力電圧が低すぎるときにPDの動作を停止する電圧を規定しています。さらに、この仕様により、起動時の発振を防ぐオン/オフのヒステリシス・ウィンドウを組み込むPDの設計が可能になります。

LTC4269-1はIEEE 802.3af/IEEE 802.3atの仕様に適合したオン/オフのヒステリシス・ウィンドウ(図5を参照)を備えており、突入電流開始時のケーブルや入力ダイオード・ブリッジの電圧降下に順応します。

C1が完全に充電されると、LTC4269-1は内部MOSFETをオンしてPD負荷に電力を渡します。LTC4269-1は入力電圧がオフ・スレッシュホールドより低くならない限り、PD負荷に電力を供給し続けます。LTC4269-1の入力電圧がオフ・スレッシュホールドより低



V _{PORTP} - V _{PORTN} 間電圧	LTC4269-1 パワー-MOSFET
0V ~ ON*	オフ
>ON*	オン
<OFF*	オフ
>OVLO	オフ

*オン/オフ・ヒステリシスを含む
 オン・スレッシュホールド ≒ 36.1V
 オフ・スレッシュホールド ≒ 30.7V
 OVLOスレッシュホールド ≒ 71.0V

図5. LTC4269-1のオン/オフと過電圧ロックアウト

くなると、PD負荷は切り離され、分類モードが再開されます。C1はLTC4269-1の回路を通して放電します。

相補パワーグッド

LTC4269-1が負荷コンデンサ(C1)を完全に充電するとパワーグッドが宣言され、LTC4269-1の負荷は安全に動作を開始することができます。LTC4269-1は相補パワーグッド信号を与えます。これらの信号は通常動作の間はアクティブに保たれますが、入力電圧がオフ・スレッシュホールドより低くなるか、入力電圧が過電圧ロックアウト(OVLO)スレッシュホールドを超えるか、またはサーマル・シャットダウンが発生すると、デアサートされます(図6を参照)。

PWRGDピンはV_{NEG}を基準にしたオープンコレクタ出力を備えており、UVLOピンと直接インタフェースすることができます。パワーグッドが宣言されていてアクティブな場合、PWRGDピンはV_{NEG}を基準にして高インピーダンスになります。14Vの内部クランプがPWRGDピンの電圧を制限します。PWRGDピンをUVLOに接続することにより、PDインタフェースが蓄電コンデンサC1を完全に充電する前にDC/DCコンバータが動作

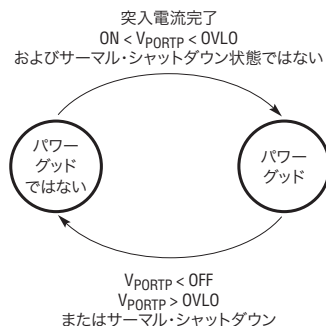
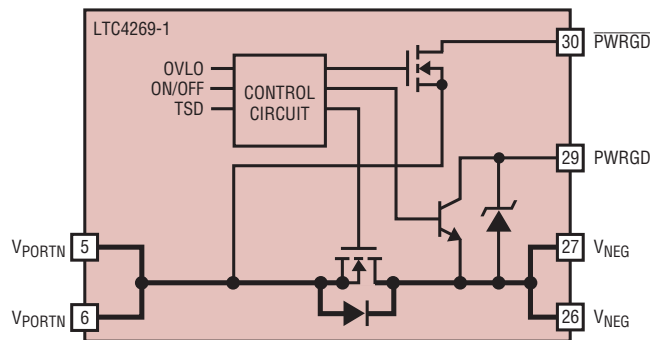


図6. LTC4269-1のパワーグッドの機能および状態図

アプリケーション情報

を開始しないようにします。

アクティブ“L”のPWRGDピンはV_{PORTN}基準の内部オープンドレインMOSFETに接続されており、パワーグッドが宣言されていてアクティブな場合、インジケータ・ビットとして使用することができます。PWRGDピンはV_{PORTN}を基準にして低インピーダンスになります。

SHDNが作動したときのPWRGDピン

補助電源がSHDN機能を起動するPDアプリケーションでは、PWRGDピンは高インピーダンスになります。これにより、補助電源によって給電されているとき、UVLOピンに接続されたPWRGDピンがDC/DCコンバータの動作に影響を与えるのを防止します。

過電圧ロックアウト

LTC4269-1には過電圧ロックアウト(OVLO)機能(図6)が備わっており、LTC4269-1とその負荷を過電圧の発生から保護します。入力電圧がOVLOスレッシュホールドを超えると、LTC4269-1はPDの動作を停止します。入力電圧がOVLOスレッシュホールドより低くなり、C1が完全に充電されると通常動作が再開されます。

熱保護

IEEE 802.3af/IEEE 802.3atの仕様は、PDが0V~57Vの印加電圧に無期限に耐えることを要求しています。ただし、PDに過度の熱が生じるいくつかの可能性があります。

分類時に、PSEが75msのプロービング時間の制限を超えると、過熱状態になる可能性があります。ターンオン時に負荷コンデンサが充電を開始するとき、ライン電圧に達する前にPDのインタフェースが消費する瞬時電力が大きくなる場合があります。また、PDにその動作モードで高速の入力正電圧ステップが生じると(たとえば、37Vから57V)、PDのインタフェースが消費する瞬時電力が大きくなる場合があります。

LTC4269-1は自己を過度の熱から保護する熱保護機能を備えています。LTC4269-1の接合部温度が過温度スレッシュホールドを超えると、LTC4269-1はPDの動作を停止し、パワーグッドが非アクティブになります。接合部温度が過温度スレッシュホールドより低くなり、C1が完全に充電されると通常動作が再開さ

れます。

外部インタフェースと部品選択

トランス

イーサネット・ネットワークのノードは通常、絶縁トランスを介して外部とインタフェースします。PDの場合、絶縁トランスにはRJ45コネクタ側にもセンタータップが必要です(図7を参照)。

タイプ2のPDはタイプ1に比べて電流レベルが増加するため、磁気部品の電流の不均衡が増し、データ転送に支障をきたすことがあります。さらに、インピーダンスを正しく整合させ、放射エミッションや伝導エミッションを防ぐため、トランスの周囲に適切な終端も必要です。適切な絶縁トランスの選択と正しい終端方法については、Bel Fuse、Coilcraft、Halo、Pulse、Tycoなどのトランスのメーカー(表4)からサポートを受けることができます。

表4. Power over Ethernet用トランスのメーカー

メーカー	問い合わせ先
Bel Fuse Inc.	206 Van Vorst Street Jersey City, NJ 07302 Tel: 201-432-0463 www.belfuse.com
Coilcraft Inc.	1102 Silver Lake Road Gary, IL 60013 Tel: 847-639-6400 www.coilcraft.com
Halo Electronics	1861 Landings Drive Mountain View, CA 94043 Tel: 650-903-3800 www.haloelectronics.com
PCA Electronics	16799 Schoenborn Street North Hills, CA 91343 Tel: 818-892-0761 www.pca.com
Pulse Engineering	12220 World Trade Drive San Diego, CA 92128 Tel: 858-674-8100 www.pulseeng.com
Tyco Electronics	308 Constitution Drive Menlo Park, CA 94025-1164 Tel: 800-227-7040 www.circuitprotection.com

入力ダイオード・ブリッジ

アプリケーション情報

PDアプリケーションで2つのダイオード・ブリッジが一般的にどのように接続されるかを図2に示します。一方のブリッジはデータ・ペア専用で、他方のブリッジは予備ペア専用です。LTC4269-1は、シリコンまたはショットキーのどちらの入力ダイオード・ブリッジの使用もサポートしています。ただし、ダイオード・ブリッジの選択にはトレードオフが必要です。

入力ダイオード・ブリッジには、PDが動作する温度でPDアプリケーションに生じる最大電流を超える定格のものがが必要です。通常、ダイオード・ブリッジのメーカーは室温で動作電流を規定していますが、温度の上昇に従って最大電流をデレーティングします。動作電流のデレーティング曲線については、ダイオード・ブリッジのメーカーにお問い合わせください。

PDアプリケーションによっては、シリコン・ダイオード・ブリッジが利用可能な電力の4%を超える電力を消費することがあります。ショットキー・ダイオードは順方向電圧が小さいので、これを使用することによって電力損失を低減できます。

ショットキー・ダイオード・ブリッジは高温のPDアプリケーションには適さないことがあります。リーク電流には電圧に対する依存性があり、このために検出されるシグネチャ抵抗が減少することがあります。さらに、IEEE 802.3af/IEEE 802.3atの仕様では、PDが57Vで給電される場合、使用されないブリッジのリーク電流の逆流によって100k抵抗の両端に生じる電圧が2.8Vを超えてはならないことも規定されています。

入力ダイオード・ブリッジの共有

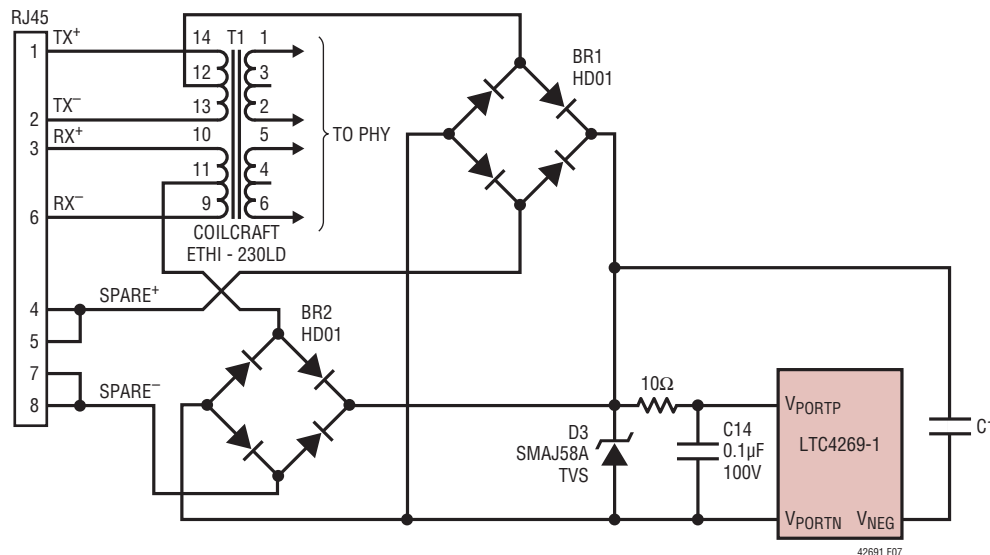


図7. 絶縁トランス、ダイオード・ブリッジ、コンデンサおよび過渡電圧サプレッサ (TVS) で構成したPDのフロントエンド。

高温では、入力ダイオード・ブリッジの最大動作電流が大幅にデレーティングされるので、PDの設計には大きなパッケージの大きなブリッジを検討せざるを得ない場合があります。スペースが制約された環境では、大きなパッケージを許容できないかもしれません。

検討すべき解決策の1つは、各パッケージの4個のダイオードのうちの1個だけが電流を流すようにダイオード・ブリッジを接続し直すことです。この構成法では、パッケージの高さを低く保ちながら最大動作電流を増加できます。2個のダイオード・ブリッジを接続し直す方法を図7に示します。4個のダイオードのうちの1個だけが動作しているときのデレーティング曲線については、ダイオード・ブリッジのメーカーにお問い合わせください。

入力コンデンサ

IEEE 802.3af/IEEE 802.3at標準規格には、AC切断機能を実現するためのインピーダンスの要件も含まれています。0.1μFのコンデンサ (図7のC14) は、このACインピーダンスの要件を満たすために使用されています。

入力直列抵抗

リニアテクノロジーは、お客様のコミュニティ・ケーブルの放電に対する要件が最初のテスト・レベルの500,000倍近くに増加していることを認識しています。最初に電荷を帯びたケーブルが接続されてPDのフロントエンドを介してエネルギーを放散するときだけでなく、電源システムのグラウンドが非常に大きな

アプリケーション情報

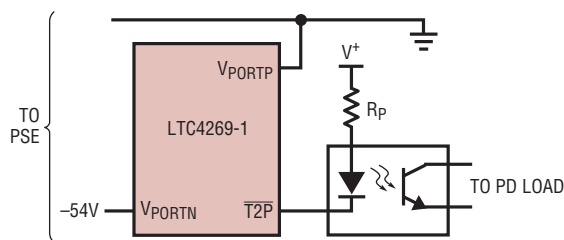
エネルギー（落雷など）に曝されるときにも、PDはそれに耐え、確実に動作しなければなりません。

このような高エネルギー事象においては、V_{PORTP}ピンに10Ωの直列抵抗を追加することで、LTC4269-1ベースのPDの堅牢性を大幅に高めることができます（図7参照）。TVSがポートにかかる電圧を制限し、10Ωの抵抗と0.1μFのコンデンサがLTC4269-1のピンのエッジレートを低減します。追加された10Ωの直列抵抗はLTC4269-1のPDインタフェースの動作に影響を及ぼすことも、IEEE 802.3標準規格への適合性に影響することはありません。

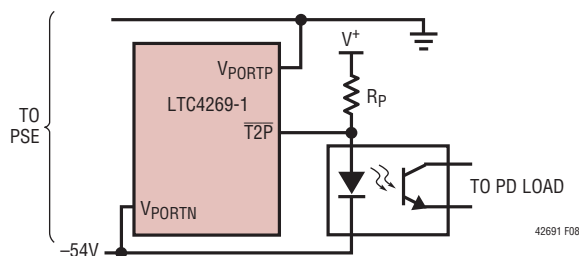
過渡電圧サプレッサ

LTC4269-1は100Vの絶対最大電圧を規定しており、短時間の過電圧に耐えるように設計されています。ただし、外部とインタフェースするピンには、常に過度のピーク電圧が加わる可能性があります。LTC4269-1を保護するため、図7に示すように、入力ダイオード・ブリッジとLTC4269-1の間に過渡電圧サプレッサ（D3）を設置します。

標準的なPDアプリケーションにはSMAJ58Aを推奨しますが、PDのフロントエンドが放電された大きなエネルギーを吸収しなければならないアプリケーションでは、SMBJ58Aの方が適している場合があります。



オプション1: アクティブ“L”/低インピーダンス出力の直列構成



オプション2: アクティブ“H”/オープンコレクタ出力の並列構成

図8. T2Pインタフェースの例

分類抵抗 (R_{CLASS})

R_{CLASS}抵抗は、PDの電力分類に対応する分類負荷電流を設定します。表2からR_{CLASS}の値を選択し、図4に示すように、R_{CLASS}ピンとV_{PORTN}ピンの間に抵抗を接続するか、または分類負荷電流が不要であれば、R_{CLASS}ピンをフロート状態にします。抵抗の許容誤差は、分類回路全体の精度を低下させないように、1%以下にする必要があります。

負荷コンデンサ

IEEE 802.3af/IEEE 802.3atの仕様は、PDが5μFの最小負荷容量を維持することを要求していますが、最大負荷容量は規定していません。ただし、負荷コンデンサが大きすぎると、PSEによる意図せぬ電源シャットダウンの問題が生じることがあります。

これは、PSEの電圧が急激に低下すると発生します。入力ダイオード・ブリッジのバイアスが反転し、PD負荷は負荷コンデンサから一時的に電力供給を受けます。PSEの300msの切断遅延時間内にPDがPSEから電力を引き出さないと、PSEはPDから電源を取り去る可能性があります。このため、負荷電流と容量を評価して意図せぬシャットダウンが起きることがないようにする必要があります。

負荷コンデンサは完全に充電されると、非常に大きなエネルギーを蓄積します。このエネルギーがLTC4269-1で不用意に消費されないようにPDを設計しなければなりません。たとえば、コンデンサの充電中にV_{PORTP}ピンがV_{PORTN}に短絡すると、電流が内部MOSFETの寄生ボディー・ダイオードを通して流れ、LTC4269-1に永続的損傷を与える恐れがあります。

T2Pインタフェース

2イベント分類シーケンスが正常に終了すると、LTC4269-1はこのシーケンスを認識し、インジケータ・ビットを出力して、タイプ2のPSEの接続を宣言します。このオープンドレイン出力には、この信号を使用してLTC4269-1の負荷と通信するか、またはピンを未接続のままにするかの選択肢があります。

T2Pピンとオプトアイソレータを使用した2つのインタフェース・オプションを図8に示します。T2Pピンはアクティブ“L”であり、オプトアイソレータに接続してDC/DCコンバータの絶縁バリアを越えて通信します。プルアップ抵抗R_pの大きさは、オプトアイソレータの動作電流、T2Pピンのプルダウン能力、およびV⁺の選択の要件に従って決まります。たとえば、V⁺は（LTC4269-1のV_{PORTP}が接続される）PoEの電源レールか、またはDC/DCコンバータに電力を供給する電源から得られます。オプション

42691fc

アプリケーション情報

1には、 $\overline{\text{T2P}}$ がアクティブであると宣言されない限り電力を消費しないという利点があります。

シャットダウンのインタフェース

シグネチャ抵抗を無効化するため、SHDNピンをV_{PORTN}を基準にして“H”にドライブすることができます。使用しない場合、SHDNをV_{PORTN}に直接接続します。

補助電源

アプリケーションによっては、ACアダプタなどの補助電源からPDに電力を供給するのが望ましい場合があります。

補助電力をLTC4269-1をベースにしたPDに注入する場合、LTC4269-1のV_{PORTN}入力、V_{NEG}、または電源出力にさえ注入することができます。さらに、PDアプリケーションによっては、補助電源を優先させることもできるし、PoEを優先するように構成することもできます。しかも、PDアプリケーションは、PoEと補助電力の間のシームレスな移行、つまり給電を中断しない移行を選択することもできます。

最も一般的な補助電力オプションでは、V_{NEG}に電力を注入します。このアプリケーションの例を図9に示します。この例では、補助ポートがダイオードD1を介して48Vをラインに印加します。SHDNピンの周囲の部品は、補助電源が36Vを超えるまではLTC4269-1が出力への電力を切断しないように選択されています。

これは補助電力を優先する構成になっています。つまり、PoEの電力が既に存在していても補助電源が電力を供給します。この構成では、補助電力が与えられたときのPoEから補助電力への移行はシームレスですが、補助電力を取り去ったときのPoEの電力への移行はシームレスではありません。

カスタム補助電源の実装に関する詳細なアプリケーション・サポートについては、弊社にお問い合わせください。

IEEE 802.3atシステムのパワーアップ要件

IEEE 802.3at標準規格では、PDはタイプ2のPSEを認識するまではIEEE 802.3af標準規格に従って13.0Wより小さい電力で動作する必要があります。13.0WのモードでPDの動作を初期化すると、タイプ2のPDをタイプ1のPSEに接続する場合の相互運用性の問題が解消されます。IEEE 802.3at標準規格では、PDがタイプ2のPSEを認識した場合、PDが13.0Wの動作で80ms待つてから25.5Wの動作を開始することを要求しています。

電力維持シグネチャ

IEEE 802.3af/IEEE 802.3atのシステムでは、PSEは電力維持シグネチャ(MPS)を使用して、PDが引き続き電力を必要とするかを判断します。MPSは、PDが定期的に少なくとも10mAを流し、0.05μFと並列なACインピーダンスが26.25kより小さいことをPDに要求しています。これらの条件のうち1つが満たされないと、PSEがPDへの電力供給を停止することがあります。

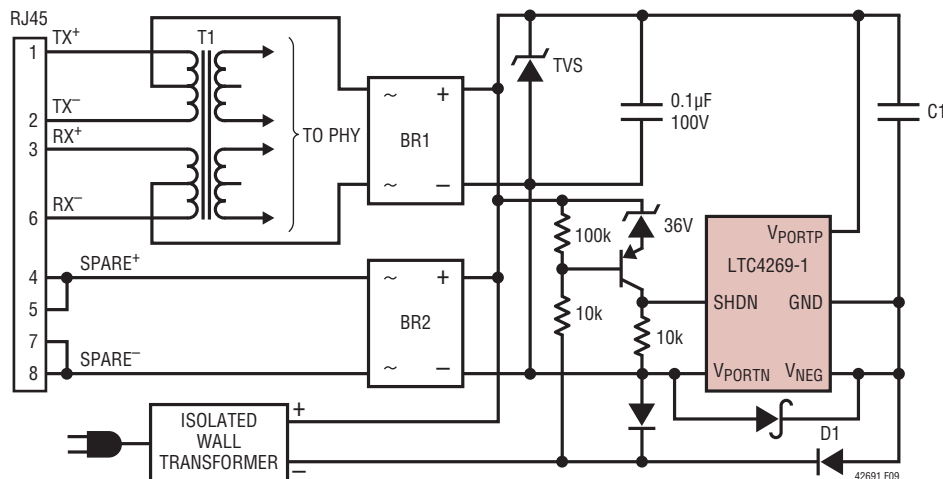


図9. 補助電力を優先するPDインタフェースの例

アプリケーション情報

スイッチング・レギュレータの概要

LTC4269-1は、同期整流方式を採用した絶縁型フライバック・トポロジーでを使用することを目的に設計された、電流モード・コンバータを備えています。LTC4269-1の動作は従来の電流モード・スイッチャに似ています。大きな相違は、出力電圧帰還がトランスを介した出力電圧の検出によって得られることです。これにより、絶縁型の設計でオプトアイソレータが不要になり、ダイナミック応答と信頼性が大きく改善されます。LTC4269-1は独自の帰還アンプを備えており、フライバック期間にトランス巻線の電圧をサンプリングし、その電圧を使用して出力電圧を制御します。内部ブロックは多くの電流モード・コントローラに似ています。相違は帰還アンプと負荷補償回路にあります。ロジック・ブロックにもフライバック制御に固有のダイナミック要件を制御する回路が備わっています。電流モード・スイッチャ/コントローラと絶縁型フライバック・コンバータの基本の詳細については、「アプリケーションノート19」を参照してください。

帰還アンプの擬似DC理論

以下の説明では、スイッチング・レギュレータの帰還アンプの簡略図(図10A)を参照してください。1次側MOSFETスイッチMPがオフすると、そのドレイン電圧はV_{PORTP}レールより高くなります。1次側MOSFETがオフし、2次側同期MOSFETがオンするとフライバックが発生します。フライバックが発生している間、ドライブされないトランスのピンの電圧は2次側電圧によって決まります。3番目の巻線に見られるこのフライバック・パルスの振幅は次式で求められます。

$$V_{FLBK} = \frac{V_{OUT} + I_{SEC} \cdot (ESR + R_{DS(ON)})}{N_{SF}}$$

R_{DS(ON)} = 同期MOSFET MSのオン抵抗

I_{SEC} = トランスの2次側電流

ESR = 2次側回路のコンデンサ、巻線およびトレースのインピーダンス

N_{SF} = トランスの2次巻線対フライバック巻線の実効巻数比(つまり、N_S/N_{FLBK})

フライバック電圧は外付け抵抗分割器R1/R2で分圧され、FBピンに供給されます。帰還アンプはその電圧を内部バンドギャップ・リファレンスと比較します。帰還アンプは実際にはトランスコンダクタンス・アンプであり、その出力はフライバック

期間の間だけV_{CMP}に接続されます。V_{CMP}ピンの外付けコンデンサがこの帰還アンプの正味電流を積分して、電流モードのトリップ・ポイントを設定する制御電圧を与えます。ループ全体の利得が大きいので、FBピンのレギュレーション電圧はバンドギャップ・リファレンスV_{FB}にほぼ等しくなります。V_{FLBK}とV_{FB}の関係は次式で表されます。

$$V_{FLBK} = \frac{R1 + R2}{R2} \cdot V_{FB}$$

これを上記のV_{FLBK}の式と組み合わせると、内部リファレンス、設定抵抗および2次側抵抗によって次のV_{OUT}の式が得られます。

$$V_{OUT} = \left(\frac{R1 + R2}{R2} \cdot V_{FB} \cdot N_{SF} \right) - I_{SEC} \cdot (ESR + R_{DS(ON)})$$

ゼロでない2次側出力インピーダンスの影響は、さらに詳細に説明されています(「負荷補償の理論」参照)。このV_{OUT}の式の実際の適用については、「アプリケーション情報」の後のセクションで説明されています。

帰還アンプのダイナミック理論

ここまでは、フライバック帰還アンプの動作を擬似的にDCとして扱ってきました。しかし、フライバック信号はDCレベルではなく、パルスです。タイミング図(図10b)に示されているように、イネーブル信号を使ってフライバック・パルスが与えられているときだけフライバック・アンプをオンすることが条件となります。

出力スイッチの最小オン時間(t_{ON(MIN)})

LTC4269-1はフライバック・パルスを介して出力電圧を安定化します。出力スイッチがオンしないとフライバック・パルスは発生せず、出力電圧の情報は得られません。このため、不規則なループ応答が生じ、起動やラッチアップの問題が生じます。解決策は、発振器のサイクル毎に絶対最小時間だけは1次側スイッチを必ずオンさせることです。これを実現するため、電流制限フィードバックをサイクル毎にt_{ON(MIN)}の間ブランキングします。これらの状態で生じる負荷より出力負荷の方が小さいと、通常は強制連続動作が行われます。詳細については「アプリケーション情報」の後続の説明を参照してください。

アプリケーション情報

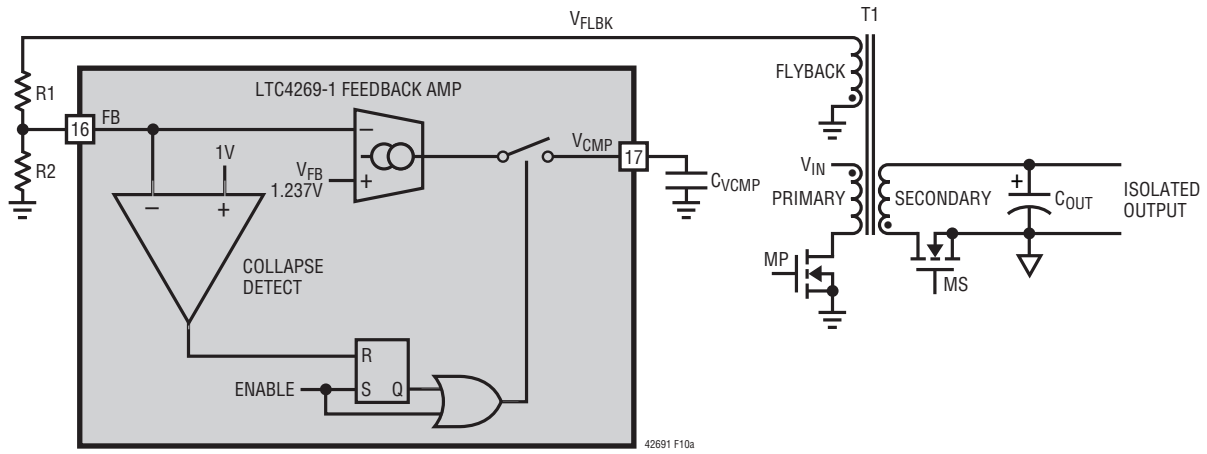


図10a. LTC4269-1のスイッチング・レギュレータの帰還アンブ

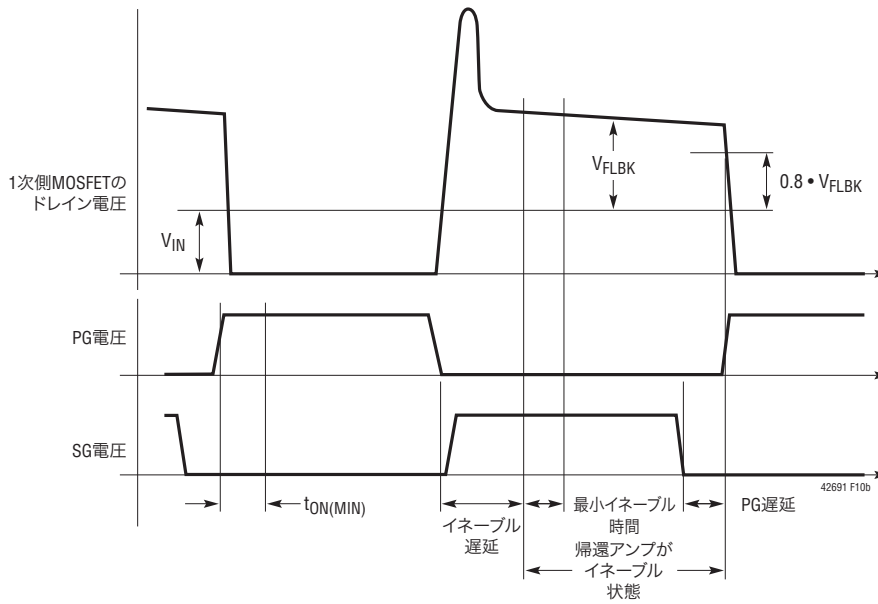


図10b. LTC4269-1のスイッチング・レギュレータのタイミング図

アプリケーション情報

イネーブル遅延時間 (ENDLY)

1次側スイッチがオフすると、フライバック・パルスが発生します。ただし、トランスの1次側電圧の波形が出力電圧を表すまでには、ある有限の時間が必要です。これは、一部は1次側MOSFETのドレイン・ノードの立ち上がり時間によるものですが、もっと重要なのはトランスの漏れインダクタンスによるものです。後者は出力電圧に直接には関係せずに1次側に電圧スパイクを発生させます。帰還アンプ回路を内部で安定させるためにも、ある程度の時間が必要です。これらの現象に対して耐性を維持するため、スイッチのオフ命令を出してから帰還アンプをイネーブルするまでに一定の遅延を設けます。これは「イネーブル遅延」と呼ばれます。イネーブル遅延時間の終わりまでに漏れスパイクが十分安定しない場合は、レギュレーション誤差が生じることがあります。詳細については後のセクションを参照してください。

低落検出

帰還アンプがいったんイネーブルされると、それをディスエーブルするために何らかのメカニズムが必要になります。これは、フライバック電圧 (FB) を一定のリファレンス (公称で V_{FB} の80%) と比較する低落検出コンパレータによって実現されます。フライバック波形がこのレベルを下回ると、帰還アンプがディスエーブルされます。

最小イネーブル時間

帰還アンプはいったんイネーブルされると、「最小イネーブル時間」と呼ばれる一定の最小時間の間オンしたままになります。これにより、特に出力電圧が異常に低いとき、たとえば起動時にロックアップを防ぎます。最小イネーブル時間により、 V_{CMP} ノードが「ポンプアップ」して、低落検出システムの正常動作を示すレベルまで電流モードのトリップ・ポイントを上昇させることができます。この時間は内部で設定されます。

可変イネーブル時間の影響

帰還アンプがイネーブルされるのはサイクル時間の一部だけです。これは、前記の一定の最小イネーブル時間から、およそスイッチ・オフ時間からイネーブル遅延時間を差し引いた最大時間までの間で変動する可能性があります。可変イネーブル時間は、帰還アンプの特性のパラメータのいくつかに直接影響します。これらのパラメータには、実効トランスコンダクタンスと V_{CMP} ノードのスルーレートが含まれます。

負荷補償の理論

LTC4269-1はフライバック・パルスを使用して絶縁された出力電圧の情報を得ます。同期MOSFETの $R_{DS(ON)}$ およびトランスの2次側と出力コンデンサの実際にはゼロでないインピーダンスを通して流れるトランスの2次側電流によって誤差が生じます。これは、前に $I_{SEC} \cdot (ESR + R_{DS(ON)})$ の式で表されています。ただし、一般にはこの式を実効出力インピーダンスに変換した方が便利です。2次側電流はデューティ・サイクル (DC) のオフ部分でだけ流れるので、実効出力インピーダンスは2次側インピーダンスの合計をオフ時間のDCで割ったものに等しくなります。

オフ時間のデューティ・サイクルは $1-DC$ に等しいので、次のようになります。

$$R_{S(OUT)} = \frac{ESR + R_{DS(ON)}}{1-DC}$$

ここで、

$R_{S(OUT)}$ = 電源の実効出力インピーダンス

DC = デューティ・サイクル

$R_{DS(ON)}$ と ESR は前に定義されたとおり

このインピーダンス誤差は、要求の厳しくないアプリケーションの場合、あるいは出力負荷電流が比較的一定に保たれる場合には許容できると判断してもかまいません。これらの場合、外付けFB抵抗分割器を調節して、予想される公称誤差を補償します。もっと要求の厳しいアプリケーションでは、負荷補償機能を使用して出力インピーダンス誤差を最小限に抑えます。負荷補償機能のブロック図を図11に示します。スイッチ電流は外付け検出抵抗で電圧に変換され、内部の50k抵抗 R_{CMPF} と C_{CMP} ピンの外付けコンデンサで形成されるローパス・フィルタで平均化されます。この電圧はオペアンプA1とトランジスタQ3によって外付け R_{CMP} 抵抗の両端に印加され、Q3のコレクタに電流を生じます。この電流はFBノードから差し引かれます。これにより、平衡を実現するために $R1/R2$ 帰還分割器の上端に必要なとされる電圧が実質的に増加します。

出力負荷が大きくなるに従って、1次側平均スイッチ電流が増加して、出力電圧をレギュレーション状態に保ちます。平均電流が増加することにより R_{CMP} 抵抗の電流が増加し、検出出力

アプリケーション情報

電圧をこれに相当する分だけ増加させて、IR電圧降下を補償します。電源効率 (Eff) が比較的一定であると仮定すると、電力のバランスから次のようになります。

$$P_{OUT} = \text{Eff} \cdot P_{IN}$$

$$V_{OUT} \cdot I_{OUT} = \text{Eff} \cdot V_{IN} \cdot I_{IN}$$

1次側平均電流は出力電流を使用して次のように表されます。

$$I_{IN} = K1 \cdot I_{OUT}$$

ここで、

$$K1 = \frac{V_{OUT}}{V_{IN} \cdot \text{Eff}}$$

したがって、 V_{OUT} の目標値の実質的な変化は次のとおりです。

$$\Delta V_{OUT} = K1 \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF} \cdot \Delta I_{OUT}$$

したがって次のようになります。

$$\frac{\Delta V_{OUT}}{\Delta I_{OUT}} = K1 \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF}$$

ここで、

$K1$ = 前述した V_{IN} 、 V_{OUT} 、および効率に関する無次元変数

R_{SENSE} = 外付け検出抵抗

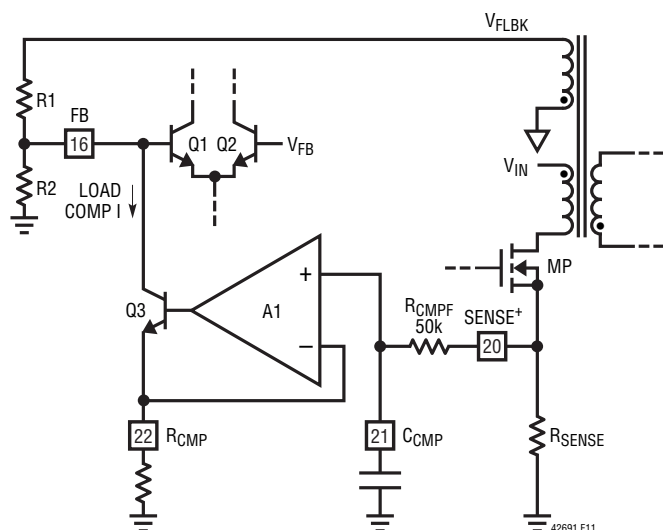


図11. 負荷補償のブロック図

この式を $R_{S(OUT)}$ に等置すると、公称出力インピーダンスを相殺することができます。

$$K1 \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF} = \frac{ESR + R_{DS(ON)}}{1 - DC}$$

R_{CMP} について解くと次式が得られます。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE} \cdot (1 - DC)}{ESR + R_{DS(ON)}} \cdot R1 \cdot N_{SF}$$

この式を実際に適用して R_{CMP} 抵抗の適切な値を求める方法については「アプリケーション情報」の後のセクションで説明されています。

トランスの設計

トランスの設計/仕様は、LTC4269-1を正しく使用する上で最も重要な部分です。以下のセクションでは、トランスの設計とトレードオフの可能性に関する基本的な情報について説明しています。必要であれば、トランスの選択や設計に関して弊社でサポートいたします。

巻数比

トランスの設計はデューティ・サイクル (DC) を決定することから始まります。DCは、パワー・スイッチへの電流ストレスと電圧ストレス、入力コンデンサと出力コンデンサのRMS電流、そしてトランスの使い方 (サイズ対電力) に影響を与えます。理想的な巻数比は次のとおりです。

$$N_{IDEAL} = \frac{V_{OUT}}{V_{IN}} \cdot \frac{1 - DC}{DC}$$

極端なデューティ・サイクルは、一般に電流ストレスを増加させるので避けてください。公称入力電圧でのデューティ・サイクルの妥当な目標値は50%です。

たとえば、DCが50%の48Vから5Vのコンバータが必要な場合には、次のようになります。

$$N_{IDEAL} = \frac{5}{48} \cdot \frac{1 - 0.5}{0.5} = \frac{1}{9.6}$$

一般に、巻数比が低いほど性能が良くなります。45.5%のDCでは1:8の巻数比になります。

アプリケーション情報

出力電圧を設定するのに外付け帰還抵抗分割器の比を使用すると、適切なトランスの巻数比の選択の自由度が増すことに注目してください。巻数比を小さな整数の簡単な比(たとえば、1:1、2:1、3:2)にすると、トランスの組み立てが容易になり、性能が向上します。

多数の巻線をもつトランスによって得られる複数出力の電源を構築する場合、デューティ・サイクルを小さくすると、同期整流器がオン状態に長く保たれることによって2次巻線が長く結合するので、クロス・レギュレーションを改善することができます。複数出力のトランスの場合、出力巻線間の巻数比は重要で、電圧精度に影響を与えます。2つの出力電圧の比は $V_{OUT2} = V_{OUT1} \cdot N21$ の式を使用して設定されます。N21は2つの巻線間の巻数比です。また、クロス・レギュレーションを改善するために、2次側MOSFETの $R_{DS(ON)}$ を小さく保ちます。

帰還巻線は通常、LTC4269-1の帰還電圧と電力の両方を供給します。ワーストケースの条件で11Vの最大 V_{CC} ターンオフ電圧より大きな整流された電圧を与えるように、出力と帰還巻線間の巻数比を設定します。

$$N_{SF} > \frac{V_{OUT}}{11 + V_F}$$

ここで、

$$V_F = \text{ダイオードの順方向電圧}$$

$$\text{この例では、} N_{SF} > \frac{5}{11 + 0.7} = \frac{1}{2.34}$$

$\frac{1}{3}$ を選択します。

漏れインダクタンス

トランスの漏れインダクタンスは、1次側または2次側のどちらでも、1次側スイッチがオフした後にスパイクを発生させます。これは負荷電流が大きくなるほど顕著になり、大きな蓄積エネルギーが消費されます。フライバック電圧が高くなると、MOSFETスイッチの BV_{DSS} 定格が低すぎる場合にはMOSFETスイッチをブレイクダウンさせることがあります。

このスパイクを低減する解決策の1つは、クランプ回路を使用して電圧変動を抑えることです。ただし、電圧を抑えると、フライバック・パルスの幅が広がります。フライバック・パルスがインネブル遅延時間より長くなると、出力電圧のレギュレーション

が影響を受けます。帰還システムの入力範囲は、FBノードを基準にして約 $\pm 50\text{mV}$ に意図的に制限されています。これにより、高い電圧の漏れスパイクが除去されます。漏れスパイクの振幅が数ボルトに達すると、さらに振幅が増加しても帰還システムにはほとんど影響しないからです。したがって、漏れスパイクの継続時間ができるだけ短くなるように、MOSFETのブレイクダウンに注意しながら、出来るだけ高い電圧にクランプするようにクランプ回路を調整することを推奨します。クランプ回路の設計に関しては、「アプリケーションノート19」が参考になります。

大まかな目安として、漏れインダクタンスが相互インダクタンスの数パーセント以下の場合にクランプが必要なことがありますが、漏れスパイクによるレギュレーション誤差は皆無に近いほどです。数パーセントから約10%までのインダクタンスでは、レギュレーション誤差が大きくなります。

漏れインダクタンスのパーセント値が2桁にならないようにします。高負荷電流で突然制御を失う可能性があります。この不思議な状態が発生するのは、漏れスパイクがフライバック波形のそのように大きな割合を占めるようになると、処理回路が漏れスパイク自体を本物のフライバック信号であると誤認するためです。

次いで、潜在的に安定な状態に戻り、それによって漏れスパイクの上端が制御ポイントになり、漏れスパイクの立ち下がりエッジが低落検出回路をトリガします。通常、これによって出力電圧が適正値の約1/3~2/3に急降下します。

負荷電流が十分減少すると、システムは通常動作に瞬時に復帰します。漏れインダクタンスが大きいトランスを使用するときは、以下のワーストケースでのチェックを行って双安定が生じる可能性を調べます。

1. 予測される最大負荷電流で試作電源を動作させる。
2. 出力を一時的に短絡する。
3. 通常動作に復帰することを確認する。

出力電圧が異常に低い値を維持するようであれば、システムに問題があります。これは通常、1次側MOSFETのドレイン電圧を観測しながら、漏れスパイクの動きを直接観察することによって明らかになります。

アプリケーション情報

最後の注記として、双安定動作に対するシステムの影響の受けやすさは、負荷の電流/電圧特性にある程度依存します。 $I = V/R$ の特性を示す抵抗性負荷は最も双安定になりやすく、 $I = V^2/R$ の特性を示す容量性負荷はそれほど双安定になりやすくはありません。

2次側漏れインダクタンス

2次側の漏れインダクタンスはトランスの2次側に誘導性分割器を形成し、フライバック・パルスを縮小します。これにより、出力電圧の目標値が同様の比率で増加します。漏れスパイクの作用とは異なり、この現象は負荷には依存しないことに注意してください。2次側漏れインダクタンスは(製造時のばらつきの範囲内で)相互インダクタンスのある一定の割合になるので、帰還抵抗分割器の比を調節して補償することが解決策になります。

巻線抵抗の影響

1次側または2次側の巻線抵抗は、全体の効率(P_{OUT}/P_{IN})を低下させるように作用します。2次側巻線抵抗は実効出力インピーダンスを増加させ、負荷レギュレーションを低下させます。これは負荷補償によってある程度緩和できますが、適切な設計を行うには寄生抵抗を低く抑えます。

バイファイラ巻き

バイファイラ巻きやこれと同様の巻線は、漏れインダクタンスの問題を最小限に抑える有効な方法です。バイファイラ巻きによって結合係数も改善されるので、多巻線トランスのクロス・レギュレーションが改善されます。ただし、結合が密になると一般に1次側-2次側間の容量が大きくなって1次側-2次側間のブレイクダウン電圧を制限するので、バイファイラ巻きが常に実用的であるとは限りません。

1次側インダクタンス

トランスの1次側インダクタンス L_P は、最大電流値に対するそのトランスのピーク・トゥ・ピーク・リップル電流の比(X)に基づいて選択します。原則として、 X を20%~40% (つまり、 $X = 0.2 \sim 0.4$)の範囲に保ちます。リップルの値が大きいと導通損失が増加します。他方、リップルの値を小さくするには大きなコアが必要です。

リップル電流とリップルのパーセンテージは、最小デューティ・サイクルで、つまり最大入力電圧で最大になります。 L_P は次式で算出されます。

$$L_P = \frac{(V_{IN(MAX)} \cdot DC_{MIN})^2}{f_{OSC} \cdot X_{MAX} \cdot P_{IN}} = \frac{(V_{IN(MAX)} \cdot DC_{MIN})^2 \cdot Eff}{f_{OSC} \cdot X_{MAX} \cdot P_{OUT}}$$

ここで、

f_{OSC} は発振器の周波数

DC_{MIN} は最大入力電圧でのDC

X_{MAX} は最大入力電圧でのリップル電流比

一般的な高電力PoEの値で、効率が90%、 $P_{OUT} = 26.5W$ および $P_{IN} = 29.5W$ の48V ($41V < V_{IN} < 57V$)から5V/5.3Aのコンバータを使用し、 $X = 0.4$ 、 $N = 1/8$ および $f_{OSC} = 200kHz$ を使用すると以下ようになります。

$$DC_{MIN} = \frac{1}{1 + \frac{N \cdot V_{IN(MAX)}}{V_{OUT}}} = \frac{1}{1 + \frac{1}{8} \cdot \frac{57}{5}} = 41.2\%$$

$$L_P = \frac{(57V \cdot 0.412)^2}{200kHz \cdot 0.4 \cdot 26.5W} = 260\mu H$$

最適化を行うと、ピーク電流をもっと大きくし、インダクタンスとそれに関連した巻線直列抵抗をもっと小さくすると、より効率的なソリューションが得られる可能性があります。簡単なスプレッドシートのプログラムを使用すると、トレードオフを判断するのに便利です。

トランスのコアを選択

L_P が分かったら、トランスの種類を選択します。高効率のコンバータにはフェライト・コアを使用してコア損失を最小限に抑えます。実際のコア損失は、インダクタンスが一定の場合にはコアのサイズとは関係ありませんが、インダクタンスが増加するに従って減少します。インダクタンスを大きくするためにはワイヤの巻数を増やすので、銅損失が増加します。このように、トランスの設計ではコア損失と銅損失のバランスをとります。巻線抵抗が大きくなるとクロス・レギュレーションが低下し、必要な負荷補償の量が増加することに注意してください。

コア選択の主な設計目標は、銅損失の低減と飽和の防止です。フェライト・コアの材質は「ハードに」飽和します。つまり、設計のピーク電流を超えるとインダクタンスが急激に減少しま

アプリケーション情報

す。これによってインダクタのリプル電流が急増し、結果として出力電圧リップルが増加します。コアは絶対に飽和させないでください。1次側最大ピーク電流は最小 V_{IN} で発生します。

$$I_{PK} = \frac{P_{IN}}{V_{IN(MIN)} \cdot DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

したがって、次のようになります。

$$DC_{MAX} = \frac{1}{1 + \frac{N \cdot V_{IN(MIN)}}{V_{OUT}}} = \frac{1}{1 + \frac{1}{8} \cdot \frac{41}{5}} = 49.4\%$$

$$X_{MIN} = \frac{(V_{IN(MIN)} \cdot DC_{MAX})^2}{f_{OSC} \cdot L_P \cdot P_{IN}} = \frac{(41 \cdot 49.4\%)^2}{200\text{kHz} \cdot 260\mu\text{H} \cdot 29.5\text{W}} = 0.267$$

この例の数値を使用すると次のようになります。

$$I_{PK} = \frac{29.5\text{W}}{41 \cdot 0.494} \cdot \left(1 + \frac{0.267}{2}\right) = 1.65\text{A}$$

複数出力

フライバックトポロジーが提供できる利点の1つは、巻線を追加するだけで追加の出力電圧が得られることです。このような状況に対応したトランスの設計は、このデータシートでは割愛します。多巻線の場合、フライバック巻線の信号は2次側の全ての巻線の作用が合成されたものであることに注意してください。したがって、負荷レギュレーションは各巻線の負荷の影響を受けます。クロスレギュレーションの影響を最小限に抑えるように注意してください。

帰還抵抗分割器の設定

「動作」のセクションで導き出された V_{OUT} の式を整理すると、帰還抵抗を表す次式が得られます。

$$R1 = R2 \left(\frac{[V_{OUT} + I_{SEC} \cdot (ESR + R_{DS(ON)})]}{V_{FB} \cdot N_{SF}} - 1 \right)$$

この例では、 $ESR + R_{DS(ON)} = 8\text{m}\Omega$ 、 $R2 = 3.32\text{k}$ とすると、次のようになります。

$$R1 = 3.32\text{k} \left(\frac{5 + 5.3 \cdot 0.008}{1.237 \cdot 1/3} - 1 \right) = 37.28\text{k}$$

37.4kを選択します。

バイアス電流のキャンセルなどの理由から、抵抗分割器($R1 \parallel R2$)のテブナン・インピーダンスは約3kにすることを推奨します。

電流検出抵抗に関する検討事項

外付け電流検出抵抗を使用して、1次側スイッチのピーク電流を制御します。このピーク電流は、最大電力や外付け部品の定格など、コンバータのいくつかの主要な特性を制御します。非誘導性の電流検出抵抗(非巻線抵抗)を使用してください。この抵抗を、切れ目のないグランド・プレーンの上に幅が広く長さが短いトレースで直接実装すると、浮遊抵抗や浮遊インダクタンスが小さく抑えられます。

2本の検出ピンにより、完全なケルビン接続が可能です。 $SENSE+$ と $SENSE-$ を確実に絶縁し、検出抵抗に近づけて接続します。

ピーク電流は検出電圧 V_{SENSE} が100mVのとき発生します。したがって、公称検出抵抗は V_{SENSE}/I_{PK} になります。たとえば、ピーク・スイッチ電流が10Aならば、公称0.010 Ω の検出抵抗が必要です。この検出抵抗の消費する瞬間ピーク電力は1Wで、それに応じた定格のものであることに注意してください。並列抵抗を使用すると、抵抗と寄生インダクタンスを減らし、電力容量を増やすのに役立ちます。

ワーストケースの条件(L_P 、 V_{SENSE} は最小、 V_{IN} は最大)を使用して R_{SENSE} の大きさを決めます。この例では、ワーストケースの条件では I_{PK} が公称値より40%大きな値、つまり $I_{PK} = 2.3\text{A}$ であると仮定します。 R_{SENSE} の許容誤差が10%、最小 $V_{SENSE} = 88\text{mV}$ とすると、 $R_{SENSE} \cdot 110\% = 88\text{mV}/2.3\text{A}$ 、公称 $R_{SENSE} = 35\text{m}\Omega$ になります。これに最も近くて小さい入手可能な値33m Ω にします。

アプリケーション情報

負荷補償抵抗の選択

R_{CMP} の式は「動作」のセクションで次のように求められました。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE} \cdot (1 - DC)}{ESR + R_{DS(ON)}} \cdot R1 \cdot N_{SF}$$

この例では次のようになります。

$$K1 = \left(\frac{V_{OUT}}{V_{IN} \cdot \text{Eff}} \right) = \frac{5}{48 \cdot 90\%} = 0.116$$

$$DC = \frac{1}{1 + \frac{N \cdot V_{IN(NOM)}}{V_{OUT}}} = \frac{1}{1 + \frac{1 \cdot 48}{8 \cdot 5}} = 45.5\%$$

$ESR + R_{DS(ON)} = 8m\Omega$ とすると、次のようになります。

$$R_{CMP} = 0.116 \cdot \frac{33m\Omega \cdot (1 - 0.455)}{8m\Omega} \cdot 37.4k\Omega \cdot \frac{1}{3}$$

$$= 3.25k$$

R_{CMP} のこの値は妥当な出発点になりますが、最良の結果を得るには、実験に基づく手法が必要です。これは、必要な入力変数のいくつかは正確に予測することが困難だからです。たとえば、上記のESRの項にはトランスの2次側のESRが含まれますが、その実効ESR値は単なるDC巻線抵抗ではなく、高周波特性に依存します。同様に、 $K1$ は、 V_{IN} と V_{OUT} の比に効率を掛けたものとして単純に表現されていますが、論理的な効率の概算は単純な計算ではありません。

推奨する実験方法は以下のとおりです。

1. 実際の2次側部品を使用して望みの電源を試作します。
2. C_{CMP} ピンを一時的に接地して負荷補償機能を無効にします。所望の範囲にわたって出力電流を掃引しながら出力電圧を測定します。電圧変化を直線で近似します。

$$\Delta V_{OUT} / \Delta I_{OUT} = R_{S(OUT)}$$

3. V_{IN} 、 V_{OUT} 、および測定した効率に基づいて定数 $K1$ の値を算出します。

4. 次のように計算します。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE}}{R_{S(OUT)}} \cdot R1 \cdot N_{SF}$$

5. この値の抵抗を R_{CMP} ピンからグラウンドに接続して、計算結果を検証します。

6. C_{CMP} のグラウンドへの接続を外し、 $0.1\mu F$ のフィルタ・コンデンサをグラウンドに接続します。この新しい補償を付加した状態で、出力インピーダンス $R_{S(OUT)} = \Delta V_{OUT} / \Delta I_{OUT}$ を測定します。 $R_{S(OUT)}$ は大幅に減少しているはずですが、 R_{CMP} をわずかに変更することにより、実験的に微調整が行われます。修正した R_{CMP} の推算式は次のとおりです。

$$R'_{CMP} = R_{CMP} \cdot \left(1 + \frac{R_{S(OUT)CMP}}{R_{S(OUT)}} \right)$$

ここで、 R'_{CMP} は負荷補償抵抗の新しい値です。 $R_{S(OUT)CMP}$ は R_{CMP} を付加したときの出力インピーダンス、 $R_{S(OUT)}$ は負荷補償なしのとき(ステップ2)の出力インピーダンスです。

周波数の設定

LTC4269-1のスイッチング周波数は、OSCピンとグラウンドの間にコンデンサを外付けして設定します。推奨値は $200pF \sim 33pF$ で、 $50kHz \sim 250kHz$ のスイッチング周波数が発生します。外付けコンデンサと公称スイッチング周波数の関係を図12に示します。このコンデンサはできるだけデバイスの近くに配置し、OSCのトレースの長さや面積を最小にして、浮遊容量とノイズの混入の可能性を最小限に抑えます。

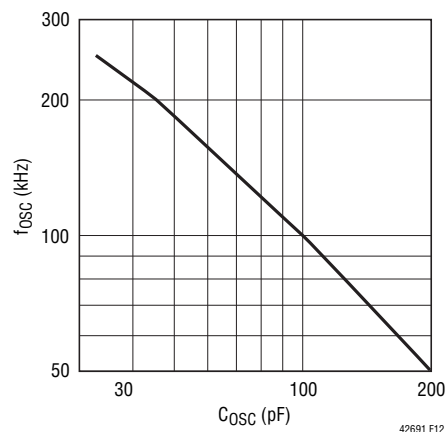


図12. OSCコンデンサの値に対する f_{osc}

アプリケーション情報

発振器周波数は外部周波数に同期させることができます。これは、SYNCピンの信号を使用して行います。OSCピンのコンデンサを使用してLTC4269-1の周波数を望みの外部周波数より10%低い値に設定してから、振幅が2Vより大きい望みの周波数のパルスをSYNCピンに与えます。SYNC信号の立ち上がりエッジでOSCコンデンサの放電が開始され、1次側MOSFETを強制的にオフします(PGの電圧が“L”になります)。発振器周波数が同期周波数と大幅に異なると、スロープ補償とシステムの安定性に問題が生じることがあります。また、同期パルスの幅は500nsより広くします。

タイミング抵抗の選択

外付け抵抗で設定する3つの内部「ワンショット」時間として、最小オン時間、イネーブル遅延時間そして1次側MOSFETのターンオン遅延があります。これらは全て絶縁型フライバック制御手法の一部であり、これらの機能の概要は既に前の方で理論的に動作が説明されています。以下の情報はこれらのタイミング値の選択や最適化に役立ちます。

出力スイッチの最小オン時間($t_{ON(MIN)}$)

最小オン時間はプログラム可能な時間で、その間、1次側スイッチがオンした後、電流制限が無効になります(無視されます)。これにより、特に軽負荷で、スイッチ内のリーディングエッジのスパイクによる誤ったトリップが防止され、レギュレータの性能が向上します。このスパイクは、ゲートソース充電電流とドレイン容量の放電の両方に起因します。絶縁型フライバック検出には、出力を検出するのにパルスが必要です。最小オン時間により、出力スイッチが最小時間常にオンし、ループを閉じる信号が常に与えられます。

LTC4269-1は軽負荷でのサイクルスキップは行いません。したがって、最小オン時間と同期整流により、強制連続モード動作への切り替えが設定されます。

$t_{ON(MIN)}$ 抵抗は次式で設定されます。

$$R_{t_{ON(MIN)}}(k\Omega) = \frac{t_{ON(MIN)}(ns) - 104}{1.063}$$

$R_{t_{ON(MIN)}}$ は70kより大きくします。出発点として最適な値は160kです。

イネーブル遅延時間(ENDELAY)

イネーブル遅延時間は、1次側ゲート・ドライバ・ノードがオフした後で帰還アンプがイネーブルされるまでのプログラム可能な遅延を与えます。前に説明したように、この遅延により、帰還アンプは1次側の漏れインダクタンスによる電圧スパイクの影響を受けずにすみす。ワーストケースの漏れスパイクのパルス幅は最大負荷条件で生じます。したがって、これらの条件でイネーブル遅延を設定します。

このデバイスの標準的アプリケーションでは強制連続動作が使用されますが、2次側コントローラが軽負荷で不連続動作を行う可能性が考えられます。このような状態では、トランスに蓄積されたエネルギーは少量です。フライバック波形は鈍くなり、実際の2次側出力電圧を示す前に消滅することもあります。軽負荷でのフライバック波形の「無関係な」部分を無視するために、イネーブル遅延時間は十分長くします。

LTC4269-1のゲート・ドライブは堅牢ですが、非常に大きなMOSFETではゲートの遷移時間が長くなります。このようなMOSFETを使用するときは、必要に応じて遅延時間を長くします。

イネーブル遅延抵抗は次式を使って設定します。

$$R_{ENDELAY}(k\Omega) = \frac{t_{ENDELAY}(ns) - 30}{2.616}$$

$R_{ENDELAY}$ は40kより大きくします。妥当な出発点は56kです。

アプリケーション情報

1次側ゲートの遅延時間 (PGDLY)

1次側ゲートの遅延は、同期MOSFETがオフしてから1次側MOSFETがオンするまでの、プログラム可能な時間です。正しく設定すると、1次側スイッチと2次側同期スイッチの間の重複、およびその結果生じるトランスの電流スパイクが除去されます。このスパイクは、部品に対する追加のストレスとレギュレータの効率低下の原因となります。

1次側ゲートの遅延抵抗は次式を使って設定します。

$$R_{PGDLY} (\text{k}\Omega) = \frac{t_{PGDLY} (\text{ns}) + 47}{9.01}$$

妥当な出発点は15kです。

ソフトスタート機能

LTC4269-1にはオプションのソフトスタート機能が備わっており、SFSTピンとグラウンドの間にコンデンサを外付けするとイネーブルされます。内部回路により、V_{CMP}ピンの制御電圧がSFSTピンの制御電圧を超えるのを防ぎます。SFSTの電圧を短時間に約0.8Vまで引き上げるため、初期プルアップ回路が備わっています。この電圧から約2.8Vまで20μAの電流源で充電します。

SFSTノードはフォールトが生じると0.8Vまで放電します。V_{CC}が低すぎるか(低電圧ロックアウト)、電流検出電圧が200mVを超えるか、またはデバイスのサーマル(過温度)シャットダウンが作動するとフォールトが生じます。SFSTが放電すると、V_{CMP}ノードの電圧も最小電流の電圧より低い値に引き下げられます。放電が完了してフォールトが解消すると、SFSTは再び充電されます。このようにして、フォールト状態の間にスイッチ電流が減少してコンバータへのストレスが減少します。

完全にソフトスタートするまで充電するのに要する時間は次のとおりです。

$$t_{SS} = \frac{C_{SFST} \cdot 1.4V}{20\mu A} = 70\text{k}\Omega \cdot C_{SFST} (\mu F)$$

スイッチャのUVLOピンの機能

UVLOピンによって低電圧ロックアウトを設定することができます。通常、このピンを使用してV_{IN}に基づく低電圧ロックアウトを実行します。ゲート・ドライバは、UVLOが1.24VのUVLOスレッシュホールドより低くなるとディスエーブルされます。入力電源とグラウンドの間に接続された外付け抵抗分割器を使用してターンオン電圧を設定します。

このピンのバイアス電流は、ピンの電圧とUVLOの状態に応じて変化します。この変化によってUVLOのヒステリシスを調節することができます。このピンがUVLOスレッシュホールドより高い電圧になると、このピンから小電流がソースされ、このピンの電圧が上昇します。ピンの電圧がこのスレッシュホールドより低くなると、電流が停止し、UVLOの電圧がさらに低下します。このようにして、ヒステリシスが生成されます。

図13に示すように、V_{IN}の電圧ヒステリシスはバイアス電流の変化にR_Aを掛けたものに等しくなります。設計手順として、V_{IN}を基準にした望みの電圧ヒステリシス(V_{UVHYS})を選択すると、次のようになります。

$$R_A = \frac{V_{UVHYS}}{I_{UVLO}}$$

ここで、

$$I_{UVLO} = I_{UVLOL} - I_{UVLOH} \text{は約} 3.4\mu A \text{です。}$$

次に、望みのターンオン電圧を使用してR_Bを選択します。

$$R_B = \frac{R_A}{\left(\frac{V_{IN(ON)}}{V_{UVLO}} - 1\right)}$$

V_{IN}を基準にした36Vのトリップ・ポイント、1.8V(5%)のヒス

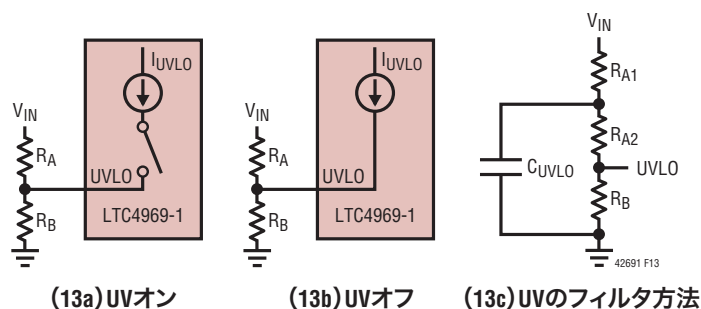


図13. UVLOピンの機能と推奨するフィルタ方法

アプリケーション情報

テリシス(36Vでオン、34.2Vでオフ)を望むのであれば、以下のようになります。

$$R_A = \frac{1.8V}{3.4\mu A} = 529k, 523k \text{ を使用}$$

$$R_B = \frac{523k}{\left(\frac{36V}{1.23V} - 1\right)} = 18.5k, 18.7k \text{ を使用}$$

基板レイアウトが適正な場合でも、基板のノイズによりUVLOに問題が生じることがあります。分割器にフィルタをかけることは可能ですが、UVLOノードに大きな容量は避けます。なぜならば、バイアス電流の変化によって生成されるヒステリシスの生成が遅くなるからです。コンデンサを使って R_A 抵抗を分割することによってフィルタ処理する別の手法を図13cに示します。UVLO側の抵抗の方が大きくなるように分割します。

コンバータの起動

LTC4269-1の標準トポロジーでは、帰還情報とLTC4269-1のローカル V_{CC} 電源の両方を供給する、1次側の3次トランス巻線を利用します(図14を参照)。この電力ブートストラッピングはコンバータの効率を改善しますが、本来は自発的に起動しません。起動は、外付け「トリクル充電」抵抗とLTC4269-1の内部 V_{CC} 低電圧ロックアウト回路に左右されます。 V_{CC} の低電圧ロックアウトのヒステリシスは大きく、起動を容易にします。

動作時、トリクル充電抵抗 R_{TR} が V_{IN} に接続され、標準で1mA程度の小電流を供給して C_{TR} を充電します。最初LTC4269-1はオフしており、その起動電流だけが流れます。 C_{TR} が V_{CC} のターンオン・スレッシュホールド電圧に達すると、LTC4269-1が突然オンして、その通常の電源電流が流れます。

スイッチング動作が始まり、コンバータが出力に電力を供給し始めます。最初、出力電圧は低く、フライバック電圧も低いので、 C_{TR} がLTC4269-1の電流のほとんどを供給します(ほんの一部が R_{TR} から流れます)。 V_{CC} 電圧はしばらくの間(通常は数十ミリ秒)下がり続け、出力電圧が望みの値に近づきます。次いで、フライバック巻線がLTC4269-1に消費電流を供給し、 V_{CC} 電圧が安定化します。

C_{TR} の容量が小さいと、 V_{CC} は安定化する前に V_{CC} のターンオ

フ・スレッシュホールドに達して、LTC4269-1はオフします。すると、 V_{CC} ノードは R_{TR} を介して再度充電を開始し、ターンオン・スレッシュホールドに達するとデバイスが再びオンします。回路によっては、適正な動作に達するまでに数回オン/オフを繰り返すか、または V_{CC} ノードに永久弛緩発振が生じます。

R_{TR} は、ワーストケースの最小充電電流がLTC4269-1の最大

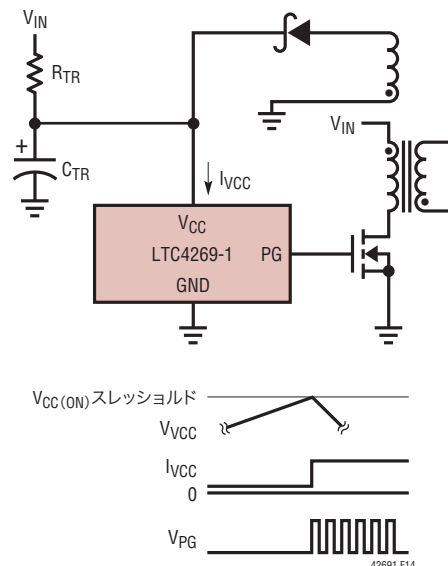


図14. 標準的な電力ブートストラップ

定格起動電流より大きくなり、ワーストケースの最大充電電流がLTC4269-1の最小定格電源電流より小さくなるように選択します。

$$R_{TR(MAX)} < \frac{V_{IN(MIN)} - V_{CC(ON_MAX)}}{I_{CC(ST_MAX)}}$$

そして

$$R_{TR(MIN)} > \frac{V_{IN(MAX)} - V_{CC(ON_MIN)}}{I_{CC(MIN)}}$$

C_{TR} を十分大きくして、前記の弛緩発振を防ぎます。これは、2次側回路の詳細と負荷の特性に依存するので、理論的に決定するのは困難です。実験で検証することを推奨します。オフショーンのソフトスタート機能を使用する場合は、パワーアップのタイミングが長くなり、それに応じて大きな値の C_{TR} が必要になることに注意してください。

アプリケーション情報

LTC4269-1は V_{CC} に約19.5Vの内部クランプを備えています。これにより、スイッチャがオフ(UVLOが“L”)して V_{CC} ノードが“H”になったときにデバイスがある程度保護されます。 R_{TR} の大きさが適切であれば、デバイスがこのクランプ電圧に達することはありません。

制御ループの補償

ループの周波数補償は、図15に示すように、帰還アンプの出力(V_{CMP} ピン)からグラウンドにコンデンサ・ネットワークを接続して行います。帰還アンプのサンプリング特性により、従来の電流モード・コントローラとは補償が異なります。通常は C_{VCMP} だけが必要です。 R_{VCMP} を使用してゼロを追加することができますが、従来はこの追加抵抗によって行われた位相マージンの改善は、通常、ゼロでない2次側回路インピーダンスで既に実現されています。 C_{VCMP2} を使用して高周波数のポールを追加することが可能で、通常は C_{VCMP} の1/10の大きさにします。

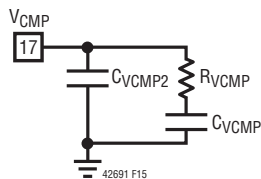


図15. V_{CMP} の補償ネットワーク

従来の電流モード・スイッチャとは対照的に、 V_{CMP} ピンのリップルは一般にLTC4269-1では問題ではありません。クランプされた帰還アンプのダイナミック特性によって効果的なトラック/ホールド型の応答になるので、 V_{CMP} 電圧はフライバック・パルスの間は変化しますが、次のサイクルのスイッチがオンの部分ではホールドされます。この動作により、電流コンバータの検出動作(電流モード・スイッチング)の間、 V_{CMP} 電圧は自然に安定状態に保たれます。

周波数補償を経験的に微調整する方法が「アプリケーションノート19」で説明されています。基本的には、この方法では負荷電流ステップを与えて応答をモニタします。

スロープ補償

LTC4269-1は電流スロープ補償機能を備えています。DCが50%より大きいときの電流ループを確実に安定させるために、スロープ補償が必要になります。スイッチング・レギュレータによっては、スロープ補償により、高デューティ・サイクルで最大ピーク電流が減少します。LTC4269-1ではスロープ補償を補正する回路を備えることによってこの問題を解決しているので、最大電流検出電圧は全てのデューティ・サイクルで一定になります。

最小負荷に関する検討事項

軽負荷では、LTC4269-1で形成されるレギュレータは強制連続導通モードになります。1次側スイッチは $t_{ON(MIN)}$ 抵抗で設定される短い時間常にオンします。これによって負荷が必要とするよりも大きな電力が生じると、同期スイッチがオンしているオフ期間の間は電力が1次側に逆流します。これにより、軽負荷での効率が低下しますが、本質的に不都合な問題が生じることはありません。

最大負荷に関する検討事項

電流モード制御では、 V_{CMP} ノードの電圧と増幅された検出抵抗の電圧が、電流コンバータへの入力として使用されます。増幅された検出電圧が V_{CMP} ノードの電圧を超えると、1次側スイッチがオフします。

通常の使用では、FBが内部リファレンスより低い電圧の間、ピーク・スイッチ電流が増加します。この状態は V_{CMP} がその2.56Vのクランプ電圧に達するまで続きます。クランプ状態では、定格100mVの V_{SENSE} レベルで1次側MOSFETがオフします。これは次のサイクルでも繰り返されます。

スイッチの最小オン時間のブランキングにより、1次側スイッチのピーク電流によって R_{SENSE} 両端に生じる電圧が100mVの最大定格を超える可能性があります。最小ターンオン時間の後、 V_{SENSE} の電圧が205mVを超えると、SFSTコンデンサが放電して、 V_{CMP} コンデンサを放電させます。この結果、次のサイクルのピーク電流が減少し、1次側スイッチの全体的なストレスが低減されます。

アプリケーション情報

短絡状態

出力の短絡など特定の条件では、電流制限が失われることがあります。最小オン時間で表されるデューティ・サイクルが(1次側を基準にした) 2次側巻線電圧を入力電圧で割った比率よりも大きい場合、ピーク電流は公称値に制御されません。サイクル毎に高いレベルへと階段状に上昇していきます。数式で表すと、短絡制御を維持する要件は次のようになります。

$$DC_{MIN} = t_{ON(MIN)} \cdot f_{OSC} < \frac{I_{SC} \cdot (R_{SEC} + R_{DS(ON)})}{V_{IN} \cdot N_{SP}}$$

ここで、

$t_{ON(MIN)}$ は1次側スイッチの最小オン時間

I_{SC} は短絡出力電流

N_{SP} は2次対1次の巻数比 (N_{SEC}/N_{PRI})
(他の変数は前に定義されたとおり)

問題が生じるのは通常、入力電圧と2次対1次の巻数比の積が比較的大きいアプリケーションや、スイッチの最小オン時間が比較的に長いアプリケーションだけです。さらに、トランスの漏れインダクタンス、AC巻線損失、出力スイッチの電圧降下などいくつかの実際の影響が組み合わさると、この単純な理論上の計算は控えめな概算になります。慎重な設計では、スイッチの短絡保護を評価し、損傷を防ぐ回路を追加します。

出力電圧の誤差源

LTC4269-1の帰還検出によりその他の小さな誤差源が生じます。以下に要約します。

- 内部バンドギャップ電圧リファレンスは帰還アンプの基準電圧を設定します。その変化が仕様に詳細に示されています。
- 外付け帰還抵抗分割器の比が安定化電圧に直接影響を与えます。1%精度の部品を使用してください。
- トランスの2次側の漏れインダクタンスにより、2次側対帰還側の実効巻数比 (N_S/N_F) が理想値から減少します。これにより、出力電圧の目標値が同様の比率で増加します。2次側の漏れインダクタンスは部品間で(許容誤差の範囲内で)一定なので、帰還抵抗比を調節して補償します。

- トランスの2次側電流は巻線抵抗、同期MOSFETの $R_{DS(ON)}$ および出力コンデンサのESRのインピーダンスを通過して流れます。コンバータのオフ時間の間だけ導通するので、これらの誤差のDC等価電流は負荷電流より大きくなります。したがって、負荷電流を $(1-DC)$ で割ります。

出力負荷電流が比較的一定な場合、帰還抵抗分割器を使用してこれらの損失を補償します。そうでない場合には、LTC4269-1の負荷補償回路を使用します(「負荷補償の理論」を参照)。複数の出力巻線が使用される場合、フライバック巻線にはこれらの巻線インピーダンスの全ての合計を表す信号が現れます。電圧を微調整する場合、ワーストケースの負荷条件を検討するようにしてください。

パワーMOSFETの選択

パワーMOSFETは主に、オン抵抗 $R_{DS(ON)}$ 、入力容量、ドレイン-ソース間のブレイクダウン電圧 (BV_{DSS})、最大ゲート電圧 (V_{GS}) および最大ドレイン電流 ($I_{D(MAX)}$) に基づいて選択します。

1次側パワーMOSFETの場合、ピーク電流は次のようになります。

$$I_{PK(PRI)} = \frac{P_{IN}}{V_{IN(MIN)} \cdot DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

ここで、 X_{MIN} は前に定義されたピーク・トゥ・ピーク電流比です。

2次側の各パワーMOSFETの場合、ピーク電流は次のようになります。

$$I_{PK(SEC)} = \frac{I_{OUT}}{1-DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

BV_{DSS} が次の値より大きな1次側パワーMOSFETを選択します。

$$BV_{DSS} \geq I_{PK} \sqrt{\frac{L_{LKG}}{C_P}} + V_{IN(MAX)} + \frac{V_{OUT(MAX)}}{N_{SP}}$$

ここで、 N_{SP} はその2次側対1次側の巻数比を表します。 L_{LKG} は1次側の漏れインダクタンス、 C_P は(ほとんどが1次側パワーMOSFETのドレイン容量 ($COSS$) による) 1次側容量です。前に説明したように、クランプを追加して漏れインダクタンスを低減することができます。

アプリケーション情報

2次側の各パワーMOSFETの場合、 BV_{DSS} は次の値より大きくします。

$$BV_{DSS} \geq V_{OUT} + V_{IN(MAX)} \cdot N_{SP}$$

1次側MOSFETの $R_{DS(ON)}$ は公称ゲート・ドライブ電圧(7.5V)での値を選択します。2次側MOSFETのゲート・ドライブ電圧はゲート・ドライブの方法によって決まります。

1次側パワーMOSFETのRMS電流は次式で与えられます。

$$I_{RMS(PRI)} = \frac{P_{IN}}{V_{IN(MIN)} \sqrt{DC_{MAX}}}$$

2次側の各パワーMOSFETのRMS電流は次式で与えられます。

$$I_{RMS(SEC)} = \frac{I_{OUT}}{\sqrt{1 - DC_{MAX}}}$$

次にMOSFETの電力損失を算出します。1次側パワーMOSFETは高い V_{DS} で動作するので、精度を上げるため遷移電力損失の項を含めます。 C_{MILLER} は遷移損失を決める最重要パラメータですが、データシートで直接規定されてはいません。

C_{MILLER} は、ほとんどのMOSFETのデータシートに掲載されているゲート電荷曲線から算出します(図16)。

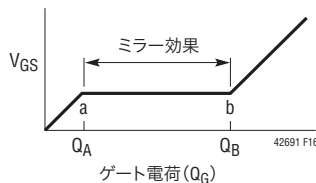


図16. ゲート電荷曲線

この曲線の平坦な部分は、ドレイン電圧が低下するときの(ゲート-ドレイン間の)ミラー容量の結果です。ミラー容量は次のように算出されます。

$$C_{MILLER} = \frac{Q_B - Q_A}{V_{DS}}$$

曲線は特定の V_{DS} に対して与えられています。異なった V_{DS} 電圧に対するミラー容量は、算出された C_{MILLER} に、アプリケーションの V_{DS} と曲線で規定された V_{DS} の比を掛けて概算します。

算出された C_{MILLER} を使用して、1次側パワーMOSFETの電力損失を計算します。

$$P_{D(PRI)} = I_{RMS(PRI)}^2 \cdot R_{DS(ON)} (1 + \delta) + V_{IN(MAX)} \cdot \frac{P_{IN(MAX)}}{DC_{MIN}} \cdot R_{DR} \cdot \frac{C_{MILLER}}{V_{GATE(MAX)} - V_{TH}} \cdot f_{OSC}$$

ここで、

R_{DR} はゲート・ドライブの抵抗(約10Ω)

V_{TH} はMOSFETのゲート・スレッショルド電圧

f_{OSC} は動作周波数

$V_{GATE(MAX)} = 7.5V$ (このデバイスの場合)

MOSFETに対する $(1 + \delta)$ の項は、一般に正規化された $R_{DS(ON)}$ 対温度の曲線から得られます。曲線が与えられていなければ、低電圧MOSFETには $\delta = 0.005^\circ C \cdot \Delta T$ を使用します。

通常、2次側パワーMOSFETははるかに低い V_{DS} で動作するので、遷移損失を無視することができます。電力損失は次式を使用して算出します。

$$P_{DIS(SEC)} = I_{RMS(SEC)}^2 \cdot R_{DS(ON)} (1 + \delta)$$

得られた電力損失を使用して、MOSFETの接合部温度を次式から求めます。

$$T_J = T_A + P_{DIS} \cdot \theta_{JA}$$

ここで、 T_A は周囲温度、 θ_{JA} はMOSFETの接合部から周囲までの熱抵抗です。

T_J が得られたら、 δ と電力損失を再計算して、収束するまで反復計算します。

ゲート・ドライブ・ノードに関する検討事項

PGとSGのゲート・ドライブは強力で、ゲート・ドライブの立ち上がり時間と立ち下がり時間を最小限に抑えます。これによって効率が改善されますが、これらの信号の高周波成分が問題を引き起こすことがあります。寄生インダクタンスを低減するため、トレースは短く幅を広くします。

寄生インダクタンスはMOSFETゲートの容量と結合してLCタンクを形成します。良いとはいえないレイアウトでは、5Ω以上の直列抵抗によってリングングを減衰させることができますが、代償として立ち上がり時間と立ち下がり時間がわずかに長くなり、効率が低下します。

アプリケーション情報

LTC4269-1のゲート・ドライブは最大ゲート電圧を約7.5Vにクランプするので、最大 V_{GS} が10V以上のMOSFETを安全に使用することができます。

同期ゲート・ドライブ

同期ゲートMOSFETをドライブするには、いくつかの異なる方法があります。コンバータを完全に絶縁するには、同期ゲート・ドライブを絶縁する必要があります。これは通常、パルス・トランスによって実現することができます。このデータシートの表紙の「標準的応用例」に示されているように、通常はパルス・ドライバを使用して2次側のバッファをドライブします。

ただし、その他の手法も可能です。バッファ機能や他の機能を備えたゲート・ドライバおよび2次側同期整流式コントローラを利用することができます。

コンデンサの選択

フライバック・コンバータでは、入力と出力の電流はパルス状に流れるので、入力と出力のフィルタ・コンデンサに厳しい要求が課されます。入力と出力のフィルタ・コンデンサはRMS電流定格とリップル電圧に基づいて選択します。

リップル電流定格が次の値より大きな入力コンデンサを選択します。

$$I_{RMS(PRI)} = \frac{P_{IN}}{V_{IN(MIN)}} \sqrt{\frac{1 - DC_{MAX}}{DC_{MAX}}}$$

この例では次のようになります。

$$I_{RMS(PRI)} = \frac{29.5W}{41V} \sqrt{\frac{1 - 49.4\%}{49.4\%}} = 0.728A$$

入力コンデンサの等価直列抵抗(ESR)と等価直列インダクタンス(ESL)は電磁干渉の抑制に影響を与えるので、小さく保ちます。フライバック・コンバータは負の入力抵抗特性を示すので、場合によっては、ESRが大きいと安定性の問題も生じることがあります。詳細については、「アプリケーションノート19」を参照してください。

出力コンデンサは、リップル電流を処理することができ、出力電圧リップルを許容できる大きさにします。出力コンデンサのRMS電流定格は次の値より大きくします。

$$I_{RMS(SEC)} = I_{OUT} \sqrt{\frac{DC_{MAX}}{1 - DC_{MAX}}}$$

この例では次のようになります。

$$I_{RMS(SEC)} = 5.3A \sqrt{\frac{49.4\%}{1 - 49.4\%}} = 5.24A$$

これは多巻線のアプリケーションの出力ごとに計算します。

バルク容量とともに、ESRとESLは出力電圧リップルに直接影響を与えます。標準的なフライバック・コンバータの波形を図17に示します。

(出力電圧のパーセンテージで表した)最大許容リップル電圧を使用して、コンデンサの値の出発点を設定します。簡単にするため、最大出力リップルとして2%を選択し、ESRによる電圧

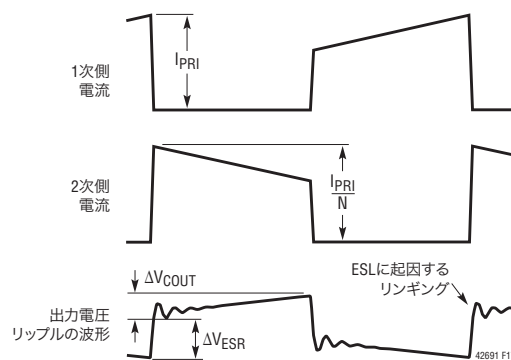


図17. 標準的なフライバック・コンバータの波形

ステップと充放電による ΔV の間で等分します。このパーセンテージで表したリップルは、アプリケーションの要件に応じて異なります。以下の式は修正することができます。

全リップル電圧の1%分の出力コンデンサのESRは、次のように決定します。

$$ESR_{COUT} \leq 1\% \cdot \frac{V_{OUT} \cdot (1 - DC_{MAX})}{I_{OUT}}$$

アプリケーション情報

残りの1%はバルク容量部品によるので、次式を使用します。

$$C_{OUT} \geq \frac{I_{OUT}}{1\% \cdot V_{OUT} \cdot f_{OSC}}$$

多くのアプリケーションでは、望みの電圧リップル、信頼性およびコストの目標を実現するため、出力コンデンサを複数のコンデンサで構成します。たとえば、低ESRのセラミック・コンデンサはESRによるステップを最小限に抑えることが可能で、電解コンデンサは必要なバルク容量を与えます。

この例では、出力コンデンサは以下の条件を満たす必要があります。

$$ESR_{C_{OUT}} \leq 1\% \cdot \frac{5V \cdot (1 - 49.4\%)}{5.3A} = 4m\Omega$$

$$C_{OUT} \geq \frac{5.3A}{1\% \cdot 5 \cdot 200kHz} = 600\mu F$$

これらの電気的特性を実現するには、場合によっては種類の異なる低ESRのコンデンサを複数個並列に接続する必要があります。

コストを削減し、出力リップルを改善する1つの方法として、シンプルなLCフィルタを使用します。フィルタの例を図18に示します。

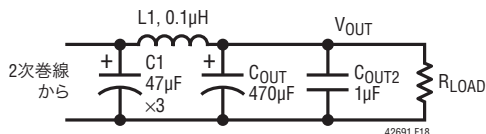


図18

フィルタの設計はこのデータシートの範囲を超えますが、出発点として、以下の一般的なガイドラインを使用します。フィルタなしのソリューションの1/4のサイズの C_{OUT} から始めます。 $C1$ を C_{OUT} の1/4にして、 C_{OUT} に依存しない2番目のフィルタ・ポールを形成します。 $C1$ に複数のセラミック・コンデンサを使用すると最高の結果が得られます。 $L1$ はトランスの出力インダクタンスより小さくします。通常、 $0.1\mu H$ のフィルタ・インダクタで十分です。 V_{OUT} の高周波ノイズに備えて、小容量のセラミック・コンデンサ(C_{OUT2})を追加します。詳細に関して関心のある方は、Switching Power Magazine誌の2000年7月号のP8~P10に掲載されている「Second-Stage LC Filter Design」(Ridley著)を参照してください。

回路シミュレーションは出力容量とフィルタを最適化する1つの方法ですが、必ず部品の寄生要素も含めてください。リニアテクノロジーのSwitcherCAD™は無償の回路シミュレーション・ツールで、www.linear-tech.co.jpから入手できます。出力リップルの最終的な最適化は専用のPC基板で行う必要があります。レイアウトの不備に起因する寄生インダクタンスはリップルに大きく影響する可能性があります。詳細については「LTC4269-1のレイアウトに関する検討事項」のセクションを参照してください。

静電気放電とサージ保護

LTC4269-1は $-100V$ の絶対最大電圧で動作するように仕様が規定されており、短時間の過電圧に耐えるように設計されています。ただし、外部とインタフェースするピン(主に V_{PORTN} と V_{PORTP})は常に $10kV$ を超えるピーク電圧に曝される可能性があります。LTC4269-1を保護するため、SMAJ58A一方向58V過渡電圧サプレッサをダイオード・ブリッジとLTC4269-1の間に接続することを強く推奨します(図2のD3)。

絶縁

802.3標準規格は、イーサネット・ポートが、ユーザーがアクセス可能な他の全ての導体から電氣的に絶縁されていることを要求しています。これには、メタル・シャーシ、他のコネクタ、全ての補助電源接続が含まれます。PDの場合、絶縁要件を満たす2つの一般的な方法があります。ユーザーがアクセス可能なPDへの接続がある場合、絶縁要件を満たすには絶縁型DC/DCコンバータが必要です。ユーザーによる接続を避けることができれば、絶縁された筐体でPDを完全に囲むことにより、安全性の要件を満たすことが可能です。全てのPDアプリケーションで、RJ-45ポート以外に、ユーザーがアクセス可能なLTC4269-1またはサポート回路への電氣的接続があつてはなりません。

LTC4269-1のレイアウトに関する検討事項

LTC4269-1のPDのフロントエンドは、レイアウトの問題に比較的影響されません。 R_{CLASS} ピンには過度の寄生容量が生じないようにします。パッケージ底面の露出パッドを半田付けすることができるPCBヒートシンクを追加します。このヒートシンクはGNDに電氣的に接続します。最適な熱特性を得るため、ヒートシンクをできるだけ大きくします。PoEアプリケーションではPDの電圧が最大57Vになることがあるので、高電圧レイアウトの手法を使用します。SHDNピンは V_{PORTP} や V_{NEG} など

SwitcherCADはリニアテクノロジー社の商標です。

アプリケーション情報

他の高電圧ピンから離して、リーク電流によってLTC4269-1がシャットダウンする可能性をなくします。使用しない場合、SHDNをV_{PORTN}に接続します。LTC4269-1のV_{PORTP}とV_{NEG}の間に接続された負荷コンデンサは、完全に充電されると大きなエネルギーを蓄積することができます。このエネルギーがLTC4269-1内で不用意に消費されることがないようにPDを設計しなければなりません。極性保護ダイオードは、ケーブルを誤って短絡したときの損傷を防ぎます。ただし、コンデンサC1の充電中にPD内でV_{PORTN}がV_{PORTP}に短絡すると、電流が内部MOSFETの寄生ボディ・ダイオードを通して流れ、LTC4269-1に永続的損傷を与える恐れがあります。

スイッチング・ノイズを最小限に抑えて出力負荷レギュレーションを改善するため、LTC4269-1のGNDピンを、多数のピアを備えたグラウンド・プレーンを使用して、V_{CC}デカップリング・コンデンサのグラウンド端子、電流検出抵抗の下側端子および入力コンデンサのグラウンド端子に直接接続します。V_{CC}コンデンサはデバイスのパッケージのV_{CC}ピンとGNDピンに隣接して配置します。このコンデンサはdi/dtが大きいMOSFETゲート・ドライブ電流を供給します。低ESRのセラミック・コンデンサを使用します。

PCBのレイアウトでは、大きなスイッチング電流が流れるトレースを短く幅を広くし、全体のループ面積を最小にするよう注意します。これらは一般にスイッチに関係したトレースです。こうすることにより、寄生インダクタンスが減少して磁界放射も最小限に抑えられます。注意を要する経路を図19に示します。

トレースの長さと同面積を最小にして(浮遊容量を小さく保って)、電界放射を小さく抑えます。1次側MOSFETのドレインはこの点で最悪の箇所です。スイッチャ回路の下には必ずグラウンド・プレーンを使用してPCBのプレーン間の結合を防ぎます。

誘導性リングングによってMOSFETの最大BV_{DSS}定格を超えないことを確認します。これはMOSFETノードの電圧をオシロスコープで観測して行います。ブレークダウンが生じている場合は、より高い電圧のデバイスを選択するか、スナバを追加するか、またはアバランシェ定格のMOSFETを指定します。

小信号部品は高周波数のスイッチング・ノードから離して配置します。これにより、信号グラウンドに擬似ケルビン接続を使用することができ、di/dtが大きいゲート・ドライバ電流はデバイスのグラウンド・ピンから一方向に(V_{CC}のデカップリング・コンデンサのボトム・プレートに向かって)流れ、小信号電流は他の方向に流れます。

帰還分割器のタップからFBピンまでのトレースを短くし、不用意な混入を防ぎます。

複数のスイッチング・パワー・コンバータが同じ入力電源に接続されているアプリケーションでは、LTC4269-1の入力フィルタ・コンデンサが他のコンバータと共有されていないことを確認します。別のコンバータからのAC入力電流によって大きな入力電圧リップルが生じ、これがLTC4269-1の動作に影響を与えることがあります。電流共有の問題を防ぐには、LTC4269-1のC_{IN}と実際の電源であるV_{IN}の間に数インチのPCトレースまたはワイヤ(L ≒ 100nH)を配置すれば十分です。

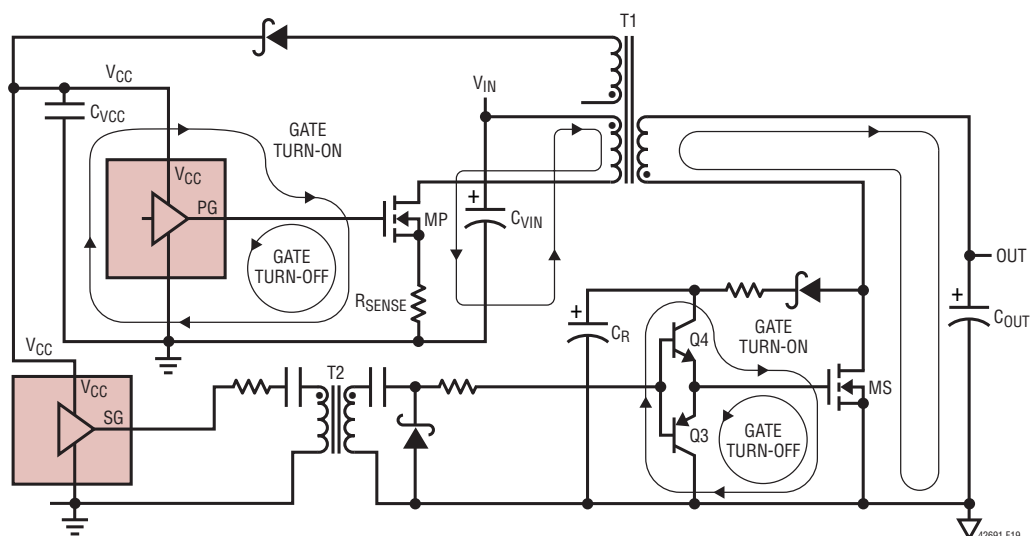
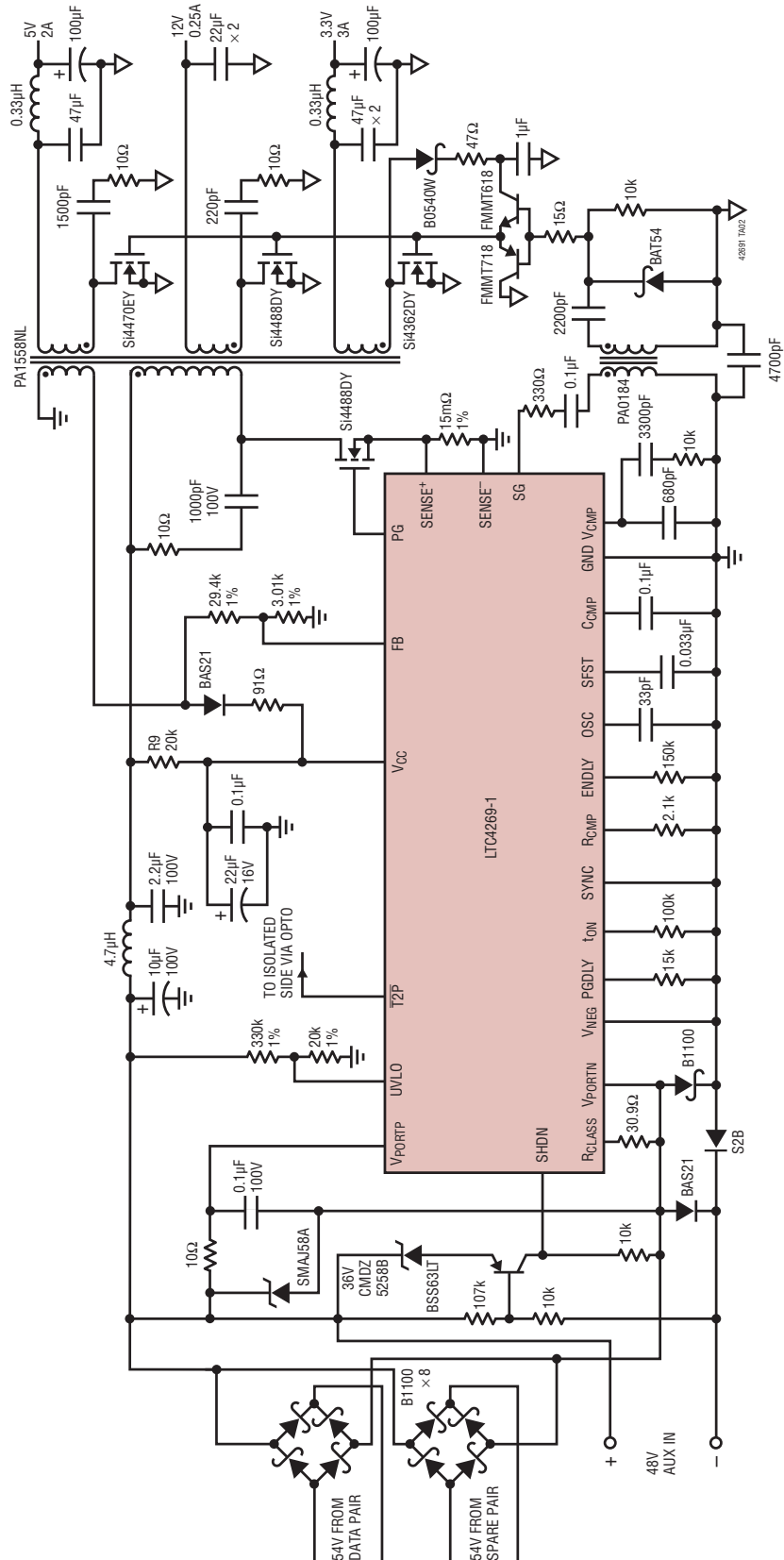


図19. レイアウトに注意を要する高電流経路

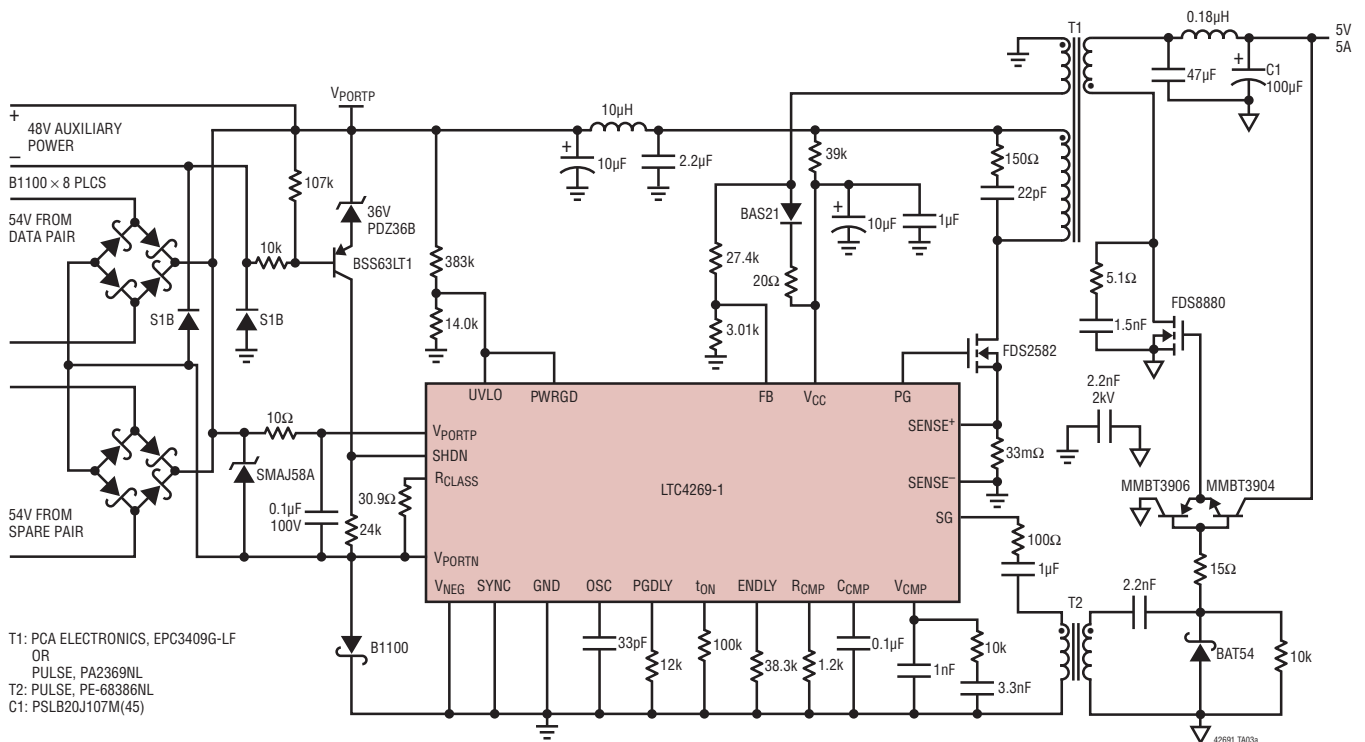
標準的応用例

25W 高効率トリプル出力PD電源

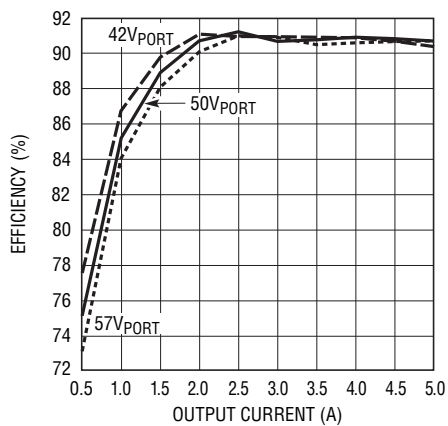


標準的応用例

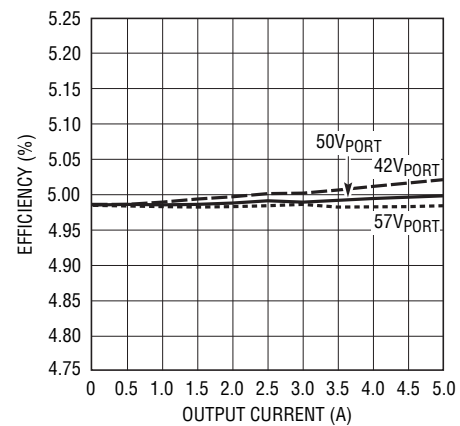
PoEベースの5V/5A電源



効率

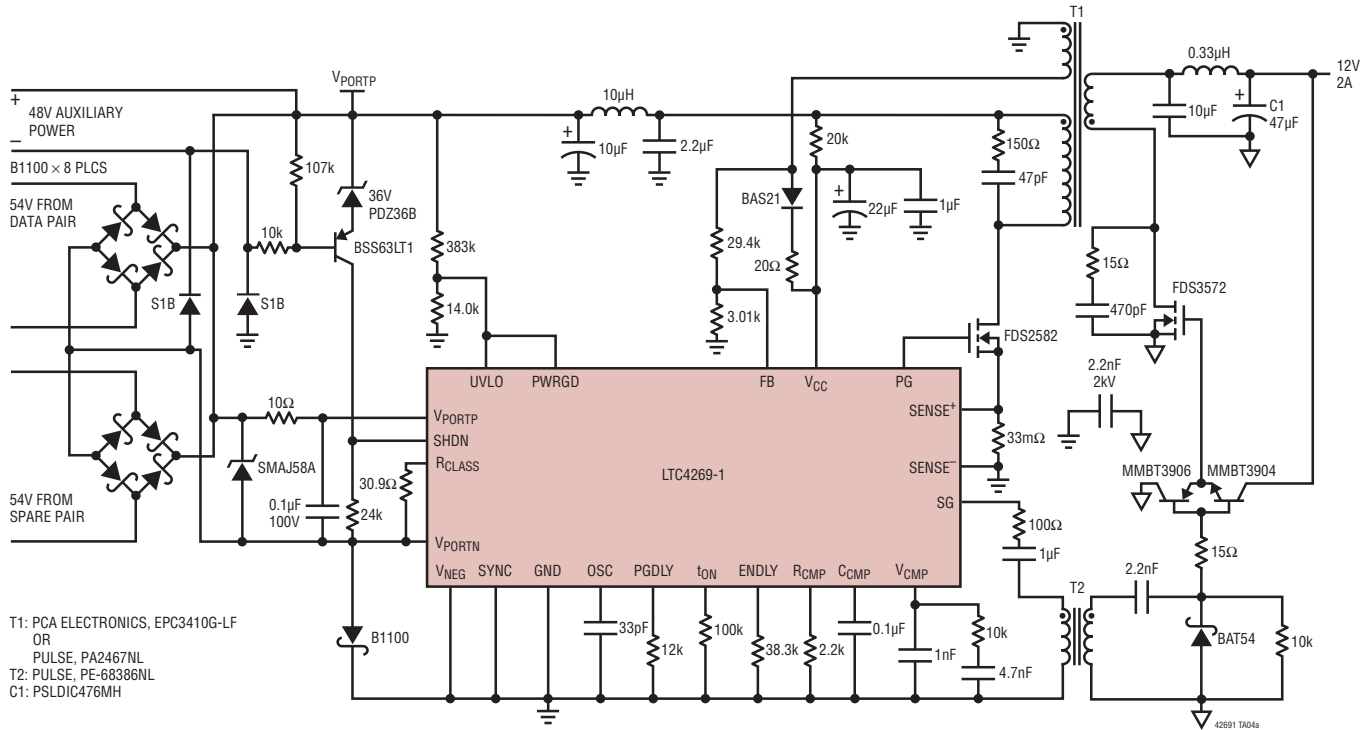


レギュレーション

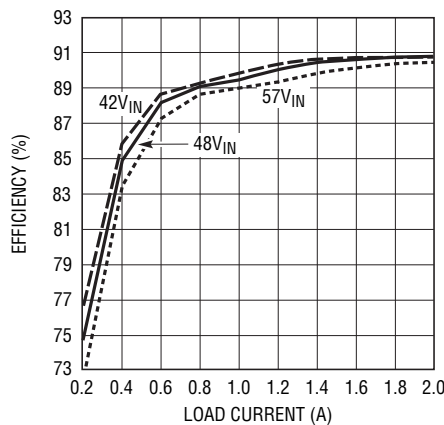


標準的応用例

PoEベースの12V/2A電源

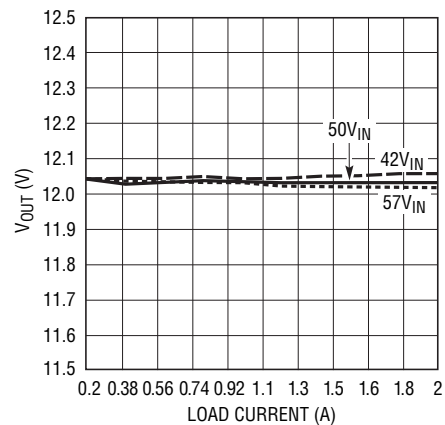


効率



42691 TA04b

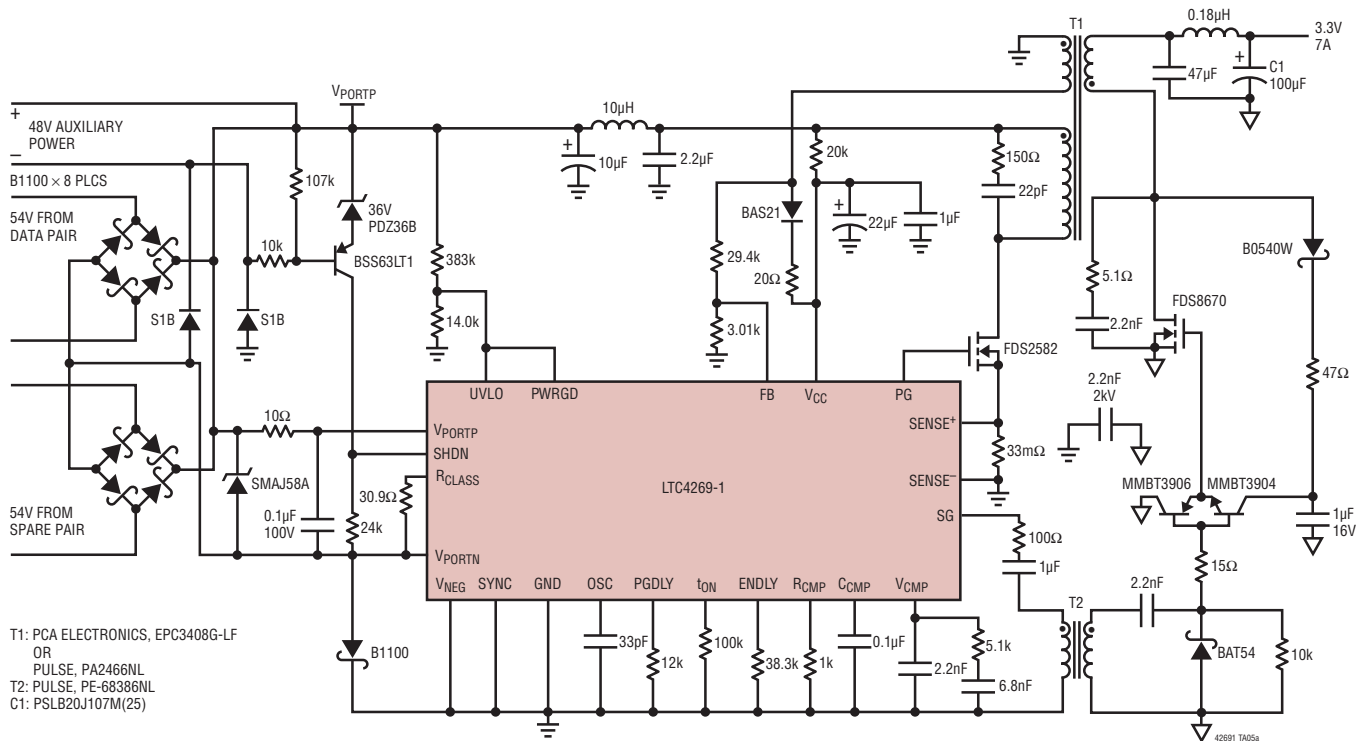
レギュレーション



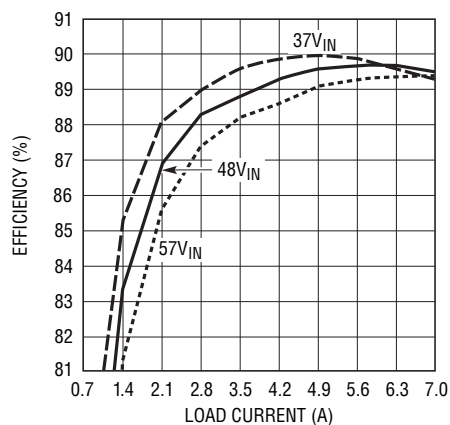
42691 TA04c

標準的応用例

PoEベースの3.3V/7A電源

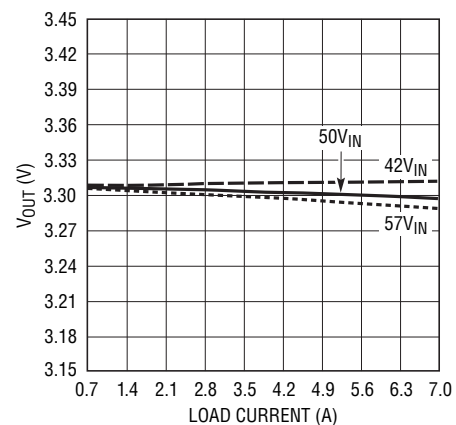


効率



42691 TA05b

レギュレーション

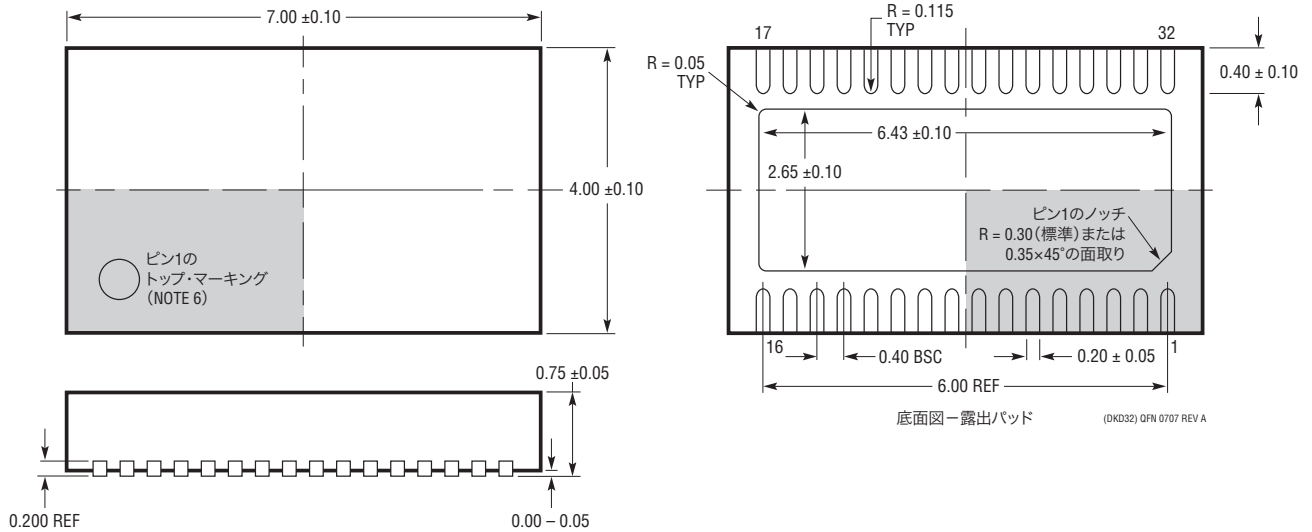
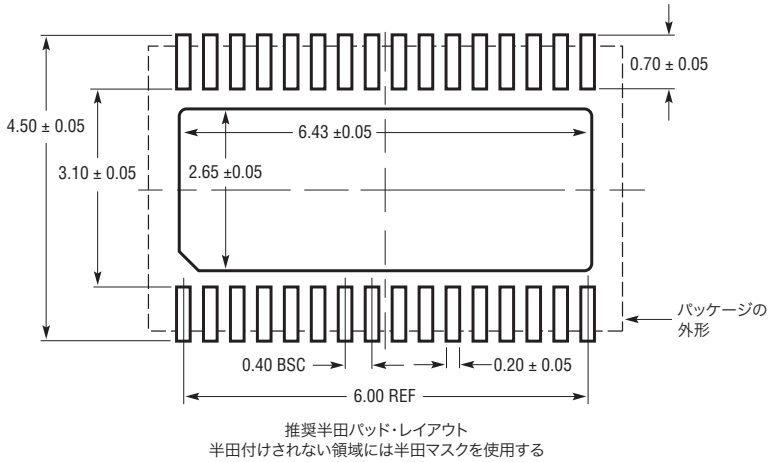


42691 TA05c

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

DKDパッケージ
32ピン・プラスチックDFN(7mm×4mm)
 (Reference LTC DWG # 05-08-1734 Rev A)



- NOTE:
- 図はJEDECパッケージ外形MO-220のバリエーション(WXXX)にするよう提案されている
 - 図は実寸とは異なる
 - すべての寸法はミリメートル
 - パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
 - 露出パッドは半田メッキとする
 - 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

改訂履歴 (Rev Bよりスタート)

REV	日付	概要	ページ番号
B	04/10	「標準的応用例」の回路図でPWRGDピンをUVLOピンに接続 「アプリケーション情報」の「相補パワーグッド」のセクションに「PWRGDピンをUVLOピンに接続することにより」の文を追加	1, 39~41 16, 17
C	8/12	クラス0とクラス3の最大電力レベルを13.0Wに変更 図7のV _{PORTP} ピンに10Ω抵抗を追加、「入力直列抵抗」のセクションにサポート文を追加 SMAJ58A (TVS) 推奨の段落を追加 図8: フォトダイオード (陰極側) の接続をV _{NEG} から-54Vレベルに変更 図9: 電流サージに対するソリューションの堅牢性を高めるために、V _{PORTN} とV _{NEG} の間にショットキーダイオードを追加 電流サージに対するソリューションの堅牢性を高めるために図面変更: V _{PORTP} ピンに10Ω抵抗を追加、V _{PORTN} ピンにショットキーダイオードを追加、ダイオードの接続をV _{PORTN} からS1Bへの負の補助電源入力に変更	14 18, 19 19 19 20 38, 39, 40, 41

関連製品

製品番号	説明	注釈
LTC4257-1	IEEE 802.3af PD用インタフェース・コントローラ	100V、400mAの内部スイッチ、プログラム可能な分類、デュアル電流制限
LTC4258	クワッドIEEE 802.3af Power over Ethernet コントローラ	DC切断のみ、IEEE準拠のPD検出および分類、 自動制御動作またはI ² Cによる制御
LTC4259A-1	クワッドIEEE 802.3af Power over Ethernet コントローラ	ACおよびDC切断、IEEE準拠のPD検出および分類、 自動制御動作またはI ² Cによる制御
LTC4263	シングルIEEE 802.3af Power over Ethernet コントローラ	ACおよびDC切断、IEEE準拠のPD検出および分類、自動制御動作
LTC4263-1	高電力シングルPSEコントローラ	内部スイッチ、自動制御動作、PSE出力電力:30W
LTC4264	750mA 電流制限付き高電力PD用インタフェース・ コントローラ	750mA内部スイッチ、75mAまでプログラム可能な分類電流、 ディスプレイ付き高精度デュアル電流制限
LTC4265	2イベント分類付きIEEE 802.3at 高電力PD用 インタフェース・コントローラ	2イベント分類認識、100mAの突入電流制限、1本の分類設定抵抗、 802.3atに完全準拠
LTC4266	クワッドIEEE 802.3at PSEコントローラ	IEEE 802.3atタイプ1およびタイプ2のPDをサポート、 チャンネル抵抗:0.34Ω、先進的パワーマネージメント、 信頼性の高い4ポイントPD検出、高容量のレガシーデバイスの検出
LTC4266A	クワッドLTPoE++ PSEコントローラ	最大90Wを供給、IEEE 802.3afおよびIEEE 802.3at 対応のPDと後方 互換、プログラム可能なI _{CUT} /I _{LIM} 、2イベント分類、ポート電流とポート 電圧のモニタリング
LTC4266C	IEEE 802.3af 対応のクワッドPSEコントローラ	プログラム可能なI _{CUT} /I _{LIM} 、1イベント分類、ポート電流とポート電圧 のモニタリング
LTC4267-1	スイッチング・レギュレータ内蔵のIEEE 802.3af PD用 インタフェース	100V、400mAの内部スイッチ、設定可能な分類電流、 200kHzの固定周波数PWM、IEEEに準拠したPDシステム向けに最適化
LTC4267-3	スイッチング・レギュレータ内蔵のIEEE 802.3af PD用 インタフェース	100V、400mAの内部スイッチ、設定可能な分類電流、 300kHzの固定周波数PWM、IEEEに準拠したPDシステム向けに最適化
LTC4268-1	同期整流式No-Opto フライバック・コントローラ付き 高電力PD	IEEE 802.3af準拠、750mA Hot Swap FET、電源効率:92%、 柔軟な補助電源サポート、優れたEMI性能
LTC4269-2	同期整流式フォワード・コントローラ付き IEEE 802.3af/IEEE 802.3at PD	2イベント分類認識、電源効率:94%、柔軟な補助電源サポート、 優れたEMI性能、100kHz~500kHz
LTC4270/LTC4271	12ポート PoE/PoE+/LTPoE++ PSEコントローラ	トランスで絶縁、タイプ1、タイプ2およびLTPoE++ PDをサポート
LTC4274	IEEE 802.3at対応のシングル PoE PSEコントローラ	プログラム可能なI _{CUT} /I _{LIM} 、2イベント分類、ポート電流とポート電圧 のモニタリング
LTC4274A	シングルLTPoE++ PSEコントローラ	最大90Wを供給、IEEE 802.3afおよびIEEE 802.3at 対応のPDと後方 互換、プログラム可能なI _{CUT} /I _{LIM} 、2イベント分類、ポート電流とポート 電圧モニタリング
LTC4274C	IEEE 802.3af対応のシングル PSEコントローラ	プログラム可能なI _{CUT} /I _{LIM} 、1イベント分類、ポート電流とポート電圧 のモニタリング
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3at PD用インタフェース	2イベント分類、プログラム可能な分類、同期整流式No-Opto フライ バック・コントローラ、50kHz~250kHz、12V補助電源サポート

ThinSOTはリニアテクノロジー社の商標です。