

IEEE 802.3at対応のクワッド Power Over Ethernetコントローラ

特長

- 4つの独立したPSEチャネル
- IEEE 802.3at Type 1およびType 2に準拠
- 全チャネル抵抗: 0.34Ω
130mW/ポート (600mA時)
- 高度なパワー・マネージメント
8ビットでプログラム可能な電流制限 (I_{LIM})
7ビットでプログラム可能な過負荷電流制限 (I_{CUT})
事前に選択されたポートの高速シャットダウン
14.5ビットのポート電流/電圧モニタリング
2イベント分類
- 非常に信頼性の高い4点式のPD検出:
2点間の強制電圧
2点間の強制電流
- 高容量のレガシー・デバイスの検出
- LTC4259A-1およびLTC4258とピンソフトウェア互換
- 1MHzのI²C互換シリアル制御インタフェース
- ミッドスパン・バックオフ・タイマ
- 25Wを上回る独自の電力レベルをサポート
- 38ピン5mm×7mm QFNおよび36ピンSSOPパッケージ

アプリケーション

- 高電力PSEスイッチ/ルータ
- 高電力PSEミッドスパン

LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。ThinSOTはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

概要

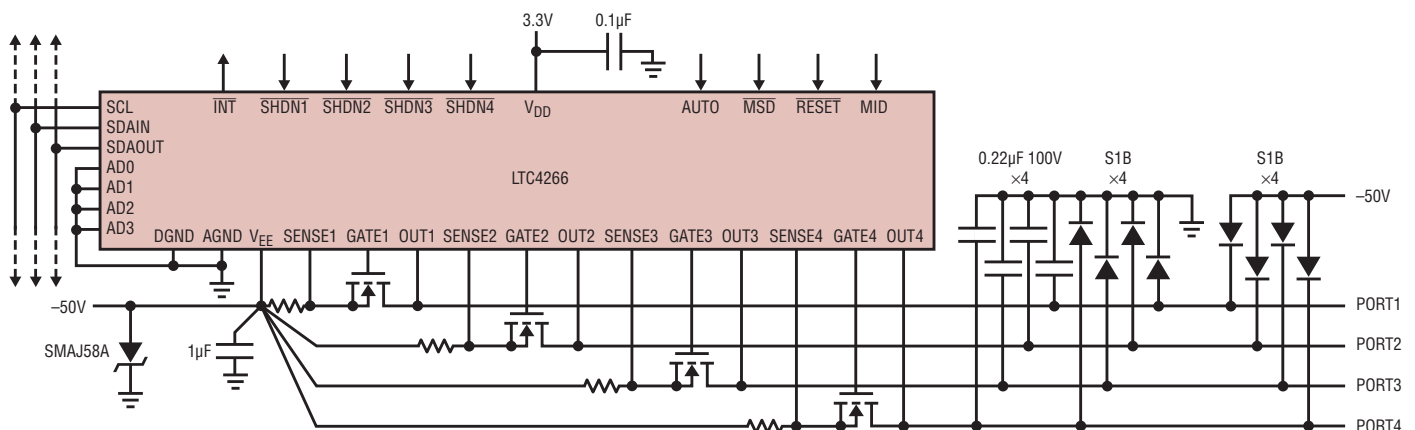
LTC[®]4266は、IEEE 802.3 Type 1およびType 2(大電力)準拠のPower over Ethernetシステムでの使用に合わせて設計されているクワッドPSEコントローラです。外付けのパワーMOSFETにより、システムの信頼性が向上し、チャネル抵抗が最小になるので、電力損失が低減し、Type 2の電力レベルでもヒートシンクが不要です。外付けのパワー部品によって非常に高い電力レベルでの使用も可能になりますが、それ以外の場合にはIEEE標準規格に適合します。80V定格のポート・ピンにより、外部のフォルトから確実に保護します。

LTC4266は、電流および電圧の読み出しやプログラム可能な I_{CUT} しきい値および I_{LIM} しきい値など、高度なパワー・マネージメント機能を備えています。Cライブラリを使用できるので、パワー・マネージメント・ソフトウェアの開発が容易です。また、オプションのAUTOピン・モードを使用すれば、IEEE完全準拠の単独動作をソフトウェア不要で実現できます。独自の4点式PD検出回路により、従来型の電話動作をサポートしながらPDの誤検出を最小限に抑えることができます。ミッドスパン動作は、内蔵の2イベント分類とバックオフのタイミングによってサポートされています。ホストとの通信は、1MHzのI²Cシリアル・インタフェースを介して行われます。

LTC4266は、競合他社のソリューションと比較して基板面積を大幅に削減する5mm×7mmのQFNパッケージで供給されます。従来品と互換の36ピンSSOPパッケージも供給されています。

標準的応用例

完全な4ポート・イーサネット高電力源



4266 TA01

4266fe

LTC4266

絶対最大定格

電源電圧 (Note 1)

AGND-V _{EE}	-0.3V~80V
DGND-V _{EE}	-0.3V~80V
V _{DD} -DGND	-0.3V~5.5V

デジタル・ピン

SCL, SDA_{IN}, SDA_{OUT}, $\overline{\text{INT}}$, $\overline{\text{SHDN}}_n$, $\overline{\text{MSD}}$, AD_n,
 $\overline{\text{RESET}}$, AUTO, MID

アナログ・ピン

GATE_n, SENSE_n, OUT_n V_{EE}-0.3V~V_{EE}+80V

動作温度範囲

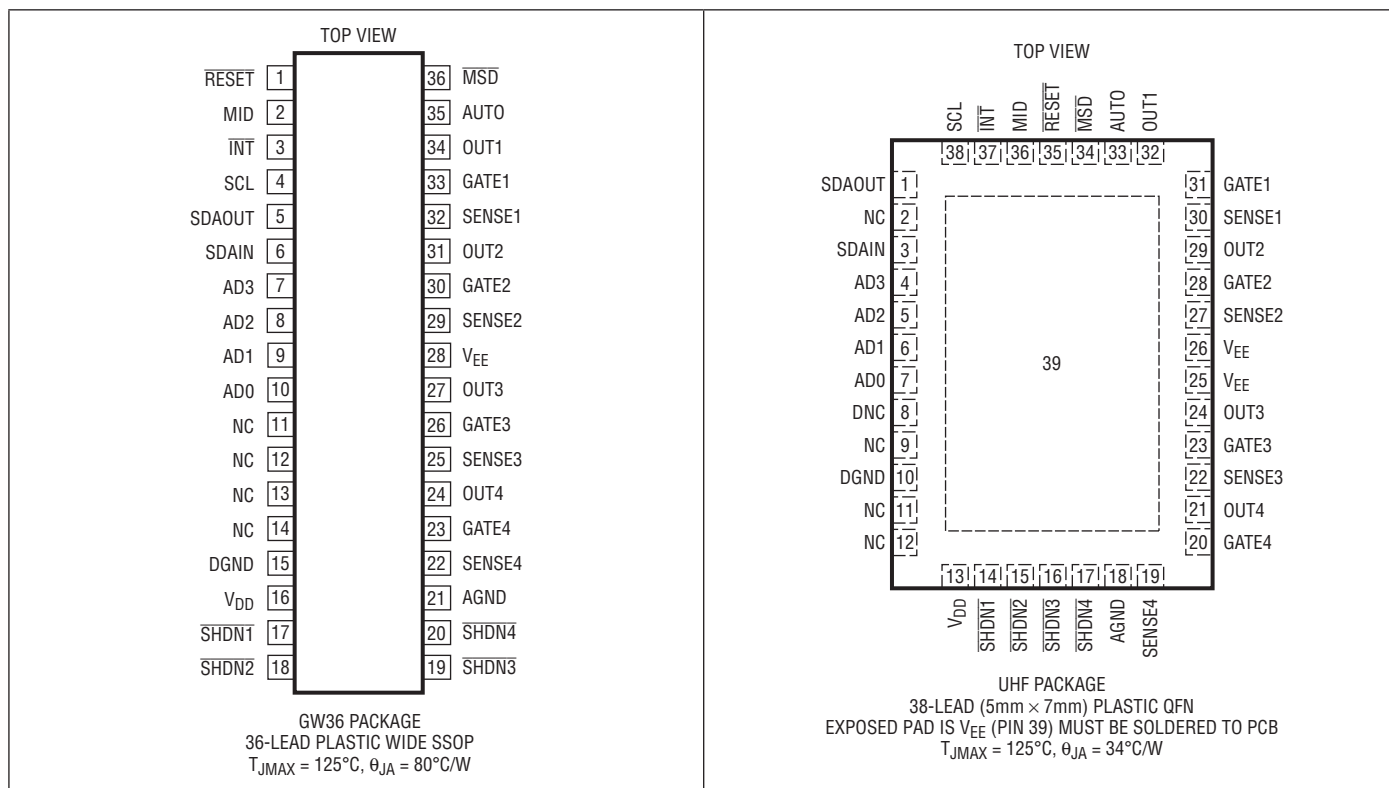
LTC4266C	0°C~70°C
LTC4266I	-40°C~85°C

接合部温度 (Note 2) 125°C

保存温度範囲 -65°C~150°C

リード温度 (半田付け, 10秒) 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4266CGW#PBF	LTC4266CGW#TRPBF	LTC4266 CGW	36-Lead Plastic Wide SSOP	0°C to 70°C
LTC4266IGW#PBF	LTC4266IGW#TRPBF	LTC4266 IGW	36-Lead Plastic Wide SSOP	-40°C to 85°C
LTC4266CUHF#PBF	LTC4266CUHF#TRPBF	4266	38-Lead (5mm x 7mm) Plastic QFN	0°C to 70°C
LTC4266IUHF#PBF	LTC4266IUHF#TRPBF	4266	38-Lead (5mm x 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。 *温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND} - V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Main PoE Supply Voltage	$\text{AGND} - V_{EE}$	●	45	57	V	
		For IEEE Type 1 Complaint Output	●	51	57	V	
	For IEEE Type 2 Complaint Output	●	20	25	30	V	
V_{DD}	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3.0	3.3	4.3	V
	Undervoltage Lock-out		●	2.2		V	
	Allowable Digital Ground Offset	$\text{DGND} - V_{EE}$	●	25	57	V	
I_{EE}	V_{EE} Supply Current	$(\text{AGND} - V_{EE}) = 55\text{V}$	●	-2.4	-5	mA	
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●	1.1	3	mA	

検出

	Detection Current – Force Current	First Point, $\text{AGND} - V_{\text{OUTn}} = 9\text{V}$	●	220	240	260	μA
		Second Point, $\text{AGND} - V_{\text{OUTn}} = 3.5\text{V}$	●	140	160	180	μA
	Detection Voltage – Force Voltage	$\text{AGND} - V_{\text{OUTn}}$, $5\mu\text{A} \leq I_{\text{OUTn}} \leq 500\mu\text{A}$	●	7	8	9	V
		First Point	●	3	4	5	V
	Detection Current Compliance	$\text{AGND} - V_{\text{OUTn}} = 0\text{V}$	●	0.8	0.9	mA	
V_{OC}	Detection Voltage Compliance	$\text{AGND} - V_{\text{OUTn}}$, Open Port	●	10.4	12	V	
	Detection Voltage Slew Rate	$\text{AGND} - V_{\text{OUTn}}$, $C_{\text{PORT}} = 0.15\mu\text{F}$	●		0.01	V/ μs	
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

分類

V_{CLASS}	Classification Voltage	$\text{AGND} - V_{\text{OUTn}}$, $0\text{mA} \leq I_{\text{CLASS}} \leq 50\text{mA}$	●	16.0	20.5	V	
	Classification Current Compliance	$V_{\text{OUTn}} = \text{AGND}$	●	53	61	67	mA
	Classification Threshold Current	Class 0 – 1	●	5.5	6.5	7.5	mA
		Class 1 – 2	●	13.5	14.5	15.5	mA
		Class 2 – 3	●	21.5	23	24.5	mA
		Class 3 – 4	●	31.5	33	34.9	mA
		Class 4 – Overcurrent	●	45.2	48	50.8	mA
V_{MARK}	Classification Mark State Voltage	$\text{AGND} - V_{\text{OUTn}}$, $0.1\text{mA} \leq I_{\text{CLASS}} \leq 10\text{mA}$	●	7.5	9	10	V
	Mark State Current Compliance	$V_{\text{OUTn}} = \text{AGND}$	●	53	61	67	mA

ゲート・ドライバ

	GATE Pin Pull-Down Current	Port Off, $V_{\text{GATEn}} = V_{EE} + 5\text{V}$	●	0.4		mA	
		Port Off, $V_{\text{GATEn}} = V_{EE} + 1\text{V}$	●	0.08	0.12	mA	
	GATE Pin Fast Pull-Down Current	$V_{\text{GATEn}} = V_{EE} + 5\text{V}$		30		mA	
	GATE Pin On Voltage	$V_{\text{GATEn}} - V_{EE}$, $I_{\text{GATEn}} = 1\mu\text{A}$	●	8	12	14	V

出力電圧検出

V_{PG}	Power Good Threshold Voltage	$V_{\text{OUTn}} - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	$0\text{V} \leq (\text{AGND} - V_{\text{OUTn}}) \leq 5\text{V}$	●	300	500	700	k Ω

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND} - V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
電流検出							
V_{CUT}	Overcurrent Sense Voltage	$V_{\text{SENSE}n} - V_{EE}$, $\text{icut}12 = \text{icut}34 = \text{hpen} = 00\text{h}$ $\text{hpen} = 0\text{Fh}$, $\text{cutn}[5:0] \geq 4$ (Note 12) $\text{cutrng} = 0$ $\text{cutrng} = 1$	● ● ●	180 9 4.5	188 9.38 4.69	196 9.75 4.88	mV mV/LSB mV/LSB
	Overcurrent Sense in AUTO pin mode	Class 0, Class 3 Class 1 Class 2 Class 4	● ● ● ●	90 26 49 152	94 28 52 159	98 30 55 166	mV mV mV mV
V_{LIM}	Active Current Limit in 802.3af Compliant Mode	$V_{\text{SENSE}n} - V_{EE}$, $\text{dblpwr} = \text{hpen} = 00\text{h}$ $V_{EE} = 55\text{V}$ (Note 12) $V_{EE} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$	● ●	204 40	212	220 100	mV mV
V_{LIM}	Active Current Limit in High Power Mode	$\text{hpen} = 0\text{Fh}$, $\text{limn} = \text{C0h}$, $V_{EE} = 55\text{V}$ $V_{\text{OUT}} - V_{EE} = 0\text{V}$ to 10V $V_{EE} + 23\text{V} < V_{\text{OUT}} < \text{AGND} - 29\text{V}$ $\text{AGND} - V_{\text{OUT}} = 0\text{V}$	● ● ●	204 100 20	212 106	221 113 50	mV mV mV
V_{LIM}	Active Current Limit in AUTO pin mode	$V_{\text{OUT}} - V_{EE} = 0\text{V}$ to 10V , $V_{EE} = 55\text{V}$ Class 0 to Class 3 Class 4	● ●	102 204	106 212	110 221	mV mV
V_{MIN}	DC Disconnect Sense Voltage	$V_{\text{SENSE}n} - V_{EE}$, $\text{rdis} = 0$ $V_{\text{SENSE}n} - V_{EE}$, $\text{rdis} = 1$	● ●	2.6 1.3	3.8 1.9	4.8 2.41	mV mV
V_{SC}	Short-Circuit Sense	$V_{\text{SENSE}n} - V_{EE} - V_{\text{LIM}}$, $\text{rdis} = 0$ $V_{\text{SENSE}n} - V_{EE} - V_{\text{LIM}}$, $\text{rdis} = 1$	● ●	160 75	200 100	255 135	mV mV

ポート電流の読み出し

	Resolution	No missing codes, $\text{fast_iv} = 0$		14	bits
	LSB Weight	$V_{\text{SENSE}n} - V_{EE}$		30.5	$\mu\text{V}/\text{LSB}$
	50-60Hz Noise Rejection	(Note 7)		30	dB

ポート電圧の読み出し

	Resolution	No missing codes, $\text{fast_iv} = 0$		14	bits
	LSB Weight	$\text{AGND} - V_{\text{OUT}n}$		5.835	mV/LSB
	50-60Hz noise rejection	(Note 7)		30	dB

デジタル・インタフェース

V_{ILD}	Digital Input Low Voltage	$\text{AD}n$, $\overline{\text{SHDN}}n$, $\overline{\text{RESET}}$, $\overline{\text{MSD}}$, AUTO , MID (Note 6)	●		0.8	V
	I ² C Input Low Voltage	SCL , SDAIN (Note 6)	●		0.8	V
V_{IHD}	Digital Input High Voltage	(Note 6)	●	2.2		V
	Digital Output Low Voltage	$I_{\text{SDAOUT}} = 3\text{mA}$, $I_{\text{INT}} = 3\text{mA}$ $I_{\text{SDAOUT}} = 5\text{mA}$, $I_{\text{INT}} = 5\text{mA}$	● ●		0.4 0.7	V V
	Internal Pull-Up to V_{DD}	$\text{AD}n$, $\overline{\text{SHDN}}n$, $\overline{\text{RESET}}$, $\overline{\text{MSD}}$			50	k Ω
	Internal Pull-Down to DGND	AUTO , MID			50	k Ω

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $AGND - V_{EE} = 54\text{V}$ 、 $AGND = DGND$ 、 $V_{DD} - DGND = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
タイミング特性							
t_{DET}	Detection Time	Beginning to End of Detection (Note 7)	●	270	290	310	ms
t_{DETDLY}	Detection Delay	From PD Connected to Port to Detection Complete (Note 7)	●	300		470	ms
t_{CLE1}	First Class Event Duration	(Note 7)	●	11	12	13	ms
t_{ME1}	First Mark Event Duration	(Notes 7, 11)	●	6.8	8.6	10.3	ms
t_{CLE2}	Second Class Event Duration	(Note 7)	●	11	12	13	ms
t_{ME2}	Second Mark Event Duration	(Note 7)	●	19	22		ms
t_{CLE3}	Third Class Event Duration	$C_{PORT} = 0.6\mu\text{F}$ (Note 7)	●			0.1	ms
t_{PON}	Power On Delay in AUTO pin mode	From End of Valid Detect to Application of Power to Port (Note 7)	●			60	ms
	Turn On Rise Time	($AGND - V_{OUT}$): 10% to 90% of ($AGND - V_{EE}$), $C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●	15	24		μs
	Turn On Ramp Rate	$C_{PORT} = 0.15\mu\text{F}$ (Note 7)	●			10	$\text{V}/\mu\text{s}$
	Fault Delay	From I_{CUT} Fault to Next Detect	●	1.0	1.1		s
	Midspan Mode Detection Backoff	$R_{port} = 15.5\text{k}\Omega$ (Note 7)	●	2.3	2.5	2.7	s
	Power Removal Detection Delay	From Power Removal After t_{DIS} to Next Detect (Note 7)	●	1.0	1.3	2.5	s
t_{START}	Maximum Current Limit Duration During Port Start-Up	$t_{START1} = 0$, $t_{START0} = 0$ (Notes 7, 12)	●	52	62.5	66	ms
t_{LIM}	Maximum Current Limit Duration After Port Start-Up	$t_{CUT1} = 0$, $t_{CUT0} = 0$, $t_{LIM} = 0\text{h}$ (Notes 7, 12)	●	52	62.5	66	ms
t_{CUT}	Maximum Overcurrent Duration After Port Start-Up	$t_{CUT1} = 0$, $t_{CUT0} = 0$ (Notes 7, 12)	●	52	62.5	66	ms
	Maximum Overcurrent Duty Cycle	(Note 7)	●	5.8	6.3	6.7	%
t_{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Notes 7, 8)	●	1.6		3.6	ms
t_{DIS}	Maintain Power Signature (MPS) Dropout Time	$t_{conf} [1:0] = 00\text{b}$ (Notes 5, 7, 12)	●	320	350	380	ms
t_{MSD}	Masked Shut Down Delay	(Note 7)	●			6.5	μs
t_{SHDN}	Port Shut Down Delay	(Note 7)	●			6.5	μs
	I ² C Watchdog Timer Duration		●	1.5	2	3	s
	Minimum Pulse Width for Masked Shut Down	(Note 7)	●	3			μs
	Minimum Pulse Width for SHDN	(Note 7)	●	3			μs
	Minimum Pulse Width for RESET	(Note 7)	●	4.5			μs

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{AGND}-V_{EE} = 54\text{V}$ 、 $\text{AGND} = \text{DGND}$ 、 $V_{DD}-\text{DGND} = 3.3\text{V}$ 。(Note 3、4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C タイミング						
	Clock Frequency	(Note 7)	●		1	MHz
t_1	Bus Free Time	Figure 5 (Notes 7, 9)	●	480		ns
t_2	Start Hold Time	Figure 5 (Notes 7, 9)	●	240		ns
t_3	SCL Low Time	Figure 5 (Notes 7, 9)	●	480		ns
t_4	SCL High Time	Figure 5 (Notes 7, 9)	●	240		ns
t_5	Data Hold Time	Figure 5 (Notes 7, 9) Data into chip Data out of chip	● ●	60	120	ns ns
t_6	Data Set-Up Time	Figure 5 (Notes 7, 9)	●	80		ns
t_7	Start Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t_8	Stop Set-Up Time	Figure 5 (Notes 7, 9)	●	240		ns
t_r	SCL, SDAIN Rise Time	Figure 5 (Notes 7, 9)	●		120	ns
t_f	SCL, SDAIN Fall Time	Figure 5 (Notes 7, 9)	●		60	ns
	Fault Present to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		150	ns
	Stop Condition to $\overline{\text{INT}}$ Pin Low	(Notes 7, 9, 10)	●		1.5	μs
	ARA to $\overline{\text{INT}}$ Pin High Time	(Notes 7, 9)	●		1.5	μs
	SCL Fall to ACK Low	(Notes 7, 9)	●		120	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: このデバイスには短時間の過負荷状態のあいだデバイスを保護するための過温度保護が備わっている。過温度保護がアクティブなとき接合部温度は 140°C を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 3: ピンに流れ込む電流は全て正。ピンから流れ出る電流は全て負。

Note 4: LTC4266はグラウンドを基準にして負電源電圧で動作する。混乱を避けるため、このデータシートの電圧は絶対値で表示されている。

Note 5: t_{DIS} はIEEE 802.3at標準規格で定義された t_{MPDQ} と同じである。

Note 6: LTC4266のデジタル・インタフェースはDGNDを基準にして動作する。すべてのロジック・レベルはDGNDを基準にして測定される。

Note 7: 設計によって保証されており、テストされない。

Note 8: IEEE 802.3afの規定では、PDが切断されることなくそのMaintain Power Signature (MPS)を間欠的に出力するのを許容している。電力供給を受け続けるには、PDほどの t_{MPDQ} の時間ウィンドウ内でも t_{MPS} の間MPSを出力しなければならない。

Note 9: $V_{ILD(\text{MAX})}$ および $V_{IHD(\text{MIN})}$ で測定された値。

Note 10: I²Cトランザクションの進行中にフォルト状態が発生した場合、I²CバスにSTOP条件が送信されるまで $\overline{\text{INT}}$ ピンは引き下げられない。

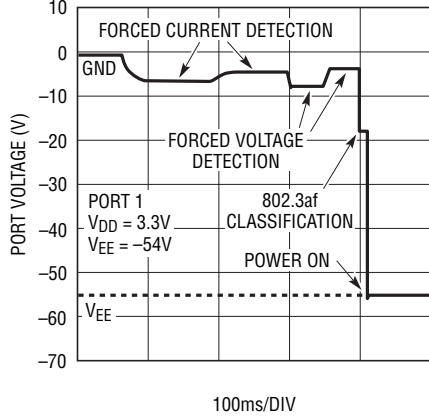
Note 11: マーク・イベントでのLTC4266の負荷特性:

$$7\text{V} < (\text{AGND}-V_{OUTn}) < 10\text{V} \text{ または } I_{OUT} < 50\mu\text{A}$$

Note 12: シリアル・バスの使用およびデバイスの設定レジスタと状態レジスタの詳細についてはLTC4266のソフトウェア・プログラミング・マニュアルを参照。

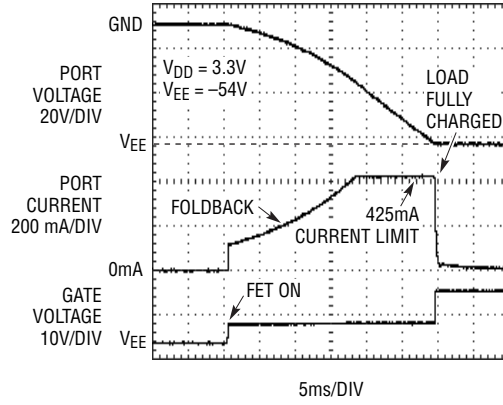
標準的性能特性

パワーオン・シーケンス制御 (AUTOピン・モード)



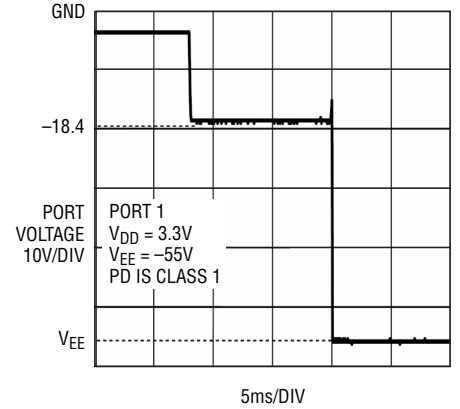
4266 G01

180μFの負荷に対するパワーアップ



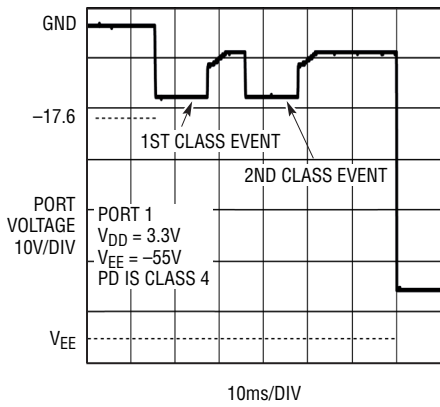
4266 G02

802.3afの分類 (AUTOピン・モード)



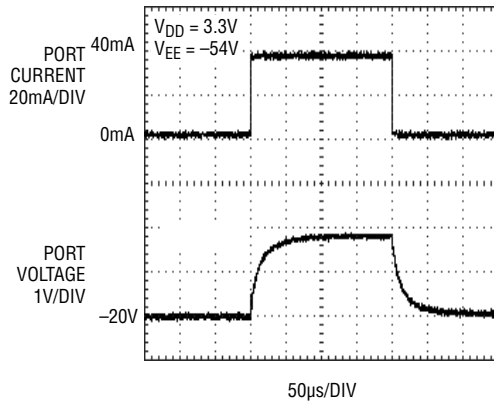
4266 G03

2イベント分類 (AUTOピン・モード)



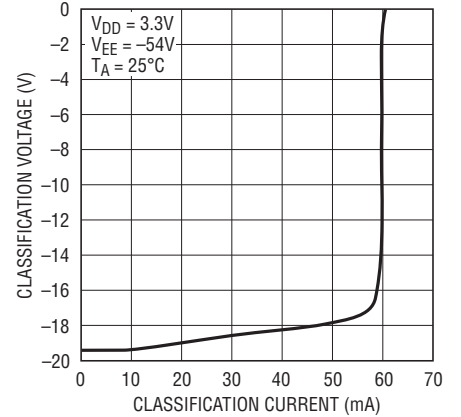
4266 G04

40mAの負荷ステップに対する分類過渡応答



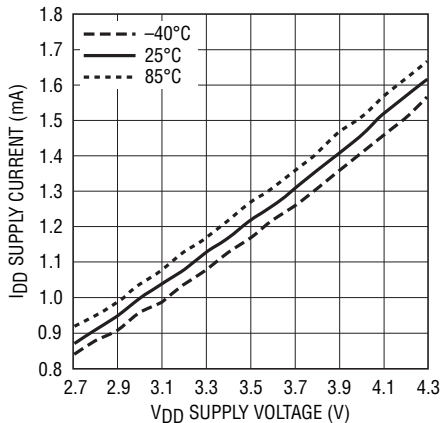
4266 G05

分類電流のコンプライアンス



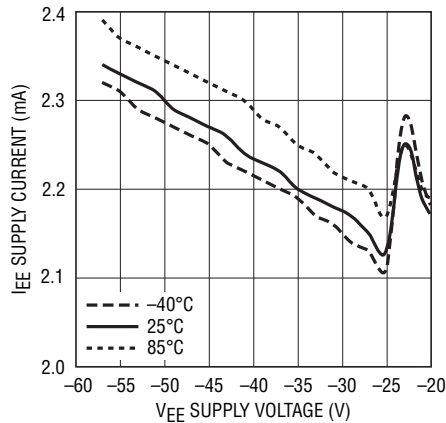
4266 G06

VDDの消費電流と電圧



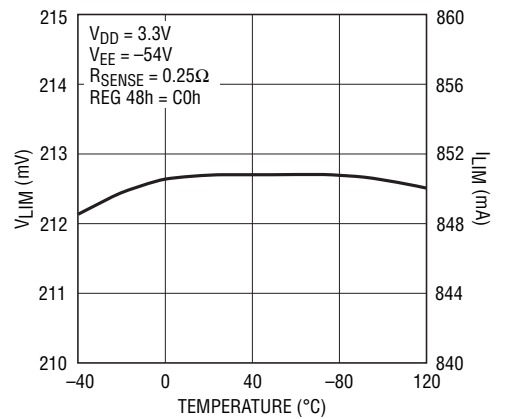
4266 G07

VEEの消費電流と電圧



4266 G08

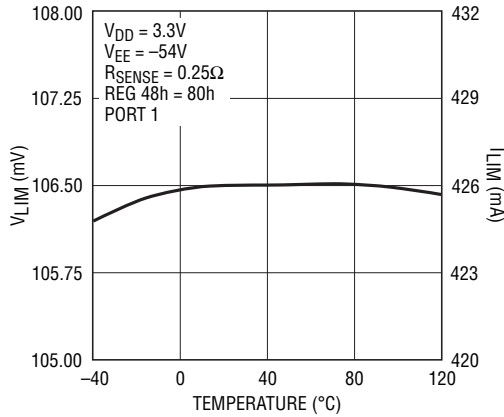
802.3at規格の I_{LIM}スレッシュホールドと温度



4266 G09

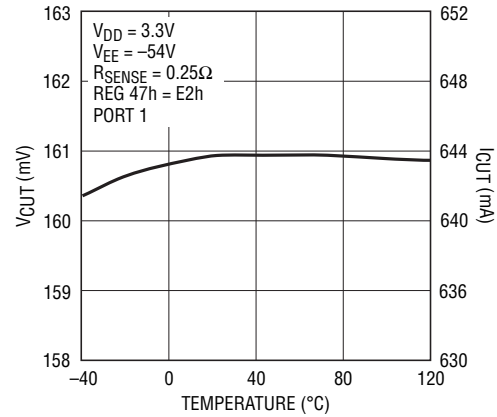
標準的性能特性

802.3af規格の
I_{LIM}スレッシュヨルドと温度



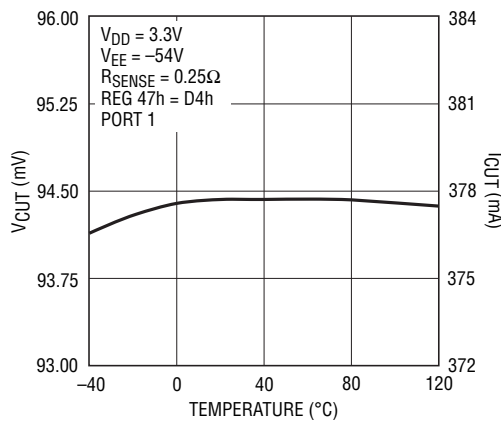
4266 G10

802.3at規格の
I_{CUT}スレッシュヨルドと温度



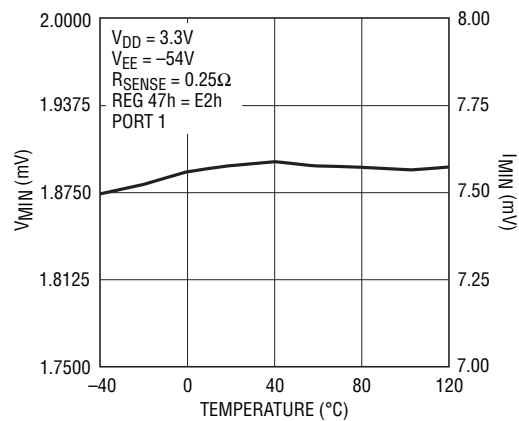
4266 G11

802.3af規格の
I_{CUT}スレッシュヨルドと温度



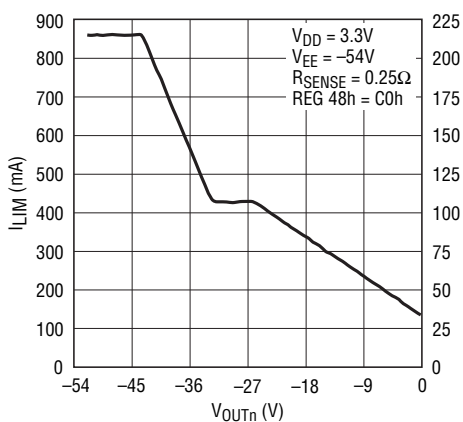
4266 G12

DC切断のスレッシュヨルドと温度



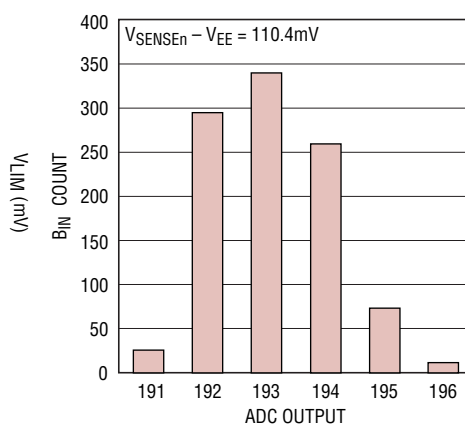
4266 G13

電流制限フォールドバック



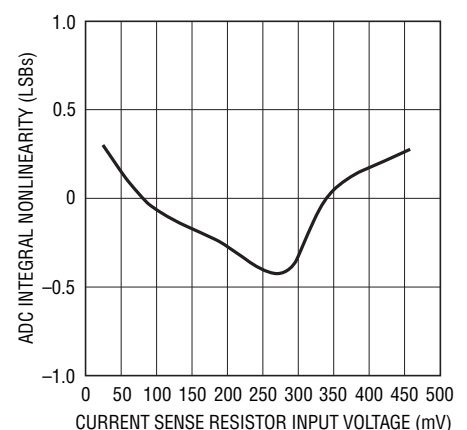
4266 G14

ADCのノイズのヒストグラム
(電流読み出し、高速モード)



4266 G15

ADCの積分非直線性
(電流読み出し、高速モード)

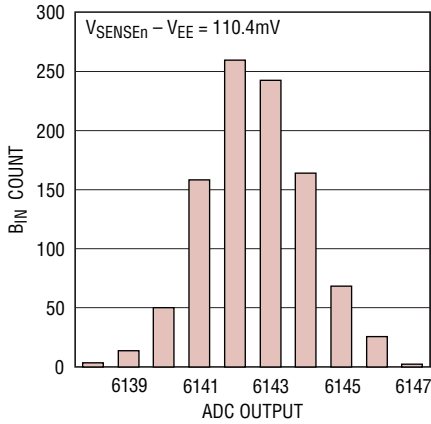


4266 G16

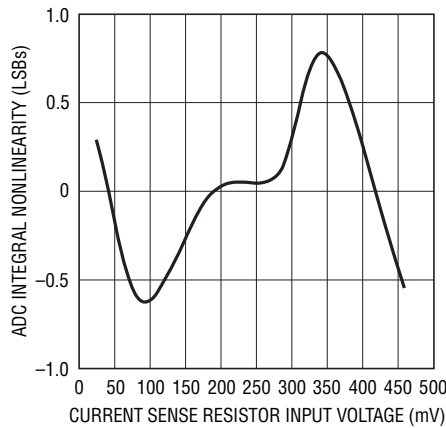
4266fe

標準的性能特性

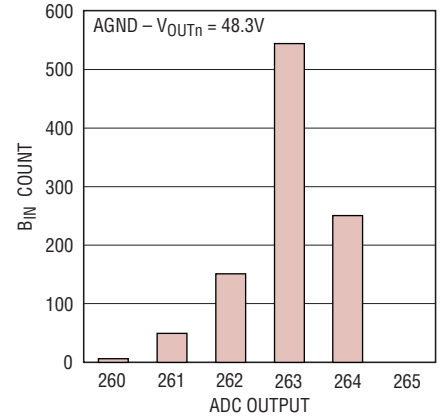
ADCのノイズのヒストグラム
(電流読み出し、低速モード)



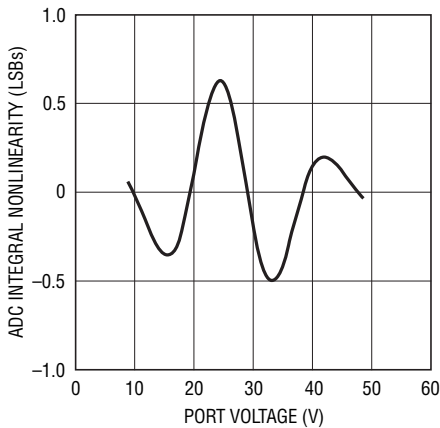
ADCの積分非直線性
(電流読み出し、低速モード)



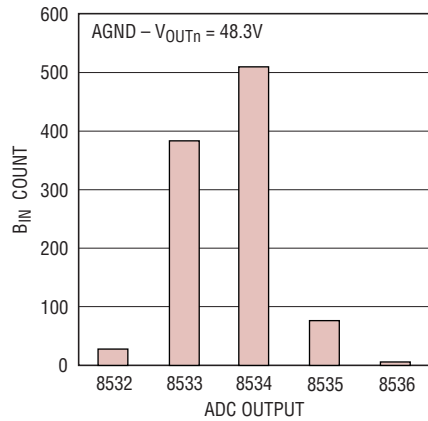
ADCのノイズのヒストグラム
(ポート電圧読み出し、高速モード)



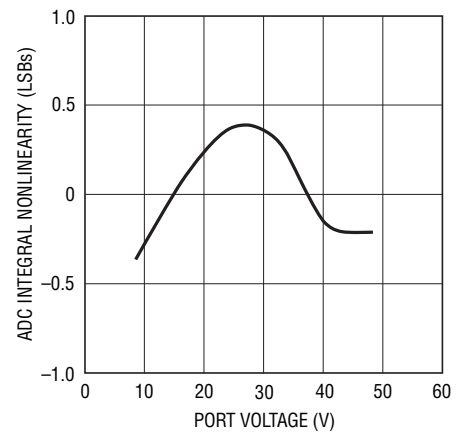
ADCの積分非直線性
(電圧読み出し、高速モード)



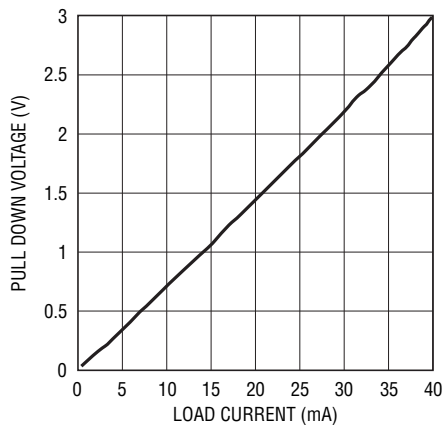
ADCのノイズのヒストグラム
(ポート電圧読み出し、低速モード)



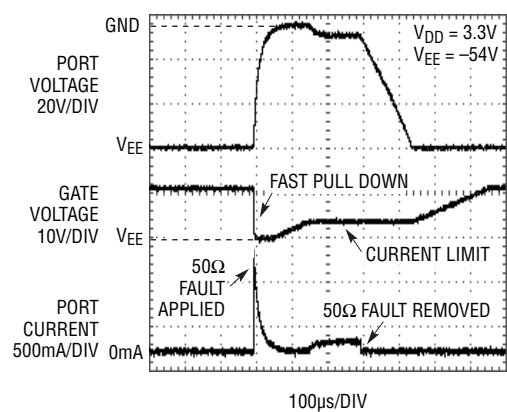
ADCの積分非直線性
(電圧読み出し、低速モード)



INTおよびSDAOUTのプルダウン
電圧と負荷電流



高速プルダウン付きMOSFET
ゲート・ドライブ



テスト・タイミング図

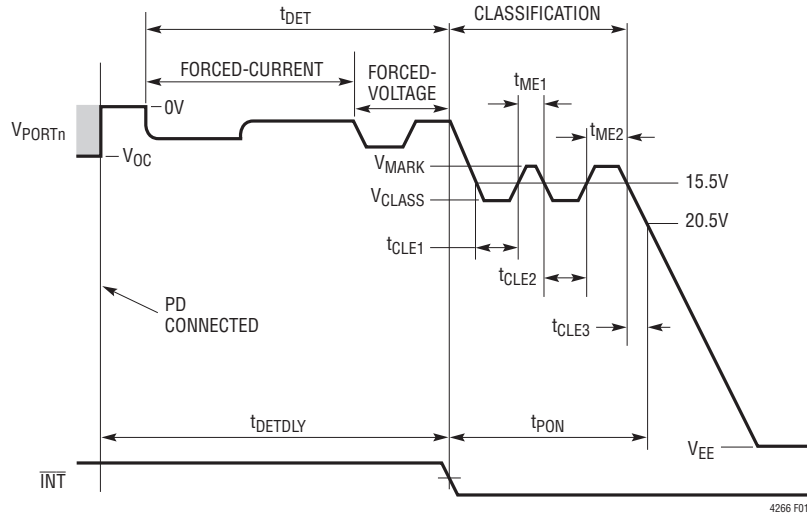


図1. AUTOピン・モードまたは半自動モードでの検出、分類、ターンオンのタイミング

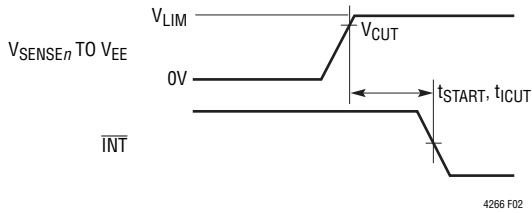


図2. 電流制限のタイミング

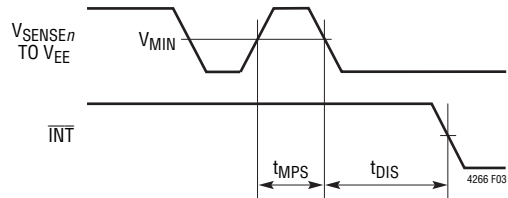


図3. DC切断のタイミング

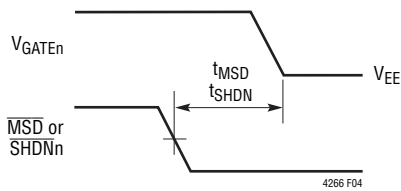


図4. シャットダウン遅延のタイミング

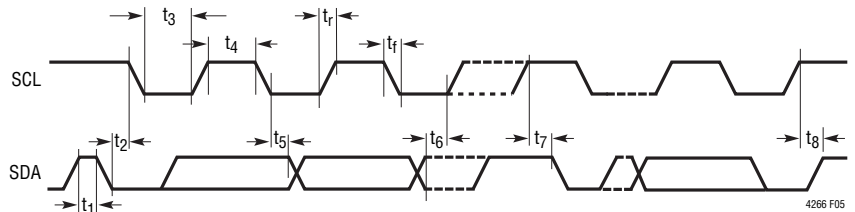


図5. I²Cインタフェースのタイミング

I²C・タイミング図

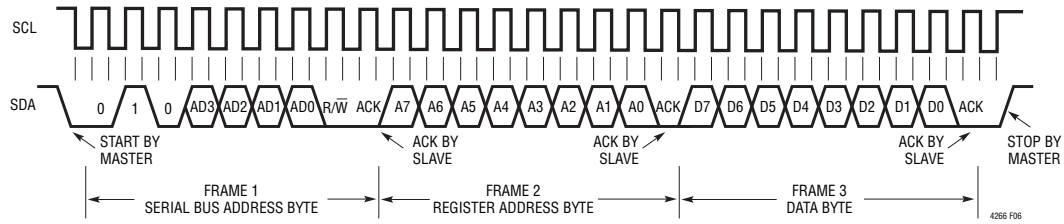


図6. レジスタへの書き込み

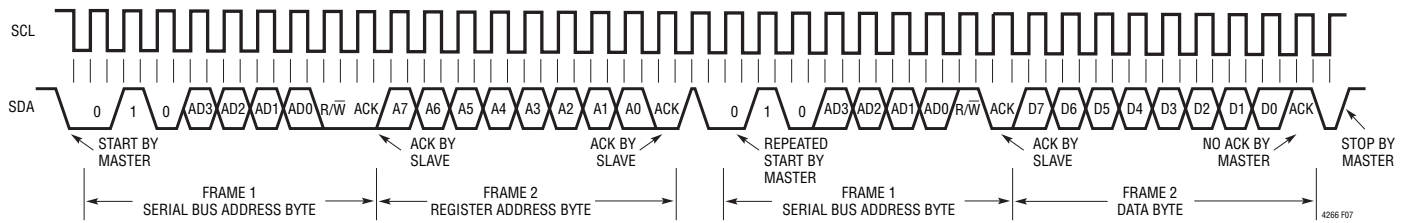


図7. レジスタからの読み出し

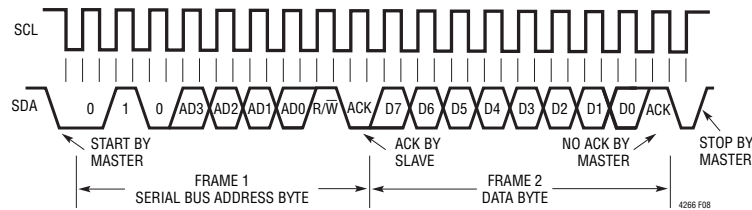


図8. 割り込みレジスタの読み出し(ショートフォーム)

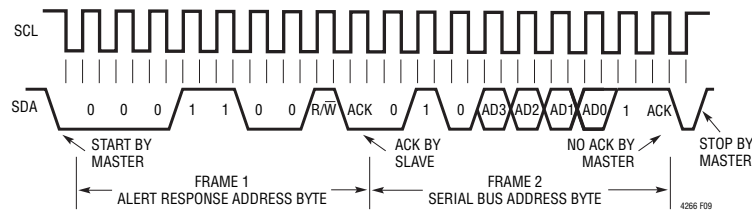


図9. アラート応答アドレスからの読み出し

ピン機能

RESET: アクティブ“L”のデバイス・リセット。 $\overline{\text{RESET}}$ ピンが“L”のとき、LTC4266は非アクティブ状態に保たれ、すべてのポートがオフし、すべての内部レジスタがそれらのパワーアップ状態にリセットされます。 $\overline{\text{RESET}}$ が“H”に引き上げられると、LTC4266は通常動作を開始します。 $\overline{\text{RESET}}$ を外付けコンデンサまたはRCネットワークに接続してパワーオンを遅らせることができます。 $\overline{\text{RESET}}$ ピンは内部でフィルタ処理されるので、幅が1 μs 未満のグリッチによってLTC4266がリセットされることはありません。 $\overline{\text{RESET}}$ ピンは内部で V_{DD} にプルアップされています。

MID: ミッドスパン・モード入力。“H”のとき、LTC4266はミッドスパン・デバイスとして機能します。MIDピンは内部でDGNDにプルダウンされています。

INT: オープンドレインの割り込み出力。LTC4266内でイベントのいずれか1つが発生すると、 $\overline{\text{INT}}$ は“L”になります。Reset PBレジスタ(1Ah)のビット6またはビット7がセットされると高インピーダンス状態に戻ります。 $\overline{\text{INT}}$ 信号を使ってホスト・プロセッサへの割り込みを発生させることができるので、ソフトウェアによる連続ポーリングは不要です。個々の $\overline{\text{INT}}$ イベントはInt Maskレジスタ(01h)を使ってディスエーブルすることができます。詳細については、LTC4266のソフトウェア・プログラミング・マニュアルを参照してください。 $\overline{\text{INT}}$ ピンが更新されるのはI²Cのトランザクションとトランザクションの間だけです。

SCL: シリアル・クロック入力。I²Cシリアル・インタフェース・バスの高インピーダンス・クロック入力。使用しない場合、SCLピンは“H”に接続する必要があります。

SDAOUT: シリアル・データ出力(I²Cシリアル・インタフェース・バスのオープンドレイン・データ出力)。LTC4266は2つのピンを使って双方向のSDA機能を実現しているので、I²Cバスのオプトアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。使用しない場合には、SDAOUTを接地するかまたはフロート状態にしておきます。詳細については「アプリケーション情報」を参照してください。

SDAIN: シリアル・データ入力。I²Cシリアル・インタフェース・バスの高インピーダンス・データ入力。LTC4266は2つのピンを使って双方向のSDA機能を実現しているので、I²Cバスのオプトアイソレーションが容易になります。標準的な双方向SDAピンを実現するには、SDAOUTとSDAINを相互接続します。使用しない場合、SDAINは“H”に接続する必要があります。詳細については「アプリケーション情報」を参照してください。

AD3: アドレス・ビット3。アドレス・ピンを“H”または“L”に接続して、LTC4266が応答するI²Cシリアル・アドレスを設定します。このアドレスは010A₃A₂A₁A₀bになります。AD3ピンは内部で V_{DD} にプルアップされています。

AD2: アドレス・ビット2。AD3を参照してください。

AD1: アドレス・ビット1。AD3を参照してください。

AD0: アドレス・ビット0。AD3を参照してください。

NC, DNC: NCまたはDNCと表示されたすべてのピンは未接続のままにする必要があります。

DGND: デジタル・グランド。DGNDは V_{DD} 電源のリターンです。

V_{DD} : ロジック電源。DGNDを基準にした3.3V電源に接続します。 V_{DD} は、少なくとも0.1 μF のコンデンサを使ってLTC4266の近くでDGNDにバイパスする必要があります。

SHDN1: ポート1のシャットダウン・ピン(アクティブ“L”)。 $\overline{\text{SHDN1}}$ を“L”に引き下げると、内部レジスタの状態に関係なく、ポート1がシャットダウンします。 $\overline{\text{SHDN1}}$ を“L”に引き下げるとは、Reset Pushbuttonレジスタ(1Ah)内のReset Port1ビットをセットすることに相当します。 $\overline{\text{SHDN1}}$ ピンは内部でフィルタ処理されるので、幅が1 μs 以下のグリッチによってポートがリセットされることはありません。 $\overline{\text{SHDN1}}$ ピンは内部で V_{DD} にプルアップされています。

SHDN2: ポート2のシャットダウン・ピン(アクティブ“L”)。 $\overline{\text{SHDN1}}$ を参照してください。

SHDN3: ポート3のシャットダウン・ピン(アクティブ“L”)。 $\overline{\text{SHDN1}}$ を参照してください。

SHDN4: ポート4のシャットダウン・ピン(アクティブ“L”)。 $\overline{\text{SHDN1}}$ を参照してください。

AGND: アナログ・グランド。AGNDは V_{EE} 電源のリターンです。

SENSE4: ポート4の電流検出入力。SENSE4は、SENSE4と V_{EE} の間の0.5 Ω または0.25 Ω のセンス抵抗を介して外付けMOSFETの電流をモニタします。センス抵抗の両端の電圧が過電流検出スレッショルド V_{CUT} を超えるたびに、電流制限フォルト・タイマがカウントアップします。センス抵抗両端の電圧が電流制限スレッショルド V_{LIM} に達すると、GATE4ピンの電圧が低下して外付けMOSFETの電流を一定に保ちます。詳細については「アプリケーション情報」を参照してください。ポート4を使用しない場合、SENSE4ピンは V_{EE} に接続する必要があります。

ピン機能

GATE4: ポート4のゲート・ドライブ。GATE4はポート4の外付けMOSFETのゲートに接続します。MOSFETがオンすると、ゲート電圧は V_{EE} より12V (標準)高い電圧にドライブされます。電流制限状態の間、GATE4の電圧が低下して外付けMOSFETを流れる電流を一定に保ちます。フォルト・タイマが終了すると、GATE4はプルダウンされ、MOSFETがオフして t_{CUT} イベントまたは t_{START} イベントが記録されます。ポート4を使用しない場合には、GATE4ピンをフロートさせます。

OUT4: ポート4の出力電圧モニタ。OUT4は出力ポートに接続します。電流制限フォールドバック回路は、ドレイン・ソース間電圧が10Vを超えたときに電流制限スレッシュホールドを下げることによって外付けMOSFETの電力損失を制限します。ポート4のPower Goodビットは、OUT4と V_{EE} の間の電圧が2.4V (標準)を下回るとセットされます。ポート4がアイドル状態のとき、OUT4からAGNDに500kの抵抗が内部で接続されます。ポート4を使用しない場合には、GATE4ピンをフロートさせる必要があります。

SENSE3: ポート3の電流検出入力。SENSE4を参照してください。

GATE3: ポート3のゲート・ドライブ。GATE4を参照してください。

OUT3: ポート3の出力電圧モニタ。OUT4を参照してください。

V_{EE} : 主電源入力。AGNDを基準にした、-45V~-57V電源に接続します。

SENSE2: ポート2の電流検出入力。SENSE4を参照してください。

GATE2: ポート2のゲート・ドライブ。GATE4を参照してください。

OUT2: ポート2の出力電圧モニタ。OUT4を参照してください。

SENSE1: ポート1の電流検出入力。SENSE4を参照してください。

GATE1: ポート1のゲート・ドライブ。GATE4を参照してください。

OUT1: ポート1の出力電圧モニタ。OUT4を参照してください。

AUTO: AUTOピン・モード入力。AUTOピン・モードは、 I^2C バス上にホスト・コントローラが存在しない場合であっても、LTC4266がPDを検出してパワーアップすることができるようにします。AUTOピンの電圧は、LTC4266がリセットされたとき、または V_{DD} がUVLO状態から抜け出したときの内部レジスタの状態を決定します(レジスタ・マップを参照)。これらのレジスタのビットの状態は、その後も I^2C インタフェースを介して変更することができます。AUTOピンのリアルタイムの状態は、Pin Statusレジスタ(11h)のビット0で読み出されます。AUTOピンは内部でDGNDにプルダウンされており、 V_{DD} またはDGNDのどちらかにローカルに接続する必要があります。

\overline{MSD} : マスク可能なシャットダウン入力(アクティブ“L”)。“L”に引き下げられると、Misc Configレジスタ(17h)内の対応するマスク・ビットがセットされているすべてのポートがリセットされ、 \overline{SHDN} ピンを“L”に引き下げると同等になります。 \overline{MSD} ピンは内部でフィルタ処理されるので、幅が1 μ s未満のグリッチによってポートがリセットされることはありません。 \overline{MSD} ピンは内部で V_{DD} にプルアップされています。

動作

概要

Power over Ethernet (PoE)は、銅のイーサネット・データ配線を通してDC電力を伝送する標準プロトコルです。802.3イーサネット・データ標準規格を策定するIEEEグループは、2003年にPoEによる電力供給機能を追加しました。802.3afと呼ばれるこのオリジナルのPoE規格は、最大13Wで48VのDC電力を許容します。この最初の規格は広く普及しましたが、13Wでは、要件によっては十分ではありませんでした。IEEEは、2009年に802.3at (PoE+)と呼ばれる新たな標準規格を発表しました。この規格では25Wの電力を供給するように電圧と電流の要件が拡大されています。

IEEE標準規格ではPoE用語も規定しています。ネットワークに電力を供給するデバイスはPSE (給電機器)と呼ばれ、ネットワークから電力を供給されるデバイスはPD (受電機器)と呼ばれます。PSEには、データと電力を供給するエンドポイント(ネットワーク・スイッチやルータが一般的)と、電力を供給してデータを通過させるミッドスパンの2つのタイプがあります。ミッドスパンは一般に、PoEに対応していない既存のネットワークにPoE機能を追加するために使用されます。PDは一般に、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどのデバイスですが、25W以下で動作してRJ45ネットワーク・コネクタを備えるほぼすべての機器が該当します。

LTC4266は、エンドポイントまたはミッドスパンの設計のどちらかに4個のPSEポートを実装した第3世代のクワッドPSEコントローラです。実質的にIEEE 802.3at準拠のPSE設計を行うのに必要なすべての回路が内蔵され、1チャンネルあたりに必要とするのは外付けパワーMOSFETとセンス抵抗だけなので、内蔵MOSFETを使用する代替設計と比較して電力損失が最小

限に抑えられ、1つのチャンネルが損傷した場合のシステム信頼性が向上します。

PoEの基本

一般的なイーサネット・データは2本または4本の銅より対線(通称CAT-5ケーブル)で接続し、グラウンド・ループを避けるため両端をトランス結合にします。PoEシステムは、データ・トランスのセンタータップ間に電圧を印加し、データ転送に影響を与えることなくPSEからPDに電力を伝送することにより、この結合方式をうまく利用しています。ハイレベルPoEシステムの回路図を図10に示します。

DC電圧が加わることを想定していない従来のデータ機器を損傷しないように、PoE規格ではPSEによる電力の供給と切断の時点を決めたプロトコルが規定されています。有効なPDは入力に固有な25kΩの同相抵抗を必要とします。このようなPDがケーブルに接続されると、PSEはこのシグネチャ抵抗を検出して電源をオンします。その後PDが切断されると、PSEはオープン状態を検出して電源をオフします。電流フォルトや短絡が生じた場合もPSEは電源をオフします。

PDが検出されると、オプションとしてPSEはPDに供給される最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、複数のポートの電力の割り当て、PDの消費電流の監視、またはPSEの供給能力を超える電力を消費するPDの拒絶を行うことができます。分類ステップはオプションで、PSEがPDを分類しないことを選択すると、PSEはPDが13W(802.3afの最大電力)のデバイスであると想定する必要があります。

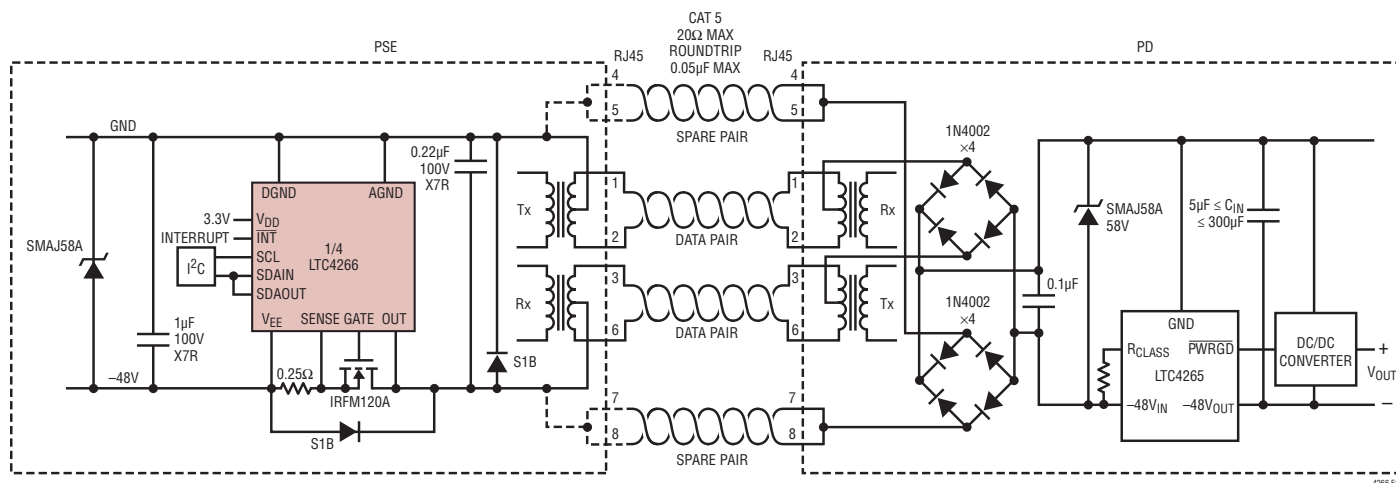


図10. Power Over Ethernetのシステム図

動作

802.3atの新項目

最新の802.3at標準規格は802.3afを更新したもので、以下の新しい機能が追加されています。

- PDは最大25.5Wを使用できます。このようなPD(そして、それらに対応するPSE)はタイプ2と呼ばれます。従来の13Wの802.3afの機器はタイプ1として分類されます。タイプ1のPDはすべてのPSEに対応しますが、タイプ2のPDを適正に動作させるためにはタイプ2のPSEが必要になる場合があります。LTC4266は、タイプ1とタイプ2のどちらのPSEの設計でも動作するように設計されており、高電力レベルの非標準の構成にも対応します。
- 分類プロトコルは、タイプ2のPSEがタイプ2のPDを検出でき、タイプ2のPDがタイプ2のPSEに接続されていることが確認できるように拡張されています。2つのバージョンの新しい分類プロトコルが利用できます。それらは、802.3afクラス・パルス・プロトコルの拡張バージョンと、(イーサネット・データ・パスを使用した)既存のLLDPプロトコルと統合した代替手法です。LTC4266は新しいクラス・パルス・プロトコルをフルサポートするほか、(PoE回路ではなくデータ通信レイヤに実装された)LLDPプロトコルと互換性があります。
- フォルト保護の電流レベルとタイミングはフォルト時のMOSFETのピーク電力を低減するように調整されるので、従来の13Wの設計と同じMOSFETを使って新しい25.5Wの電力レベルに達することが可能です。

下位互換性

LTC4266は、ソフトウェアとピン機能の両方で従来のPSEデバイスと下位互換になるように設計されています。LTC4258またはLTC4259A(または互換デバイス)のどちらかを使用した既存のシステムは、ソフトウェアやPCBレイアウトを変更することなくLTC4266で置き換え可能であり、802.3at完全互換の設計を実現するために必要なのはわずかな部品表の変更だけです。

下位互換性があるので、LTC4266を推奨されているように動作させると、内部レジスタのいくつかは重複または未使用状態になります。互換モードでの使用の詳細については、LTC4258/LTC4259Aデバイスのデータシートを参照してください。

互換モードに関する特別な注意事項

- LTC425xデバイスは必ず 0.5Ω のセンス抵抗を使用するのに対して、LTC4266は 0.5Ω と 0.25Ω のセンス抵抗のいずれかを使用することができます。互換性を維持するため、LTC4266がパワーアップしたときにAUTOピンが“L”だとセンス抵抗を 0.5Ω とみなし、パワーアップしたときにAUTOピンが“H”だと 0.25Ω とみなします。レジスタの設定値はパワーアップ後にいつでも再設定することができます。特に、 0.25Ω のセンス抵抗を使用していてAUTOが“L”に接続されているシステムでは、パワーアップ後にレジスタの設定値を再設定する必要があります。
- LTC4259AはACとDCの切断検出回路を備えていますが、LTC4266が備えているのはDC切断検出のみです。互換性を確保するために、LTC4259AのAC切断のイネーブルに使用されるレジスタ・ビットがLTC4266に実装されていますが、これらはDC切断に使用するビットを反映するだけです。
- LTC4258とLTC4259Aは、OUTnピンと外付けMOSFETのドレインの間に $10k\Omega$ の抵抗を必要とします。LTC4266を使用する場合は、これらの抵抗を短絡するか、または 0Ω のジャンパー線に置き換える必要があります。
- LTC4258とLTC4259AにはBYPピンがあり、 $0.1\mu\text{F}$ のコンデンサでAGNDにデカップリングします。LTC4266では、このピンはMIDピンになります。このコンデンサはエンドスパン・アプリケーションでは取り去ります。また、ミッドスパン・アプリケーションでは 0Ω のジャンパー線に置き換えます。

アプリケーション情報

動作モード

LTC4266には4つの独立したポートがあり、それぞれマニュアル、半自動、AUTOピン、シャットダウンの4つのモードのいずれかで動作することができます。

表1. 動作モード

モード	AUTOピン	OPMD	検出/分類	パワーアップ	I _{CUT} /I _{LIM} の自動設定
AUTOピン	1	11b	リセット時にイネーブル	自動的	あり
予備	0	11b	N/A	N/A	N/A
半自動	0	10b	ホストによってイネーブル	要求時	なし
マニュアル	0	01b	要求時に1回	要求時	なし
シャットダウン	0	00b	デイスエーブル	デイスエーブル	なし

- マニュアル・モードでは、ポートはホスト・システムからの指示を待ってからアクションをとります。ポートは、ホストから指示されると検出サイクルまたは分類サイクルを1回実行し、Port Statusレジスタでその結果を知らせます。ホスト・システムはいつでもポートに電力のオン/オフを指示することができます。このモードは診断とテストの目的にのみ使用してください。
- 半自動モードでは、ポートは接続されているすべてのPDの検出と分類を繰り返し試みます。ポートはこれらの結果をホストに知らせ、ホストからのコマンドを待ってからポートの電力をオンします。検出が開始される前に、ホストはポートの検出(およびオプションとして分類)をイネーブルする必要があります。
- AUTOピン・モードは、検出に成功したときにポートの電力を自動的にオンすること以外は、半自動モードと同様の動作をします。AUTOピン・モードでは、I_{CUT}とI_{LIM}の値はLTC4266によって自律的に設定されます。AUTOピン・モードが有効になるのは、リセットまたはパワーアップ時にAUTOピンが“H”であり、かつ、動作中“H”に保持されるときだけです。
- シャットダウン・モードではポートはデイスエーブルされており、PDの検出も電力供給も行いません。

LTC4266は、どのモードであるかに関係なく、電流制限フォルトを生じたポートへの電力供給を停止します。また、切断検出がイネーブルされていると、切断イベントを生じたポートへの電力供給を自動的に停止します。ホスト・コントローラもいつでもポートに電力供給の停止を指示することができます。

リセットとAUTO/MIDピン

LTC4266の初期設定は、リセット時のAUTOピンとMIDピンの状態によって決まります。リセットが生じるのは、パワーアップ時、RESETピンが“L”に引き下げられるたび、またはグローバルなReset Allビットがセットされたときです。パワーアップ後にAUTOやMIDの状態が変化しても、リセットが生じるまではLTC4266のポートの動作は変化しません。

LTC4266は通常、ホスト・コントローラと共に使用されますが、シリアル・インタフェースに接続しないスタンドアロン・モードで使用することもできます。ホストが不在の場合、リセット時にすべてのポートが自動的に動作する設定になるように、AUTOピンを“H”に接続します。各ポートは、PDが見つかるまで検出と分類を繰り返し、分類結果に従ってI_{CUT}とI_{LIM}を設定し、検出の成功後に電力を供給し、PDが切断されると電力供給を停止します。同様に、スタンドアロン・アプリケーションがミッドスパンの場合、MIDピンを“H”に接続して正しいミッドスパン検出タイミングが得られるようにする必要があります。

検出されたクラスに基づいて自動的にAUTOピン・モードに設定されるI_{CUT}とI_{LIM}の値を表2に示します。

表2. AUTOピン・モードのI_{CUT}とI_{LIM}の値

クラス	I _{CUT}	I _{LIM}
クラス1	112mA	425mA
クラス2	206mA	425mA
クラス3またはクラス0	375mA	425mA
クラス4	638mA	850mA

AUTOピンが“H”の状態ではLTC4266がリセットされたときだけ、I_{CUT}とI_{LIM}の値が自動的に設定されます。

検出

検出の概要

DC電圧に耐えるように設計されていないネットワーク・デバイスの損傷を防ぐため、PSEは接続されたデバイスが真のPDであることを確認してから電力を供給する必要があります。IEEE規格では、ポート電圧が10Vより低いとき、有効なPDは25kΩ ±5%の同相抵抗を示すことが求められています。PSEは、19kΩ ~ 26.5kΩの範囲の抵抗を受け入れ、33kΩより大きいかまたは15kΩより小さい抵抗を拒絶する必要があります(図11の網

アプリケーション情報

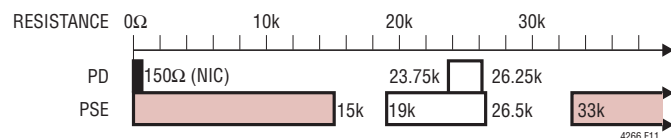


図11. IEEE 802.3afのシグネチャ抵抗の範囲

掛けの部分)。PSEは、受け入れが必要な範囲と拒絶が必要な範囲の間の規定されていない部分の抵抗は受け入れても拒絶してもかまいません。特に、PSEはコンピュータの標準ネットワーク・ポートを拒絶する必要があります。これらの多くは同相終端抵抗が150Ωで、電力が供給されると損傷を受けます(図11の黒の部分)。

4ポイントの検出

LTC4266は4ポイント検出手法を使ってPDを検出します。強制電流と強制電圧の両方の測定を使ってシグネチャ抵抗をチェックすることにより、適合していると誤って判定することが最小限に抑えられます。最初に、2つのテスト電流を(OUTnピンを介して)ポートに強制し、その結果得られる電圧を測定します。検出回路は2つのV-Iポイントの差分を計算し、直列ダイオードやポートのリーク電流に起因するオフセットを除いて、抵抗の傾きを求めます(図12を参照)。強制電流による検出が有効なシグネチャ抵抗を示す場合には、2つのテスト電圧をポートに強制し、その結果得られる電流を測定して差分を計算します。ポートが有効な検出を知らせるためには、どちらの手法も有効な抵抗値を知らせる必要があります。(標準で)17k~29kのPDシグネチャ抵抗を有効と検出し、対応するPort Statusレジスタで「適合を検出」として知らせます。オープン状態や短絡などのこの範囲外の値も知らせます。最初の強制電流のテストでポートが1Vより低い値を測定すると、検出サイクルを中断して短絡を知らせます。可能な検出結果を表3に示します。

表3. 検出状態

測定されたPDシグネチャ	検出結果
未完了またはテストしていない	検出状態が未知
< 2.4k	短絡
容量 > 2.7μF	C _{PD} が過大
2.4k < R _{PD} < 17k	R _{SIG} が過小
17k < R _{PD} < 29k	適合を検出
> 29k	R _{SIG} が過大
> 50k	オープン状態
電圧 > 10V	ポート電圧が検出範囲外

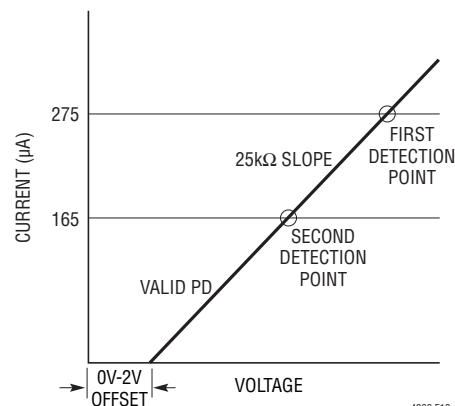


図12. PD検出

動作モード

ポートの動作モードにより、LTC4266が検出サイクルを実行する時点が決まります。マニュアル・モードでは、ホストが検出サイクルを指示するまでポートはアイドル状態になります。検出サイクルが指示されるとポートは検出を実行し、その結果を知らせ、アイドル状態に戻って別のコマンドを待ちます。

半自動モードでは、LTC4266は自らポートをポーリングしてPDを探しますが、ホストによって指示されるまで電力を供給しません。各検出サイクルの最後にPort Statusレジスタが更新されます。有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートはPDを分類してその結果も知らせます。次いで、ポートは少なくとも100ms(ミッドスパン・モードがイネーブルされている場合には2秒)の間待機し、検出サイクルを繰り返してPort Statusレジスタ内のデータが最新のものであることを確認します。

ポートが半自動モードの状態の高電力動作がイネーブルされていると、電流検出の結果が「適合を検出」でない限り、ポートがパワーオン・コマンドにตอบสนองしてオンすることはありません。その他の検出結果では、パワーオン・コマンドを受け取るとt_{START}フォルトが発生します。ポートが高電力モードでない場合は、コマンドを受け取ったときに検出結果を無視して電力を供給し、LTC4259Aとの下位互換性を維持します。

AUTOピン・モードの動作は半自動モードに似ていますが、「適合を検出」が通知されて(分類がイネーブルされている場合に)ポートが分類された後、それ以上介入しなくても自動的にパワーオンします。AUTOピン・モードでは、I_{CUT}とI_{LIM}のスレッシュホールドが自動的に設定されます。詳細については「リセットとAUTO/MIDピン」のセクションを参照してください。

アプリケーション情報

AUTOピンが“L”の状態ですべてのポートが最初にパワーアップするとき、シャットダウン・モード時、または対応する検出イネーブル・ビットがクリアされているときは、シグネチャ検出回路はディスエーブルされます。

レガシーPDの検出

オリジナルのIEEE 802.3af標準規格に遡る専用PDは、今では一般にレガシー・デバイスと呼ばれています。レガシーPDの1つのタイプは、検出シグネチャとして大きな同相容量(>10 μ F)を使用しています。この範囲の容量を使用するPDは無効であると規定されているので、レガシーPDを検出するPSEはIEEE規格に技術的に準拠していないことに注意してください。

LTC4266は、このタイプのレガシーPDを検出するように設定することができます。レガシーPDの検出はデフォルトでディスエーブルされていますが、ポートごとに手動でイネーブルすることができます。イネーブルされたポートは、有効なIEEE PDまたは高容量のレガシーPDのどちらかを検出したときに「適合を検出」を知らせます。レガシー・モードがディスエーブルされると、有効なIEEE PDのみが認識されます。

分類

802.3afの分類

PDは、オプションでPSEに分類シグネチャを送り、動作時に消費する最大電力を知らせることができます。IEEE規格では、このシグネチャをPSEのポート電圧が V_{CLASS} の範囲(15.5V~20.5V)のときに流れる定電流と規定しており、この電流レベルは5つの可能なPDクラスの1つを示します。PDの標準負荷曲線を図13に示します。10Vまでは25k Ω のシグネチャ抵抗の勾配で始まり、 V_{CLASS} の範囲では分類シグネチャ電流(この場合、クラス3)に移行します。可能な分類値を表4に示します。

表4. 分類値

クラス	結果
クラス0	分類シグネチャはない、クラス3と同様に処理
クラス1	3W
クラス2	7W
クラス3	13W
クラス4	25.5W (タイプ2)

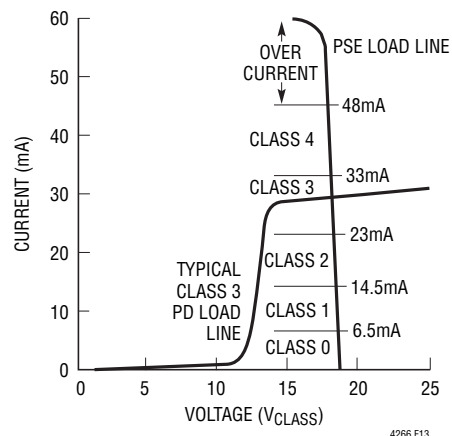


図13. PDの分類

分類がイネーブルされていると、半自動またはAUTOピン・モード時、あるいはマニュアル・モードで指示されたときに検出に成功した直後、ポートはPDを分類します。OUT n ピンを介してポートに12msの間18V(どちらの値も標準値)を印加し、その結果生じる電流を測定して、PD分類シグネチャを測定し、Port Statusレジスタによって検出されたクラスを知らせます。ポートがAUTOピン・モードだと、さらに分類結果を使って I_{CUT} と I_{LIM} のスレッシュホールドが設定されます。詳細については「リセットとAUTO/MIDピン」のセクションを参照してください。

AUTOピンが“L”の状態ですべてのポートが最初にパワーアップするとき、シャットダウン・モード時、または対応する分類イネーブル・ビットがクリアされているときは、分類回路はディスエーブルされます。

802.3atの2イベント分類

802.3at規格では、タイプ2のPDを分類する2つの方法を規定しています。

1つ目の方法ではイーサネットLLDPデータ・プロトコルに特別なフィールドを追加します。LTC4266はこの分類方法と互換性がありますが、データ・パスへのアクセスがないため直接分類することができません。LLDP分類では、PSEが標準的な802.3af(タイプ1)デバイスとしてのPDへ電力を供給する必要があります。次いでPSEはホストがPDとLLDP通信を行ってPSEポートのデータを更新するまで待機します。LTC4266は I_{LIM} と I_{CUT} のレベルをオンザフライで変更できるので、ホストがLLDP分類を完了することができます。

アプリケーション情報

802.3atの2つ目の分類方法は2イベント分類またはピンポン分類と呼ばれ、LTC4266によってすべてサポートされています。13W以上を要求するタイプ2のPDは通常の802.3af分類のときクラス4を示します。LTC4266がクラス4を検出すると、規定された低電圧(マーク電圧と呼ばれ、標準で9V)をポートに強制し、一時的に停止してから分類を再開してクラス4の読み出しを確認します(図1)。また、High Power Statusレジスタのビットをセットして、2番目の分類サイクルを実行したことを示します。2番目のサイクルは、タイプ2の電力レベルを供給できるタイプ2のPSEにPDが接続されていることをPDに警告します。

2イベント・ピンポン分類は、ポートのHigh Power Modeレジスタのビットをセットすることによってイネーブルされます。ピンポン分類がイネーブルされたポートはクラス4のデバイスを検出したときだけ2番目の分類サイクルを実行します。最初のサイクルがクラス0~3を返すと、ポートはタイプ1のPDに接続されているとみなして2番目の分類サイクルを実行しないことに注意してください。

無効なタイプ2のクラスの組み合わせ

802.3at規格では、タイプ2のPD分類シグネチャをクラス4の連続する2つの結果として規定しており、クラス4にクラス0~3が続くシグネチャは有効ではありません。AUTOピン・モードでは、LTC4266は1つの例外を除き、分類結果に関係なく検出されたPDに電力を供給します。つまり、PDが無効なタイプ2のシグネチャ(クラス4にクラス0~3が続く)を示すと、LTC4266は電力を供給しないで検出過程を再開します。診断を補うため、Port Statusレジスタは常に最後のクラス・パルスの結果を知らせるので、無効なクラス4とクラス2の組み合わせの場合は、High Power Statusレジスタで2番目のクラス・パルスが実行されたこと(最初のサイクルがクラス4を検出したことを意味する)を知らせ、Port Statusレジスタでクラス2を知らせます。

電力制御

外付けMOSFET、センス抵抗の要約

LTC4266の主な機能はPSEポートへの電力供給を制御することです。これを行うため、外付けセンス抵抗を流れる電流とOUTピンの出力電圧をモニタしながら、外付けパワーMOSFETのゲート・ドライブ電圧を制御します。この回路は制御されていない V_{EE} 入力電源を制御された状態でポートに接続し、MOSFETの電力損失と V_{EE} バックプレーンの乱れを最小限に抑えながらPDの電力要件を満たします。

LTC4266は、 0.25Ω のセンス抵抗を使って電力損失を最小限に抑えるように設計されています。LTC4258/LTC4259Aとの互換性が必要なときのデフォルトである 0.5Ω のセンス抵抗もサポートしています。

突入電流の制御

ポートをオンするコマンドが与えられると、LTC4266はそのポートの外付けMOSFETのGATEピンを制御された状態でランプアップします。通常のパワーアップ環境では、MOSFETのゲート電圧はポート電流が突入電流制限レベル(標準で450mA)に達するまで上昇し、このポイントでGATEピンは規定された I_{INRUSH} 電流を維持するようにサーボ制御されます。この突入電流期間の間、タイマ(t_{START})が動作します。出力の充電が完了するとポート電流が減少するので、GATEピンはMOSFETが完全に導通状態になるまで上昇し続けてそのオン抵抗を最小限に抑えることができます。最終的な V_{GS} は公称12Vです。突入電流期間が完了する前に t_{START} タイマが終了すると、ポートはオフに戻って t_{START} フォルトを知らせます。

電流制限

LTC4266の各ポートには2つの電流制限スレッシュホールド(I_{CUT} および I_{LIM})があり、それぞれ対応するタイマ(t_{CUT} および t_{LIM})を備えています。 I_{CUT} と I_{LIM} のスレッシュホールドの設定は、PDのクラス、主電源(V_{EE})の電圧、PSEのタイプ(1または2)、センス抵抗(0.5Ω または 0.25Ω)、MOSFETのSOA、システムにとってクラスの強制が必要か否かによって変わります。

IEEE規格に従い、LTC4266はポートの電力供給を停止する前の限られた時間 I_{CUT} を超えるポート電流を供給することができる一方で、MOSFETのゲート・ドライブをアクティブに制御してポート電流を I_{LIM} より下に保ちます。ポートは、 I_{CUT} スレッシュホールドを超えただけでは電流を制限する動作をしません。が、 t_{CUT} タイマの始動は行います。 I_{LIM} スレッシュホールドを超えて電流制限がアクティブになると、 t_{LIM} タイマが始動します。 t_{CUT} タイマが終了する前に電流が I_{CUT} 電流スレッシュホールドを下回ると、 t_{CUT} タイマはカウントダウンしますが、カウントアップの1/16の速度になります。これにより、電流制限回路はデューティ・サイクルが約6%を下回る間欠的な過負荷信号は許容することができます。これより長いデューティ・サイクルの過負荷ではポートをオフします。

アプリケーション情報

I_{CUT} は通常、 I_{LIM} より小さな値に設定されるので、ポートは小さなフォルトには電流制限なしで耐えることができます。

IEEE規格により、LTC4266はポートのターンオンの突入電流時に I_{LIM} を自動的に425mA (表5の太字で示す)に設定し、突入電流期間が完了すると設定された I_{LIM} 値に切り替えます。IEEE準拠を維持するため、 I_{LIM} はタイプ1のPDではすべて425mAに保ち、タイプ2のPDが検出された場合には850mAに保ちます。ポートがオフすると、 I_{LIM} は自動的に425mAに再設定されます。

表5. 電流制限設定の例

I_{LIM} (mA)	内部レジスタの設定 (16進数)	
	$R_{SENSE} = 0.5\Omega$	$R_{SENSE} = 0.25\Omega$
53	88	
106	08	88
159	89	
213	80	08
266	8A	
319	09	89
372	8B	
425	00	80
478	8E	
531	92	8A
584	CB	
638	10	90
744	D2	9A
850	40	C0
956	4A	CA
1063	50	DA
1169	5A	DA
1275	60	E0
1488	52	49
1700		40
1913		4A
2125		50
2338		5A
2550		60
2975		52

I_{LIM} フォールドバック

LTC4266は、ポート電圧が通常動作電圧を下回ったときにポート電流を低減する2段のフォールドバック回路を備えています。これにより、拡張された802.3afの電力レベルでも、MOSFETの電力損失は標準的な802.3afのMOSFETにとって安全なレベルに保たれます。電流制限とフォールドバック動作はポートごとにプログラム可能です。MOSFETの標準的なSOA曲線と比較した802.3afのフォールドバックでのMOSFETの電力損失を図14に示し、2段のフォールドバックが同じ状況でFETをSOA内に保つ様子を図15に示します。推奨する I_{LIM} レジスタの設定値を表5に示します。

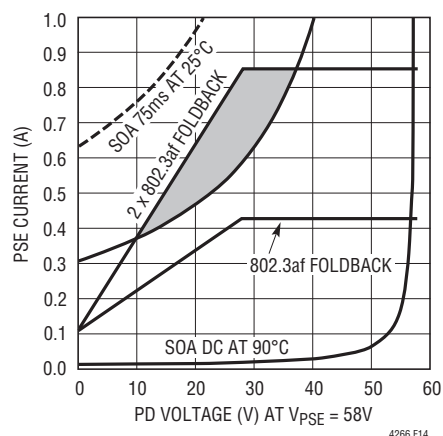


図14. 周囲温度90°Cでのターンオン電流とFETの安全動作領域(SOA)

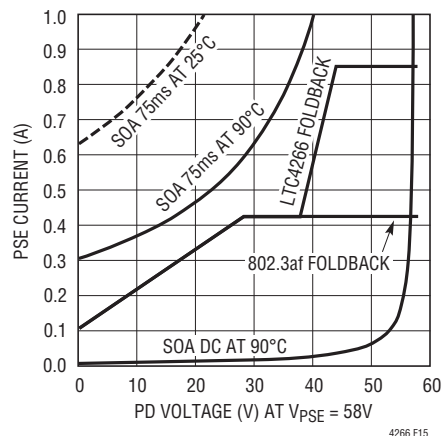


図15. 周囲温度90°CでのLTC4266のフォールドバックとFETの安全動作領域(SOA)

アプリケーション情報

LTC4266は、802.3at規格の最大値を大幅に超える電流レベルをサポートします。表5の網掛けの部分は、大型の外付けMOSFET、ヒートシンクの追加、 t_{LIM} 設定の低減などを必要とする可能性のある設定値を示します。

MOSFETのフォルト検出

LTC4266のPSEポートはかなりのレベルの酷使に耐えるように設計されていますが、極端な場合には外付けMOSFETが損傷する可能性があります。MOSFETが損傷するとソース-ドレイン間が短絡する可能性があり、これによってオフであるべきポートがオンしているように見えます。またこの状態により、センス抵抗がオープン状態になってポートをオフしますが、LTC4266のSENSEピンを異常に高い電圧まで上昇させます。MOSFETが損傷するとゲート-ドレイン間が短絡する可能性もあり、LTC4266のGATEピンを異常に高い電圧まで上昇させます。LTC4266のSENSEピンとGATEピンは、損傷することなく最大80Vのフォルトに耐えるように設計されています。

LTC4266がこれらの状態を180 μ s以上の間検出すると、すべてのポートの機能をディスエーブルし、ポートのゲート・ドライブ・プルダウン電流を低減してFET Badフォルトを知らせます。これは通常、永続的なフォルトですが、ホストは、ポートをリセットするか、またはポートのリセットでフォルトを解除できない場合にデバイス全体をリセットことによって回復を試みることができます。MOSFETが実際に損傷していると、直ちにフォルトが返されて、ポートは再び自己をディスエーブルします。LTC4266の残りのポートは影響を受けません。

オープン状態や損傷状態のMOSFETがFET Badフォルトをトリガすることはありませんが、LTC4266がポートのターンオンを試みると t_{START} フォルトを生じます。

電圧と電流の読み出し

LTC4266は、内部A/Dコンバータを使って各ポートの出力電圧と出力電流を測定します。ポート・データはポートの電源がオンのときだけ有効です。コンバータには以下の2つのモードがあります。

- 低速モード: 1秒あたり14サンプル、14.5ビットの分解能
- 高速モード: 1秒あたり440サンプル、9.5ビットの分解能

高速モードでは、両方のモードでビットのスケーリングが等しくなるように、下位バイトの最下位の5ビットは0になっています。

切断

LTC4266はポートをモニタして、PDに最小規定電流が流れ続けていることを確認します。ポート電流が7.5mA(標準)を下回るたびに切断タイマがカウントアップし、PDが切断されていることを知らせます。 t_{DIS} タイマが終了すると、ポートがオフしてFault Eventレジスタの切断ビットがセットされます。 t_{DIS} タイマが終了する前に低電流状態ではなくなるとタイマはリセットし、低電流状態に戻ると最初からカウントを開始します。PDが t_{DIS} より頻繁に最小電流レベルを超える限り、PDには電力が供給され続けます。

推奨しませんが、DC切断機能は、対応するイネーブル・ビットをクリアすることによってディスエーブルすることができます。電力を供給されているポートにはPDが取り去られた後も電力が供給され続けるので、これにより、IEEE規格に組み込まれた保護メカニズムが無効になることに注意してください。電力を供給され続けているポートがPoEに対応していないデータ・デバイスに引き続き接続されると、デバイスが損傷する可能性があります。

LTC4266はAC切断回路を備えていませんが、LTC4259Aとの互換性を維持するためのAC切断イネーブル・ビットを備えています。AC切断イネーブル・ビットがセットされると、DC切断が使用されます。

シャットダウン・ピン

LTC4266は各ポート用にハードウェアの \overline{SHDN} ピンを備えています。 \overline{SHDN} ピンがDGNDに引き下げられると、対応するポートが直ちにオフします。ポートは、 I^2C を介して再イネーブルされるか、またはAUTOピン・モードでデバイスがリセットされるまでシャットダウン状態を保ちます。

マスクされたシャットダウン

LTC4266は待ち時間の短いポート・シェディング機能を備えており、必要に応じて短時間でシステム負荷を低減します。あらかじめ決められた複数のポートをオフさせることにより、優先度の高いデバイスに電力を供給し続けながら、過負荷の主電源の電流を素早く低減することができます。各ポートは優先度の高/低の設定が可能で、優先度の低いポートはすべてMSDピンが“L”に引き下げられてから6.5 μ s以内にシャットダウンします。LTC4266の複数のポートがMSDピンを介してシャットダウンされるときは、それぞれ少なくとも0.55 μ sの時間をずらすこ

アプリケーション情報

とによって主電源の過渡電圧を低減します。ポートがMSDを介してオフされると、ホストが指示して検出を再イネーブルするまでポートがオフ状態を保つように、対応する検出イネーブル・ビットと分類イネーブル・ビットがクリアされます。

シリアル・デジタル・インタフェース

概要

LTC4266は、標準SMBus/I²C 2線インタフェースを使ってホストと通信します。LTC4266はスレーブのみのデバイスで、標準SMBusプロトコルを使ってホスト・マスタと通信します。割り込みはINTピンを介してホストに伝えられます。標準的な通信波形とこれらのタイミング関係をタイミング図(図5～図9)に示します。SMBusのデータ・プロトコルの詳細についてはwww.smbus.orgを参照してください。

LTC4266では、シリアル・インタフェースを機能させるためにV_{DD}とV_{EE}の両方の電源レールを必要とします。

バスのアドレス指定

LTC4266の最初のシリアル・バス・アドレスは010xxxxbで、下位の4ビットはAD3ピン～AD0ピンによって設定されます。これにより、1本のバス上に最大16個のLTC4266を接続することができます。また、すべてのLTC4266がアドレス0110000bに応答することにより、ホストが1回のトランザクションで複数のLTC4266に同じコマンド(通常、設定コマンド)を書き込むことができます。LTC4266はINTピンをアサートしているとき、SMBus規格に従ってアラート応答アドレス(0001100b)にも応答します。

割り込みとSMBALERT

LTC4266のほとんどのポート・イベントは割り込みをトリガするように設定することができ、INTピンをアサートしてホストにイベントへの警告を行います。これにより、ホストがLTC4266をポーリングする必要がなくなり、シリアル・バスのトラフィックが最小限に抑えられてホストCPUのサイクルが節約されます。SMBALERTプロトコル(ARA)を使用しているホストがどのLTC4266が割り込みを発生させたかを判断することにより、複数のLTC4266が共通のINTラインを共有することができます。

レジスタの概要

シリアル・バスの使用およびデバイスの設定と状態についてはLTC4266のソフトウェア・プログラミング・マニュアルを参照してください。

外付け部品の選択

電源とバイパス

LTC4266を動作させるのに2つの電源電圧が必要です。V_{DD}にはDGNDを基準にした3.3V(公称)が必要です。V_{EE}には、タイプ1のPSEでは-45V～-57V、タイプ2のPSEでは-51V～-57VのAGNDを基準にした負電圧が必要です。2つのグラウンドの関係は一定ではなく、AGNDはV_{DD}～DGNDの任意のレベルを基準にすることができますが、通常はV_{DD}またはDGNDのどちらかに接続します。

V_{DD}はLTC4266の大部分の内部回路に電力を供給し、最大3mAを流します。V_{DD}からDGNDに、少なくとも0.1μFのセラミック・デカップリング・コンデンサを、各LTC4266デバイスにできるだけ近づけて接続します。

負のV_{EE}電源から生成する、DGNDへの負電源用の3つの部品の低損失レギュレータを図16に示します。V_{DD}はAGNDに接続され、DGNDはAGNDを基準にして負になります。このレギュレータは1個のLTC4266デバイスをドライブします。図17では、AGNDより3.3V高い正のV_{DD}電源を得るため、この昇圧コンバータ回路のDGNDがAGNDに接続されています。この回路は複数のLTC4266デバイスとオプトカプラをドライブすることができます。

V_{EE}はPDに電力を供給する主電源です。この電源は比較的大きな電力を供給し、大きな過渡電流を生じやすいので、簡単なロジック電源よりも設計に注意が必要です。最小のIR損失と最大のシステム効率を得るため、V_{EE}を最大振幅(57V)近くに設定し、過渡オーバーシュート/アンダーシュート、温度ドリフト、および使用される個々の電源のライン・レギュレーション仕様を見込んだ十分なマージンを残します。

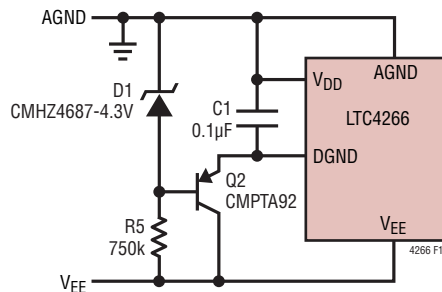
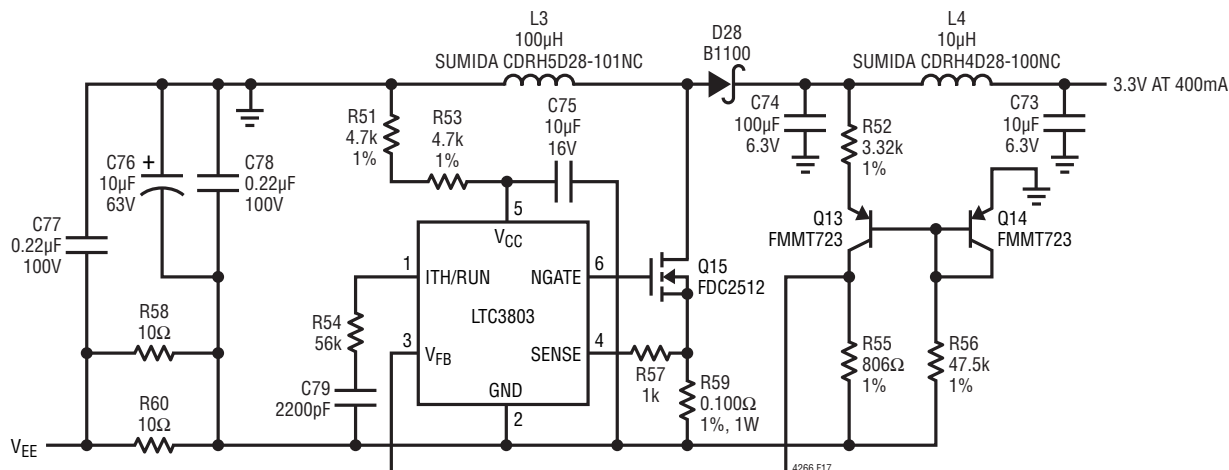


図16. DGNDへの負のLDO

アプリケーション情報

図17. 正のV_{DD}昇圧コンバータ

AGNDとV_{EE}間のバイパス容量は、信頼性の高い動作をさせるために非常に重要になります。出力ポートの1つに短絡が生じると、LTC4266が電流を安定化し始めるのに1µsもの時間を要することがあります。この間は、電流が回路内の小さなインピーダンスによってのみ制限され、通常、高電流スパイクが生じるので、V_{EE}電源に過渡電圧が生じ、UVLOフォルトによってLTC4266がリセットされる可能性があります。誤ったりセットを最小限に抑えるため、1µFの100V X7RコンデンサをV_{EE}ピンの近くに接続することを推奨します。

シリアル・バスの絶縁

LTC4266には分割されたSDAピン (SDAINおよびSDAOUT) が備わっていて、双方向のSDAラインのオプトアイソレーションが容易です。

IEEE 802.3イーサネット規格では、ネットワーク・セグメント (PoE回路を含む) が各ネットワーク・インタフェース・デバイスのシャーシ・グラウンドから電気的に絶縁されていることを要求しています。ただし、ネットワーク・セグメントは、それらのセグメントが1つの建物内の1つの配電システムに属するデバイスに接続されていれば、相互に絶縁されている必要はありません。

小型のPoEスイッチのような簡単なデバイスの場合、絶縁された主電源を使ってデバイス全体に電力供給することにより、この絶縁要件は満たされます。この方法は、デバイスがより対線イーサネット以外に電気的に導通したポートをもたない場合に使用することができます。この場合、SDAINピンとSDAOUTピンを相互接続して、標準I²C/SMBusのSDAピンとして機能させることができます。

デバイスが大きなシステムの一部であったり、イーサネットに対応していない外部ポートが追加されていたり、あるいは別の何らかの理由により保護されたグラウンドを基準にする必要がある場合、Power over Ethernetサブシステム (すべてのLTC4266を含む) は、システムの他の部分から電気的に絶縁されている必要があります。標準的な絶縁型シリアル・インタフェースを図18に示します。LTC4266のSDAOUTピンは、オプトカプラの入力を直接ドライブするように設計されています。標準I²C/SMBusデバイスは通常、オプトカプラをドライブすることができないので、ホスト・コントローラ側からの信号をバッファするためにU1が使用されています。

外付けMOSFET

システムの信頼性にとってパワーMOSFETを注意深く選択することが重要です。弊社では、タイプ1とタイプ2のPSEアプリケーションで信頼性が確認されているFairchildのIRFM120A、FDT3612、FDMC3612、またはPhilipsのPHT6NQ10Tを推奨しています。850mAのIEEEの最大規格を超える電流を供給する非標準のアプリケーションでは、放熱や他のMOSFETの設計を考慮する必要があります。これらの推奨デバイス以外のMOSFETを使用する場合には、弊社にお問い合わせください。

センス抵抗

LTC4266は、0.5Ωまたは0.25Ωの電流センス抵抗を使用するように設計されています。新規設計では0.25Ωを使って電力損失を低減することを推奨します。0.5ΩのオプションはLTC4266をLTC4258やLTC4259Aの当座の代替として使用する既存のシステムを対象としたものです。センス抵抗の値が小さくな

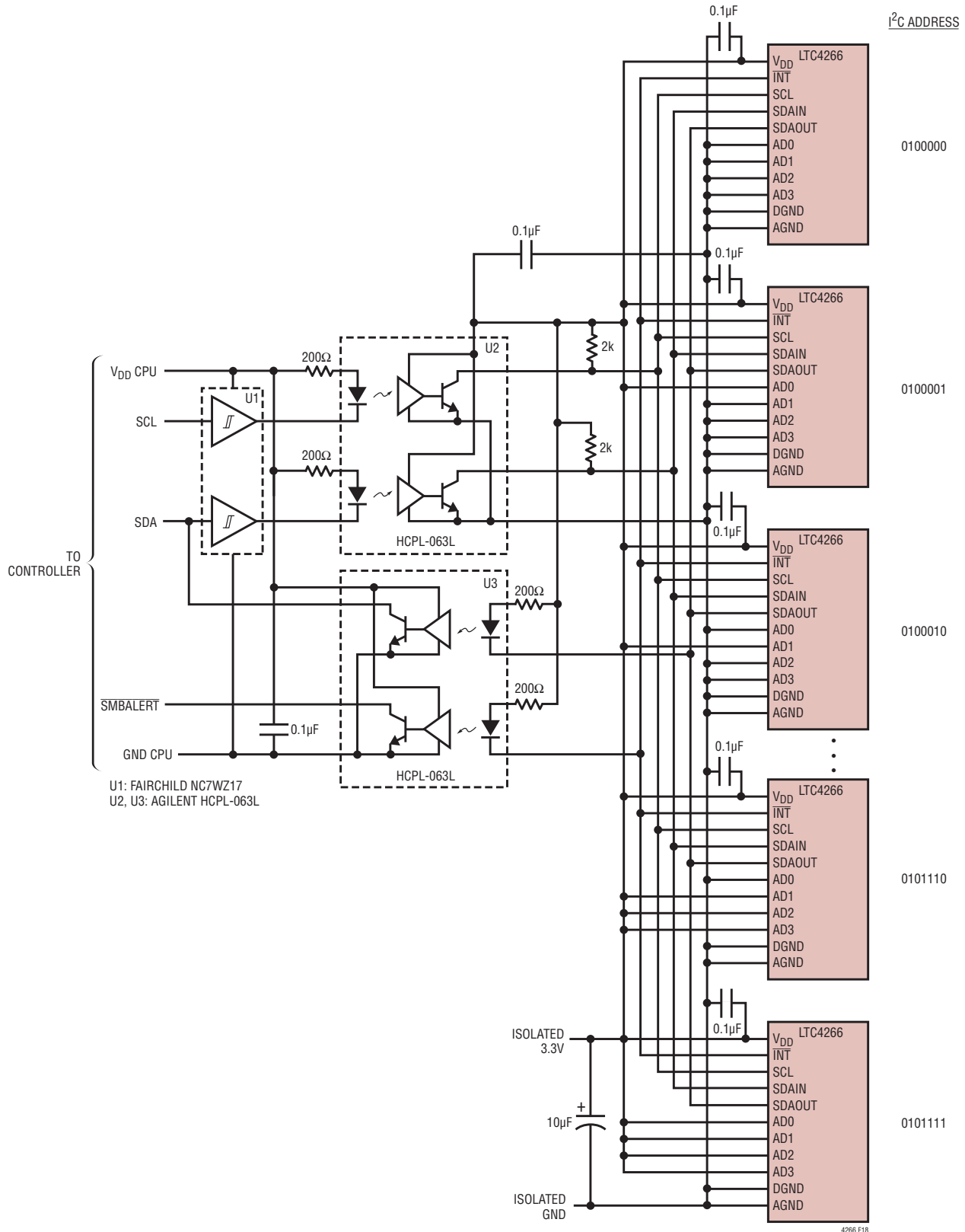


図18. I²Cバスのオプトアイソレーション

アプリケーション情報

ると熱損失が小さくなります。1本の 0.25Ω の代わりに、4本の一般的な 1Ω 抵抗(0402以上のパッケージ・サイズ)を並列接続して使用することができます。IEEE規格が要求する I_{CUT} と I_{LIM} の精度を満たすため、センス抵抗は許容誤差を $\pm 1\%$ 以下にし、温度係数を $\pm 200\text{ppm}/^\circ\text{C}$ 以下にします。

出力コンデンサ

各ポートは、起動時や過負荷時の電流制限状態のときにLTC4266を安定に保つため、出力の両端に $0.22\mu\text{F}$ のコンデンサを必要とします。一般的なセラミック・コンデンサは多くの場合大きな電圧係数をもっています。つまり印加電圧が上昇するに従って容量が減少します。この問題を最小限に抑えるためには、少なくとも 100V の定格のX7Rセラミック・コンデンサを推奨します。

ESD/ケーブル放電保護

イーサネット・ポートは、それぞれ数千ボルトに充電されている可能性がある複数の長いデータ・ケーブルが低インピーダンスのRJ45ジャックに挿入されたとき、大きなESDの影響を受ける可能性があります。損傷から保護するため、一方をAGNDに、他方を V_{EE} に接続した1対のクランプ・ダイオードが各ポートごとに必要です(図10)。各LTC4266デバイスの V_{EE} からAGNDにサージ・サプレッサを追加する必要があります。ポートのこれらのダイオードは有害なサージを電源レールに誘導し、そこでサージ・サプレッサと V_{EE} のバイパス容量によってこれらのサージが吸収されます。サージ・サプレッサには、 V_{EE} 電源の過渡からLTC4266を保護するというもう1つの利点があります。

S1Bダイオードはポートのクランプ・ダイオードに適しており、SMAJ58Aまたは同等部品を V_{EE} のサージ・サプレッサとして推奨します。

レイアウトのガイドライン

LTC4266には電源レイアウトの標準ガイドラインを適用します。 V_{DD} および V_{EE} 電源用のデカップリング・コンデンサをそれぞれの電源ピンの近くに配置し、グランド・プレーンを使用し、大きな電流が流れるところには幅の広いトレースを使用します。

レイアウトの主な問題は、電流センス抵抗の配置、およびこれらの抵抗のLTC4266への接続に関することです。センス抵抗の値は非常に小さいので、レイアウトの寄生要素が大きな誤差の要因になる可能性があります。特に電流の切断時には、規定精度を実現するのに注意を必要とします。

この問題を図19に示します。左の例では、2つのポートに、相互抵抗 R_M を介して V_{EE} 電源に戻る負荷電流 I_1 および I_2 が流れています。 R_M は、すべてのトレース、プレーン、 I_1 と I_2 が V_{EE} 電源に戻る際に共有するPCBのビアの抵抗を合計したものです。LTC4266はSENSEピンと V_{EE} ピンの間の電圧差を測定して R_{S1} の電圧降下を検出しますが、この例が示すように、 R_M によって誤差が生じます。

右の例では、適正なレイアウトによって誤差をどれだけ最小限に抑えることができるかが示されています。この回路は、 R_M が V_S に影響しないようにし、LTC4266への V_{EE} の接続をケルビンセンス・トレースとして使用するように変更されています。

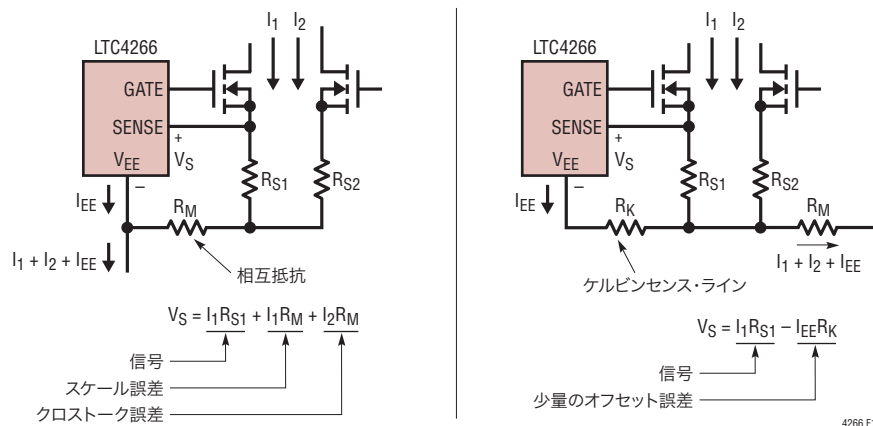


図19. 電流読み出し精度へのレイアウトの影響

アプリケーション情報

LTC4266によって制御される4つのポートすべてが同じセンス・トレースを共有することと、トレースを流れる電流 (I_{EE}) がゼロではないことから、 V_{EE} は完全なケルビン接続ではありません。ただし、計算式が示すように、残りの誤差は小さなオフセット誤差です。

8つのポート (A~H) を制御する2個のLTC4266デバイスを図20に示します。これらのポートは4つからなる2つのグループに分けられ、それぞれビアを使って V_{EE} プレーンに接続された独自のトレースをPCBの最上層に備えています。U1のサブ回路からの電流は実質的にU2のサブ回路から絶縁され、レイアウトの問題が4ポート単位に軽減されます。この仕組みは、あらゆる数のポートに拡張できます。

適切な4ポートのレイアウトの例を図21に示します。0.25Ωの各センス抵抗は4本の1Ω抵抗の並列接続からなります。4グループの抵抗は流れる電流の重複を最小限に抑えるように配置され、相互抵抗が最小限に抑えられています。銅プレーンに切り込みを入れた水平のスリットは電流を分離させる役割を果たします。幅の広い銅の経路によって各グループの抵抗が中心でビアに接続されているので、抵抗値が非常に小さくなっています。

センス・ラインを適切に接続することも重要です。図21で、U1は V_{EE} プレーンに直接接続されていませんが、代わりに、センス抵抗アレイに繋がるケルビンセンス・トレースに接続されています。同様に、センス抵抗アレイの中心のビアには対応する開口部が V_{EE} プレーンにあります。この仕組みにより、4つの大きなビアの相互抵抗の電流測定への影響が防止されます。

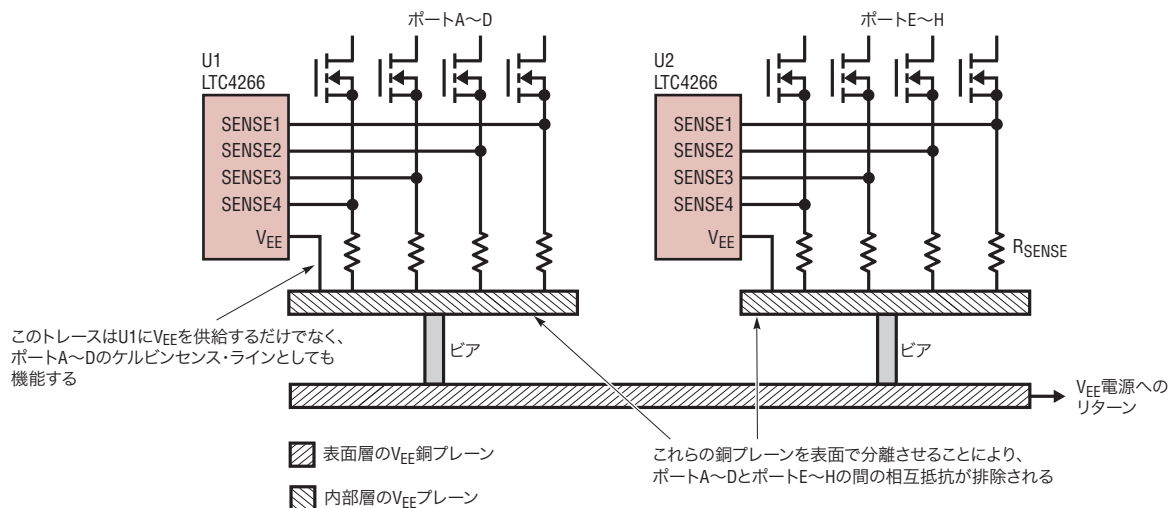


図20. 相互抵抗を低減するレイアウト手法

4266 F20

アプリケーション情報

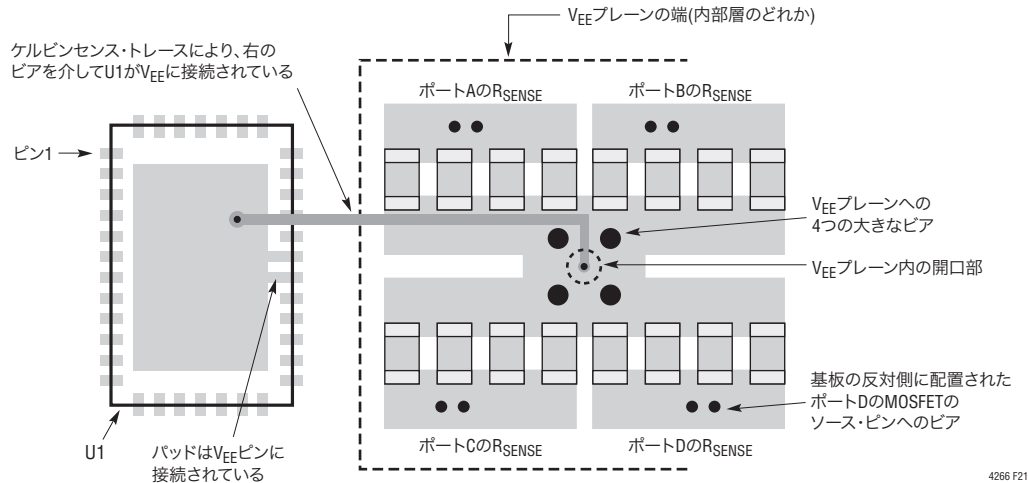
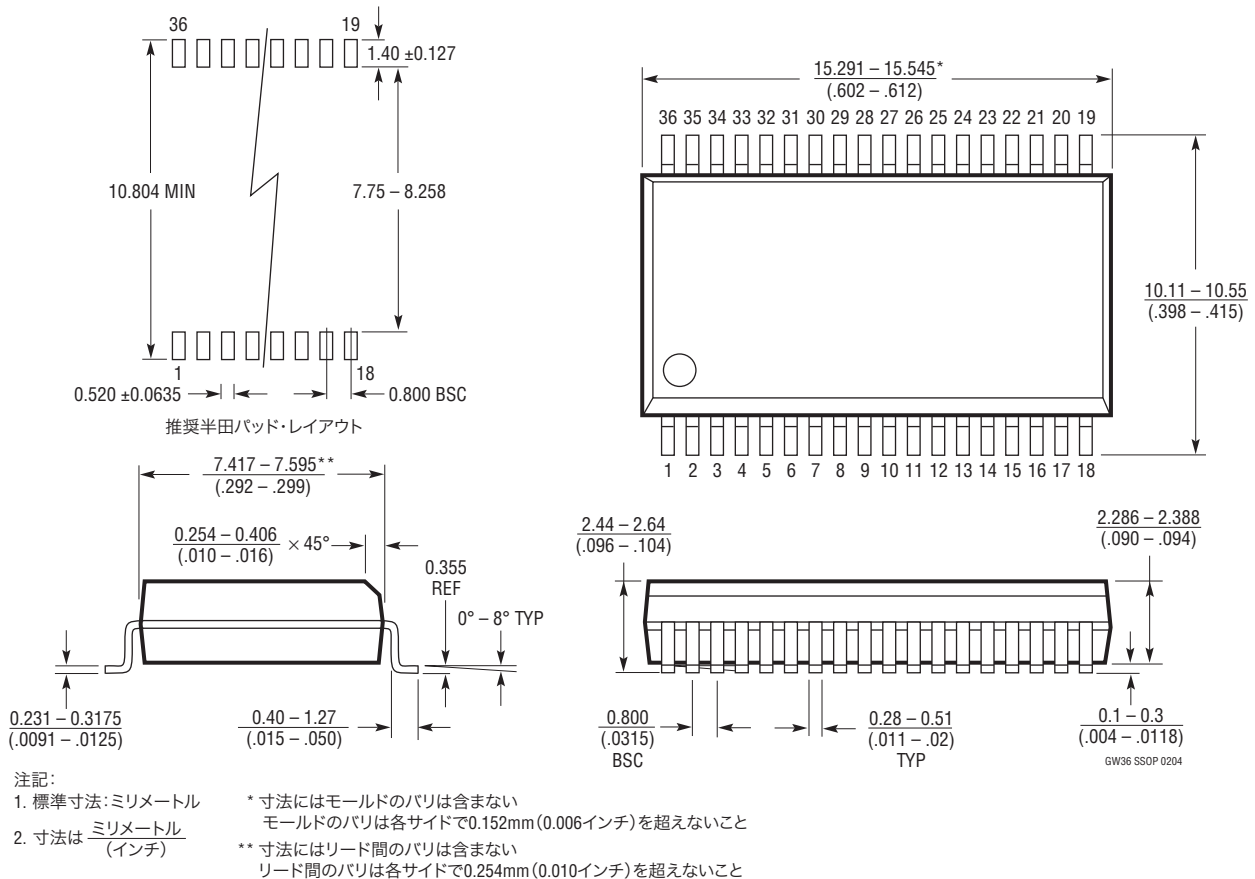


図21. 適切なPCBレイアウトの例

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

GW Package
36-Lead Plastic SSOP (Wide .300 Inch)
(Reference LTC DWG # 05-08-1642)



改訂履歴 (改訂履歴はRev Bから開始)

REV	日付	概要	ページ番号
B	3/11	データシート全体を通してAGNDとDGNDピンのピンの呼称を変更 データシート全体を通して自動モードをAUTOピン・モードに変更 動作モードに文章追加、「アプリケーション情報」セクション全体を通して細部変更	1~6、9、13 1~26 19~26
C	8/11	「-48V Supply Voltage」を「Main PoE Supply Voltage」に変更 標準ゲート電圧を12Vに変更 SCL、SDAINの V_{IL} を1.0V(I ² C対応)に変更 電気的特性の t_{CUT} を t_{LIM} と区別して記載 「分類電流のコンプライアンス」のX軸のタイトルに(mA)を追加 「802.3afの分類」セクションの第1段落で、「図14」を「図13」に変更 「電源とバイパス」のセクションでタイプ1の最小電圧を-45Vに、タイプ2の最小電圧を-51Vに変更	3 3、13、19 4 5 7 18 22
D	1/12	V_{ILD} のI ² C Input Low VoltageのMAX値を改訂 AUTOピン・モードとリセット・ピンの関係を明確化	4 16
E	5/14	GWパッケージの製品マーキングを修正	2

標準的応用例

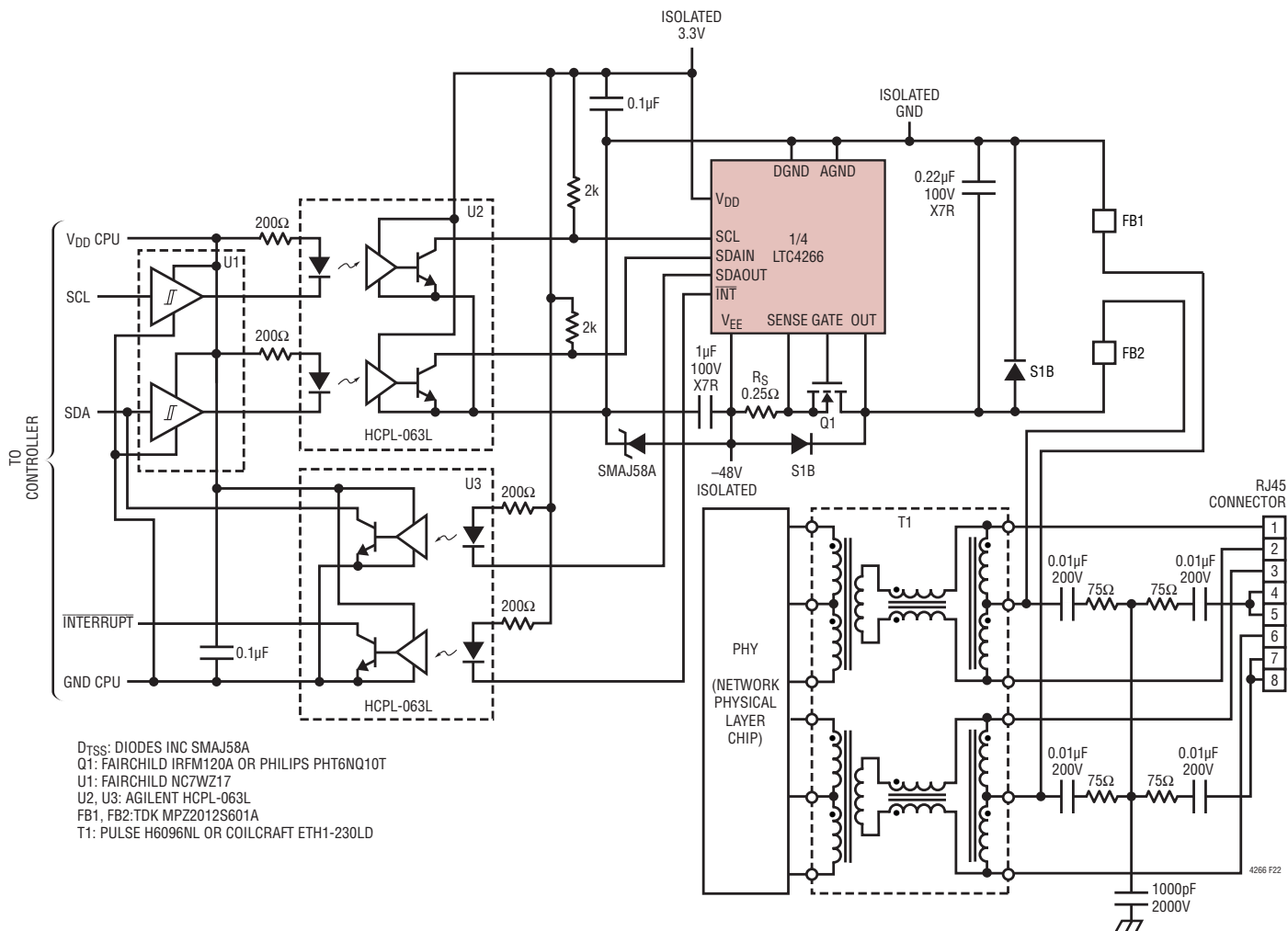


図22. 1つの完全な絶縁型受電イーサネット・ポート

関連製品

製品番号	説明	注釈
LTC3803	ThinSOT™パッケージの固定周波数電流モード・フライバックDC/DCコントローラ	200kHzの動作、調整可能なスロープ補償
LTC4258	クワッドIEEE 802.3af PoE PSEコントローラ	DC切断の検出のみ
LTC4263	シングルIEEE 802.3af PSEコントローラ	FETスイッチ内蔵
LTC4265	IEEE 802.3at PDインタフェース・コントローラ	100V、1Aスイッチを内蔵、2イベント分類を認識
LTC4266A	クワッドLTPoE++ PSEコントローラ	最大90W、IEEE 802.3af および IEEE 802.3at PD に下位互換性
LTC4266C	クワッドIEEE 802.3af PSEコントローラ	プログラム可能な I_{CUT}/I_{LIM} 、1イベント分類
LTC4267	スイッチング・レギュレータ搭載のIEEE 802.3af PDインタフェース	100V、400mAスイッチを内蔵、デュアル・レベル突入電流制限、プログラム可能な分類電流
LTC4269-1	スイッチング・レギュレータ搭載のIEEE 802.3at PDインタフェース	2イベント分類、プログラム可能な分類電流、同期整流式No-Optoフライバック・コントローラ、スイッチング周波数: 50kHz~250kHz
LTC4269-2	スイッチング・レギュレータ搭載のIEEE 802.3at PDインタフェース	2イベント分類、プログラム可能な分類電流、同期整流式フォワード・コントローラ、スイッチング周波数: 100kHz~500kHz

4266fe