

### 特長

- 4個の独立した - 48Vパワー・イーサネット・ポートを制御
- 各チャンネルに以下の機能を搭載：
  - IEEE 802<sup>®</sup>.3afに準拠したPDの検出および分類
  - フォールドバック付き出力電流制限
  - 高速ゲート・プルダウン付き短絡保護
  - AC検出またはDC検出を使用したPDの切断
  - パワーグッド表示
- 自立して動作、あるいはI<sup>2</sup>C™シリアル・インタフェースによって制御
- プログラム可能な4ビット・デジタル・アドレスにより、最大64ポートを制御可能
- プログラム可能なINTピンによりソフトウェア・ポーリングが不要
- 電流制限とデューティ・サイクル制限により外付けFETを保護
- 36ピンSSOPパッケージ

### アプリケーション

- IEEE 802.3af準拠のエンドポイントおよびミッドスパン電源
- IP電話システム
- DTE配電

LT、LTC、LTはリニアテクノロジー社の登録商標です。  
Hot Swapはリニアテクノロジー社の商標です。802はInstitute of Electrical and Electronics Engineers, Incの登録商標です。I<sup>2</sup>CはPhilips Electronics N.V.の商標です。

### 概要

LTC<sup>®</sup>4259AはIEEE 802.3af準拠の給電装置(PSE: Power Sourcing Equipment)で使用するために設計されたクワッド - 48Vホットスワップ・コントローラです。このデバイスは4個の独立したポートで構成され、各ポートは出力電流制限、短絡保護、完全な受電機器(PD: Powered Device)の検出および分類機能、AC検出またはDC検出を使用したプログラム可能なPDの切断機能を備えています。図1に示すように、LTC4259Aはパワー-MOSFETおよび受動部品と組み合わせて、IEEE 802.3af準拠の完全なPSEを構成することができます。

LTC4259Aは自立して動作可能ですが、I<sup>2</sup>Cシリアル・インタフェースによって制御することもできます。同じデータバスを最大16個のLTC4259Aで共用できるので、わずか2本のデジタル・ラインで最大64個のパワー・イーサネット・ポートを制御することができます。オプションにより、フォールト状態をINTピンで通知できるので、ソフトウェア・ポーリングが不要です。

外付けのパワー-MOSFET、電流センス抵抗、ダイオードを使用すれば、電流と消費電力のレベルを容易にスケールリング可能で、電圧スパイク、電流スパイク、ESDに対して保護します。

LTC4259Aは36ピンSSOPパッケージで供給されます。

リニアテクノロジー社はLTC4257とLTC4257-1を使用した802.3af PDアプリケーション向けのソリューションも提供しています。

### 標準的応用例

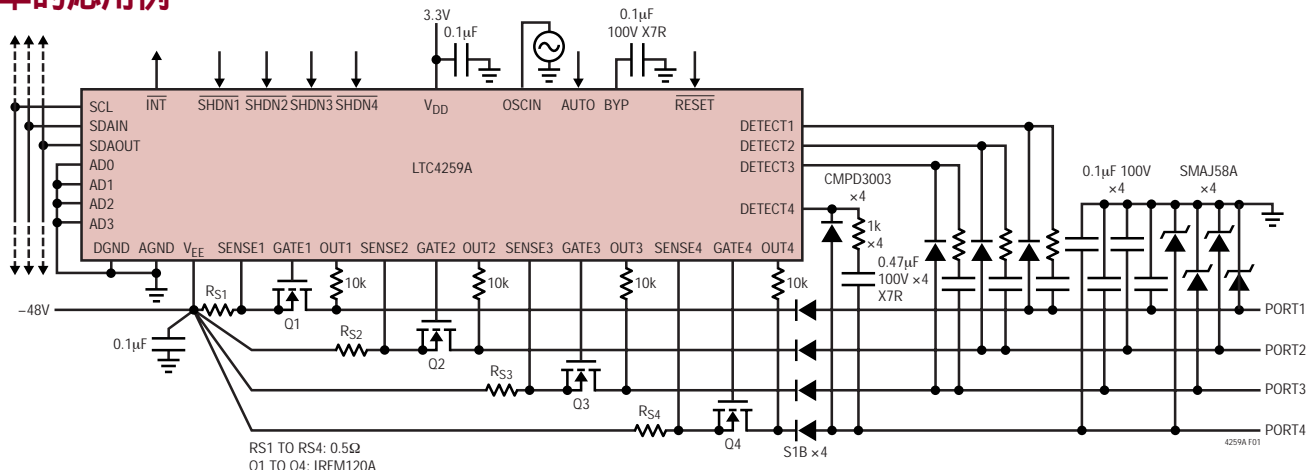


図1. 完全な4ポートのパワー・イーサネット電源

# LTC4259A

## 絶対最大定格

(Note 1)

### 電源電圧

$V_{DD}$ からDGND ..... - 0.3V ~ 5V  
 $V_{EE}$ からAGND ..... 0.3V ~ - 70V  
 DGNDからAGND (Note 2) .....  $\pm 1V$

### デジタル・ピン

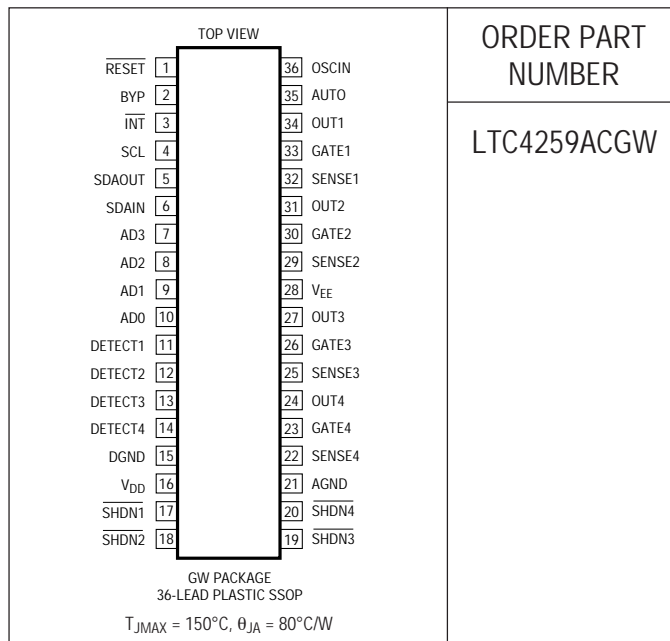
SCL、SDAIN、SDAOUT、 $\overline{INT}$ 、AUTO、 $\overline{RESET}$   
 $\overline{SHDNn}$ 、 $ADn$  ..... DGND - 0.3V ~ DGND + 5V

### アナログ・ピン

GATE $n$  (Note 3) .....  $V_{EE} - 0.3V \sim V_{EE} + 12V$   
 DETECT $n$ ピーク電流 (Note 4) .....  $\pm 80mA$   
 SENSE $n$  .....  $V_{EE} - 0.3V \sim V_{EE} + 1V$   
 OUT $n$  .....  $V_{EE} - 70V \sim V_{EE} + 70V$   
 OSCIN ..... DGND - 0.3V ~ DGND + 5V  
 BYP電流 .....  $\pm 1mA$

動作周囲温度範囲 ..... 0 ~ 70  
 接合部温度 (Note 5) ..... 150  
 保存温度範囲 ..... - 65 ~ 150  
 リード温度 (半田付け、10秒) ..... 300

## パッケージ/発注情報



ORDER PART NUMBER

LTC4259ACGW

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

## 電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$  での値。注記のない限り、AGND = DGND = 0V、 $V_{DD} = 3.3V$ 、 $V_{EE} = -48V$  (Note 6)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>電源</b>						
$V_{DD}$	$V_{DD}$ Supply Voltage		● 3	3.3	4	V
$V_{EE}$	$V_{EE}$ Supply Voltage	To Maintain IEEE Compliant Output (Note 7)	● -48		-57	V
$I_{DD}$	$V_{DD}$ Supply Current		●	2.5	5	mA
$I_{EE}$	$V_{EE}$ Supply Current	Normal Operation	●	-2	-5	mA
		Classification Into a Short ( $V_{DETECTn} = 0V$ ) (Note 8)	●		100	mA
$V_{DDMIN}$	$V_{DD}$ UVLO Voltage			2.7		V
$V_{EEMINON}$	$V_{EE}$ UVLO Voltage (Turning On)	$V_{EE} - AGND$		-31		V
$V_{EEMINOFF}$	$V_{EE}$ UVLO Voltage (Turning Off)	$V_{EE} - AGND$		-28		V
<b>検出</b>						
$I_{DET}$	Detection Current	First Point, $V_{DETECTn} = -10V$	● 235		300	$\mu A$
		Second Point, $V_{DETECTn} = -3.5V$	● 145		190	$\mu A$
$V_{DET}$	Detection Voltage Compliance	Open Circuit, Measured at DETECT $n$ Pin	●	-20	-23	V
$R_{DETMIN}$	Minimum Valid Signature Resistance		● 15.2	17	19	k $\Omega$
$R_{DETMAX}$	Maximum Valid Signature Resistance		● 26.7	29	33	k $\Omega$
<b>分類</b>						
$V_{CLASS}$	Classification Voltage	$0mA < I_{CLASS} < 31mA$	● -16.4		-21	V
$I_{CLASS}$	Classification Current Compliance	Into Short ( $V_{DETECT} = 0V$ )	● 55		75	mA
$I_{TCLASS}$	Classification Threshold Current	Class 0-1	● 5.5	6.5	7.5	mA
		Class 1-2	● 13	14.5	16	mA
		Class 2-3	● 21	23	25	mA
		Class 3-4	● 31	33	35	mA
		Class 4-Overcurrent	● 45	48	51	mA

4259Af

## 電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$  での値。注記のない限り、AGND = DGND = 0V、 $V_{DD} = 3.3V$ 、 $V_{EE} = -48V$  (Note 6)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ゲート・ドライバ</b>							
$I_{GON}$	GATE Pin Current	Gate On, $V_{GATEn} = V_{EE}$	●	-20	-50	-70	$\mu A$
$I_{GOFF}$	GATE Pin Current	Gate Off, $V_{GATEn} = V_{EE} + 5V$	●	30	50	95	$\mu A$
$I_{GPD}$	GATE Pin Short-Circuit Pull-Down	$V_{GATEn} = V_{EE} + 5V$			100		mA
$\Delta V_{GATE}$	External Gate Voltage ( $V_{GATEn} - V_{EE}$ )	$I_{GATE} = -1\mu A$ (Note 3)	●	10	13	15	V

## 出力電圧センス

$V_{PG}$	Power Good Threshold Voltage	$V_{OUTn} - V_{EE}$	●	1	2	3	V
$I_{VOUT}$	Out Pin Bias Current	$0V > V_{OUT} > -10V$ $-10V > V_{OUT} > -30V$ $V_{OUT} = -48V$	● ●			-6 -18	$\mu A$ $\mu A$
					-20		$\mu A$

## 電流センス

$V_{CUT}$	Overcurrent Detection Sense Voltage	$V_{SENSEn} - V_{EE}$ , $V_{OUT} = V_{EE}$ (Note 9)		166	187.5	199	mV
$V_{LIM}$	Current Limit Sense Voltage	$V_{SENSEn} - V_{EE}$ , $V_{OUT} = V_{EE}$ $V_{SENSEn} - V_{EE}$ , $V_{OUT} = AGND - 30V$ $V_{SENSEn} - V_{EE}$ , $V_{OUT} = AGND - 10V$		201 201 30.2	212.5	224 224	mV mV mV
$V_{MIN}$	DC Disconnect Sense Voltage	$V_{SENSEn} - V_{EE}$		2.52	3.75	4.97	mV
$V_{SC}$	Short-Circuit Sense Voltage				275		mV
$I_{SENSE}$	SENSE Pin Bias Current	$V_{SENSEn} = V_{EE}$			-50		$\mu A$

## AC切断 (Note 10)

$R_{OSCIN}$	Input Impedance of OSCIN Pin	$0.1V < V_{OSCIN} < 3V$ , $f_{SINEIN} < 200Hz$	●	200	500		k $\Omega$
$A_{VACD}$	Voltage Gain OSCIN to DETECT1, 2 Voltage Gain OSCIN to DETECT3, 4	Port Powered, PD Not Present Port Powered, PD Not Present	● ●	-2.7 2.7	-3 3	-3.3 3.3	V/V V/V
$I_{ACDMAX}$	AC Disconnect DETECT $n$ Output Current	Port Powered, $-6V < V_{DETECTn} < 0V$	●			$\pm 600$	$\mu A$
$I_{ACDMIN}$	Remain Connected DETECT Pin Current	Port Powered, $V_{DETECTn} = -3.4V$	●	150	200	260	$\mu A$

## デジタル・インタフェース

$V_{OLD}$	Digital Output Low Voltage	$I_{SDAOUT} = 3mA$ , $I_{INT} = 3mA$ $I_{SDAOUT} = 5mA$ , $I_{INT} = 5mA$	● ●			0.4 0.7	V V
$V_{ILD}$	Digital Input Low Voltage	SCL, SDA $\overline{IN}$ , RESET, SHDN $n$ , AUTO	●			0.8	V
$V_{IHD}$	Digital Input High Voltage	SCL, SDA $\overline{IN}$ , RESET, SHDN $n$ , AUTO	●	2.4			V
$R_{PU}$	Pull-Up Resistor to $V_{DD}$	AD0 to AD3, RESET, SHDN $n$			50		k $\Omega$
$R_{PD}$	Pull-Down Resistor to DGND	AUTO			50		k $\Omega$

## AC特性

$t_{DETDLY}$	Detection Delay	From Detect Command or Application of PD to Port to Detect Complete	●	170		590	ms
$t_{DET}$	Detection Duration	Time to Measure PD Signature Resistance (Figure 2)	●	170		230	ms
$t_{CLSDLY}$	Classification Delay	From Successful Detect in Auto or Semiauto Mode to Class Complete From Classify Command in Manual	● ●	10.1 10.1		52 420	ms ms
$t_{CLASS}$	Classification Duration	(Figure 2)	●	10.1		13	ms
$t_{PON}$	Power On Delay, Auto Mode	From Valid Detect to Port On in Auto Mode (Figure 2) From Port On Command to GATE Pin Current = $I_{GON}$ (Note 10)	● ●			90 1	ms ms
$t_{START}$	Maximum Current Limit Duration During Port Start-Up	$t_{START1} = 0$ , $t_{START0} = 0$ (Figure 3) $t_{START1} = 0$ , $t_{START0} = 1$ $t_{START1} = 1$ , $t_{START0} = 0$ $t_{START1} = 1$ , $t_{START0} = 1$	● ● ● ●	50 25 100 200	60 30 120 240	70 35 140 280	ms ms ms ms

# LTC4259A

## 電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$  での値。注記のない限り、 $AGND = DGND = 0V$ 、 $V_{DD} = 3.3V$ 、 $V_{EE} = -48V$  (Note 6)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$t_{CUT}$	Maximum Current Limit Duration After Port Start-Up	$t_{CUT1} = 0, t_{CUT0} = 0$ (Figure 3)	●	50	60	70	ms
		$t_{CUT1} = 0, t_{CUT0} = 1$	●	25	30	35	ms
		$t_{CUT1} = 1, t_{CUT0} = 0$	●	100	120	140	ms
		$t_{CUT1} = 1, t_{CUT0} = 1$	●	200	240	280	ms
$DC_{CLMAX}$	Maximum Current Limit Duty Cycle	Reg16h = 00h	●	5.8	6.3	6.7	%
$t_{DIS}$	Disconnect Delay	$t_{DIS1} = 0, t_{DIS0} = 0$ (Figures 4, 5)	●	300	360	400	ms
		$t_{DIS1} = 0, t_{DIS0} = 1$	●	75	90	100	ms
		$t_{DIS1} = 1, t_{DIS0} = 0$	●	150	180	200	ms
		$t_{DIS1} = 1, t_{DIS0} = 1$	●	600	720	800	ms
$t_{VMIN}$	DC Disconnect Minimum Pulse Width Sensitivity	$V_{SENSEn} - V_{EE} > 5mV$ , $V_{OUTn} = -48V$ (Figure 4) (Note 11)	●		0.02	1	ms

## I<sup>2</sup>C タイミング

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{SCLK}$	Clock Frequency	(Note 11)	●		400	kHz
$t_1$	Bus Free Time	Figure 6 (Notes 11, 12)	●	1.3		$\mu s$
$t_2$	Start Hold Time	Figure 6 (Notes 11, 12)	●	600		ns
$t_3$	SCL Low Time	Figure 6 (Notes 11, 12)	●	1.3		$\mu s$
$t_4$	SCL High Time	Figure 6 (Notes 11, 12)	●	600		ns
$t_5$	Data Hold Time	Figure 6 (Notes 11, 12)	●	150		ns
$t_6$	Data Set-Up Time	Figure 6 (Notes 11, 12)	●	200		ns
$t_7$	Start Set-Up Time	Figure 6 (Notes 11, 12)	●	600		ns
$t_8$	Stop Set-Up Time	Figure 6 (Notes 11, 12)	●	600		ns
$t_r$	SCL, SDAIN Rise Time	Figure 6 (Notes 11, 12)	●	20	300	ns
$t_f$	SCL, SDAIN Fall Time	Figure 6 (Notes 11, 12)	●	20	150	ns
$t_{FLTINT}$	Fault Present to INT Pin Low	(Notes 11, 12, 13)	●	20	150	ns
$t_{STOPINT}$	Stop Condition to INT Pin Low	(Notes 11, 12, 13)	●	60	200	ns
$t_{ARAIN}$	ARA to INT Pin High Time	(Notes 11, 12)	●	20	300	ns

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: 通常動作ではDGNDとAGNDは相互に接続する。

Note 3: 内部クランプにより、GATEピンは $V_{EE}$ より最小12V高い電圧に制限される。このピンをクランプを超えてドライブするとデバイスを損傷するおそれがある。

Note 4: ポートがパワーオンまたはパワーオフすると、ポートの過渡電圧が $C_{DET}$ を通してカップリングを生じる(図16)。LTC4259Aには保護回路が内蔵されており、80mAまでの過渡電流を5msのあいだ耐える。電流の絶対値が80mAより下に留まる限り、LTC4259AはDETECT $n$ ピンの電圧を絶対最大電圧範囲内に保つ。 $R_{DET}$ の大きさを適当にとれば電流は60mA未満に制限される。

Note 5: このデバイスには一時的な過負荷状態のあいだデバイスを保護するための高温保護機能が備わっている。高温保護機能がアクティブなとき、接合部温度は125 $^{\circ}C$ を超える。規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 6: デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れ出す電流はすべて負。注記がない限り、すべての電圧はグラウンド(AGNDとDGND)を基準にしている。

Note 7: LTC4259Aは-46.6V ~ -57Vのポート電圧を維持するように設計されており、 $V_{EE}$ 電源電圧範囲はダイオード、MOSFET、およびセンス抵抗の電圧降下を計算に入れている。

Note 8: 短絡を分類中の $V_{EE}$ 電源電流は、短絡を分類中にDETECT $n$ ピンの電流を測定することにより間接的に測定される。

Note 9: LTC4259AはIEEE 802.3afに従って過負荷電流を検出する。最小過負荷電流( $I_{CUT}$ )はポート電圧に依存する( $I_{CUT\_MIN} = 15.4W/V_{PORT\_MIN}$ )。LTC4259Aを使用したIEEEに準拠したシステムは、ポート電圧を-46.6Vより上に維持する必要がある。

Note 10: 注記がない限り、AC切断の仕様が要求する条件は、図1に示されているようにDETECTピンがポートに接続されており、有効な正弦波がOSCINに与えられており、OSCFAILビットがクリアされており、AC Disconnect Enableビットがセットされていることである。

Note 11: 設計によって保証されているが、テストされない。

Note 12: 値は $V_{ILD}$ および $V_{IHD}$ で測定される。

Note 13: I<sup>2</sup>Cトランザクションの途中で故障が生じると、I<sup>2</sup>Cバスにストップ信号が出されるまでINTピンは引き下げられない。

## テストのタイミング

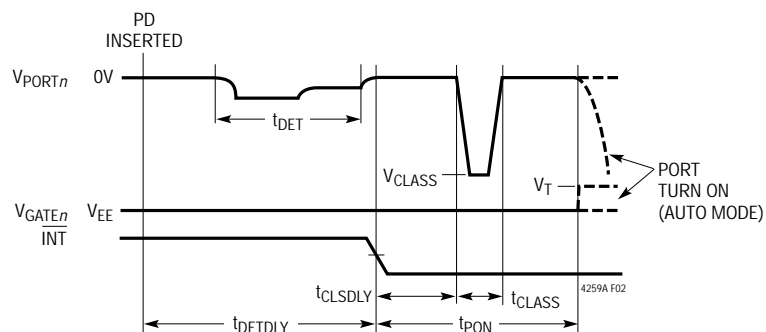


図2 . 自動モードまたは半自動モードの検出、分類、およびターンオンのタイミング

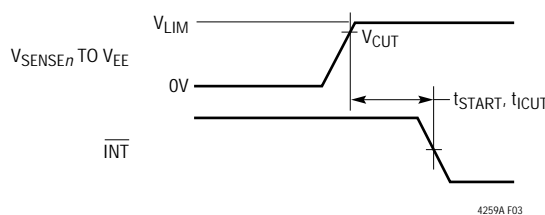


図3 . 電流制限のタイミング

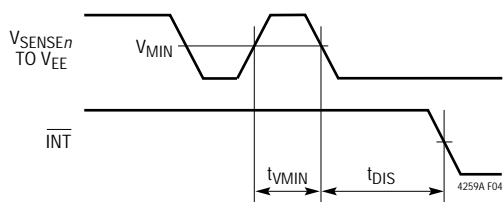


図4 . DC切断のタイミング

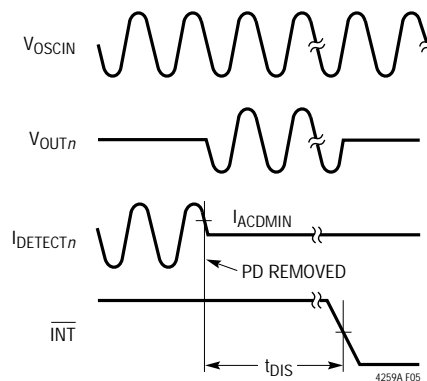


図5 . AC切断のタイミング

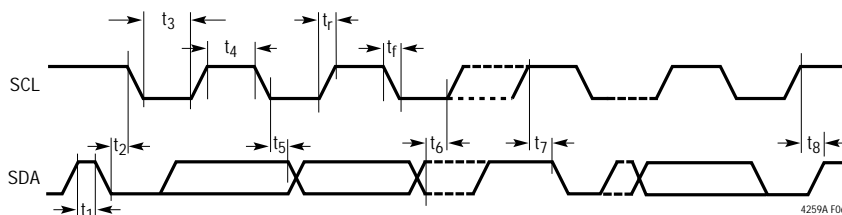


図6 . I<sup>2</sup>Cインタフェースのタイミング

## タイミング図

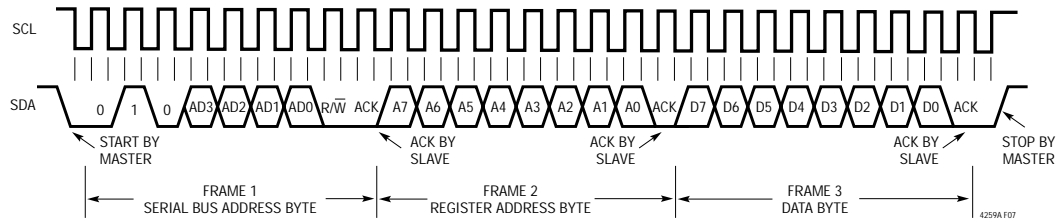


図7. レジスタへの書き込み

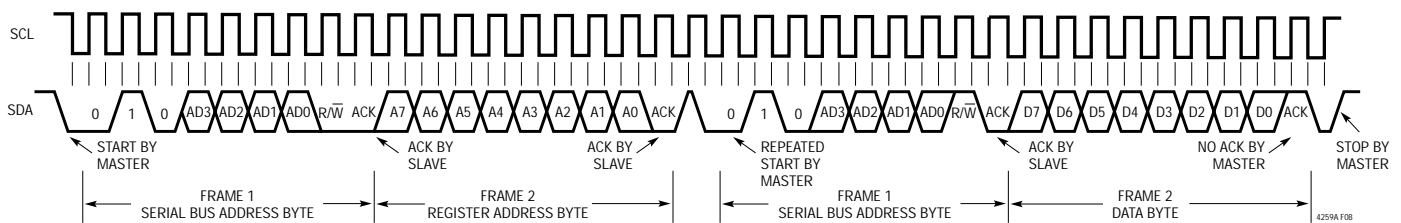


図8. レジスタからの読み取り

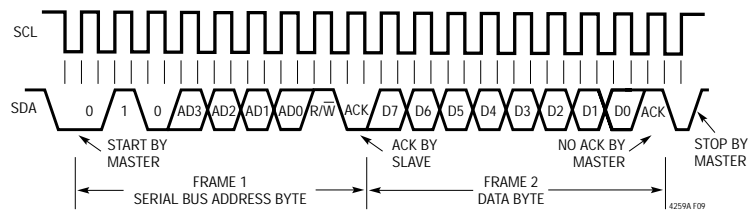


図9. Interrupt(割り込み)レジスタからの読み取り(ショートフォーム)

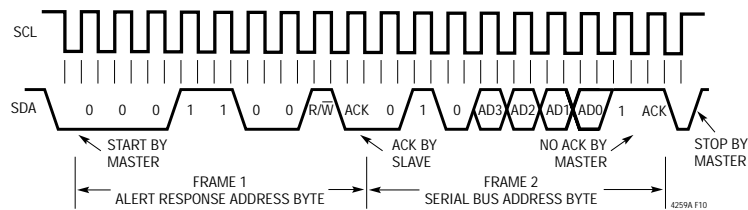


図10. Alert Response Address(アラート応答アドレス)からの読み取り

## ピン機能

**RESET (ピン1)**: アクティブ“L”のチップ・リセット。RESETピンが“L”のとき、LTC4259Aは非アクティブ状態に保たれ、すべてのポートがオフし、すべての内部レジスタがそれらのパワーアップ状態にリセットされます。RESETが“H”に引き上げられると、LTC4259Aは通常動作を開始します。RESETを外部のコンデンサまたはRCネットワークに接続してパワーオンを遅らせることができます。RESETピンは内部でフィルタ処理されるので、幅が1 $\mu$ s以下のグリッチによってLTC4259Aがリセットされるのを防ぎます。RESETを10k以下の抵抗を使って“H”に引き上げるか、またはV<sub>DD</sub>に接続します。

**BYP (ピン2)**: バイパス出力。BYPピンは内部で発生させた-20Vの電源を外付けの0.1 $\mu$ Fバイパス・コンデンサに供給するのに使われます。100V定格の0.1 $\mu$ F、X7Rコンデンサを使います。BYPピンは他のどの外部回路にも接続しないでください。

**INT (ピン3)**: オープン・ドレインの割り込み出力。LTC4259A内でイベントのどれか1つが生じると、INTは“L”になります。Reset PBレジスタ(1Ah)のビット6またはビット7がセットされるとハイ・インピーダンスに戻ります。INT信号を使ってホスト・プロセッサへの割り込みを発生させることができるので、ソフトウェアによる連続ポーリングは不要です。個々のINTイベントはInt Maskレジスタ(01h)を使ってディスエーブルすることができます。詳細については「レジスタの機能」および「アプリケーション情報」を参照してください。INTピンはI<sup>2</sup>Cのトランザクションとトランザクションの間にだけ更新されます。

**SCL (ピン4)**: シリアル・クロック入力。I<sup>2</sup>Cシリアル・インタフェース・バスのハイ・インピーダンス・クロック入力。SCLピンはI<sup>2</sup>CのSCLバス・ラインに直接接続します。

**SDAOUT (ピン5)**: I<sup>2</sup>Cシリアル・インタフェース・バスのシリアル・データ出力(オープン・ドレイン・データ出力)。LTC4259Aは2つのピンを使って双方向のSDA機能を実装していますので、I<sup>2</sup>Cバスの光絶縁が簡単です。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを相互に接続します。詳細については「アプリケーション情報」を参照してください。

**SDAIN (ピン6)**: シリアル・データ入力。I<sup>2</sup>Cシリアル・インタフェース・バスのハイ・インピーダンス・データ入力。LTC4259Aは2つのピンを使って双方向のSDA機能を実装していますので、I<sup>2</sup>Cバスの光絶縁が簡単です。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを相互に接続します。詳細については「アプリケーション情報」を参照してください。

**AD3 (ピン7)**: アドレス・ビット3。アドレス・ピンを“H”または“L”に接続して、LTC4259Aが応答するI<sup>2</sup>Cシリアル・アドレスを設定します。このアドレスは(010A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>)<sub>b</sub>になります。AD3を10k以下の抵抗を

使って“H”または“L”にするか、またはV<sub>DD</sub>またはDGNDに接続します。

**AD2 (ピン8)**: アドレス・ビット2。AD3を参照してください。

**AD1 (ピン9)**: アドレス・ビット1。AD3を参照してください。

**AD0 (ピン10)**: アドレス・ビット0。AD3を参照してください。

**DETECT1 (ピン11)**: 検出センス(ポート1)。受電機器(PD)の検出、分類、およびAC切断をおこなうLTC4259Aのハードウェアはこのピンを使ってポート1をモニタします。1k抵抗と直列に接続した0.47 $\mu$ Fの100V X7Rコンデンサを介して、DETECT1を出力ポートに接続します。両方ともリーク電流の小さなダイオードに並列に接続します(図1を参照)。AC切断が使われないときは、これらの抵抗とコンデンサは除くことができます。

**DETECT2 (ピン12)**: 検出センス(ポート2)。DETECT1を参照してください。

**DETECT3 (ピン13)**: 検出センス(ポート3)。DETECT1を参照してください。

**DETECT4 (ピン14)**: 検出センス(ポート4)。DETECT1を参照してください。

**DGND (ピン15)**: デジタル・グランド。DGNDは3.3V電源からのリターンに接続します。DGNDとAGNDは相互に接続します。

**V<sub>DD</sub> (ピン16)**: ロジック電源。DGNDを基準にした3.3V電源に接続します。V<sub>DD</sub>は少なくとも0.1 $\mu$ Fのコンデンサを使ってLTC4259Aの近くでDGNDにバイパスする必要があります。

**SHDN1 (ピン17)**: ポート1のシャットダウン・ピン(アクティブ“L”)。SHDN1を“L”に引き下げると、内部レジスタの状態に関係なく、ポート1がシャットダウンします。SHDN1を“L”に引き下げると、リセット押しボタン・レジスタ(1Ah)内のReset Port 1ビットをセットすることに相当します。SHDN1ピンは内部でフィルタ処理されるので、幅が1 $\mu$ s以下のグリッチによってLTC4259Aがリセットされるのを防ぎます。SHDN1を10k抵抗を使って“H”に引き上げるか、またはV<sub>DD</sub>に接続します。

**SHDN2 (ピン18)**: ポート2のシャットダウン・ピン(アクティブ“L”)。SHDN1を参照してください。

**SHDN3 (ピン19)**: ポート3のシャットダウン・ピン(アクティブ“L”)。SHDN1を参照してください。

**SHDN4 (ピン20)**: ポート4のシャットダウン・ピン(アクティブ“L”)。SHDN1を参照してください。

4259Af

## ピン機能

AGND (ピン21) : アナログ・グランド。AGNDは - 48V電源からのリターンに接続します。AGNDとDGNDは相互に接続します。

SENSE4 (ピン22) : ポート4の電流センス入力。SENSE4はSENSE4と $V_{EE}$ のあいだの0.5 センス抵抗を介して外付けMOSFETの電流をモニタします。センス抵抗の両端の電圧が過電流検出スレシヨルド $V_{CUT}$ を超すと、電流リミット・フォールト・タイマがカウントアップします。センス抵抗両端の電圧が電流リミット・スレシヨルド $V_{LIM}$ (一般に25mV/50mAより高い)に達すると、GATE4ピンの電圧が下がり、外付けMOSFETの電流を一定に保ちます。詳細については「アプリケーション情報」を参照してください。ポートを使用しない場合、SENSE4ピンは $V_{EE}$ に接続する必要があります。

GATE4 (ピン23) : ポート4のゲート・ドライブ。GATE4はポート4の外付けMOSFETのゲートに接続します。MOSFETがオンすると、50 $\mu$ Aのプルアップ電流源がこのピンに接続されます。ゲート電圧は $V_{EE}$ より13V(標準)高い電圧にクランプされます。電流制限状態のあいだGATE4の電圧が減少し、外付けMOSFETを流れる電流を一定に保ちます。フォールト・タイマがタイムアウトすると、GATE4は50 $\mu$ Aで引き下げられ、MOSFETがオフし、 $t_{CUT}$ イベントまたは $t_{START}$ イベントを記録します。ポートを使用しない場合、GATE4ピンはフロートさせるか、 $V_{EE}$ に接続します。

OUT4 (ピン24) : ポート4の出力電圧モニタ。OUT4は10k直列抵抗を介して出力ポートに接続します。電流制限フォールドバック回路は、ポート電圧がAGNDの18V以内のとき、電流制限スレシヨルドを下げることで、外付けMOSFETの電力消費を制限します。ポート4のPower Goodビットは、OUT4から $V_{EE}$ への電圧が2V(標準)より下に下がるとセットされます。2.5M 抵抗が内部でOUT4からAGNDに接続されています。このポートを使用しない場合、OUT4ピンはAGNDに接続するか、あるいはフロートさせておくことができます。

SENSE3 (ピン25) : ポート3の電流センス入力。SENSE4を参照してください。

GATE3 (ピン26) : ポート3のゲート・ドライブ。GATE4を参照してください。

OUT3 (ピン27) : ポート3の出力電圧モニタ。OUT4を参照してください。

$V_{EE}$  (ピン28) : - 48V電源入力。AGNDを基準にして、- 48V ~ - 57V電源に接続します。

SENSE2 (ピン29) : ポート2の電流センス入力。SENSE4を参照してください。

GATE2 (ピン30) : ポート2のゲート・ドライブ。GATE4を参照してください。

OUT2 (ピン31) : ポート2の出力電圧モニタ。OUT4を参照してください。

SENSE1 (ピン32) : ポート1の電流センス入力。SENSE4を参照してください。

GATE1 (ピン33) : ポート1のゲート・ドライブ。GATE4を参照してください。

OUT1 (ピン34) : ポート1の出力電圧モニタ。OUT4を参照してください。

AUTO (ピン35) : 自動モード入力。自動モードは、 $I^2C$ バス上にホスト・コントローラが存在しない場合であっても、LTC4259AがPDを検出して給電を開始できるようにすることを意図しています。AUTOピンの電圧は、LTC4259Aがリセットされたとき、または $V_{DD}$ のUVLO状態から抜け出したときの内部レジスタの状態を決定します(表1のレジスタ・マップを参照)。これらのレジスタのビットの状態は、必要ならば、その後 $I^2C$ インタフェースを介して変更することができます。AUTOピンのリアルタイムの状態は、Pin Status(ピン状態)レジスタ(11h)のビット0で読み取ることができます。AUTOは10k以下の抵抗を使って“H”または“L”に引っ張るか、 $V_{DD}$ またはDGNDに接続します。

OSCIN (ピン36) : 発振器入力。発振している約100Hzの信号源(できれば正弦波)に接続します。振幅は $2V_{P-P}$ で、負のピークが - 0.3Vより上、正のピークが2.5Vより下になるようにします。ポートが給電状態で、AC切断がイネーブルされているとき、この信号が増幅され、対応するDETECTピンに与えられてPDのACインピーダンスが求められます。



表1. レジスタ・マップ

ADDRESS REGISTER NAME	R/W	PORT	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	RESET STATE	RESET STATE
<b>Interrupts</b>												
00h Interrupt	RO	Global	Supply Event	I <sub>START</sub> Fault	I <sub>CUR</sub> Fault	Class Complete	Detect Complete	Disconnect	Pwr Good Event	Pwr Enable Event	Auto Pin Low	Auto Pin High
01h Int Mask	R/W	Global	Mask 7	Mask 6	Mask 5	Mask 4	Mask 3	Mask 2	Mask 1	Mask 0	1000,0000	1000,0000
<b>Events</b>												
02h Power Event	RO	4321	Pwr Good Change 4	Pwr Good Change 3	Pwr Good Change 2	Pwr Good Change 1	Pwr Enable Change 4	Pwr Enable Change 3	Pwr Enable Change 2	Pwr Enable Change 1	0000,0000	0000,0000
03h Power Event CoR	CoR		Class Complete 4	Class Complete 3	Class Complete 2	Class Complete 1	Detect Complete 4	Detect Complete 3	Detect Complete 2	Detect Complete 1	0000,0000	0000,0000
04h Detect Event	RO	4321	Class Complete 4	Class Complete 3	Class Complete 2	Class Complete 1	I <sub>CUR</sub> Fault 4	I <sub>CUR</sub> Fault 3	I <sub>CUR</sub> Fault 2	I <sub>CUR</sub> Fault 1	0000,0000	0000,0000
05h Detect Event CoR	CoR		Disconnect 4	Disconnect 3	Disconnect 2	Disconnect 1	I <sub>CUR</sub> Fault 4	I <sub>CUR</sub> Fault 3	I <sub>CUR</sub> Fault 2	I <sub>CUR</sub> Fault 1	0000,0000	0000,0000
06h Fault Event	RO	4321	Disconnect 4	Disconnect 3	Disconnect 2	Disconnect 1	I <sub>CUR</sub> Fault 4	I <sub>CUR</sub> Fault 3	I <sub>CUR</sub> Fault 2	I <sub>CUR</sub> Fault 1	0000,0000	0000,0000
07h Fault Event CoR	CoR		Reserved	Reserved	Reserved	Reserved	I <sub>START</sub> Fault 4	I <sub>START</sub> Fault 3	I <sub>START</sub> Fault 2	I <sub>START</sub> Fault 1	0000,0000	0000,0000
08h I <sub>START</sub> Event	RO	4321	Reserved	Reserved	Reserved	Reserved	I <sub>START</sub> Fault 4	I <sub>START</sub> Fault 3	I <sub>START</sub> Fault 2	I <sub>START</sub> Fault 1	0000,0000	0000,0000
09h I <sub>START</sub> Event CoR	CoR		Reserved	Reserved	Reserved	Reserved	I <sub>START</sub> Fault 4	I <sub>START</sub> Fault 3	I <sub>START</sub> Fault 2	I <sub>START</sub> Fault 1	0000,0000	0000,0000
0Ah Supply Event	RO	4321	Over Temp	Reserved	V <sub>DD</sub> UVLO	V <sub>FE</sub> UVLO	Reserved	Reserved	Osc Fail	Reserved	0011,0010**	0011,0010**
0Bh Supply Event CoR	CoR		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	0011,0010**	0011,0010**
<b>Status</b>												
0Ch Port 1 Status	RO	1	Reserved	Class Status 2	Class Status 1	Class Status 0	Reserved	Detect Status 2	Detect Status 1	Detect Status 0	0000,0000	0000,0000
0Dh Port 2 Status	RO	2	Reserved	Class Status 2	Class Status 1	Class Status 0	Reserved	Detect Status 2	Detect Status 1	Detect Status 0	0000,0000	0000,0000
0Eh Port 3 Status	RO	3	Reserved	Class Status 2	Class Status 1	Class Status 0	Reserved	Detect Status 2	Detect Status 1	Detect Status 0	0000,0000	0000,0000
0Fh Port 4 Status	RO	4	Reserved	Class Status 2	Class Status 1	Class Status 0	Reserved	Detect Status 2	Detect Status 1	Detect Status 0	0000,0000	0000,0000
10h Power Status	RO	4321	Power Good 4	Power Good 3	Power Good 2	Power Good 1	Power Enable 4	Power Enable 3	Power Enable 2	Power Enable 1	0000,0000	0000,0000
11h Pin Status	RO	Global	Reserved	Reserved	AD3 Pin Status	AD2 Pin Status	AD1 Pin Status	ADO Pin Status	Reserved	Auto Pin Status	00A <sub>2</sub> ,A <sub>1</sub> ,A <sub>0</sub> 00	00A <sub>2</sub> ,A <sub>1</sub> ,A <sub>0</sub> 01
<b>Configuration</b>												
12h Operating Mode	R/W	4321	Port 4 Mode 1	Port 4 Mode 0	Port 3 Mode 1	Port 3 Mode 0	Port 2 Mode 1	Port 2 Mode 0	Port 1 Mode 1	Port 1 Mode 0	0000,0000	1111,1111
13h Disconnect Enable	R/W	4321	AC Discon En 4	AC Discon En 3	AC Discon En 2	AC Discon En 1	DC Discon En 4	DC Discon En 3	DC Discon En 2	DC Discon En 1	0000,0000	1111,0000
14h Detect/Class Enable	R/W	4321	Class Enable 4	Class Enable 3	Class Enable 2	Class Enable 1	Detect Enable 4	Detect Enable 3	Detect Enable 2	Detect Enable 1	0000,0000	1111,1111
15h Reserved	R/W		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	0000,0000	0000,0000
16h Timing Config	R/W	Global	Reserved	Reserved	I <sub>START</sub> 1	I <sub>START</sub> 0	I <sub>CUT</sub> 1	I <sub>CUT</sub> 0	I <sub>DIS</sub> 1	I <sub>DIS</sub> 0	0000,0000	0000,0000
17h Misc Config	R/W	Global	Interrupt Pin Enable	Reserved	Osc Fail Mask	Reserved	Reserved	Reserved	Reserved	Reserved	1010,0000	1010,0000
<b>Pushbuttons</b>												
18h De/Class Restart PB	WO	4321	Restart Class 4	Restart Class 3	Restart Class 2	Restart Class 1	Restart Detect 4	Restart Detect 3	Restart Detect 2	Restart Detect 1	0000,0000	0000,0000
19h Power Enable PB	WO	4321	Power Off 4	Power Off 3	Power Off 2	Power Off 1	Power On 4	Power On 3	Power On 2	Power On 1	0000,0000	0000,0000
1Ah Reset PB	WO	Global	Clear All Interrupts	Clear Interrupt Pin	Reserved	Reset All	Reset Port 4	Reset Port 3	Reset Port 2	Reset Port 1	0000,0000	0000,0000

略号：  
 RO = 読み取り専用  
 R/W = 読み取り/書き込み  
 CoR = 読み出し時クリア  
 WO = 書き込み専用  
 \*\*V<sub>FE</sub> UVLOおよびOsc Failの各ビットの起動時の状態は、V<sub>DD</sub>電源とV<sub>FE</sub>電源が立ち上がる順序に依存します。

CLASS STATUS	DETECT STATUS	MODE BIT ENCODING
000 Class Status Unknown	000 Detect Status Unknown	00 Shutdown
001 Class 1	001 Short Circuit (<1V)	01 Manual
010 Class 2	010 Reserved	10 Semiauto
011 Class 3	011 RLOW	11 Auto
100 Class 4	100 Detect Good	
101 Undefined—Read as Class 0	101 RHIGH	
110 Class 0	110 Open Circuit	
111 Overcurrent	111 Reserved	

## レジスタの機能

### 割り込みレジスタ

Interrupt (アドレス00h) : 割り込みレジスタ(読み取り専用)。このレジスタのどれかのビットが論理1に遷移すると、Int Maskレジスタの対応するビットがセットされていればINTピン(ピン3)をアサートします。各ビットはEventレジスタ(複数)の対応するビット(複数)の論理ORです。Interruptレジスタは読み取り専用で、その各ビットを直接クリアすることはできません。Interruptレジスタのあるビットをクリアするには、適当なStatusレジスタまたはEventレジスタの対応するビットをクリアするか、またはReset Pushbuttonレジスタ(1Ah)のビット7をセットします。

Int Mask (アドレス01h) : 割り込みマスク(読み取り/書き込み)。Int Maskレジスタのどれかのビットが論理1なら、Interruptレジスタの対応するビットがセットされていれば、INTピンをアサートすることができます。Int Maskレジスタのどれかのビットが論理0なら、Interruptレジスタの対応するビットはINTピンに影響を与えません。Interruptレジスタの実際のビットはInt Maskレジスタの状態によって影響されません。

### イベント・レジスタ

Power Event (アドレス02h) : パワー・イベント・レジスタ(読み取り専用)。このレジスタの下位4ビットは、対応するポートのPower Enable状態ビットが変化することを示します。これら4ビットの論理ORがInterruptレジスタのPwr Enable Eventビットとして現れます。上位4ビットは、対応するポートのPower Good状態ビットが変化することを示します。これら4ビットの論理ORがInterruptレジスタのPwr Good Eventビットとして現れます。Power Eventビットは“H”にラッチし、アドレス03hからの読み出しによってクリアされるまで“H”に留まります。

Power Event CoR (アドレス03h) : パワー・イベント・レジスタ(読み取り時にクリア)。Power Eventレジスタをクリアするには、このアドレスから読み出します。アドレス03hはアドレス02hと同じデータを返し、アドレス03hから読み出すと、両方のアドレスのすべてのビットがクリアされます。

Detect Event (アドレス04h) : 検出イベント・レジスタ(読み取り専用)。このレジスタの下位4ビットは、対応するポートの少なくとも1回の検出サイクルが完了したことを示します。これら4ビットの論理ORがInterruptレジスタのDetect Completeビットとして現れます。上位4ビットは、対応するポートの少なくとも1回の分類サイクルが完了したことを示します。これら4ビットの論理ORがInterruptレジスタのClass Completeビットとして現れます。マニュアル・モードでは、このレジスタは要求された検出/分類サイクルが完了し、LTC4259Aがさらに命令を待っていることを示します。半自動モードまたは自動モードでは、これらのビットはPort Statusレジスタ

のDetect StatusビットとClass Statusビットが有効であることを示します。Detect Eventビットは“H”にラッチし、アドレス05hからの読み出しによってクリアされるまで“H”に留まります。

Detect Event CoR (アドレス05h) : 検出イベント・レジスタ(読み取り時にクリア)。Detect Eventレジスタをクリアするには、このアドレスから読み出します。アドレス05hはアドレス04hと同じデータを返し、アドレス05hから読み出すと、両方のアドレスのすべてのビットがクリアされます。

Fault Event (アドレス06h) : フォールト・イベント・レジスタ(読み取り専用)。このレジスタの下位4ビットは、対応するポートで $t_{\text{CUT}}$ フォールトが発生したことを示します。これら4ビットの論理ORがInterruptレジスタの $t_{\text{CUT}}$  Faultビットとして現れます。このレジスタの上位4ビットは、対応するポートでDisconnectイベントが発生したことを示します。これら4ビットの論理ORがInterruptレジスタのDisconnectビットとして現れます。Fault Eventビットは“H”にラッチし、アドレス07hからの読み出しによってクリアされるまで“H”に留まります。

Fault Event CoR (アドレス07h) : フォールト・イベント・レジスタ(読み取り時にクリア)。Fault Eventレジスタをクリアするには、このアドレスから読み出します。アドレス07hはアドレス06hと同じデータを返し、アドレス07hから読み出すと、両方のアドレスのすべてのビットがクリアされます。

$t_{\text{START}}$  Event (アドレス08h) :  $t_{\text{START}}$  イベント・レジスタ(読み取り専用)。このレジスタの下位4ビットは、対応するポートで $t_{\text{START}}$  フォールトが発生したことを示します。これら4ビットの論理ORがInterruptレジスタの $t_{\text{START}}$  Faultビットとして現れます。 $t_{\text{START}}$  Eventビットは“H”にラッチし、アドレス09hからの読み出しによってクリアされるまで“H”に留まります。このレジスタの上位4ビットは予備で、常に0として読み出されます。

$t_{\text{START}}$  Event CoR (アドレス09h) :  $t_{\text{START}}$  イベント・レジスタ(読み取り時にクリア)。Fault Eventレジスタをクリアするには、このアドレスから読み出します。アドレス09hはアドレス08hと同じデータを返し、アドレス09hから読み出すと、両方のアドレスのすべてのビットがクリアされます。

Supply Event (アドレス0Ah) : 電源イベント・レジスタ(読み取り専用)。ビット1(Osc Fail)は、ピン36(OSCIN)に信号が与えられていないか、必要な振幅に達していないため、AC切断機能が正常に動作できないときにセットされます。Osc Failビットは“H”にラッチし、アドレス0Bhからの読み出しによってクリアされるまで“H”に留まります。Osc Failビットは電源立上り後セットされ、 $V_{\text{EE}}$ 電源が存在しない場合を除きリセットされます。

## レジスタの機能

Osc Failビットの状態とは関係なく、AC切断がイネーブルされているポートへの給電は停止されます。詳細については「アプリケーション情報」の「AC切断」を参照してください。ビット4は $V_{EE}$ が $V_{EE}$  UVLOレベル(標準-28V)より下に下がっていることを示します。ビット5は $V_{DD}$ 電源が $V_{DD}$  UVLOスレッシュホールドより下に下がっていることを知らせます。ビット7はLTC4259Aのダイ温度がサーマル・シャットダウンのリミットを超したことを示します(「電気的特性」のNote 5を参照)。ビット1、4、5、および7の論理ORがInterruptレジスタのSupply Faultビットとして現れます。Supply Fault割り込みのOsc Failビットのマスキングの詳細については「Misc Configレジスタ」を参照してください。レジスタの残りのビットは予備で、常に0として読み出されます。Supply Eventビットは“H”にラッチし、アドレス0Bhからの読み出しによってクリアされるまで“H”に留まります。

Supply Event CoR (アドレス0Bh) : 電源イベント・レジスタ(読み取り時にクリア)。Supply Eventレジスタをクリアするには、このアドレスから読み出します。アドレス0Bhはアドレス0Ahと同じデータを返し、アドレス0Bhから読み出すと、両方のアドレスのすべてのビットがクリアされます。

### 状態レジスタ

Port 1 Status (アドレス0Ch) : ポート1の状態レジスタ(読み取り専用)。このレジスタはポート1の最新の検出と分類の結果を知らせます。ビット0~2はそのポートの最新の検出結果を知らせ、ビット4~6はそのポートの最新の分類結果を知らせます。給電状態だと、これらのビットは給電開始直前の検出/分類状態を知らせます。何らかの理由でポートの給電が停止すると、このレジスタのすべてのビットがクリアされます。検出と分類の状態ビットのエンコーディングについては、表1を参照してください。

Port 2 Status (アドレス0Dh) : ポート2の状態レジスタ(読み取り専用)。Port 1 Statusを参照してください。

Port 3 Status (アドレス0Eh) : ポート3の状態レジスタ(読み取り専用)。Port 1 Statusを参照してください。

Port 4 Status (アドレス0Fh) : ポート4の状態レジスタ(読み取り専用)。Port 1 Statusを参照してください。

Power Status (アドレス10h) : 給電状態レジスタ(読み取り専用)。このレジスタの下位4ビットは対応するポートのスイッチオン/スイッチオフ状態を知らせます。上位4ビット(Power Goodビット)は、対応するポートのパワー・スイッチとセンス抵抗の両端の電圧降下が2V(標準)未満で、給電開始が完了していることを示します。Power Goodビットは“H”にラッチされ、ポートがオフす

るか、またはLTC4259Aがリセットされるときだけクリアされます。

Pin Status (アドレス11h) : 外部ピンの状態レジスタ(読み取り専用)。このレジスタはAUTO(ピン35)およびAD0~AD3(ピン7~10)のデジタル入力ピンのリアルタイムの状態を知らせます。AUTOピンのロジック状態はビット0に現れ、AD0ピン~AD3ピンのロジック状態はビット2~5に現れます。残りのビットは予備で、0として読み出されます。AUTOは起動時にLTC4259Aの構成レジスタのいくつかの初期状態に影響を与えますが、起動後は何の影響も与えないので、起動時に適切な状態になることが保証されているかぎり、そうしたければ汎用入力として使用することができます。

### 構成レジスタ

Operating Mode (アドレス12h) : 動作モードの構成(読み取り/書き込み)。このレジスタにはLTC4259Aの4つのポートのそれぞれのモード・ビットが含まれています。モード・ビットのエンコーディングについては表1を参照してください。起動時に、このレジスタのすべてのビットはAUTOピン(ピン35)のロジック状態にセットされます。「アプリケーション情報」セクションの「動作モード」を参照してください。

Disconnect Enable (アドレス13h) : 切断イネーブル・レジスタ(読み取り/書き込み)。このレジスタの下位4ビットは対応するポートのDC切断検出回路をイネーブルまたはディスエーブルします。DC Discon Enableビットがセットされている場合、ポートを流れる電流が $t_{DIS}$ より長い時間 $I_{MIN}$ より下に下がるとポート回路は給電を停止します。 $I_{MIN}$ は $V_{MIN}/R_S$ に等しく、ここで $R_S$ はセンス抵抗で、IEEE 802.3afに適合するように0.5にします。ビットがクリアされていると、ポートは低電流によって給電を停止することはありません。

上位4ビットは対応するポートのAC切断をイネーブルまたはディスエーブルします。あるポートのAC切断ビットがセットされていると、LTC4259AはそのポートのDETECTピンにAC電圧を強制してAC電流を測定することにより、そのポートのインピーダンスを検出します。DETECTピンがシンクする電流が $t_{DIS}$ より長い時間 $I_{ACDMIN}$ より少ないと、ポートは給電を停止します。そのビットがクリアされていると、ポートはポート・インピーダンスが高くても(AC電流が $I_{ACDMIN}$ 未満)給電を停止することはありません。

$t_{DIS}$ をリセットするDCとACの切断信号はOR結合されていますので、(両方の検出方法ともイネーブルされていると)どちらかの検出方法により、ポートへの給電が継続されます。DC切断もAC切断もイネーブルされていないポートは、PDが取り外されても自動的に給電を停止しません。

## レジスタの機能

Detect/Class Enable (アドレス14h) : 検出と分類のイネーブル(読み取り/書き込み)。このレジスタの下位4ビットは、対応するポートが自動モードまたは半自動モードの場合、そのポートの検出回路をイネーブルします。このレジスタの上位4ビットは、対応するポートが自動モードまたは半自動モードの場合、そのポートの分類回路をイネーブルします。マニュアル・モードでは、このレジスタのビットをセットすると、LTC4259Aは対応するポートに対して分類または検出を1サイクル実行します。Detect/Class Restart PB (18h) への書き込み動作により、他のポートのDetect/Class Enableビットを乱すことなく同じ効果が得られます。

Timing Config (アドレス16h) : グローバル・タイミングの構成(読み取り/書き込み)。ビット0~1により、 $t_{DIS}$ がプログラムされます。 $t_{DIS}$ はPDが取り外された後、ポートが自動的にオフする前に経過する時間です。LTC4259Aをプログラムして、ポート電流が $I_{MIN}$ より小さいかどうか(DC切断)、またはポート・インピーダンスが高いかどうか(AC切断)をモニタすることができます。ビット2~3により、 $t_{ICUT}$ がプログラムされます。 $t_{ICUT}$ はポートの電流がオフされることなく $I_{CUT}$ を超えることができる時間です。 $t_{ICUT}$ が経過した後、電流が依然として $I_{CUT}$ を超していると、LTC4259Aは $t_{ICUT}$ フォールトを表示してそのポートをオフします。ビット4~5により、 $t_{START}$ がプログラムされます。 $t_{START}$ はポートの給電開始時に過電流状態が $t_{START}$ フォールトとみなされてポートがオフされる前に経過する時間です。デフォルト以外の $t_{ICUT}$ や $t_{START}$ を使うと、IEEE 802.3afに準拠せず、フォールト状態のあいだ外付けMOSFETによるエネルギー消費が2倍または4倍に増える可能性があることに注意してください。ビット6~7は予備で、0として読み出され/書き込まれます。タイマ・ビットのエンコーディングについては、「電気的特性」を参照してください。 $t_{START}$ 、 $t_{ICUT}$ 、およびDC切断とAC切断のタイミングの説明については、「アプリケーション情報」も参照してください。

Misc Config (アドレス17h) : その他の構成(読み取り/書き込み)。ビット5はOsc Fail Maskです。これはデフォルトでセットされます。Osc Fail Maskビットがクリアされると、OSCINピンの動作不良によりOsc FailビットがセットされてSupply Event割り込みが生じるのを防ぎます。ビット7をセットするとINTピンがイネーブルされます。このビットがリセットされると、LTC4259Aはどんな状態でもINTピンを引き下げず、Alert Responseアドレスにも応答しません。このビットはデフォルトでセットされます。

### 押しボタン・レジスタ

押しボタン・レジスタに関する注記 : 「押しボタン」レジスタは、あるビットに1が書き込まれるとイベントをトリガする特殊なレジスタです。あるビットに0を書き込んで何も起きません。標準的な読み出し/書き込みレ

ジスタ(この場合、1ビットをセットするには、レジスタを読み出してその状態を判断し、ソフトウェアで適当なビットをセットしてからレジスタ全体を書き戻します)とは異なり、押しボタン・レジスタでは、レジスタ内の他のビットの状態について知ることも、それらに影響を与えることもなしに、1ビットを書き込むことができます。押しボタン・レジスタは書き込み専用で、もし読み出すと00hを返します。

Det/Class Restart PB (アドレス18h) : 検出/分類の再スタート用押しボタン・レジスタ(書き込み専用)。マニュアル・モードでこのレジスタのどれかのビットに1を書き込むと、対応するポートの検出または分類の1サイクルがスタートまたは再スタートします。自動モードまたは半自動モードで、これを使ってポートに対応するDetect/Class Enableレジスタ(アドレス14h)のビットをセットすることもできます。下位4ビットは各ポートの検出に影響を与え、上位4ビットは分類に影響を与えます。

Power Enable PB (アドレス19h) : パワー・イネーブル用押しボタン・レジスタ(書き込み専用)。このレジスタの下位4ビットにより、対応するPort StatusレジスタのPower Enableビットがセットされ、上位4ビットにより、対応するPower Enableビットがクリアされます。このレジスタを介してPower Enableビットをセットまたはクリアすると、検出または分類の状態に関係なく、シャットダウン以外のどのモードでも電力をオンまたはオフします。 $t_{ICUT}$ 、 $t_{START}$ 、および切断のイベントは、(もしイネーブルされていると)それらが発生すると、依然として電力をオフすることに注意してください。

ポートが $t_{ICUT}$ フォールトまたは $t_{START}$ フォールトによってオフしており、 $t_{ICUT}$ タイマがゼロまでカウントしていないと、Power Enableビットはセットすることができません。 $t_{ICUT}$ のタイミングの詳細については「アプリケーション情報」を参照してください。

このレジスタを使ってPower Enableビットをクリアすると、検出とフォールトのイベント・ビット、Port Statusレジスタ、および対応するポートのDetection and Classification Enableビットもクリアされます。

Reset PB (アドレス1Ah) : リセット押しボタン(書き込み専用)。ビット0~3は、対応するポートのパワー・イネーブル・ビット、検出とフォールトのイベント・ビット、状態レジスタ、および検出と分類のイネーブル・ビットをクリアすることにより、対応するポートをリセットします。ビット4はLTC4259A全体をパワーオン・リセット状態に戻します。すべてのポートはオフし、AUTOピンは再度読み出され、クリア状態に留まる $V_{DD}$  UVLOを除いて、すべてのレジスタはそれらのパワーオン時のデフォルト値に戻ります。ビット5は予備です。それをセットしても何の効果もありません。ビット6をセットすると、割り込みピンがアサートされていれば、EventレジスタやInterruptレジスタに影響を与えることなく割り込みピンが解除されます。

## レジスタの機能

INTピンがこの方法で解除されるとき、LTC4259AがINTピンを再度引き下げることができるためには、その前にLTC4259AにINTピンを引き下げさせている条件を取り除いておく必要があります。これを行うには、イベント・レジスタを読み出してクリアするか、あるいはこの

レジスタのビット7に1を書き込みます。ビット7をセットすると、Interruptピンが解除され、すべてのイベント・レジスタをクリアし、Interruptレジスタのすべてのビットをクリアします。

## アプリケーション情報

### 概要

長年経過するにつれ、ツイストペアを使ったイーサネットはローカル・エリア・ネットワークの構築に最も広く使われる方法になりました。イーサネット標準規格の生みの親であるIEEE 802.3グループは(802.3afとして知られる)この規格の拡張版を策定しました。この規格では、データ通信に使われるのと同じケーブルを使ってDC電力を同時に送ることができます。これにより、IP電話、無線アクセス・ポイント、PDA充電ステーションなど、追加のAC電源コードや(ACアダプタとして知られる)外部電源トランスを必要としない全く新しい種類のイーサネット機器が期待されます。約13Wの電力が利用できるので、小型データ機器はAC電源のコンセントから解放され、イーサネット接続から電力供給を受けることができます。高度な検出とパワーモニタの手法により、従来のデータのためのデバイスへの損傷を防ぎながら、しかもイーサネットから電力供給を受ける新しいデバイスにはツイストペア・ケーブルを使って電力を供給します。

電力を供給するデバイスは給電装置(PSE: Power Sourcing Equipment)と呼ばれ、ケーブルから電力を引き出すデバイスは受電機器(PD: Powered Device)と呼ばれます。PSEは一般にイーサネット・スイッチ、ルーター、ハブな

ど、ケーブルが集線される配線キャビネット内でよく見られるネットワーク・スイッチング装置です。PDは多様な形態をとることができます。デジタルIP電話、無線ネットワーク・アクセス・ポイント、PDAやノートブック・コンピュータのドッキング・ステーション、携帯電話のチャージャ、HVACサーモスタットなどがネットワークから電力を引き出すことができるデバイスの例です。

PSEは図11に示されているように、信号ペアまたは予備ペアのどちらか(両方ではない)を使って公称48V DCを供給する必要があります。電力は、一般に差動データ信号をケーブルに結合するのに使われる絶縁トランスのセンタータップに給電することにより、2つのペアのあいだの電圧として与えられます。イーサネットのデータは両端でトランス結合され、差動で送られますので、送信ペアと受信ペアのあいだの電圧差はデータに影響を与えません。10base-T/100base-TXのイーサネット接続ではケーブル内の4つのペアのうち2つのペアしか使いません。未使用の、つまり予備のペアには、図11に示されているように、データに影響を与えることなく、直接給電することができます。ただし、1000base-Tでは4つのペアをすべて使用するので、1000base-Tとの互換性を必要とする場合は電源をトランスのセンタータップに接続する必要があります。

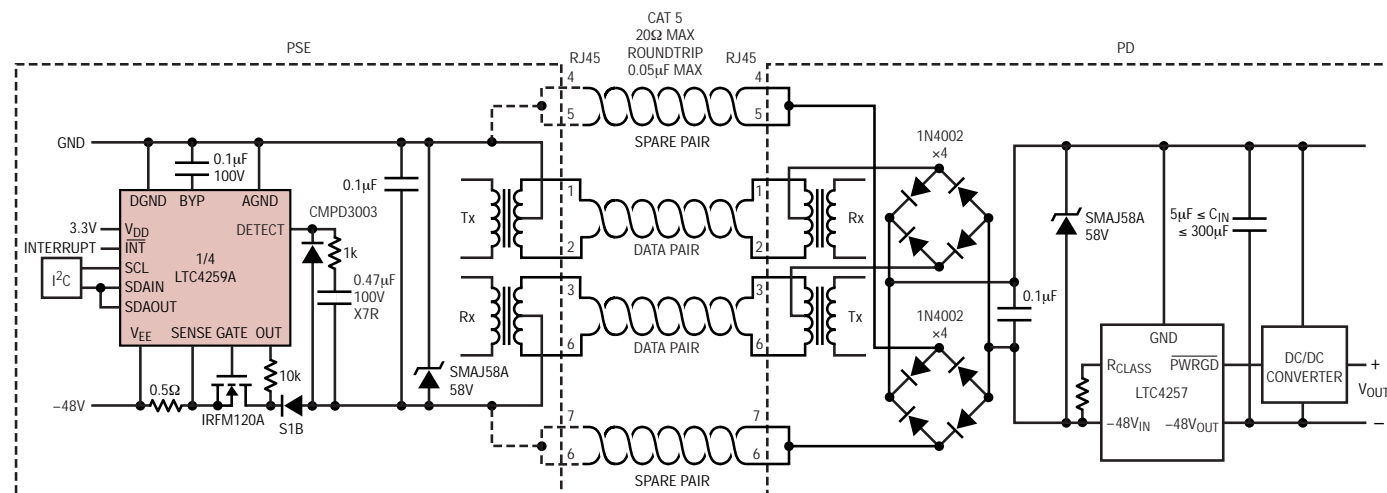


図11. システム図

4259A f11

## アプリケーション情報

LTC4259Aは、IEEE 802.3afに準拠したシステム内のPDデバイスの検出と給電の完全なソリューションを実現します。LTC4259Aは4個の独立したポートで構成され、各ポートはそれに接続されているデバイスを検出し、分類し、さらに分離された - 48Vの電源を供給する機能を備えています。LTC4259AはIEEE 802.3afに準拠したACまたはDCの方法を使ってPDが取り外されたことを検出し、PDが取り外されると - 48Vの電源をオフします。内部の制御回路がシステムの構成とタイミングを扱い、I<sup>2</sup>Cインタフェースを使ってホスト・システムと通信を行います。

### 動作モード

LTC4259Aの各ポートは、マニュアル、半自動、自動、およびシャットダウンの4つのモードのどれかで動作することができます。あるポートの動作モードはOperating Modeレジスタの適切なビットによって設定されます。外部でAUTOピンが“L”に接続されていると、LTC4259Aはすべてのポートがシャットダウン・モード状態で起動します。AUTOピンが“H”だと、すべてのポートは自動モードで覚醒します。動作モードは、AUTOピンの状態には関係なく、いつでもI<sup>2</sup>Cインタフェースを介して変更することができます。

- ・マニュアル・モードでは、ポートはアクションをとる前にホスト・システムからの命令を待ちます。ポートは命令されると1回検出サイクルまたは分類サイクルを実行し、その結果をPort Statusレジスタで知らせます。ホスト・システムがポートへの電力をオンまたはオフする時間がきたと決定すると、検出や分類の現在の状態には関係なく、Power Enable PBレジスタの適切なPower On/Offビットをセットすることにより、その決定を実行することができます。
- ・半自動モードでは、ポートはリンクに接続されているPDデバイスを検出し、分類しようと繰り返し試みません。ポートはこの情報をそのPort Statusレジスタで知らせ、そのポートに給電を開始する前に、ホスト・システムがPower Enable PBレジスタの適切なPower Onビットをセットするのを待ちます。
- ・自動モードでは、ポートはそれに接続されているPDデバイスを検出し、分類し、検出がうまくいけば、分類結果には関係なく直ちに電力をオンします。
- ・シャットダウン・モードでは、ポートはディスエーブルされており、PDの検出も給電もおこないません。また、そのポートの検出とフォールトのイベント・ビッ

ト、状態ビット、およびイネーブル・ビットはゼロにリセットされます。

LTC4259Aが現在どのモードであるかには関係なく、LTC4259Aは $t_{START}$ または $t_{CUT}$ の過電流フォールト・イベントを発生させたポートへの給電を自動的に停止します(「 $t_{CUT}$ のタイミング」と「 $t_{START}$ のタイミング」のセクションを参照)。また、Disconnect Enableレジスタの該当するDisconnect Enableビットがセットされていると、切断イベントを発生させたポートへの給電を自動的に停止します。ホスト・コントローラも、Power Enable PBレジスタの適切なPower Offビットをセットすることにより、いつでも給電を停止することができます。

### パワーオン・リセット

起動時または(RESETピンを“L”に引き下げるか、グローバルなReset Allビットに書き込むかして)LTC4259Aがリセットされたとき、すべてのポートはオフし、表1に示されているように、すべての内部レジスタは予め定められた状態になります。

レジスタのいくつかはリセット時のAUTOピンの状態に基づいて異なった状態をとります。AUTOが“H”のときのデフォルト状態では、I<sup>2</sup>Cインタフェースに何も接続されていない場合でも、LTC4259Aは自動モードでPDを検出して給電を開始することができます。

### シグネチャ検出

IEEEは802.3afの仕様に従ってPower over Ethernetに対応できるデバイスを識別する固有のペア・トゥ・ペアPDシグネチャ抵抗を規定しています。ポート電圧が10Vより低いとき、802.3afに準拠したPDは25kのシグネチャ抵抗を示します。図12に示してあるのは、PDシグネチャ抵抗(23.75k ~ 26.25kの白い四角形)と、PSEが対応するか(白い四角形)あるいは拒絶する(色のついた四角形)必要のある抵抗範囲との相互関係です。802.3afの仕様に従うと、PSEは15k ~ 19kおよび26.5k ~ 33kの2つの範囲の抵抗は受け入れても受け入れなくてもかまいません。図12の黒い四角形は、コンピュータ・ネットワークのインタフェース・カード(NIC)など、電力を受け入れられない従来の802.3デバイスで使われている150Ωのペア・トゥ・ペア終端を表していることに注意してください。

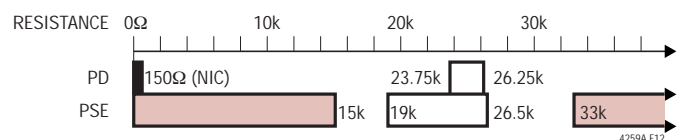


図12 . IEEE 802.3afのシグネチャ抵抗の範囲

4259Af

## アプリケーション情報

LTC4259Aはポートに( DETECT $n$ ピンを使って)2つのテスト電流を順に強制し、そのときの電圧を測定してシグネチャ抵抗を調べます。次に2つのV-Iポイントの差分を計算して、直列ダイオードに起因する電圧オフセットやポートのリーク電流に起因する電流オフセットを除いて、抵抗の傾きを求めます( 図13を参照 )。LTC4259Aは一般に有効なPDとして17k~29kのPD抵抗を受け入れ、対応するPort StatusレジスタのDetect Statusビット( ビット2~0 )でDetect Good( バイナリの100 )を通知します。開放や短絡を含む、この範囲を外れた値もDetect Statusビットで通知します。Detect Statusビットの全コードの意味については表1を参照してください。

最初のテスト・ポイントは、テスト電流をポートに強制し、ラインが安定するまで短時間待ってから電圧を測定して得られます。この結果は保存され、2番目の電流がポートに強制され、安定するのを待ってから電圧が測定されます。各ポイントを測定するのに100msかかるので、検出サイクル全体で200msかかります。

LTC4259Aは、PDがシグネチャ抵抗に並列に5 $\mu$ F以上の容量をもっていると、Detect Goodを通知しません。

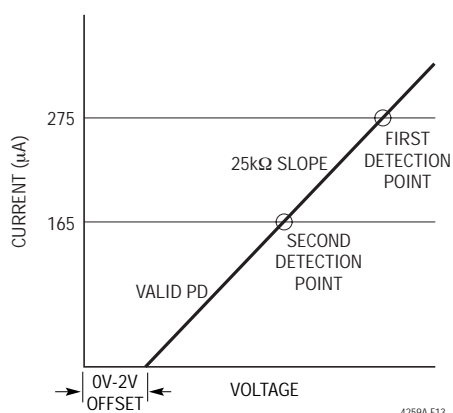


図13 . PDの検出

ポートの動作モードにより、LTC4259Aが検出サイクルを実行するか否か、またいつ実行するかが制御されます。マニュアル・モードでは、ポートはRestart Detection (レジスタ18h)命令が受け取られるまで待機します。命令が受け取られると、選択されたポートに対して完全な200msの検出サイクルを実行し、その結果を対応するPort StatusレジスタのDetect Statusビットで通知し、別の命令が受け取られるまで待機状態に戻ります。半自動モードでは、LTC4259Aは自らポートに接続されている有効なPDをテストしますが、ホスト・コントローラによって給電するように指示されるまでは給電を開始しません。ポートに対して320msごとに繰り返しテストを実行し、各サイクルの最後にDetect Statusビットを更新します。Detect Goodが通知されると、分類フェーズに進み、その結果をPort Statusレジスタで通知します。LTC4259Aは、別途指示されるまでは、ポートに対する検出を継続して繰り返します。自動モードの動作は半自動に似ています。ただし、Detect Goodが通知された後、LTC4259Aは分類フェーズを実行してから、さらなる介入なしにポートへの給電を開始します。

シグネチャ検出回路は、ポートがシャットダウン・モードのとき、給電が開始されたとき、または対応するDetect Enableビットがクリアされているときディスエーブルされます。

### 分類

PDには「分類シグネチャ」をPSEに示して、給電が開始されると消費する電力量を知らせるオプションがあります。このシグネチャはPSEのポート電圧が15.5V~20.5Vのとき流れる特定の定電流からなり、この電流レベルがそのPDが属する電力クラスを示します。LTC4259Aは、IEEE 802.3af規格にしたがって、表2に示されているPDの5つのクラスを識別します。

表2 . IEEE 802.3afの受電機器のクラス

IEEE 802.3af CLASS	CLASSIFICATION CURRENT AT PSE	MAXIMUM PD POWER	MINIMUM PSE OUTPUT POWER	CLASS DESCRIPTION
0	0mA to 5mA	12.95W	15.4W	PD Does Not Implement Classification, Unknown Power
1	8mA to 13mA	3.84W	4W	Low Power PD
2	16mA to 21mA	6.49W	7W	Medium Power PD
3	25mA to 31mA	12.95W	15.4W	High or Full Power PD
4	35mA to 45mA	12.95W	15.4W	Reserved, Power as Class 0

## アプリケーション情報

分類時、LTC4259AはDETECT $n$ ピンを通してポート電圧を制御し測定します。クラス4は現在IEEEによって将来使用するための予備として規定されていることに注意してください。PDの負荷曲線を図14に示します。10Vより下では25kのシグネチャ抵抗の浅い傾斜で始まり、14.5V ~ 20.5Vでは分類電流(この場合、クラス3)が流れます。LTC4259Aの分類のための負荷曲線も図14に示されています。65mA(標準)での電流制限までは低インピーダンスです。

LTC4259Aは半自動モードまたは自動モードで検出サイクルが完了した直後、またはマニュアル・モードで命令されたとき、ポートを分類します。18V(標準)をポートに印加し、そのときの電流を測定して、PD分類シグネチャ電流を測定します。検出されたクラスを対応するPort StatusレジスタのClass Statusビットで通知します。自動モードでは、どのクラスが検出されたかに関係なく、ポートは給電を開始することに注意してください。

分類回路は、ポートがシャットダウン・モードのとき、給電が開始されたとき、または対応するClass Enableビットがクリアされているときディスエーブルされます。

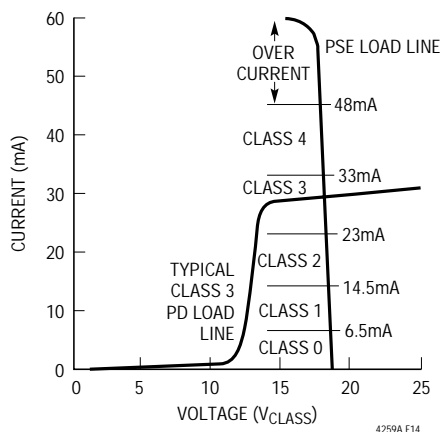


図14. PDの分類

### パワー・コントロール

LTC4259Aの主機能はPSEのポートへの給電をコントロールすることです。これをおこなうため、センス抵抗を流れる電流とOUTピンの出力電圧をモニタしながら、外付けパワーMOSFETのゲート・ドライブ電圧をコントロールします。この回路は、コントロールされていない分離された - 48V入力電源をコントロールされた状態でポートに接続し、- 48Vのバックプレーンの攪乱を最小に抑えながら、PDの電力に関する要件を満たします。

### ゲート電流

ポートへの給電を開始することが決定されると、LTC4259Aは50 $\mu$ Aの電流源を使ってGATEピンを引き上げます。通常のパワーアップ環境では、MOSFETのゲートは急速に $V_T$ (MOSFETのスレッシュホールド電圧)まで充電し、MOSFET電流は電流制限レベルまで急速に上昇し、GATEピンはサーボ制御されて適切な $I_{INRUSH}$ 充電電流を保ちます。出力の充電が完了するとMOSFETの電流が減少するので、GATEピンはMOSFETが完全にエンハンスト状態になるまで上昇し続けることができ、そのオン抵抗が最小になります。最終 $V_{GS}$ は公称13Vです。ポートがオフすると、50 $\mu$ Aの電流源がGATEピンを引き下げ、コントロールされた状態でMOSFETをオフします。

### 外付けのコンデンサは不要

GATEピンにアクティブ電流制限のための外付けコンデンサは不要なので、部品点数が減り、コストが下がります。また、これにより、過酷な過電流状態で可能な限り高速でオフすることができ、安全性を最大限高め、MOSFET、負荷デバイス、さらにボードのトレースを保護します。外付けのMOSFETのゲートにコンデンサを接続すると、ポートの短絡事故に応答するLTC4259Aの能力に悪影響を与えることがあります。

### 突入電流の制御

802.3af標準規格には2つの別個の最大電流リミット( $I_{LIM}$ と $I_{INRUSH}$ )が示されています。それらは値が同じなので、LTC4259Aは $V_{LIM}$ を使った単一の電流制限として両方を実装しています(下に説明してあります)。それらの機能はそれぞれ $t_{ICUT}$ と $t_{START}$ を使って区別されています(「 $t_{ICUT}$ のタイミング」と「 $t_{START}$ のタイミング」のセクションを参照)。標準規格との一貫性を保つため、最初の $t_{START}$ パワーアップ・イベントを指すとき、 $I_{INRUSH}$ の用語が使われます。

LTC4259Aがポートをオンするとき、ゲートを引き上げてMOSFETをオンします。LTC4259Aは電流制限状態でポートへの給電を開始し、突入電流を $I_{INRUSH}$ に制限するように設計されています。

ポートの電圧は、PDが入力ターンオン・スレッシュホールドに達してそのバイパス・コンデンサを充電するため電流を流し始め、ポートの電圧の上昇速度が鈍るポイントまで、急速に上昇します。



## アプリケーション情報

### デュアル・レベルの電流制限

PDは最大15.4Wを連続して消費し、さらに50msのあいだ最大400mAを流すことが許されています。LTC4259Aには2つの対応する電流制限のスレッシュホールドが備わっています。 $I_{CUT}$ (標準375mA)と $I_{LIM}$ (標準425mA)です。これらは次の式で与えられます。

$$I_{CUT} = V_{CUT}/R_S, \quad I_{LIM} = V_{LIM}/R_S$$

$R_S$ はセンス抵抗で、IEEE 802.3afに適合するように0.5にします。LTC4259Aはポート電流が制限された時間であれば $I_{CUT}$ を超すことを許しますが(下の「 $t_{CUT}$ のタイミング」を参照)、電流が $I_{LIM}$ を超すことは許しません。電流制限回路はセンス抵抗両端の電圧をモニタすることによりポート電流をモニタし、必要に応じてMOSFETのゲート電圧を下げて電流を $I_{LIM}$ 以下に保ちます。電流が $I_{LIM}$ より下に下がると、ゲート電圧は上限値まで回復し、MOSFETの抵抗を最小に保ちます。

### $t_{CUT}$ のタイミング

$I_{CUT} = V_{CUT}/R_S$ を超す電流がポートに流れるときは常にポートのセンス電圧は $V_{CUT}$ より高く、 $t_{CUT}$ タイマがカウントを開始します。 $t_{CUT}$ タイマの設定時間が経過したときセンス電圧が依然として $V_{CUT}$ を超していると、LTC4259Aは直ちにポートへの給電を停止し、レジスタ06h/07hの対応する $t_{CUT}$  Faultビットをセットします。 $t_{CUT}$ タイマの時間はレジスタ16hのビット3とビット2によってプログラムすることができます(表1)。

$t_{CUT}$ タイマはアップ/ダウン・カウンタで、電流制限状態で繰り返し動作させることによる熱ストレスから外付けMOSFETを保護するように設計されています。カウンタは電流が $I_{CUT}$ を超しているときカウントアップし、そうでないときは1/16の速度でカウントダウンします。カウンタはゼロで停止し、アンダーフローを防ぎます。フルカウントは $t_{CUT}$ タイマの設定時間が経過したことを示し、ポートはオフされます。

このカウントアップ/カウントダウン動作により、デューティ・サイクル保護機能が実現され、間歇的な電流制限フォールトにより累積的な熱ストレスがMOSFETに加わるのを防ぎます。ポートが電流制限状態に入ったが、タイマの設定時間が経過する前にそこから抜け出すと、カウンタはゆっくり減少し、フォールトが何度も繰り返される場合に $I_{CUT}$ タイマがポートをより早くオフできるようにします。過電流のデューティ・サイクルが $t_{CUT}$ の6.3%より小さいと、タイマは完全にリセットされます。

$t_{CUT}$ タイマの設定時間が経過してポートがシャットオフした場合、タイマは動作を継続して1/16のゆっくりした速度でカウントダウンし、カウントがゼロに戻るまではポートが再度給電されないようにします。これにより、有効なシグネチャを持ってはいるが故障しているPDによる損傷や、Power Onビットを繰り返し書き込むソフトウェアのバグからMOSFETを保護します。

ポートは $t_{CUT}$ カウンタがゼロに戻った後でなければ再給電されません。マニュアル・モードと半自動モードでは、 $t_{CUT}$ カウンタがゼロに戻った後、パワー・イネーブル命令を受け取る必要があります。自動モードでは、 $t_{CUT}$ カウンタがゼロに戻った後、LTC4259Aは有効な検出サイクルを完了する必要があります。

### $t_{START}$ のタイミング

通常のターンオン時電流制限動作とパワーアップ完了後に生じた電流制限フォールトを区別するため、LTC4259Aはパワーアップ・シーケンスが始まる時は常にタイマ( $t_{START}$ タイマ)をスタートさせます。

$t_{START}$ タイマは3つの機能を提供します。まず何よりも、ユーザーがターンオン時に異なった電流制限タイムアウト( $t_{CUT}$ ではなく $t_{START}$ )を指定できるようにします(電流制限デューティ・サイクル保護機能は有効なままです)。次に、DC切断タイマはこの期間ディスエーブルされ、 $t_{START}$ がタイムアウトした後に初めてカウントアップを開始することができます。これら両方の機能により、PDは $t_{START}$ フォールトをトリガすることなく、最大電流 $I_{INRUSH}$ を引き出してその入力容量を充電し、ブートアップし、電力供給を受け始めることができます。最後に、デバイスが $t_{START}$ の全期間中電流制限状態にあると、 $t_{CUT}$ フォールトの代わりに $t_{START}$ フォールトが生じます。これは、電流フォールトの原因を追跡するのに役立つことがあります。

PDが $t_{START}$ の終了時に $I_{CUT}$ より小さな電流を流し、 $t_{START}$ 経過後 $t_{DIS}$ 以内に最小電流を流し始める限り(DC切断がイネーブルされている場合)、フォールトは表示されません。

$t_{START}$ は「 $t_{CUT}$ のタイミング」で説明されているデューティ・サイクル保護機能も実装しており、その時間はレジスタ16hのビット5とビット4によってプログラムすることができます(表1)。

## アプリケーション情報

### フォールドバック

フォールドバックはパワーアップ時や短時間の短絡状態でMOSFETの電力消費を制限するように設計されています。低いポート出力電圧では、MOSFET両端の電圧は高く、大きな電流が流れると電力消費が大きくなります。フォールドバックはポートの出力電圧をモニタして、 $V_{LIM}$ 電流制限レベルを18Vのポート電圧での最大値(標準212.5mV)からその約1/7である0Vのポート電圧での最大値(標準30mV)に直線的に減らします。0.5  $\Omega$ のセンス抵抗を使うと、これにより、短絡電流は最大425mA(標準)の電流リミット値ではなく、60mA(標準)に制限されます。LTC4259Aがフォールドバック状態のとき、 $t_{ICUT}$  タイマはアクティブです。

### 短絡保護

ポートが突如短絡されると、MOSFETの電力消費が非常に高いレベルに上昇し、通常の電流制限回路が応答できる前にMOSFETを危険にさらすことがあります。別の短絡電流制限回路が大きな過電流イベント(0.5  $\Omega$ のセンス抵抗では $V_{SENSE} > 275mV$ 、 $> 550mA$ )を監視し、このようなイベントが発生すると直ちにGATEピンを引き下げ、(GATEに外付けコンデンサが接続されていないと)1 $\mu s$ 以内にMOSFETをオフします。約100 $\mu s$ 後、GATEは再度上昇することができ、通常の電流制限回路が取って代わるので、 $I_{LIM}$ 電流が流れて $t_{ICUT}$ タイマがカウントアップすることが可能になります。短絡時、 $I_{LIM}$ はフォールドバック機能によって公称値の1/7に減少します。

### 外付けMOSFETの選択

ポートへの給電は外付けのパワーMOSFETを使って安定化されます。これらのMOSFETは前に説明したように制御されて、IEEE 802.3af規格を満たします。通常動作では、ポートへの給電が開始され、PDのバイパス・コンデンサがポート電圧まで充電されると、外付けMOSFETは非常にわずかな電力しか消費しません。このことは、この用途には小さなMOSFETが適していることを示します。残念なことに、IEEE 802.3afの他の要件により、大きな電力を消費可能なMOSFETが必要とされます。ポートのパワーアップ時、ポートの電圧はPDがオンする前に30V以上に達する必要があります。その後、PDのバイパス・コンデンサが充電されるにつれ、ポート電圧は0Vに下がることができます。IEEEに従えば、PDは180 $\mu F$ のコンデンサを直接ポートに接続することができ、PSEは

少なくとも50msのあいだ400mA ~ 450mAの電流リミットでそのコンデンサを充電する必要があります。

さらに極端な例は、検出時に適切なシグネチャを示すが、その後、1 $\mu F$ のコンデンサに並列に接続された値の小さな抵抗(たとえば、50  $\Omega$ )のように振舞う、この規格に準拠しないPDの場合です。PSEが規格に準拠しないこのようなPDを20Vまで充電すると、50  $\Omega$ の抵抗には400mA(IEEEで予め定めている最小 $I_{LIM}$ 電流リミット)が流れるので、 $t_{START}$ の残りの時間ポート電圧は20Vに保たれます。外付けMOSFETには400mA ~ 450mAで24V ~ 37V  $V_{DS}$ が現れ、60m $\Omega$ (標準)のあいだ9.6W ~ 16.7Wを消費します。

LTC4259Aはフォールドバックを実装しており、MOSFETの $V_{DS}$ が高いと電流リミットを下げます(「フォールドバック」のセクションを参照)。フォールドバック機能がないと、短絡状態のPD、または規格に準拠しないわずかに数  $\Omega$ の抵抗のPDに電力供給するとき、MOSFETは60m $\Omega$ (標準)のあいだ25.7Wも消費することになります。フォールドバックでは、MOSFETは $t_{START}$ のあいだ最大18Wを消費します。

LTC4259Aのデューティ・サイクル保護機能は、オン時間より15倍長いオフ時間を強制して、故障しているPDに対する継続的な電力供給の試みによるMOSFETの損傷を防ぎます。システムのソフトウェアにより、さらに長い待ち時間を強制することもできます。LTC4259Aが(「動作モード」のところでも詳細に説明されている)半自動モードまたはマニュアル・モードで動作しているとき、ホスト・コントローラから命令されるまではポートへの給電を開始しません。ホスト・コントローラは、 $t_{START}$ と $t_{ICUT}$ のフォールトを追跡することにより、これらのフォールトのどちらかが発生した後、たとえLTC4259AがDetect Goodを通知しても、ポートを再度オンするのを遅らせることができます。このようにして、ホスト・コントローラはMOSFETの冷却時間を確保します。この冷却時間は小さなMOSFETを繰り返される熱サイクルから保護するようにプログラムすることができます。LTC4259Aには $t_{ICUT}$ と $t_{START}$ のデューティ・サイクル保護機能が内蔵されており(「 $t_{ICUT}$ のタイミング」と「 $t_{START}$ のタイミング」のセクションを参照)これは図1に示されているMOSFETを保護するのに十分です。

## アプリケーション情報

あるMOSFETをシステムに採用する前に、その安全動作領域 (SOA) をそのデバイスが遭遇する最悪条件 (故障したPDへの電流供給など) と注意深く比較します。トランジエント・サプレッサ、ポリヒューズ、およびPD切断の長い待ち時間の利用は、外付けMOSFETに加わる極端なトランジエントを低減するための方策として効果的です。

### サージ・サプレッサと回路の保護

IEEE 802.3af Power over Ethernetは、建物内のすべての人の (おそらく意図せぬ) 酷使に耐え抜く必要がありますので、設計の難しいホットスワップ・アプリケーションです。ネットワークやテレコム用カードケース内のボードの活線挿抜は熟練したテクニシャンやネットワーク管理者が行ないますが、建物内の誰でもデバイスをネットワークに差し込むことができます。それどころか、カードケースでは、給電される物理的な領域はカードケースに限定されます。Power over Ethernetでは、PSEが最長100メートル離れたデバイスまで給電します。イーサネット・ケーブルには、(業者が壁に孔を開けたり、誰かがうっかりネジ回しを当ててはいけないところに当ててしまったり) あらゆる種類の事故による切断や短絡の危険があります。したがって、Power over Ethernetの給電装置 (PSE) は、これらの事故に対応できるように設計する必要があります。

これらのうちで最も過酷なのは給電されているポートの短絡です。PSEから見えるものはそれと短絡箇所のあいだのCAT-5ケーブルの長さに依存します。長いケーブルの他端で短絡が生じた場合、ケーブルのインダクタンスにより、ケーブルを流れる電流はそれほど急速に増加することはなく、LTC4259Aに内蔵されている短絡保護機能が状況に対応してポートをオフします。いくらかのエネルギーがケーブルに保存されますが、MOSFETがオフした後、ケーブルのインダクタンスによって電圧がフライバックするとき、ポートのトランジエント・サプレッサがポート電圧をクランプします。ケーブルを流れる電流は600mAほどなので、SMAJ58Aまたは相当デバイスにより、フライバックのあいだポートの電圧を容易に制御することができます。ケーブルが接続されていない場合、PSEのRJ-45コネクタのところで給電状態のポートが短絡すると、ポートがシャットダウンされる前に高い電流レベルに達することがあります。エネルギーを貯めるケーブル・インダクタンスがないので、ポートが一旦シャットダウンされれば、状況は制御された状態になります。

短い (したがってインダクタンスの小さな) CAT-5ケーブルの場合、ポートに短絡が生じたとき、急速な電流増加が制限されません。LTC4259Aの短絡回路シャットダウン機能は高速ですが、MOSFETをオフすることができる前にケーブルには数アンペアを超す電流が流れるおそれがあります。電流が大きいと、この短いケーブルは大きなエネルギーを伴うフライバックを生じるので、トランジエント・サプレッサによってコントロールする必要があります。10Aを超す電流を通過させても順方向電圧が数ボルトを超さないサージ・サプレッサを選択することが重要です。ポートが正電圧になると、検出ダイオード ( $D_{DETn}$ ) を順方向にバイアスすることがあり、LTC4259Aの  $DETECTn$  ピンも正電圧になって、 $DETECTn$  のクランプを生じることがあります。これは、一般にLTC4259Aに損傷を与えることはありませんが、極端な場合にはLTC4259Aをリセットすることがあります。LTC4259Aはリセットすると割り込み信号を出力し、ホスト・コントローラに通知します。それを受けて、ホスト・コントローラはLTC4259Aを通常の動作モードに戻します。

大きなトランジエント・サージ・サプレッサは通常LTC4259AとPSEの残りの部分をこれらのフォールトから保護することができます。RJ-45コネクタとLTC4259Aおよびそれに関連した回路の間にポリヒューズを配置すると、さらに保護機能が強化されます。安全に関する要件を満たすため、ポリヒューズはPSEの出力のグラウンド・レグに配置します。

### DC切断

DC切断機能は給電中は常にセンス抵抗の電圧をモニタして、PDに最小規定電流が流れていることを確認します。ポート電流が7.5mA (標準) より低いと切断タイマがカウントアップします。 $t_{DIS}$  タイマがタイムアウトすると、対応するポートがオフし、フォールト・レジスタの Disconnect ビットがセットされます。 $t_{DIS}$  タイマがタイムアウトする前に低電流状態ではなくると、タイマはリセットします。低電流状態が再度生じると、タイマは最初からカウントを開始します。低電流回路にはグリッチ・フィルタが含まれており、ノイズを除去します。

DC切断機能は、Disconnectレジスタ (13h) の対応する DC Discon Enable ビットをクリアして、ディスエーブルすることができます。 $t_{DIS}$  タイマの時間はレジスタ16hのビット1とビット0によってプログラムすることができます。

## アプリケーション情報

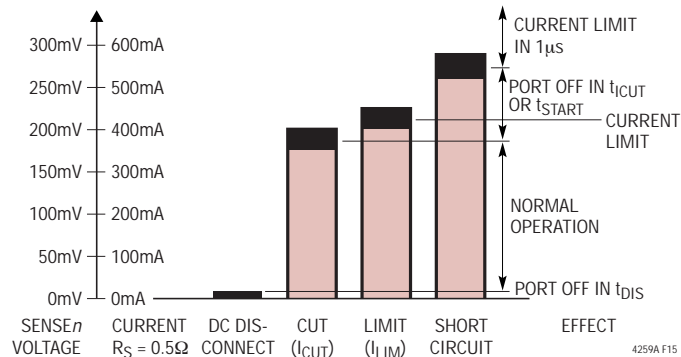


図15. LTC4259Aの電流センスとリミット値

LTC4259Aは多様な電流センスとリミット値のスレッシュホールドを実装して、ポートを流れる電流を制御します。これらのスレッシュホールドと、電流がスレッシュホールドを横切るとLTC4259Aがとるアクションをグラフで図15に表してあります。

### AC切断

AC切断はポートのインピーダンスをモニターすることによりPDが接続されているか否かを検出する別の方法です。LTC4259AはOSCINピンの入力信号を増幅して、DETECTピンからPower over Ethernet接続に強制します。オームの法則 ( $Z_{PORT} = V_{AC}/I_{AC}$ ) を使って接続のインピーダンスを計算します。DC切断と同様、AC切断の検出回路は切断タイマをコントロールします。PDを取り外すことにより接続インピーダンスが増加すると(AC電流が  $I_{ACD_{MIN}}$  より下に下がると)、切断タイマがカウントアップします。インピーダンスが高いままだと(AC電流が  $I_{ACD_{MIN}}$  より下に留まると)、切断タイマは  $t_{DIS}$  までカウントし、ポートはオフし、FaultレジスタのそのポートのDisconnectビットがセットされます。切断タイマの最大カウントに達するよりも前にインピーダンスが低下すると(AC電流が  $I_{ACD_{MIN}}$  より上に上昇すると)、タイマはリセットし、ポートへの給電が継続します。

DC切断と同様、AC切断機能も、Disconnectレジスタ (13h) の対応するAC Discon Enableビットをクリアして、ディスエーブルすることができます。AC切断はレジスタ16hでプログラムされた  $t_{DIS}$  時間にも影響を受けます。

DC切断とは異なり、AC切断ではタイマへ常時出力がおこなわれるわけではありません。代わりに、AC切断で

は、ポートがその期間中に  $I_{ACD_{MIN}}$  を超す電流を流すと、OSCIN信号のサイクル ( $1/f_{OSCIN}$ ) ごとにタイマを1回リセットします。この振る舞いにより、PDを取り外した後ポートをオフするまでの時間 ( $t_{DIS}$ ) は、 $t_{DIS1}$  ビットと  $t_{DIS0}$  ビットによってプログラムされた遅延から最大でOSCIN ( $1/f_{OSCIN}$ ) の1サイクルだけずれる可能性があります。 $t_{DIS}$  タイマをリセットするAC切断信号とDC切断信号は相互にOR結合されていることに注意してください。したがって、両方の切断モードがインエーブルされているポートについては、たとえ片方がPDが接続されていないと通知しても、他方の切断検出方法により、ポートへの給電を継続することができます。

AC切断回路はポートとPower over Ethernetの接続をDETECTピンから検出します。図16に示されているように、0.47 $\mu$ Fの100V X7Rコンデンサ ( $C_{DET}$ ) と1k抵抗 ( $R_{DET}$ ) をポートのDETECTピンからポートの出力へ接続します。これにより、ポートのインピーダンスを検出するAC経路が与えられます。1k抵抗 ( $R_{DET}$ ) はポートのパワーオンとパワーオフ時にこの経路を流れる電流を制限します。

AC切断を正しく機能させるには、コンデンサの大きさの選定が重要です。 $C_{PSE}$  (図16) はPSE側の接続インピーダンスをコントロールします。その容量はAC切断機能がPDを検出できるように十分低く保つ必要があります。100Hzに近い動作では、0.1 $\mu$ Fの  $C_{PSE}$  を使います。他方、 $C_{DET}$  はOSCINの周波数の信号を通過させるのに十分なだけ大きくする必要があります。およそ100Hzの  $f_{OSCIN}$  では、少なくとも0.47 $\mu$ Fの100V X7Rコンデンサを使います。 $C_{PSE}$ 、 $C_{DET}$ 、 $R_{DET}$  の大きさおよび周波数  $f_{OSCIN}$  は、経済的で、物理的に小さく、機能的に堅牢なシステムになるように選択します。さらに、完全なPower over EthernetのAC切断システム (PSE、トランス、ケーブル、PDなど) は複雑ですので、 $C_{DET}$ 、 $R_{DET}$ 、および  $C_{PSE}$  の推奨値からの逸脱はお勧めできません。サポートに関しては、LTCのアプリケーション部にご相談ください。

$C_{DET}$  と  $C_{PSE}$  の選択に際しては、コンデンサの電圧デレーティングについて十分検討してください。X7Rの誘電体を使って製造されたコンデンサは定格電圧で規定容量の約60%の容量になります。

## アプリケーション情報

定格電圧の半分で動作させると、X7Rコンデンサは規定容量の80%以上の容量を示します。50Vや100Vのチップ・コンデンサで一般に使用される他のセラミック誘電体では、容量が電圧とともにもっと大幅に低下します。Y5VまたはZ5Uのコンデンサは、定格電圧ではゼロ・バイアスの容量の30%以下の容量を示します。また、セラミック・コンデンサは高い温度では容量が大きく減少することがあります。動作バイアスで所期の容量を得るには、100Vまたは250VのX7RコンデンサをLTC4259Aとともに使います。

図17に示されているように、PSEとPD間のPower over Ethernet接続には大きな容量が含まれます。CAT-3とCAT-5のペア・トゥ・ペアの容量はIEEE 802.3標準規格で厳密に定められておらず、ケーブル・メーカーも十分コントロールしていないので、ケーブルの容量はとくにやっかいな問題となります。パッチパネル、追加コネクタ、古い配線などがPSEとPDの間に配置されることを考

慮すると、ペア・トゥ・ペアの容量はかなり漠然とした量になります。したがって、(AC切断で使用される周波数での)ポートのインピーダンスへのケーブルの寄与は問題となることがあります。 $f_{OSCIN}$ が100Hzであると仮定して、 $0.1\mu\text{F}$ の $C_{PSE}$ と $0.05\mu\text{F}$ のケーブルの容量を足すと、100Hzでのポートのインピーダンスは10kになります。PDのACシグネチャ抵抗は約25kです。26.25kの最大許容抵抗のPDを接続すると、接続インピーダンスは約8kになります。ポートのインピーダンスはPDが接続されていても20%しか減少しませんので、AC切断回路は非常に敏感でなければなりません。OSCINピンが正弦波でドライブされるとき、LTC4259AはPower over Ethernet接続の容量性のインピーダンスと抵抗性のインピーダンスを区別することができます。AC切断は(長いCAT-3ケーブルまたはCAT-5ケーブルのワーストケースよりほぼ1桁大きな値である)約 $0.2\mu\text{F}$ までの容量に対しては信頼できます。

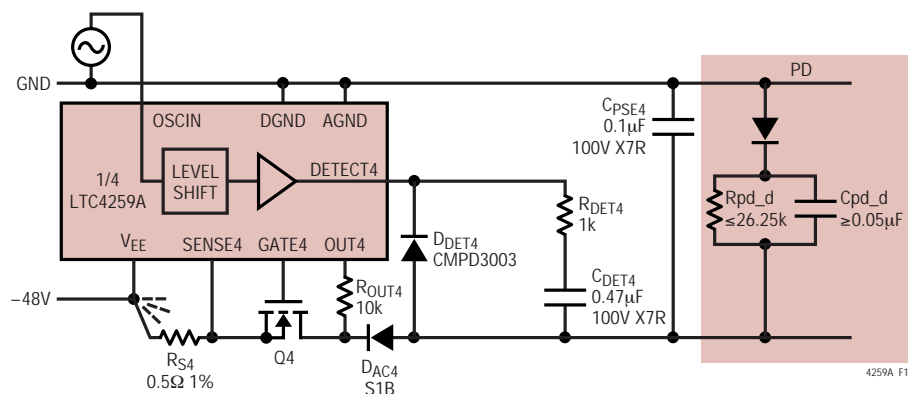


図16．1個のAC切断ポートのアプリケーション回路(ポート4が示されている)

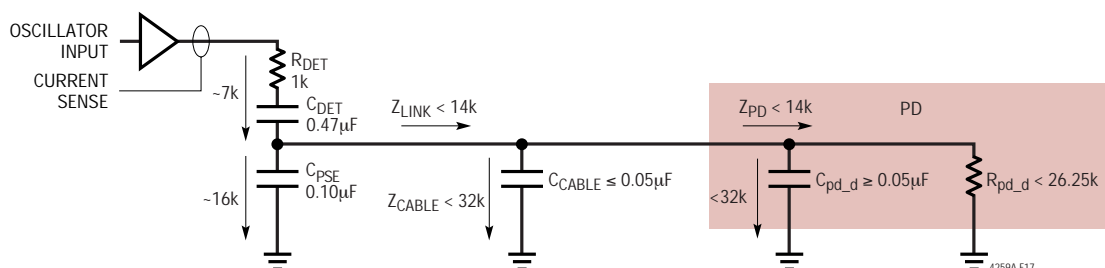


図17．簡略化したAC切断回路と100Hzでのインピーダンス

## アプリケーション情報

### OSCIN入力と発振器の要件

AC切断はOSCINピンに接続される外部発振源に依存します。LTC4259Aは、OSCIN信号を増幅してポートのDETECTピンに与えることにより、ポートのインピーダンスを測定します(図16を参照)。発振器の信号の誤差は測定されたポートのインピーダンスの誤差になりますので、発振器は十分コントロールします。図17に示されているように、AC切断によって検出される負荷は抵抗成分と大きなリアクティブ成分を含んでいます。PDのシグネチャ抵抗を流れる電流はAC信号の振幅に依存しますが、コンデンサに流れ込む電流はスルーレートに依存します( $I = C \cdot dV/dt$ )。したがって、LTC4259AはOSCIN信号の振幅とスルーレートに敏感ですが、周波数とオフセットの誤差にはそれほど影響されません。内部リミットにより、LTC4259Aは振幅の大きすぎるOSCIN信号の悪影響から保護されます。

振幅とスルーレートがコントロールされた発振器を作成するには、とくに発振器の周波数を正確にコントロールする必要がないので、多くの方法があります。発振器回路については、LTCのアプリケーション部にご相談ください。

前に触れたように、AC切断は複雑なので、異なった部品サイズを使って設計し直すのは難しい作業になります。最適性能を得るには、推奨部品値を使い、 $2V_{P,P}$ でオフセットが1.2Vの100Hz正弦波でOSCINをドライブします。IEEE 802.3af規格では、ポートのスルーレートの上限は100V/msに、AC信号の周波数の上限は500Hzに設定されていることに注意してください。OSCINからDETECT $n$ への電圧利得 $A_{VACD}$ により、電圧利得だけスルーレートが増加します。 $A_{VACD}$ の最大絶対値は3.3V/V(標準 $\pm 3V$ )なので、OSCINピンのスルーレートは30V/msより小さくする必要があります。推奨値の $C_{DET}$ 、 $R_{DET}$ 、および $C_{PSE}$ を使うと、OSCINのスルーレートは約0.6V/msなので問題ありません。

LTC4259AのOSCIN入力のアンプは、(DGND - 0.3V) ~ ( $V_{DD} + 0.5V$ )の信号を受け入れます。このアンプの利得は-1で、DGNDより1.2V高い電圧を基準にしています。2.2Vを超すOSCIN電圧では、アンプの出力がDGNDによってクリップされます。クリッピングがあまりにも

大きくて、信号のミッドレンジ(ここでコントロールされたスルーレートが生じます)さえクリップされるまでは、クリッピングによってAC切断の性能が影響を受けることはありません。過度のクリッピングを避けるには、OSCINのミッドレンジ(つまり平均電圧)を0.9V ~ 1.5Vに保ちます。DGNDより下のOSCIN信号はそのピンのESD保護回路と相互に反応する可能性があり、お勧めできません。また、PDが取り外された直後のポートの最大AC振幅に関するIEEE 802.3afの仕様を満たすかどうかはOSCIN入力のピーク・トゥ・ピーク振幅に依存します。LTC4259AのOSCIN入力回路でのクリッピングにより、この仕様を超さないことが一般に保証されます。通常動作では、DETECT $n$ ピンのAC切断出力の振幅はピーク・トゥ・ピークで6V近くになることに注意してください。 $R_{DET}$ 、 $C_{DET}$ 、および $C_{PSE}$ の組み合わせにより信号が減衰するので、この振幅のおよそ半分が、ポートが給電を開始したときや、PDが取り外された直後にポートに現れます。PDが接続されているとき、このポートにはほとんどAC信号が存在しません。

LTC4259Aは発振信号が存在するかどうか調べるためピン36をモニタします。信号が存在せず、Osc Fail Maskビットがセットされていると、Osc Fail(Supply Eventレジスタのビット1)がセットされ、割り込みをトリガします。LTC4259AのAC切断回路はOSCIN信号を自己チェックするので、Osc FailビットはPSEホスト・コントローラに警告するためのフォールト・インジケータとして意図されています。Osc Failビットには割り込みをトリガする以上の効果はありません。クリアされたOsc Failビットは、OSCIN信号が250ms毎に少なくとも1回は0.6Vより下に下がり、1.8Vより上に上がったことを示しています。これは、AC切断機能が正常に動作することを必ずしも保証しません。ただし、AC切断機能自体はOSCIN信号をさらに徹底してテストします。OSCIN信号が存在しないか、または衰微していると、AC切断がイネーブルされている(DC切断はイネーブルされていない)給電状態のポートは自動的に切断されます。LTC4259Aが(起動時に、またはReset AllビットやRESETピンによって)リセットされた後、Osc Failビットがセットされます。Osc Failビットが一旦クリアされると、OSCINピンの信号が無効になるか、または新たにリセットされた場合にだけセットされます。

## アプリケーション情報

### シリアル・デジタル・インタフェース

LTC4259AはSMBus規格のバージョン2.0( <http://smbus.org> から入手できます )で規定しているような標準2線インタフェースを使ってホスト( マスタ )と通信します。SMBusはI<sup>2</sup>Cバスを拡張したもので、LTC4259AはI<sup>2</sup>C標準規格にも適合しています。バス上の信号のタイミングの相互関係をタイミング図( 図6 ~ 図10 )に示します。2つのバスラインSDAとSCLはバスが使用されていないとき“ H ”になる必要があります。これらのラインには外付けのプルアップ抵抗または( LTC1694 SMBusアクセラレータのような )電流源が必要です。SDAとSCLのプルアップが存在しないか、LTC4259AのV<sub>DD</sub>ピンのような同じ正電源に接続されていないか、またはLTC4259Aに電源が接続されたときアクティブになっていないと、LTC4259AがI<sup>2</sup>CバスにSTART信号があると判断する可能性があります。割り込みピン( INT )はI<sup>2</sup>Cのトランザクションとトランザクションの間にだけ更新されます。したがって、SCLとSDAのラインがフロートしていることによりLTC4259Aが起動するときSTART信号ありと判断すると、バスにSTOP信号が現れるまで割り込みをアサートしません( INTを“ L ”に引き下げません )。標準的なアプリケーションではI<sup>2</sup>Cバスには直ちにトラヒックが生じ、LTC4259Aは起動後直ちにSTOPに遭遇するので、この瞬時に起きる状態は気付かれぬまま過ぎてしまうでしょう。

### シリアル・デジタル・インタフェースの分離

IEEE 802.3afでは、ネットワーク・セグメントは各ネットワーク・インタフェース・デバイスのシャーシ・グラウンドから電氣的に分離されていることが要求されています。ただし、ネットワーク・セグメントは、それらのセグメントが1つの建物内の1つの配電システムに属するデバイスに接続されていれば、相互に分離されている必要はありません。

電力供給を受ける小型のイーサネット・スイッチのような簡単なデバイスの場合、分離された電源を使ってデバイス全体に電力供給することにより、この要件は満たされます。この実装は、デバイスがツイストペア・イーサネット以外に電氣的に導通したポートを持たない場合だけ使用することができます。この場合、LTC4259AのSDAINピンとSDAOUTピンを連結して、I<sup>2</sup>C/SMBusの標準SDAピンとして機能させることができます。

デバイスがさらに大きなシステムの一部であったり、シリアル・ポートを備えていたり、あるいは別の何らかの理由により保護されたグラウンドを基準にする必要がある場合、LTC4259Aを組み込んだPower over Ethernetサブシステムは、システムの他の部分から電氣的に分離されている必要があります。LTC4259Aには双方向データ・ラインの入出力機能用に別個のピン( SDAINとSDAOUT )が備わっています。このため、光カプラを使ってLTC4259Aとシステム・コントローラ間のデータ・バスを容易に分離できます。分離インタフェースの実装例を図18に示します。LTC4259AのSDAOUTピンは光カプラの入力を直接ドライブするように設計されていますが、普通のI<sup>2</sup>Cデバイスは一般にそうすることができません。システム・コントローラ側から光カプラへのI<sup>2</sup>C信号をバッファするのにU1が使われています。SDAとSCLの遷移時の余分なエッジを防ぐため、シュミットトリガを使う必要があります。

### バス・アドレスとプロトコル

LTC4259Aは読み出し/書き込み可能なスレーブ・デバイスです。マスタはWrite Byte、Read Byte、およびReceive Byteの各プロトコルを使ってLTC4259Aと通信することができます。LTC4259Aの主シリアル・バス・アドレスは、ピンAD3 ~ AD0で指定されている(010A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>)<sub>b</sub>です。すべてのLTC4259Aはアドレス(0110000)<sub>b</sub>にも応答しますので、ホストはバス上のすべてのLTC4259Aに対して同じ命令を1回のトランザクションで書き込むことができます。また、LTC4259AがINTピンを( “ L ”に引き下げて )アサートしていると、そのLTC4259AはReceive Byteプロトコルを使ってAlert Response Address (0001100)<sub>b</sub>に対してアクノリッジを返します。

### START信号とSTOP信号

バスがアイドル状態のときは、SCLとSDAの両方が“ H ”でなければなりません。バス・マスタ( 一般にホスト・コントローラ )は、START信号を送信することにより、( LTC4259Aのような )スレーブ・デバイスとの通信の開始を知らせます。

## アプリケーション情報

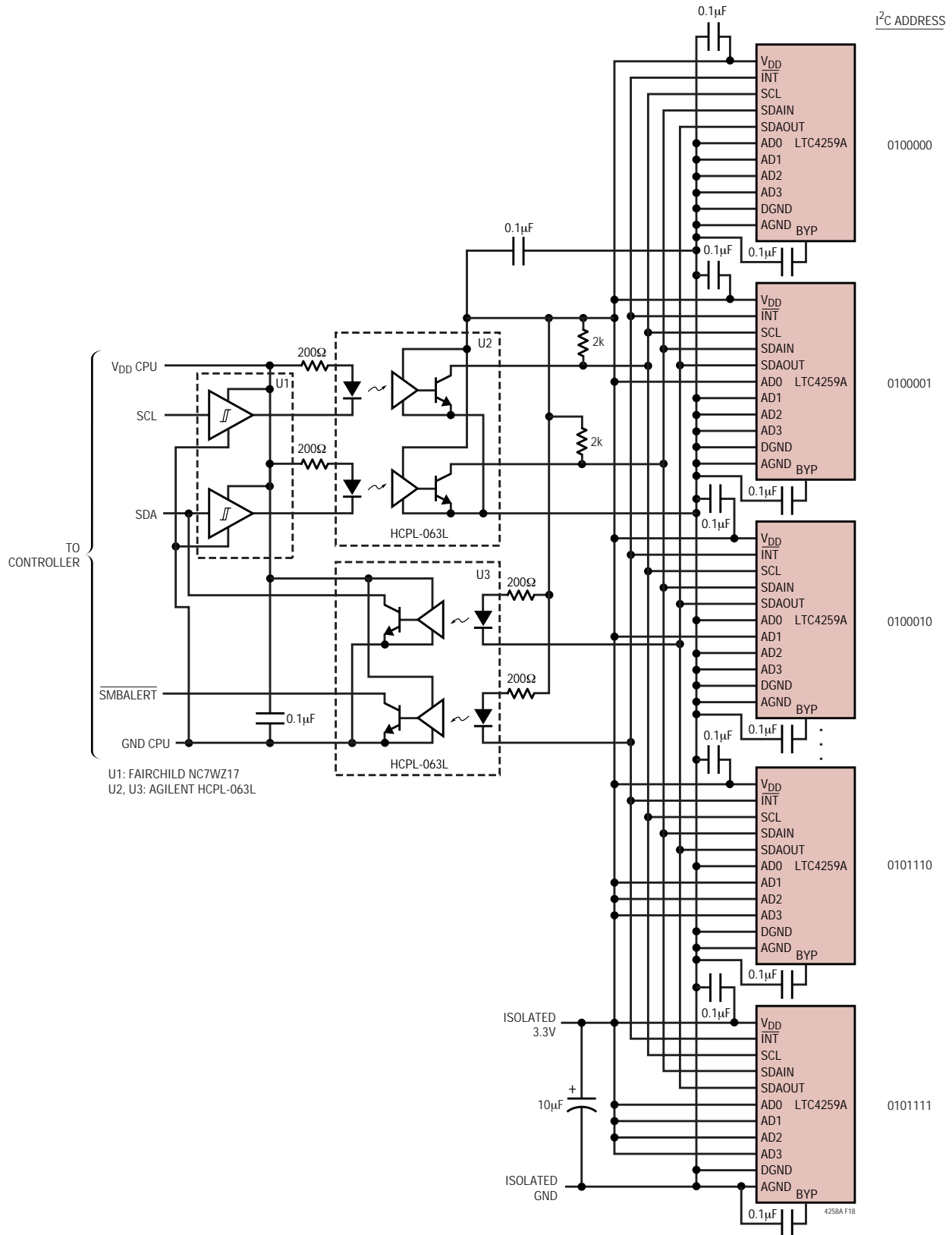


図18 . I<sup>2</sup>Cバスの光絶縁



## アプリケーション情報

START信号はSCLを“H”に保ったままSDAを“H”から“L”に遷移させて発生させます。マスタはスレーブとの通信を終了したら、STOP信号を送信します。STOP信号はSCLを“H”に保ったままSDAを“L”から“H”に遷移させて発生させます。この後、バスは別のSMBusデバイスまたはI<sup>2</sup>Cデバイスとの通信のために自由に使えます。

### アクノリッジ

アクノリッジ信号はマスタとスレーブ間のハンドシェイクに使われます。スレーブによって生成されるアクノリッジ(アクティブ“L”)は、情報の最新のバイトが受信されたことをマスタに知らせます。対応するSCLクロック・パルスは常にマスタによって生成されます。マスタはアクノリッジ・クロック・パルスのあいだにSDAライン(“H”)を解放します。アクノリッジ・クロック・パルスが“H”のあいだSDAラインが安定して“L”に留まるように、スレーブはこのクロック・パルスのあいだSDAラインを引き下げる必要があります。マスタがスレーブ・デバイスから読み出しているとき、トランザクションが完了しない限り、データ・バイトの後に続くビットでデータ・バイトの受信をアクノリッジするのはマスタの責任です。トランザクションが完了したら、マスタはアクノリッジせずに、STOP信号を発信して通信を終了します。

### Write Byte プロトコル

START信号と7ビットのバス・アドレス、さらにそれに続くWriteビット(Wr) = 0によって、マスタはLTC4259Aとの通信を開始します。LTC4259Aが自己のアドレスを認識するとアクノリッジを返しますので、マスタは命令バイトを送って、マスタはLTC4259Aのどの内部レジスタに書き込みたいかを知らせます。LTC4259Aはアクノリッジを返し、命令バイトの下位5ビットを自己のRegister Addressレジスタにラッチします。命令バイトの下位5ビットだけがLTC4259Aによってチェックされ、上位3ビットは無視されます。マスタは次にデータ・バイトを送ります。LTC4259Aはもう一度アクノリッジを返し、データを適当なコントロール・レジスタにラッチします。最後に、マスタはSTOP信号を送って通信を終了します。STOP信号を受け取ると、Register Addressレジスタがクリアされます(図7を参照)。

### Read Byte プロトコル

START信号と同じ7ビットのバス・アドレス、さらにそれに続くWriteビット(Wr) = 0によって、マスタはLTC4259Aからの通信を開始します。LTC4259Aが自己のアドレスを認識するとアクノリッジを返しますので、マスタは命令バイトを送って、マスタはLTC4259Aのどの内部レジスタから読み出したいかを知らせます。LTC4259Aはアクノリッジを返し、命令バイトの下位5ビットを自己のRegister Addressレジスタにラッチします。この時点で、マスタはREPEATED START信号、同じ7ビットのバス・アドレス、さらにそれに続くRead Bit (Rd) = 1を送ります。LTC4259Aはアクノリッジを返し、要求されたレジスタの内容を送ります。最後に、マスタはアクノリッジを返さず、STOP信号を送って通信を終了します。STOP信号を受け取ると、Register Addressレジスタがクリアされます(図8を参照)。

### Receive Byte プロトコル

LTC4259AはSTOP信号ごとにRegister Addressレジスタをクリアするので、Interrupt割り込みレジスタ(レジスタ0)はRead ByteプロトコルだけでなくReceive Byteプロトコルでも読み出せます。このプロトコルでは、マスタはSTART信号、7ビットのバス・アドレス、さらにそれに続くRead Bit (Rd) = 1を使ってLTC4259Aとの通信を開始します。LTC4259Aはアクノリッジを返し、Interruptレジスタの内容を送ります。マスタは次にアクノリッジを返さず、STOP信号を送って通信を終了します(図9を参照)。

### アラート応答アドレスと $\overline{\text{INT}}$ ピン

いくつかのLTC4259Aが共通の $\overline{\text{INT}}$ ラインを共有しているシステムでは、マスタはARA(Alert Response Address: アラート応答アドレス)を使ってどのLTC4259Aが割り込みを開始したか判断することができます。

マスタはSTART信号、7ビットのARAバス・アドレス(0001100)<sub>b</sub>、さらにそれに続くRead Bit (Rd) = 1によってARAプロシージャを開始します。あるLTC4259Aが $\overline{\text{INT}}$ ピンをアサートしていると、それがアクノリッジを返し、その7ビットのバス・アドレス(010A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>)<sub>b</sub>と1を送ります(図10を参照)。

## アプリケーション情報

アドレスを送っているあいだ、そのLTC4259AはSDAINピンをモニタし、標準のI<sup>2</sup>Cバス・アービトレーションを使って、同時にアドレスを送っている別のデバイスがあるかどうか調べます。LTC4259Aが1を送っているとき、SCLの立上りエッジでSDAINピンから0を読み取ると、下位のアドレスの別のデバイスが送信しているとみなして、そのLTC4259Aは直ちに転送をアポートし、次のARAサイクルまで待ってから再トライします。転送が完了したら、LTC4259AはINTピンを引き下げのを止めます。INTピンがこの方法で解除されるとき、または1がClear Interrupt Pinビット(レジスタ1Ahのビット6)に書き込まれるとき、LTC4259AがINTピンを再度引き下げることができるためには、その前にLTC4259AにINTピンを引き下げさせている条件を取り除いておく必要があります。これを行うには、イベント・レジスタを読み出してクリアするか、あるいはClear All Interruptsビット(レジスタ1Ahのビット7)に1を書き込みます。INTピンの状態はI<sup>2</sup>Cのトランザクションとトランザクションの間にだけ変化することができるので、あるトランザクションが完了した後、新しいI<sup>2</sup>Cバスの通信が開始される前に割り込みがクリアされ、あるいは新しい割り込みが発生します。そうしたければ、INTピンの代わりに、アラート応答アドレスを一定間隔でポーリングすることができます。どれかのデバイスがアラート応答アドレスにアクノリッジを返してきたら、INTラインは(接続されていれば)L<sup>1</sup>になっているはずで

### システム・ソフトウェアの戦略

LTC4259Aのコントロールはその動作モードの設定に依存します。3つの選択肢が「動作モード」のセクションで説明されています。自動モードでは、LTC4259Aはホスト・コントローラからの指示なしに、自立して動作することができます。自動モードで動作しているLTC4259Aはそれに接続されているすべての有効なPDに給電しますので、PSEは15.4W/ポートを供給する必要があります。-48V電源の電力条件を下げるため、PSEシステムは電力の利用状況を追跡して、十分な電力を供給できるときだけポートをオンすることができます。IEEEはこれを電力割り当てアルゴリズムと表現し、PSEはPDのクラス(表2を参照)に対して保証されている電力を供給できない限りPDに給電してはならず、電力割り当ては各PDの電力消費の履歴のみに基づいてはならない、とい

う2つの制限を置いています。PSEが電力割り当てを実現するには、PSEのプロセッサ/コントローラはポートに給電するか否かをコントロールする必要があります(LTC4259Aを自動モードで動作させることはできません)。LTC4259Aは自動的にPDを検出して分類し、その情報をホスト・コントローラに知らせ、ホスト・コントローラが給電するか否かを決定しますので、半自動モードはぴったりこの要件を満たします。LTC4259Aをマニュアル・モードで動作させても、コントローラがポートに給電するか否かを決定できますが、コントローラは検出と分類もコントロールする必要があります。ホスト・コントローラが処理能力の限界近くで動作していると、マニュアル・モードのLTC4259Aを導いて検出、分類、さらにポートのターンオンをIEEEの要求する最大950ms以内に実行させることはできないかもしれません。

半自動モードでは不必要にコントローラに負担をかけずに、コントローラがポートへの給電を決定できるようにするので、標準的PSEでは、LTC4259Aは半自動モードで動作します。F4hの割り込みマスクでは、LTC4259AはPDの検出と分類を完了した後ホストに通知し、その時点でホストは十分な電力を供給できるかどうか判断し、LTC4259Aにそのポートをオンするように命令することができます。同様に、LTC4259Aはポートの給電が停止したら割り込みが発生します。ホストはLTC4259Aの割り込みレジスタを読み出すことにより、ポートがオフしたのは過電流によってか( $t_{START}$ フォールトまたは $t_{CUT}$ フォールト)、それともPDが取り外されたからか(切断イベント)を判断することができます。ホストは次に、切断されたPDによって消費されなくなった電力を反映させるため、利用可能な電力量を更新します。割り込みマスクのMSBをセットすると、LTC4259AはPSE内部の障害によって生じたフォールト状態を通知しますので、ホストはLTC4259Aが正しく動作していることをチェックするためにポーリングを行う必要があります。割り込みで駆動されるこのシステム・アーキテクチャにより、コントローラはポートへの給電に関して最終決定権を持つことができ、同時に、割り込みはPDが検出されたか、またはフォールト状態のとき発生するだけなので、コントローラの処理量に関する要件を最小に抑えることができます。

## アプリケーション情報

LTC4259Aは、802.3afに準拠していない(他の方法で検出することができる)古いパワード・イーサネット・デバイスに給電するのに使うこともできます。LTC4259Aはこれらの古い検出方法を直接実装してはいませんが、ソフトウェアまたは外部回路が非準拠デバイスを検出できれば、ホスト・コントローラはポートに給電するようにLTC4259Aに命令することができ、IEEE準拠の検出および分類を迂回して非準拠デバイスに給電することができます。

### ロジック・レベルの電源

各ポートに給電するのに使われる48Vに加えて、LTC4259Aのデジタル部分に給電するためにロジック・レベルの電源が必要です。設計を簡単にし、電圧分離の要件を満たすため、ロジック・レベルの電源は分離された-48V電源から発生することができます。LT<sup>®</sup>1619を使って-48Vから3.3Vの電流モードの電源をコントロールする方法の一例を図19に示します。この昇圧コンバータのトポロジーにはLT1619電流モード・コントローラと、3.3Vの出力電圧を-48Vのレールに反射させる電流

ミラーが使われており、もっとな大きな従来の抵抗電圧分割器よりも安定化の許容差が改善されています。この手法では、トランスなしの設計で高い精度が実現されます。

### IEEE 802.3af準拠と外付け部品の選択

LTC4259AはIEEE 802.3afに準拠した給電装置(PSE)内で給電をコントロールするように設計されています。LTC4259Aの正しい動作は外部信号と電源(-48V電源(V<sub>EE</sub>)やOSCIN発振器など)、センス抵抗(R<sub>S</sub>)などの外付け部品、さらにおそらく外部のマイクロプロセッサで実行されるソフトウェアなどに依存することがありますので、PSEにLTC4259Aを使用しても802.3afの準拠が保証されるわけではありませんが、LTC4259Aを使用すると目的の大半が達成されます。このセクションでは、802.3afに準拠したPSEを作成するために、LTC4259Aと組み合わせる残りの要素について説明します。以下の各パラグラフでは、PSEを規格に適合させるのに重要な部品とともに、PSEを規格外にしてしまうおそれのある落とし穴についても取り上げます。

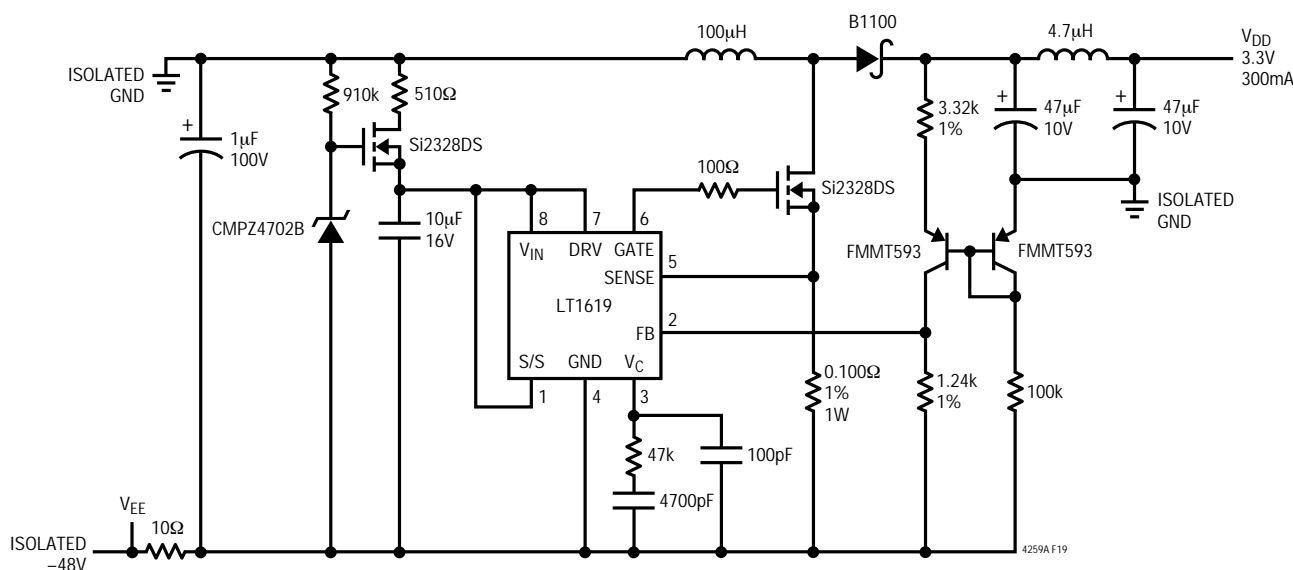


図19 . -48Vから3.3Vへの昇圧コンバータ

## アプリケーション情報

サポートについては、当社にお問い合わせください。

### センス抵抗

LTC4259Aは0.5 Ωのセンス抵抗 ( $R_S$ ) を使って各ポートを流れる電流をモニタするように設計されています。センス抵抗の値は電力損失を減らすために小さく抑えられていますので、LTC4259Aは小さな電圧を測定する必要があります。各ポートには最大450mA流れる可能性があり、この電流はセンス抵抗および関連した回路基板のトレースを流れます。回路基板の寄生抵抗がセンス抵抗両端の電圧降下をあいまいにするのを防ぐため、LTC4259Aはケルビン検出を使って抵抗の電圧を測定する必要があります。ケルビン検出を実現する1つの方法は図1に示されている「スター・グランド」です。別のオプションとして、-48V電源プレーンを使ってセンス抵抗とLTC4259Aの $V_{EE}$ ピンを接続します。これらのどちらの方法も、回路基板の寄生抵抗によって生じる電圧がLTC4259Aの電流測定精度に影響を与えるのを防ぎます。センス抵抗の精度はIEEEのパラメータ $I_{INRUSH}$ 、 $I_{LIM}$ 、 $I_{CUT}$ 、および $I_{MIN}$ の測定に直接影響を与えます。したがって、IEEEに準拠するには、0.5%より高い精度の抵抗を使います。

### パワーMOSFET

LTC4259Aはイーサネット・ポートを流れる電流を安定化するためにパワーMOSFETをコントロールします。特定の条件では、これらのMOSFETは大きな電力を消費します。これらのデバイスが満たす必要のある条件の詳細については「外付けMOSFETの選択」のセクションを参照してください。

### 同相チョークコイル

非給電方式と給電方式の両方のイーサネット接続で、各ポートに同相チョークコイルを使うと(データ転送、電力伝送、およびEMIの)最高の性能が得られます。コスト削減の名目で隣接する2つのポート間で同相チョークコイルを共有した設計を見かけます。非給電方式の

イーサネットであっても、チョークコイルの共有は推奨できません。2つのポートの電流がチョークコイルを通ると、チョークコイルはどちらのポートの同相電流も制限することができません。チョークコイルは両方のポートの同相電流の和をコントロールするだけです。ポートからのケーブルは一般に最大200m離れたデバイス同士を接続しますから、電流ループが形成されることがあります。このようなループでは同相電流は一方のポートに流れ込んで他方のポートから流れ出し、電流の和はゼロなので、チョークコイルはこれを防ぎません。ペアになったポート間のこの相互反応に対して別の見方をすると、チョークコイルはポートの同相成分を結合するトランスとして機能します。給電しないイーサネットでは、同相電流はグランド・ループのような非理想状態から生じます。これは通常動作の一部ではありません。ところが、Power over Ethernetではポートを通して電力を(つまり大きな電流を)送ります。同相電流は通常動作の副産物なのです。「外付けMOSFETの選択」のセクションと下の「電源」の見出しの箇所の説明されているように、ポートへの給電のオン/オフが生じるとき大きなトランジェントが生じることがあります。給電されているポートが短絡すると(「サージ・サプレッサと回路の保護」を参照)ポートの同相電流が大き過ぎることがあります。2つのポート間で同相チョークコイルを共有すると、起動時、切断時、およびフォールト発生時のトランジェントが一方から他方に結合します。最終結果は、802.3afからの短時間の逸脱から間歇動作まで、さらにポートに接続されている(PSEとPDの両方の)回路を損傷するおそれのある過電圧に至るまで様々です。

### 検出、ACブロッキング、およびトランジェント・サプレッサ用ダイオード

検出と分類のあいだ、LTC4259Aは図16の検出ダイオード $D_{DET}$ を使ってポート電圧を検出します。 $D_{DET}$ の両端に過度の電圧降下が生じると、LTC4259Aの検出と分類の結果が損なわれます。

## アプリケーション情報

0.4mAでの順方向電圧降下が0.7Vより小さく、50mAでの順方向電圧降下が0.9Vより小さいダイオードをD<sub>DET</sub>用に選択します。

ポートが給電されているとき、検出用ダイオードは逆バイアスされます。検出ダイオードを流れるどんなリーク電流も、LTC4259AがC<sub>DET</sub>コンデンサによって結合されたすべての電流を検出するのを妨げます。高い温度で70Vの逆バイアスでは、1N4148のような標準的スイッチング・ダイオードのリーク電流は50 $\mu$ Aを超すことがあります。このようなリーク電流はLTC4259AのI<sub>ACDMIN</sub>スレッシュホールドの大きな部分を占めるので、AC切断に影響を与えます。CMPD3003のようなリーク電流の小さな検出ダイオードを使うことを推奨します。

ACブロッキング・ダイオードはリーク電流が大きくなるとAC切断の検出に影響を与えることがあります。ACブロッキング・ダイオード(図16のD<sub>AC</sub>)のリーク電流が増え始めると、イーサネット・ポートのインピーダンスに寄与し、潜在的にDETECTピンからI<sub>ACDMIN</sub>を引き出すのに十分なだけインピーダンスを低くし、ポートを給電された状態に保ちます。さらに可能性が高いのは、ACブロッキング・ダイオードを流れるリーク電流によりAC切断スレッシュホールドが十分大きくないレベルにシフトし、PSEを規格外れにします。一般に、ダイオードのリーク電流は電圧や温度のストレスによって引き起こされます。定格が100V以上で少なくとも0.5Wの電力消費を扱えるダイオードはこのアプリケーションに利用できます。他の部品のリークもAC切断に同様の影響を与えることがあり、リークが大きくなるとDC切断にさえ影響することがあります。慎重を要する部品の中にはトランジェント・サージ・サプレッサがあります。図1に示されているデバイスは58Vでリーク電流が5 $\mu$ A未満に定格が設定されています。ただし、潜在的にストレスに起因するリーク電流がありますので、これらのアプリケーションのダイオードの選択に際しては、十分なマージンをとる必要があります。

### コンデンサ

C<sub>DET</sub>とC<sub>PSE</sub>の両方のコンデンサのサイズは、LTC4259AのAC切断検出の正しい動作にとって重要です。詳細については「AC切断」のセクションを参照してください。また、C<sub>PSE</sub>も給電されているポートの電圧安定性に重要なことがあります。ポートの電圧の不安定性は、V<sub>EE</sub>(-48V電源)が十分バイパスされていれば一般に問題ではありません。これら両方の理由により、多くのセラミック誘電体のDC電圧係数と温度係数は非常に大きいことに注意してください。0.22 $\mu$ Fのセラミック・コンデンサは、50VDC~100VDCで動作するとき、多くの場合0.22 $\mu$ Fから大きくかけ離れています。定格が100V以上のX7Rのコンデンサは電圧依存性が小さく、また比較的小型で高価ではないので、C<sub>DET</sub>とC<sub>PSE</sub>にはこれらを使ってください。

### 電源

LTC4259Aは3.3V(V<sub>DD</sub>)と-48V(V<sub>EE</sub>)の電源を必要とします。これらの電源のどちらも安定化が良くないと、規格外れになります。IEEEでは44V~57VのPSE出力電圧が要求されます。LTC4259Aがイーサネット・ポートに給電を開始するとき、LTC4259Aはポートを流れる電流をコントロールしてV<sub>EE</sub>の乱れを最小に抑えます。ただし、V<sub>EE</sub>電源のダンピングが十分でなかったり、他の理由で不安定だと、V<sub>EE</sub>電圧がIEEEで規定するリミットから外れ、PSEのすべてのポートが規格から外れる可能性があります。このシナリオは、PDが取り外されるとき、電流が直ちにゼロに下がることがあるのでさらに悪化するおそれがあります。両方の場合とも、ポートの電圧は常に-44V~-57Vの範囲に留まる必要があります。さらに、802.3afの仕様では、PSEに対する具体的なリップル、ノイズ、および負荷レギュレーションの要件を定めています。他の要因とともに、V<sub>DD</sub>またはV<sub>EE</sub>に対する攪乱も、検出、分類、およびAC切断検出に悪影響を与えることがあります。V<sub>DD</sub>電源とV<sub>EE</sub>電源の適切なバイパスと安定性が重要です。

V<sub>EE</sub>電源に影響を与えるおそれのある別の問題は電力不足で、電源電圧の規定範囲外への垂下を引き起こします。

## アプリケーション情報

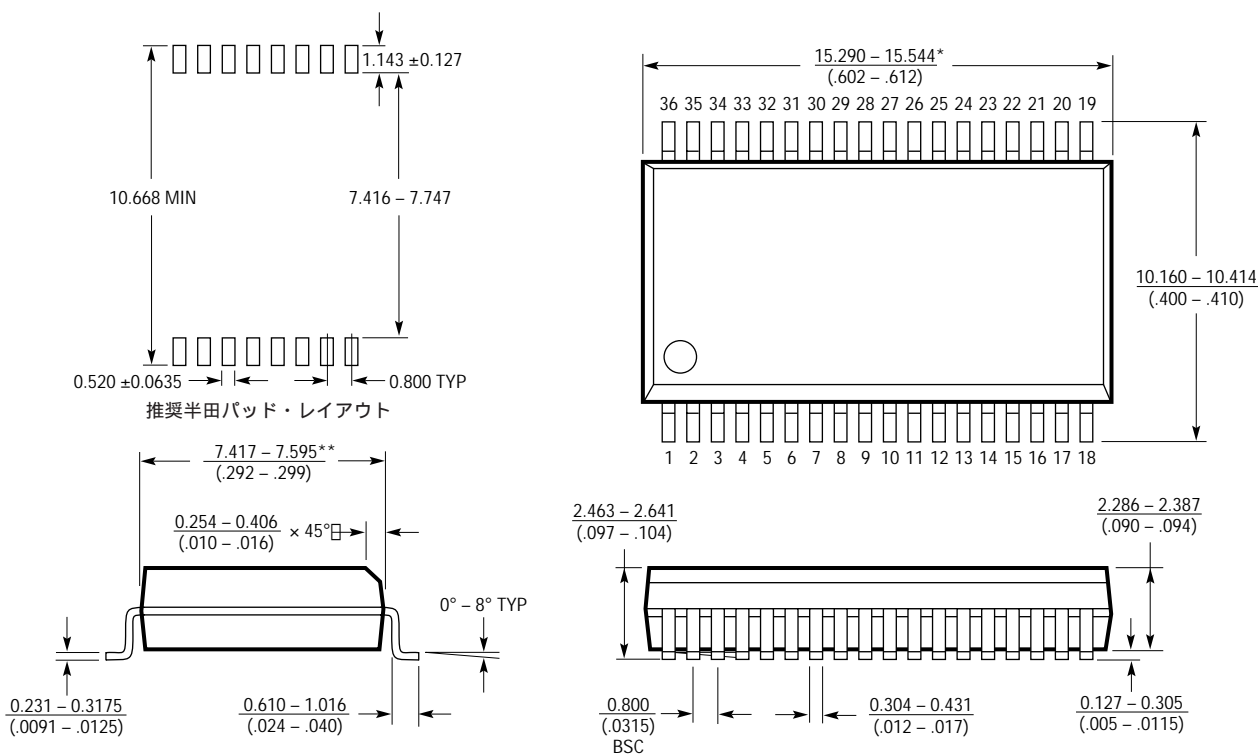
802.3afの仕様では、PSEがPDに給電する場合、PSEはPDの分類に基づいてPDが要求する最大電力レベルを供給できなければならないと規定しています。この仕様では、PSEに残されている供給量を越す電力をPDが必要とする場合、PSEがそのポートに給電しないことを選択することを許しています。15.4W・(PSEのイーサネット・ポートの数)よりも小さな能力の $V_{EE}$ 電源を使ってPSEが作成される場合、電力不足が生じたときポートへの給電を停止する電力割り当てのアルゴリズムを実装する必要があります。仕様はPSEが最大5%のデュティ・サイクルで400mAを供給することも要求しているので、 $V_{EE}$ 電源はPSEがPDに供給する最大総電力より少なくとも数パーセント大きい供給能力が必要です。最後に、LTC4259Aは $V_{EE}$ から電流を引き出します。 $V_{DD}$ 電源を $V_{EE}$ から派生させている場合、その電力をスイッチャの効率で割った電力も $V_{EE}$ 電源の能力に加算する必要があります。

### OSCIN入力

AC切断はOSCINピンに与えられる発振信号にも依存します。この信号の要件は「OSCIN入力と発振器の要件」のセクションで示されています。OSCINピンの帯域外ノイズにより、LTC4259AのPD未接続の検出能力が妨げられます。OSCINピンに現れるどのノイズもLTC4259Aによって増幅され、(AC切断がイネーブルされている給電中のポートの)DETECTピンから出力されます。DETECTピンに接続された容量により、このノイズをドライブするのに必要な電流が容易に $I_{ACDMIN}$ を越すことがあり、DETECTピンの電流検出をトリップしてポートへの給電を継続します。回路基板のレイアウトの際、発振器からOSCINピンへの配線をデジタル・クロックやデータ・ラインなどのノイズ源から離します。(図20に示されている)1段RCローパス・フィルタは帯域外ノイズを減衰します。

## パッケージ寸法

GWパッケージ  
36ピン・プラスチックSSOP(ワイド型0.300インチ)  
(Reference LTC DWG # 05-08-1642)



## NOTE :

- 標準寸法 : ミリメートル
- 寸法は  $\frac{\text{ミリメートル}}{(\text{インチ})}$

\*寸法にはモールドのバリを含まない。モールドのバリは各サイドで  $0.152\text{mm}$  ( $0.006^*$ ) を超えないこと

\*\*寸法にはリード間のバリを含まない。リード間のバリは各サイドで  $0.254\text{mm}$  ( $0.010^*$ ) を超えてはならない

GW36 SSOP 0502

# LTC4259A

## 標準的応用例

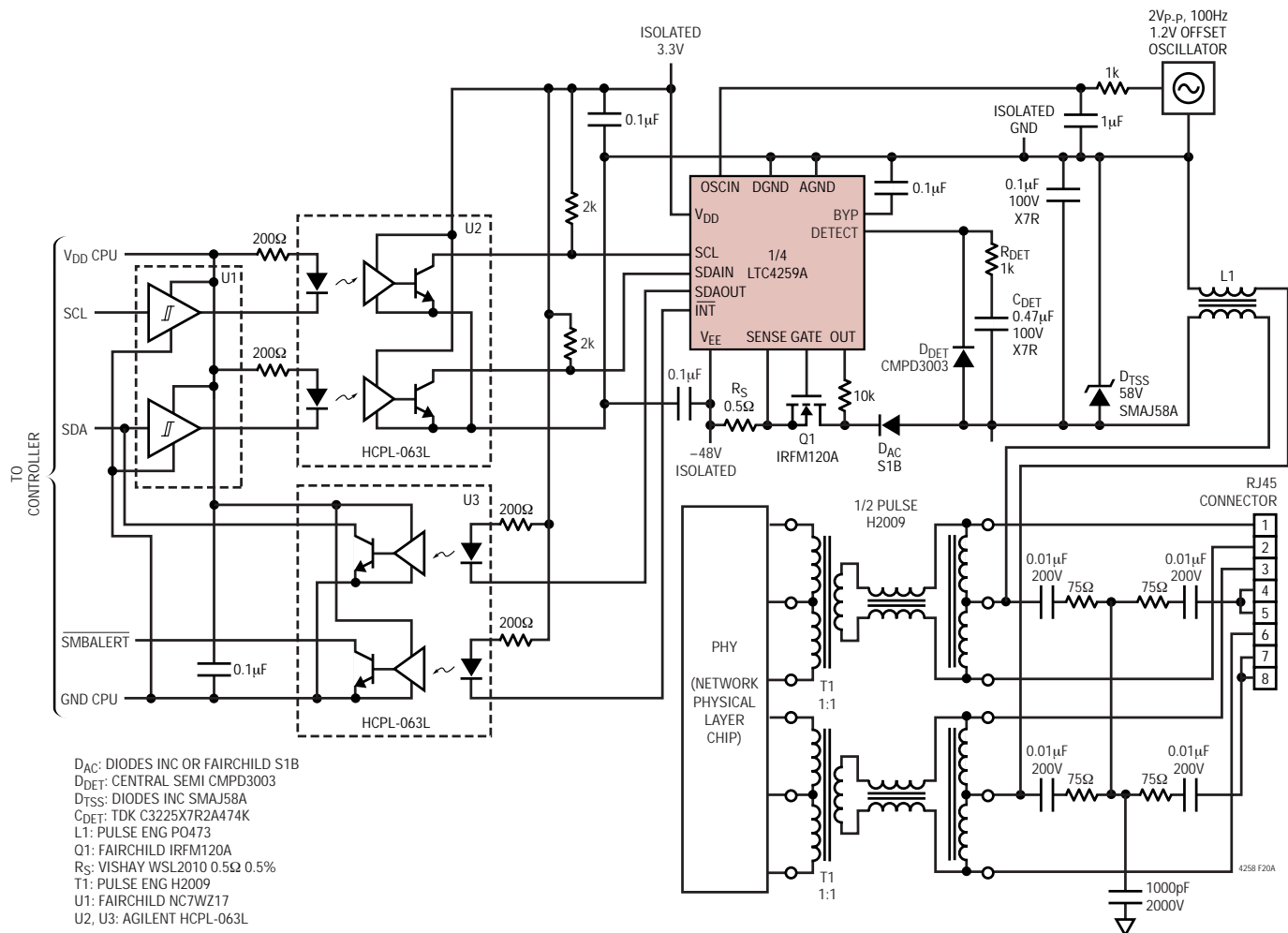


図20 . Powered Ethernetの1個の分離された完全なポート

## 関連製品

製品番号	説明	注釈
LT1619	低電圧電流モードPWMコントローラ	300mAで - 48Vから3.3V、MSOPパッケージ
LTC1694	SMBus/I <sup>2</sup> Cアクセラレータ	改善されたI <sup>2</sup> C立上り時間、データの完全性を保証
LTC4255	クワッド・ネットワーク・パワー・コントローラ	IEEE 802.3af非準拠の電流レベル
LTC4257	IEEE 802.3af PD用インタフェース・コントローラ	100V 400mAの内部スイッチ、プログラム可能な分類機能
LTC4257-1	IEEE 802.3af PD用インタフェース・コントローラ	100V 400mAデュアル電流制限
LTC4258	クワッドIEEE 802.3af Power Over Ethernetコントローラ	DC切断のみ

4259Af