

特長

- 電源の入ったバックプレーンでボードを安全に挿抜可能
- 10.8V ~ 80V の電源電圧を制御
- フォールドバック電流制限
- 開放と過電流フォルトを検出
- 外付け N チャンネル MOSFET をドライブ
- 過電流フォルト後に自動リトライまたはラッチオフ動作
- 電源電圧上昇速度をプログラム可能
- MOSFET の開放を検出
- 過電圧および低電圧検出精度：1%
- 16 ピン SSOP パッケージ

アプリケーション

- 活線挿入
- 電子回路ブレーカ / 電源バス
- 産業用ハイサイド・スイッチ / 回路ブレーカ
- 24V/48V 産業用 / 警報システム
- 12V、24V および 48V 配電システムに最適
- 48V テレコム・システム


説明

LT[®]4256-3 は、電源の入ったバックプレーンに対し、ボードの安全な挿入 / 引き抜きを可能にする高電圧 Hot Swap[™] コントローラです。内蔵のドライバは、ハイサイド N-チャンネル MOSFET ゲートを制御し、10.8V ~ 80V の電源電圧を供給します。このデバイスは、負荷電流が異常に低くなったことを知らせる開回路検出 (OPEN) 出力を装備しています。

LT4256-3 はまた、調整可能なアナログ・フォールドバック電流制限機能を搭載しています。プログラム可能な期間を過ぎても電源が電流制限状態にあると、N チャンネル MOSFET がオフし、PWRGD 出力が“L”になり、LT4256-3 はタイムアウト遅延後に自動的に再起動するか、UV ピンが“L”になるまでラッチオフします。LT4256-3 が過電流フォルト後に自動的に再起動するか、あるいは UV ピンが“L”になるまでラッチオフするかは、RETRY ピンで設定されます。

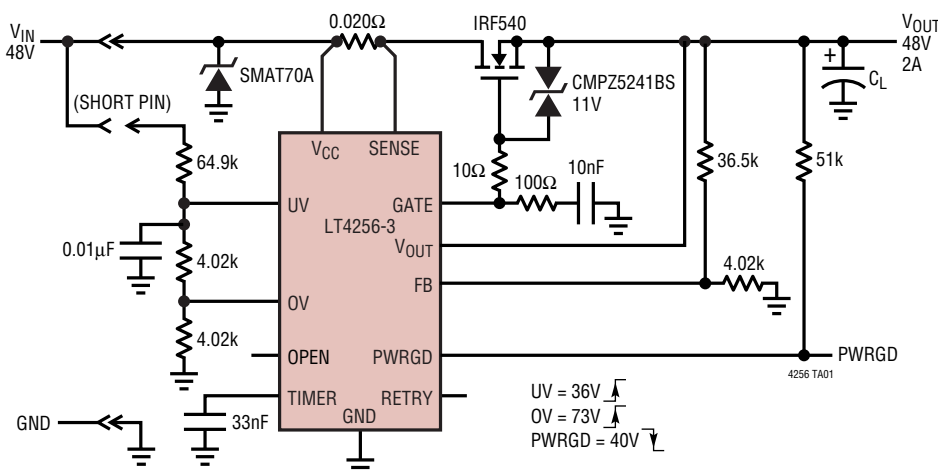
PWRGD 出力は出力電圧がプログラムされたレベルを上回ったことを知らせます。V_{CC} からの外付け抵抗ストリングにより、プログラム可能な低電圧および過電圧保護を提供します。

LT4256-3 は 16 ピン SSOP パッケージで供給されます。

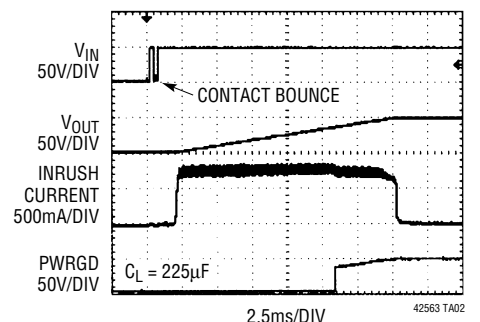
、LTC、LT はリアテクノロジー社の登録商標です。
Hot Swap はリアテクノロジー社の商標です。
他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例

48V、2A ホットスワップ・コントローラ



LT4256-3 起動時の動作



LT4256-3

絶対最大定格

(Note 1)

電源電圧 (V _{CC})	-0.3 ~ 100V
SENSE、PWRGD	-0.3 ~ 100V
GATE 電圧 (Note 2)	-0.3V ~ V _{CC} + 10V
GATE 最大電流	200μA
V _{OUT}	-3V ~ 100V
FB、UV、OPEN	-0.3 ~ 44V
OV -0.3 ~ 18V	
RETRY	-0.3 ~ 15V
TIMER 電圧	-0.3V ~ 4.3V
最大入力電流 (TIMER)	100μA
動作温度範囲	
LT4256-3C	0°C ~ 70°C
LT4256-3I	-40°C ~ 85°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け、10 秒)	300°C

パッケージ/発注情報

<p>GN PACKAGE 16-LEAD PLASTIC SSOP T_{JMAX} = 125°C, θ_{JA} = 130°C/W</p>	ORDER PART NUMBER
	LT4256-3CGN LT4256-3IGN
	GN PART MARKING
	42563 42563I
Order Options Tape and Reel: Add #TR Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF Lead Free Part Marking: http://www.linear-tech.co.jp/leadfree/	

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。
注記: NC は、「未接続」ピンであることを示します。

電気的特性

● は全動作温度範囲の規格値を意味する。それ以外は T_A = 25°Cでの値。注記がない限り、V_{CC} = 48V。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V _{CC}	Operating Voltage		● 10.8		80	V	
I _{CC}	Operating Current			1.8	3.9	mA	
V _{UVLH}	Undervoltage Threshold	V _{CC} Low-to-High Transition	● 3.96	4	4.04	V	
V _{UVHYS}	Hysteresis		0.25	0.4	0.55	V	
I _{INUV}	UV Input Current	UV ≥ 1.2V UV = 0V		-0.1 -1.5	-1 -3	μA μA	
V _{UVRTH}	Fault Latch Reset Threshold Voltage		● 0.4	0.85	1.2	V	
V _{OVLH}	Overvoltage Threshold	V _{CC} Low-to-High Transition	● 3.96	4	4.04	V	
V _{OVHYS}	Hysteresis		0.25	0.4	0.55	V	
I _{INOV}	OV Input Current	0V ≤ OV < 7V		0.1	1	μA	
V _{OPEN}	Open-Circuit Voltage Threshold (V _{CC} - V _{SENSE})		● 1.5	3	6.5	mV	
V _{OLOPEN}	OPEN Output Low Voltage	I _O = 2mA I _O = 5mA		0.20 0.75	0.5 1.3	V V	
I _{INOPEN}	Leakage Current	V _{OPEN} = 5V		0.1	1	μA	
V _{SENSETRIP}	SENSE Pin Trip Voltage (V _{CC} - V _{SENSE})	FB = 0V FB ≥ 2V	● 7 ● 45	14 55	22 65	mV mV	
I _{INSNS}	SENSE Pin Input Current	V _{SENSE} = V _{CC}		40	70	μA	
I _{PU}	GATE Pull-Up Current	Charge Pump On, ΔV _{GATE} = 7V	● -16	-32	-63	μA	
I _{PD}	GATE Pull-Down Current	Any Fault, V _{GATE} > V _{OUT}		40	62	80	mA
I _{PDFL}	V _{OUT} Pull-Down Current, Fault Condition	Any Fault, V _{GATE} = V _{OUT} + ΔV _{GATEL} , V _{OUT} = 48V			130	μA	
ΔV _{GATE}	External N-Channel Gate Drive (Note 2)	V _{GATE} - V _{OUT} , 10.8V ≤ V _{CC} ≤ 20V 20V ≤ V _{CC} ≤ 80V	● 4.5 ● 10	8.8 11.6	12.5 12.8	V V	
ΔV _{GATEL}	External N-Channel Gate Drive, Fault Condition	V _{GATE} - V _{OUT} , V _{OUT} = 48V			-2	V	

42563fa

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 48\text{V}$ 。

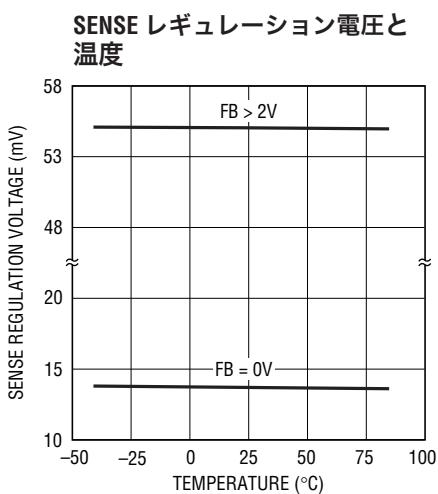
SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{FB}	FB Voltage Threshold	FB High-to-Low Transition	●	3.95	3.99	4.03	V
		FB Low-to-High Transition	●	4.20	4.45	4.65	V
V_{FBHYS}	FB Hysteresis Voltage			0.3	0.45	0.60	V
V_{OLPGD}	PWRGD Output Low Voltage	$I_O = 1.6\text{mA}$			0.25	0.4	V
		$I_O = 5\text{mA}$			0.60	1.0	V
I_{PWRGD}	PWRGD Pin Leakage Current	$V_{PWRGD} = 80\text{V}$			0.1	1	μA
I_{INFB}	FB Input Current	FB = 4.5V			-0.1	-1	μA
$I_{TIMERPU}$	TIMER Pull-Up Current	TIMER = 3V, During Fault	●	-63	-105	-147	μA
$I_{TIMERPD}$	TIMER Pull-Down Current	TIMER = 3V	●	1.5	3	5	μA
$V_{THTIMER}$	TIMER Shutdown Threshold	$C_{TIMER} = 10\text{nF}$	●	4.3	4.65	5	V
D_{TIMER}	Duty Cycle (RETRY Mode)		●	1.5	3	4.5	%
$V_{RETRYTH}$	RETRY Threshold		●	0.4	0.85	1.2	V
I_{INRTR}	RETRY Input Current	RETRY = GND			-87	-130	μA
t_{PHLUV}	UV Low to GATE Low	$C_{GATE} = 100\text{pF}$			1.7	3	μs
t_{PLHUV}	UV High to GATE High	$C_{GATE} = 100\text{pF}$			6	9	μs
t_{PHLFB}	FB Low to PWRGD Low				0.8	2	μs
t_{PLHFB}	FB High to PWRGD High				3.2	5	μs
$t_{PHLSENSE}$	$(V_{CC} - V_{SENSE})$ High to GATE Low	$V_{CC} - V_{SENSE} = 275\text{mV}$			1	3	μs

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

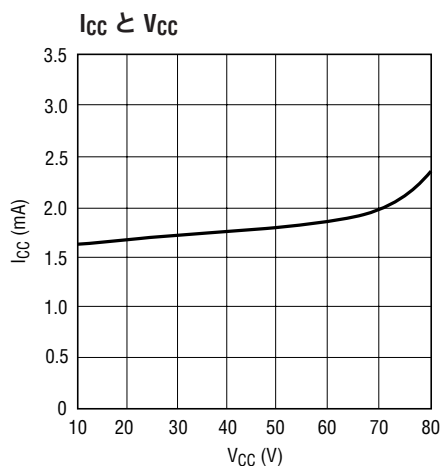
Note 2: 内部クランプによって GATE ピンを制限し、 V_{CC} を 10V 以上上回らないようにする。クランプ電圧を超えてこのピンをドライブすると、デバイスを損傷することがある。

標準的性能特性

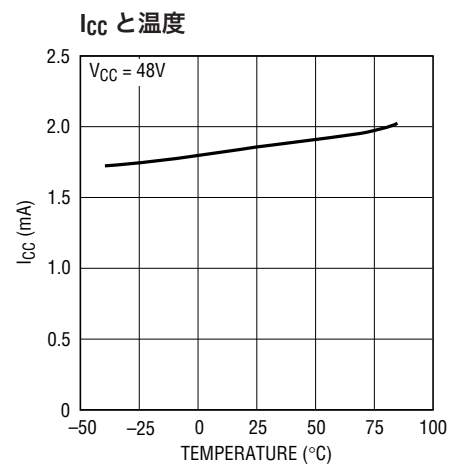
注記がない限り、 $T_A = 25^\circ\text{C}$



42563 G01



42563 G02



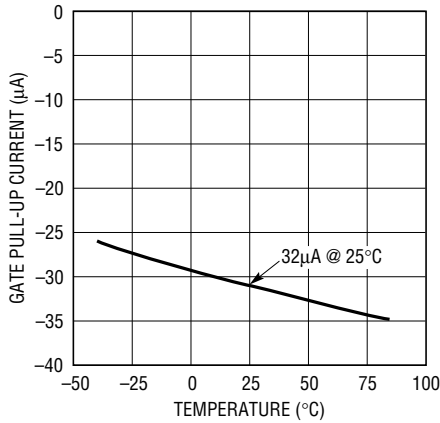
42563 G03

LT4256-3

標準的性能特性

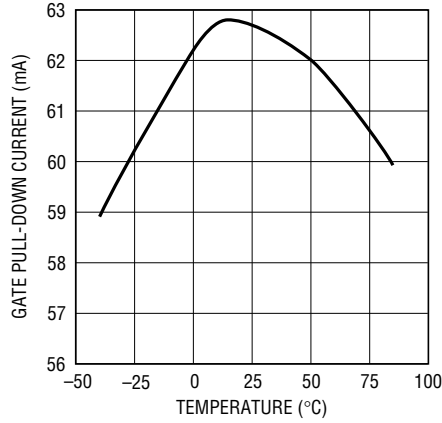
注記がない限り、 $T_A = 25^\circ\text{C}$

GATE プルアップ電流と温度



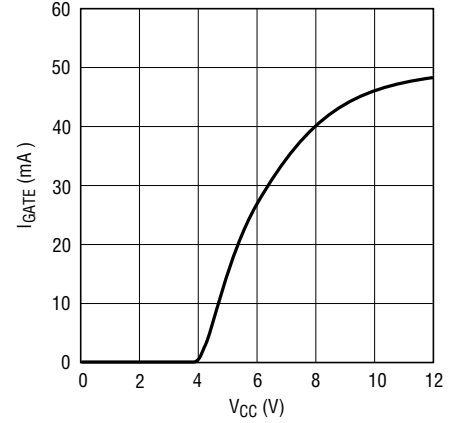
42563 G04

GATE プルダウン電流と温度



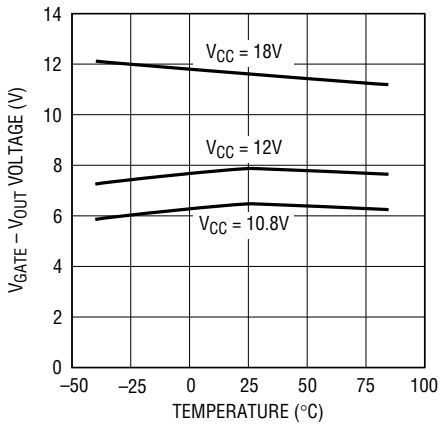
42563 G05

GATE プルダウン機能と
最小動作電圧未満の V_{CC}



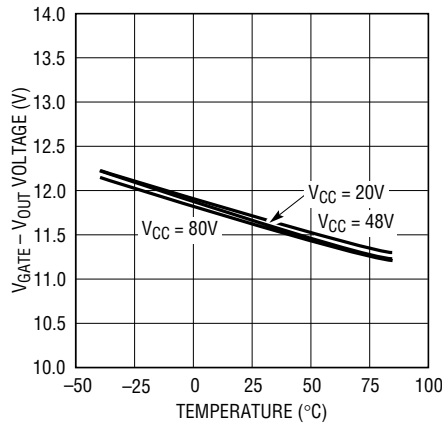
42563 G17

$V_{GATE} - V_{OUT}$ 電圧と温度



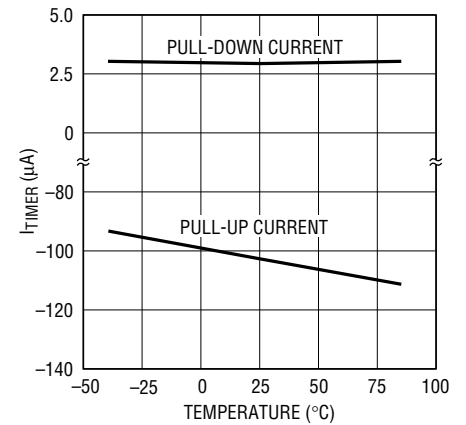
42563 G06

$V_{GATE} - V_{OUT}$ 電圧と温度



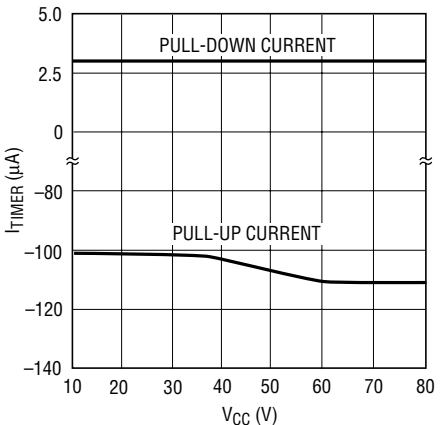
42563 G07

TIMER 電流と温度



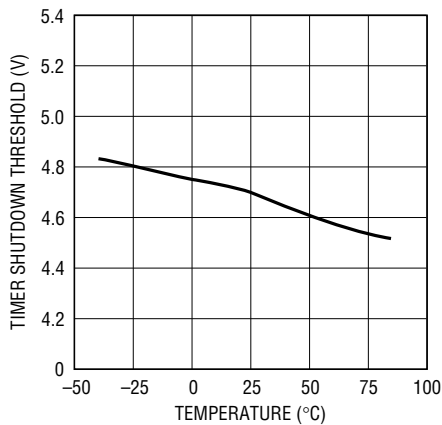
42563 G08

TIMER 電流と V_{CC}



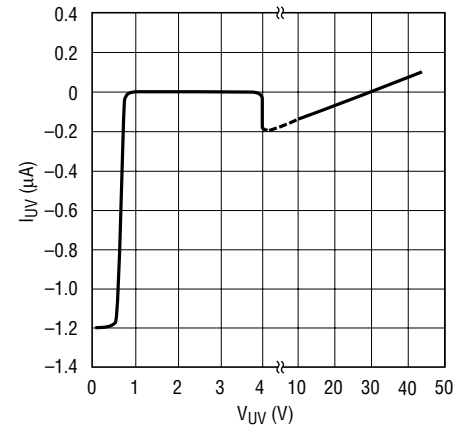
42563 G09

TIMER シャットダウン・
スレッシュホールドと温度



42563 G10

UV 電流と UV 電圧



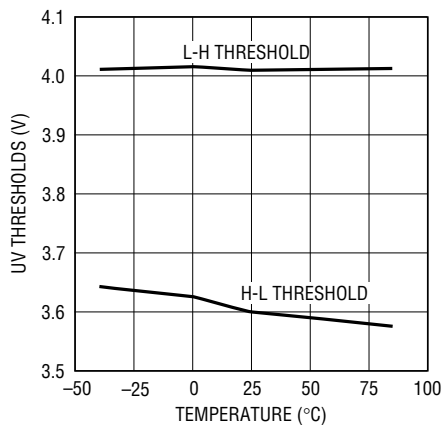
42563 G18

42563fa

標準的性能特性

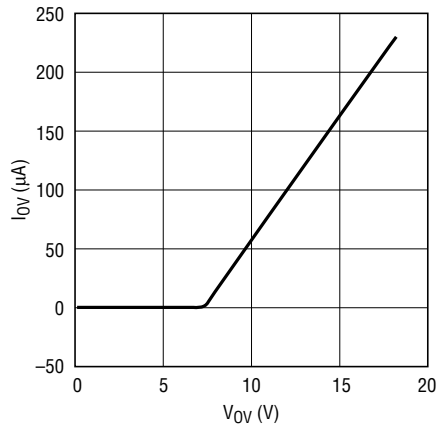
注記がない限り、 $T_A = 25^\circ\text{C}$

UV スレッシュホールドと温度



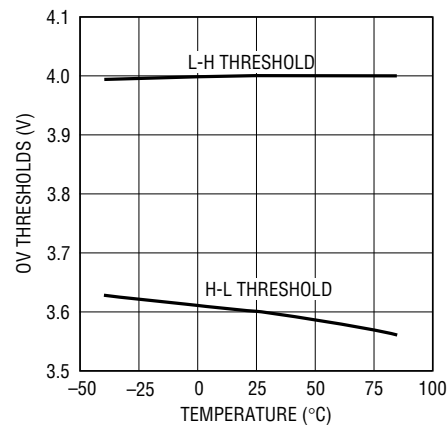
42563 G11

OV 電流と OV 電圧



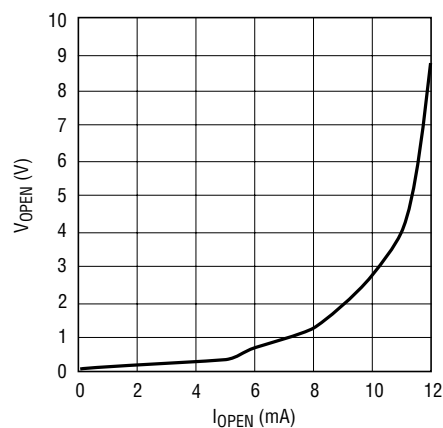
42563 G19

OV スレッシュホールドと温度



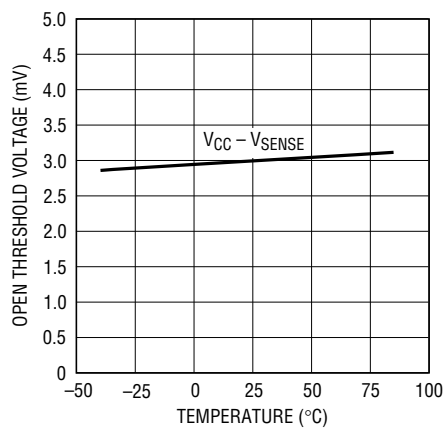
42563 G12

OPEN 出力電圧と I_{OPEN}



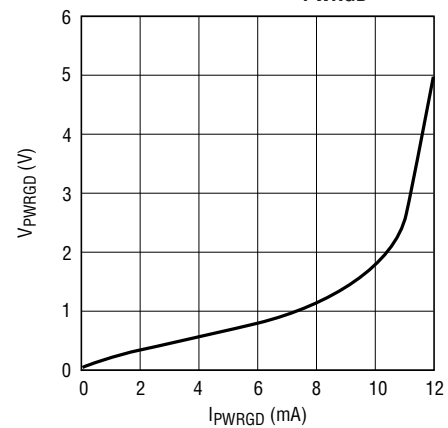
42563 G13

OPEN スレッシュホールド電圧と温度



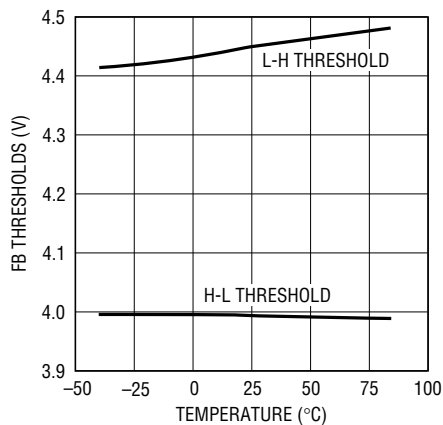
42563 G14

RWRGD 出力電圧と I_{PWRGD}



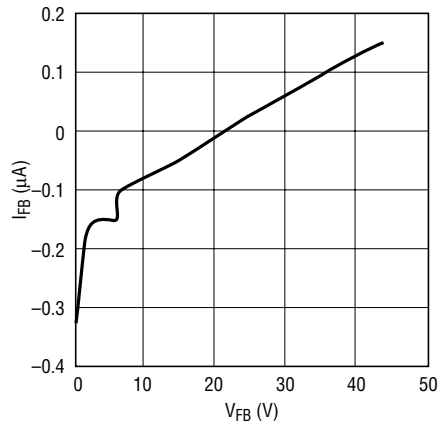
42563 G15

FB スレッシュホールドと温度



42563 G16

FB 電流と FB 電圧



42563 G20

ピン機能

UV (ピン 1) : 低電圧センス入力。UV は、出力電圧をイネーブルする入力です。UV が 4V を上回ってドライブされると、GATE は充電を開始し、出力がオンになります。3.6V を下回ると、GATE が放電し、出力がシャットオフします。

パルス状の UV を電流制限フォールト・サイクル後少なくとも $5\mu\text{s}$ だけ 0.4V 未満にすると、フォールト・ラッチをリセットし (RETRY ピンが “L” のとき、ラッチ・オフ動作を指示)、再びデバイスをオン状態に戻します。このコマンドは、TIMER によって 0.65V を下回るまで放電した後でのみ受け入れられます。UV センスをディスエーブルするには、UV ピンを 5V ~ 44V の電圧に接続します。

OV (ピン 2) : 過電圧センス入力。OV は、出力電圧をディスエーブルする入力です。OV が 4V を超えると、GATE が放電され、出力がオフします。OV が 3.6V を下回ると、GATE の充電が始まり、出力が再びオンします。過電圧センシングをディスエーブルするには、このピンを GND に接続します。

NC (ピン 3、6、11、14) : 未接続。どの内部回路にも接続されていません。

OPEN (ピン 4) : 開放検出出力。このピンは、オープン・コレクタ出力で負荷電流が $3\text{mV}/R_5$ 未満のとき、解除され、外付け抵抗によって “H” にプルされます。

PWRGD (ピン 5) : パワー・グッド出力。FB の電圧が “H” から “L” になるスレッシュホールド電圧を下回ると、PWRGD は “L” にプルされます。FB の電圧が “L” から “H” になるスレッシュホールド電圧を超えると、ハイ・インピーダンス状態となります。外付けプルアップ抵抗で PWRGD を V_{CC} より高い電圧または低い電圧にプルすることができます。

RETRY (ピン 7) : 電流フォールト・リトライ入力。RETRY で電流制限の動作モードを指定します。RETRY がフローティング状態のときは、LT4256-3 は電流フォールト後自動的にリスタートします。0.4V を下回る電圧に接続されると、電流フォールト後ラッチ・オフします (通常動作を再び開始するには、UV を “L” にサイクルさせる必要があります)。

GND (ピン 8) : デバイスのグラウンド。最良の性能を得るには、このピンをグラウンド・プレーンに接続する必要があります。

TIMER (ピン 9) : タイミング入力。TIMER と GND 間の外付けタイミング・コンデンサはデバイスが電流制限値内に留まることができる最大時間をプログラミングします。デバイスが電流制限状態になると、 $105\mu\text{A}$ プルアップ電流源がタイミング・コンデンサの充電を開始します。TIMER の電圧が 4.65V (標準) になると、GATE は “L” にプルします。TIMER プルアップ電流がオフになり、コンデンサは $3\mu\text{A}$ プルダウン電流によって放電されます。TIMER が 0.65V (標準) 未満になると、RETRY が “H” であれば GATE がオンになります (RETRY が “L” であれば、GATE がオンになる前に UV を “L” にして内部フォールト・ラッチをリセットする必要があります)。RETRY が GND 接続され、UV が “L” になっていないときは、GATE はラッチ・オフのままであり、TIMER は GND 近くに放電されます。TIMER が 0.65V (標準) 未満に放電後デバイスをリセットするには、UV を “L” にサイクルさせる必要があります。

RETRY がフローティング状態か、1.2V スレッシュホールドを超える電圧に接続されているときは、LT4256-3 は電流フォールト後自動的にリスタートします。出力が短絡状態では、LT4256-3 は 3% オンタイム・デューティ・サイクルでオン/オフを繰り返します。

FB (ピン 10) : パワー・グッド・コンパレータ入力。FB は、外付け抵抗分割器で出力電圧をモニタします。FB の電圧が “H” から “L” になるスレッシュホールドである 3.99V より低いと、PWRGD は “L” になり、FB が “L” から “H” になるスレッシュホールドである 4.45V を超えると PWRGD はリリースされます。

FB 上の電圧はフォールドバック電流制限値に影響しません (図 8 およびその関連説明を参照)。

V_{OUT} (ピン 12) : 出力電圧センス入力。このピンは、外付け MOSFET のソースに接続する必要があります。MOSFET のシャットオフの検出 (フォールト・モード時) と GATE へのプルダウン電流の軽減に使用します。大きな容量の出力コンデンサ使用時に LT4256-3 が過度に電力を消費するのを防止します。

ピン機能

GATE (ピン 13) : 外付け N-チャネル MOSFET 用ハイ・サイド・ゲート・ドライブ。内部チャージ・ポンプは、20V を超える V_{CC} 電源電圧では、少なくとも 10V のゲート・ドライブを保証し、10.8V ~ 20V の V_{CC} 電源電圧では、4.5V のゲート・ドライブを保証します。GATE の電圧の立ち上がりスロープは、GATE ~ GND に接続された外付けコンデンサとチャージ・ポンプ出力の内部 32 μ A プルアップ電流源によって設定されます。

電流制限値に達すると、センス抵抗両端の電圧を一定に保つために GATE 電圧を調整するとともにタイミング・コンデンサの充電が開始します。TIMER 電圧が 4.65V を超えると、GATE が “L” にプルされます。

UV が “L” に引き下げられるか、 V_{CC} 電源電圧が、外部からプログラミングされた低電圧スレッシュホールドより下に低下するか、過電圧スレッシュホールドを超えるか、あるいは内部 UVLO スレッシュホールド (9.8V) を下回る場合も GATE は GND に引き下げられます。

通常の動作状態では、GATE は V_{OUT} を超えた最大電圧 11.6V (標準) に内部的にクランプします。クランプ電圧を超えてこのピンをドライブすると、デバイスを損傷することがあります。GATE はまた、 V_{OUT} より 2V (標準) 下にクランプされています。ゲートがフォールト状態により

オフに強制されると、直ちに 62mA (標準) 対応スイッチにより GATE が V_{OUT} より 2V (標準) 下まで放電します。GATE が V_{OUT} より 2V だけ下回ると、62mA が 130 μ A に減少し、 V_{OUT} に大きな容量があっても LT4256-3 を損傷から防ぎます。瞬間的な短絡状態では、そのゲート酸化物防止のために外部 MOSFET のゲートとソース間にツェナー・ダイオードが必要になります。「アプリケーション情報」を参照してください。

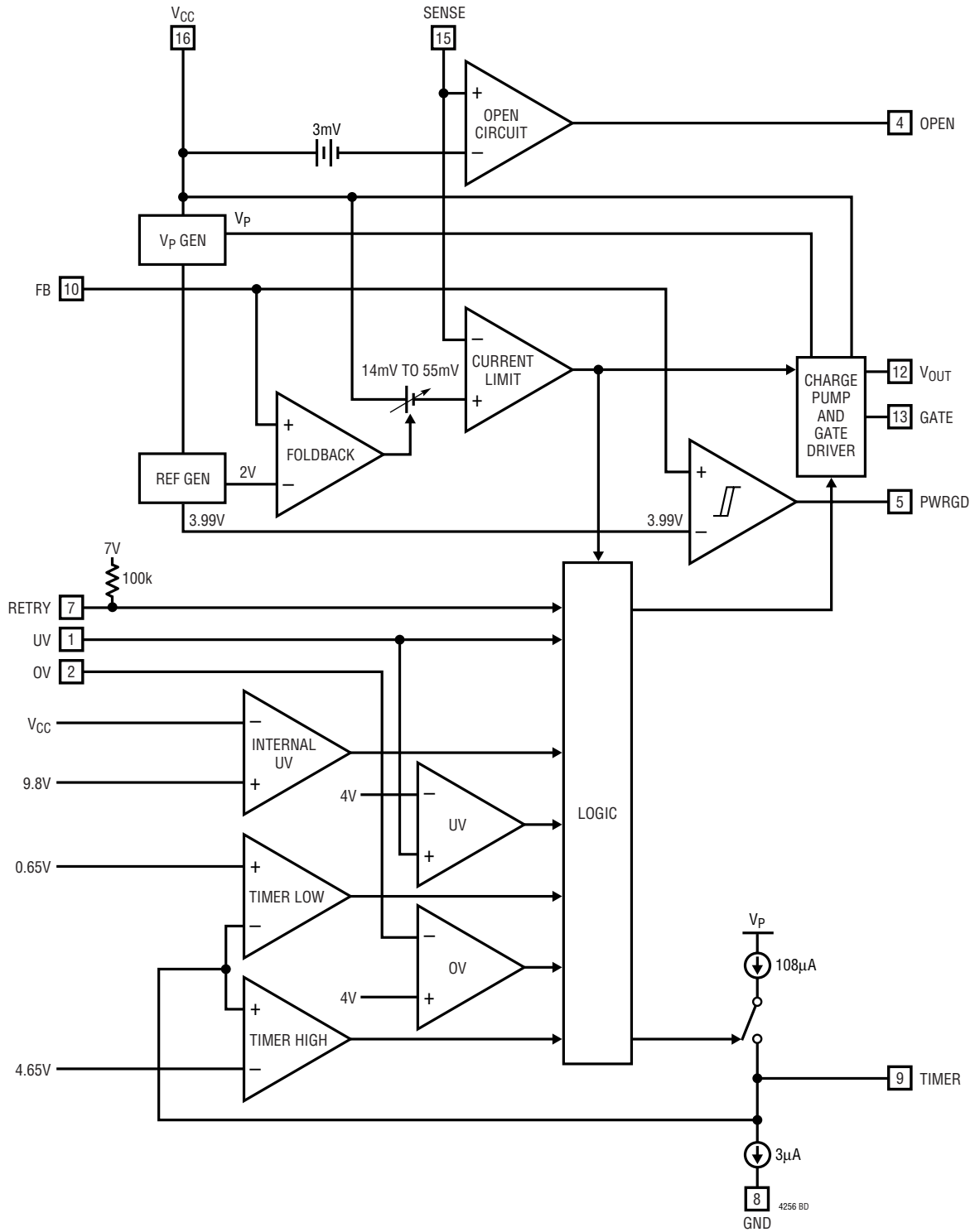
SENSE (ピン 15) : 電流制限センス入力。 V_{CC} と SENSE 間の供給パスには、センス抵抗が配置されます。FB が 2V 以上のときに電流制限回路によってセンス抵抗両端の電圧 ($V_{CC} - \text{SENSE}$) を 55mV に安定化させます。FB が 2V より下に降下すると、センス抵抗両端の安定化電圧はリニアに低下し、FB が 0V で 14mV になります。OPEN 出力でも SENSE を使用して出力電流が 3mV/R5 未満になるとそれを検出します。

電流制限を無効にするには、SENSE を V_{CC} に接続します。

V_{CC} (ピン 16) : 入力電源電圧。正常動作時の正の電源入力範囲は、10.8V ~ 80V です。 I_{CC} は標準で 1.8mA です。内部回路は、9.8V (標準) 未満の入力に対しては、LT4256-3 をディスエーブルします。

LT4256-3

ブロック図



テスト回路

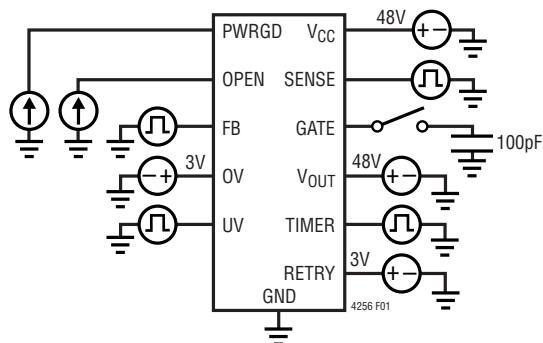


図 1

タイミング図

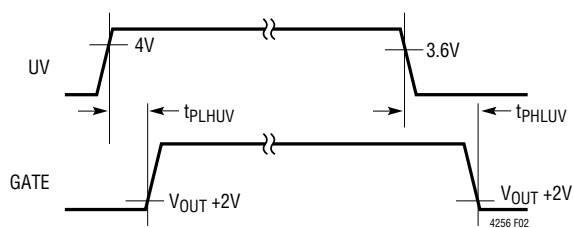


図 2. UV と GATE のタイミング

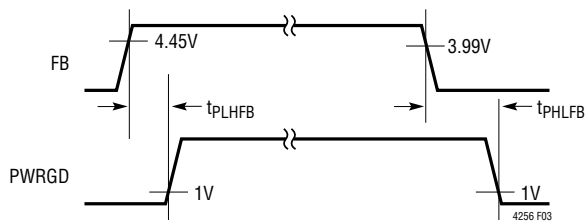


図 3. V_{OUT} と PWRGD のタイミング

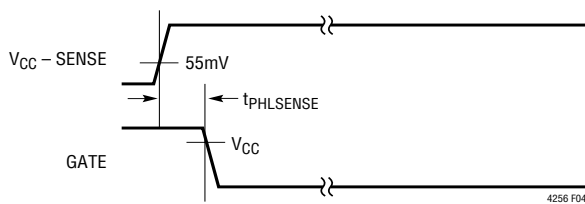


図 4. SENSE と GATE のタイミング

アプリケーション情報

活線挿入

電源の入っているバックプレーンに回路基板を挿入するとき、電源バイパス・コンデンサが充電されるので、バックプレーン電源バスから大きなピーク電流が流れることがあります。過渡電流により、コネクタ・ピンに永久的な損傷が生じたり、システム電源にグリッチが発生し、システム内の他の基板がリセットしてしまうことがあります。

LT4256-3 は、基板の電源電圧を制御された方法でオンにし、電源が供給された状態へのバックプレーンへの基板の挿抜を安全に行えるように設計されています。また、低電圧保護、過電圧保護、過電流保護機能を備えているだけではなく、大きな出力に対して出力電源電圧の用意が整っているかどうかをパワーグッド出力信号で示すことができます。

電源起動シーケンス

外付け N チャネル MOSFET パス・トランジスタ (Q1) が電源経路に配置され、電源電圧の起動を制御します (図 5)。抵抗 R5 で電流検出を行い、コンデンサ C1 で GATE のスルー・レートを制御します。抵抗 R7 で電流制御ループを補償するとともに、抵抗 R6 によって Q1 の高周波発振を防止します。

電源ピンが最初に接続された状態になると、トランジスタ Q1 はオフしたままです。V_{CC} の電圧が外部プログラミングされた低電圧スレッシュホールドと過電圧スレッシュホールド間で、V_{CC} が 9.8V を超え、TIMER の電圧が 4.65V (標準) 未満のとき、トランジスタ Q1 はオンします (図 6)。GATE の電圧は 32μA/C₁ のスロープで上昇し、電源の突入電流は以下の値に設定されます。

$$I_{INRUSH} = C_L \cdot 32\mu A/C_1 \quad (1)$$

ここで C_L は、総負荷容量です。

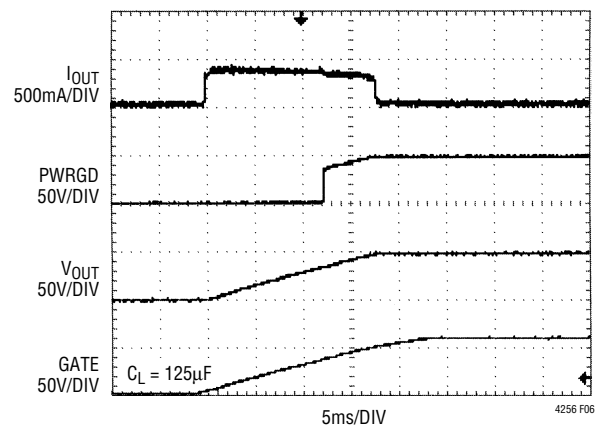


図 6. 起動波形

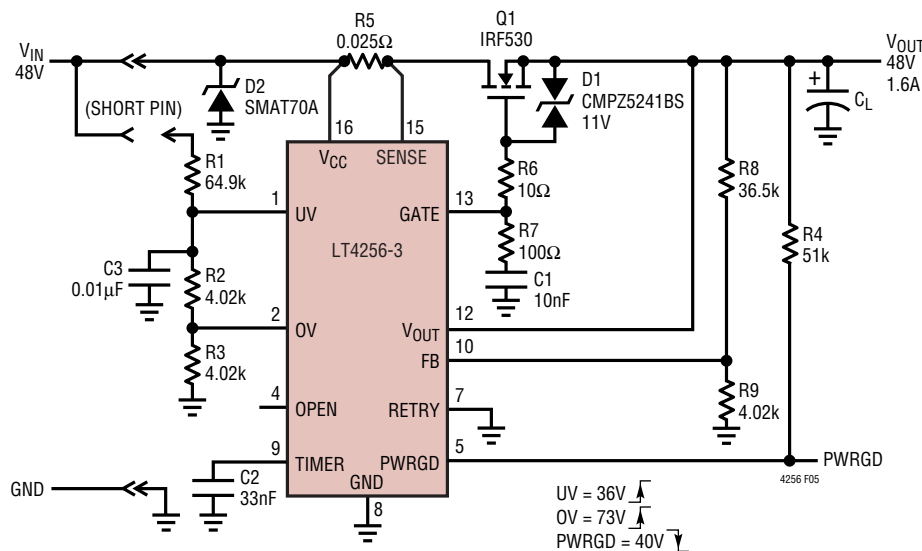


図 5. 1.6A、48V ラッチ・オフ・アプリケーション

アプリケーション情報

突入電流を軽減するには、C1 を大きくするか、負荷容量を小さくするかのいずれかです。電流センス抵抗 R5 両端の電圧が V_{SENSETRIP} に達すると、突入電流は内部電流制限回路によって制限されます。センス抵抗両端の電圧を一定に保つために GATE の電圧が調整され、TIMER の充電が開始します。

FB 電圧が “L” から “H” になる V_{FB} スレッシュホールドを超えると、PWRGD は “H” になります。

低電圧および過電圧検出

LT4256-3 は UV と OV を使用して V_{CC} 電圧をモニタし、いつ負荷をオンにするのが安全かを判断するため、ユーザとしては動作スレッシュホールドを設定する上で最大限の柔軟性が得られます。UV と OV はアナログ・ウィンドウ・コンパレータに内部で接続されています。UV が 3.6V を下回るか、OV が 4V を超えると UV/OV 電圧が通常動作の電圧ウィンドウ（それぞれ 4V と 3.6V）に戻るまで GATE は “L” にプルされます。

UV スレッシュホールドが内部 UVLO スレッシュホールド（標準で 9.8V）を下回ることのないようにしてください。UV のヒステリシスの有利さが失われ、LT4256-3 がノイズの影響を受けやすくなります（UV が 3.6V スレッシュホールドのとき、V_{CC} は少なくとも 9.8V である必要があります）。

UV は、ノイズ・スパイクや容量結合されたグリッチによって誤って LT4256-3 の出力をシャットダウンするのを防ぐために、C3 でフィルタリングされています。

UV および OV スレッシュホールドを計算するには、以下の式を使用します。

$$R1 = (R2 + R3) \left(\frac{V_{THUVLH}}{4V} - 1 \right) \quad (2a)$$

$$R3 = \frac{R1 + R2}{\frac{V_{THOVLH}}{4} - 1} \quad (2b)$$

$$20k\Omega \leq R1 + R2 + R3 \leq 200k\Omega \quad (3)$$

$$V_{THUVHL} = 3.6V \left(1 + \frac{R1}{R2 + R3} \right); \quad (4)$$

$$V_{THOVLH} = 3.6V \left(1 + \frac{R1 + R2}{R3} \right)$$

ここで V_{THULH} と V_{THOVLH} は、V_{CC} が上昇時（L – H）の所定の UV と OV のスレッシュホールド電圧です。

図 7 は LT4256-3 をどのようにロジック信号でシャットオフするかを示したものです。これはオープン・ドレイン MOSFET、Q2（UV に接続）のゲートを “H” にプルすることによって行われます。

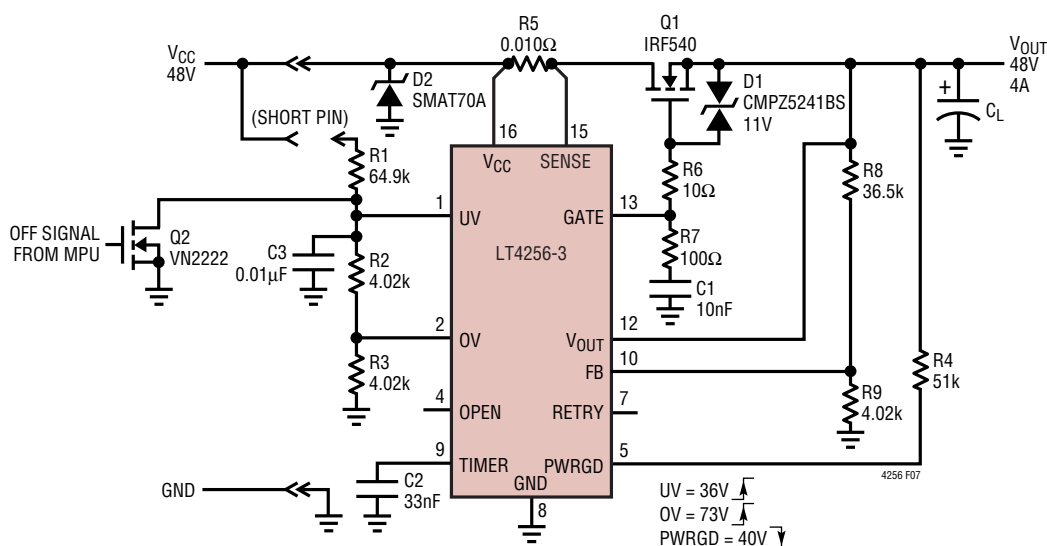


図 7. ロジック信号を使用した LT4256-3 オン / オフの制御方法

アプリケーション情報

短絡保護

LT4256-3 は短絡や過負荷電流に対する保護のために電子回路ブレーカ付きのプログラム可能なフォールドバック電流制限機能を搭載しています。電流制限は V_{CC} と SENSE の間にセンス抵抗 (R_S) を配置することによって設定されます。電流制限スレッシュホールドは、次の式で計算されます。

$$I_{LIMIT} = 55\text{mV}/R_S \quad (5)$$

出力の短絡状態のときパス・トランジスタの過度な電力消費を抑え、入力電源の電圧スパイクを軽減するために、電流は FB で内部的に検出される出力電圧の関数としてフォールドバックします。

FB の電圧が 0V のとき、LT4256-3 が電流制限されると、電流制限回路が GATE をドライブしてセンス抵抗両端の電圧降下を 14mV の一定電圧に強制します。FB の出力の増大とともにセンス抵抗間の電圧が増大し、FB が 2V になるとセンス抵抗両端の電圧が 55mV で一定になります (図 8 を参照)。

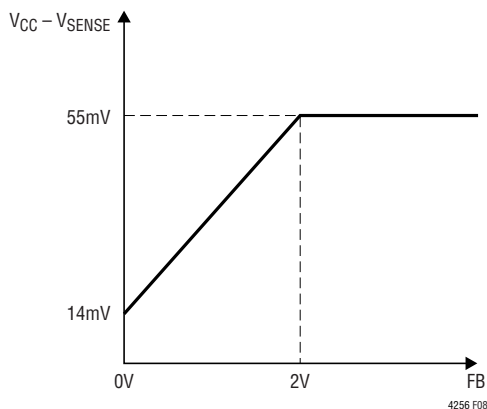


図 8. 電流制限センス電圧と帰還ピン電圧

0.025Ω センス抵抗では、標準的な電流制限値は 2200mA に設定され、出力が GND に短絡すると 560mA にフォールドバックします。したがって、短絡状態での MOSFET のピーク電力消費は、106W から 27W に減少します。電流制限のスレッシュホールド・エラーを最小限に抑えるためのボード・レイアウトの重要事項に関しては、「レイアウトの検討事項」の項を参照してください。

過電流の可変応答時間も LT4256-3 の特徴です。デバイスが GATE 電圧を制御し始めるまでに要する時間は、 V_{CC} と SENSE 間に接続されたセンス抵抗両端の電圧の関数です。電流スパイクや過渡応答による影響を除去することによって電流制限応答への不必要なトリガや MOSFET 消費電流の増加を防ぎます。図 9 は、SENSE のオーバードライブの関数としての応答時間を示したものです。

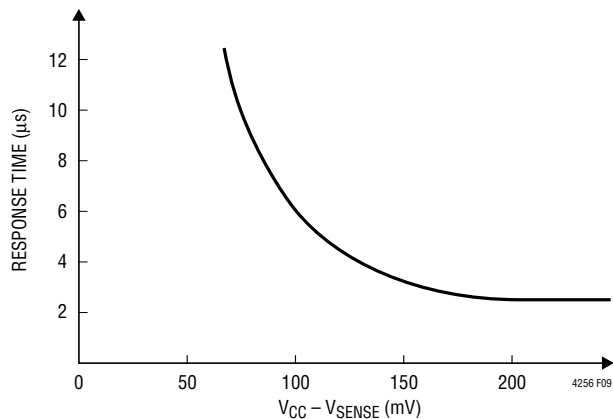


図 9. 過電流に対する応答時間

アプリケーション情報

TIMER

TIMER によってデバイスが電流制限のもとで動作できる最大時間をプログラミングすることができます。電流制限回路がアクティブではないときは、TIMER は 3 μ A 電流源によって GND にプルされます。電流制限回路がアクティブになると、108 μ A プルアップ電流源が TIMER に接続され、その回路がアクティブである限り 105 μ A/C_{TIMER} のスロープで電圧が上昇します。所定の最大電流制限時間がわかれば、コンデンサ値は、次式のようになります。

$$C[\text{nF}] = 25 \cdot t[\text{ms}]; C = \frac{105\mu\text{A}}{4.65\text{V}} \cdot t \quad (6)$$

TIMER が 4.65V (標準) に達すると、内部フォールト・ラッチがセットされ、GATE が “L” にプルされ、TIMER は 3 μ A 電流源によって GND に放電されます。TIMER の電圧が 0.65V (標準) 未満に下がるまでデバイスは再びオンすることはありません。

なんらかのフォールト状態によって GATE がオフになると、大電流放電し、外部 MOSFET をオフにします。図 10 の波形は、電流フォールト後の出力のラッチオフの様子を示したものです。タイマが立ち上がると、センス抵

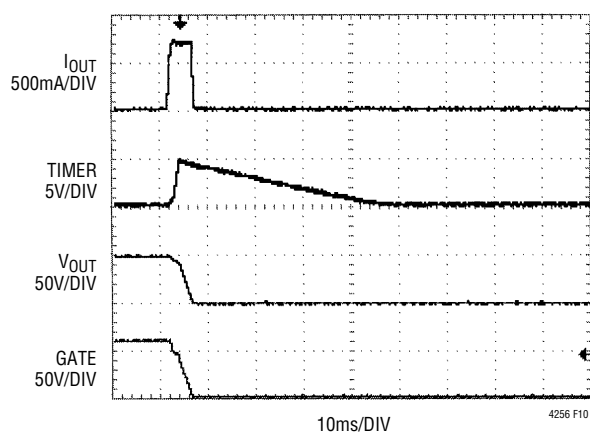


図 10. ラッチ・オフ波形

抗両端の電圧降下は 55mV に保持されます。TIMER がシャットダウン・スレッシュホールド (標準で 4.65V) に達すると、回路はラッチ・オフします。

自動再起動

RETRY がフローティング状態のときは、デバイスは電流フォールト後自動的にリスタートします。

TIMER の電圧が再度 0.65V (標準) にランプダウンすると、LT4256-3 は再度オンになります。出力部の短絡状態が持続している場合は、このサイクルがいつまでも繰り返されます。短絡状態でのデューティ・サイクルは 3% であり、それによって Q1 が過熱するのを防止します。短絡時の代表的な波形を図 11 に示します。

ラッチ・オフ動作

RETRY が GND 接続されていると、LT4256-3 は電流フォールト後ラッチ・オフします。デバイスのラッチ・オフ後、再度起動するように指示することができます。これは UV を GND にサイクルさせ、その後、“H” にすることによって行われます (このコマンドが有効なのは、TIMER が 0.65V の標準的なスレッシュホールドを下回るまで放電した後であり、それによってトランジスタ Q1 の過熱を防止します)。

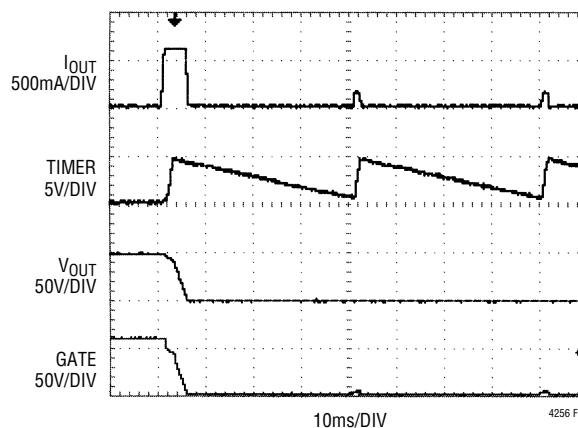


図 11. RETRY 波形

アプリケーション情報

したがって、RETRY だけを使用していると、LT4256-3 は過電流フォールト状態の後ラッチ・オフするか、hiccup モードになります。

パワー・グッド検出

LT4256-3 にはコンパレータが搭載されており、出力電圧をモニタします。出力電圧は、外付け抵抗ストリングを介して FB ピンにより検出されます。コンパレータの出力 (PWRGD) は、オープン・コレクタであり、最大 80V のプル・アップで動作します。

PWRGD を使用してアクティブ “H” (正論理) のイネーブル入力を備えたパワー・モジュールを直接オン/オフすることができます。PWRGD を使用してアクティブ “L” (負論理) のイネーブル入力を備えたパワー・モジュールを制御する方法を図 12 に示します。信号の反転は、トランジスタ Q2 と抵抗 R10 によって行われます。

FB ピンのスレッシュホールドは、4.45V (“L” から “H” への遷移) と 3.99V (“H” から “L” への遷移) です。PWRGD スレッシュホールドを計算するには、以下の式を使用します。

$$R8 = \left(\frac{V_{THPWRGD}}{3.99V} - 1 \right) \cdot R9, \text{ high to low} \quad (7)$$

$$20k\Omega \leq R8 + R9 \leq 200k\Omega \quad (8a)$$

$$V_{THPWRGD} = 4.45V \left(1 + \frac{R8}{R9} \right), \text{ low to high} \quad (8b)$$

OPEN ピン / 開放 FET 検出

OPEN は、異常に低い負荷電流を知らせる出力です。センス抵抗両端の電圧が 3mV 未満のときは、オープン・コレクタ・プルダウン・デバイスがオフするので OPEN が外部で “H” にプルすることができます。V_{CC} が 9.8V を超えると、OPEN は常にアクティブです。V_{CC} が 9.8V (内部 UVLO スレッシュホールド) を下回ると、OPEN は “L” にプルされます。

LT4256-3 では、R5 の電圧を OPEN でモニタするとともに、出力電圧を PWRGD でモニタすることによって開放 MOSFET の検出を行います。開放状態の FET は、OPEN が “H”、PWRGD が “L” になる (デバイスの起動後) ことで通知されます。

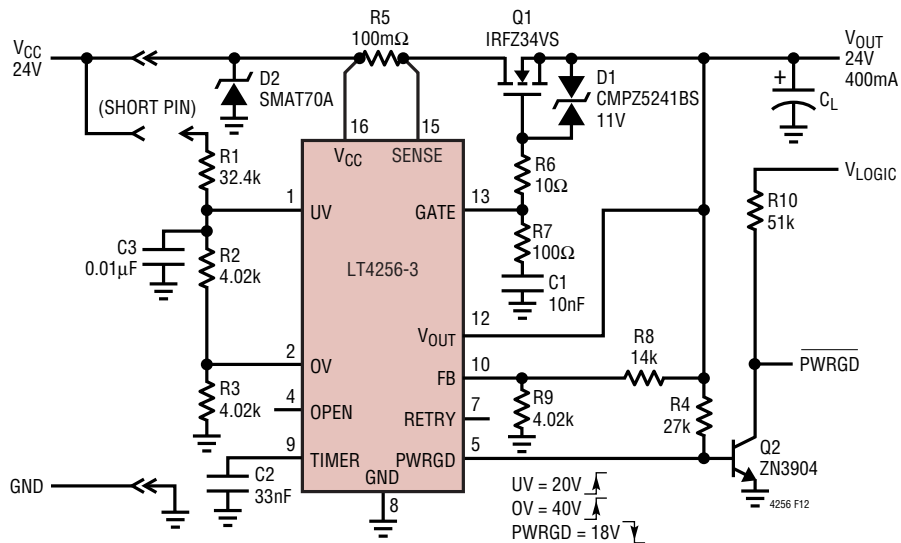


図 12. アクティブ “L” (正論理) イネーブル PWRGD アプリケーション

アプリケーション情報

PWRGDが“H”になるまで負荷がアクティブにならない場合、この開放状態のFETが起動時に誤って通知されてしまう可能性があります。この通知の誤りを防ぐためにt_{STARTUP}の間中はOPENおよびPWRGDのポーリングは行わないようにします。この期間は以下の式で得られます。

$$t_{STARTUP} = \frac{3 \cdot V_{CC} \cdot C1}{32\mu A} \quad (9)$$

これはマイクロプロセッサ（使用されている場合）または図13に示すようなRCフィルタによって行われます。

OPEN電圧がモニタリング・ロジックのスレッシュホールドであるV_{THRESH}を超え、PWRGDが“L”のときは、開放FET状態が通知されます。誤通知を防ぐために、RC積は以下の式で求めてください。

$$RC > \frac{3 \cdot V_{CC} \cdot C1}{32\mu A \left(\ln \left(\frac{V_{LOGIC}}{V_{LOGIC} - V_{THRESH}} \right) \right)} \quad (10)$$

誤通知が発生するもう1つの状態は、LT4256-3が起動時に電流制限モードになるときに発生する可能性があります。このときは、t_{STARTUP}が計算式よりも長くなります。また、TIMERがスレッシュホールドまでフルに充電するほど長くLT4256-3が電流制限モード状態のときは、LT4256-3はラッチ・オフするか（RETRY = 0）、電流制限hiccupモード（RETRY = フローティング）になります。いずれの場合も、開放状態のFETが誤って通知されます。LT4256-3が起動時に電流制限モードになると、C1を大きくすることができます（「電源起動シーケンス」を参照）。

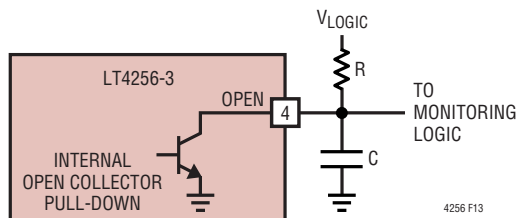


図 13. OPEN FET 検出用遅延回路

電源過渡電圧保護

LT4256-3は100%テスト済みであり、電源電圧が最大80Vまで、損傷を受けず、安全であることが保証されています。ただし、過渡電圧が100Vを上回る場合は、恒久的な損傷を与えることがあります。短絡状態では、電源トレースを流れる電流の大規模な変化が100Vを超える誘導過渡電圧を生じさせることがあります。電圧過渡を最小限に抑えるためには、広めのトレースまたは厚めのトレース・プレートを使用して電力トレースの寄生インダクタンスを最小限にするとともにバイパス・コンデンサをV_{CC}とGNDの間に配置する必要があります。入力部にサージ・サプレッサ（TransZorb[®]）を設定しても電圧過渡による損傷を防ぐことができます。

GATEピン

ゲート・ドライブとV_{CC}の曲線を図14に示します。GATEはV_{OUT}より12.8V上の最大電圧にクランプされています。このクランプは、内部チャージ・ポンプ電流値に耐えるように設計されています。すべてのアプリケーションに示すように、外付けのツェナー・ダイオードを使用する必要があります。10.8Vの最小入力電源電圧では、最小ゲート・ドライブ電圧は、4.5Vです。入力電源電圧が20Vより大きいと、ゲート・ドライブ電圧は少なくとも10Vで、標準スレッシュホールドMOSFETを使用することができます。12V～15Vの範囲のアプリケーションでは、ロジック・レベルMOSFETを使用する必要があります。

TransZorbは、General Instruments、GSIの登録商標です。

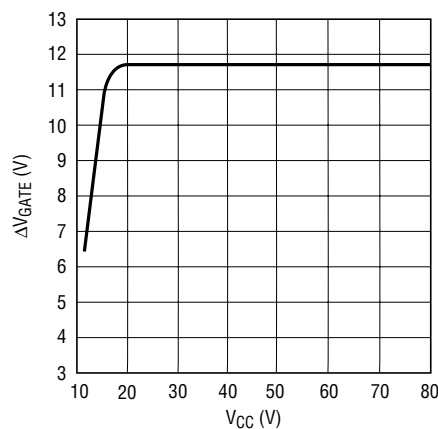


図 14. ΔVGATE と V_{CC}

アプリケーション情報

アプリケーションによっては、 V_{OUT} がグランドより下のリンギングを生じることがあります（寄生トレース・インダクタンスによる）。大電流の場合のアプリケーションでは、特に出力負荷が物理的に LT4256-3 から離れているときは、これらの過渡現象の影響を受けやすくなります。これは通常の現象であり、LT4256-3 はグランドより下のリンギングをある程度許容するように設計されています。ただし、 V_{OUT} が GND より 3V 以上下回るリンギングを発生するようなアプリケーションでは、LT4256-3 に損傷が発生する恐れがあり、図 15 に示すように GND（アノード）から V_{OUT} （カソード）にかけて外付けダイオード D2 を回路に追加する必要があります（ダイオードの逆ブレークダウン電圧は V_{CC} の最大予測電圧よりも高くなければなりません）。LT4256-3 の GND から V_{OUT} に直接配置されたコンデンサによって V_{OUT} のリンギングを軽減することはできませんが、アプリケーションによっては十分な効果が得られないことがあります。

フォールト状態では、LT4256-3 は、約 62mA をシンクできるスイッチで GATE をプルダウンします。ダイオードの順方向電圧だけ GATE が出力電圧より低下すると、外付けツェナー・ダイオードが順方向にバイアスされ、 V_{OUT} も GND に放電されます。GATE 容量だけでなく、出力容量も LT4256-3 を通して放電されます。

非常に大きな外付け N チャネル MOSFET を使用するアプリケーションでは、通電しているバックプレーンに最初に挿入したときに MOSFET がオンになる可能性が

あります（LT4256-3 がアクティブになり、GATE をプルダウンする前に）。これは、ドレイン電圧が極めて急峻な立ち上がり時間で GND から V_{CC} に上昇するとき、MOSFET のドレインとゲート間の容量により強制的に電流が R7 と C1 に流入するためです。この状態を緩和するには、図 16 に示すように R7 の両端にダイオード D3 を接続し、カソード側には C1 を接続します。

LT4256-3 が MOSFET をオフするときにはいつも GATE は、62mA をシンクできるオープン・コレクタを使って MOSFET のゲートをグランドに引き下げます。出力が大型蓄電コンデンサによって保持されていると、保存されたエネルギーは（正方向にバイアスのかかった）ツェナー・ダイオード D1 のスニーク・パスを通してプルダウン・トランジスタで消費されます。MOSFET がオフしていることを検出してプルダウン電流を大幅に減らすことにより、オン・チップの電力消費を軽減する独自の機能を LT4256-3 は搭載しています。この機能の使用上の詳細は、「 V_{GATE} ターンオフ」の項を参照してください。

V_{GATE} ターンオフ

MOSFET がオフしていることを検出してプルダウン電流を大幅に減らすことにより、電力消費を軽減する独自の機能を LT4256-3 は搭載しています。なんらかのフォールトにより GATE ピンが放電するときは、LT4256-3 は GATE ピンと V_{OUT} ピンのモニタを行います。GATE ピンが V_{OUT} を 2V 下回るときは、プルダウン電流は 62mA から約 130 μ A に減少します。

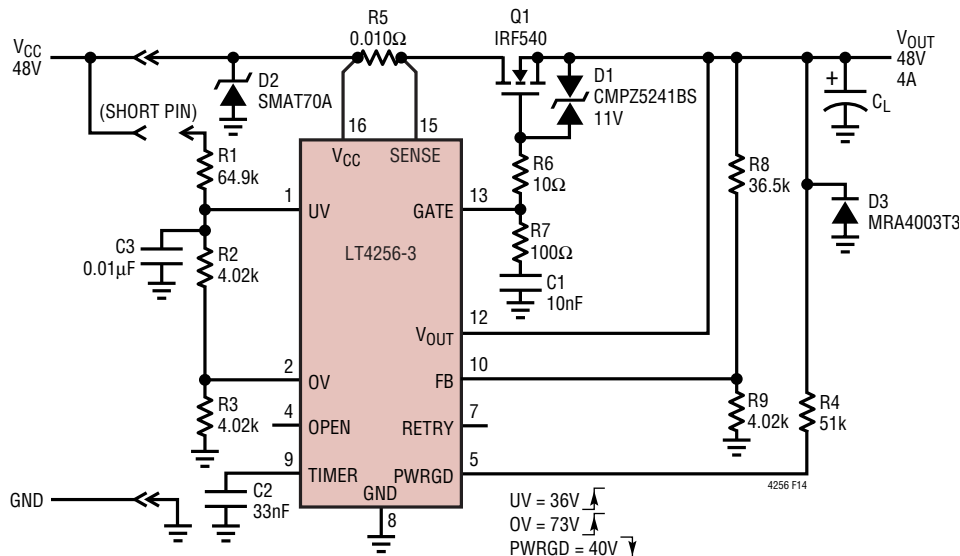


図 15. 負出力電圧保護のダイオード・アプリケーション

アプリケーション情報

この機能を設計通り使用するには、D1には双方向のツェナー・ダイオードが必要です。LT4256-3がMOSFETをオフにすると（双方向ツェナー・ダイオードを使用）、出力は非常にゆっくりと放電します（ $t_{OFF} = (C_{LOAD} \cdot V_{OUT})/130\mu A$ ）。出力の放電を高速化する方法がいくつかあります。推奨する方式を図17に示します。出力の放電を迅速に行う方法として、外付けPNPトランジスタ、ダイオード、および抵抗を使用しています。

公称放電電流を設定するための数式は以下の通りです。

$$I_{DISCHG} = \frac{5000}{R_{PROG}} (130\mu A) \quad (11)$$

ここで、 R_{PROG} は1kΩ未満である必要があります。

最大電流は以下の通りです。

$$I_{MAX} = \frac{7000}{R_{PROG}} (350\mu A) \quad (12)$$

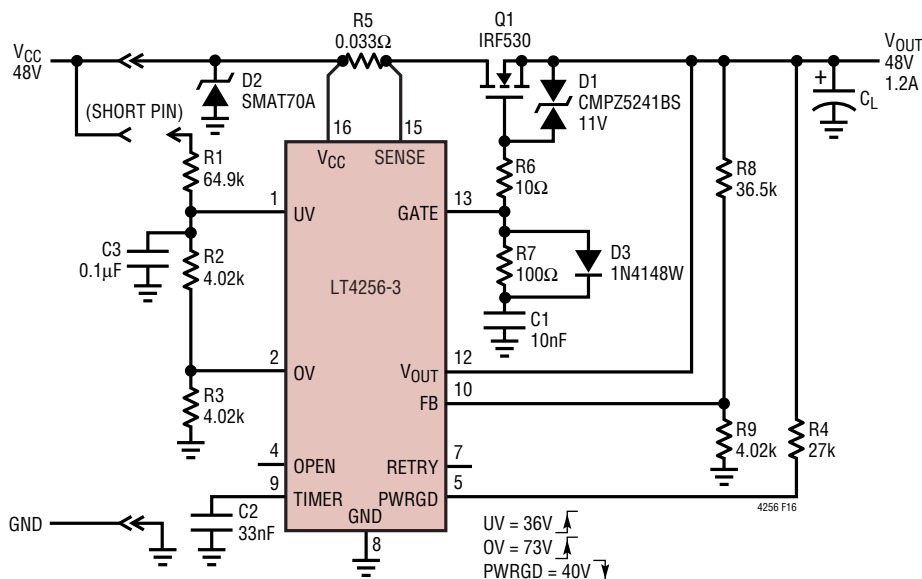


図 16. 高 dV/dt MOSFET ターンオン保護回路

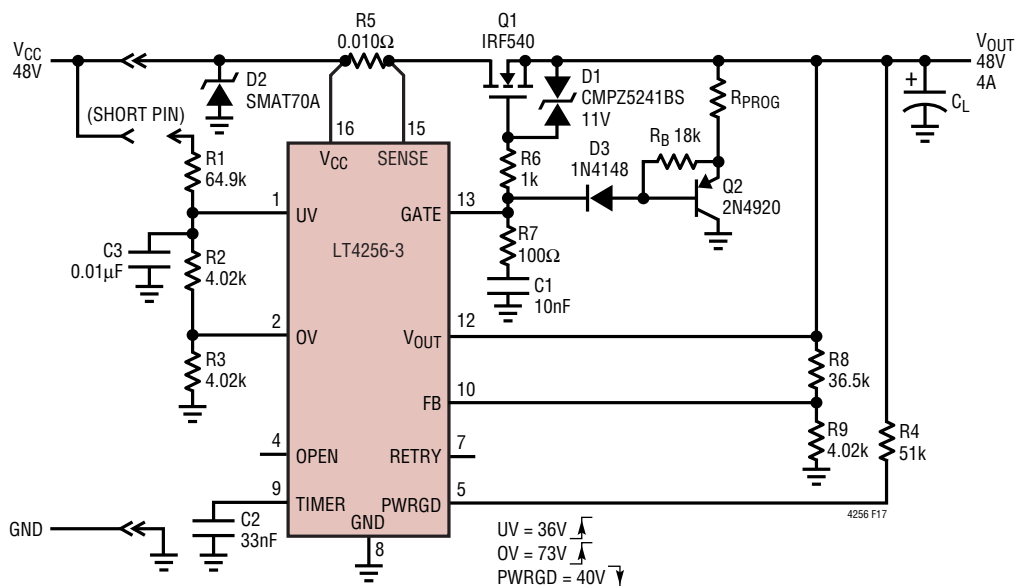


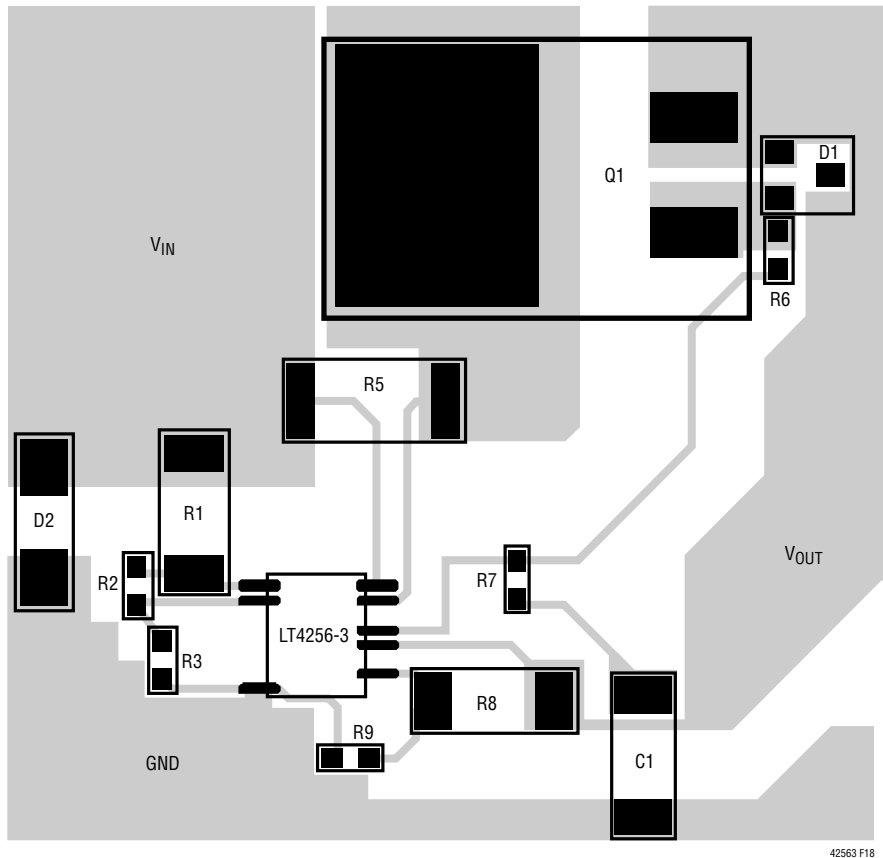
図 17. 改善後の出力プル・ダウン回路

アプリケーション情報

レイアウト上の検討事項

正確な電流センシングを行うには、電流センシング抵抗へのケルビン接続（標準的なアプリケーション回路では R5）を推奨します。1 オンス銅箔のシート抵抗は約 $530\mu\Omega/\square$ であることに注意してください。抵抗値が小さいと大電流アプリケーションでの誤差が大きくなります。抵抗分割器

を VCC トレースと GND トレースを短くしてピンの近くに配置すると、ノイズ耐性を大幅に改善することができます。1 オンス銅箔の最小トレース幅は、アンペアあたり 0.02" で、トレースを妥当な温度に維持します。アンペアあたり 0.03" 以上を推奨します。これらの条件を満たすレイアウトを図 18 に示します。

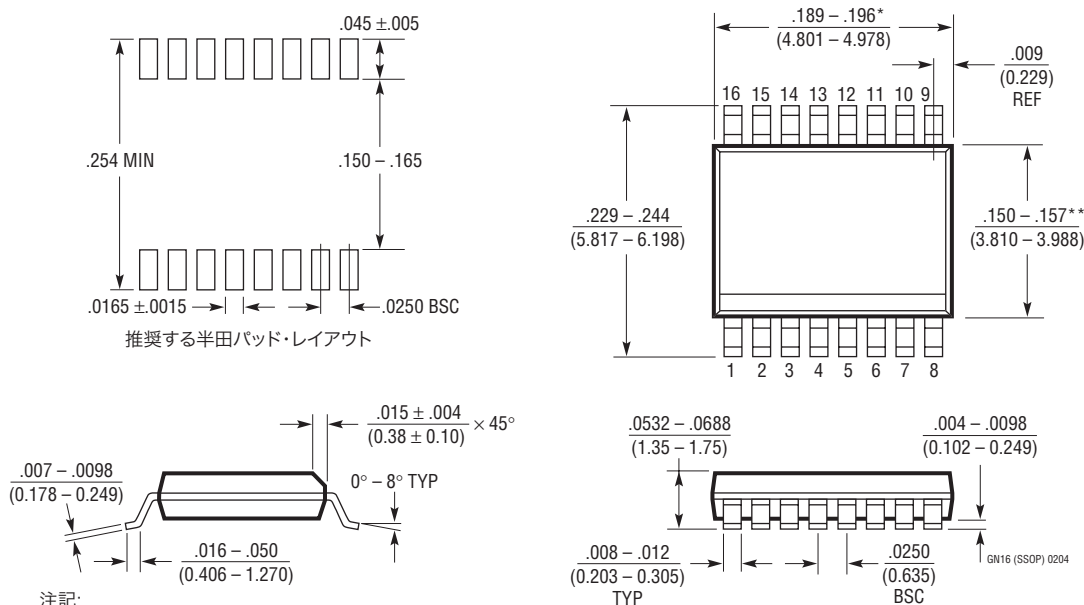


42563 F18

図 18. 部品の推奨配置図

パッケージ寸法

GN パッケージ
 16 ピン・プラスチック SSOP (細型 0.150 インチ)
 (Reference LTC DWG # 05-08-1641)



注記:

1. 制御寸法: インチ
2. 寸法は、 $\frac{\text{インチ}}{\text{ミリメートル}}$
3. 図は実寸とは異なる

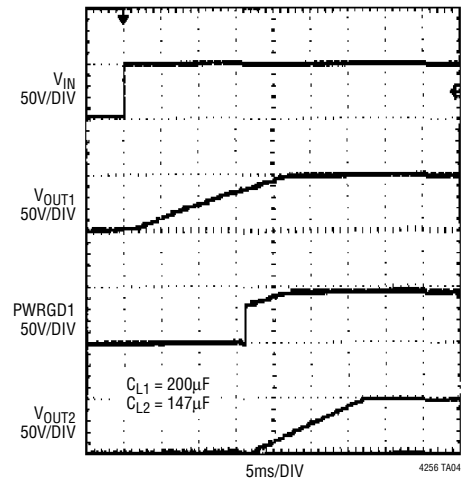
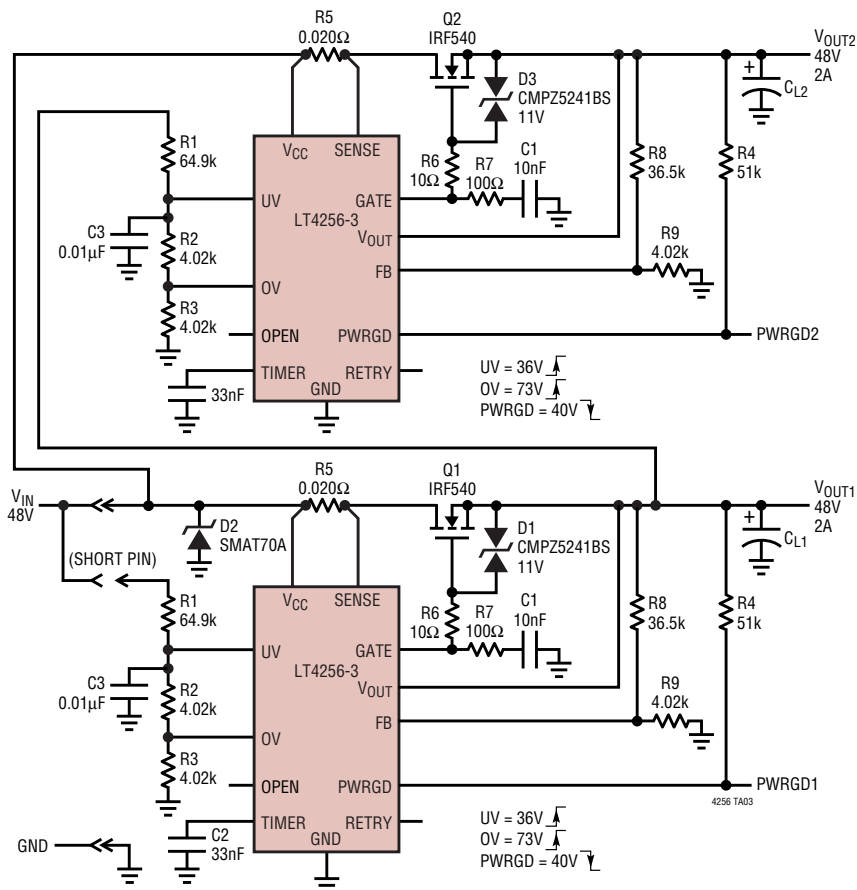
*寸法にはモールドのバリを含まない。
 モールドのバリは各サイドで0.152mm (0.006") を超えないこと

**寸法にはリード間のバリを含まない。
 リード間のバリは各サイドで0.254mm (0.010") を超えないこと

LT4256-3

アプリケーション情報

デュアル 48V 電源シーケンス・アプリケーション



関連製品

製品番号	説明	注釈
LT1641-1/LT1641-2	正の 48V ホットスワップ・コントローラ、SO-8 パッケージ	9V ~ 80V で動作、アクティブな電流制限、自動リトライ/ラッチオフ
LTC4211	シングル・ホットスワップ・コントローラ、マルチ機能電流制御付き	2.5V ~ 16.5V、アクティブな突入電流制限、デュアル・レベル回路ブレーカ
LTC4251	-48V ホットスワップ・コントローラ、SOT-23 パッケージ	-15V からの浮動電源、アクティブな電流制限高速回路ブレーカ
LTC4252-1/LTC4252-2	-48V ホットスワップ・コントローラ、MSOP パッケージ	-15V からの浮動電源、アクティブな電流制限パワー・グッド出力
LTC4253	-48V ホットスワップ・コントローラと電源シーケンサ	-15V からの浮動電源、アクティブな電流制限 3 つの DC/DC コンバータをイネーブル
LT4254	正の高電圧ホットスワップ・コントローラ	10.8V ~ 36V 動作、開回路検出
LT4256-1/LT4256-2	正の高電圧ホットスワップ・コントローラ	10.8V ~ 80V で動作、アクティブな電流制限、自動リトライ/ラッチオフ

42563fa