

## 特長

- 電源の入った-48Vのバックプレーンに基板を安全に挿入/引抜き可能
- フローティング構成により、高電圧動作が可能
- ブレーカ・タイマ付きの調整可能なアナログ電流制限により、2バッテリー給電に最適
- 高速応答により、ピーク・フォルト電流を制限
- シーケンス制御される3つのパワーグッド出力
- 改善された堅牢なシャント・レギュレータ
- 調整可能なソフトスタート電流制限
- ドレイン電圧によって応答を加速する調整可能なタイマ
- フォルト後にラッチオフ
- 16ピンSSOPパッケージ

## アプリケーション

- -48V 配電システム
- 負電源制御
- 電話局交換機
- 高可用性サーバ
- ディスク・アレイ

LT、LT、LTC、LTM、Linear Technology、およびリニアのロゴはリニアテクノロジー社の登録商標です。Hot Swap はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

## 概要

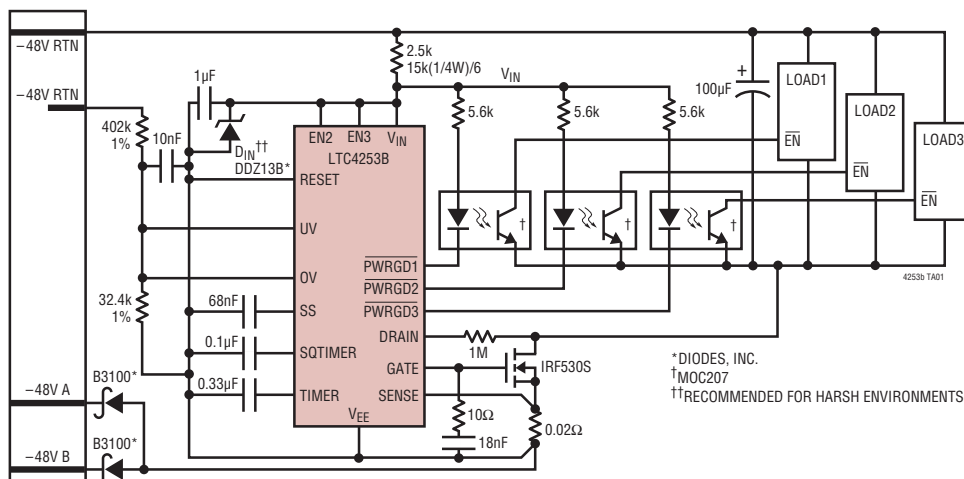
LTC®4253B は、電源の入ったバックプレーンに対して基板を安全に挿入および引き抜き可能にする負電圧 Hot Swap™ コントローラです。出力電流は電流制限(時限式の回路ブレーカ、アクティブ電流制限、最悪の破滅的なフォルト条件においてピーク電流を制限する高速フィードフォワード経路)によって制御されます。LTC4253B は回路のフォルト後にラッチオフします。

調整可能な低電圧および過電圧検出器により、入力電源が所要の動作範囲を超えると負荷が切り離されます。電源入力はシャント・レギュレータで安定化されるので、電源電圧が非常に高い場合でも安全な動作が可能です。マルチ機能タイマは初期起動に遅延を加え、回路ブレーカの応答時間を制御します。過剰な MOSFET のドレイン電圧を検出することによって回路ブレーカの応答時間を短縮し、MOSFET を安全動作領域(SOA)内に維持することができます。調整可能なソフトスタート回路が、起動時の MOSFET 突入電流を制御します。

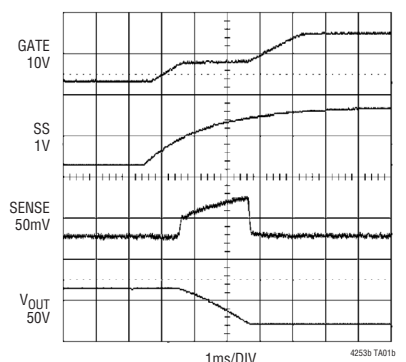
3つのパワーグッド出力は調整可能なタイマと2つの ENABLE 入力によって順番付けされ、起動時に外付けの電源モジュールをイネーブルし、回路ブレーカのトリップ時にディスエーブルします。LTC4253B は LTC4253 シャント・レギュレータをより堅牢なものに改良しています。

## 標準的応用例

-48V/2.5A ホットスワップ・コントローラ



起動動作



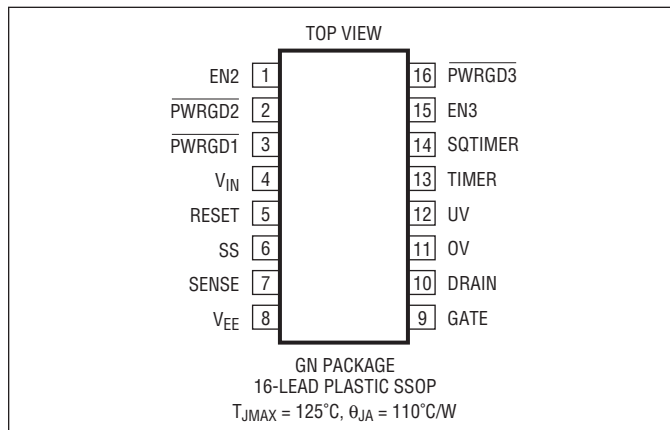
# LTC4253B

## 絶対最大定格

(Note 1)すべての電圧はV<sub>EE</sub>を基準にしている

V <sub>IN</sub> に流れ込む電流(100μsのパルス) .....	100mA
DRAINに流れ込む電流(100μsのパルス) .....	20mA
V <sub>IN</sub> 、DRAINの最小電圧 .....	-0.3V
入力/出力電圧(SENSEとDRAINを除く) .....	-0.3V ~ 16V
SENSE電圧 .....	-0.6V ~ 16V
SENSEピンから流れ出す電流(20μsのパルス) .....	-200mA
最大接合部温度 .....	125°C
動作温度範囲	
LTC4253BC .....	0°C ~ 70°C
LTC4253BI .....	-40°C ~ 85°C
保存温度範囲 .....	-65°C ~ 150°C
リード温度(半田付け、10秒) .....	300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4253BCGN#PBF	LTC4253BCGN#TRPBF	4253B	16-Lead Plastic SSOP	0°C to 70°C
LTC4253BIGN#PBF	LTC4253BIGN#TRPBF	4253B	16-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

**電気的特性** ●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値 (Note 2)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V <sub>Z</sub>	V <sub>IN</sub> - V <sub>EE</sub> Zener Voltage	I <sub>IN</sub> = 2mA	● 11.5	13	14.5	V	
R <sub>Z</sub>	V <sub>IN</sub> - V <sub>EE</sub> Zener Dynamic Impedance	I <sub>IN</sub> = (2mA to 30mA)		5		Ω	
I <sub>IN</sub>	V <sub>IN</sub> Supply Current	UV = 0V = 4V, V <sub>IN</sub> = (V <sub>Z</sub> - 0.3V)	●	0.8	2	mA	
V <sub>LKO</sub>	V <sub>IN</sub> Undervoltage Lockout	Coming Out of UVLO (Rising V <sub>IN</sub> )	●	9.2	11.5	V	
V <sub>LKH</sub>	V <sub>IN</sub> Undervoltage Lockout Hysteresis		● 0.5	1	1.5	V	
V <sub>IH</sub>	TTL Input High Voltage		● 2			V	
V <sub>IL</sub>	TTL Input Low Voltage		●		0.8	V	
V <sub>HYST</sub>	TTL Input Buffer Hysteresis			600		mV	
I <sub>RESET</sub>	RESET Input Current	V <sub>EE</sub> ≤ V <sub>RESET</sub> ≤ V <sub>IN</sub>	●	±0.1	±10	μA	
I <sub>EN</sub>	EN2, EN3 Input Current	V <sub>EN</sub> = 4V V <sub>EN</sub> = 0V	● ●	60 ±0.1	180 ±10	μA μA	
V <sub>CB</sub>	Circuit Breaker Current Limit Voltage	V <sub>CB</sub> = (V <sub>SENSE</sub> - V <sub>EE</sub> )	●	40	50	60	mV
V <sub>ACL</sub>	Analog Current Limit Voltage	V <sub>ACL</sub> = (V <sub>SENSE</sub> - V <sub>EE</sub> ), SS = Open or 2.2V	●	80	100	120	mV
V <sub>FCL</sub>	Fast Current Limit Voltage	V <sub>FCL</sub> = (V <sub>SENSE</sub> - V <sub>EE</sub> )	●	150	200	300	mV
V <sub>SS</sub>	SS Voltage	After End of SS Timing Cycle	●	2	2.2	2.4	V
I <sub>SS</sub>	SS Pin Current	UV = 0V = 4V, V <sub>SENSE</sub> = V <sub>EE</sub> , V <sub>SS</sub> = 0V (Sourcing)	●	12	22	32	μA
		UV = 0V = 0V, V <sub>SENSE</sub> = V <sub>EE</sub> , V <sub>SS</sub> = 1V (Sinking)		28			mA
R <sub>SS</sub>	SS Output Impedance			100		kΩ	
V <sub>OS</sub>	Analog Current Limit Offset Voltage			10		mV	
$\frac{V_{ACL} + V_{OS}}{V_{SS}}$	Ratio (V <sub>ACL</sub> + V <sub>OS</sub> ) to SS Voltage			0.05		V/V	
I <sub>GATE</sub>	GATE Pin Output Current	UV = 0V = 4V, V <sub>SENSE</sub> = V <sub>EE</sub> , V <sub>GATE</sub> = 0V (Sourcing)	●	30	50	70	μA
		UV = 0V = 4V, V <sub>SENSE</sub> - V <sub>EE</sub> = 0.15V, V <sub>GATE</sub> = 3V (Sinking)		17			mA
		UV = 0V = 4V, V <sub>SENSE</sub> - V <sub>EE</sub> = 0.3V, V <sub>GATE</sub> = 1V (Sinking)		190			mA
V <sub>GATE</sub>	External MOSFET Gate Drive	V <sub>GATE</sub> - V <sub>EE</sub> , I <sub>IN</sub> = 2mA	●	10	12	V <sub>Z</sub>	V
V <sub>GATEL</sub>	Gate Low Threshold	Before Gate Ramp Up		0.5		V	
V <sub>GATEH</sub>	Gate High Threshold	V <sub>GATEH</sub> = V <sub>IN</sub> - V <sub>GATE</sub> , for PWRGD1, PWRGD2, PWRGD3 Status		2.8		V	
V <sub>UVHI</sub>	UV Pin Threshold HIGH	UV Low to High	●	3.075	3.225	3.375	V
V <sub>UVLO</sub>	UV Pin Threshold LOW	UV High to Low	●	2.775	2.925	3.075	V
V <sub>UVHST</sub>	UV Pin Hysteresis			230	300	350	mV
V <sub>OVHI</sub>	OV Pin Threshold HIGH	OV Low to High	●	5.85	6.15	6.45	V
V <sub>OVLO</sub>	OV Pin Threshold LOW	OV High to Low	●	5.55	5.85	6.15	V
V <sub>OVHST</sub>	OV Pin Hysteresis			230	300	350	mV
I <sub>SENSE</sub>	SENSE Pin Input Current	UV = 0V = 4V, V <sub>SENSE</sub> = 50mV (Sourcing)	●	15	30	μA	
I <sub>INP</sub>	UV, OV Pin Input Current	UV = 0V = 4V	●	±0.1	±1	μA	
V <sub>TMRH</sub>	TIMER Pin Voltage High Threshold		●	3.5	4	4.5	V

# LTC4253B

## 電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

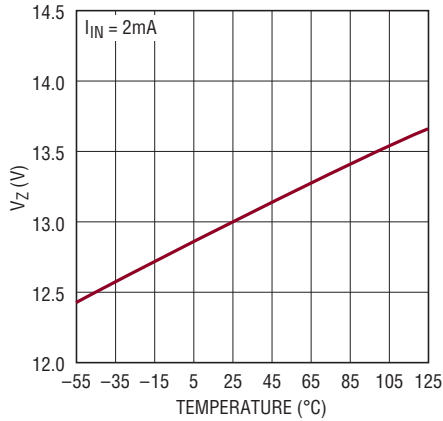
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{TMRL}$	TIMER Pin Voltage Low Threshold		●	0.8	1	1.2	V
$I_{TMR}$	TIMER Pin Current	Timer On (Initial Cycle/Latchoff, Sourcing), $V_{TMR} = 2V$	●	3	5	7	$\mu\text{A}$
		Timer Off (Initial Cycle, Sinking), $V_{TMR} = 2V$			28		mA
		Timer On (Circuit Breaker, Sourcing, $I_{DRN} = 0\mu\text{A}$ ), $V_{TMR} = 2V$	●	120	200	280	$\mu\text{A}$
		Timer On (Circuit Breaker, Sourcing, $I_{DRN} = 50\mu\text{A}$ ), $V_{TMR} = 2V$			600		$\mu\text{A}$
		Timer Off (Circuit Breaker, Sinking), $V_{TMR} = 2V$	●	3	5	7	$\mu\text{A}$
$\frac{\Delta I_{TMRACC}}{\Delta I_{DRN}}$	$I_{TMR}$ at $I_{DRN} = 50\mu\text{A}$ – $I_{TMR}$ at $I_{DRN} = 0\mu\text{A}$ 50 $\mu\text{A}$	Timer On (Circuit Breaker with $I_{DRN} = 50\mu\text{A}$ )	●	7	8	9	$\mu\text{A}/\mu\text{A}$
$V_{SQTMRH}$	SQTIMER Pin Voltage High Threshold		●	3.5	4	4.5	V
$V_{SQTMRL}$	SQTIMER Pin Voltage Low Threshold			0.33		V	
$I_{SQTMR}$	SQTIMER Pin Current	SQTIMER On (Power Good Sequence, Sourcing), $V_{SQTMR} = 2V$	●	3	5	7	$\mu\text{A}$
		SQTIMER Off (Power Good Sequence, Sinking), $V_{SQTMR} = 2V$			28		mA
$V_{DRNL}$	DRAIN Pin Voltage Low Threshold	For PWRGD1, PWRGD2, PWRGD3 Status	●	2	2.39	3	V
$I_{DRNL}$	DRAIN Leakage Current	$V_{DRAIN} = 5V$ $V_{DRAIN} = 4V$		$\pm 0.1$	$\pm 1$	$\mu\text{A}$ $\mu\text{A}$	
$V_{DRNCL}$	DRAIN Pin Clamp Voltage	$I_{DRN} = 50\mu\text{A}$	●	6	7	8.5	V
$V_{PGL}$	PWRGD1, PWRGD2, PWRGD3 Output Low Voltage	$I_{PG} = 1.6\text{mA}$	●		0.25	0.4	V
		$I_{PG} = 5\text{mA}$	●			1.2	V
$I_{PGH}$	PWRGD1, PWRGD2, PWRGD3 Output High Current	$V_{PG} = 0V$ (Sourcing)	●	30	50	70	$\mu\text{A}$
$t_{SQ}$	SQTIMER Default Ramp Period	SQTIMER Pin Floating, $V_{SQTMR}$ Ramps from 0.5V to 3.5V			250		$\mu\text{s}$
$t_{SS}$	SS Default Ramp Period	SS Pin Floating, $V_{SS}$ Ramps from 0.2V to 2V			250		$\mu\text{s}$
$t_{PLLUG}$	UV Low to GATE Low		●		0.4	5	$\mu\text{s}$
$t_{PHLOG}$	OV High to GATE Low		●		0.4	5	$\mu\text{s}$

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

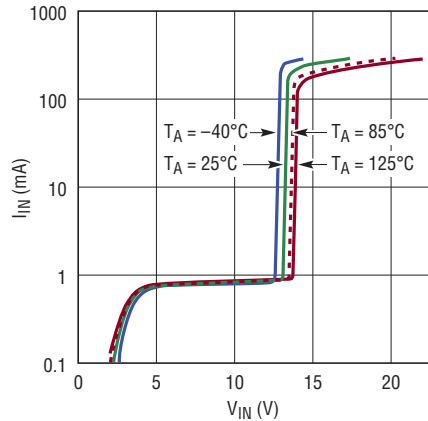
**Note 2:** デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れ出す電流はすべて負。注記がない限り、すべての電圧は  $V_{EE}$  を基準にしている。

## 標準的性能特性

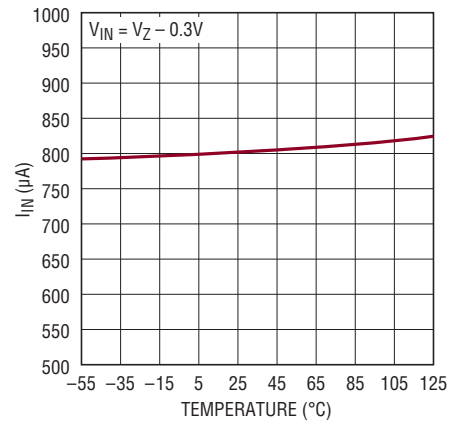
**V<sub>Z</sub>と温度**



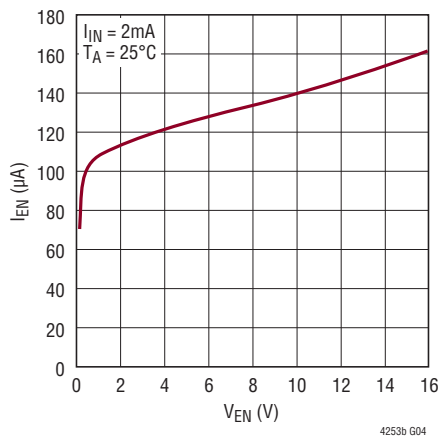
**I<sub>IN</sub>とV<sub>IN</sub>**



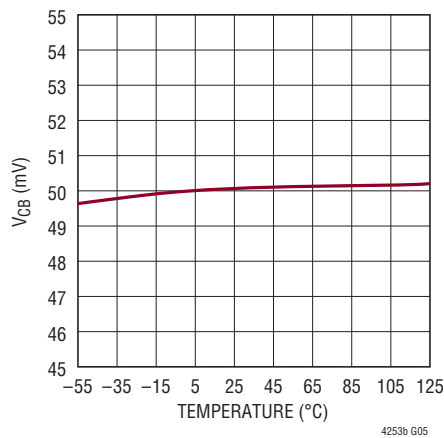
**I<sub>IN</sub>と温度**



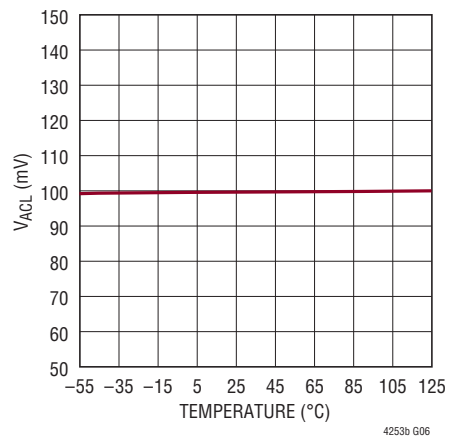
**I<sub>EN</sub>とV<sub>EN</sub>**



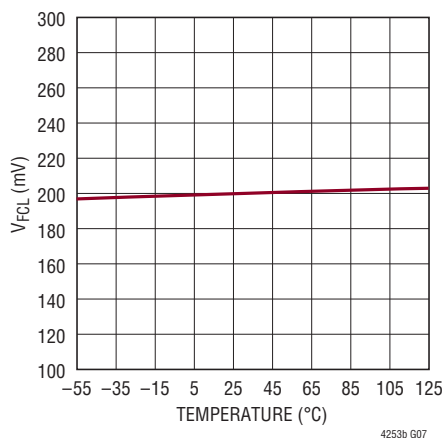
**回路ブレーカの電流制限電圧V<sub>CB</sub>と温度**



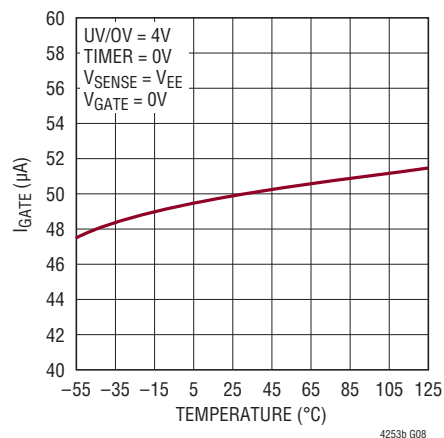
**アナログ電流制限電圧V<sub>ACL</sub>と温度**



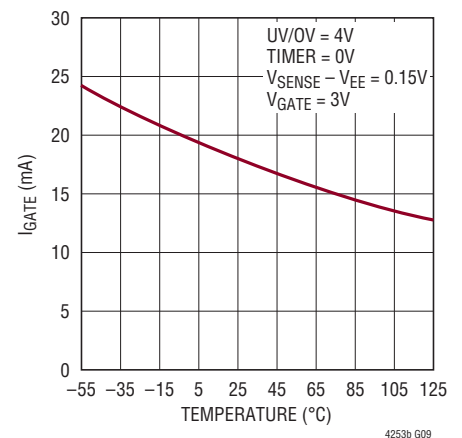
**高速電流制限電圧V<sub>FCL</sub>と温度**



**I<sub>GATE</sub>(ソース)と温度**

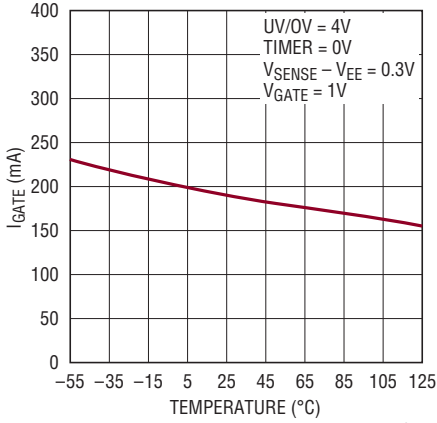


**I<sub>GATE</sub>(ACL、シンク)と温度**

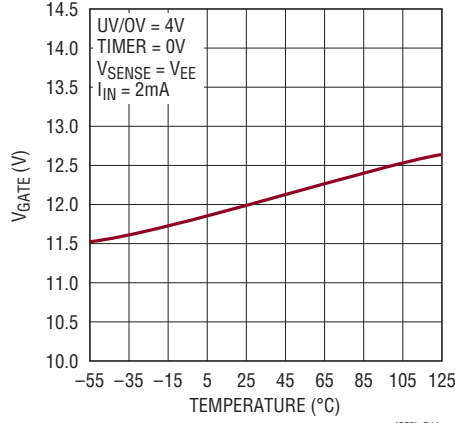


## 標準的性能特性

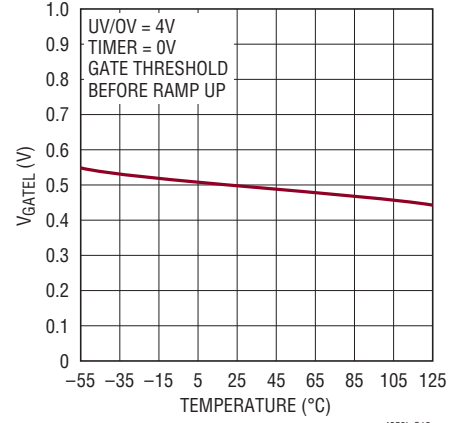
**I<sub>GATE</sub> (FCL、シンク)と温度**



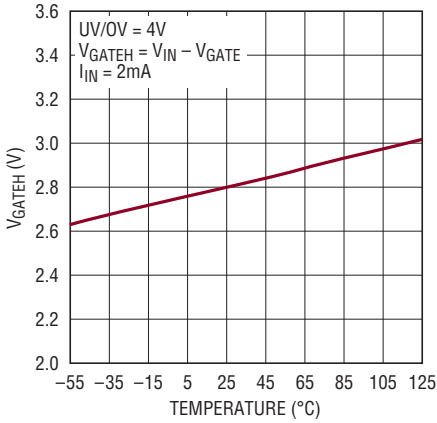
**V<sub>GATE</sub>と温度**



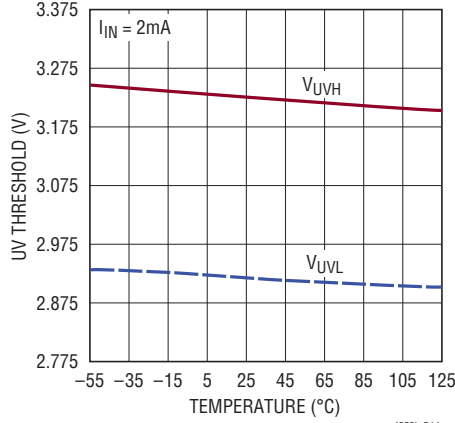
**V<sub>GATEL</sub>と温度**



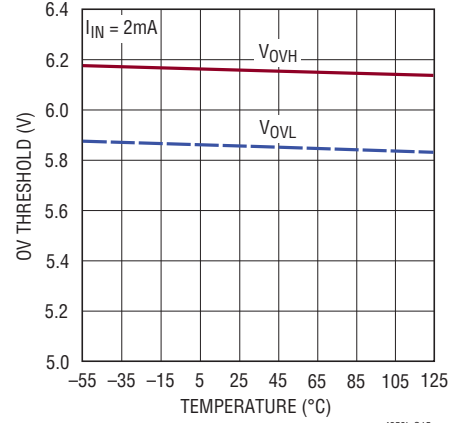
**V<sub>GATEH</sub>と温度**



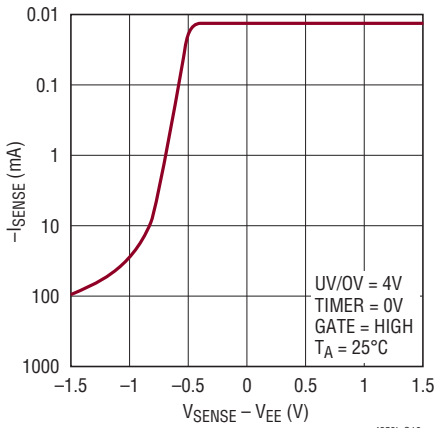
**UVしきい値と温度**



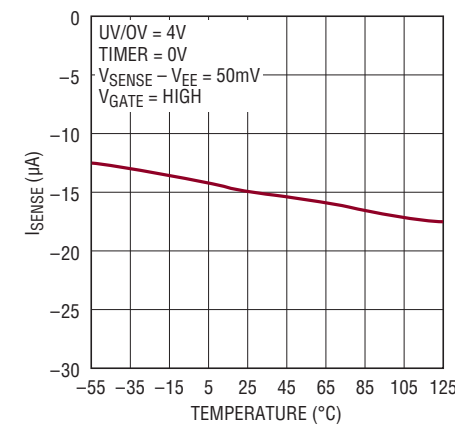
**OVしきい値と温度**



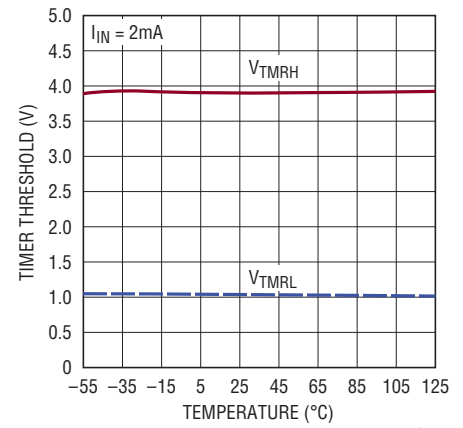
**I<sub>SENSE</sub>と(V<sub>SENSE</sub> - V<sub>EE</sub>)**



**I<sub>SENSE</sub>と温度**

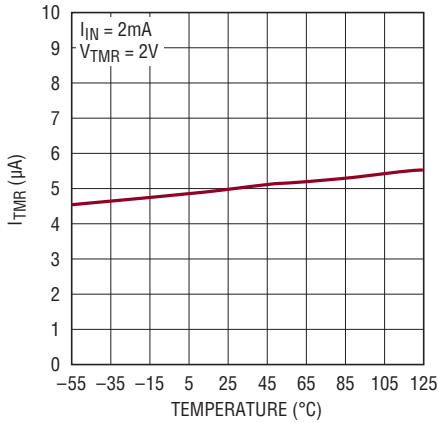


**TIMERしきい値と温度**



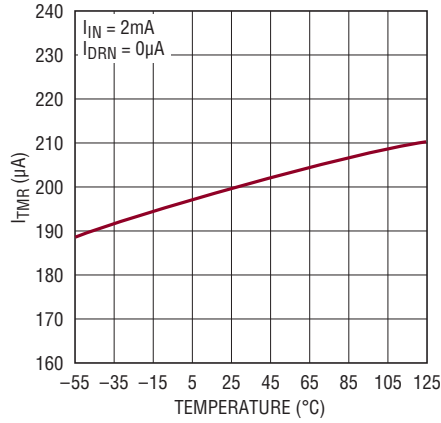
標準的性能特性

$I_{TMR}$  (初期サイクル、ソース)と温度



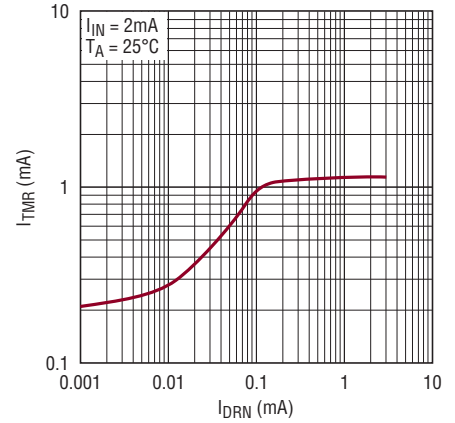
4253b G19

$I_{TMR}$  (回路ブレーカ、ソース)と温度



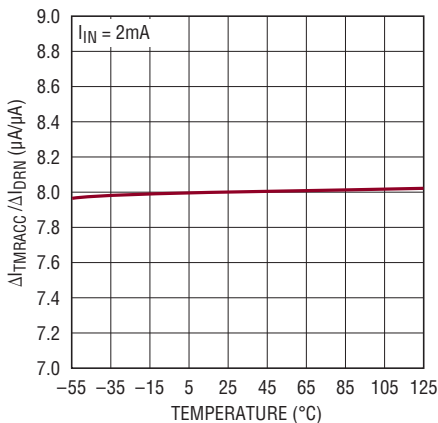
4253b G20

$I_{TMR}$ と $I_{DRN}$



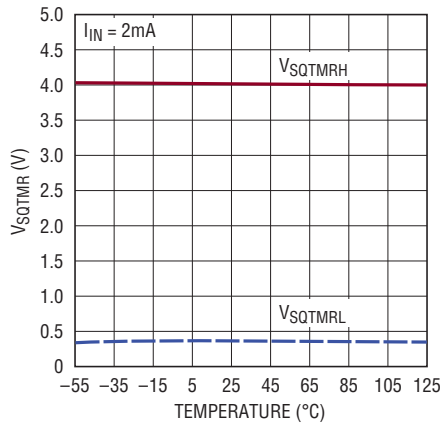
4253b G21

$\Delta I_{TMRACC}/\Delta I_{DRN}$ と温度



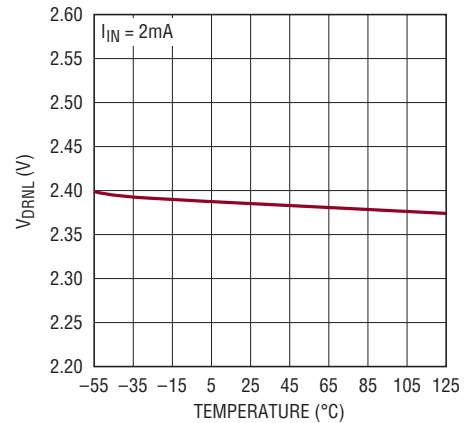
4253b G22

SQTIMERしきい値と温度



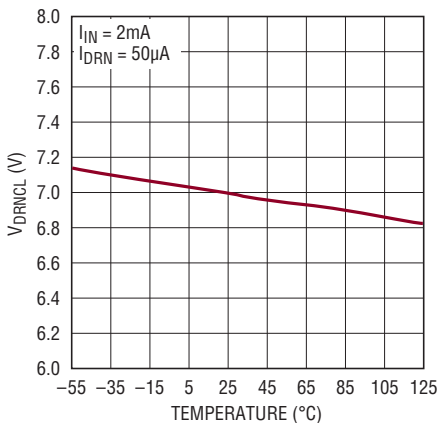
4253b G23

$V_{DRNL}$ と温度



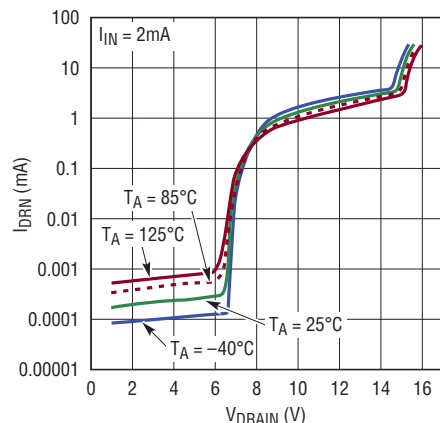
4253b G24

$V_{DRNCL}$ と温度



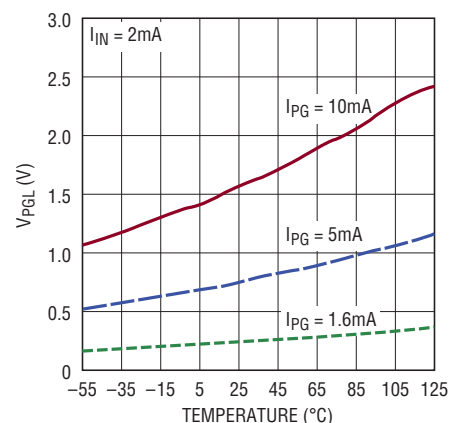
4253b G25

$I_{DRN}$ と $V_{DRAIN}$



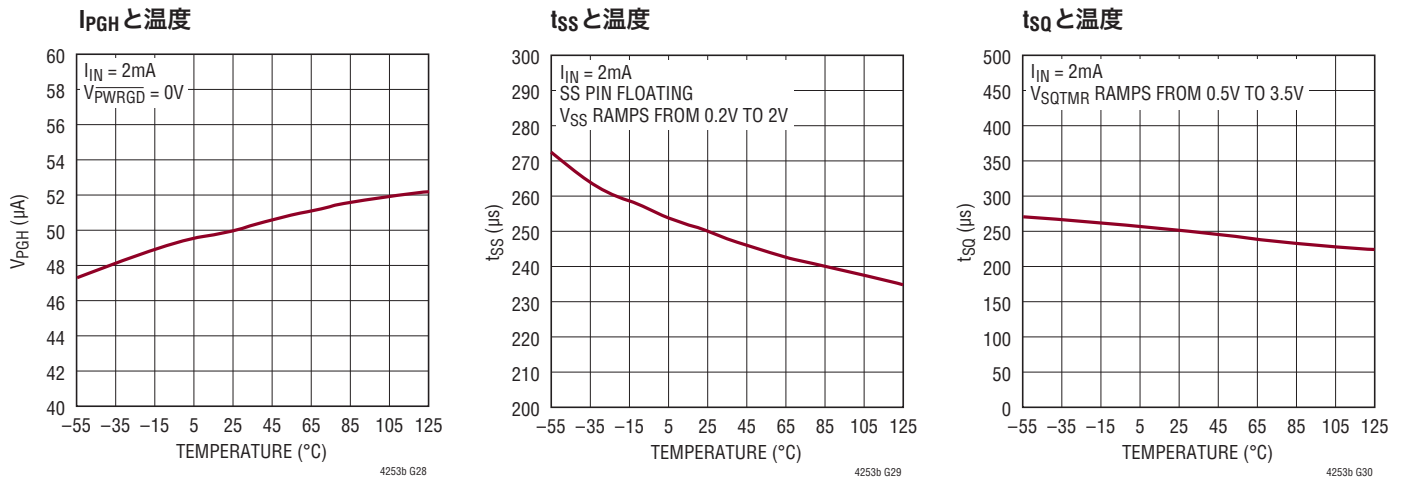
4253b G26

$V_{PGL}$ と温度



4253b G27

## 標準的性能特性



## ピン機能

**EN2 (ピン1) :** パワーグッド状態出力2のイネーブル・ピン。これはTTL互換入力で、 $\overline{PWRGD2}$ の出力と $\overline{PWRGD3}$ の出力を制御するのに使用されます。EN2が“L”に駆動されると、 $\overline{PWRGD2}$ と $\overline{PWRGD3}$ はどちらも“H”になります。EN2が“H”に駆動されると、シーケンス・タイマによって設定されるパワーグッド・シーケンス遅延時間( $t_{SQT}$ )より長く $\overline{PWRGD1}$ がアクティブ状態になっている場合、 $\overline{PWRGD2}$ は“L”になります。EN2はパワーグッド・シーケンスの制御に使用することができます。このピンは内部で120 $\mu A$ の電流源によって“L”に引き下げられています。

**$\overline{PWRGD2}$  (ピン2) :** パワーグッド状態出力2。パワーグッド・シーケンスは、 $\overline{PWRGD1}$ をアクティブ“L”にラッチすることから始まります。 $\overline{PWRGD2}$ は、EN2が“H”になった後か、 $\overline{PWRGD1}$ が“L”になってからシーケンス・タイマによって設定されるパワーグッド・シーケンス遅延時間 $t_{SQT}$ が経過した後か、どちらか遅い時点でアクティブ“L”にラッチされます。 $\overline{PWRGD2}$ は、 $\overline{PWRGD1}$ が“H”になるか、またはEN2が“L”になるとリセットされます。このピンは内部で50 $\mu A$ の電流源によって“H”に引き上げられています。

**$\overline{PWRGD1}$  (ピン3) :** パワーグッド状態出力1。起動時に、DRAINピンの電圧が2.39Vより低くなり、GATEピンの電圧が $V_{IN}$ の2.8V以内になると、 $\overline{PWRGD1}$ はアクティブ“L”にラッチし、パワーグッド・シーケンスが開始されます。 $\overline{PWRGD1}$ の状態がリセットされるのは、UVピンまたは $V_{IN}$ ピン(UVLO)を使用するか、RESETを“H”にするか、または回路ブレーカのフォルト・タイムアウトが経過した場合です。このピンは内部で50 $\mu A$ の電流源によって“H”に引き上げられています。

**$V_{IN}$  (ピン4) :** 正の電源入力。このピンは、電圧降下抵抗を介して電源の正電圧側に接続します。 $V_{IN}$ はシャント・レギュレータによって $V_{EE}$ より13V高い電圧にクランプされます。内部の低電圧ロックアウト(UVLO)回路は、 $V_{IN}$ ピンの電圧が $V_{LKO}$ よりも高くなるまでGATEを“L”に保ち、UVとOVを無効にします。UVが“H”で、OVが“L”であり、 $V_{IN}$ の電圧がUVLOを超えると、TIMERはGATE電圧の上昇を開始する前に初期タイミング・サイクルを開始します。 $V_{IN}$ が約8.2Vより低くなると、GATEは直ちに“L”に引き下げられます。



## ピン機能

**RESET (ピン5) :** 回路ブレーカのリセット・ピン。これは非同期のTTL互換入力です。RESETが“H”になると、GATE、SS、TIMER、SQTIMERが“L”になり、 $\overline{\text{PWRGD}}$ の出力が“H”になります。RESETパルスは、TIMERピンの電圧が $V_{\text{TMRL}}$ より低い場合、これを放電するのに十分なほど広くする必要があります。「動作」のセクションの「インターロック条件」で説明するように、デバイスは、ラッチされたフォルト信号がリセットされた後、インターロック条件が満たされるのを待ってから回復します。

**SS (ピン6) :** ソフトスタート・ピン。このピンを使って起動時に突入電流を徐々に増加させることにより、 $di/dt$ を制御します。SSピンの電圧を1/20に減衰した電圧が電流制限アンプに与えられます。この減衰した電圧により、ソフトスタートの電流制限時にセンス抵抗を流れるMOSFETのドレイン電流が制限されます。起動サイクルの開始時に、SSコンデンサ( $C_{\text{SS}}$ )の電圧は $22\mu\text{A}$ の電流源によって徐々に上昇します。SSの電圧が $20 \cdot V_{\text{OS}} = 0.2\text{V}$ を超えるまで、GATEピンは“L”に保たれます。SSは内部で $100\text{k}\Omega$ の $R_{\text{SS}}$ によって分流されているので、SSピンの電圧は $2.2\text{V}$ に制限されます。これは $100\text{mV}$ のアナログ電流制限SENSE電圧に相当します。SSコンデンサを省略すると、SSピンは約 $250\mu\text{s}$ で立ち上がります。SSピンは以下の条件のいずれかで“L”になります。 $V_{\text{IN}}$ でのUVLO時、低電圧時、過電圧時、初期タイミング・サイクルの間、ラッチされた回路ブレーカの障害タイムアウト時、またはRESETピンが“H”になるときです。

**SENSE (ピン7) :** 回路ブレーカ/電流制限検出ピン。負荷電流はSENSEと $V_{\text{EE}}$ の間に接続されたセンス抵抗 $R_{\text{S}}$ によってモニタされ、3段階で制御されます。SENSEの電圧が $V_{\text{CB}}$  ( $50\text{mV}$ )を超えると、回路ブレーカのコンパレータが( $200\mu\text{A} + 8 \cdot I_{\text{DRN}}$ )のTIMERプルアップ電流を流します。SENSEの電圧が $V_{\text{ACL}}$ を超えると、アナログ電流制限アンプがGATEの電圧を引き下げ、MOSFETの電流を $V_{\text{ACL}}/R_{\text{S}}$ に制御します。破壊的な短絡の場合は、SENSEに $V_{\text{ACL}}$ を超えるオーバーシュートが生じることがあります。SENSEの電圧が $V_{\text{FCL}}$  ( $200\text{mV}$ )に達すると、高速電流制限コンパレータが強力なプルダウンを使ってGATEを“L”に引き下げます。回路ブレーカ機能と電流制限機能を無効にするには、SENSEを $V_{\text{EE}}$ に接続します。

**$V_{\text{EE}}$  (ピン8) :** 負の電源電圧入力。このピンは電源の負電圧側に接続します。

**GATE (ピン9) :** NチャネルMOSFETのゲート駆動出力。このピンは $50\mu\text{A}$ の電流源によって“H”に引き上げられています。 $V_{\text{IN}}$  (UVLO)、UV、OVでの無効な条件によるか、初期タイミング・サイクル時、回路ブレーカの障害タイムアウト時、またはRESETピンが“H”になるときに、GATEは“L”になります。GATEは能動的にサーボ制御され、SENSEで測定されるフォルト電流を制御します。GATEの補償コンデンサ $C_{\text{C}}$ がこのループを安定化します。コンパレータはGATEをモニタし、GATEが“L”であることを確認してから、初期タイミング・サイクル、過電圧状況発生後のGATE電圧の上昇、または電流制限障害後の再起動を可能にします。GATEの起動時に、2番目のコンパレータは、 $\overline{\text{PWRGD}}$ を設定できるようにGATEの電圧が $V_{\text{IN}}$ の $2.8\text{V}$ 以内であることを検出し、その後パワーグッド・シーケンスが開始されます。

**DRAIN (ピン10) :** ドレイン検出入力。このピンとMOSFETのドレイン( $V_{\text{OUT}}$ )の間に外付け抵抗 $R_{\text{D}}$ を接続することにより、 $6.15\text{V}$ より低い電圧の検出とTIMERへの電流帰還が可能になります。コンパレータはDRAINが $2.39\text{V}$ より低いかどうかを検出し、GATEが“H”のコンパレータと一緒に $\overline{\text{PWRGD}}$ フラグをセットします。 $V_{\text{OUT}}$ が $V_{\text{DRNCL}}$ を超えると、DRAINピンはほぼ $V_{\text{DRNCL}}$ にクランプされます。回路ブレーカのフォルト・サイクルの間、 $R_{\text{D}}$ の電流は内部で8倍されてTIMERの $200\mu\text{A}$ に加算されます。これにより、フォルト状態の時間が短縮され、MOSFETの発熱が抑えられます。

**OV (ピン11) :** 過電圧入力。LTC4253Bの場合、OVピンでのしきい値は $6.15\text{V}$ に設定されており、 $0.3\text{V}$ のヒステリシスがあります。OVの電圧が $6.15\text{V}$ を超えると、GATEは“L”になります。OVの電圧が $5.85\text{V}$ 未満に戻ると、初期タイミング・サイクルなしでGATEの起動が始まります。初期タイミング・サイクルの途中で過電圧が発生すると、初期タイミング・サイクルは過電圧状態が解消された後に再開されます。OVはラッチされたフォルト信号や $\overline{\text{PWRGD}}$ フラグはリセットしません。 $V_{\text{IN}}$ での内部UVLOは、常にOVより優先されます。OVに $1\text{nF} \sim 10\text{nF}$ のコンデンサを付加すると、トランジェントとスイッチング・ノイズがOVのしきい値に影響しないようになり、GATEでのグリッチ発生が防止されます。

## ピン機能

**UV (ピン12) :** 低電圧入力。LTC4253Bの場合、UVピンでのしきい値は3.225Vに設定されており、0.3Vのヒステリシスがあります。UVの電圧が2.925Vより低い場合、 $\overline{\text{PWRGD1}}$ は“H”になり、GATEとTIMERは両方とも“L”になります。UVの電圧が上昇して3.225Vを超えると、初期タイミング・サイクルが開始され、その後でGATEが起動します。 $V_{\text{IN}}$ での内部UVLOは、常にUVより優先されます。UVが“L”になると、内部のフォルト・ラッチがリセットされます。UVに1nF～10nFのコンデンサを付加すると、トランジェントとスイッチング・ノイズがUVのしきい値に影響しないようになり、GATEピンでのグリップ発生が防止されます。

**TIMER (ピン13) :** タイマ入力。タイマは、起動時の初期遅延時間を発生させる場合や、出力過負荷(回路ブレーカの障害)時のシャットダウンを遅延させるときに使用します。タイマは、以下の条件が満たされると初期タイミング・サイクルを開始します。その条件は、RESETが“L”、UVが“H”、OVが“L”、 $V_{\text{IN}}$ がUVLO状態をクリア、TIMERピンが“L”、GATEピンの電圧が $V_{\text{GATEL}}$ より低い、 $SS < 0.2V$ 、および $V_{\text{SENSE}} - V_{\text{EE}} < V_{\text{CB}}$ です。次に、5 $\mu\text{A}$ のプルアップ電流が $C_{\text{T}}$ を充電し、これによって遅延時間が発生します。 $C_{\text{T}}$ が $V_{\text{TMRH}}$ (4V)まで充電されると、タイミング・サイクルは終了します。TIMERはすぐに“L”になり、GATEが作動します。

GATEが“H”のときにSENSEが50mVを超えると、回路ブレーカのサイクルが開始され、200 $\mu\text{A}$ のプルアップ電流が $C_{\text{T}}$ を充電します。このサイクル中にDRAINの電圧が約7Vである場合、タイマのプルアップ電流は $8 \cdot I_{\text{DRN}}$ だけ増加します。TIMERの電圧が4Vに達する前にSENSEの電圧が低下して50mVより低くなると、5 $\mu\text{A}$ のプルダウン電流が $C_{\text{T}}$ を緩やかに放電します。 $C_{\text{T}}$ の電圧が最終的に $V_{\text{TMRH}}$ しきい値(4V)まで達した場合は、回路ブレーカが作動し、GATEは急速に“L”

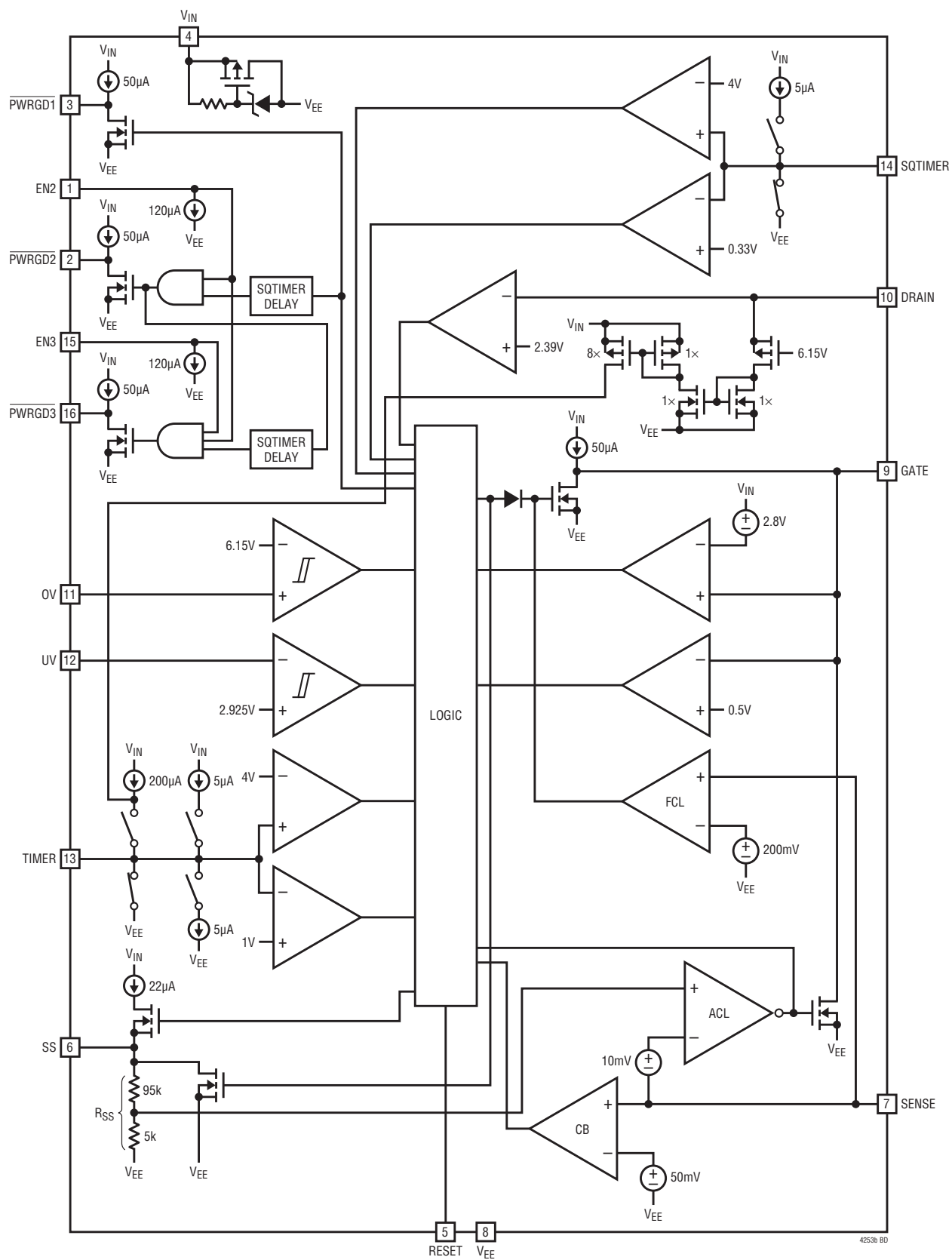
になり、 $\overline{\text{PWRGD1}}$ は“H”になります。TIMERは5 $\mu\text{A}$ のプルアップ電流源によって“H”にラッチします。このラッチされたフォルト信号は、TIMERが“L”になるまではRESETを“H”に駆動することによって解消できます。フォルト信号を解除するその他の方法としては、 $V_{\text{IN}}$ ピンの電圧を瞬間的に( $V_{\text{LKO}} - V_{\text{LKH}}$ )より低くするか、外付けのデバイスによってTIMERを“L”にするか、UVピンの電圧を2.925Vより低くします。

**SQTIMER (ピン14) :** シーケンス・タイマ入力。シーケンス・タイマはパワーグッド・シーケンスの遅延 $t_{\text{SQT}}$ を発生します。この遅延はこのピンに適切なコンデンサを接続して調整します。SQTIMERにコンデンサを接続しない場合、SQTIMERピンは約300 $\mu\text{s}$ で0Vから4Vまで上昇します。

**EN3 (ピン15) :** パワーグッド状態出力3のイネーブル・ピン。これはTTL互換入力で、 $\overline{\text{PWRGD3}}$ の出力を制御するのに使用されます。EN3が“L”に駆動されると、 $\overline{\text{PWRGD3}}$ は“H”になります。EN3が“H”に駆動されると、パワーグッド・シーケンス遅延時間( $t_{\text{SQT}}$ )より長く $\overline{\text{PWRGD2}}$ がアクティブ状態になっている場合、 $\overline{\text{PWRGD3}}$ は“L”になります。EN3はパワーグッド・シーケンスの制御に使用することができます。このピンは内部で120 $\mu\text{A}$ の電流源によって“L”に引き下げられています。

**$\overline{\text{PWRGD3}}$  (ピン16) :** パワーグッド状態出力3。パワーグッド・シーケンスは、 $\overline{\text{PWRGD1}}$ をアクティブ“L”にラッチすることから始まります。 $\overline{\text{PWRGD3}}$ は、EN3が“H”になった後か、 $\overline{\text{PWRGD2}}$ が“L”になってからシーケンス・タイマによって設定されるパワーグッド・シーケンス遅延時間 $t_{\text{SQT}}$ が経過した後か、どちらか遅い時点でアクティブ“L”にラッチされます。 $\overline{\text{PWRGD3}}$ は、 $\overline{\text{PWRGD1}}$ が“H”になるか、またはEN3が“L”になるとリセットされます。このピンは内部で50 $\mu\text{A}$ の電流源によって“H”に引き上げられています。

ブロック図



4253bf

## 動作

### 活線挿入

電源の入っているバックプレーンに回路基板を挿入する場合、電源のバイパス・コンデンサを充電するときに電源バスから大きなトランジェント電流が流れることがあります。この電流によってコネクタ・ピンが損傷を受け、電源バスにグリッチが生じる結果、システム内の他の基板がリセットされます。LTC4253Bは回路基板の電源の投入を制御された状態で行うように設計されているので、グリッチの発生やコネクタの損傷なしに挿入や引き抜きを行なうことができます。

### 最初の起動

LTC4253Bは着脱可能な回路基板上に置かれ、コネクタと負荷または電力変換回路の間の経路を外部のMOSFETスイ

チを使って制御します(図1参照)。突入電流制御と短絡保護の両方ともMOSFETによって行われます。

詳細な回路図を図2に示します。-48Vと-48RTNは最も長いコネクタ・ピンを介して電力が供給されるので、基板が挿入される時最初に接続されます。この間、GATEピンがMOSFETをオフに保ちます。UV/OVは、内部の高精度しきい値と外付けの抵抗分割器に基づいて、MOSFETをオンするかどうかを決定します。UV/OVはコネクタが接続されているかどうかをモニタすることにより、2つの役割を果たします。抵抗分割器の上端は、挿入手順中の最後に接続される短いコネクタ・ピンを介して-48RTNを検出します。

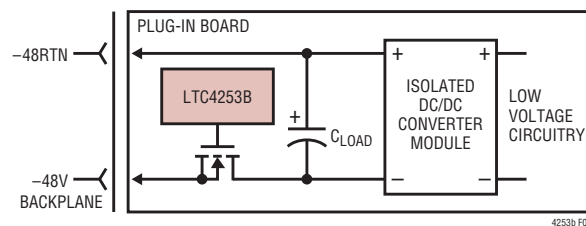
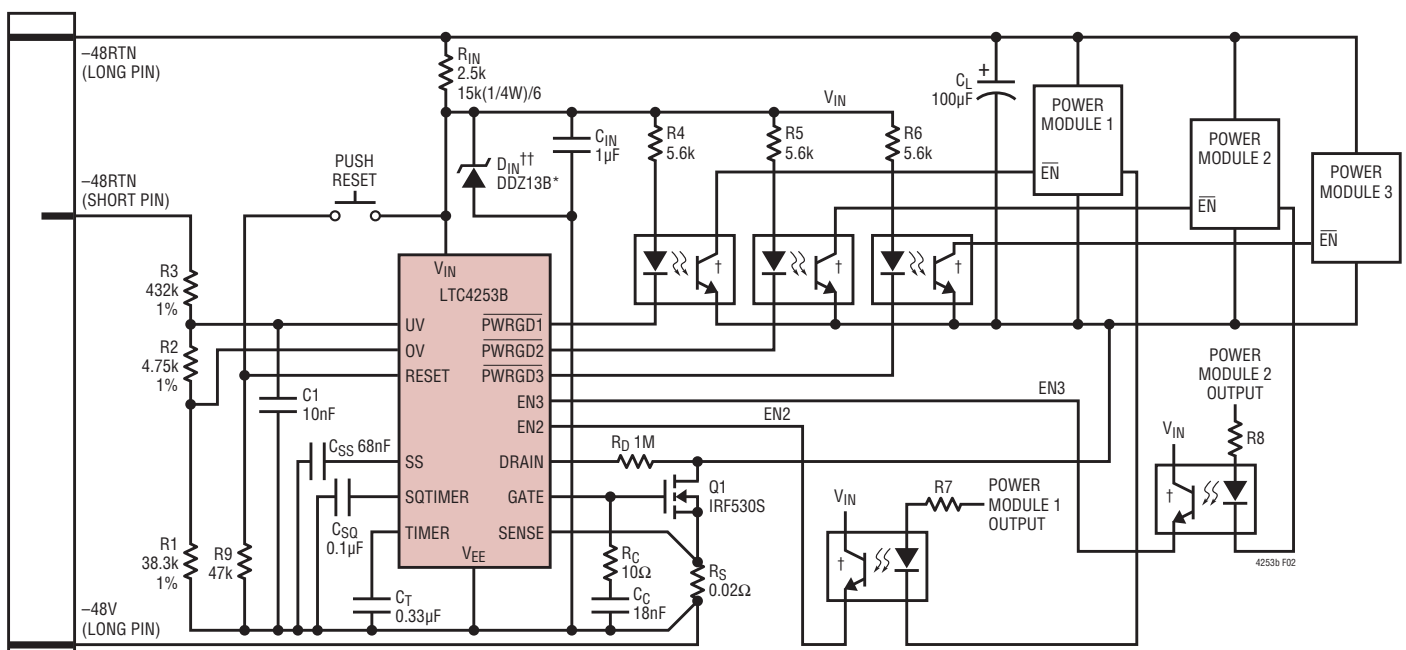


図1. 基本的なLTC4253Bのホットスワップ配置



\* DIODES, INC.  
† MOC207  
†† RECOMMENDED FOR HARSH ENVIRONMENTS.

図2. 動作範囲の広い-48V/2.5Aのアプリケーション

## 動作

### インターロック条件

起動シーケンスは以下の「インターロック」条件が満たされると開始されます。

1. 入力電圧  $V_{IN}$  が  $V_{LKO}$  (UVLO) を超える
2. UV の電圧が  $V_{UVHI}$  より高い
3. OV の電圧が  $V_{OVLO}$  より低い
4. RESET の入力電圧が 0.8V より低い
5. (SENSE -  $V_{EE}$ ) の電圧が 50mV ( $V_{CB}$ ) より低い
6. SS の電圧が  $0.2V (20 \cdot V_{OS})$  より低い
7. TIMER コンデンサ ( $C_T$ ) の電圧が 1V ( $V_{TMRL}$ ) より低い
8. GATE の電圧が 0.5V ( $V_{GATEL}$ ) より低い

最初の4つの条件は常時モニタされ、残りの4つの条件は初期タイミングまたはGATEのランプアップの前にチェックされます。過電圧状態から抜け出すと、TIMERピンの電圧要件は適用されません。詳細については、「アプリケーション情報」の「タイミング波形」のセクションを参照してください。

LTC4253BがUVLO (インターロック条件1)と低電圧(インターロック条件2)の状態から抜け出した後でRESETが0.8Vより低くなる場合、その他のインターロック条件が満たされると、初期TIMERサイクルなしにGATEとSSが解放されます(図12aを参照)。そうでない場合、TIMERは $C_T$ に5 $\mu$ Aを供給することによって起動シーケンスを開始します。 $V_{IN}$ 、UVまたはOVが範囲から外れるか、RESETが有効になると、起動サイクルが停止し、TIMERは $C_T$ を1V以下に放電してから、前述の条件が再度満たされるまで待機します。 $C_T$ が4Vまで正常に充電されると、TIMERは“L”になり、SSピンとGATEピンの両方が解放されます。GATEからは50 $\mu$ A ( $I_{GATE}$ ) が流れ出て、MOSFETのゲートとそれに付随した容量を充電します。SS電圧が徐々に上昇することによって $V_{SENSE}$ が制限され、突入電流が抑制されます。GATEの電圧が $V_{IN}$ の2.8V以内になり、DRAINの電圧が $V_{DRNL}$ より低くなると、 $\overline{PWRGD1}$ はアクティブ“L”になります。これにより、パワーグッド・シーケンスが開始され、遅延時間経過後、 $\overline{PWRGD2}$ 、 $\overline{PWRGD3}$ の順に“L”になります。この遅延時間はSQTIMERコンデンサ $C_{SQ}$ または外部制御入力EN2およびEN3によって調整可能です。このようにして、外部負荷または3つの $\overline{PWRGD}$ 信号によって制御される電源モジュールは、電源バスに過負荷を生じることなく制御された状態でオンします。

MOSFETが最初にオンするときは、外付け部品の値、MOSFETの特性、および公称設計電流に応じて、2つの動作モードが可能です。1つ目は、負荷容量への突入電流が小さい値に維持されるように、MOSFETが徐々にオンするモードです。出力が単純に-48Vまで増加するので、LTC4253BはMOSFETを完全に導通させます。2つ目は、負荷電流がソフトスタート電流制限しきい値である $[V_{SS}(t)/20 - V_{OS}]/R_S$ を超えるモードです。この場合、LTC4253Bは、ソフトスタートによって制限された電流を負荷容量に流し込むことにより、出力を上昇させます。ソフトスタート電圧が1.2Vより低いと、回路ブレーカのTIMERは“L”に保たれます。1.2Vを超えると、TIMERの電圧は徐々に上昇します。どちらの起動モードが使われるかに関係なく、TIMERの電圧上昇時間が回路ブレーカの遅延時間よりも短くなるようにタイマの遅延時間を設定することが重要です。この条件が満たされないと、LTC4253Bは回路ブレーカの遅延時間後にシャットダウンすることがあります。

### 基板の引き抜き

カードケージから基板を引き抜くと、UV/OVの抵抗分割器の接続が最初に失われます。これにより、MOSFETがオフしてコネクタ内の電流が反転します。引き続き電源ピンが切り離されるとき、アーク放電は発生しません。

### 電流制御

3つのレベルの保護により、短絡状態と過負荷状態が処理されます。負荷電流はSENSEと抵抗 $R_S$ によってモニタされます。SENSEには3つの異なるしきい値があります。時限回路ブレーカ機能用の50mV、アナログ電流制限ループ用の100mV、それに高速フィードフォワード・コンパレータ用の200mVです。このコンパレータは破壊的な短絡発生時にピーク電流を制限します。

出力の過負荷によって $R_S$ 両端の電圧降下が50mVを超えると、TIMERは $C_T$ に200 $\mu$ Aを流し込みます。 $C_T$ が最終的に4Vのしきい値まで充電されると、LTC4253Bはオフします。 $C_T$ が4Vに達する前に過負荷状態が解消されてSENSEが50mVより低くなると、 $C_T$ は緩やかに放電します(5 $\mu$ A)。このようにして、LTC4253Bの回路ブレーカ機能は低デューティ・サイクルの過負荷にตอบสนองし、発熱が速く冷却が遅いMOSFETの特性に対応しています。

## 動作

大きな過負荷はアナログ電流制限ループによって処理されます。 $R_S$  両端の電圧降下が  $V_{ACL}$  に達すると、電流制限ループは MOSFET のゲートをサーボ制御して、一定の出力電流  $V_{ACL}/R_S$  を維持します。電流制限モードでは、通常は  $V_{OUT}$  (MOSFET のドレイン/ソース間電圧降下) が上昇し、これによって MOSFET の発熱が加速します。 $V_{OUT} > V_{DRNCL}$  の場合は、外付け抵抗  $R_D$  を  $V_{OUT}$  と DRAIN の間に接続すると、TIMER コンデンサの充電を加速することにより、フォルト・タイミグ・サイクルを短縮することができます。TIMER のプルアップ電流は  $I_{DRN}$  の 8 倍増加します。SENSE の電圧が 50mV を超えているため、この時間に TIMER が  $C_T$  を充電し、LTC4253B は最終的にシャットダウンすることに注意してください。

LTC4253B の負荷側の低インピーダンスの障害と 48V 以上の潜在的駆動能力の組み合わせにより、50A/ $\mu$ s を十分超える電流スループレートが生じることがあります。これらの条件では、オーバーシュートは避けられません。しきい値が 200mV の高速 SENSE コンパレータがオーバーシュートを検出し、弱い電流制限ループよりもはるかに強力に、したがってはるかに高速に GATE を“L”に引き下げます。その後、 $V_{ACL}/R_S$  の電流制限ループが引き継ぎ、前述したように電流をサーボ制御します。前と同様に、タイマが動作し、 $C_T$  が 4V に達すると LTC4253B をシャットダウンします。

$C_T$  が 4V に達すると、LTC4253B は 5 $\mu$ A のプルアップ電流源でオフ状態にラッチされます。LTC4253B の回路ブレーカのラッチをリセットするには、RESET ピンをアクティブ“H”にするか、UV を瞬間的に“L”にするか、入力電圧  $V_{IN}$  を内部の UVLO しきい値より低くするか、またはスイッチを使って TIMER にパルスを入力し瞬間的に“L”にします。

短絡は最も明白な種類の障害ですが、いくつかの動作条件で過電流保護が作動することがあります。バックプレーンや負荷からのノイズ・スパイク、補助の高電圧電源の接続によって生じる入力ステップ、同じ電源バスを共有している隣接する回路基板上の障害によって生じるトランジェント電流、またはホットスワップが可能でない製品の挿入により、予想より大きな入力電流が生じ、過電流状態が短時間検出されることがあります。TIMER と  $C_T$  の動作でこうした事態を排除することにより、LTC4253B は、単純な電流コンパレータを作動させ、場合によってはヒューズを切ることもある、一時的な過負荷や外乱を「乗り切る」ことができます。

## アプリケーション情報 (「ブロック図」を参照)

### シャント・レギュレータ

高速応答のシャント・レギュレータにより、 $V_{IN}$  ピンは 13V ( $V_Z$ ) にクランプされます。電力は外付けの電流制限抵抗 ( $R_{IN}$ ) によって -48RTN から供給されます。1 $\mu$ F のデカップリング・コンデンサ ( $C_{IN}$ ) が電源トランジェントを除去するので、起動時に短い遅延が生じます。

電流の表面漏れ要件を満たすため、 $R_{IN}$  は 2 つ以上の直列抵抗に分割することができます。こうすると、1 つの部品で可能な間隔より合計の間隔は広くなり、同時に各抵抗の下の際間の両端間の電位は安定します。LTC4253B は、-48V をその基準グラウンドとして動作する基本的に低電圧のデバイスです。LTC4253B のピンへのアーク放電からさらに保護するため、LTC4253B および関連するすべての部品の内部領域と周辺領

域を、他のプレーン(シャース・グラウンド、戻り線、2次側の電源プレーンやグラウンド・プレーンなど)がない状態にします。

$V_{IN}$  は、図 2 に示すように、 $\overline{PWRGD}$  に接続した光結合素子などの外付け負荷に対応するため、最大 30mA の追加電流でバイアスすることができます。大電流で動作する場合の代替案としては、エミッタ・フォロワを使って  $V_{IN}$  を単純にバッファします。 $\overline{PWRGD}$  出力をカスコード接続する方法を図 16 に示します。

$V_{IN}$  はパッケージの熱制限の範囲内で 30mA を処理できる定格になっており、100 $\mu$ s で 100mA のパルスに耐えられることがテストされます。より大きな振幅のスパイクによる損傷から  $V_{IN}$  を保護するには、 $V_{IN}$  と  $V_{EE}$  の間を 13V のツェナー・ダイオードでクランプします。図 2 に示すように、 $V_{EE}$  と  $V_{EE}$  を基準とす

## アプリケーション情報

すべての部品をセンス抵抗のケルビン端子に星形結線し、 $V_{IN}$ 、 $C_{IN}$ 、 $D_{IN}$ 、および  $V_{EE}$  間のトレースの長さをできるだけ短くします。

### 内部低電圧ロックアウト (UVLO)

ヒステリシス・コンパレータ (UVLO) は、 $V_{IN}$  が低電圧になっていないかを監視します。しきい値は  $V_{LKO}$  とそのヒステリシス  $V_{LKH}$  で規定されます。 $V_{IN}$  が上昇して  $V_{LKO}$  を超えると、デバイスはイネーブルされます。逆に下降して ( $V_{LKO} - V_{LKH}$ ) より小さくなると、デバイスはディスエーブルされ、GATE が “L” になります。 $V_{IN}$  の UVLO 機能を UV ピンおよび OV ピンの機能と混同しないようにしてください。これらはまったく別の機能です。

### UV/OV コンパレータ

UV ヒステリシス・コンパレータは、以下のしきい値により、UV ピンで低電圧状態を検出します。

$$\text{UV の “L” から “H” (} V_{UVHI} \text{)} = 3.225\text{V}$$

$$\text{UV の “H” から “L” (} V_{UVLO} \text{)} = 2.925\text{V}$$

OV ヒステリシス・コンパレータは、以下のしきい値により、OV ピンで過電圧状態を検出します。

$$\text{OV の “L” から “H” (} V_{OVHI} \text{)} = 6.150\text{V}$$

$$\text{OV の “H” から “L” (} V_{OVLO} \text{)} = 5.850\text{V}$$

UV と OV の作動点の比は、標準的応用例に示すように、標準的な通信機器と一緒に接続した場合、通信機器の動作範囲である 43V ~ 82V に適合するように設計されています。抵抗分割器を使用して電源電圧の大きさを調整します。402k および 32.4k を使用すると、標準的な動作範囲である 43.2V ~ 82.5V になります。低電圧シャットダウンしきい値および過電圧復帰しきい値は、39.2V および 78.4V になります。しきい値の精度を維持するため、1% 精度の分割器抵抗を推奨します。

ここに示す抵抗分割器の値では 100 $\mu$ A よりもわずかに多い定常電流が設定され、UV/OV でのインピーダンスが 30k $\Omega$  に定義されます。大半のアプリケーションでは、30k $\Omega$  のインピーダンスと 300mV の UV ヒステリシスの組み合わせにより、LTC4253B はノイズの影響を受けなくなります。ノイズ耐性を高める場合は、UV/OV と  $V_{EE}$  の間に 1nF ~ 10nF のフィルタ・コンデンサを追加します。

図 2 に示すような 35.6V ~ 76.3V の範囲のように広い動作範囲の場合は、別個の UV ピンおよび OV ピンを使用することができます。さまざまな抵抗を配置したそのほかの組み合わせも可能です。

### UV/OV の動作

UV コンパレータへの入力が高いとデバイスはリセットされ、GATE ピンおよび TIMER ピンは “L” になります。UV が “L” から “H” へ遷移すると、その他のインターロック条件に合致する場合、初期タイミング・シーケンスが開始されます。UV コンパレータ内で “H” から “L” へ遷移すると、LTC4253B は直ちにシャットダウンし、MOSFET のゲートが “L” になり、ラッチされた 3 つの  $\overline{\text{PWRGD}}$  信号が “H” にリセットされます。

過電圧状態が OV コンパレータによって検出され、GATE が “L” になった結果、負荷は遮断されますが、回路ブレーカの TIMER フラグと  $\overline{\text{PWRGD}}$  フラグはリセットされません。過電圧状態から復帰すると、TIMER 以外のすべてのインターロック条件が満たされている場合、GATE ピンの電圧は再起動します。過電圧状態は、初期タイミング・サイクル中のみ TIMER のリセットに影響を与えます。

### DRAIN

2 つの機能をもつこの DRAIN ピンに外付け抵抗  $R_D$  を接続することにより、大きな電圧トランジェントによって損傷を受けることなく、 $V_{OUT}$  (MOSFET のドレイン/ソース間電圧降下) を検出することができます。5V 未満ではピンのリーク電流を無視できるので、DRAIN “L” のコンパレータで 2.39V ( $V_{DRNL}$ ) より低い  $V_{OUT}$  を検出することができます。このことと GATE “L” のコンパレータの組み合わせにより、 $\overline{\text{PWRGD}}$  フラグがセットされます。

$V_{OUT}$  が  $V_{DRNCL}$  より高くなると、DRAIN ピンは  $V_{DRNCL}$  にクランプされ、 $R_D$  を流れる電流は次式で与えられます。

$$I_{DRN} \approx \frac{V_{OUT} - V_{DRNCL}}{R_D} \quad (1)$$

この電流は回路ブレーカの障害時に 8 倍されてから公称値の 200 $\mu$ A に加えられます。これにより、MOSFET のドレイン/ソース間電圧が  $V_{DRNCL}$  を超えると障害時の TIMER 電圧の上昇が加速され、MOSFET の発熱時間が実質的に短縮されます。

## アプリケーション情報

### TIMER

TIMERピンはいくつかの重要な機能を果たすので、その動作は多少複雑です。コンデンサ $C_T$ をTIMERに接続してLTC4253Bのタイミングを生成します。TIMERでは4つの異なる充放電モードが利用できます。

1.  $5\mu\text{A}$ の低速充電。初期タイミングの遅延。
2.  $(200\mu\text{A} + 8 \cdot I_{\text{DRN}})$ の高速充電。回路ブレーカの遅延。
3.  $5\mu\text{A}$ の低速放電。回路ブレーカの「冷却」。
4. 低インピーダンス・スイッチ。初期タイミングの遅延後、初期タイミングの間にUVLO、UVおよびOV状態が発生した場合、さらにRESETが“H”のときにTIMERコンデンサをリセットします。

初期タイミングの遅延では、 $5\mu\text{A}$ のプルアップが使用されます。インターロック条件が満たされると、低インピーダンス・スイッチがオフし、 $5\mu\text{A}$ の電流源がイネーブルされます。次式で与えられる時間が経過すると $C_T$ が4Vまで充電されます。

$$t = \frac{4V \cdot C_T}{5\mu\text{A}} \quad (2)$$

$C_T$ が $V_{\text{TMRH}}$  (4V)に達すると、低インピーダンス・スイッチがオンして $C_T$ を放電します。GATEの起動サイクルが開始され、SSとGATEの両方の出力が解放されます。

### 回路ブレーカ・タイマの動作

SENSEピンが $R_S$ の両端に50mVを超える電圧降下を検出すると、TIMERピンは $(200\mu\text{A} + 8 \cdot I_{\text{DRN}})$ の電流で $C_T$ を充電します。 $C_T$ が4Vまで充電されると、GATEピンは“L”になり、LTC4253Bはオフ状態にラッチされます。RESETピンに“H”のパルスが瞬間的に入力されるか、UVピンに“L”のパルスが瞬間的に入力されるか、TIMERピンが外部スイッチによって瞬間的に“L”まで放電するか、または $V_{\text{IN}}$ がUVLOより低くなってから元に戻るまで、LTC4253Bはオフ状態にラッチされたままです。回路ブレーカのタイムアウト時間は次式で与えられます。

$$t = \frac{4V \cdot C_T}{200\mu\text{A} + 8 \cdot I_{\text{DRN}}} \quad (3)$$

$V_{\text{OUT}}$ が5Vより低いと、内部のPMOSがDRAINピンのリーク電流を絶縁するので、式(3)では $I_{\text{DRN}} = 0$ になります。回路ブレーカの障害期間中に $V_{\text{OUT}}$ が $V_{\text{DRNCL}}$ を超えると、 $C_T$ の充電は式(1)の $8 \cdot I_{\text{DRN}}$ の分だけ加速されます。

断続的な過負荷がSENSEでの50mVのしきい値を超えることがあります。その時間が十分に短ければ、TIMERが4Vに達することなく、LTC4253Bは外付けのMOSFETをオフしません。この状況に対処するため、SENSE電圧が50mVより低くなるたびに、TIMERは $5\mu\text{A}$ のプルダウン電流を使って $C_T$ を緩やかに放電します。したがって、 $V_{\text{OUT}}$ が5Vより低く総デューティサイクルが2.5%より大きいときは、どのような断続的な過負荷であっても最終的には回路ブレーカが作動してLTC4253Bはシャットダウンします。 $1\mu\text{F}$ に正規化した回路ブレーカの秒単位の応答時間を図3に示します。 $C_T$ の非対称の充電と放電はMOSFETの発熱の適正な尺度になります。

正規化された回路の応答時間は次式で概算されます。

$$\frac{t}{C_T(\mu\text{F})} = \frac{4}{[(205 + 8 \cdot I_{\text{DRN}}) \cdot D - 5]} \quad \text{for } D > 2.5\% \quad (4)$$

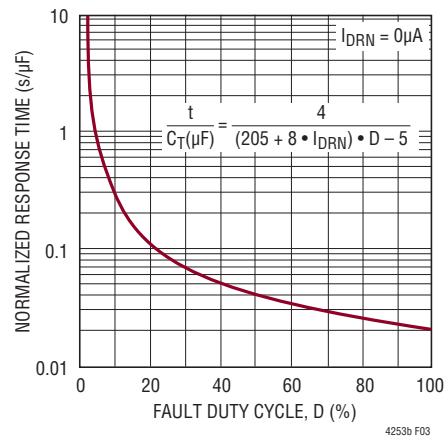


図3. 回路ブレーカの応答時間



## アプリケーション情報

### パワーグッド・シーケンス

初期TIMERサイクル後、GATE電圧が増加して外付けのMOSFETがオンになり、これによってDRAINは“L”になります。

GATEの電圧が $V_{IN}$ の2.8V以内であり、DRAINの電圧が $V_{DRNL}$ より低いと、パワーグッド・シーケンスが開始され、 $\overline{PWRGD1}$ はアクティブ“L”になります。これにより、SQTIMERピンの $5\mu A$ プルアップ電流が流れ始めてこのピンの電圧が上昇し、その後この電圧が4Vのしきい値に達すると“L”になります。SQTIMERピンがフロート状態のときは、この遅延 $t_{SQT}$ は約 $300\mu s$ です。SQTIMERから $V_{EE}$ に外付けコンデンサ $C_{SQ}$ を接続すると、遅延は次のように変化します。

$$t_{SQT} = \frac{4V \cdot C_{SQ}}{5\mu A} \quad (5)$$

EN2が“H”になると $\overline{PWRGD2}$ が有効になり、 $\overline{PWRGD1}$ が有効になっている状態が $t_{SQT}$ より長い時間続きます。 $\overline{PWRGD2}$ が正常に“L”になると、SQTIMERの電圧は別の遅延サイクルで増加します。EN2とEN3が“H”になると $\overline{PWRGD3}$ が有効になり、 $\overline{PWRGD2}$ が有効になっている状態が $t_{SQT}$ より長い時間続きます。

RESETが“H”になるか、または $C_T$ が4Vまで充電されると、UVLO状態やUV状態では、3つの $\overline{PWRGD}$ 信号はすべてリセットされます。さらに、 $\overline{PWRGD2}$ はEN2を“L”にするトリセットされます。 $\overline{PWRGD3}$ はEN2またはEN3を“L”にするトリセットされます。過電圧状態は $\overline{PWRGD}$ フラグに影響を与えません。リセットされると、各 $\overline{PWRGD}$ ピンは $50\mu A$ の電流によって“H”になります。電源モジュールの信号の共通グランドは $\overline{PWRGD}$ とは異なるので、オプタイソレーションを推奨します。これらの3つのピンはオプダイオードの電流をシンクすることができます。NPNで構成した $\overline{PWRGD}$ インタフェースを図16に示します。各NPNトランジスタにはベース制限抵抗が使用され、モジュールのイネーブル入力は負のバイアス電流から保護されています。

### ソフトスタート

ソフトスタートはGATEの起動時に突入電流を制限するのに有効です。アクティブ負荷に電源を投入する場合、ソフトスタートの期間が過度に長いと、MOSFETのSOA時間を超える可能性があります。SSピンがフロート状態の場合、SSピンの電圧は内部電流源によって約 $300\mu s$ で0Vから2.2Vまで上昇し

ます。SSピンとグランドの間に外付けコンデンサ $C_{SS}$ を接続すると、この上昇曲線が変更され、次式のRC応答に近づきます。

$$V_{SS}(t) \approx V_{SS} \left( 1 - e^{-\frac{t}{R_{SS}C_{SS}}} \right) \quad (6)$$

内部の抵抗分割器(95k/5k)により、 $V_{SS}(t)$ は20分の1に縮小され、アナログ電流制限のしきい値は次式で与えられます。

$$V_{ACL}(t) = \frac{V_{SS}(t)}{20} - V_{OS} \quad (7)$$

これにより、突入電流は $V_{ACL}(t)/R_S$ に制限されます。オフセット電圧 $V_{OS}$ (10mV)により、 $C_{SS}$ は十分に放電され、ACLアンブはGATEが起動する前に電流制限モードになります。SSピンが放電されて“L”になるのは、 $V_{IN}$ でのUVLO時、低電圧時、過電圧時、初期タイミング・サイクル時、ラッチされた回路ブレーカの障害時、またはRESETピンが“H”になるときです。

### GATE

GATEは以下のいずれの状態でも $V_{EE}$ まで低下します。それは、UVLO時、RESETピンが“H”になったとき、低電圧状態の場合、過電圧状態の場合、初期タイミング・サイクル時、またはラッチされた回路ブレーカの障害時です。GATEがオンすると、 $50\mu A$ の電流源がMOSFETのゲートおよび関連したすべての外付け容量を充電します。 $V_{IN}$ はゲート駆動電圧が14.5Vを超えないように制限します。

最初に突然電源を接続したときのゲート/ドレイン間容量( $C_{GD}$ )の貫通により、MOSFETをオンするのに十分なゲート/ソース間電圧が発生することがあります。実際に利用できる電圧が $V_{IN}$ に存在しない場合でも、固有の回路によってGATEが“L”になり、挿入時の電流スパイクが除去されます。このため、 $C_{GD}$ を補償するための大きな外付けゲート/ソース間コンデンサは必要ありません。代わりに、小さな値(10nF以上)のコンデンサ $C_C$ が適しています。 $C_C$ にはアナログ電流制限ループの補償機能もあります。

GATEには2つのコンパレータがあります。GATE“L”のコンパレータは初期タイミングの前に0.5V未満のしきい値がないか監視します。GATE“H”のコンパレータは $V_{IN}$ を基準にして2.8V未満になっているかどうかを監視し、DRAIN“L”のコンパレータとともにGATEの起動時に $\overline{PWRGD1}$ 出力を設定します。

## アプリケーション情報

### SENSE

SENSEピンは、回路ブレーカ(CB)のコンパレータ、アナログ電流制限(ACL)アンプ、および高速電流制限(FCL)コンパレータによってモニタされます。これら3つは、それぞれ $V_{EE}$ を基準にしたSENSEの電位を測定します。SENSEが50mVを超えると、CBコンパレータは200 $\mu$ AのTIMERプルアップ電流を導通させます。100mVではACLアンプがMOSFETの電流をサーボ制御し、200mVではFCLコンパレータがGATEを急激に“L”に引き下げ、MOSFETの電流を制御しようとします。これらの状態のいずれかが、TIMERが $C_T$ を4Vまで充電するのに十分なだけ長く持続すると(式3を参照)、LTC4253Bはシャットダウンし、GATEは“L”になります。

SENSEピンが $V_{ACL}$ を超える電圧になると、ACLアンプがGATEを下方にサーボ制御してMOSFETの電流を制御しようとします。GATEは通常動作ではMOSFETをオーバードライブするので、ACLアンプはGATEをMOSFETのしきい値まで放電させるのに時間を要します。過負荷が厳しくない場合、ACLアンプはMOSFETの電流を制御することができますが、厳しい過負荷が生じると電流にオーバーシュートが生じることがあります。SENSE = 200mVでは、FCLコンパレータが引き継いで、GATEピンを $V_{EE}$ に近い電位まで短時間で放電します。その後、FCLは制御を解放し、ACLアンプが引き継ぎます。この間、TIMERは動作を続けます。FCLの効果は、MOSFETの電流を減少させるように制御ループに非線形の応答が付加されることです。

システム内での誘導効果により、FCLは通常、電流制限ループを過補正し、GATEにはアンダーシュートが生じます。ループのゼロ(ゲートのコンデンサに直列接続された抵抗 $R_C$ )は、ACLアンプの回復に役立ちます。

### 短絡動作

負荷側の低インピーダンスの短絡によって生じる回路動作を図4に示します。GATEピンが機能して $V_{GS}$ が制御状態になるとき(トレース3)、最初、電流はアナログ電流制限レベルである $V_{SENSE} = 200mV$ をオーバーシュートします(トレース2)。このオーバーシュートによってバックプレーンに負方向のグリッチが生じ、電流が $100mV/R_S$ に減少すると、バックプレーンに正方向のグリッチが生じます。

TIMERは $C_T$ の充電を開始し(トレース4)、アナログ電流制限ループはフォルト電流を $100mV/R_S$ (この場合は5A)に保ちます(トレース2)。負荷によってバックプレーンの電圧(トレース1)に瞬時的な電圧低下が発生していることに注意してください。タイマのプルアップは $V_{OUT}$ によって加速されます。 $C_T$ が4Vに達すると、GATEがオフし、 $\overline{PWRGD}$ 信号が“H”になり、負荷電流がゼロに低下してバックプレーンに100Vを超えるリングングが生じます。GATEのターンオフに伴うトランジェントはスナバを使った制御でリングングを低減し、(Diodes Inc.のSMAT70Aなどの)トランジェント電圧サプレッサを使った制御で大きなスパイクを排除することができます。スナバ用のRCは通常、実験に基づいて選択されます。スナバ・コンデンサの値は通常、MOSFETの $C_{OSS}$ の10倍~100倍の範囲で選択されます。スナバ抵抗の値は通常、 $3\Omega \sim 100\Omega$ です。

1枚のカードに低インピーダンスの短絡が生じると、同じバックプレーンを共有している他のカードの動作に影響を与えることがあります。図4のトレース1に見られる最初のグリッチやバックプレーンの瞬時的な電圧低下は、隣接するカードの出力コンデンサから電荷を奪うことがあります。故障したカードがシャットダウンすると、電流が流れ込んでコンデンサをリフレッシュします。LTC4253Bを他のカードで使用する場合、これらのカードは突入電流を $V_{ACL}/R_S$ という値に制限するように応答します。 $C_T$ の大きさが適切であれば、コンデンサは $C_T$ のタイムアウト時間が経過するずっと前に再充電されます。

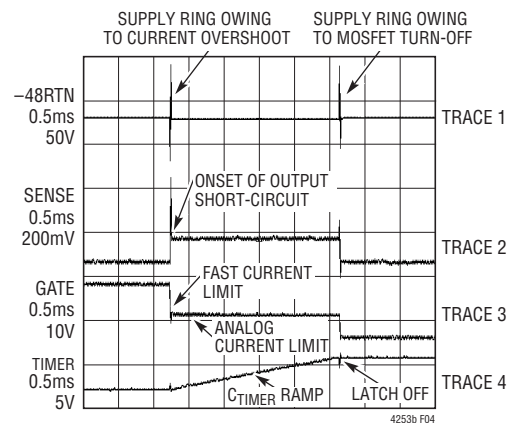


図4. LTC4253B の出力短絡時の動作

## アプリケーション情報

### MOSFETの選択

外付けのMOSFETスイッチは、TIMERのタイムアウト時間が経過するまで短絡状態に耐えるだけの十分な安全動作領域(SOA)を備えている必要があります。これらの検討事項はDC電流定格よりも優先します。所定のアプリケーションに対して十分なSOAを備えたMOSFETは必要な電流を常に処理できますが、その逆が真であるとは限りません。MOSFETメーカーのデータシートを参照して、安全動作領域と実効過渡サーマル・インピーダンス曲線を確認してください。

MOSFETは、ソフトスタート用コンデンサがないと仮定して、3段階のプロセスで選択します。最初に $R_S$ を計算してから、負荷容量を充電するのに必要な時間を決定します。この時点で、最大短絡電流と最大入力電圧により、MOSFETのSOA曲線に対してチェックされる動作点が定まります。

設計を開始するには、必要な負荷電流と負荷容量( $I_L$ および $C_L$ )を最初に決めます。回路ブレーカの電流の作動点( $V_{CB}/R_S$ )は最大負荷電流に適應するように設定します。DC/DCコンバータへの最大入力電流は $V_{SUPPLY(MIN)}$ で生じると予測されることに注意してください。 $R_S$ は次式で与えられます。

$$R_S = \frac{V_{CB(MIN)}}{I_L(MAX)} \quad (8)$$

ここで、 $V_{CB(MIN)} = 40\text{mV}$ は回路ブレーカの保証最小しきい値を表します。

初期の充電過程の間、LTC4253BはMOSFETを電流制限状態で動作させ、 $R_S$ 両端に $80\text{mV} \sim 120\text{mV}$  ( $V_{ACL}$ )を強制的に印加することがあります。最小突入電流は次式で与えられます。

$$I_{INRUSH(MIN)} = \frac{V_{ACL(MIN)}}{R_S} \quad (9)$$

最大短絡電流の制限値は最大 $V_{SENSE}$ を使って計算します。これは次のようになります。

$$I_{SHORTCIRCUIT(MAX)} = \frac{V_{ACL(MAX)}}{R_S} \quad (10)$$

TIMERコンデンサ $C_T$ は、予測される最も遅い充電速度に基づいて選択する必要があります。そうしないと、負荷コンデンサが完全に充電される前にTIMERのタイムアウト時間が経過する可能性があります。 $C_T$ の値は負荷コンデンサを充電するのに要する最大時間に基づいて計算します。この時間は次式で与えられます。

$$t_{CL(CHARGE)} = \frac{C \cdot V}{I} = \frac{C_L \cdot V_{SUPPLY(MAX)}}{I_{INRUSH(MIN)}} \quad (11)$$

DRAINピンに流れ込む最大電流は次式で与えられます。

$$I_{DRN(MAX)} = \frac{V_{SUPPLY(MAX)} - V_{DRNCL}}{R_D} \quad (12)$$

( $I_{DRN}$ が $I_{DRN(MAX)}$ からゼロまで減少する)直線的な充電速度で近似すると、式(3)の $I_{DRN}$ 成分は $0.5 \cdot I_{DRN(MAX)}$ で近似することができます。式を整理すると、TIMERコンデンサ $C_T$ は次式で与えられます。

$$C_T = \frac{t_{CL(CHARGE)} \cdot (200\mu\text{A} + 4 \cdot I_{DRN(MAX)})}{4\text{V}} \quad (13)$$

式(3)に戻ってTIMER時間を計算し、その値を $V_{SUPPLY(MAX)}$ および $I_{SHORTCIRCUIT(MAX)}$ と組み合わせて、使用する予定のMOSFETのSOA曲線を確認します。

LTC4253Bの数値設計例として、 $36\text{V}$ で $1\text{A}$ の入力電流を必要とする $30\text{W}$ 負荷について考えます。 $V_{SUPPLY(MAX)} = 72\text{V}$ および $C_L = 100\mu\text{F}$ 、 $R_D = 1\text{M}\Omega$ の場合、式(8)から $R_S = 40\text{m}\Omega$ となり、式(13)から $C_T = 414\text{nF}$ となります。 $R_S$ 、 $C_T$ 、TIMER電流( $200\mu\text{A}$ )、TIMERのしきい値( $4\text{V}$ )、 $R_D$ 、DRAIN電流乗算器およびDRAIN電圧クランプ( $V_{DRNCL}$ )の誤差を考慮し、計算値に1.5を掛けて、最も近い標準値である $C_T = 680\text{nF}$ が得られます。

短絡が発生すると、式(3)に $C_T = 680\text{nF}$ を代入することで得られる $6.3\text{ms}$ の間、最大 $120\text{mV}/40\text{m}\Omega = 3\text{A}$ の電流がMOSFETに流れます。MOSFETはこの基準に基づいて選択する必要があります。IRF530Sは $100\text{V}$ と $3\text{A}$ を $10\text{ms}$ の間処理することが可能であり、このアプリケーションで安全に使用できます。

## アプリケーション情報

ソフトスタート時から負荷短絡時までのソフトスタート・コンデンサの最大値の計算は、MOSFETの非線形SOA特性と $R_{SS}C_{SS}$ 応答のため複雑になります。過度に控えめになります。簡単な手法は、次式で与えられる最大回路ブレーカ電流から始まります。

$$I_{CB(MAX)} = \frac{V_{CB(MAX)}}{R_S} \quad (14)$$

ここで、 $V_{CB(MAX)}$ は60mVです。

予定しているMOSFETのSOA曲線から許容時間 $t_{SOA(MAX)}$ を決定します。 $C_{SS}$ は次式で与えられます。

$$C_{SS} = \frac{t_{SOA(MAX)}}{0.916 \cdot R_{SS}} \quad (15)$$

上の例では、60mV/40mΩから1.5Aが得られます。IRF530Sの $t_{SOA(MAX)}$ は40msです。式(15)から $C_{SS} = 437\text{nF}$ となります。実際の基板評価では $C_{SS} = 100\text{nF}$ が適していることが分かりました。 $(R_{SS} \cdot C_{SS})$ と $t_{CL(CHARGE)}$ の比は優れた指標になります。この比が大きいとタイムアウト時間が早く経過してしまうことがあるからです。この指標は基板レベルの評価で経験的に決定されます。

### 設計フローのまとめ

設計フローのまとめを示すために、表紙に示す「標準的応用例」について考えます。これは80Wおよび $C_L = 100\mu\text{F}$ に合わせて設計されました。

最大負荷電流を計算します。 $80\text{W}/43\text{V} = 1.86\text{A}$ となります。

$R_S$ を計算します。式(8)から $R_S = 20\text{m}\Omega$ となります。

$I_{SHORTCIRCUIT(MAX)}$ を計算します。式(10)から

$I_{SHORTCIRCUIT(MAX)} = 6\text{A}$ となります。

82Vで6Aを処理できるMOSFETとして、IRF530Sを選択します。

$C_T$ を計算します。式(13)から $C_T = 256\text{nF}$ となります。

$C_T = 330\text{nF}$ を選択します。これにより、回路ブレーカのタイムアウト時間は $t_{MAX} = 1.65\text{ms}$ となります。

MOSFETのSOA曲線を調べます。IRF530Sは100Vと6Aを2.5msの間処理することが可能であり、このアプリケーションで安全に使用できます。

$C_{SS}$ を計算します。式(14)および(15)を使用して、 $C_{SS} = 68\text{nF}$ を選択します。

### 周波数補償

LTC4253Bのアナログ電流制限ループの標準的な周波数補償回路網は、GATEと $V_{EE}$ の間に直列に接続した $R_C$ (10Ω)と $C_C$ です。補償コンデンサ $C_C$ とMOSFETの $C_{ISS}$ の関係を図5に示します。MOSFETの $C_{ISS}$ の仕様に基づいて $C_C$ の開始値を選択するために、図5の直線を使用します。いくつかの一般的なMOSFETに対する $C_C$ の最適値が示されています。 $C_C$ の最適値と出発点の差は大きくはありません。それでも、基板レベルの短絡テストで補償値を検証する必要があります。

図4に示すように、短絡が発生した時点で、直列インダクタンスにより、入力電源電圧に大きなリングングが生じることがあります。この電圧がMOSFETのなだれ降伏を引き起こすと、MOSFETを通して電流が出力に流れ続けます。アナログ電流制限ループはこの電流を制限できないので、ループにアンダーシュートが生じます。この影響は周波数補償では除去できません。入力電源電圧をクランプしてMOSFETのなだれ降伏を防ぐにはツェナー・ダイオードが必要です。

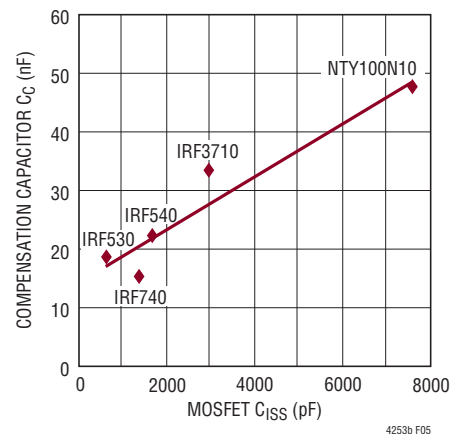


図5. LTC4253Bの推奨の補償コンデンサ $C_C$ とMOSFETの $C_{ISS}$

## アプリケーション情報

### センス抵抗に関する検討事項

回路ブレーカが適正に動作するように、センス抵抗とLTC4253Bの $V_{EE}$ ピンおよびSENSEピンとの接続にはケルビン検出PCB接続を行うことを強く推奨します。LTC4253Bとセンス抵抗の間の正しい接続法を図6に示します。配線による誤差を最小限に抑えるため、PCBレイアウトはバランスのとれた対称形にします。さらに、センス抵抗のPCBレイアウトには、センス抵抗の電力損失を最適化するための良好な熱管理手法を組み込みます。

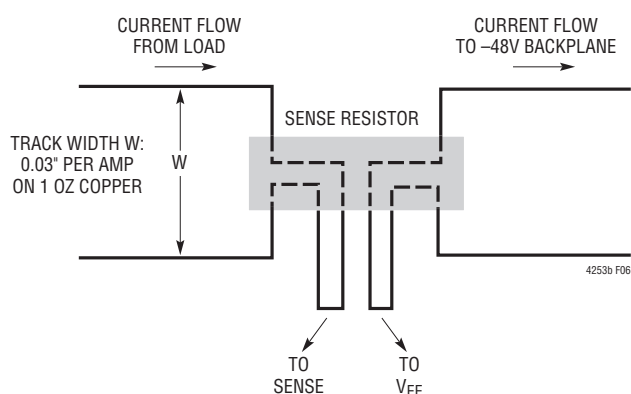


図6. センス抵抗へのPCB接続の実施

### タイミング波形

#### システムの電源投入

基板が既にバックプレーンに装着されていてシステムの電源が急に投入された場合の標準的なパワーアップ・シーケンスのタイミング波形の詳細を図7に示します。時点1で、電源はUV/OV、 $V_{OUT}$ およびDRAINとともに立ち上がります。 $V_{IN}$ のバイパス・コンデンサで設定される遅い速度で $V_{IN}$ と $\overline{PWRGD1}$ 信号が続いて立ち上がります。時点2では、 $V_{IN}$ が $V_{LKO}$ を超え、内部ロジックが $UV > V_{UVHI}$ 、 $OV < V_{OVLO}$ 、 $RESET < 0.8V$ 、 $GATE < V_{GATEL}$ 、 $SENSE < V_{CB}$ 、 $SS < 20 \cdot V_{OS}$ 、および $TIMER < V_{TMRL}$ の条件をチェックします。すべての条件が満たされると、初期タイミングが開始され、TIMERコンデン

サが $5\mu A$ のプルアップ電流源によって充電されます。時点3で、TIMERが $V_{TMRH}$ しきい値に達し、初期タイミング・サイクルが終了します。TIMERコンデンサは急速に放電します。時点4で $V_{TMRL}$ しきい値に達しますが、GATEの起動サイクルが開始される前に、 $GATE < V_{GATEL}$ 、 $SENSE < V_{CB}$ および $SS < 20 \cdot V_{OS}$ の条件が満たされている必要があります。SSは(式6のように) $R_{SS} \cdot C_{SS}$ に従って立ち上がり、GATEはSSの電圧が $20 \cdot V_{OS}$ を超えるまでアナログ電流制限(ACL)アンプによって“L”に保たれます。GATEが解放されると、 $50\mu A$ の電流が外付けMOSFETのゲートと補償回路網に流れ込みます。GATE電圧がMOSFETのしきい値に達すると、時点5で電流が負荷コンデンサに流れ込みます。時点6で、負荷電流がSS制御レベルに達し、アナログ電流制限ループが作動します。時点6と時点8の間では、GATE電圧がサーボ制御され、SENSE電圧が $V_{ACL}(t)$ に制御され(式7)、ソフトスタートによって負荷電流のスルーレートが制限されます。時点7でSENSE電圧( $V_{SENSE} - V_{EE}$ )が $V_{CB}$ しきい値に達すると、回路ブレーカのTIMERが作動します。TIMERコンデンサ $C_T$ は( $200\mu A + 8 \cdot I_{DRN}$ )のプルアップ電流によって充電されます。負荷コンデンサが満充電状態に近づくにつれて、負荷電流は減少し始めます。時点8で負荷電流が減少し、SENSE電圧が低下して $V_{ACL}(t)$ より低くなります。アナログ電流制限ループがオフし、GATEピンの電圧がさらに上昇します。時点9でSENSE電圧が $V_{CB}$ より低くなり、フォルト・タイムが終了した後、 $5\mu A$ の放電サイクル(冷却)に切り替わります。時点7と時点9の間の時間は回路ブレーカの遅延時間より短くして、GATE電圧立ち上がり時の異常タイムアウトを防ぐ必要があります。GATE電圧が上昇して、時点Aで $V_{GATEH}$ しきい値を通過すると、 $\overline{PWRGD1}$ は“L”になります。時点Bで、GATEは $V_{IN}$ で決定される最大電圧に達します。時点Aで、SQTIMERは4Vへの上昇を開始します。 $\overline{PWRGD1}$ が $t_{SQT}$ より長い時間“L”になるという要件が満たされると、時点CでEN2が $V_{IH}$ しきい値を超えて“H”になった後、 $\overline{PWRGD2}$ が“L”になります。これにより、SQTIMER電圧の2回目の上昇が始まります。 $\overline{PWRGD2}$ が $t_{SQT}$ より長い時間“L”になるという要件が満たされると、時点DでEN3が“H”になった後、 $\overline{PWRGD3}$ は“L”になります。

## アプリケーション情報

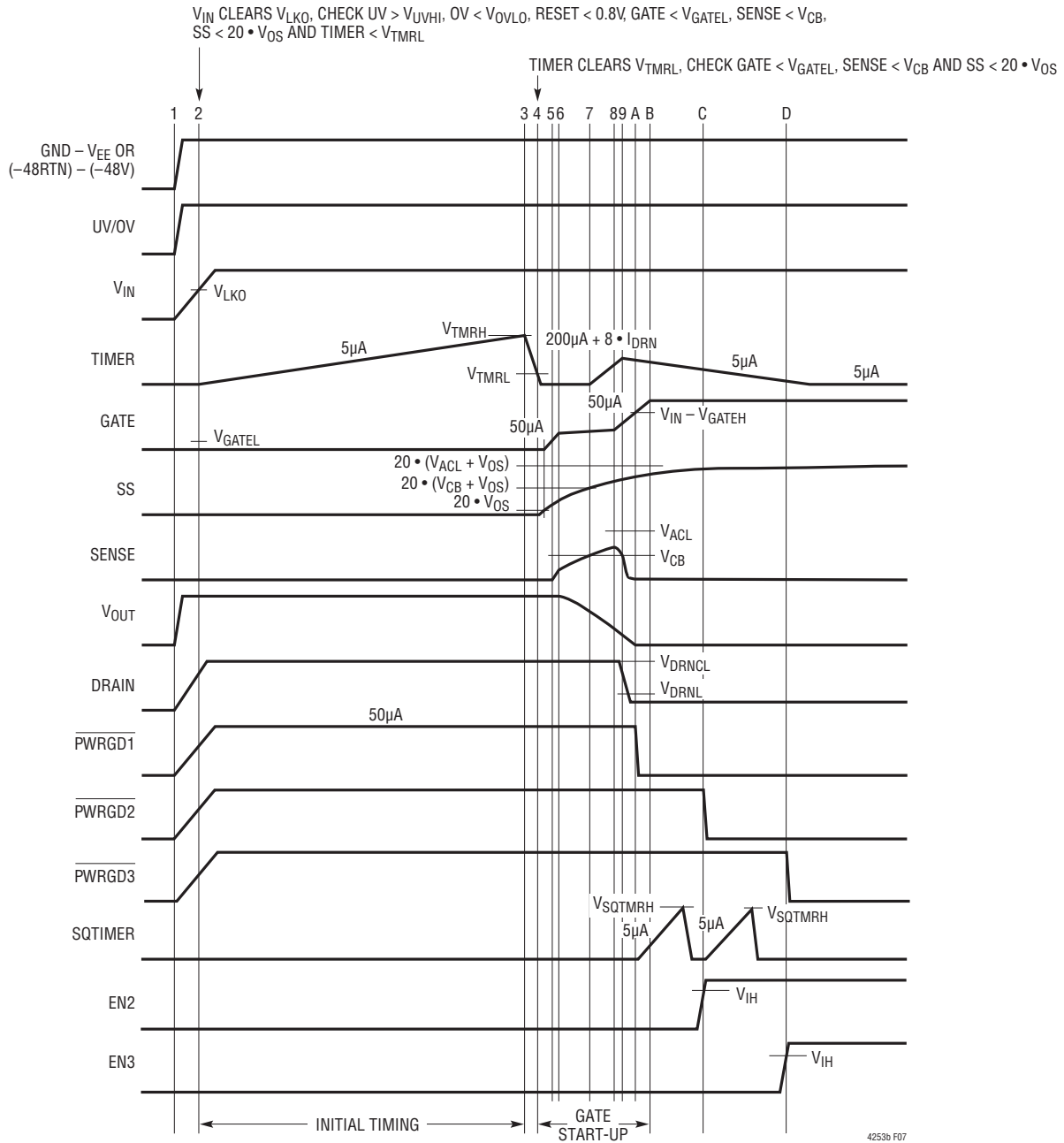


図7. システムの電源電圧上昇のタイミング(すべての波形は $V_{EE}$ を基準にしている)

## アプリケーション情報

### UV/OVを短いピンで制御する活線挿入

図8に示す例では、長いコネクタ・ピンを介して電力が供給されますが、UV/OV分割器は短いピンを介して接続されます。これにより、LTC4253Bが作動する前に電源接続が確実に

行われます。時点1で電源ピンが接続され、 $V_{IN}$ が立ち上がり、 $V_{LKO}$ を超えます。時点2でUV/OV分割器が接続され、その電圧が $V_{UVHI}$ を超えます。さらに、内部ロジックが $OV < V_{OVHI}$ 、 $RESET < 0.8V$ 、 $GATE < V_{GATEL}$ 、 $SENSE < V_{CB}$ 、 $SS < 20 \cdot V_{OS}$

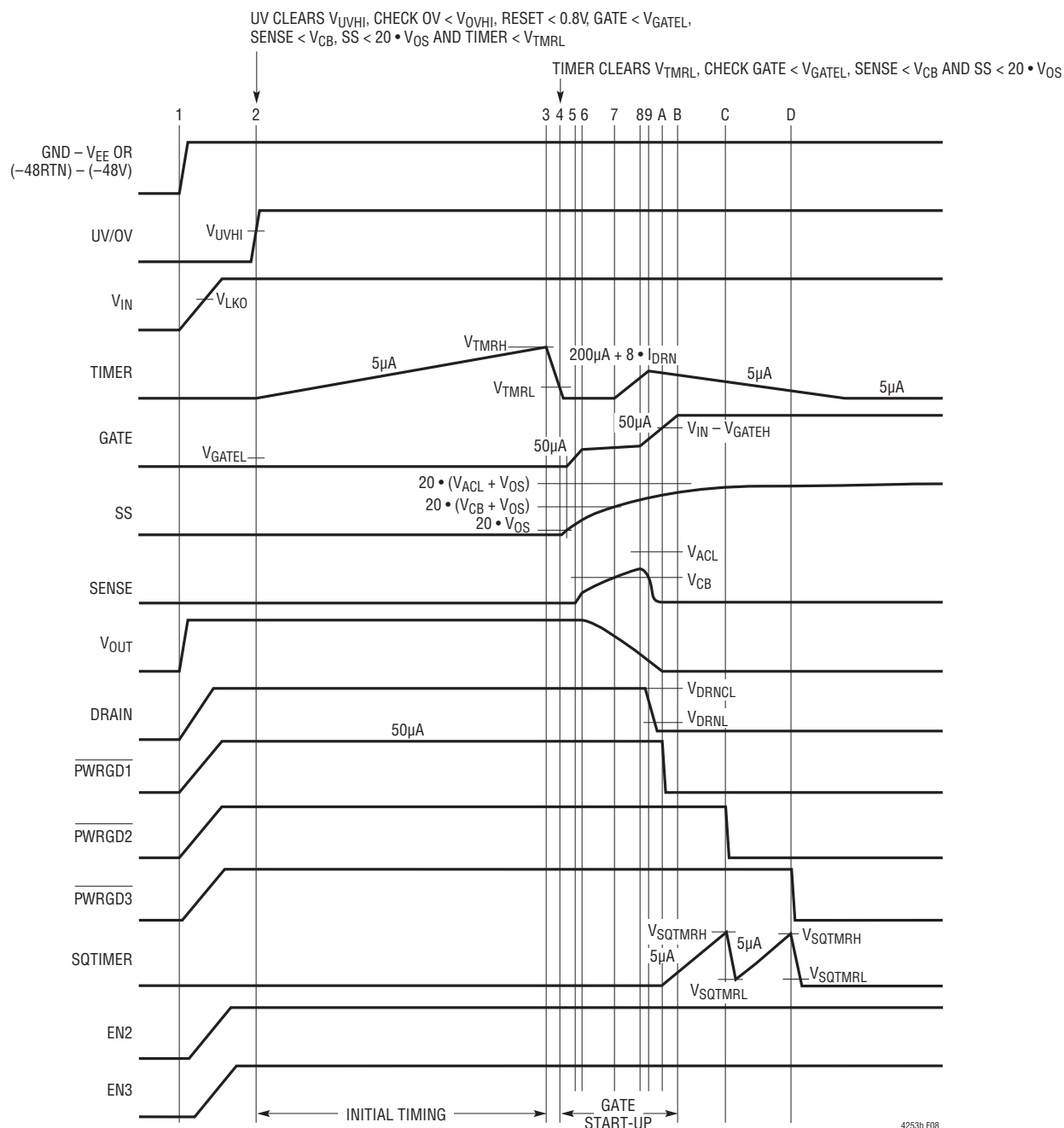


図8. 短いピンを使用した場合の電源電圧上昇のタイミング(すべての波形はVEEを基準にしている)

## アプリケーション情報

および  $TIMER < V_{TMRH}$  であることをチェックします。すべての条件が満たされると、初期タイミングが開始され、 $TIMER$  コンデンサが  $5\mu A$  のプルアップ電流源によって充電されます。時点3で、 $TIMER$  が  $V_{TMRH}$  しきい値に達し、初期タイミング・サイクルが終了します。 $TIMER$  コンデンサは急速に放電します。時点4で  $V_{TMRH}$  しきい値に達しますが、 $GATE$  の起動サイクルが開始される前に、 $GATE < V_{GATEL}$ 、 $SENSE < V_{CB}$  および  $SS < 20 \cdot V_{OS}$  の条件が満たされている必要があります。 $SS$  は  $R_{SS} \cdot C_{SS}$  に従って立ち上がり、 $GATE$  は  $SS$  の電圧が  $20 \cdot V_{OS}$  を超えるまでアナログ電流制限アンプによって“L”に保たれます。 $GATE$  が解放されると、 $50\mu A$  の電流が外付けMOSFETのゲートと補償回路網に流れ込みます。 $GATE$  電圧がMOSFETのしきい値に達すると、時点5で電流が負荷コンデンサに流れ込み始めます。時点6で、負荷電流がSS制御レベルに達し、アナログ電流制限ループが作動します。時点6と時点8の間では、 $GATE$  電圧がサーボ制御され、 $SENSE$  電圧が  $V_{ACL}(t)$  に制御され、ソフトスタートによって負荷電流のスルーレートが制限されます。時点7で  $SENSE$  電圧 ( $V_{SENSE} - V_{EE}$ ) が  $V_{CB}$  しきい値に達すると、回路ブレーカの  $TIMER$  が作動します。 $TIMER$  コンデンサ  $C_T$  は  $(200\mu A + 8 \cdot I_{DRN})$  のプルアップ電流によって充電されます。負荷コンデンサが満充電状態に近づくにつれて、負荷電流は減少し始めます。時点8で負荷電流が減少し、 $SENSE$  電圧が  $V_{ACL}(t)$  より低くなります。アナログ電流制限ループがオフし、 $GATE$  ピンの電圧がさらに上昇します。時点9で  $SENSE$  電圧が  $V_{CB}$  より低くなり、フォルト・タイマが終了した後、 $5\mu A$  の放電電流源(冷却)に切り替わります。 $GATE$  電圧が上昇して、時点Aで  $V_{GATEH}$  しきい値を通過すると、 $\overline{PWRGD1}$  は“L”になり、 $\overline{PWRGD}$  シーケンスを開始します。 $EN2$  が“H”になると、時点Cで  $\overline{PWRGD2}$  が“L”になり、 $\overline{PWRGD1}$  が  $t_{SQT}$  より長い時間“L”になります。 $EN2$  および  $EN3$  が“H”になると、時点Dで  $\overline{PWRGD3}$  が“L”になり、 $\overline{PWRGD2}$  が  $t_{SQT}$  より長い時間“L”になります。時点Bで、 $GATE$  は  $V_{IN}$  で決定される最大電圧に達します。

### 低電圧のタイミング

図9では、時点1でUVピンの電圧が  $V_{UVLO}$  より低くなると、LTC4253Bはシャットダウンし、 $TIMER$ 、 $SS$  および  $GATE$  が“L”になります。それまで電流が流れていた場合、 $SENSE$  ピンの電圧は  $GATE$  電圧が低下するのに伴ってゼロまで低下します。UVの電圧が回復して時点2で  $V_{UVHI}$  を超えると、初期タイミング・サイクルが開始され、その後起動サイクルに移ります。

### $V_{IN}$ の低電圧ロックアウトのタイミング

$V_{IN}$  の低電圧ロックアウト・コンパレータ  $UVLO$  のタイミング動作は、 $V_{IN} < (V_{LKO} - V_{LKH})$  を検出するとシャットダウンし、 $V_{IN} > V_{LKO}$  を検出すると再開することを除き、UVピンのタイミング動作と同様です。低電圧ロックアウト状態では、UVとOVの両方のコンパレータがオフに保たれています。 $V_{IN}$  が低電圧ロックアウトから抜け出すと、UVとOVのコンパレータはイネーブルされます。

### 過電圧のタイミング

通常動作時は、図10の時点1で示すようにOVピンが  $V_{OVHI}$  を超えた場合、 $TIMER$  と  $\overline{PWRGD}$  の状態は影響を受けませんが、 $SS$  と  $GATE$  の電圧は低下し、負荷は切り離されます。時点2で、OVが回復して  $V_{OVLO}$  しきい値より低くなり、 $GATE$  が起動を開始します。過電圧グリッチの時間が長く、負荷コンデンサの電荷がほとんどなくなると、時点4～時点7までの状況が発生する可能性があります。

### 回路ブレーカのタイミング

図11aでは、 $SENSE$  ピンが  $V_{CB}$  を超えていても  $V_{DRN}$  が  $5V$  より低いと、 $TIMER$  コンデンサは  $200\mu A$  で充電されます。 $TIMER$  が  $V_{TMRH}$  しきい値に達する前に  $SENSE$  ピンが  $V_{CB}$  以下に戻ると、 $TIMER$  は  $5\mu A$  で放電されます。図11bでは、 $TIMER$  が  $V_{TMRH}$  を超えると、 $GATE$  電圧が直ちに低下し、デバイスがシャットダウンします。図11cでは、複数の瞬間的な障害により、 $TIMER$  コンデンサに電荷が蓄積されて電圧が  $V_{TMRH}$  に達すると、 $GATE$  電圧が低下し、デバイスがシャットダウンします。LTC4253Bは、シャットダウン中、 $5\mu A$  のプルアップ電流源によって  $TIMER$  を“H”にラッチします。



アプリケーション情報

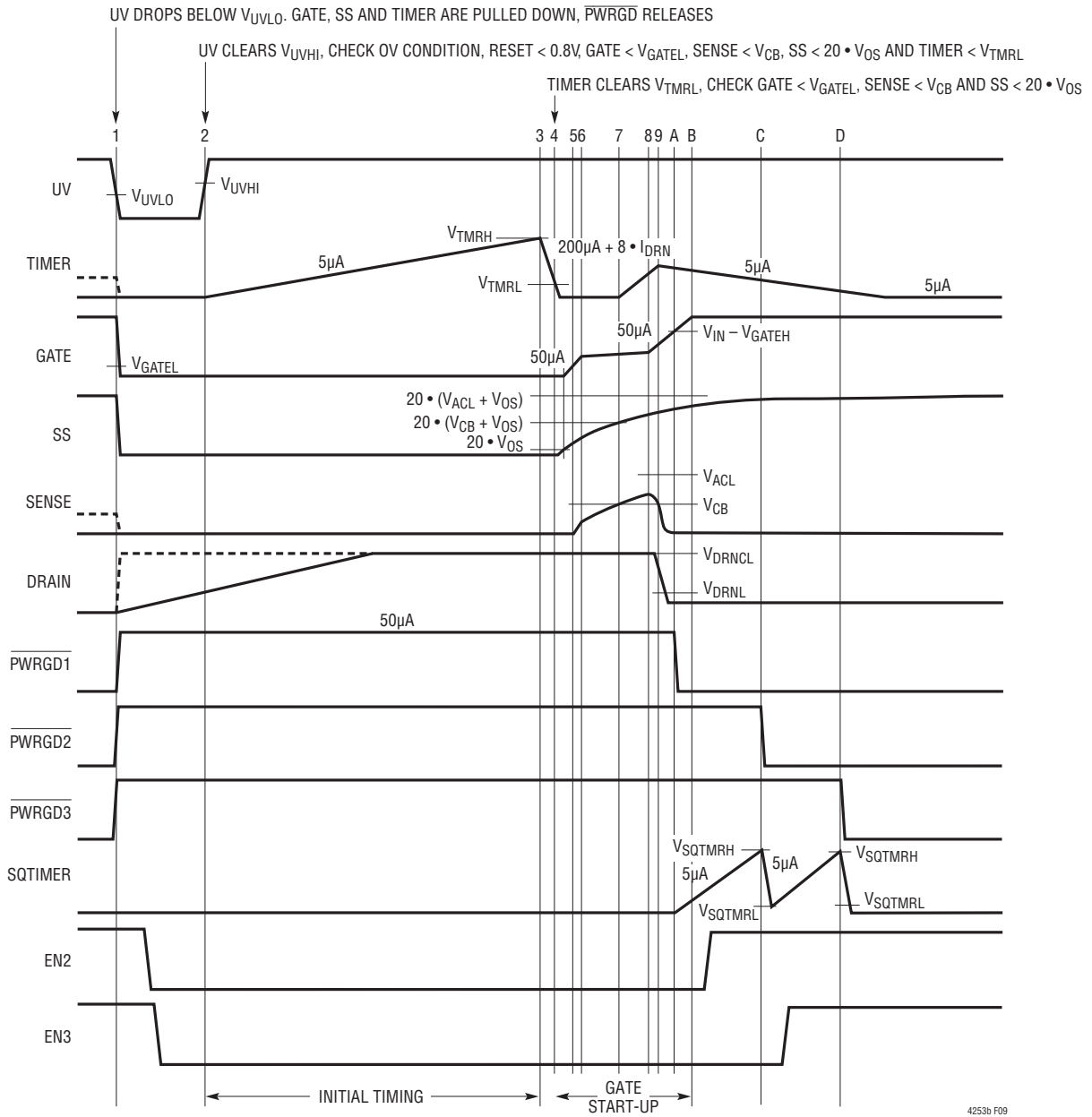


図9. 低電圧のタイミング (すべての波形はV<sub>EE</sub>を基準にしている)

4253b F09

## アプリケーション情報

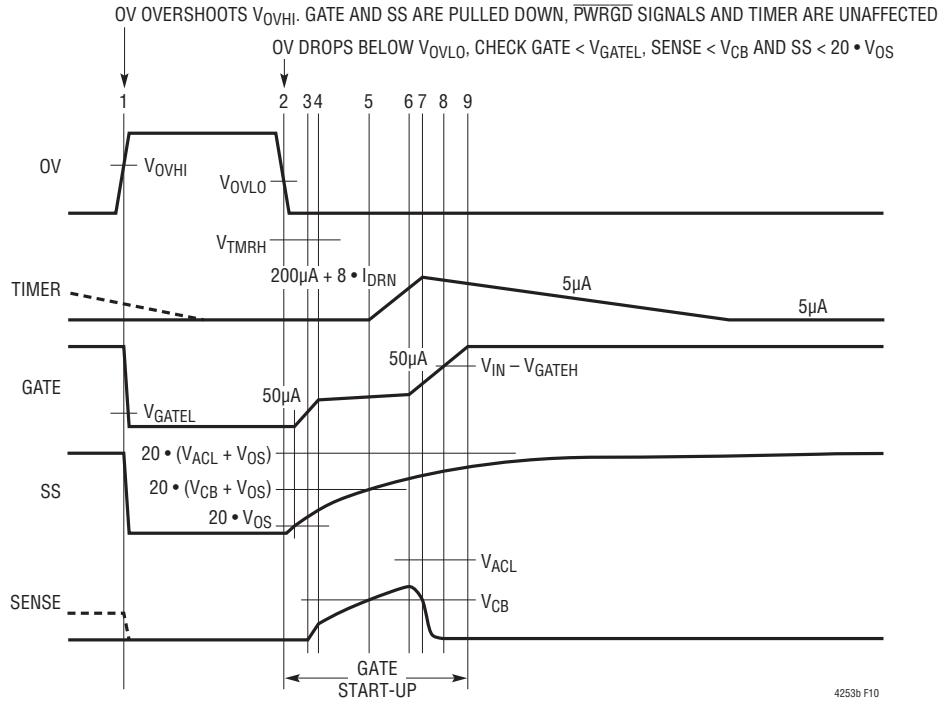
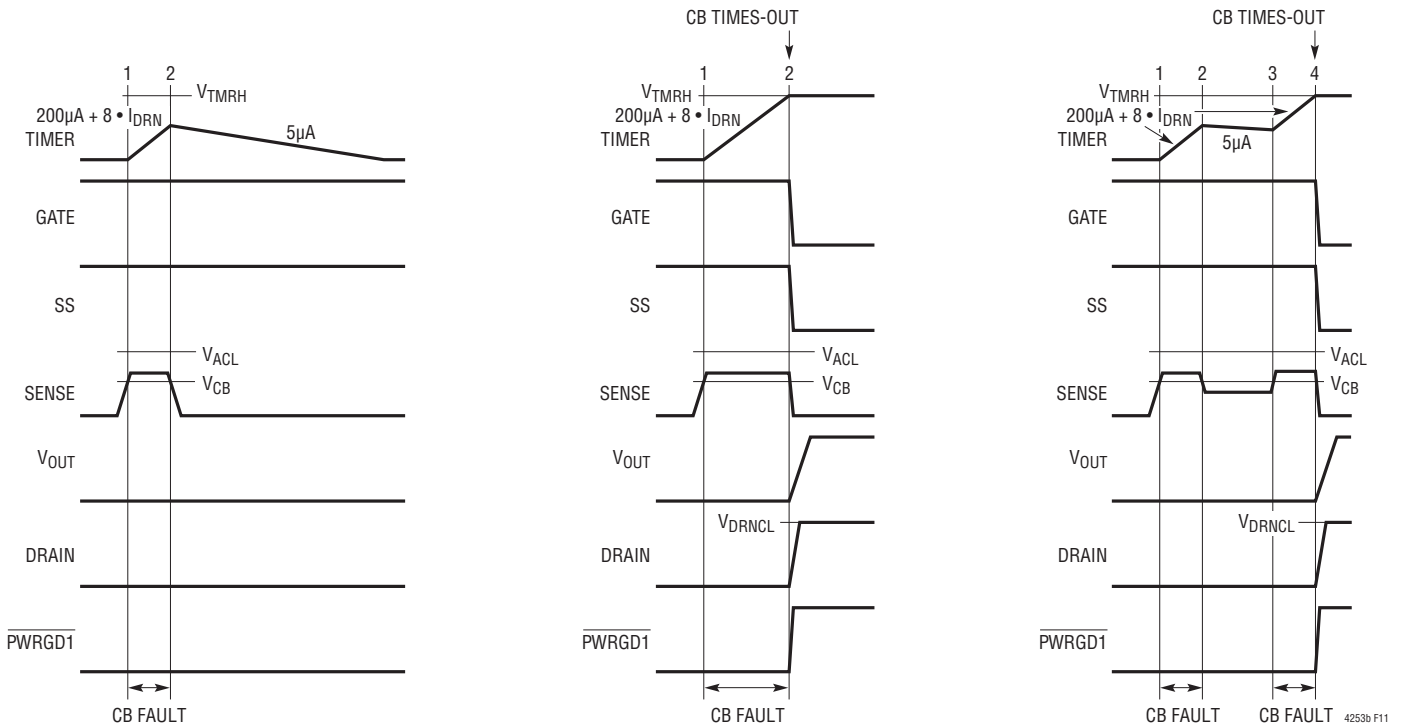


図 10. 過電圧のタイミング(すべての波形は  $V_{EE}$  を基準にしている)



(11a) 回路ブレーカの瞬時の障害

(11b) 回路ブレーカのタイムアウト

(11c) 複数の回路ブレーカの障害

図 11. 回路ブレーカのタイミング動作(すべての波形は  $V_{EE}$  を基準にしている)

## アプリケーション情報

### フォルト・ラッチのリセット

LTC4253Bのラッチされた回路ブレーカ・フォルト信号には、冷却時間が長いという利点があります。ラッチされたフォルト信号は、図12bに示すように、TIMERピンの電圧が $V_{TMRL}$  (1V)より低くなるまでRESETピンにパルスを入力することでリセットできます。RESETパルスの入力後、インターロック条件が満たされれば、SSとGATEの電圧は初期タイミング・サイクルなしに上昇します。

別のリセット方法には、外部スイッチを使ってUVピンにパルスを入力し、UVピンの電圧を $V_{UVLO}$ より低くする方法や、 $V_{IN}$ ピンの電圧を $(V_{LKO} - V_{LKH})$ より低くする方法があります。TIMERピンの電圧を $V_{TMRL}$ より低くし、SSピンを0Vにしてから、TIMERピンとSSピンを同時に解放してもリセットすることができます。UVピンまたは $V_{IN}$ ピンにパルスを入力すると、リセットの初期タイミング・サイクルが開始されますが、TIMERピンやSSピンにパルスを入力しても、リセットの初期タイミング・サイクルは開始されません。

### オン/オフ・スイッチとしてのリセットの利用

非同期のRESETピンをオン/オフ機能として使って、LTC4253Bによって制御されている外部電源モジュールまたは負荷への電力供給を遮断することができます。RESETを“H”にすると、GATE、SS、TIMER、およびSQTIMERが“L”になり、 $\overline{PWRGD}$ 信号が“H”になります。GATEピンとSSピンの電荷を完全に放電するのに十分なほど長くRESETパルスを維持すると、電力供給は完全に遮断されます。RESETが“H”である限り、GATE、SS、TIMERおよびSQTIMERは $V_{EE}$ に固定され、電力供給は遮断されます。RESETが解放されると、LTC4253Bが $UVLO$ 、 $UV$ 、 $OV$ のいずれかの状態であるか、 $V_{SENSE} > V_{CB}$ の状態である場合は、「動作」の「インターロック条件」のセクションで説明したように、回復前にインターロック条件が満たされるまで電源の導通は遅延します。そうでない場合、GATEピンの電圧は、図12cに示すように、初期サイクルを行わずにソフトスタート・サイクル中に上昇します。

### アナログ電流制限と高速電流制限

図13aでは、SENSE電圧が $V_{ACL}$ を超えると、GATE電圧はアナログ電流制限アンプのループによって安定化されます。SENSE電圧が $V_{ACL}$ より低くなると、GATE電圧は上昇することができます。図13bでは、重大な障害が発生すると、SENSE電圧が $V_{FCL}$ を超え、GATE電圧が直ちに低下して、アナログ電流アンプが制御を確立するまで維持されます。重

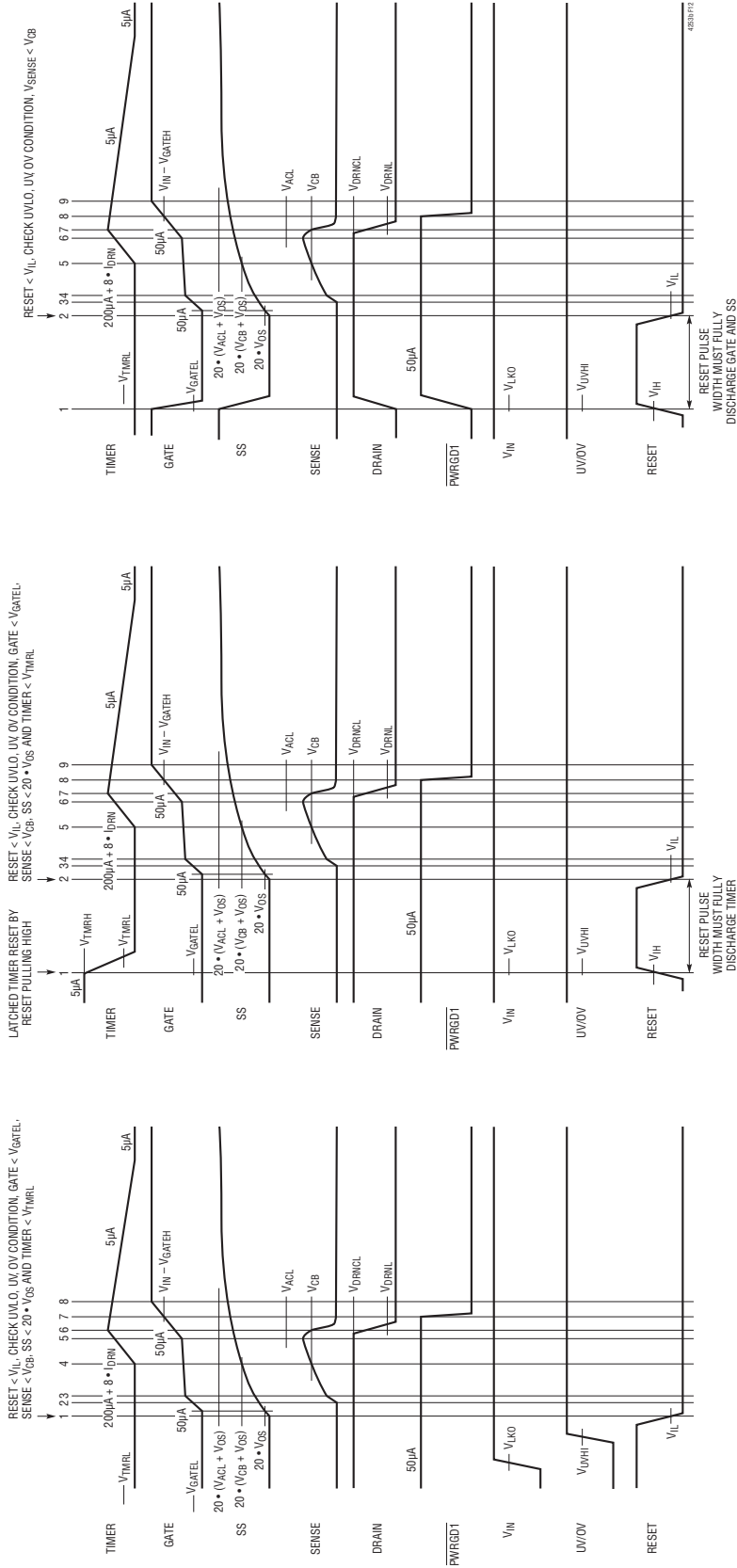
大な障害によって $V_{OUT}$ が $V_{DRNCL}$ を超えると、DRAINピンが $V_{DRNCL}$ にクランプされます。 $I_{DRN}$ がDRAINピンに流れ込み、8倍されます。この追加電流がTIMERのプルアップ電流である $200\mu A$ に追加されます。この加速されたTIMER電流( $200\mu A + 8 \cdot I_{DRN}$ )により、回路ブレーカの障害による遅延が短くなります。 $C_T$ 、 $R_D$ およびMOSFETを注意深く選択することが、低インピーダンスのフォルト条件でのSOA損傷を防ぐのに役立ちます。

### ソフトスタート

SSピンが接続されていない場合は、図14aに示すように、このピンの電圧は、デフォルトではGATEの起動時に約 $300\mu s$ で0Vから2.2Vまで直線的に上昇します。ソフトスタート・コンデンサ $C_{SS}$ がこのSSピンに接続されていると、図14bに示すように、ソフトスタートの応答は直線的な立ち上がりからRC応答(式6)に変更されます。この機能により、GATEの起動時に負荷電流を緩やかに立ち上げることができます。TIMERが $V_{TMRH}$ から $V_{TMRL}$ に遷移するか(時点1と時点2)、過電圧状態の後でOVピンの電圧が $V_{OVLO}$ しきい値より低くなるか、またはリセット状態の後でRESETピンの電圧が0.8Vより低くなることにより、時点3でソフトスタートが開始されます。SSピンの電圧が0.2Vより低いと、アナログ電流制限アンプはGATEを“L”に保ちます。SSピンの電圧が0.2Vを超えると、時点4でGATEは解放され、 $50\mu A$ の電流によって補償回路網とGATE容量の電圧が上昇します。その間、SSピンの電圧は上昇し続けます。GATE電圧がMOSFETのしきい値に達すると、MOSFETは導通し始めます。MOSFETの $g_m$ は大きいので、MOSFETの電流は短時間でソフトスタートの制御値である $V_{ACL}(t)$ (式7)に達します。時点6で、GATE電圧は電流制限アンプによって制御されます。ソフトスタート制御電圧は時点7で回路ブレーカ電圧 $V_{CB}$ に達し、回路ブレーカ・タイマが作動します。負荷コンデンサが満充電状態に近づくと、負荷電流は減少し始め、 $V_{ACL}(t)$ より小さい値になります。時点8で電流制限ループが遮断され、GATEが解放されます。時点9で、SENSE電圧が $V_{CB}$ より低くなり、TIMERが作動しなくなります。

回路ブレーカの遅延時に $V_{ACL}(t)$ が $V_{CB}$ の電位をかわろうじて超えていることがあるので、 $C_{SS}$ の値が大きいと、回路ブレーカが早まってタイムアウトする可能性があります。負荷コンデンサを1回のGATE起動サイクルで満充電にすることはできません。 $C_{SS}$ の値が大きい場合のより深刻な副作用は、低インピーダンス負荷でのソフトスタート時にSOAの時間範囲を超える可能性があることです。 $V_{CB}$ より低いソフトスタート電圧では、回路ブレーカ・タイマは作動しません。

## アプリケーション情報



(12a) 初期TIMERサイクルがない場合の強制起動のリセット

(12b) LTC4253Bのラッチされたフォルト信号のリセット

(12c) オン/オフスイッチとしてのリセット

図 12. リセット機能(すべての波形は  $V_{EE}$  を基準にしている)

アプリケーション情報

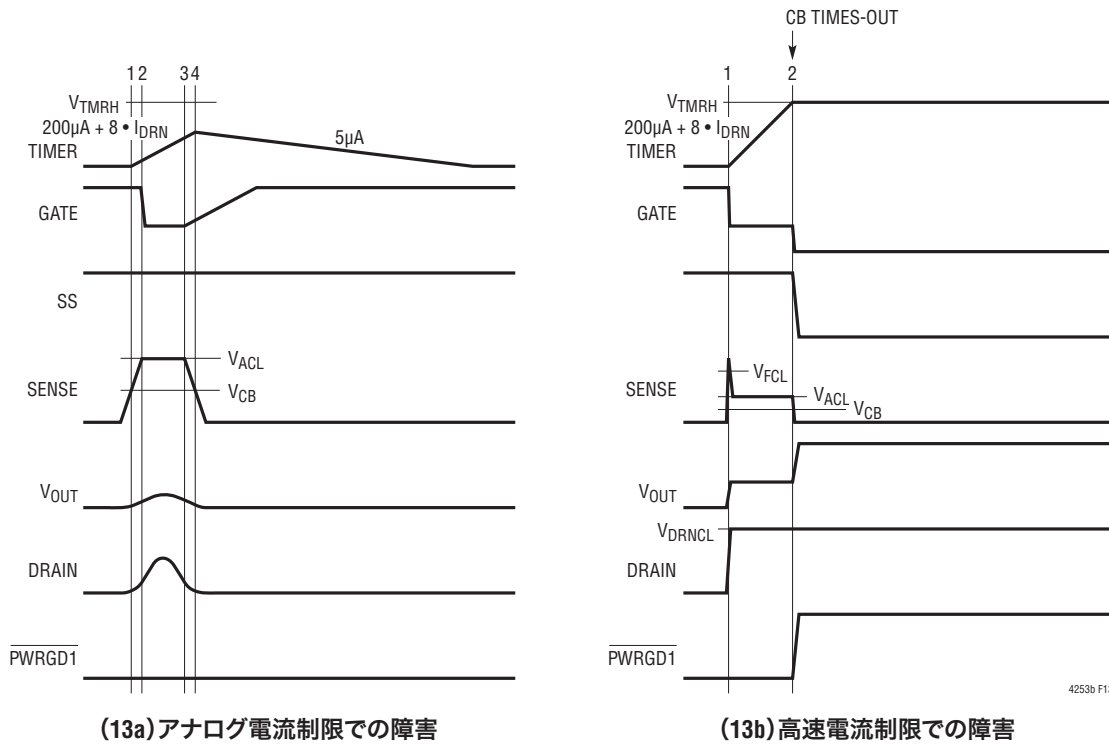


図 13. 電流制限の動作(すべての波形はV<sub>EE</sub>を基準にしている)

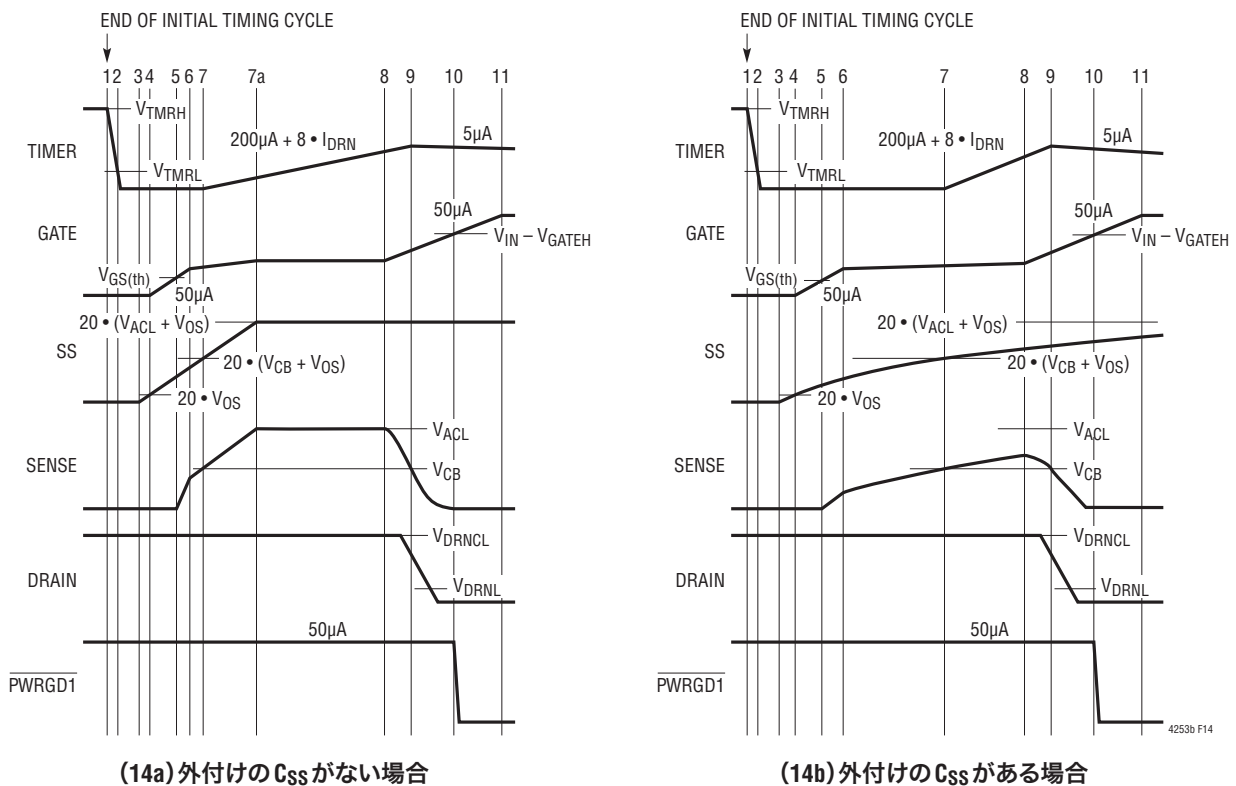


図 14. ソフトスタートのタイミング(すべての波形はV<sub>EE</sub>を基準にしている)

## アプリケーション情報

### 電力制限回路ブレーカ

電力制限回路遮断アプリケーションのLTC4253Bを図15に示します。SENSEピンは基板の電圧V<sub>SUPPLY</sub>によって調節されます。D1のツェナー電圧V<sub>Z</sub>は最も低い動作電圧V<sub>SUPPLY(MIN)</sub> = 43Vに等しくなるように設定されています。高い方の動作電源電圧V<sub>SUPPLY(MAX)</sub> = 82Vで得られる電力とV<sub>SUPPLY(MIN)</sub>で得られる電力を同じにすることが目的の場合、抵抗R3とR4は次式に従って選択します。

$$\frac{R4}{R3} = \frac{V_{CB}}{V_{SUPPLY(MAX)}} \quad (16)$$

R4を22Ωにすると、R3は36.5kになります。回路ブレーカのピーク電力制限は次式のようにになります。

$$POWER(MAX) = \frac{(V_{SUPPLY(MIN)} + V_{SUPPLY(MAX)})^2}{4 \cdot V_{SUPPLY(MIN)} \cdot V_{SUPPLY(MAX)}} \quad (17)$$

•POWER AT V<sub>SUPPLY(MIN)</sub>  
= 1.108V • POWER AT V<sub>SUPPLY(MIN)</sub>

ここで、V<sub>SUPPLY</sub> = 0.5 • (V<sub>SUPPLY(MIN)</sub> + V<sub>SUPPLY(MAX)</sub>)  
= 62.5V

フォルト電流制限でのピーク電力が得られるのは、電源の過電圧しきい値のときです。フォルト電流制限電力は次式のようにになります。

$$POWER(FAULT) = \frac{(V_{SUPPLY})}{R_S} \cdot \left[ V_{ACL} - (V_{SUPPLY} - V_Z) \cdot \frac{R4}{R3} \right] \quad (18)$$

### フォールドバック電流制限を備えた回路ブレーカ

フォールドバック電流制限アプリケーションのLTC4253Bを図16に示します。V<sub>OUT</sub>を-48V RTN電源に短絡すると、抵抗R3およびR4に電流が流れます。この結果、R4の両端の電圧が降下し、それに応じて、ACLアンプがSENSEピンとV<sub>EE</sub>ピンの間の検出電圧を約100mVにサーボ制御するので、センス抵抗R<sub>S</sub>の両端の電圧降下が小さくなります。出力短絡状態の間は、V<sub>OUT</sub>の電圧が上昇するに従ってR<sub>S</sub>を流れる短絡電流が減少します。フォールドバック電流制限抵抗R4がない場合、アナログ電流制限時の電流は5Aに制限されます。R4がある場合、V<sub>OUT</sub>を82Vに短絡すると、短絡電流は1.5Aに制限されます。

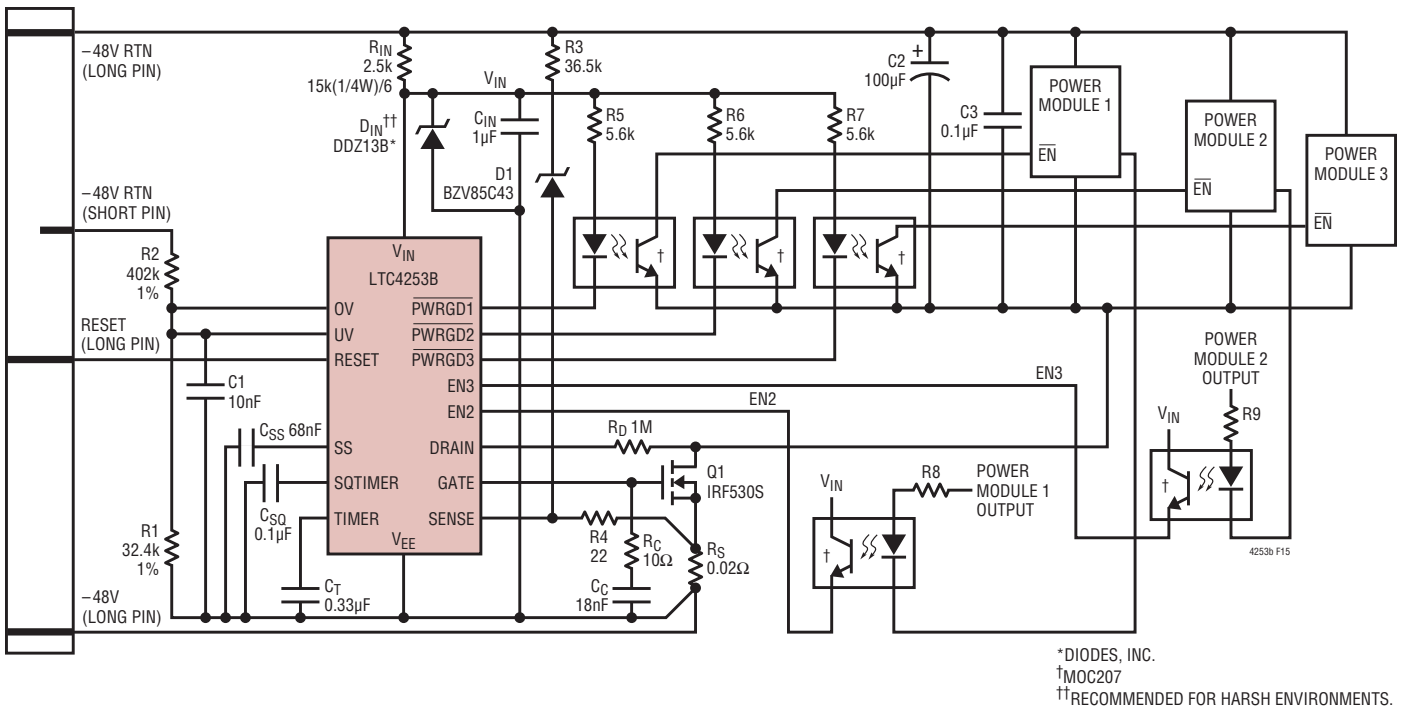
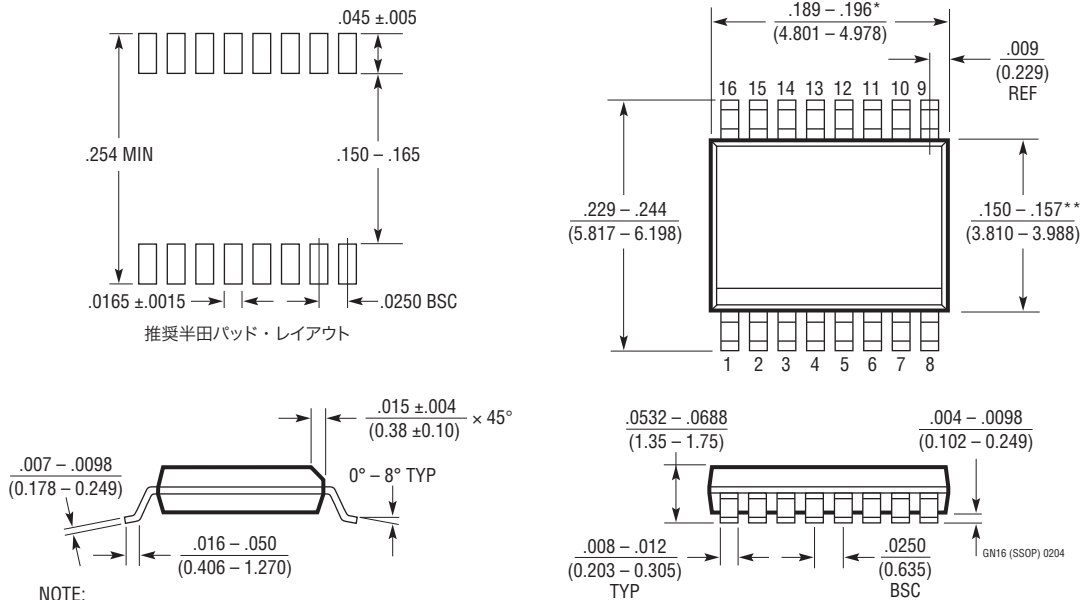


図15. 電力制限回路ブレーカのアプリケーション

## パッケージ

最新のパッケージ図については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

GNパッケージ  
16ピン・プラスチックSSOP(縦型 .150インチ)  
(Reference LTC DWG # 05-08-1641)



# LTC4253B

## 標準的応用例

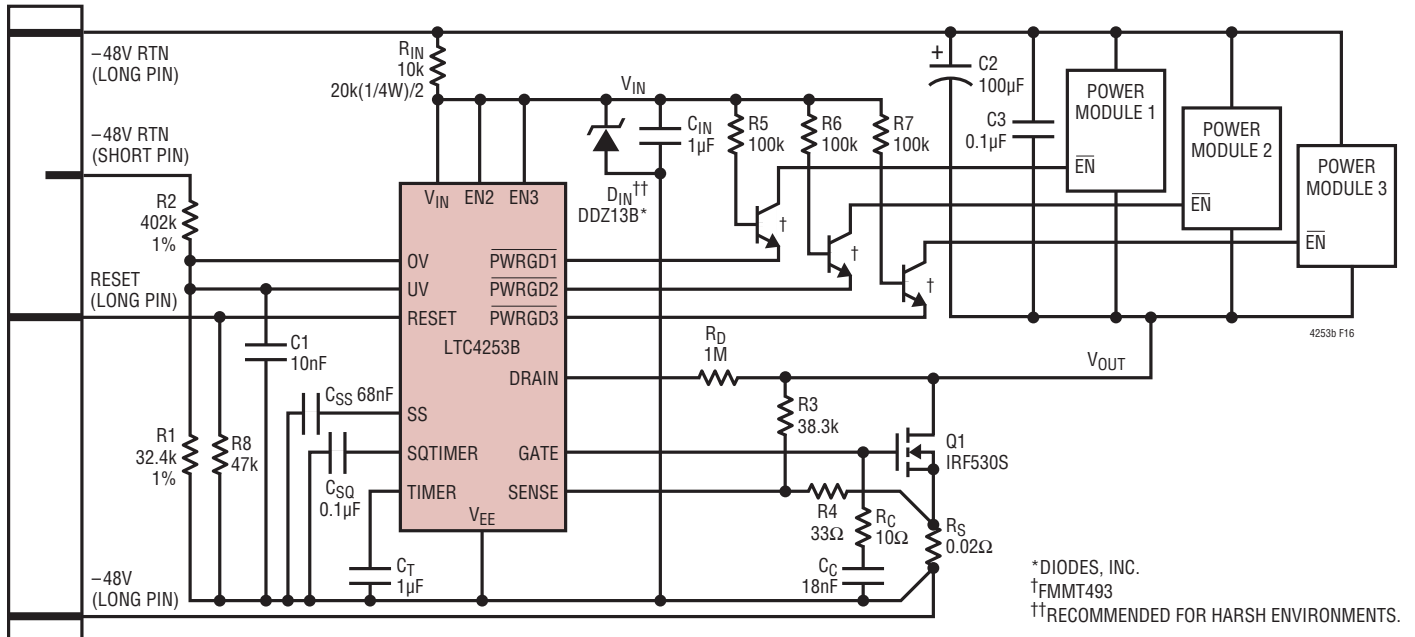


図 16. フォールドバック電流制限と帰還なしでのトランジスタ対応シーケンス制御を備えた-48V/2.5Aアプリケーション

## 関連製品

製品番号	説明	注釈
LT1640AH/LT1640AL	SO-8、負の高電圧ホットスワップ・コントローラ	-10V ~ -80Vの負の高電圧電源
LT1641-1/LT1641-2	SO-8、正の高電圧ホットスワップ・コントローラ	9V ~ 80Vを供給、自動再試行/オフ状態にラッチ
LTC1642A	フォルト保護機能を備えたホットスワップ・コントローラ	3V ~ 16.5V、最大33Vの過電圧保護
LT4250	-48V ホットスワップ・コントローラ	アクティブ電流制限、-20V ~ -80Vの電源
LTC4251B/LTC4251B-1/ LTC4251B-2	-48V ホットスワップ・コントローラ (SOT-23)	高速アクティブ電流制限、-15Vの電源
LTC4252B-1/LTC4252B-2 LTC4252C-1/LTC4252C-2	MS8/MS10、-48V ホットスワップ・コントローラ	高速アクティブ電流制限、電源は-15V、ドレインによる応答加速機能、1%精度のUV/OVしきい値