LTC4252-1/LTC4252-2
LTC4252A-1/LTC4252A-2

負電圧
ホットスワップ・コントローラ

特長

- **通電状態の–48Vバックプレーンでの基板の安全な挿入/引き抜きが可能**
- **フローティング構成により非常に電圧の高い動作が可能**
- **回路ブレーカ・タイマによる電流制限**
- **高速応答時間によるピーク・フォルト電流の制限**
- **プログラム可能なソフトスタート電流制限**
- **ドレイン電圧によって応答を加速するプログラム可能なタイマ**
- **低電圧/過電圧しきい値の精度:±1%(LTC4252A)**
- 調整可能な低電圧/過電圧保護
- LTC4252-1/LTC4252A-1:フォルト後にラッチオフ
- LTC4252-2/LTC4252A-2:フォルト後に自動再試行
- 8ピンおよび10ピンのMSOPパッケージで供給

アプリケーション

- 基板の活線挿入
- 電子式回路ブレーカ
- –48V分散給電システム
- 負電源制御
- 電話局の交換機
- 高可用性サーバ
- ATCA

概要

LTC®4252は、通電状態のバックプレーンに対して基板の安全な挿入および引き抜きを可能にする負電圧Hot Swap™コントローラです。出力電流は3段階の電流制限(時限式の回路ブレーカ、アクティブ電流制限、ワーストケースの破局的なフォルト条件においてピーク電流を制限する高速フィードフォワード経路)によって制御されます。

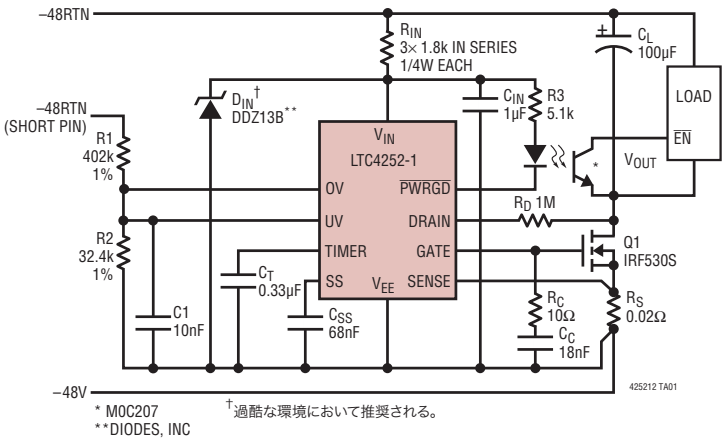
プログラム可能な低電圧および過電圧検出器により、入力電源が所望の動作範囲を超えると必ず負荷が切り離されます。LTC4252の電源入力は分流制御されているので、電源電圧が非常に高い場合でも安全な動作が可能です。マルチ機能タイマは初期の起動を遅延させ、回路ブレーカの応答時間を制御します。MOSFETの過剰なドレイン電圧を検出することによって回路ブレーカの応答時間が短縮され、MOSFETが安全動作領域(SOA)内に維持されます。調整可能なソフトスタート回路により、起動時のMOSFET突入電流を制御します。

LTC4252-1/LTC4252A-1は、回路ブレーカのフォルトがタイムアウトになった後にラッチオフします。LTC4252-2/LTC4252A-2は、フォルト後に自動再試行を行います。LTC4252A-1/LTC4252A-2は、±1%という厳しい低電圧/過電圧しきい値精度を特長としています。LTC4252は8ピンまたは10ピンのMSOPパッケージで供給されますが、LTC4252Aは10ピンのMSOPパッケージで供給されます。

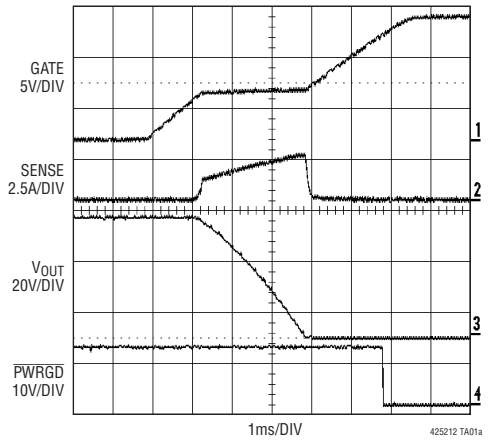
、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。

標準的応用例

–48V/2.5A ホットスワップ・コントローラ



起動動作



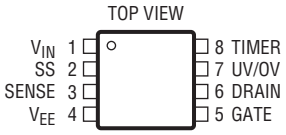
絶対最大定格

すべての電圧は V_{EE} を基準にしている（Note 1）

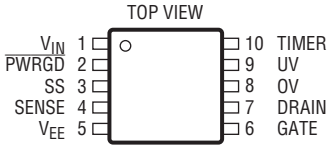
V_{IN} に流れ込む電流（100μs のパルス）.....100mA
V_{IN}、DRAIN ピンの最小電圧.....–0.3V
入力/出力ピンの電圧
（SENSE と DRAIN を除く）.....–0.3V ～ 16V
SENSE ピンの電圧.....–0.6V ～ 16V
SENSE ピンから流れ出す電流（20μs のパルス）.....–200mA
DRAIN ピンに流れ込む電流（100μs のパルス）.....20mA
最大接合部温度.....125°C

動作温度範囲
LTC4252-1C/LTC4252-2C
LTC4252A-1C/LTC4252A-2C..... 0°C ～ 70°C
LTC4252-1I/LTC4252-2I
LTC4252A-1I/LTC4252A-2I..... –40°C ～ 85°C
保存温度範囲..... –65°C ～ 150°C
リード温度（半田付け、10 秒）.....300°C

ピン配置



MS8 PACKAGE
8-LEAD PLASTIC MSOP
T_{JMAX} = 125°C, θ_{JA} = 160°C/W



MS PACKAGE
10-LEAD PLASTIC MSOP
T_{JMAX} = 125°C, θ_{JA} = 160°C/W

発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC4252-1CMS8#PBF	LTC4252-1CMS8#TRPBF	LTWM	8-Lead Plastic MSOP	0°C to 70°C
LTC4252-2CMS8#PBF	LTC4252-2CMS8#TRPBF	LTWP	8-Lead Plastic MSOP	0°C to 70°C
LTC4252-1IMS8#PBF	LTC4252-1IMS8#TRPBF	LTRQ	8-Lead Plastic MSOP	–40°C to 85°C
LTC4252-2IMS8#PBF	LTC4252-2IMS8#TRPBF	LTRR	8-Lead Plastic MSOP	–40°C to 85°C
LTC4252-1CMS#PBF	LTC4252-1CMS#TRPBF	LTWN	10-Lead Plastic MSOP	0°C to 70°C
LTC4252-2CMS#PBF	LTC4252-2CMS#TRPBF	LTWQ	10-Lead Plastic MSOP	0°C to 70°C
LTC4252A-1CMS#PBF	LTC4252A-1CMS#TRPBF	LTAFX	10-Lead Plastic MSOP	0°C to 70°C
LTC4252A-2CMS#PBF	LTC4252A-2CMS#TRPBF	LTAGE	10-Lead Plastic MSOP	0°C to 70°C
LTC4252-1IMS#PBF	LTC4252-1IMS#TRPBF	LTRS	10-Lead Plastic MSOP	–40°C to 85°C
LTC4252-2IMS#PBF	LTC4252-2IMS#TRPBF	LTRT	10-Lead Plastic MSOP	–40°C to 85°C
LTC4252A-1IMS#PBF	LTC4252A-1IMS#TRPBF	LTAFY	10-Lead Plastic MSOP	–40°C to 85°C
LTC4252A-2IMS#PBF	LTC4252A-2IMS#TRPBF	LTAGF	10-Lead Plastic MSOP	–40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
無鉛仕上げの製品マーキングの詳細については、http://www.linear-tech.co.jp/leadfree/ をご覧ください。
テープアンドリールの仕様の詳細については、http://www.linear-tech.co.jp/tapeandreel/ をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°C での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS		LTC4252-1/-2 MIN	LTC4252-1/-2 TYP	LTC4252-1/-2 MAX	LTC4252A-1/-2 MIN	LTC4252A-1/-2 TYP	LTC4252A-1/-2 MAX	UNITS
V_Z	V_{IN} – V_{EE} Zener Voltage	I_{IN} = 2mA	●	11.5	13	14.5	11.5	13	14.5	V
r_Z	V_{IN} – V_{EE} Zener Dynamic Impedance	I_{IN} = 2mA to 30mA			5			5		Ω
I_{IN}	V_{IN} Supply Current	UV = OV = 4V, V_{IN} = (V_Z – 0.3V)	●		0.8	2		0.9	2	mA
V_{LKO}	V_{IN} Undervoltage Lockout	Coming Out of UVLO (Rising V_{IN})	●		9.2	11.5		9	10	V
V_{LKH}	V_{IN} Undervoltage Lockout Hysteresis				1			0.5		V
V_{CB}	Circuit Breaker Current Limit Voltage	V_{CB} = (V_{SENSE} – V_{EE})	●	40	50	60	45	50	55	mV
V_{ACL}	Analog Current Limit Voltage	V_{ACL} = (V_{SENSE} – V_{EE}), SS = Open or 2.2V	●	80	100	120				mV
V_{ACL}/ V_{CB}	Analog Current Limit Voltage/ Circuit Breaker Voltage	V_{ACL} = (V_{SENSE} – V_{EE}), SS = Open or 1.4V	●				1.05	1.20	1.38	V/V
V_{FCL}	Fast Current Limit Voltage	V_{FCL} = (V_{SENSE} – V_{EE})	●	150	200	300	150	200	300	mV
V_{SS}	SS Voltage	After End of SS Timing Cycle			2.2			1.4		V
R_{SS}	SS Output Impedance				100			50		kΩ
I_{SS}	SS Pin Current	UV = OV = 4V, V_{SENSE} = V_{EE}, V_{SS} = 0V (Sourcing)			22			28		μA
		UV = OV = 0V, V_{SENSE} = V_{EE}, V_{SS} = 2V (Sinking)			28			28		mA
V_{OS}	Analog Current Limit Offset Voltage				10			10		mV
V_{ACL}+V_{OS}/ V_{SS}	Ratio (V_{ACL} + V_{OS}) to SS Voltage				0.05			0.05		V/V
I_{GATE}	GATE Pin Output Current	UV = OV = 4V, V_{SENSE} = V_{EE}, V_{SS} = 0V (Sourcing)	●	40	58	80	40	58	80	μA
		UV = OV = 4V, V_{SENSE} – V_{EE} = 0.15V, V_{GATE} = 3V (Sinking)			17			17		mA
		UV = OV = 4V, V_{SENSE} – V_{EE} = 0.3V, V_{GATE} = 1V (Sinking)			190			190		mA
V_{GATE}	External MOSFET Gate Drive	V_{GATE} – V_{EE}, I_{IN} = 2mA	●	10	12	V_Z	10	12	V_Z	V
V_{GATEH}	Gate High Threshold	V_{GATEH} = V_{IN} – V_{GATE}, I_{IN} = 2mA, for $\overline{PWRGD}$ Status (MS Only)			2.8			2.8		V
V_{GATEL}	Gate Low Threshold	(Before Gate Ramp-Up)			0.5			0.5		V
V_{UVHI}	UV Pin Threshold HIGH		●	3.075	3.225	3.375				V
V_{UVLO}	UV Pin Threshold LOW		●	2.775	2.925	3.075				V
V_{UV}	UV Pin Threshold	Low-to-High Transition	●				3.05	3.08	3.11	V
V_{UVHST}	UV Pin Hysteresis	(● for LTC4252A Only)	●		300		292	324	356	mV
V_{OVHI}	OV Pin Threshold HIGH		●	5.85	6.15	6.45				V
V_{OVLO}	OV Pin Threshold LOW		●	5.25	5.55	5.85				V
V_{OV}	OV Pin Threshold	Low-to-High Transition	●				5.04	5.09	5.14	V
V_{OVHST}	OV Pin Hysteresis	(● for LTC4252A Only)	●		600		82	102	122	mV
I_{SENSE}	SENSE Pin Input Current	UV = OV = 4V, V_{SENSE} = 50mV	●		–15	–30		–15	–30	μA
I_{INP}	UV, OV Pin Input Current	UV = OV = 4V	●		±0.1	±1		±0.1	±1	μA
V_{TMRH}	TIMER Pin Voltage High Threshold				4			4		V
V_{TMRL}	TIMER Pin Voltage Low Threshold				1			1		V

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外はT_A ＝25°Cでの値。(Note 2)

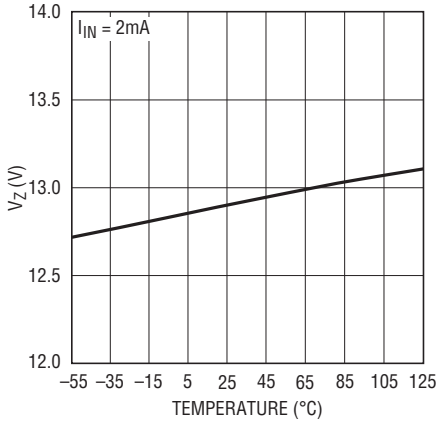
SYMBOL	PARAMETER	CONDITIONS		LTC4252-1/-2 MIN	LTC4252-1/-2 TYP	LTC4252-1/-2 MAX	LTC4252A-1/-2 MIN	LTC4252A-1/-2 TYP	LTC4252A-1/-2 MAX	UNITS
I_{TMR}	TIMER Pin Current	Timer On (Initial Cycle/Latchoff/ Shutdown Cooling, Sourcing), V_{TMR} = 2V			5.8			5.8		μA
		Timer Off (Initial Cycle, Sinking), V_{TMR} = 2V			28			28		mA
		Timer On (Circuit Breaker, Sourcing, I_{DRN} = 0μA), V_{TMR} = 2V			230			230		μA
		Timer On (Circuit Breaker, Sourcing, I_{DRN} = 50μA), V_{TMR} = 2V			630			630		μA
		Timer Off (Circuit Breaker/ Shutdown Cooling, Sinking), V_{TMR} = 2V			5.8			5.8		μA
$\Delta I_{TMRACC}/\Delta I_{DRN}$	[(I_{TMR} at I_{DRN} = 50μA) – (I_{TMR} at I_{DRN} = 0μA)]/ΔI_{DRN}	Timer On (Circuit Breaker with I_{DRN} = 50μA)			8			8		μA/μA
V_{DRNL}	DRAIN Pin Voltage Low Threshold	For $\overline{PWRGD}$ Status (MS Only)			2.385			2.385		V
I_{DRNL}	DRAIN Leakage Current	V_{DRAIN} = 5V (4V for LTC4252A)			±0.1	±1		±0.1	±1	μA
V_{DRNCL}	DRAIN Pin Clamp Voltage	I_{DRN} = 50μA			7			6		V
V_{PGL}	$\overline{PWRGD}$ Output Low Voltage	I_{PG} = 1.6mA (MS Only) I_{PG} = 5mA (MS Only)	● ●		0.2	0.4 1.1		0.2	0.4 1.1	V V
I_{PGH}	$\overline{PWRGD}$ Pull-Up Current	$V_{\overline{PWRGD}}$ = 0V (Sourcing) (MS Only)	●	40	58	80	40	58	80	μA
t_{SS}	SS Default Ramp Period	SS Pin Floating, V_{SS} Ramps from 0.2V to 2V			180					μs
		SS Pin Floating, V_{SS} Ramps from 0.1V to 0.9V						230		μs
t_{PLLUG}	UV Low to Gate Low				0.4			0.4		μs
t_{PHLOG}	OV High to Gate Low				0.4			0.4		μs

Note 1：絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2：デバイスのピンに流れ込む電流は全て正。デバイスのピンから流れ出る電流は全て負。注記がない限り、すべての電圧はV_{EE}を基準にしている。

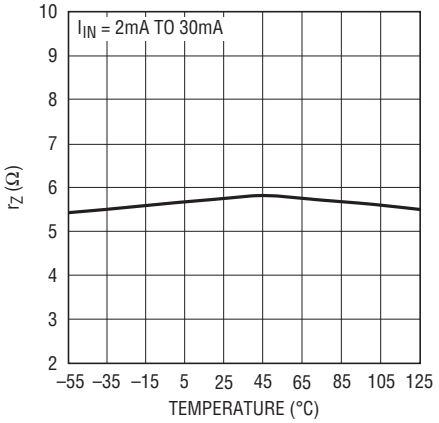
標準的性能特性

V_Zと温度



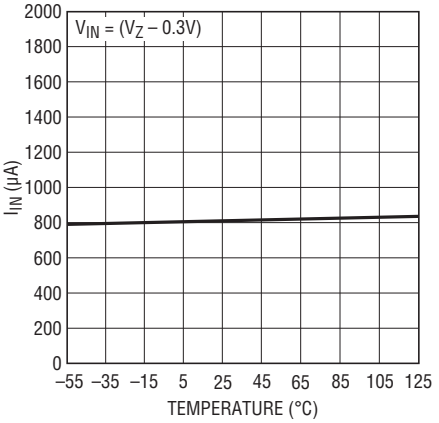
425212 G04

r_Zと温度



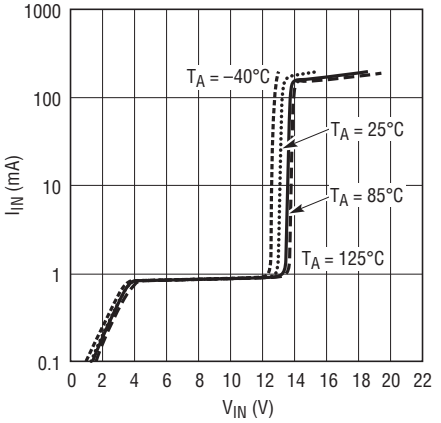
425212 G03

I_{IN}と温度



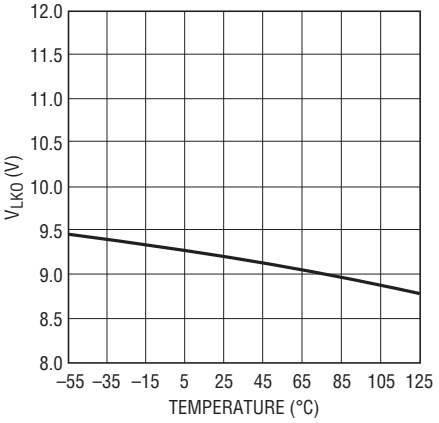
425212 G01

I_{IN}とV_{IN}



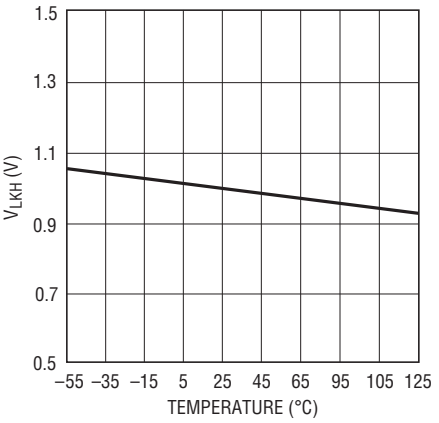
425212 G02

低電圧ロックアウトV_{LKO}と温度



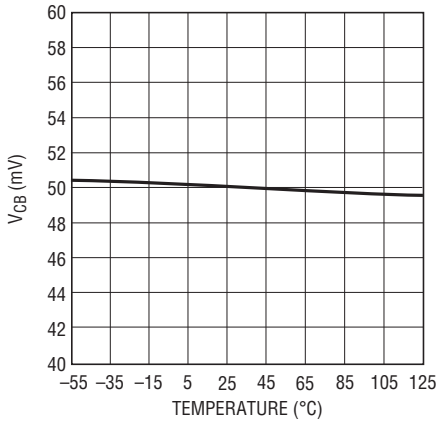
425212 G05

低電圧ロックアウトのヒステリシスV_{LKH}と温度



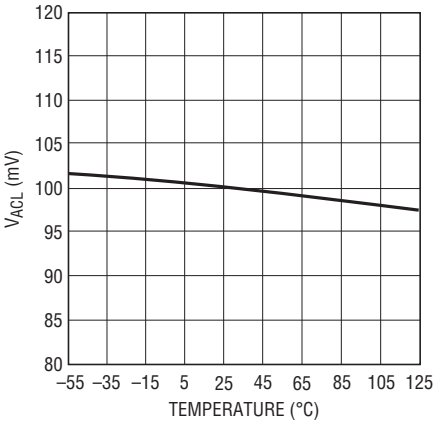
425212 G06

回路ブレーカの電流制限電圧V_{CB}と温度



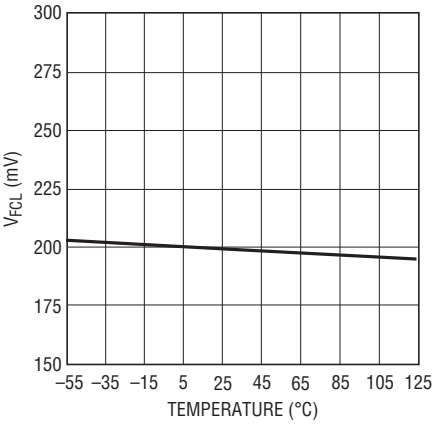
425212 G07

アナログ電流制限電圧V_{ACL}と温度



425212 G08

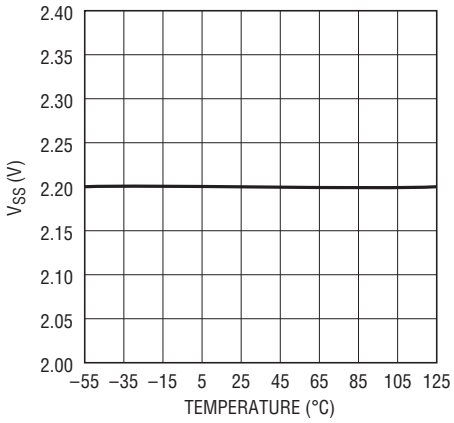
高速電流制限電圧V_{FCL}と温度



425212 G09

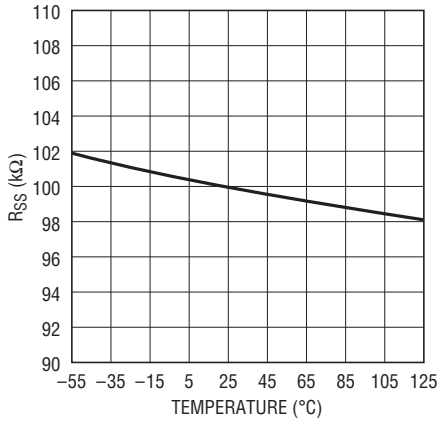
標準的性能特性

V_{SS}と温度



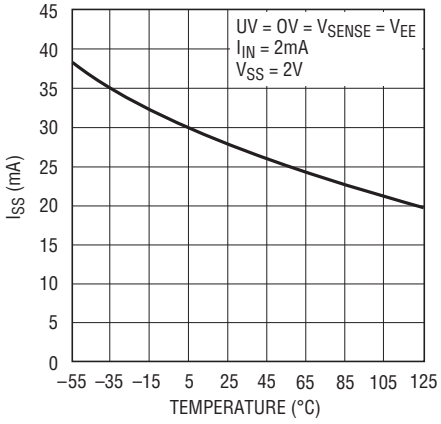
425212 G26

R_{SS}と温度



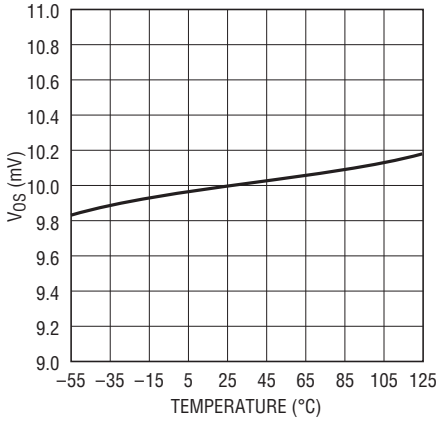
425212 G28

I_{SS}(シンク)と温度



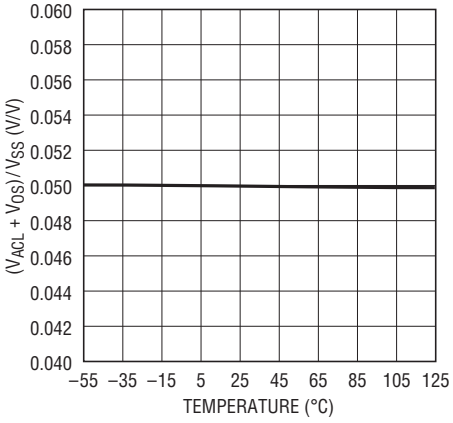
425212 G39

V_{OS}と温度



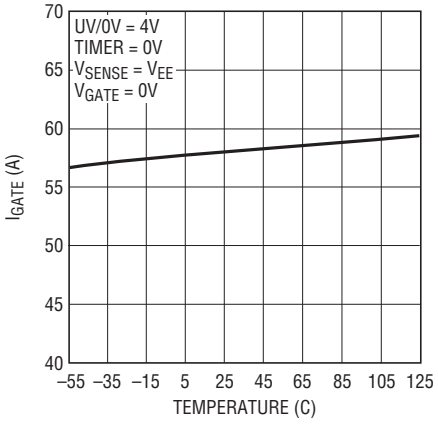
425212 G29

(V_{ACL} + V_{OS})/V_{SS}と温度



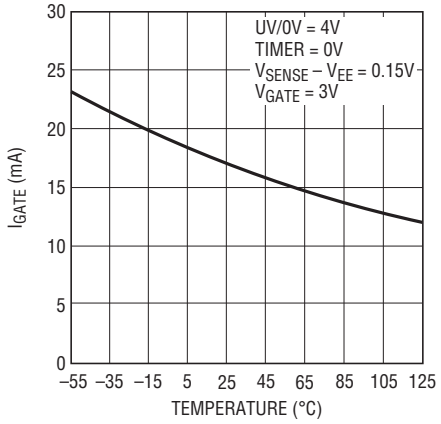
425212 G30

I_{GATE}(ソース)と温度



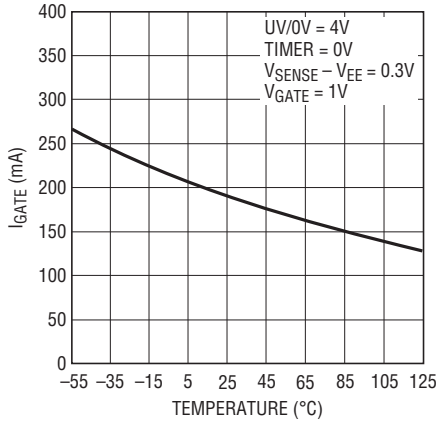
425212 G10

I_{GATE}(ACL、シンク)と温度



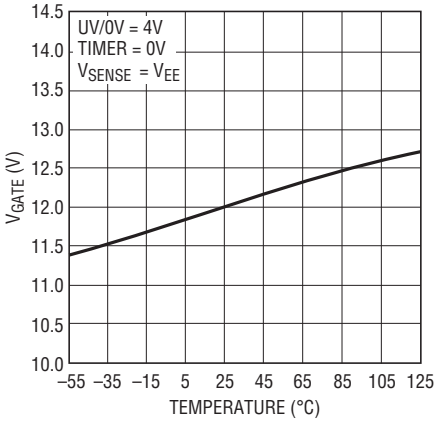
425212 G11

I_{GATE}(FCL、シンク)と温度



425212 G12

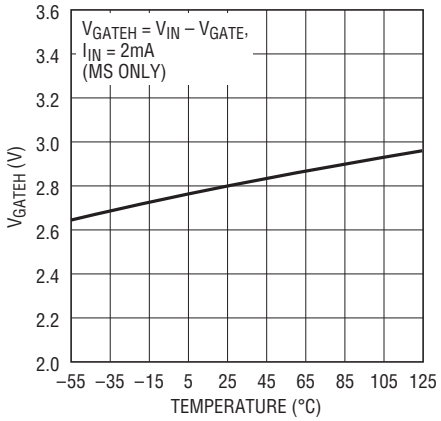
V_{GATE}と温度



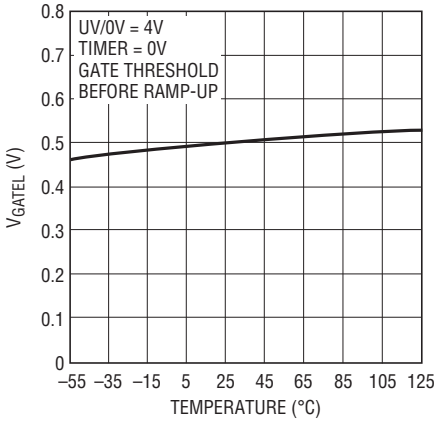
425212 G13

標準的性能特性

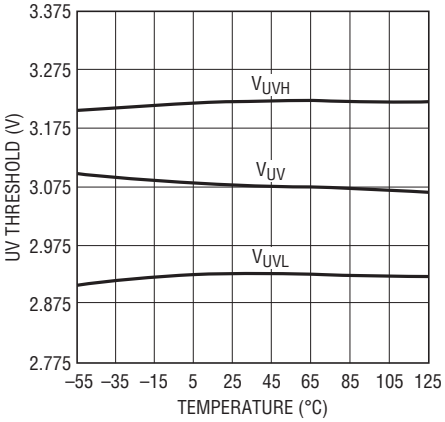
V_{GATEH}と温度



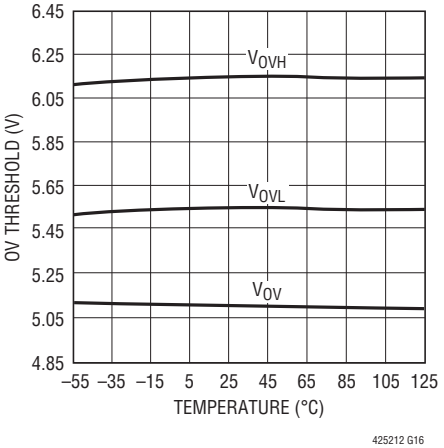
V_{GATEL}と温度



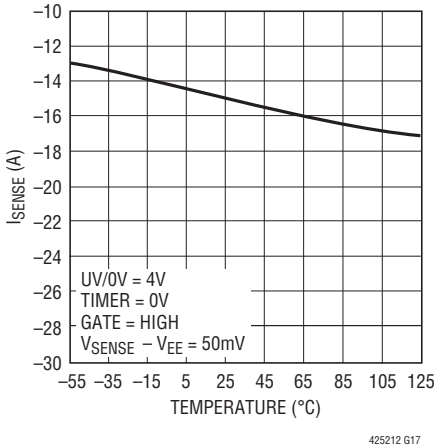
UVしきい値と温度



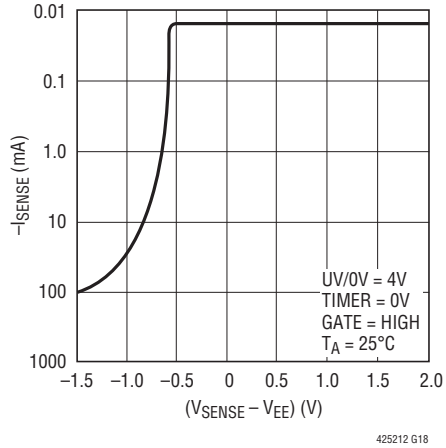
OVのしきい値と温度



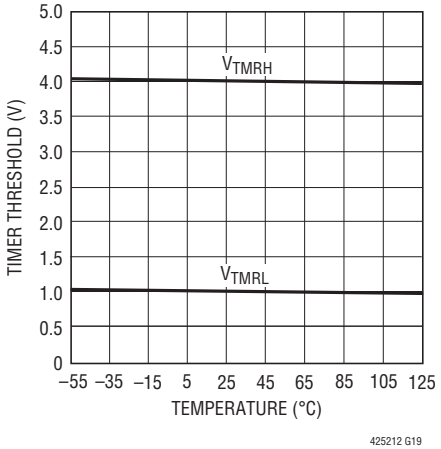
I_{SENSE}と温度



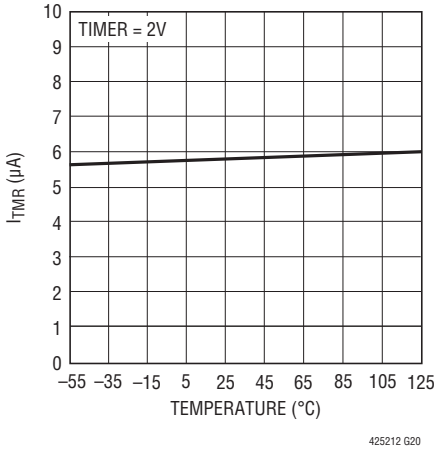
I_{SENSE}と(V_{SENSE}–V_{EE})



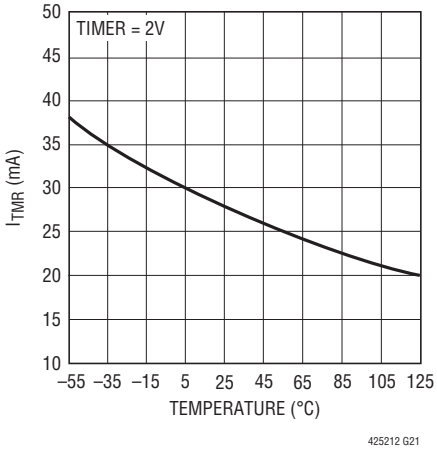
TIMERのしきい値と温度



I_{TMR}(初期サイクル、ソース)と温度

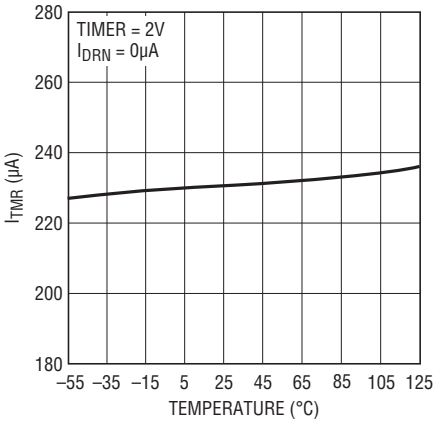


I_{TMR}(初期サイクル、シンク)と温度

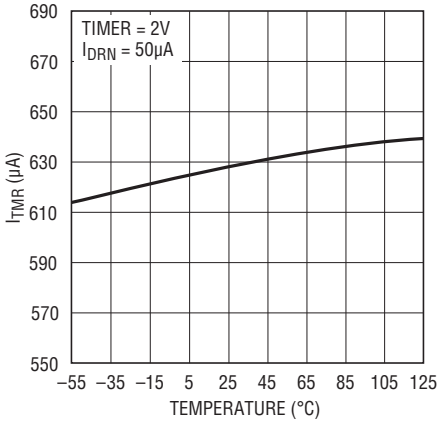


標準的性能特性

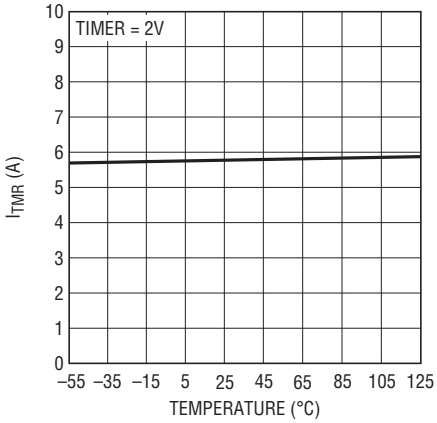
I_{TMR}（回路ブレーカ、ソース）と温度



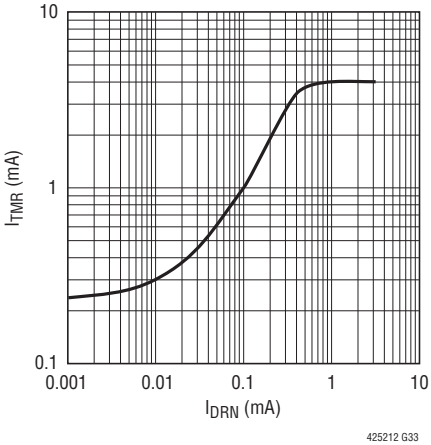
I_{TMR}（回路ブレーカ、I_{DRN} = 50μA、ソース）と温度



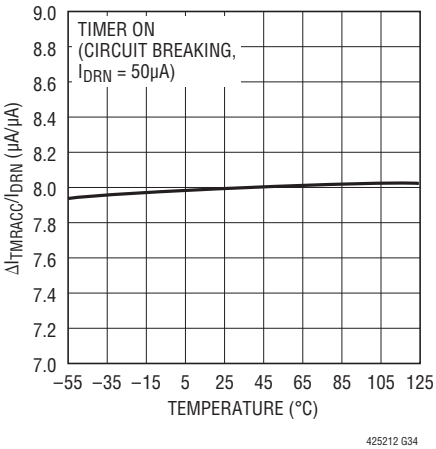
I_{TMR}（冷却サイクル、シンク）と温度



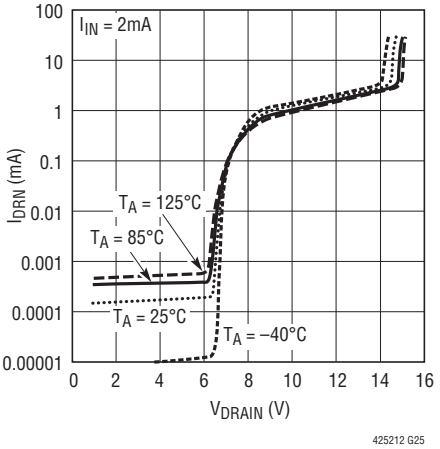
I_{TMR} と I_{DRN}



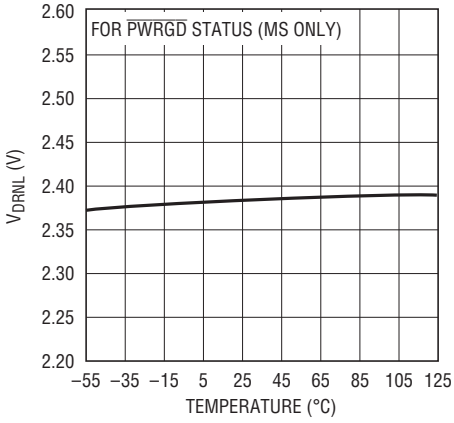
$\Delta I_{TMRACC}/\Delta I_{DRN}$ と温度



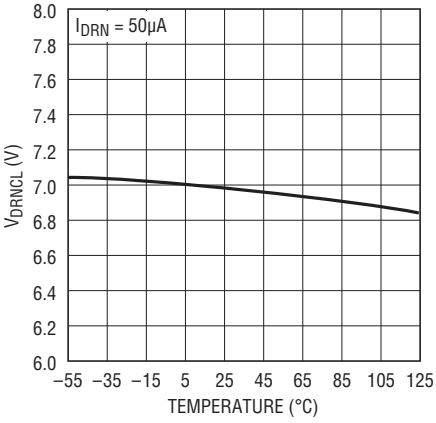
I_{DRN} と V_{DRAIN}



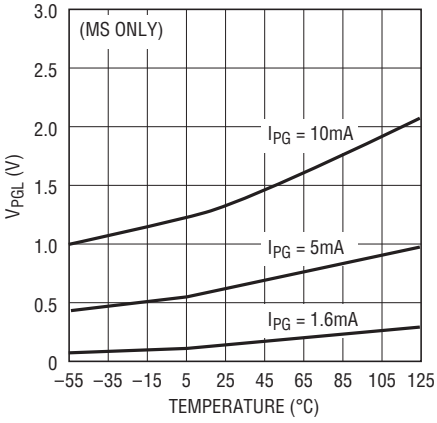
V_{DRNL} と温度



V_{DRNCL} と温度

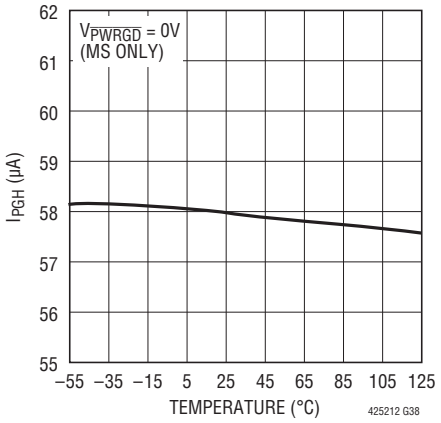


V_{PGL} と温度

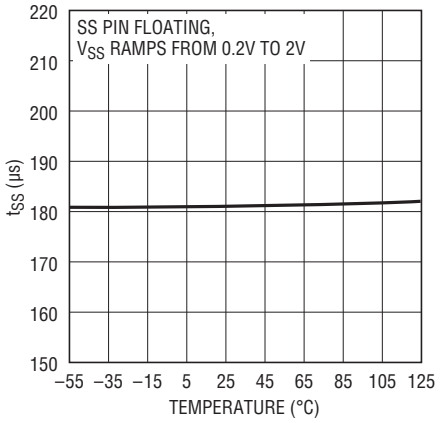


標準的性能特性

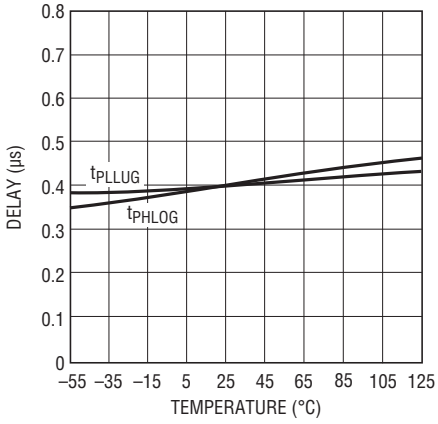
I_{PGH}と温度



t_{SS}と温度



t_{PLLUG}およびt_{PHLOG}と温度



ピン機能 (MS/MS8)

V_{IN} (ピン1/ピン1)： 正電源入力。このピンは、ドロッピング抵抗を介して電源の正電圧側に接続します。シャント・レギュレータにより、V_{IN}は13Vにクランプされます。内部の低電圧ロックアウト(UVLO)回路は、V_{IN}ピンがV_{LKO}より高くなるまでGATEを“L”に保ち、UVとOVより優先されます。UVが“H”で、OVが“L”であり、V_{IN}の電圧がUVLOを超えると、TIMERはGATE電圧のランプアップを開始する前に初期タイミング・サイクルを開始します。V_{IN}が約8.2Vより低くなると、GATEは直ちに“L”に引き下げられます。

$\overline{PWRGD}$ (ピン2/なし)： パワーグッド状態出力(MSのみ)。起動時に、DRAINの電圧が2.385Vより低く、GATEがV_{IN}の2.8V以内である場合、$\overline{PWRGD}$は“L”にラッチされます。$\overline{PWRGD}$の状態は、UVピン、V_{IN}ピン(UVLO)、または回路ブレーカのフォルトのタイムアウトによってリセットされます。このピンは内部で58µAの電流源によって“H”に引き上げられています。

SS (ピン3/ピン2)： ソフトスタート・ピン。このピンを使って起動時に突入電流を徐々に増加させることにより、di/dtを制御します。SSピンの電圧を1/20に減衰した電圧が電流制限アンプに与えられます。この減衰した電圧により、ソフトスタートの電流制限時にセンス抵抗を流れるMOSFETのドレイン電流が制限されます。起動サイクルの開始時に、SSコンデンサ(C_{SS})の電圧は22µA (LTC4252Aでは28µA)の電流源によって徐々に上昇します。SSが20 • V_{OS} = 0.2Vを超えるまで、GATEピンは“L”に保たれます。SSは内部で100kΩの抵抗(R_{SS})によってシャントされているので、SSピンの電圧は2.2Vに制限されます(LTC4252Aでは50kの抵抗でSSピンの電圧は1.4V)。これは100mVのアナログ電流制限SENSE電圧に相当します(LTC4252Aでは60mV)。SSコンデンサを省いた場合、SSピンは約180µsで立ち上がります。SSピンは以下の条件のいずれかで“L”になります。すなわち、UVLO時、低電圧状態の場合、過電圧状態の場合、初期タイミング・サイクル時、回路ブレーカのフォルトがタイムアウトした場合のいずれかです。

SENSE (ピン4/ピン3)： 回路ブレーカ/電流制限検出ピン。負荷電流はSENSEとV_{EE}の間に接続された検出抵抗R_Sによってモニタされ、3段階で制御されます。SENSEの電圧がV_{CB} (50mV)を超えると、回路ブレーカのコンパレータが(230µA＋8 • I_{DRN})のTIMERプルアップ電流を流します。SENSEの電圧がV_{ACL}を超えると、アナログ電流制限アンプがGATEの電圧を引き下げ、MOSFETの電流をV_{ACL}/R_Sに制御します。破壊的な短絡の場合は、SENSEにオーバーシュートが生じることがあります。SENSEがV_{FCL} (200mV)に達すると、高速電流制限コンパレータが強力なプルダウンを使ってGATEを“L”に引き下げます。回路ブレーカ機能と電流制限機能を無効にするには、SENSEをV_{EE}に接続します。

ピン機能 (MS/MS8)

V_{EE}(ピン5/ピン4)：負の電源電圧入力。このピンは電源の負電圧側に接続します。

GATE(ピン6/ピン5)：NチャネルMOSFETのゲート・ドライブ出力。このピンは58μAの電流源によって"H"に引き上げられています。GATEが"L"になるのは、V_{IN} (UVLO)、UV、OVに無効な条件が存在するか、または回路ブレーカのフォルトのタイムアウト時です。GATEは能動的にサーボ制御され、SENSEで測定されるフォルト電流を制御します。GATEの補償コンデンサがこのループを安定化します。コンパレータがGATEをモニタし、GATEが"L"であることを確認してから、初期タイミング・サイクル、過電圧発生後のGATE電圧のランプアップ、または電流制限フォルト後の再起動を可能にします。GATEの起動時には、GATEがV_{IN}の2.8V以内にあることを2つ目のコンパレータが検出してから、$\overline{PWRGD}$フラグがセットされます(MSパッケージのみ)。

DRAIN(ピン7/ピン6)：ドレイン検出入力。このピンとMOSFETのドレイン(V_{OUT})の間に外付け抵抗R_Dを接続することにより、6.15V(LTC4252Aでは5V)より低い電圧の検出とTIMERへの電流帰還が可能になります。DRAINが2.385Vより低いとコンパレータが検出し、GATE"H"のコンパレータと連携して、$\overline{PWRGD}$フラグをセットします。V_{OUT}がV_{DRNCL}を超えると、DRAINピンの電圧は約V_{DRNCL}にクランプされます。回路ブレーカ・フォルト・サイクルの間、R_Dを流れる電流は内部で8倍されてTIMERの230μAのプルアップ電流に加算されます。これにより、フォルト状態の時間が短縮され、MOSFETの発熱が抑えられます。

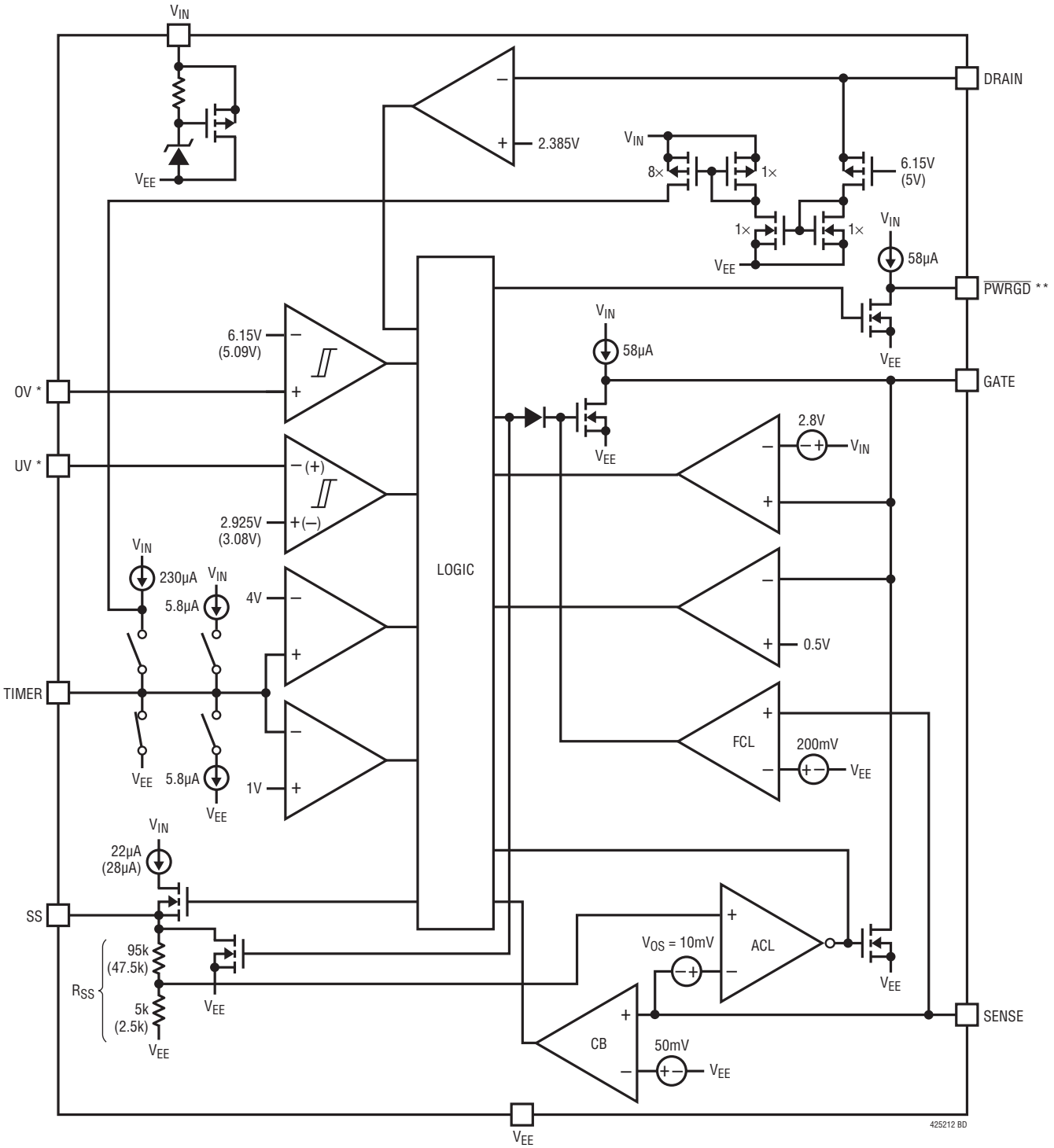
OV(ピン8/ピン7)：過電圧入力。OVピンでのアクティブ"H"のしきい値は6.15Vに設定されており、0.6Vのヒステリシスがあります。OVの電圧が6.15Vを超えると、GATEは"L"になります。OVの電圧が5.55V未満に戻ると、初期タイミング・サイクルなしでGATEの起動が始まります。LTC4252AのOVピンは5.09Vに設定されており、102mVのヒステリシスがあります。OVの電圧が5.09Vを超えると、GATEは"L"になります。OVの電圧が4.988V未満に戻ると、初期タイミング・サイクルなしでGATEの起動が始まります。初期タイミング・サイクルの途中で過電圧状態が発生すると、初期タイミング・サイクルは過電圧状態が解消された後に再開されます。過電圧状態は$\overline{PWRGD}$フラグをリセットしません。V_{IN} での内部UVLOは、常にOVより優先されます。OVに1nF～10nFのコンデンサを付加すると、トランジェントやスイッチング・ノイズがOVのしきい値に影響しないようになり、GATEピンにグリッチを生じるのを防ぎます。

UV(ピン9/ピン7)：低電圧入力。UVピンでのアクティブ"L"のしきい値は2.925Vに設定されており、0.3Vのヒステリシスがあります。UVの電圧が2.925Vより低いと、$\overline{PWRGD}$は"H"になり、GATEとTIMERは両方とも"L"になります。UVの電圧が上昇して3.225Vを超えると、初期タイミング・サイクルが開始され、その後でGATEが起動します。LTC4252AのUVピンは3.08Vに設定されており、324mVのヒステリシスがあります。UVの電圧が2.756Vより低い場合、$\overline{PWRGD}$は"H"になり、GATEとTIMERは両方とも"L"になります。UVの電圧が上昇して3.08Vを超えると、初期タイミング・サイクルが開始され、その後でGATEが起動します。V_{IN}の内部UVLOは常にUVより優先されます。UVが"L"になると、内部のフォルト・ラッチがリセットされます。UVに1nF～10nFのコンデンサを付加すると、トランジェントやスイッチング・ノイズがUVのしきい値に影響しないようになり、GATEピンでのグリッチ発生が防止されます。

TIMER(ピン10/ピン8)：タイマ入力。タイマは、起動時の初期遅延時間を発生させる場合や、出力過負荷(回路ブレーカのフォルト)時のシャットダウンを遅延させるときに使用します。タイマは、以下の条件が満たされると初期タイミング・サイクルを開始します。すなわち、UVが"H"、OVが"L"、V_{IN}がUVLO条件をクリア、TIMERピンが"L"、GATEピンの電圧がV_{GATEL}より低い、SS < 0.2V、および$V_{SENSE} - V_{EE} < V_{CB}$という条件です。次に、5.8μAのプルアップ電流がC_Tを充電し、これによって遅延時間が発生します。C_TがV_{TMRH} (4V)まで充電されると、タイミング・サイクルは終了し、TIMERは直ちに"L"になりGATEが動作します

GATEが"H"のときにSENSEが50mVを超えると、回路ブレーカのサイクルが開始され、230μAのプルアップ電流がC_Tを充電します。このサイクル中にDRAINの電圧が約7V(LTC4252Aでは6V)である場合、タイマのプルアップ電流は8 • I_{DRN}だけ増加します。TIMERの電圧が4Vに達する前にSENSEの電圧が低下して50mVより低くなると、5.8μAのプルダウン電流がC_Tを緩やかに放電します。C_Tの電圧が最終的にV_{TMRH}しきい値まで達すると、回路ブレーカが作動し、GATEは直ちに"L"になり、$\overline{PWRGD}$が"H"になります。LTC4252-1では、5.8μAのプルアップ電流源によってTIMERピンが"H"にラッチされます。このラッチされたフォルト状態は、外部デバイスを使ってTIMERを"L"にするか、UVをV_{UVLO}より低くすることによって解消されます。LTC4252-2は、過電流フォルトの後にシャットダウン冷却サイクルを開始します。このサイクルは4つの放電傾斜期間と3つの充電傾斜期間で構成されます。充電電流および放電電流は5.8μAであり、TIMERの電圧は1Vと4Vのしきい値の間で増減します。シャットダウン冷却サイクルが完了すると、LTC4252-2は起動サイクルに入ろうとします。

ブロック図



*MS8 パッケージでは、OV と UV は一緒に接続される。MS パッケージでは、OV と UV は別個のピンである。
**MS パッケージでのみ使用できる。
2 種類の数値が記された部品、電流および電圧に関しては、括弧付きの数値は LTC4252A、括弧なしの数値は LTC4252 を参照。

動作

活線挿入

電源の入っているバックプレーンに回路基板を挿入する場合、電源のバイパス・コンデンサを充電するときに電源バスから大きな過渡電流が流れることがあります。この電流によってコネクタ・ピンが損傷を受け、電源バスにグリッチが生じる結果、システム内の他の基板がリセットされます。LTC4252は回路基板の電源の投入を制御された状態で行うように設計されているので、グリッチの発生やコネクタの損傷なしに挿入や引き抜きを行なうことができます。

最初の起動

LTC4252は着脱可能な回路基板上に置かれ、コネクタと負荷または電力変換回路の間の経路を外付けのMOSFETスイッチを使って制御します(図1参照)。突入電流制御と短絡保護のいずれもMOSFETによって行われます。

LTC4252Aの詳細な回路図を図2に示します。–48Vと–48RTNは最も長いコネクタ・ピンを介して電力が供給されるので、基板が挿入されるとき最初に接続されます。この間、GATEピンがMOSFETをオフに保ちます。UVとOVは、内部の高精度しきい値と外付け抵抗分割器に基づいて、MOSFETをオンするかどうかを決定します。UVとOVはコネクタが接続されているかどうかもモニタすることにより、2つの役割を果たします。抵抗分割器の上端は、挿入過程で最後に接続される短いコネクタ・ピンを介して–48RTNを検出します。

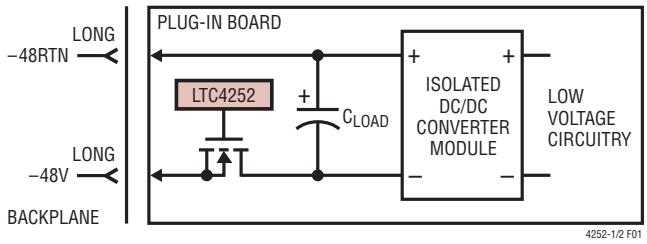


図1. 基本的なLTC4252のホットスワップ・トポロジー

インターロック条件

起動シーケンスは以下の「インターロック」条件が満たされると開始されます。

1. 入力電圧V_{IN}がV_{LKO}(UVLO)を超える
2. UVの電圧がV_{UVHI}より高い
3. OVの電圧がV_{OVLO}より低い
4. (SENSE – V_{EE})の電圧が50mV(V_{CB})より低い
5. SSの電圧が0.2V(20 • V_{OS})より低い
6. TIMERコンデンサ(C_T)の電圧が1V(V_{TMRL})より低い
7. GATEの電圧が0.5V(V_{GATEL})より低い

最初の3つの条件は常時モニタされ、残りの4つの条件は初期タイミングまたはGATEのランプアップの前にチェックされます。過電圧状態から抜け出すと、TIMERピンの電圧要件は適用されません。詳細については、「アプリケーション情報」の「タイミング波形」のセクションを参照してください。

TIMERはC_Tに5.8μAをソースすることによって起動シーケンスを開始します。V_{IN}、UVまたはOVが範囲から外れると、起動サイクルが停止し、TIMERはC_Tを1V以下に放電してから、前述の条件が再度満たされるまで待機します。C_Tが4Vまで充電されると、TIMERは"L"になり、SSピンとGATEピンの両方が解放されます。GATEは58μA(I_{GATE})をソースし、MOSFETのゲートとそれに付随した容量を充電します。SS電圧が徐々に上昇することによってV_{SENSE}が制限され、突入電流が抑制されます。GATEの電圧がV_{IN}の2.8V以内になり、DRAINがV_{DRNL}より低くなると、$\overline{PWRGD}$はアクティブ"L"になります。

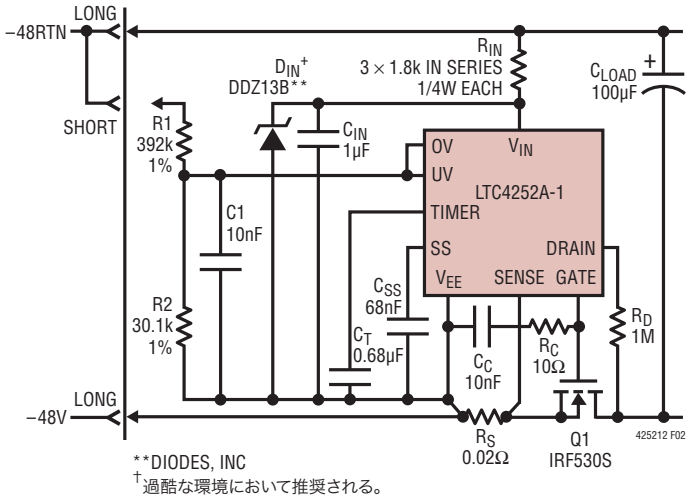


図2. –48V/2.5Aホットスワップ・コントローラ

動作

MOSFETが最初にオンするときは、外付け部品の値、MOSFETの特性、および公称設計電流に応じて、2つの動作モードが可能です。1つ目は、負荷容量への突入電流が小さい値に維持されるように、MOSFETが徐々にオンするモードです。出力が単純に–48Vまでランプするので、LTC4252はMOSFETを十分に導通させます。2つ目は、負荷電流が$[V_{SS}(t)/20 – V_{OS}]/R_S$のソフトスタート電流制限しきい値を超えるモードです。この場合、LTC4252は、ソフトスタートによって制限された電流を負荷容量にソースすることにより、出力を徐々に上昇させます。ソフトスタート電圧が1.2Vより低いと、回路ブレーカのTIMERが“L”に保たれます。1.2Vを超えると、TIMERは徐々に上昇します。どちらの起動モードが使われるかに関係なく、TIMERのランプアップ時間が回路ブレーカの遅延時間よりも短くなるようにタイマーの遅延時間を設定することが重要です。この条件が満たされないと、LTC4252-1は回路ブレーカの遅延時間後にシャットダウンすることがありますが、LTC4252-2は自動リトライを続ける可能性があります。

基板の引き抜き

カードケージから基板を引き抜くとき、UVとOVの抵抗分割器が最初に切断されます。これにより、MOSFETがオフしてコネクタ内の電流が反転します。引き続き電源ピンが切り離されるとき、アーク放電は生じません。

電流制御

3つのレベルの保護により、短絡状態と過負荷状態が処理されます。負荷電流はSENSEと抵抗R_Sによってモニタされます。SENSEには3つの別個のしきい値があります。時限回路ブレーカ機能用の50mV、アナログ電流制限ループ用の100mV（LTC4252Aでは60mV）、および破壊的な短絡発生時にピーク電流を制限する高速フィードフォワード・コンパレータ用の200mVです。

出力の過負荷が原因でR_S両端の電圧降下が50mVを超えると、TIMERがC_Tに230μAをソースします。C_Tが最終的に4Vのしきい値まで充電されると、LTC4252はオフします。C_Tが4Vに達する前に過負荷状態が解消されてSENSEが50mVより低くなると、C_Tは緩やかに放電します（5.8μA）。このようにして、LTC4252の回路ブレーカ機能は低デューティ・サイクルの過負荷に応答し、発熱が速く冷却が遅いMOSFETの特性に対処しています。

大きな過負荷はアナログ電流制限ループによって処理されます。R_S両端の電圧降下がV_{ACL}に達すると、電流制限ループはMOSFETのゲートをサーボ制御して、一定の出力電流V_{ACL}/R_Sを維持します。電流制限モードでは、一般にV_{OUT}が上昇し、これによってMOSFETの発熱が増加します。V_{OUT}がV_{DRNCL}より高い場合、V_{OUT}とDRAINの間に外付け抵抗R_Dを接続すると、TIMERコンデンサの充電が加速されることにより、フォルト・タイミング・サイクルを短縮することができます。TIMERのプルアップ電流は8 • I_{DRN}だけ増加します。SENSEの電圧が50mVを超えているため、この時間にTIMERがC_Tを充電し、LTC4252は最終的にシャットダウンすることに注意してください。

LTC4252の負荷側の低インピーダンスの障害と48V以上の潜在的駆動能力の組み合わせにより、50A/μsを十分超える電流スルーレートが生じることがあります。これらの条件では、オーバーシュートは避けられません。しきい値が200mVの高速SENSEコンパレータがオーバーシュートを検出し、弱い電流制限ループよりもはるかに強力に、したがってはるかに高速にGATEを“L”に引き下げます。その後、V_{ACL}/R_Sの電流制限ループが引き継ぎ、前述したように電流をサーボ制御します。前と同様に、TIMERが作動してC_Tが4Vに達すると、LTC4252をシャットダウンします。

C_Tが4Vに達すると、LTC4252-1は5.8μAのプルアップ電流源によってオフ状態にラッチされますが、LTC4252-2はシャットダウン冷却サイクルを開始します。LTC4252-1の回路ブレーカのラッチをリセットするには、UVを瞬間的に“L”にするか、入力電圧V_{IN}を内部UVLOしきい値より低くするか、またはスイッチを使ってTIMERを瞬間的に“L”にします。LTC4252-2は、そのシャットダウン冷却サイクル後にリトライします。

短絡は最も明白な種類のフォルトですが、いくつかの動作条件で過電流保護が作動することがあります。バックプレーンや負荷からのノイズ・スパイク、補助の高電圧電源の接続によって生じる入力ステップ、同じ電源バスを共有している隣接する回路基板上のフォルトによって生じるトランジェント電流、またはホットスワップが可能でない製品の挿入により、予想より大きな入力電流が生じ、過電流状態が短時間検出されることがあります。TIMERとC_Tの動作でこうした事態を排除することにより、LTC4252は、単純な電流コンパレータを作動させ、場合によってはヒューズを切ることがある、一時的な過負荷や外乱を「乗り切る」ことができます。

アプリケーション情報

シャント・レギュレータ

高速応答のシャント・レギュレータにより、V_{IN}ピンは13V（VZ）にクランプされます。電力は外付け電流制限抵抗（R_{IN}）によって–48RTNから供給されます。1μFのデカップリング・コンデンサ（C_{IN}）が電源トランジェントを除去するので、起動時に短い遅延が生じます。

電流の表面漏れ要件を満たすため、R_{IN}は2つ以上の直列抵抗に分割することができます。こうすると、1つの部品で可能な間隔より合計の間隔は広くなり、同時に各抵抗の下の隙間の両端間の電位は安定します。LTC4252は、–48Vをその基準グランドとして動作する基本的に低電圧のデバイスです。LTC4252のピンへのアーク放電からさらに保護するため、LTC4252および関連するすべての部品の内部領域と周辺領域を、他のプレーン（シャーシ・グランド、戻り線、2次側の電源プレーンやグランド・プレーンなど）がない状態にします。

V_{IN}は、図23に示すように、$\overline{PWRGD}$に接続したオプトカプラなどの外付け負荷に対応するため、最大30mAの追加電流でバイアスすることができます。大きな電流を流す代わりに、図3に示すようにエミッタ・フォロワを使ってV_{IN}を単純にバッファする方法もあります。図19に示す別の方法では、$\overline{PWRGD}$出力をカスコード接続しています。

V_{IN}はパッケージの熱制限の範囲内で30mAを処理できる定格になっており、100μsで100mAのパルスに耐えられることがテストされます。より大きな振幅のスパイクによる損傷からV_{IN}を保護するには、V_{IN}とV_{EE}の間を13Vのツェナー・ダイオードでクランプします。図3に示すように、V_{EE}とV_{EE}を基準とするすべての部品をセンス抵抗のケルビン端子に星型接続し、V_{IN}、C_{IN}、D_{IN}およびV_{EE}間のトレースの長さをできるだけ短くします。

内部低電圧ロックアウト（UVLO）

ヒステリシスをもったコンパレータ（UVLO）がV_{IN}が低電圧になっていないかをモニタします。しきい値はV_{LKO}とそのヒステリシスV_{LKH}で規定されます。V_{IN}が上昇してV_{LKO}を超えるとデバイスはイネーブルされます。（V_{LKO} – V_{LKH}）より低くなるとデバイスはディスエーブルされ、GATEは“L”になります。V_{IN}のUVLO機能をUV/OVピンの機能と混同しないようにしてください。これらは全く別の機能です。

UV/OVコンパレータ (LTC4252)

ヒステリシスをもったUVコンパレータは、以下のしきい値により、UVピンで低電圧状態を検出します。

UVの“L”から“H”（V_{UVHI}）= 3.225V

UVの“H”から“L”（V_{UVLO}）= 2.925V

ヒステリシスをもったOVコンパレータは、以下のしきい値により、OVピンで過電圧状態を検出します。

OVの“L”から“H”（V_{OVHI}）= 6.150V

OVの“H”から“L”（V_{OVLO}）= 5.550V

UVとOVのトリップポイントの比は、標準的応用例に示すように、通信機器と一緒に接続した場合、通信機器の標準的な動作範囲である43V～82Vに適合するように設計されていま

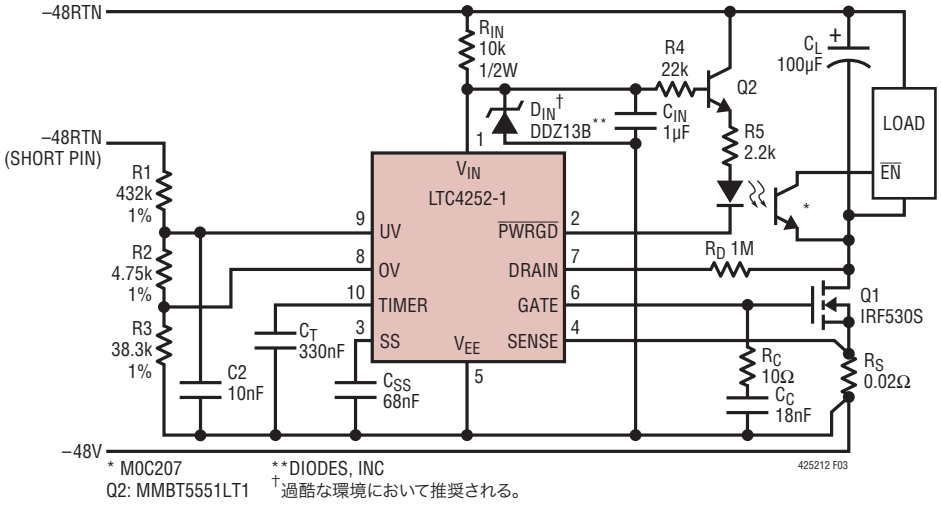


図3. 入力動作範囲の異なる–48V/2.5Aのアプリケーション

アプリケーション情報

す。分圧器(R1、R2)を使用して電源電圧の大きさを調整します。R1 = 402kおよびR2 = 32.4kを使用すると、標準的な動作範囲である43.2V～82.5Vになります。低電圧シャットダウンしきい値と過電圧回復しきい値は、39.2Vと74.4Vになります。しきい値の精度を維持するため、1%精度の分圧器抵抗を推奨します。

「標準的応用例」に示すR1-R2分圧器の値により、100μAをわずかに超える定常電流が設定され、UV/OVのインピーダンスが30kΩに定められます。大半のアプリケーションでは、30kΩのインピーダンスと300mVのUVヒステリシスの組み合わせにより、LTC4252はノイズの影響を受けなくなります。ノイズ耐性を高める場合は、UV/OVとV_{EE}の間に1nF～10nFのフィルタ・コンデンサを追加します。

図3に示すような35.5V～76Vの範囲のように異なる動作範囲の場合は、10ピンのMSパッケージに個別のUVピンおよびOVピンが用意されているので、それを使用することができます。さまざまな抵抗を配置したそのほかの組み合わせも可能です。

UV/OVコンパレータ(LTC4252A)

ヒステリシスをもったUVコンパレータは、以下のしきい値により、UVピンで低電圧状態を検出します。

UVの"L"から"H"(V_{UV}) = 3.08V

UVの"H"から"L"($V_{UV} - V_{UVHST}$) = 2.756V

ヒステリシスをもったOVコンパレータは、以下のしきい値により、OVピンで過電圧状態を検出します。

OVの"L"から"H"(V_{OV}) = 5.09V

OVの"H"から"L"($V_{OV} - V_{OVHST}$) = 4.988V

UVとOVのトリップポイントの比は、図2に示すように、通信機器と一緒に接続した場合、標準的な通信機器の動作範囲である43V～71Vに適合するように設計されています。分圧器(R1、R2)を使用して電源電圧の大きさを調整します。R1 = 390kおよびR2 = 30.1kを使用すると、標準的な動作範囲である43V～71Vになります。低電圧シャットダウンしきい値と過電圧回復しきい値は、それぞれ38.5Vと69.6Vになります。しきい値の精度を維持するため、1% 精度の分圧器抵抗を推奨します。

図2に示すR1-R2分圧器の値では100μAよりもわずかに多い定常電流が設定され、UV/OVでのインピーダンスが28kΩに定められます。大半のアプリケーションでは、28kΩのインピーダンスと324mVのUVヒステリシスの組み合わせにより、LTC4252Aはノイズの影響を受けなくなります。ノイズ耐性を高める場合は、UV/OVとV_{EE}の間に1nF～10nFのフィルタ・コンデンサを追加します。

図4に示すように35.5V～76Vなどの広い動作範囲の場合は、UVピンおよびOVピンを使用することができます。さまざまな抵抗を配置したそのほかの組み合わせも可能です。

UV/OVの動作

UVコンパレータへの入力が低いとデバイスはリセットされ、GATEピンおよびTIMERピンは"L"になります。UVが"L"か

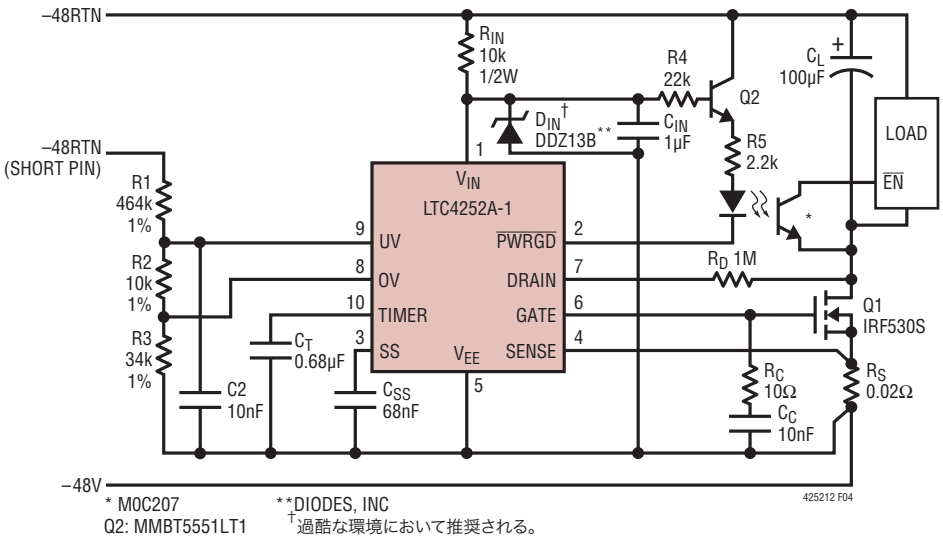


図4. 入力動作範囲の広い–48V/2.5Aのアプリケーション

アプリケーション情報

ら“H”へ遷移すると、その他のインターロック条件に合致する場合、初期タイミング・シーケンスが開始されます。UVコンパレータ内で“H”から“L”へ遷移すると、LTC4252は直ちにシャットダウンし、MOSFETのゲートが“L”になり、ラッチされた$\overline{PWRGD}$が“H”にリセットされます。

OVコンパレータによって過電圧状態が検出されるとGATEも“L”になるので、負荷は遮断されます。ただし、回路ブレーカのTIMERや$\overline{PWRGD}$フラグはリセットされず、冷却タイマもシャットダウンしません。電源電圧が許容範囲に戻ると、TIMER以外のすべてのインターロック条件が満たされている場合、GATEピンは再起動します。初期タイミング・サイクルのときだけ、過電圧状態がTIMERをリセットします。

DRAIN

2つの機能をもつDRAINピンに外付け抵抗R_Dを接続することにより、大きなトランジェント電圧によって損傷を受けることなく、V_{OUT}を検出*することができます。5V未満では、ピンの漏れ電流を無視できるので、DRAIN“L”のコンパレータで2.385V（V_{DRNL}）より低いV_{OUT}を検出することができます。この条件とGATE“L”のコンパレータの組み合わせにより、$\overline{PWRGD}$フラグがセットされます。

V_{OUT}がV_{DRNCL}より高くなると、DRAINピンはおよそV_{DRNCL}にクランプされ、R_Dを流れる電流は次式で与えられます。

$$I_{DRN} \approx \frac{V_{OUT} - V_{DRNCL}}{R_D} \quad (1)$$

この電流は回路ブレーカのフォルト時に8倍されてからTIMER電流の公称値230μAに加えられます。これにより、MOSFETのドレイン-ソース間電圧がV_{DRNCL}を超えるとフォルト時のTIMERのプルアップが加速され、MOSFETの発熱時間が実質的に短縮されます。

TIMER

TIMERピンはいくつかの重要な機能を果たすので、その動作は多少複雑です。コンデンサC_TをTIMERに接続してLTC4252のタイミングを生成します。TIMERでは4つの異なる充放電モードが利用できます。

1）5.8μAの低速充電。初期タイミングおよびシャットダウン冷却の遅延。

2）（230μA＋8 • I_{DRN}）の高速充電。回路ブレーカの遅延。

3）5.8μAの低速充電。回路ブレーカの「冷却」およびシャットダウン時の冷却。

4）低インピーダンス・スイッチ。初期タイミングの遅延後、初期タイミングの間にUVLO、UVおよびOV状態が発生した場合にTIMERコンデンサをリセット。

最初の起動では、5.8μAのプルアップ電流が使用されます。インターロック条件が満たされると、低インピーダンス・スイッチがオフし、5.8μAの電流源がイネーブルされます。次式で与えられる時間が経過するとC_Tが4Vまで充電されます。

$$t = \frac{4V \bullet C_T}{5.8\mu A} \quad (2)$$

C_Tが4V（V_{TMRH}）に達すると、低インピーダンス・スイッチがオンしてC_Tを放電します。GATEの起動サイクルが開始され、SSとGATEの両方が解放されます。

回路ブレーカ・タイマの動作

SENSEピンがR_Sの両端に50mVを超える電圧降下を検出すると、TIMERピンは（230μA＋8 • I_{DRN}）の電流でC_Tを充電します。C_Tが4Vまで充電されると、GATEピンは“L”になり、LTC4252-1はオフ状態にラッチされますが、LTC4252-2はシャットダウン冷却サイクルを開始します。UVピンに“L”のパルスが瞬間的に入力されるか、TIMERピンが外部スイッチによって瞬間的に“L”まで放電するか、またはV_{IN}がUVLOより低くなってから元に戻るまで、LTC4252-1はオフ状態にラッチされたままです。回路ブレーカのタイムアウト時間は次式で与えられます。

$$t = \frac{4V \bullet C_T}{230\mu A + 8 \bullet I_{DRN}} \quad (3)$$

V_{OUT}が5Vより低いと、内部のPMOS素子がDRAINピンの漏れ電流を遮断するので、式（3）ではI_{DRN} = 0μAになります。回路ブレーカのフォルト期間中にV_{OUT}がV_{DRNCL}を超えると、C_Tの充電は式1の8 • I_{DRN}の分だけ加速されます。

断続的な過負荷がSENSEでの50mVのしきい値を超えることがありますが、その持続時間が十分に短ければ、TIMERが4Vに達することはなく、LTC4252は外部MOSFETをオフしません。この状況に対処するため、SENSE電圧が50mVより低くなるたびに、TIMERは5.8μAのプルダウン電流を使ってC_Tを緩やかに放電します。したがって、V_{OUT}が5Vより高く総デューティサイクルが2.5%以上の場合は、どのような断続

*MOSFETから見たV_{OUT}。つまり、V_{DS}。

アプリケーション情報

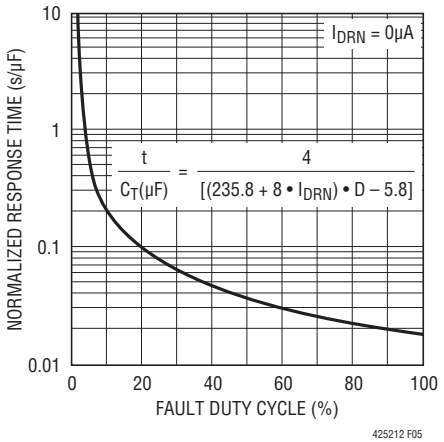


図5. 回路ブレーカの応答時間

的過負荷であっても最終的には回路ブレーカがトリップしてLTC4252はシャットダウンします。I_{DRN} = 0µAの場合、1µFに正規化した回路ブレーカの秒単位の応答時間を図5に示します。C_Tの非対称の充電と放電はMOSFETの発熱の適正な尺度になります。

正規化された回路の応答時間は次式で概算されます。

$$\frac{t}{C_T(\mu F)} = \frac{4}{\left[\left(235.8 + 8 \cdot I_{DRN}\right) \cdot D - 5.8\right]} \quad (4)$$

シャットダウンの冷却サイクル

LTC4252-1（ラッチオフ・バージョン）では、回路ブレーカのフォルト時にTIMERの電圧が4Vに達した後、5.8µAのプルアップ電流によってTIMERは“H”にラッチされます。LTC4252-2（自動リトライ・バージョン）では、TIMERの電圧が4Vのしきい値に達すると、シャットダウン冷却サイクルが始まります。TIMERは5.8µAのプルダウン電流を流し始め、それは1Vのしきい値に達するまで続きます。その後、5.8µAのプルアップ電流によってオン状態に戻り、それはTIMERが4Vのしきい値に達するまで続きます。1Vと4Vのしきい値の間で4つの5.8µAプルダウン・サイクルと3つの5.8µAプルアップ・サイクルが実行されることにより、次式で与えられる時間が生じます。

$$t_{SHUTDOWN} = \frac{7 \cdot 3V \cdot C_T}{5.8\mu A} \quad (5)$$

最後のプルダウン・サイクルの1Vのしきい値では、GATE電圧のランプアップが試行されます。

ソフトスタート

ソフトスタートはGATEの起動時に突入電流のプロファイルを制限します。アクティブ負荷に電源を投入する場合、ソフトスタートの期間が過度に長いと、MOSFETのSOA定格を超える可能性があります。SSピンがフロート状態の場合、内部の電流源により、SSピンの電圧が約230µsの間にLTC4252では0Vから2.2Vに上昇し、LTC4252Aでは0Vから1.4Vに上昇します。SSピンからグランドに外付けコンデンサC_{SS}を接続すると、この上昇曲線が変更され、次式のRC応答に近づきます。

$$V_{SS}(t) \approx V_{SS} \cdot \left(1 - e^{\left(-\frac{t}{R_{SS} \cdot C_{SS}}\right)}\right) \quad (6)$$

内部の抵抗分割器（LTC4252の場合は95k/5k、LTC4252Aの場合は47.5k/2.5k）により、$V_{SS}(t)$は20分の1に縮小され、アナログ電流制限のしきい値は次式で与えられます。

$$V_{ACL}(t) = \frac{V_{SS}(t)}{20} - V_{OS} \quad (7)$$

これにより、突入電流は$V_{ACL}(t)/R_S$に制限されます。オフセット電圧V_{OS}（10mV）により、C_{SS}が十分に放電され、ACLアンプはGATEが起動する前に電流制限状態になります。SSピンは以下の条件のいずれかで“L”になります。それは、UVLO時、低電圧状態の場合、過電圧状態の場合、初期タイミング・サイクル時、または回路ブレーカのフォルトがタイムアウトした時です。

GATE

GATEは以下のいずれの状態でもV_{EE}まで低下します。それは、UVLO時、低電圧状態の場合、過電圧状態の場合、初期タイミング・サイクル時、または回路ブレーカのフォルトがタイムアウトした時です。GATEがオンすると、58µAの電流源がMOSFETのゲートおよび関連したすべての外付け容量を充電します。V_{IN}はゲート駆動電圧が14.5Vを超えないように制限します。

最初に突然電源を接続したときのゲート-ドレイン間容量（C_{GD}）のフィードスルーにより、MOSFETをオンするほどのゲート-ソース間電圧が発生することがあります。実際に利用できる電圧がV_{IN}に存在しない場合でも、独自の回路によってGATEが“L”になり、挿入時の電流スパイクが除去されます。このため、C_{GD}を補償するための大きな外付けゲート-ソー

アプリケーション情報

ス間コンデンサは不要です。代わりに、小さな値(10nF以上)のコンデンサC_Cが適しています。C_Cにはアナログ電流制限ループの補償機能もあります。

GATEには2つのコンパレータがあります。GATE“L”のコンパレータは初期タイミングまたはGATEの起動サイクルの前に0.5Vのしきい値を下回っているかどうかを監視します。GATE“H”のコンパレータはV_{IN}を基準にして2.8V未満になっているかどうかを監視し、DRAIN“L”のコンパレータとともにGATEの起動時に$\overline{PWRGD}$状態を設定します。

SENSE

SENSEピンは、回路ブレーカ(CB)のコンパレータ、アナログ電流制限(ACL)アンプ、および高速電流制限(FCL)コンパレータによってモニタされます。これら3つのコンパレータは、それぞれV_{EE}を基準にしたSENSEの電位を測定します。SENSEが50mVを超えると、CBコンパレータは230μAのTIMERプルアップ電流を導通させます。100mV(LTC4252Aでは60mV)ではACLアンプがMOSFETの電流をサーボ制御し、200mVではFCLコンパレータがGATEを急激に“L”に引き下げ、MOSFETの電流を制御しようとします。これらの状態のいずれかが、TIMERがC_Tを4Vまで充電するのに十分なだけ長く持続すると(式3を参照)、LTC4252はシャットダウンし、GATEは“L”になります。

SENSEピンがV_{ACL}を超える電圧になると、ACLアンプがGATEを下方にサーボ制御してMOSFETの電流を制御しようとします。GATEは通常動作ではMOSFETをオーバードライブするので、ACLアンプはGATEをMOSFETのしきい値まで放電させるのに時間を要します。過負荷が大きくない場合、ACLアンプはMOSFETの電流を制御することができますが、大きな過負荷が生じると電流にオーバーシュートが生じることがあります。SENSE = 200mVでは、FCLコンパレータが動作して、GATEピンをV_{EE}に近い電位まで短時間で放電します。次に、FCLは解放され、ACLアンプが動作します。この間、TIMERは動作を続けます。FCLの効果は、MOSFETの電流を減少させるように制御ループに非線形の応答が付加されることです。

システムの誘導効果により、FCLは通常、電流制限ループを過補正し、GATEのアンダーシュートを生じます。ループのゼロ(ゲートのコンデンサに直列接続された抵抗R_C)は、ACLアンプの回復に役立ちます。

短絡動作

LTC4252の場合の、負荷側の低インピーダンスの短絡状態による回路動作を図6に示します。初めに、GATEピンが機能してV_{GS}を制御するときは(トレース3)、電流がオーバーシュートして高速電流制限レベルのV_{SENSE} = 200mV(トレース2)を超えます。このオーバーシュートによってバックプレーンに負方向のグリッチが生じ、電流が100mV/R_Sに減少すると、バックプレーンに正方向のグリッチを生じます。

TIMERはC_Tの充電を開始し(トレース4)、アナログ電流制限ループはフォルト電流を100mV/R_Sに保ちます。この場合、フォルト電流は5Aです(トレース2)。負荷によってバックプレーンの電圧(トレース1)に瞬時性の電圧低下が発生していることに注意してください。タイマのプルアップはV_{OUT}によって加速されます。C_Tが4Vに達すると、GATEがオフし、$\overline{PWRGD}$が“H”になり、負荷電流がゼロに減少してバックプレーンに100Vを超えるリンギングが生じます。GATEのターンオフに伴うトランジェントはスナバを使った制御でリンギングを低減し、(Diodes Inc.のSMAT70Aなどの)トランジェント電圧サプレッサを使った制御で大きなスパイクを排除することができます。スナバ用のRCは通常、実験に基づいて選択されます。スナバ・コンデンサの値は通常、MOSFETのC_{OSS}の10倍～100倍の範囲で選択されます。スナバ抵抗の値は通常、3Ω～100Ωです。

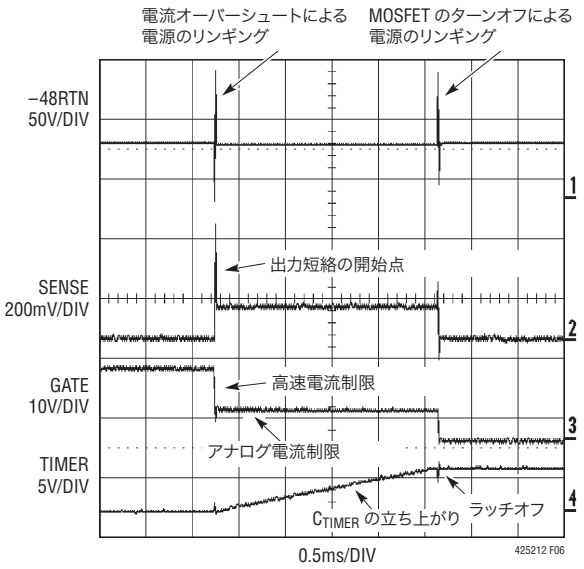


図6. LTC4252の出力短絡時の動作

アプリケーション情報

1枚のカードに低インピーダンスの短絡が生じると、同じバックプレーンを共有している他のカードの動作に影響を与えることがあります。図6のトレース1に見られる最初のグリッチやバックプレーンの瞬時性の電圧低下は、隣接するカードの出力コンデンサから電荷を奪うことがあります。故障したカードがシャットダウンすると、電流が流れ込んでコンデンサをリフレッシュします。LTC4252を他のカードで使用する場合、これらのカードは突入電流を100mV/R_Sという値に制限するように応答します。C_Tの大きさが適切であれば、コンデンサはC_Tのタイムアウトのずっと前に再充電されます。

パワーグッド、$\overline{PWRGD}$

起動時にGATEがV_{IN}の2.8V以内まで充電され、かつDRAINの電圧がV_{DRNL}より低いと、$\overline{PWRGD}$が“L”にラッチされます。$\overline{PWRGD}$は、UVLO状態または低電圧状態になるか、C_Tが4Vまで充電されるとリセットされます。過電圧状態は$\overline{PWRGD}$の状態に影響を与えません。リセット時には、58μAの電流によってこのピンは“H”になります。電源モジュールと$\overline{PWRGD}$の間にはトランジェント電圧が発生するので、オプトアイソレーションを推奨します。このピンには、十分なオプトカプラ駆動能力があります。電流制限用ベース抵抗を備えた、$\overline{PWRGD}$インタフェースの代替NPN構成を図19に示します。このモジュールのイネーブル入力は、負の入力電流から保護することが必要です。

MOSFETの選択

外付けのMOSFETスイッチは、TIMERのタイムアウトまで短絡状態に耐えるだけの十分な安全動作領域(SOA)を備えている必要があります。これらの検討事項はDC電流定格よりも優先されます。所定のアプリケーションに対して十分なSOAを備えたMOSFETは必要な電流を常に処理できますが、その逆が真であるとは限りません。MOSFETメーカのデータシートを参照して、安全動作領域と実効過渡サーマル・インピーダンス曲線を確認してください。

MOSFETは、ソフトスタート用コンデンサがないと仮定して、3段階のプロセスで選択します。最初にR_Sを計算してから、負荷容量を充電するのに必要な時間を決定します。このタイミングに加えて、最大短絡電流と最大入力電圧により、MOSFETのSOA曲線に対してチェックされる動作点が定まります。

設計を開始するには、必要な負荷電流と負荷容量(I_LおよびC_L)を最初に決めます。回路ブレーカの電流のトリップ・ポイント(V_{CB}/R_S)は最大負荷電流に適合するように設定します。DC/DCコンバータへの最大入力電流が$V_{SUPPLY(MIN)}$で生じると予測されることに注意してください。R_Sは次式で与えられます。

$$R_S = \frac{V_{CB(MIN)}}{I_{L(MAX)}} \tag{8}$$

ここで、$V_{CB(MIN)}$ = 40mV (LTC4252Aでは45mV)は回路ブレーカの保証最小しきい値を表します。

初期の充電過程で、LTC4252はMOSFETを電流制限状態で動作させ、R_S両端に80mV～120mV (V_{ACL})を強制的に印加することがあります(LTC4252Aでは、V_{ACL}は54mV～66mV)。最小突入電流は次式で与えられます。

$$I_{INRUSH(MIN)} = \frac{80mV}{R_S} \tag{9}$$

最大短絡電流の制限値は最大V_{ACL}を使って計算します。これは次のようになります。

$$I_{SHORTCIRCUIT(MAX)} = \frac{120mV}{R_S} \tag{10}$$

TIMERコンデンサC_Tは予測される最も遅い充電速度に基づいて選択する必要があります。そうしないと、負荷コンデンサが完全に充電される前にTIMERがタイムアウトする可能性があります。C_Tの値は負荷コンデンサを充電するのに要する最大時間に基づいて計算します。この時間は次式で与えられます。

$$t_{CL(CHARGE)} = \frac{C \bullet V}{I} = \frac{C_L \bullet V_{SUPPLY(MAX)}}{I_{INRUSH(MIN)}} \tag{11}$$

DRAINピンに流れ込む最大電流は次式で与えられます。

$$I_{DRN(MAX)} = \frac{V_{SUPPLY(MAX)} - V_{DRNCL}}{R_D} \tag{12}$$

アプリケーション情報

I_{DRN}が$I_{DRN(MAX)}$からゼロまで減少するのと同様に直線的な充電速度で近似すると、式(3)のI_{DRN}成分は$0.5 \cdot I_{DRN(MAX)}$で近似することができます。式を整理すると、TIMERコンデンサC_Tは次式で与えられます。

$$C_T = \frac{t_{CL(CHARGE)} \cdot \left(230\mu A + 4 \cdot I_{DRN(MAX)}\right)}{4V} \quad (13)$$

式(3)に戻ってTIMER時間を計算し、その値を$V_{SUPPLY(MAX)}$および$I_{SHORTCIRCUIT(MAX)}$と組み合わせて、使用する予定のMOSFETのSOA曲線をチェックします。

数値の設計例として、36Vで1Aの入力電流を必要とする30W負荷について考えます。$V_{SUPPLY(MAX)}$ = 72VおよびC_L = 100μF、R_D = 1MΩの場合、式(8)からR_S = 40mΩとなり、式(13)からC_T = 441nFとなります。R_S、C_T、TIMER電流(230μA)、TIMERのしきい値(4V)、R_D、DRAIN電流乗算器およびDRAIN電圧クランプ(V_{DRNCL})の誤差を考慮し、計算値に1.5を掛けて、最も近い標準値C_T = 680nFが得られます。

短絡が発生すると、式(3)にC_T = 680nFを代入することで得られる5.6msの間、最大120mV/40mΩ = 3Aの電流がMOSFETに流れます。MOSFETはこの基準に基づいて選択する必要があります。IRF530Sは100Vと3Aを10msの間処理することが可能であり、このアプリケーションで安全に使用できます。

ソフトスタート時から負荷短絡時までのソフトスタート・コンデンサの最大値の計算は、MOSFETの非線形SOA特性と$R_{SS}C_{SS}$応答のため複雑になります。過度に控えめになりますが簡単な手法は、次式で与えられる最大回路ブレーカ電流から始まります。

$$I_{CB(MAX)} = \frac{V_{CB(MAX)}}{R_S} \quad (14)$$

ここで、$V_{CB(MAX)}$は60mVです(LTC4252Aでは55mV)。

予定しているMOSFETのSOA曲線から許容時間$t_{SOA(MAX)}$を決定します。C_{SS}は次式で与えられます。

$$C_{SS} = \frac{t_{SOA(MAX)}}{0.916 \cdot R_{SS}} \quad (15)$$

上の例では、60mV/40mΩから1.5Aが得られます。IRF530Sの$t_{SOA(MAX)}$は40msです。式(15)からC_{SS} = 437nFとなります。実際の基板評価ではC_{SS} = 100nFが適していることが分かりました。($R_{SS} \cdot C_{SS}$)と$t_{CL(CHARGE)}$の比は最適な指標になります。この比が大きいとタイムアウト時間が経過してしまうことがあるからです。この指標は基板レベルの評価で経験的に決定されます。

設計フローのまとめ

設計フローのまとめを示すために、図2に示すLTC4252Aを使ったアプリケーションについて考えます。このアプリケーションは80W用に設計されました。

最大負荷電流を計算します。80W/43V = 1.86Aになり、83%のコンバータの効率を考慮すると、$I_{IN(MAX)}$ = 2.2Aになります。

式(8)からR_S = 20mΩとなります。

$I_{SHORTCIRCUIT(MAX)}$を計算します。式(10)から次の結果が得られます。

$$I_{SHORTCIRCUIT(MAX)} = \frac{66mV}{20m\Omega} = 3.3A$$

71Vで3.3Aを処理できるMOSFETとして、IRF530Sを選択します。

C_Tを計算します。式(13)からC_T = 322nFとなります。C_T = 680nFを選択します。これにより、回路ブレーカのタイムアウト時間はt = 5.6msになります。

MOSFETのSOA曲線を調べます。IRF530Sは100Vと3.3Aを8.2msの間処理することが可能であり、このアプリケーションで安全に使用できます。

C_{SS}を計算します。式(14)および(15)を使用して、C_{SS} = 68nFを選択します。

周波数補償

LTC4252Aのアナログ電流制限ループの標準的な周波数補償ネットワークは、V_{EE}に直列に接続したR_C(10Ω)とC_Cです。補償コンデンサC_CとMOSFETのC_{ISS}の関係を図7に示します。MOSFETのC_{ISS}の仕様に基づいてC_Cの開始値を選択するために、図7の直線を使用します。いくつかの一般的なMOSFETに対するC_Cの最適値が示されています。C_Cの最適値と開始値の差は大きくはありません。それでも、基板レベルの短絡テストで補償値を検証する必要があります。

アプリケーション情報

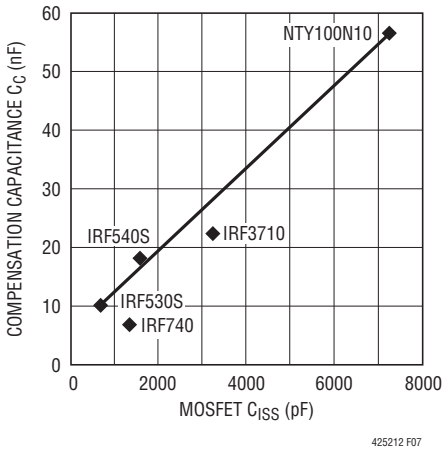


図7. 推奨する補償コンデンサ C_C と MOSFETの C_{ISS}

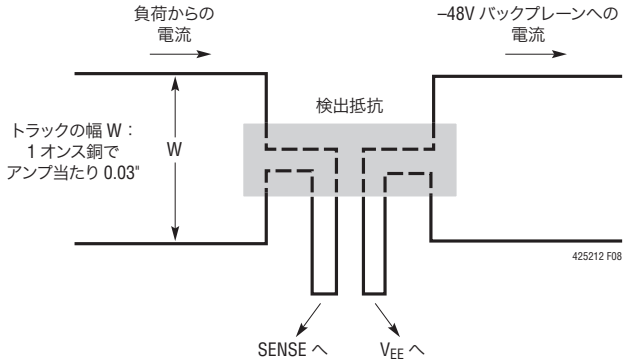


図8. 検出抵抗へのPCB接続

図6に示したように、短絡が発生した時点で、直列インダクタンスにより、入力電源電圧に大きなリンギングが生じることがあります。この電圧がMOSFETのなだれ降伏を引き起こすと、MOSFETを通って電流が出力に流れ続けます。アナログ電流制限ループはこの電流を制御できないので、ループにアンダーシュートが生じます。この影響は周波数補償では除去できません。入力電源電圧をクランプしてMOSFETのなだれ降伏を防ぐにはツェナー・ダイオードが必要です。

検出抵抗に関する検討事項

回路ブレーカが適正に動作するように、検出抵抗とLTC4252の V_{EE} ピンおよびSENSEピンとの接続にはケルビン検出PCB接続を使用することを強く推奨します。LTC4252と検出抵抗の間の正しい接続方法を図8に示します。配線による誤差を最小限に抑えるため、PCBレイアウトはバランスのとれた対称形にします。さらに、検出抵抗のPCBレイアウトには、検出抵抗の電力損失を最適化するための良好な熱管理手法を組み込みます。

タイミング波形

システムのパワーアップ

基板が既にバックプレーンに装着されていてシステムの電源が急に投入された場合の標準的なパワーアップ・シーケンスのタイミング波形の詳細を図9に示します。時点1で、電源はUV/OV、V_{OUT} およびDRAINとともに立ち上がります。V_{IN} のバイパス・コンデンサで設定される遅い速度で V_{IN} と $\overline{PWRGD}$ が続いて立ち上がります。時点2では、V_{IN} が V_{LKO} を超え、内部ロジックがUV > V_{UVHI}、OV < V_{OVLO}、GATE < V_{GATEL}、SENSE < V_{CB}、SS < 20 • V_{OS}、およびTIMER < V_{TMRL} の条件をチェックします。すべての条件が満たされると、初期タイミング・サイクルが開始され、TIMERコンデンサが5.8μAの電流源プルアップによって充電されます。時点3で、TIMERが V_{TMRH} しきい値に達し、初期タイミング・サイクルが終了します。TIMERコンデンサは急速に放電します。時点4で V_{TMRL} しきい値に達しますが、GATEのランプアップ・サイクルが開始される前に、GATE < V_{GATEL}、SENSE < V_{CB} およびSS < 20 • V_{OS} の条件が満たされている必要があります。SSは（式6のように）R_{SS} • C_{SS} に従ってランプアップし、GATEはSSが20 • V_{OS} を超えるまでアナログ電流制限（ACL）アンプによって“L”に保たれます。GATEが解放されると、58μAの電流が外付けMOSFETのゲートと補償ネットワークに流れ込みます。GATE電圧がMOSFETのしきい値に達すると、時点5で電流が負荷コンデンサに流れ込み始めます。時点6で、負荷電流がSS制御レベルに達し、アナログ電流制限ループが作動します。時点6と時点8の間では、GATE電圧がサーボ制御され、SENSE電圧が $V_{ACL}(t)$ に制御され（式7）、ソフトスタートによって負荷電流のスルーレートが制限されます。時点7でSENSE電圧（V_{SENSE} – V_{EE}）が V_{CB} しきい値に達すると、回路ブレーカのTIMERが作動します。TIMERコンデンサ C_T は（230μA＋8 • I_{DRN}）のプルアップ電流によって充電されます。負荷コンデンサが満充電状態に近づくにつれて、負荷電流は減少し始めます。

アプリケーション情報

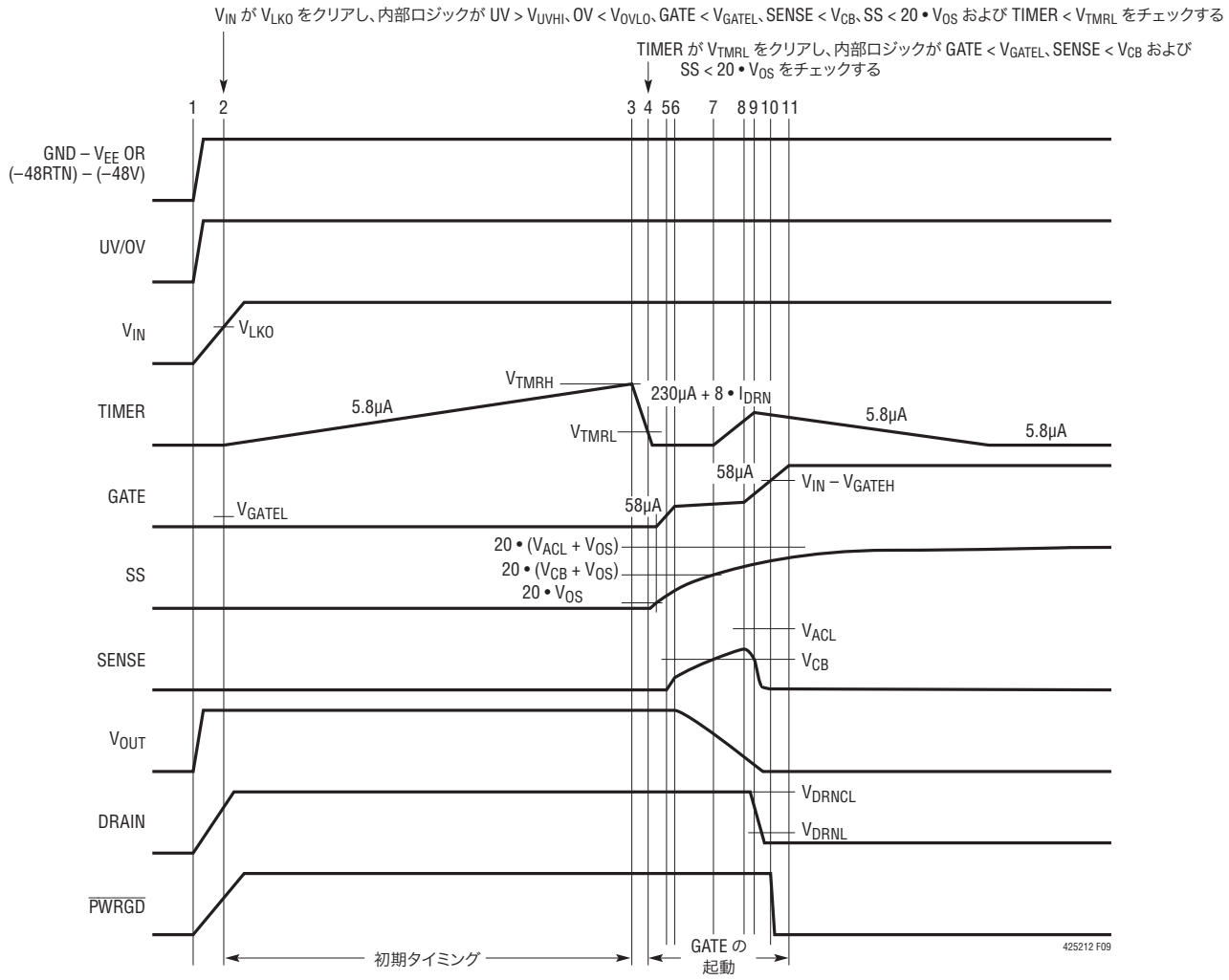


図9. システムのパワーアップ・タイミング（すべての波形は V_{EE} を基準にしている）

時点8で負荷電流が減少し、SENSE電圧が低下して$V_{ACL}(t)$を下回ります。アナログ電流制限ループがオフし、GATEピンがさらにランプアップします。時点9でSENSE電圧がV_{CB}より低くなり、フォルトTIMERサイクルが終了し、5.8μAの放電サイクル（冷却）がそれに続きます。時点7と時点9の間の時間は回路ブレーカの遅延時間より短くして、GATEがランプアップする間のフォルト・タイムアウトを防ぐ必要があります。GATE電圧が上昇して、時点10でV_{GATEH}しきい値を超えると、$\overline{PWRGD}$は“L”になります。時点11で、GATE電圧はV_{IN}で決定される最大電圧に達します。

UV/OVを短いピンで制御する活線挿入

図10に示す例では、電力は長いコネクタ・ピンを介して供給されますが、UV/OV分圧器は短いピンを介して接続されます。これにより、LTC4252が作動する前に電源接続が確実に行われます。時点1で電源ピンが接続され、V_{IN}が立ち上がってV_{LKO}を超えます。時点2でUV/OV分圧器が接続され、その電圧がV_{UVHI}を超えます。さらに、内部ロジックが$OV < V_{OVHI}$、$GATE < V_{GATEL}$、$SENSE < V_{CB}$、$SS < 20 \cdot V_{OS}$および$TIMER < V_{TMRL}$であることをチェックします。すべての条件が満たされると、初期タイミング・サイクルが開始され、TIMERコンデンサが5.8μAの電流源プルアップによって充電されます。時点3で、TIMERがV_{TMRH}しきい値に達し、初期タイミング・サイクルが終了します。TIMERコンデンサは急速に放電します。時点4でV_{TMRL}しきい値に達しますが、GATEの起動サイクルが開始される前に、$GATE < V_{GATEL}$、$SENSE < V_{CB}$および$SS < 20 \cdot V_{OS}$の条件が満たされている必要があります。SSは$R_{SS} \cdot C_{SS}$に従ってランプアップし、

アプリケーション情報

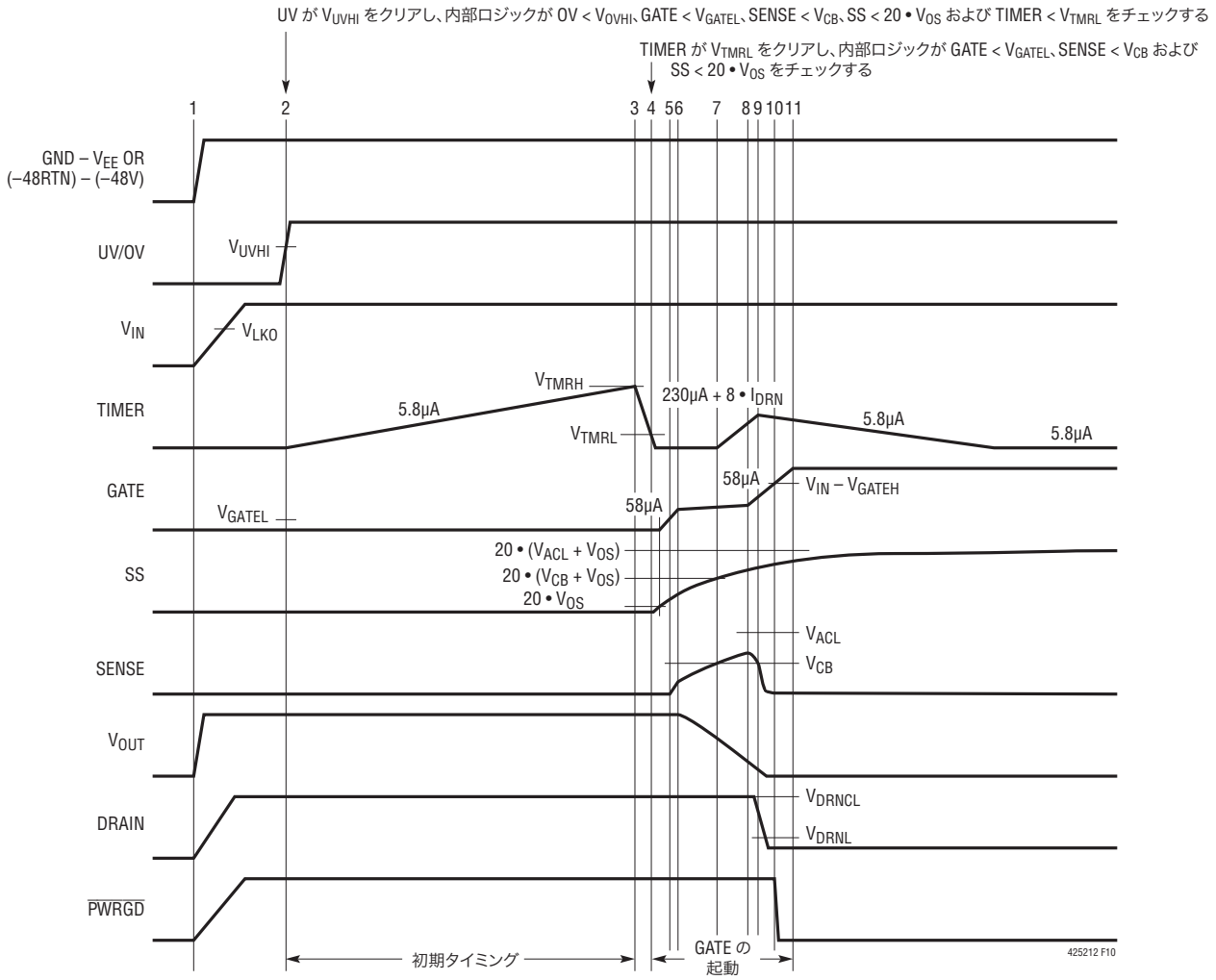


図10. 短いピンを使用した場合のパワーアップ・タイミング（すべての波形は V_{EE} を基準にしている）

GATEはSSが20 • V_{OS}を超えるまでアナログ電流制限アンプによって“L”に保たれます。GATEが解放されると、58μAの電流が外付けMOSFETのゲートと補償ネットワークに流れ込みます。GATE電圧がMOSFETのしきい値に達すると、時点5で電流が負荷コンデンサに流れ込み始めます。時点6で、負荷電流がSS制御レベルに達し、アナログ電流制限ループが作動します。時点6と時点8の間、GATE電圧がサーボ制御され、SENSE電圧が$V_{ACL}(t)$に制御され、ソフトスタートによって負荷電流のスルーレートが制限されます。時点7でSENSE電圧（$V_{SENSE} – V_{EE}$）がV_{CB}しきい値に達すると、回路ブレーカのTIMERが作動します。TIMERコンデンサC_Tは（230μA＋8 • I_{DRN}）のプルアップ電流によって充電されます。負荷コンデンサが満充電状態に近づくにつれて、負荷電流は減少し始めます。時点8で負荷電流が減少し、SENSE電圧が$V_{ACL}(t)$より低くなります。アナログ電流制限ループがオフし、GATEピンがさらにランプアップします。時点9でSENSE電圧がV_{CB}より低くなり、フォルトTIMERサイクルが終了し、5.8μAの放電サイクル（冷却）がそれに続きます。GATE電圧が上昇して、時点10でV_{GATEH}しきい値を超えると、$\overline{PWRGD}$は“L”になります。時点11で、GATEはV_{IN}で決定される最大電圧に達します。

アプリケーション情報

低電圧のタイミング

図11で、UVピンの電圧がV_{UVLO} より低くなると(時点1)、LTC4252はシャットダウンし、TIMER、SSおよびGATEがすべて“L”になります。それまで電流が流れていた場合、SENSEピンの電圧はGATE電圧が低下するのに伴ってゼロまで低下します。UVの電圧が回復してV_{UVHI}を超えると(時点2)、初期タイミング・サイクルが開始され、GATE起動サイクルが続きます。

V_{IN}の低電圧ロックアウトのタイミング

V_{IN}の低電圧ロックアウト・コンパレータUVLOのタイミング動作は、$V_{IN} < (V_{LKO} - V_{LKH})$を検出するとシャットダウンし、$V_{IN} > V_{LKO}$を検出すると再開することを除き、UVピンのタイミング動作と同様です。低電圧ロックアウト状態では、UVとOVの両方のコンパレータがオフに保たれています。V_{IN}が低電圧ロックアウト状態から出ると、UVとOVのコンパレータはイネーブルされます。

過電圧グリッチを伴う場合の低電圧のタイミング

図12では、UVピンとOVピンが互いに接続されています。UVがV_{UVHI}を超えると(時点1)、初期タイミング・サイクルが開始されます。時点2で示すように、システム・バス電圧がオーバーシュートしてV_{OVHI}を超えると、TIMERは放電します。時点3で、電源電圧が回復後、V_{OVLO}しきい値より低くなります。初期タイミング・サイクルが再開され、その後GATE起動サイクルに移ります。

過電圧のタイミング

通常動作時は、図13の時点1で示すようにOVピンがV_{OVHI}を超えても、TIMERと$\overline{PWRGD}$の状態は影響を受けません。それでも、SSとGATEの電圧は低下し、負荷は切り離されます。時点2で、OVが回復してV_{OVLO}しきい値より低くなります。GATE起動サイクルが開始されます。過電圧グリッチが長く続いて負荷コンデンサが放電しつくすと、時点4～時点7に示す起動サイクル全体が実行される可能性があります。

回路ブレーカのタイミング

図14aでは、SENSEピンがV_{CB}を超えていてもV_{DRN}が5Vより低いと、TIMERコンデンサは230μAで充電されます。TIMERの電圧がV_{TMRH}しきい値に達する前にSENSEピンの電圧がV_{CB}より低くなると、TIMERは5.8μAで放電されま

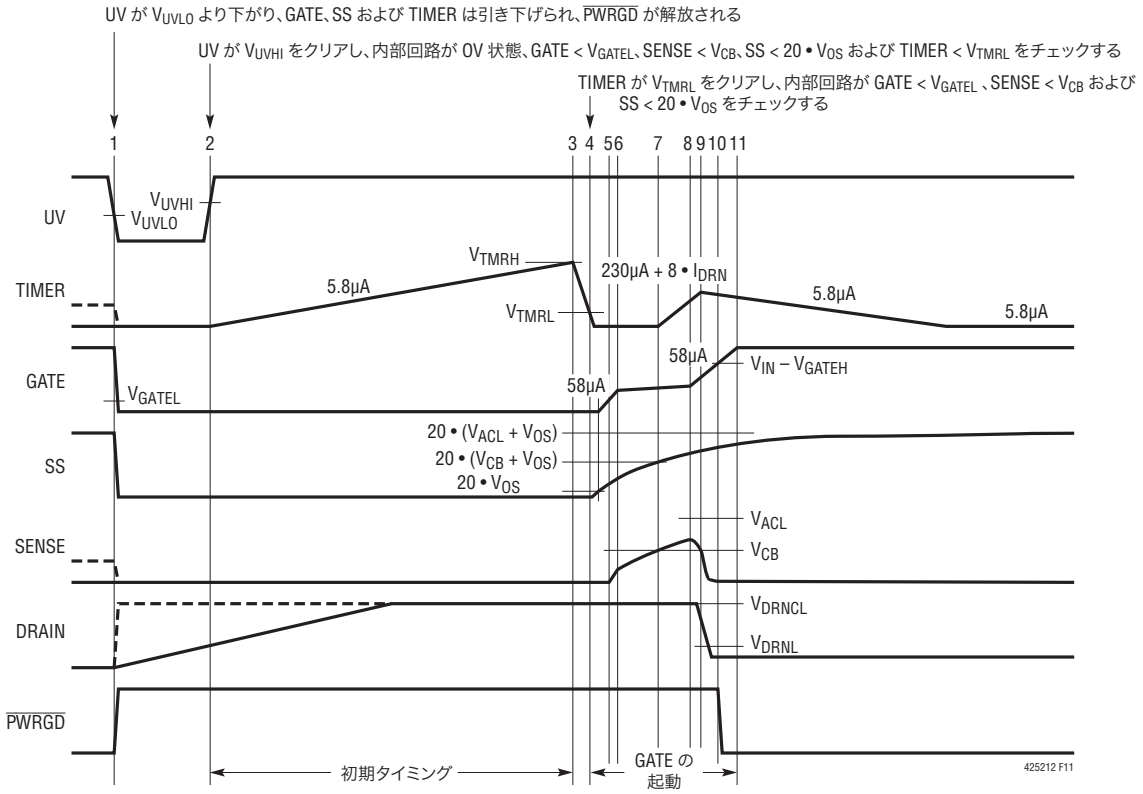


図11. 低電圧のタイミング(すべての波形はV_{EE}を基準にしている)

アプリケーション情報

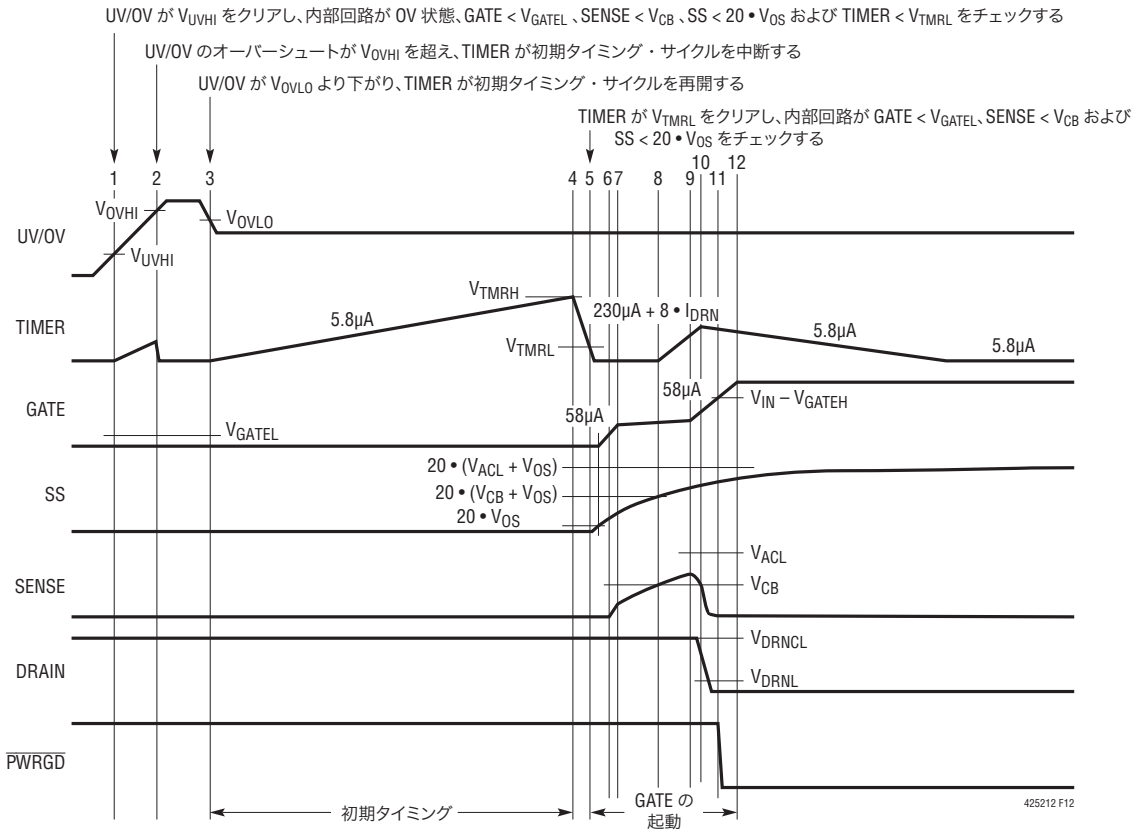


図 12. 過電圧グリッチがある場合の低電圧のタイミング（すべての波形は V_{EE} を基準にしている）

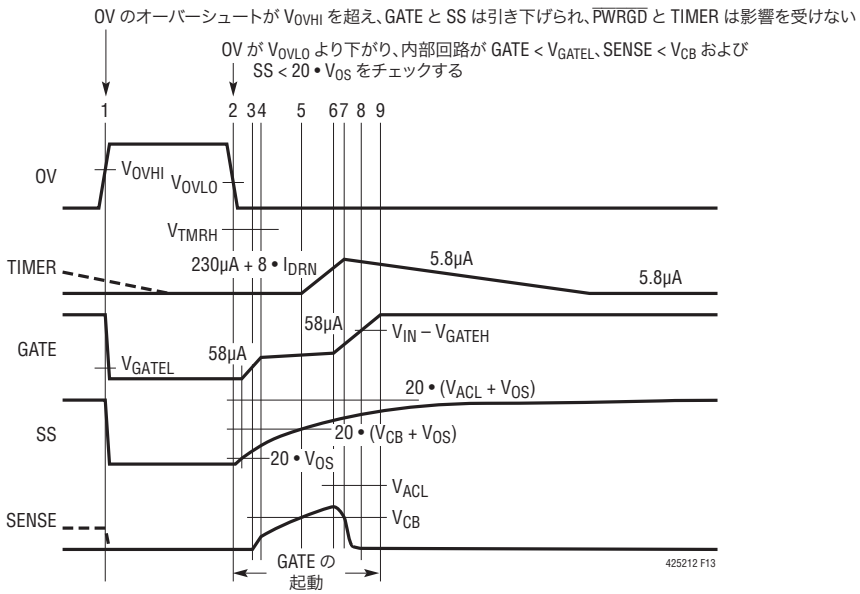
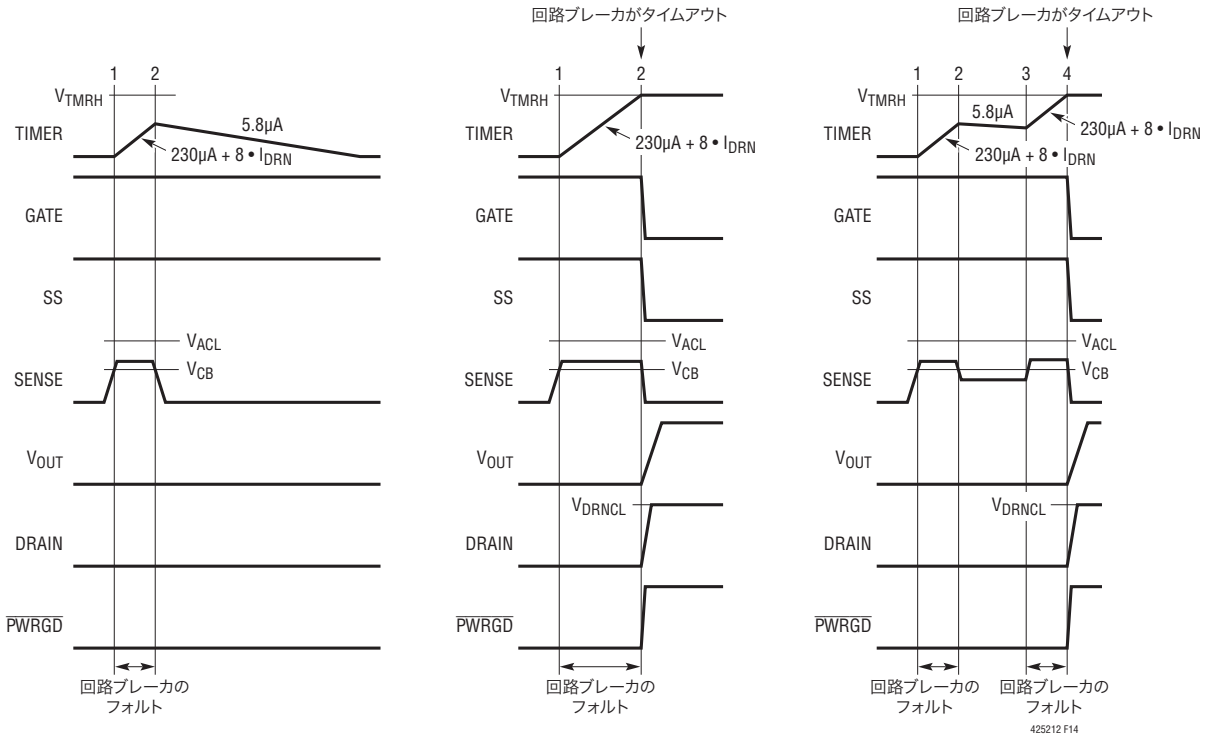


図 13. 過電圧のタイミング（すべての波形は V_{EE} を基準にしている）

アプリケーション情報



(14a) 回路ブレーカの瞬間的なフォルト　(14b) 回路ブレーカのタイムアウト　(14c) 複数の回路ブレーカのフォルト

図14. 回路ブレーカのタイミング動作（すべての波形はV_{EE}を基準にしている）

す。図14bでは、TIMERの電圧がV_{TMRH}を超えると、GATE電圧が直ちに低下し、LTC4252がシャットダウンします。図14cでは、複数の瞬間的なフォルトにより、TIMERコンデンサに電荷が蓄積され、電圧がV_{TMRH}に達します。その後、GATEの電圧が低下して、LTC4252がシャットダウンします。シャットダウン中、LTC4252-1では5.8μAのプルアップ電流源によってTIMERが“H”にラッチされます。LTC4252-2では、シャットダウン冷却サイクルが始まります。

フォルト・ラッチのリセット（LTC4252-1）

LTC4252-1のラッチされた回路ブレーカ・フォルト状態では、冷却時間が長いという利点が得られます。この状態をリセットするには、スイッチを使ってUVピンの電圧をV_{UVLO}より低くします。V_{IN}ピンの電圧を瞬間的に（V_{LKO} – V_{LKH}）より低くすることによってリセットすることもできます。3番目のリセット方法では、図15に示すように、TIMERピンの電圧をV_{TMRL}より低くします。TIMERをリセットに使用した場合、初期タイミング・サイクルは省略されます。UVピンまたはV_{IN}ピンによるリセットが行われると、初期タイミング・サイクルが発生します。

TIMERリセット・パルスの持続時間は、SSピンの電圧が0.2Vに達するまでに要する時間より短くします。単極の機械式押しボタン・スイッチでは、この要求を実現できない場合があります。二極単投型押しボタン・スイッチを使うと、2番目のスイッチをSSピンに接続することで、この制限を取り除くことができます。この方法を使うと、SSピンとTIMERピンは両方とも同時に解放されます（図24参照）

シャットダウン冷却サイクル（LTC4252-2）

LTC4252-2のタイマ動作を図16に示します。時点2で、TIMERの電圧がV_{TMRH}を超え、GATEの電圧が直ちに低下して、LTC4252がシャットダウンします。TIMERは、5.8μAの電流でTIMERの電圧をV_{TMRL}しきい値まで放電することによってシャットダウン冷却サイクルを開始します。その後、TIMERの電圧は5.8μAの電流によりV_{TMRH}しきい値まで充電されます。時点2から時点3までのこのシャットダウン冷却サイクルには、4つの5.8μA放電段階と3つの5.8μA充電段階があります。時点3では、LTC4252の自動リトライが起動サイクルとともに実行されます。優れた熱管理技術を強く推奨します。自動リトライ方式を実装する場合は、電力損失と熱損失を慎重に検討する必要があります。

アプリケーション情報

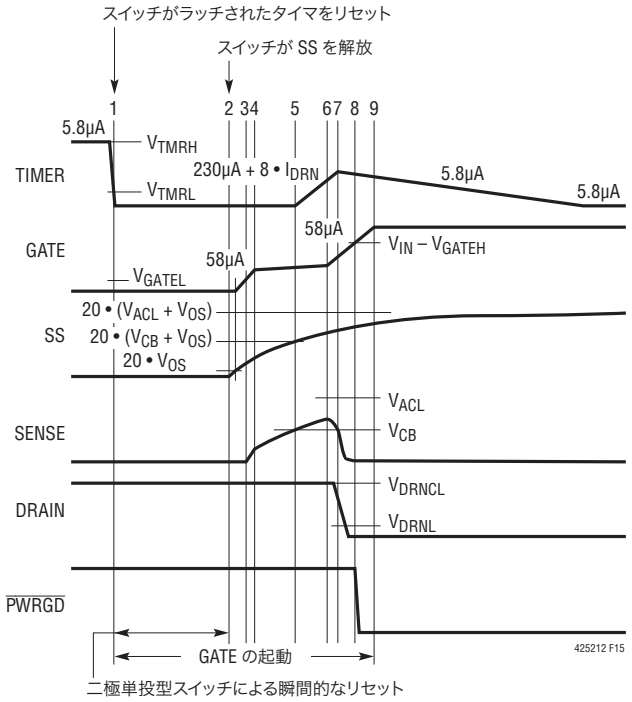


図 15. LTC4252-1 のラッチされたフォルトの押しボタンによるリセット（すべての波形は V_{EE} を基準にしている）

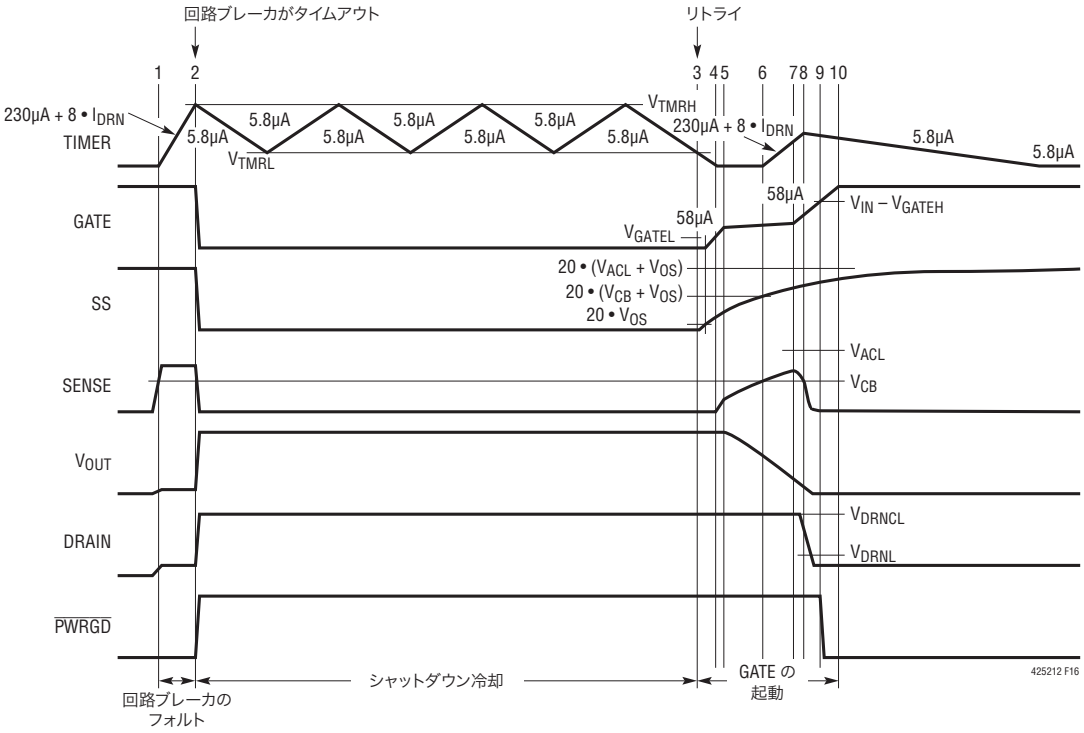


図 16. LTC4252-2 のシャットダウン冷却のタイミング動作（すべての波形は V_{EE} を基準にしている）

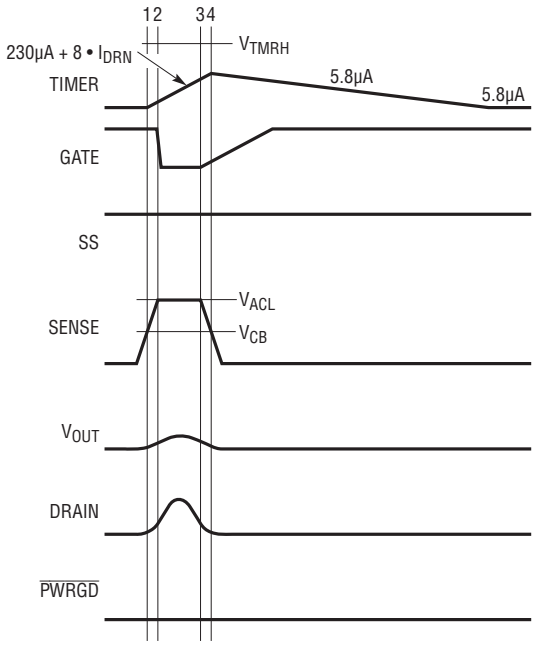
アプリケーション情報

アナログ電流制限と高速電流制限

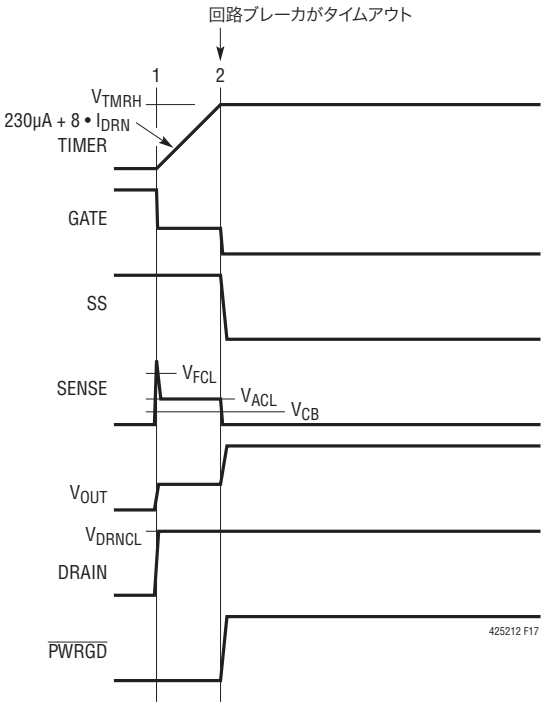
図17aでは、SENSEの電圧がV_{ACL}を超えると、GATE電圧はアナログ電流制限アンプのループによって安定化されます。SENSE電圧がV_{ACL}を下回ると、GATE電圧は上昇することができます。図17bでは、重大なフォルトが発生すると、SENSEの電圧がV_{FCL}を超え、GATE 電圧が直ちに低下して、アナログ電流アンプが制御を確立するまで低下したままになります。重大なフォルトによってV_{OUT}がV_{DRNCL}を超えると、DRAINピンがV_{DRNCL}にクランプされます。I_{DRN}がDRAINピンに流れ込み、この電流が8倍になります。この追加電流はTIMERのプルアップ電流である230μAに追加されます。この加速されたTIMER電流[230μA＋8 • I_{DRN}]により、回路ブレーカのフォルトの遅延が短くなります。C_T、R_DおよびMOSFETを注意深く選択することが、低インピーダンスのフォルト条件でのSOA損傷を防ぐのに役立ちます。

ソフトスタート

SSピンが接続されていない場合は、図18aに示すように、このピンの電圧は、デフォルトではGATEの起動時に約180μsで0Vから2.2Vまで（LTC4252Aでは230μsで0Vから1.4Vまで）直線的に上昇します。ソフトスタート・コンデンサC_{SS}がこのSSピンに接続されていると、図18bに示すように、ソフトスタートの応答は直線的な立ち上がりからRC応答（式6）に変化します。この機能により、GATEの起動時に負荷電流を緩やかに立ち上げることができます。TIMERがV_{TMRH}からV_{TMRL}に遷移するか（時点1から時点2）、過電圧状態の後でOVピンがV_{OVLO}しきい値を下回ることにより、時点3でソフトスタートが開始されます。SSピンの電圧が0.2Vより低いと、アナログ電流制限アンプがGATEを“L”に保ちます。SSピンの電圧が0.2Vを超えると、時点4でGATEは解放され、58μAの電流によって補償ネットワークとGATE容量の電圧がランプアップします。その間、SSピンの電圧はランプアップし続けます。GATE電圧がMOSFETのしきい値に達すると、MOSFETが導通し始めます。MOSFETのg_mは大きいので、MOSFETの電流は短時間でソフトスタートの制御値である$V_{ACL}(t)$（式7）に達します。時点6で、GATE電圧は電流制限アンプによって制御されます。ソフトスタート制御電圧は時点7で回路ブレーカ電圧V_{CB}に達し、回路ブレーカTIMERが作動します。負荷コンデンサが満充電状態に近づくと、負荷電流が減少し始



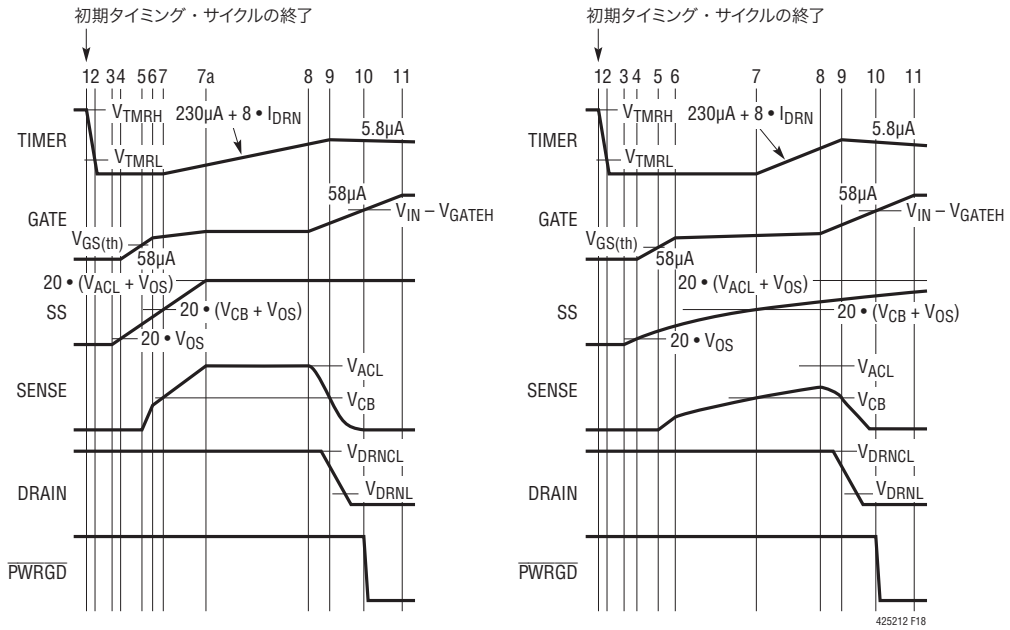
(17a) アナログ電流制限フォルト



(17b) 高速電流制限フォルト

図17. 電流制限の動作（すべての波形はV_{EE}を基準にしている）

アプリケーション情報



(18a) 外付け C_{SS} がない場合　　**(18b) 外付け C_{SS} がある場合**

図18. ソフトスタートのタイミング（すべての波形は V_{EE} を基準にしている）

め、$V_{ACL}(t)$ より小さい値になります。時点8で電流制限ループが遮断され、GATEが解放されます。時点9でSENSE電圧が V_{CB} を下回り、タイマが停止します。

回路ブレーカの遅延時に $V_{ACL}(t)$ が V_{CB} の電位を超えていることがあるので、C_{SS} の値が大きいと、回路ブレーカが早まってタイムアウトする可能性があります。負荷コンデンサは1回のGATE起動サイクルでは満充電にすることはできません。C_{SS} の値が大きい場合のより深刻な副作用は、低インピーダンス負荷でのソフトスタート時にSOA時間範囲を超える可能性があることです。V_{CB} より低いソフトスタート電圧では、回路ブレーカ・タイマは作動しません。

電力制限回路ブレーカ

電力制限回路ブレーカのアプリケーションのLTC4252A-1を図19に示します。SENSEピンは基板の電源電圧 V_{SUPPLY} によって調節されます。D1のツェナー電圧 V_Z は低い方の動作電源電圧 $V_{SUPPLY(MIN)}$ = 43Vに等しくなるように設定されています。高い方の動作電源電圧 $V_{SUPPLY(MAX)}$ = 71Vで得られる電力と $V_{SUPPLY(MIN)}$ で得られる電力を同じにすることが目的の場合、抵抗R4とR6は次の比を使って選択します。

$$\frac{R6}{R4} = \frac{V_{CB}}{V_{SUPPLY(MAX)}} \tag{16}$$

R6が27Ωの場合、R4は38.3kです。回路ブレーカのピーク電力制限は次式のようになります。

$$POWER_{MAX} = \frac{\left(V_{SUPPLY(MIN)} + V_{SUPPLY(MAX)}\right)^2}{4 \bullet V_{SUPPLY(MIN)} \bullet V_{SUPPLY(MAX)}} \bullet POWER_{SUPPLY(MIN)} = 1.064 \bullet POWER_{SUPPLY(MIN)} \tag{17}$$

この場合、

$$V_{SUPPLY} = 0.5 \bullet (V_{SUPPLY(MIN)} + V_{SUPPLY(MAX)}) = 57V.$$

フォルト電流制限でのピーク電力が得られるのは、電源の過電圧しきい値のときです。フォルト電流制限電力は次式のようになります。

$$POWER_{FAULT} = \frac{V_{SUPPLY}}{R_S} \bullet \left(V_{ACL} - \left(V_{SUPPLY} - V_Z\right) \bullet \frac{R6}{R4}\right) \tag{18}$$

アプリケーション情報

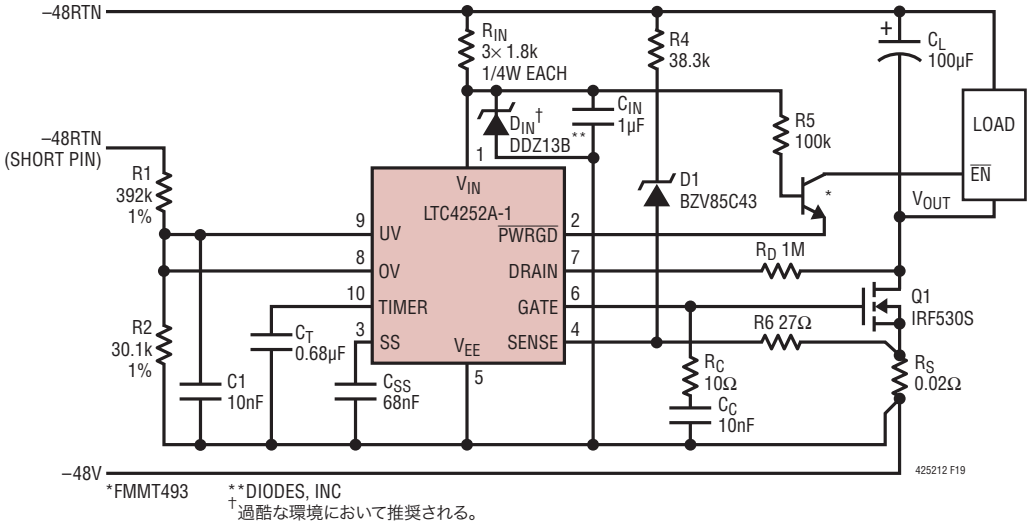


図19. 電力制限回路ブレーカのアプリケーション

フォールドバック電流制限を備えた回路ブレーカ

フォールドバック電流制限アプリケーションのLTC4252Aを図20に示します。V_{OUT}を–48V RTN電源に短絡させると、抵抗R4およびR5に電流が流れます。この結果、R5の両端の電圧が降下し、それに応じて、ACLアンプがSENSEピンとV_{EE}ピンの間の検出電圧を約60mVにサーボ制御するので、検出抵抗R_Sの両端の電圧降下が小さくなります。出力短絡状態の間、V_{OUT}の電圧が上昇するに従ってR_Sを流れる短絡電流が減少します。フォールドバック電流制限抵抗R5がない場合、アナログ電流制限時の電流が3Aに制限されます。R5がある場合、V_{OUT}を71Vに短絡させると、短絡電流が0.5Aに制限されます。

パワーアップ時に検出抵抗を使用しない突入電流制御

パワーアップ時に検出抵抗なしで突入電流を制御するアプリケーションでのLTC4252Aを図21に示します。この構成が適しているのは、LTC4252Aの短絡保護を必要としないアプリケーションのみです。抵抗R4およびコンデンサC2は、突入電流を正確に制御するための帰還ネットワークとして機能します。コンデンサC2の容量は次式を使って計算することができます。

$$C2=\frac{I_{GATE}\bullet C_L}{I_{INRUSH}} \qquad (19)$$

ここで、I_{GATE} = 58µA、C_Lは全負荷容量です。

コンデンサC3と抵抗R4は、電源ピンが初めて接続されたときにQ1が瞬間的にオンするのを防ぎます。C3とR4がないと、LTC4252Aがパワーアップする前に、Q1のゲートがコンデンサC2によってV_{EE} • C2/$C_{GS(Q1)}$とほぼ等しい電圧まで上昇します。コンデンサC3をQ1のゲート容量と並列に配置し、抵抗R4を使用してC2から切り離すことにより、この問題は解決します。C3の値は次式で与えられます。

$$C3=\frac{V_{SUPPLY(MAX)}}{V_{GS(TH),Q1}}\bullet\left(C2+C_{GD(Q1)}\right) \qquad (20)$$

$V_{SUPPLY(MAX)}$ = 71Vの場合、C3 ≈ 35 • C2

ここで、$V_{GS(TH),Q1}$はMOSFETの最小ゲートしきい値電圧であり、$V_{SUPPLY(MAX)}$は最大動作入力電圧です。

ダイオード論理和接続

ホットスワップ機能を持つダイオード論理和接続回路として–48Vの両電源アプリケーションで使用されるLTC4252を図22に示します。従来のダイオード論理和接続方式では、ダイオードの大きな熱損失を抑えるため、2つの高電力ダイオードとヒートシンクを使用します。外付けFETのQ2およびQ3をダイオード論理和接続方式で制御するLTC4252を使用すると、完全に導通したQ2およびQ3両端のオン電圧が小さいので、電力損失が大幅に削減されます。

アプリケーション情報

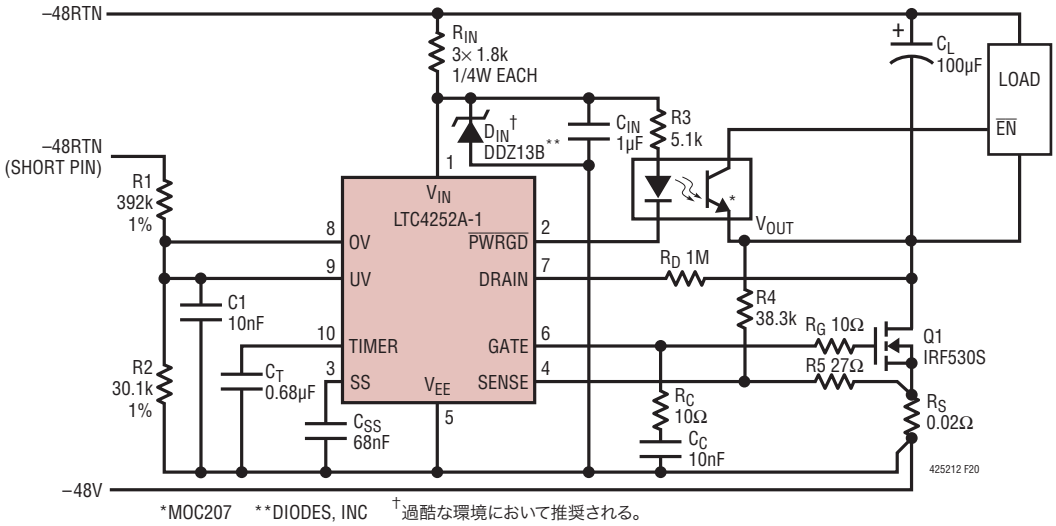


図20. フォールドバック電流制限を備えた回路ブレーカ・アプリケーション

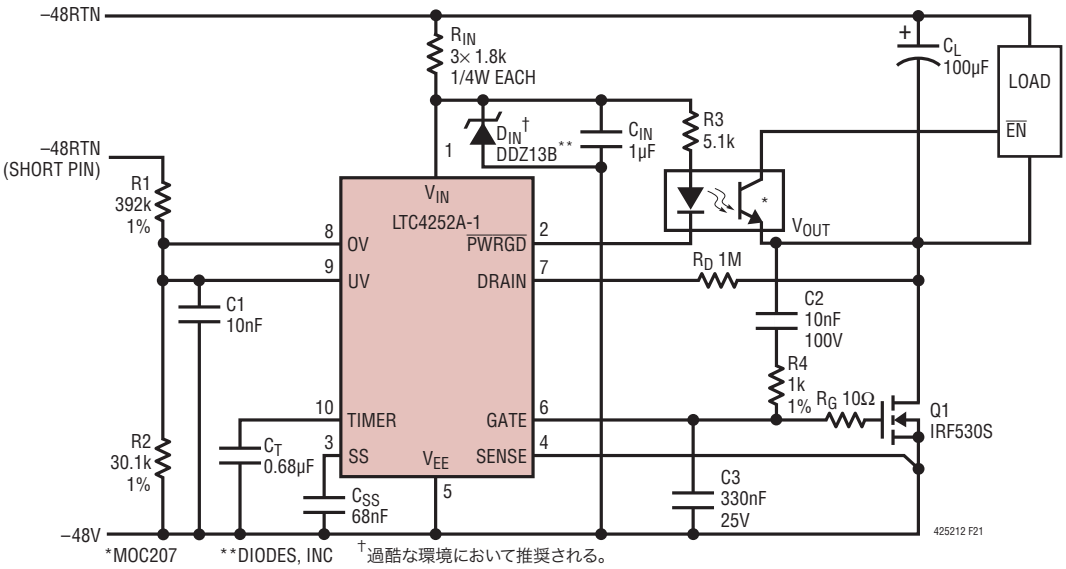
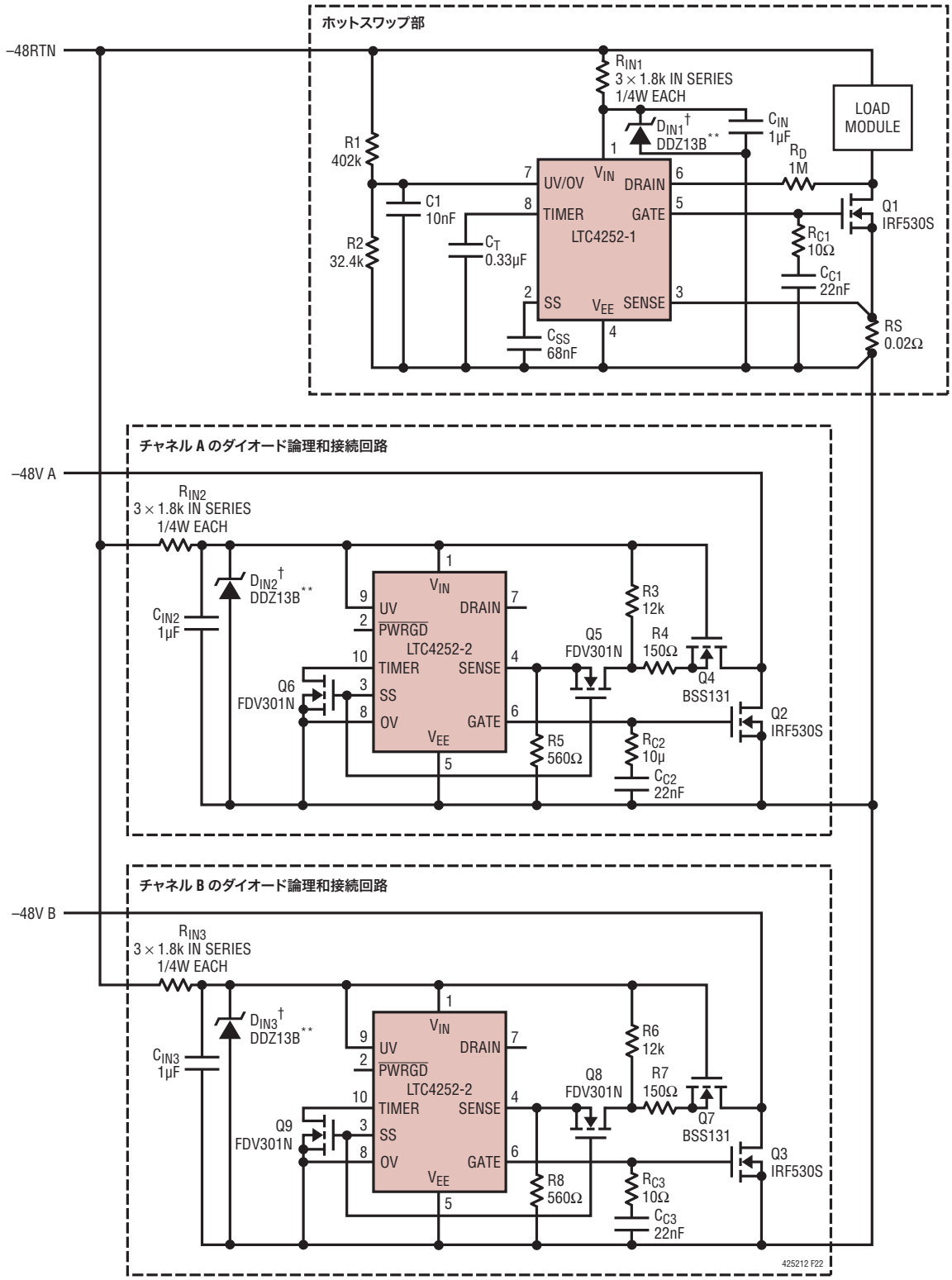


図21. 検出抵抗を使用しない突入電流制御アプリケーション

パワーアップ時には、LTC4252のSSピンの電圧により、Q5およびQ8はオフ状態に保たれます。抵抗R5およびR8により、SENSEピンの電圧はV_{EE}に近い値になります。V_{EE}は、ボディ・ダイオードQ2またはQ3がオンするまで、Q2またはQ3を介して電源の低電位側に接続されています。これにより、LTC4252は起動サイクルを実行して、SSとGATEの電圧をランプアップすることができます。

SSの電圧が2.2Vまで上昇すると、Q5およびQ8が導通し、Q6およびQ9を介してTIMERが“L”になります。抵抗R3およびR6を介してR5およびR8に電流が流れると、検出電圧が上昇します。GATE電圧によってQ2およびQ3が制御されると、LTC4252のACLアンプは検出電圧を約100mVまでサーボ制御します。Q2およびQ3がオンすると、R4、Q4およびR7、Q7に電流が流れます。Q5およびQ8のV_{DS}電圧降下は無視できると仮定すると、Q4およびQ2のV_{DS}電圧降下とQ7およびQ3のV_{DS}電圧降下によって、R3とR4の接続点およびR6とR7の接続点での各ノード電圧は、必ずそれぞれの検出電圧に等しくなるように保持されます。

アプリケーション情報



**DIODES, INC　†過酷な環境において推奨される。

図 22. –48V/2.5A のダイオード論理和接続アプリケーション

アプリケーション情報

Q2およびQ3がアナログ電流制限状態である場合、TIMERピンはSSの電圧によって常に“L”に保たれるので、LTC4252の内部フォルト・ラッチはディスエーブルされます。

チャネルAおよびチャネルBの両方の電源が厳密に等しい場合は、Q2およびQ3からホットスワップ部を経由して負荷モジュールへ等しい負荷電流が流れます。

チャネルAの電源電圧がチャネルBの電源電圧よりも高く、その差が100mVを超えていると、検出電圧は高速コンパレータのトリップしきい値である200mVを超えて上昇し、GATEは“L”になってQ2はオフになります。チャネルAの電源電圧がチャネルBの電源電圧と等しくなると、GATEの電圧はランプアップし、Q2を安定化します。同様に、チャネルBの電源電圧がチャネルAの電源電圧よりも高く、その差が100mVを超えていると、高速コンパレータがトリップし、GATEは“L”になってQ3はオフになります。チャネルBの電源電圧がチャネルAの電源電圧と等しくなると、GATEの電圧はランプアップし、Q3を安定化します。

抵抗R4およびR7と外付けのFET Q4およびQ7により、それぞれの電源が短絡しているときに、Q5およびQ8に流れる電流が制限されます。チャネルAの電源が–48V RTN（またはGND）と短絡すると、大きな電流が瞬間的にQ4に流れ込み、R4の両端に電圧降下が発生します。これによってQ4のゲート-ソース間電圧が減少して、電流が制限されます。検出電圧が上昇し、LTC4252の高速コンパレータがトリップして、GATEが直ちに“L”になります。チャネルAの電源が短絡しても、チャネルBのダイオード論理和接続回路のQ3がオフすることはありません。

同様に、チャネルBの電源が–48V RTN（またはGND）と短絡すると、大きな電流が瞬間的にQ7に流れ込み、R7の両端に電圧降下が発生します。これによってQ7のゲート-ソース間電圧が減少して、電流が制限されます。検出電圧の上昇により、LTC4252の高速コンパレータがトリップし、GATEが直ちに“L”になります。チャネルBの電源が短絡しても、チャネルAのダイオード論理和接続回路のQ2がオフすることはありません。Q1の出力での負荷の短絡は、ホットスワップ部によって保護されています。

EMIフィルタ・モジュールの使用

多くのアプリケーションでは、電源の経路にEMIフィルタ・モジュールを配置して、モジュールのスイッチング・ノイズが電源に戻ってこないようにしています。LucentのFLTR100V10フィルタ・モジュールを使用する標準的アプリケーションを図23に示します。フィルタを使用する場合は、同相トランジェントが$\overline{\text{PWRGD}}$ピンおよび$\overline{\text{ON}}$/OFFピンを破壊しないようにオプトアイソレータが必要です。

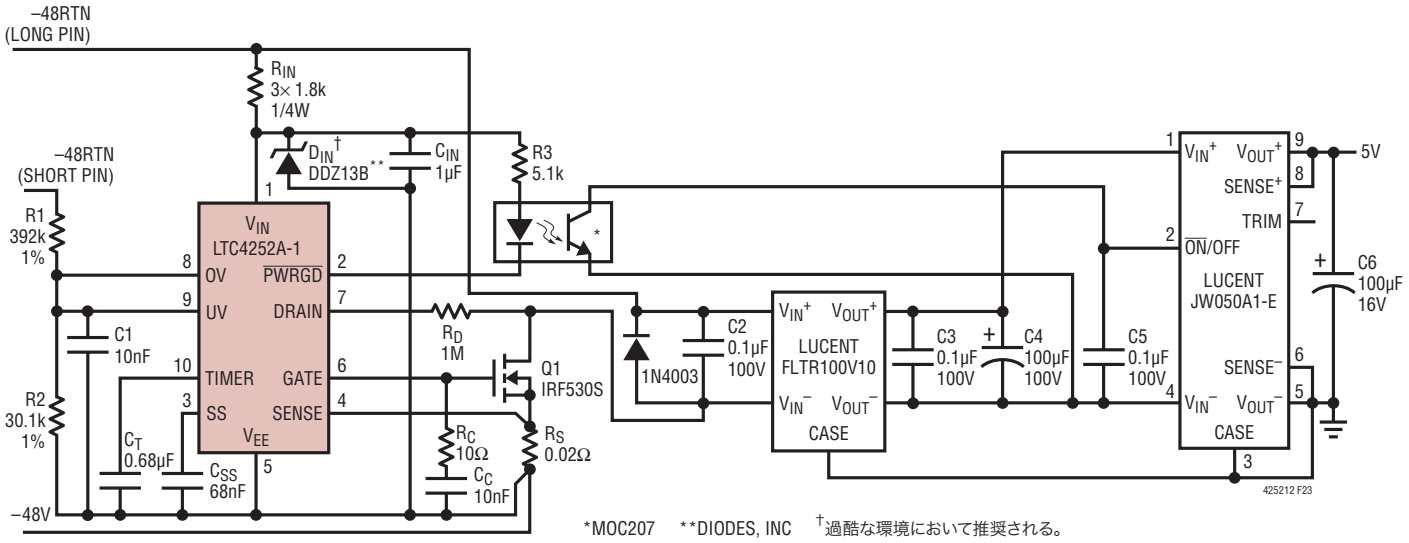
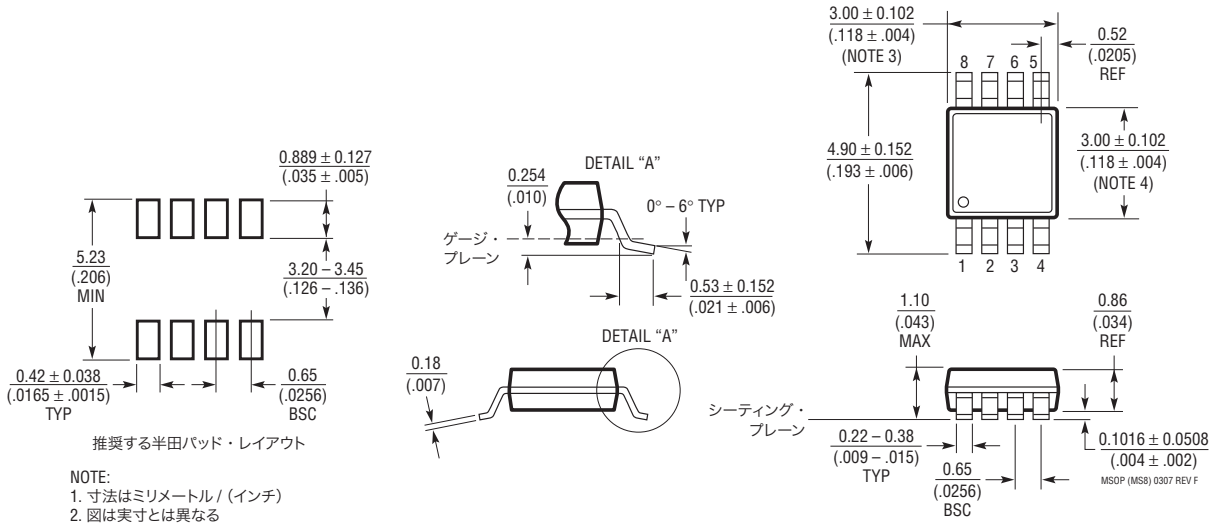


図23. フィルタ・モジュールを使用する標準的アプリケーション

パッケージ

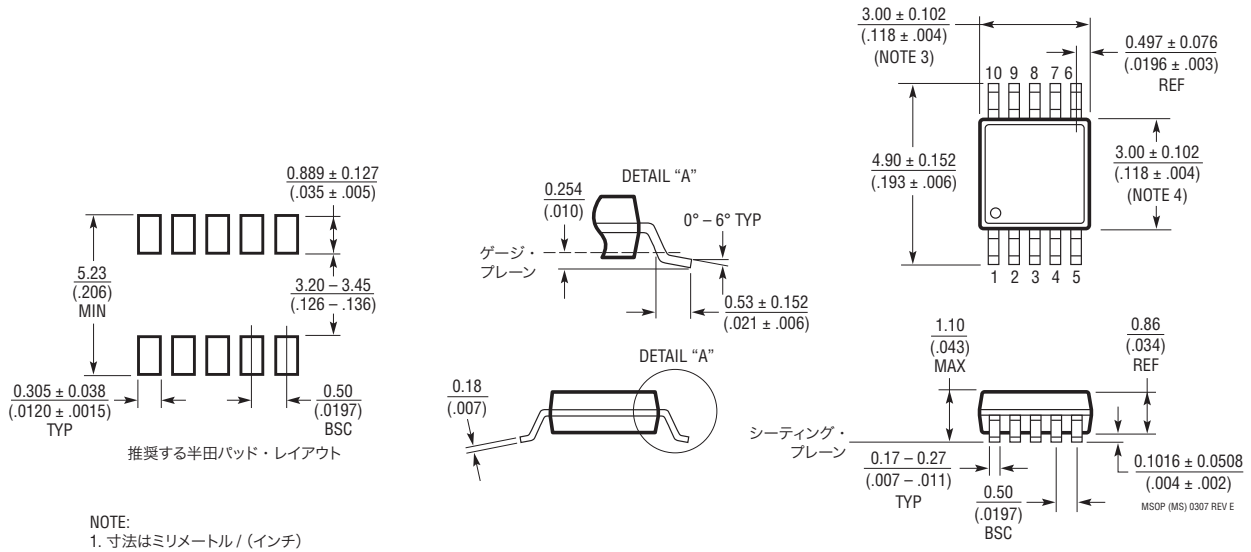
最新のパッケージ図面については、http://www.linear-tech.co.jp/designtools/packaging/を参照してください。

MS8 Package
8-Lead Plastic MSOP
(Reference LTC DWG # 05-08-1660 Rev F)



NOTE:
1. 寸法はミリメートル / (インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない
   モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm(0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない
   リード間のバリまたは突出部は、各サイドで 0.152mm(0.006")を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大 0.102mm(0.004")であること

MS Package
10-Lead Plastic MSOP
(Reference LTC DWG # 05-08-1661 Rev E)



NOTE:
1. 寸法はミリメートル / (インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
   モールドのバリ、突出部、またはゲートのバリは、各サイドで 0.152mm(0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない
   リード間のバリまたは突出部は、各サイドで 0.152mm(0.006")を超えないこと
5. リードの平坦度(成形後のリードの底面)は最大 0.102mm(0.004")であること

改訂履歴 （改訂履歴はRev Cから開始）

REV	日付け	概要	ページ番号
C	2/11	「標準的応用例」の図を改訂。 図2、図3、図4、図19、図20、図21、図22、図23を改訂。 「アプリケーション情報」の「シャント・レギュレータ」セクションを書き換え。	1、36 12、14、15、30、31、32、33 14
D	3/12	新規設計には推奨しません	1
E	6/13	「Not Recommended for New Designs」を削除 「V_Zと温度」「r_Zと温度」のグラフを更新	1 5

リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

標準的応用例

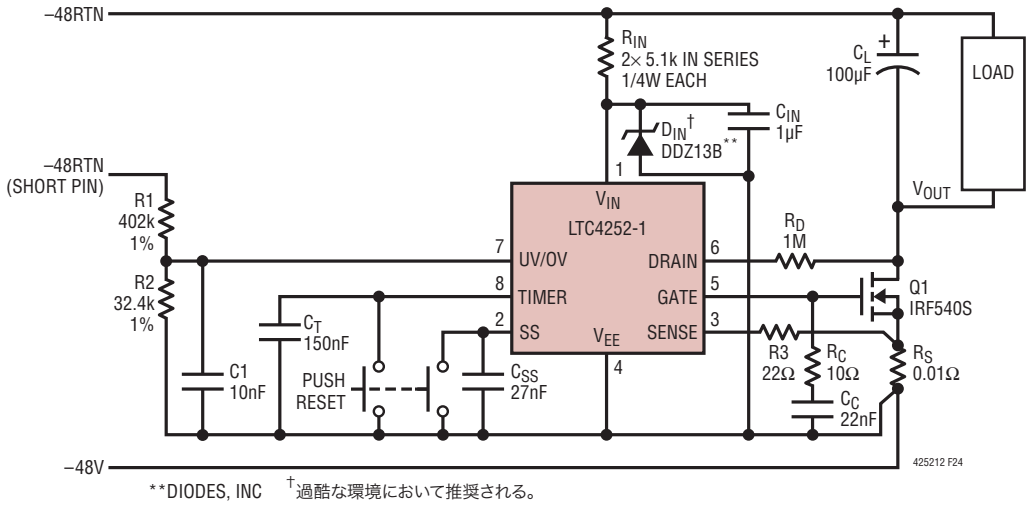


図24. –48V/5Aアプリケーション

関連製品

製品番号	説明	注釈
LT1640AH/LT1640AL	SO-8の負の高電圧ホットスワップ・コントローラ	–10V～–80Vの負の高電圧電源
LT1641-1/LT1641-2	SO-8の正の高電圧ホットスワップ・コントローラ	9V～80Vの電源、ラッチオフ/自動リトライ
LTC1642	フォルト保護機能を備えたホットスワップ・コントローラ	3V～16.5Vで動作、33Vまでの過電圧保護
LTC4214	負電圧ホットスワップ・コントローラ	–6V～–16V動作
LT4220	デュアル電源ホットスワップ・コントローラ	±2.2V～±16.5V動作
LT4250	SO-8の–48Vホットスワップ・コントローラ	アクティブ電流制限、–20V～–80Vの電源
LTC4251/LTC4251-1	SOT-23の–48Vホットスワップ・コントローラ	高速アクティブ電流制限、–15Vの電源
LTC4253	シーケンサ付き、–48Vホットスワップ・コントローラ	シーケンス制御された3つのパワーグッド出力を備えた高速電流制限、–15Vの電源

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC4252-1
LT0613 REV E • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2001