

電流モニタ機能を備えた デュアル理想ダイオードOR回路および シングルHot Swapコントローラ 概要

特長

- 理想ダイオードORおよび冗長電源の突入電流の制御
- パワー・ショットキ・ダイオードを低損失で置き換え
- 通電中のバックプレーンへの安全な基板挿入が可能
- 動作電圧範囲 2.9V ~ 18V
- 電流モニタ出力
- NチャネルMOSFETを制御
- ピーク・フォルト電流を1 μ s以下に制限
- フォールドバック特性の調整可能な電流制限
- 起動時と電流制限フォルト時の遅延時間を調整可能
- 理想ダイオードのオン時間とオフ時間: 0.5 μ s
- 発振のないスムーズな切り替え
- フォルト、パワーグッド、およびダイオード状態出力
- LTC4236-1: フォルト後にラッチオフ
- LTC4236-2: フォルト発生後、自動再試行
- 28ピン4mm \times 5mm QFNパッケージ

アプリケーション

- 冗長電源
- 高可用性システムおよびサーバ
- 通信機器およびネットワークのインフラ

LTC[®]4236は、外付けNチャネルMOSFETを制御することにより、2つの電源レールに対して理想ダイオードOR機能およびHot Swap機能を実現します。理想ダイオードとして機能するMOSFETは、2つの大電力ショットキ・ダイオードと付随するヒートシンクを置き換えるので、消費電力と基板面積を抑えることができます。活線挿抜制御のMOSFETを使用すると、突入電流を制限することにより、通電状態のバックプレーンで基板を安全に抜き差しすることができます。電源の出力は、高速動作のフォールドバック電流制限回路と電子回路ブレーカにより、短絡フォルトからも保護されます。

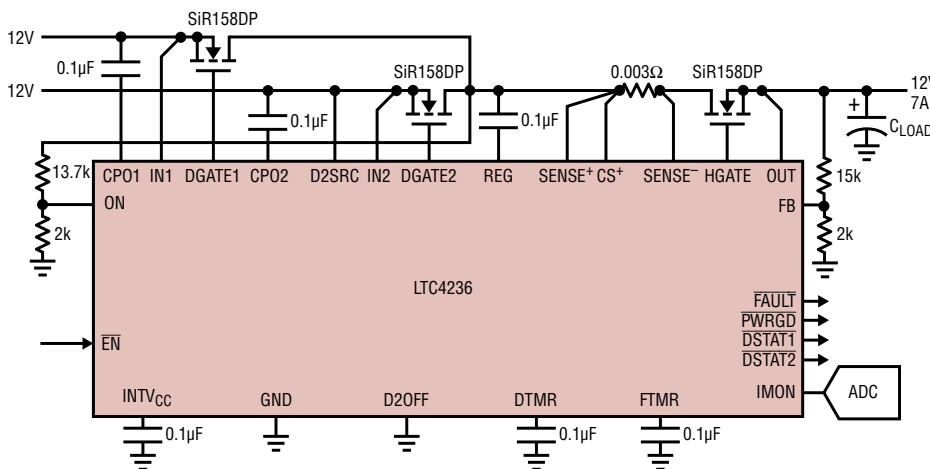
LTC4236は、理想ダイオードMOSFET両端の順方向電圧降下を制御して、発振のない状態で一方の電源から他方の電源へ電流が滑らかに切り替わるようにします。理想ダイオードMOSFETは、迅速にオンすることにより、電源切り替え時の負荷の電圧低下を抑えます。入力電源が故障した場合や短絡した場合は、高速ターンオフによって逆方向電流トランジェントが最小限に抑えられます。

電流検出アンプは、検出抵抗両端の電圧をグランド基準の信号に変換します。LTC4236は起動遅延時間を調整可能で、オン/オフ制御機能を備え、電源のフォルト状態およびパワーグッド状態を通知します。

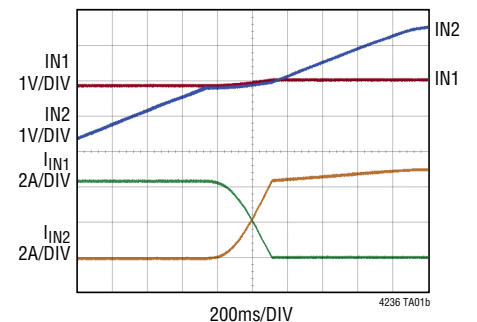
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7920013、8022679を含む米国特許によって保護されています。

標準的応用例

活線挿抜機能を備えた理想ダイオードORアプリケーション



スムーズな電源の切り替え



LTC4236

絶対最大定格

(Note 1, 2)

電源電圧

| | |
|--------------------------|---|
| IN1, IN2 | -0.3V ~ 24V |
| INTV _{CC} | -0.3V ~ 7V |
| REG | SENSE ⁺ - 5V ~ SENSE ⁺ + 0.3V |

入力電圧

| | |
|---|-----------------------------------|
| ON, D2OFF, $\overline{\text{EN}}$ | -0.3V ~ 24V |
| FTMR, DTMR | -0.3V ~ INTV _{CC} + 0.3V |
| FB | -0.3V ~ 7V |
| SENSE ⁺ , SENSE ⁻ , CS ⁺ , D2SRC | -0.3V ~ 24V |

出力電圧

| | |
|---|-------------|
| IMON | -0.3V ~ 7V |
| FAULT, PWRGD, $\overline{\text{DSTAT1}}$, $\overline{\text{DSTAT2}}$ | -0.3V ~ 24V |
| CPO1, CPO2 (Note 3, 4) | -0.3V ~ 35V |
| DGATE1, DGATE2 (Note 3, 4) | -0.3V ~ 35V |
| HGATE (Note 5) | -0.3V ~ 35V |
| OUT | -0.3V ~ 24V |

平均電流

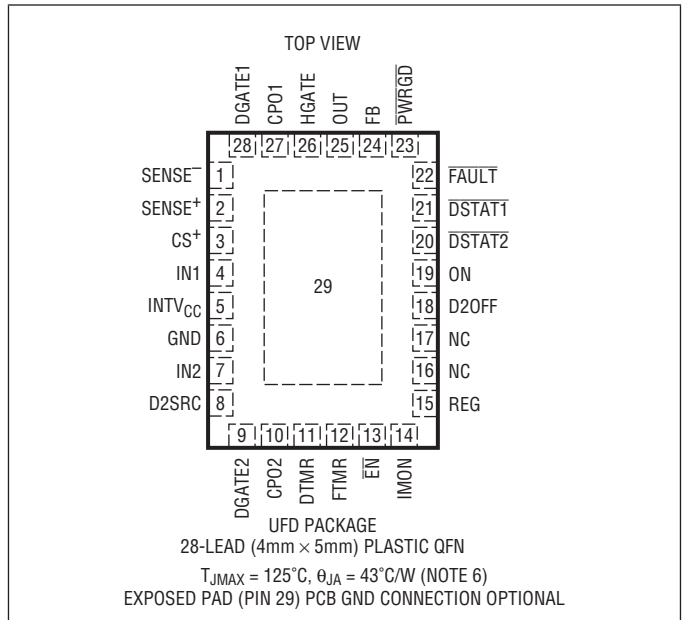
| | |
|---|------|
| FAULT, PWRGD, $\overline{\text{DSTAT1}}$, $\overline{\text{DSTAT2}}$ | 5mA |
| INTV _{CC} | 10mA |

動作周囲温度範囲

| | |
|----------------|--------------|
| LTC4236C | 0°C ~ 70°C |
| LTC4236I | -40°C ~ 85°C |

保存温度範囲..... -65°C ~ 150°C

ピン配置



発注情報

| 無鉛仕上げ | テープ・アンド・リール | 製品マーキング | パッケージ | 温度範囲 |
|-------------------|---------------------|---------|-------------------------------|---------------|
| LTC4236CUFD-1#PBF | LTC4236CUFD-1#TRPBF | 42361 | 28-Lead (4mmx5mm) Plastic QFN | 0°C to 70°C |
| LTC4236CUFD-2#PBF | LTC4236CUFD-2#TRPBF | 42362 | 28-Lead (4mmx5mm) Plastic QFN | 0°C to 70°C |
| LTC4236IUFD-1#PBF | LTC4236IUFD-1#TRPBF | 42361 | 28-Lead (4mmx5mm) Plastic QFN | -40°C to 85°C |
| LTC4236IUFD-2#PBF | LTC4236IUFD-2#TRPBF | 42362 | 28-Lead (4mmx5mm) Plastic QFN | -40°C to 85°C |

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|---------------------------|--|---|-------------|-------------|--------------|--------------------------------|
| 電源 | | | | | | |
| V_{IN} | Input Supply Range | | 2.9 | | 18 | V |
| I_{IN} | Input Supply Current | | | 2.7 | 4 | mA |
| V_{INTVCC} | Internal Regulator Voltage | $I = 0, -500\mu\text{A}$ | 4.5 | 5 | 5.5 | V |
| $V_{INTVCC(UVL)}$ | Internal V_{CC} Undervoltage Lockout | INTVCC Rising | 2.1 | 2.2 | 2.3 | V |
| $\Delta V_{INTVCC(HYST)}$ | Internal V_{CC} Undervoltage Lockout Hysteresis | | 30 | 60 | 90 | mV |
| 理想ダイオード制御 | | | | | | |
| $\Delta V_{FWD(REG)}$ | Forward Regulation Voltage ($V_{INn} - V_{SENSE+}$) | | 2 | 15 | 28 | mV |
| ΔV_{DGATE} | External N-Channel Gate Drive ($V_{DGATE1} - V_{IN1}$) and ($V_{DGATE2} - V_{D2SRC}$) | $I_N < 7\text{V}, \Delta V_{FWD} = 0.15\text{V}; I = 0, -1\mu\text{A}$ $I_N = 7\text{V to } 18\text{V}, \Delta V_{FWD} = 0.15\text{V}; I = 0, -1\mu\text{A}$ | 5 10 | 7 12 | 14 14 | V V |
| $\Delta V_{DGATE(ST)}$ | Diode MOSFET On Detect Threshold ($V_{DGATE1} - V_{IN1}$) and ($V_{DGATE2} - V_{D2SRC}$) | DSTAT Pulls Low, $\Delta V_{FWD} = 50\text{mV}$ | 0.3 | 0.7 | 1.1 | V |
| I_{D2SRC} | D2SRC Pin Current | D2SRC = 0V | | -90 | -130 | μA |
| $I_{CPO(UP)}$ | CPOn Pull-Up Current | CPO = IN = D2SRC = 2.9V CPO = IN = D2SRC = 18V | -60 -50 | -100 -90 | -130 -120 | μA μA |
| $I_{DGATE(FPU)}$ | DGATEn Fast Pull-Up Current | $\Delta V_{FWD} = 0.2\text{V}, \Delta V_{DGATE} = 0\text{V}, CPO = 17\text{V}$ | | -1.5 | | A |
| $I_{DGATE(FPD)}$ | DGATEn Fast Pull-Down Current | $\Delta V_{FWD} = -0.2\text{V}, \Delta V_{DGATE} = 5\text{V}$ | | 1.5 | | A |
| $I_{DGATE2(DN)}$ | DGATE2 Off Pull-Down Current | D2OFF = 2V, $\Delta V_{DGATE2} = 2.5\text{V}$ | 50 | 100 | 200 | μA |
| $t_{ON(DGATE)}$ | DGATEn Turn-On Delay | $\Delta V_{FWD} = 0.2\text{V}, C_{DGATE} = 10\text{nF}$ | | 0.25 | 0.5 | μs |
| $t_{OFF(DGATE)}$ | DGATEn Turn-Off Delay | $\Delta V_{FWD} = -0.2\text{V}, C_{DGATE} = 10\text{nF}$ | | 0.2 | 0.5 | μs |
| $t_{PLH(DGATE2)}$ | D2OFF Low to DGATE2 High | | | 50 | 100 | μs |
| 活線挿抜制御 | | | | | | |
| $\Delta V_{SENSE(TH)}$ | Current Limit Sense Voltage Threshold ($V_{SENSE+} - V_{SENSE-}$) | FB = 1.3V FB = 0V | 22.5 5.8 | 25 8.3 | 27.5 10.8 | mV mV |
| $V_{SENSE+(UVL)}$ | SENSE+ Undervoltage Lockout | SENSE+ Rising | 1.8 | 1.9 | 2 | V |
| $\Delta V_{SENSE+(HYST)}$ | SENSE+ Undervoltage Lockout Hysteresis | | 10 | 50 | 90 | mV |
| I_{SENSE+} | SENSE+ Pin Current | SENSE+ = 12V | 0.3 | 0.8 | 1.3 | mA |
| I_{SENSE-} | SENSE- Pin Current | SENSE- = 12V | 10 | 40 | 100 | μA |
| I_{CS+} | CS+ Pin Current | CS+ = 12V, $\Delta V_{SENSE} = 0\text{V}$ | | | ± 1 | μA |
| ΔV_{HGATE} | External N-Channel Gate Drive ($V_{HGATE} - V_{OUT}$) | $I_N < 7\text{V}, I = 0, -1\mu\text{A}$ $I_N = 7\text{V to } 18\text{V}, I = 0, -1\mu\text{A}$ | 5 10 | 7 12 | 14 14 | V V |
| $\Delta V_{HGATE(H)}$ | Gate High Threshold ($V_{HGATE} - V_{OUT}$) | | 3.6 | 4.2 | 4.8 | V |
| $I_{HGATE(UP)}$ | External N-Channel Gate Pull-Up Current | Gate Drive On, HGATE = 0V | -7 | -10 | -13 | μA |
| $I_{HGATE(DN)}$ | External N-Channel Gate Pull-Down Current | Gate Drive Off, OUT = 12V, HGATE = OUT + 5V | 1 | 2 | 4 | mA |
| $I_{HGATE(FPD)}$ | External N-Channel Gate Fast Pull-Down Current | Fast Turn-Off, OUT = 12V, HGATE = OUT + 5V | 100 | 200 | 350 | mA |
| $t_{PHL(SENSE)}$ | Sense Voltage (SENSE+ - SENSE-) High to HGATE Low | $\Delta V_{SENSE} = 200\text{mV}, C_{HGATE} = 10\text{nF}$ | | 0.5 | 1 | μs |

LTC4236

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS | |
|------------------|--|---------------------------|-----|-----|-----|---------------|----|
| $t_{OFF}(HGATE)$ | ON Low to HGATE Low | SENSE ⁺ UVLO | ● | 10 | 20 | μs | |
| | $\overline{\text{EN}}$ High to HGATE Low | | ● | 20 | 40 | μs | |
| | SENSE ⁺ Low to HGATE Low | | ● | 10 | 20 | μs | |
| $t_D(HGATE)$ | ON High, $\overline{\text{EN}}$ Low to HGATE Turn-On Delay | DTMR = INTV _{CC} | ● | 50 | 100 | 150 | ms |
| $t_P(HGATE)$ | ON to HGATE Propagation Delay | ON = Step 0.8V to 2V | ● | 10 | 20 | μs | |

入力

| | | | | | | | |
|---|--|------------------------------------|---|-------|---------|---------------|---------------|
| $V_{D2OFF(H,TH)}$ | D2OFF Pin High Threshold | D2OFF Rising | ● | 1.21 | 1.235 | 1.26 | V |
| $V_{D2OFF(L,TH)}$ | D2OFF Pin Low Threshold | D2OFF Falling | ● | 1.19 | 1.215 | 1.24 | V |
| $\Delta V_{D2OFF(HYST)}$ | D2OFF Pin Hysteresis | | ● | 10 | 20 | 30 | mV |
| $V_{IN(TH)}$ | ON, FB Pin Threshold Voltage | Voltage Rising | ● | 1.21 | 1.235 | 1.26 | V |
| $\Delta V_{ON(HYST)}$ | ON Pin Hysteresis | | ● | 40 | 80 | 120 | mV |
| $\Delta V_{FB(HYST)}$ | FB Pin Hysteresis | | ● | 10 | 20 | 30 | mV |
| $V_{ON(RESET)}$ | ON Pin Fault Reset Threshold Voltage | ON Falling | ● | 0.57 | 0.6 | 0.63 | V |
| $I_{IN(LEAK)}$ | Input Leakage Current (ON, FB, D2OFF) | V = 5V | ● | 0 | ± 1 | μA | |
| $V_{\overline{\text{EN}}(TH)}$ | $\overline{\text{EN}}$ Pin Threshold Voltage | $\overline{\text{EN}}$ Rising | ● | 1.185 | 1.235 | 1.284 | V |
| $\Delta V_{\overline{\text{EN}}(HYST)}$ | $\overline{\text{EN}}$ Pin Hysteresis | | ● | 60 | 110 | 200 | mV |
| $I_{\overline{\text{EN}}(UP)}$ | $\overline{\text{EN}}$ Pull-Up Current | $\overline{\text{EN}} = 1\text{V}$ | ● | -7 | -10 | -13 | μA |
| $V_{TMR(H)}$ | FTMR, DTMR Pin High Threshold | | ● | 1.198 | 1.235 | 1.272 | V |
| $V_{TMR(L)}$ | FTMR, DTMR Pin Low Threshold | | ● | 0.15 | 0.2 | 0.25 | V |
| $I_{FTMR(UP)}$ | FTMR Pull-Up Current | FTMR = 1V, In Fault Mode | ● | -80 | -100 | -120 | μA |
| $I_{FTMR(DN)}$ | FTMR Pull-Down Current | FTMR = 2V, No Faults | ● | 1.3 | 2 | 2.7 | μA |
| DRETRY | Auto-Retry Duty Cycle | | ● | 0.07 | 0.15 | 0.23 | % |
| $I_{DTMR(UP)}$ | DTMR Pull-Up Current | DTMR = 0.6V | ● | -8 | -10 | -12 | μA |
| $I_{DTMR(DN)}$ | DTMR Pull-Down Current | DTMR = 1.5V | ● | 1 | 5 | 10 | mA |
| $\Delta V_{DTMR(TH)}$ | DTMR Pin Threshold Voltage ($V_{DTMR} - V_{INTVCC}$) | $t_D(HGATE)$ Start-Up Delay | ● | -0.1 | -0.3 | -0.5 | V |
| $t_{RST(ON)}$ | ON Low to $\overline{\text{FAULT}}$ High | | ● | | 20 | 40 | μs |
| $t_{PG(FB)}$ | FB Low to $\overline{\text{PWRGD}}$ High | | ● | | 20 | 40 | μs |

出力

| | | | | | | | |
|-----------|--|--|--------|------------------------|--------------------------|---------------------|---------------|
| I_{OUT} | OUT Pin Current | OUT = 11V, IN = 12V, ON = 2V OUT = 13V, IN = 12V, ON = 2V | ● ● | 40 2.5 | 100 4 | μA mA | |
| V_{OL} | Output Low Voltage (FAULT, PWRGD, DSTAT1, DSTAT2) | I = 1mA I = 3mA | ● ● | 0.15 0.4 | 0.4 1.2 | V V | |
| V_{OH} | Output High Voltage (FAULT, PWRGD) | I = -1 μA | ● | INTV _{CC} - 1 | INTV _{CC} - 0.5 | V | |
| I_{OH} | Input Leakage Current (FAULT, PWRGD, DSTAT1, DSTAT2) | V = 18V | ● | 0 | ± 1 | μA | |
| I_{PU} | Output Pull-Up Current (FAULT, PWRGD) | V = 1.5V | ● | -7 | -10 | -13 | μA |

電气的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

| SYMBOL | PARAMETER | CONDITIONS | | MIN | TYP | MAX | UNITS |
|------------------------|---|---|--------|------------|-----|------------|---------------|
| 電流モニタ | | | | | | | |
| ΔV_{REG} | Floating Regulator Voltage ($V_{SENSE+} - V_{REG}$) | $I_{REG} = \pm 1\mu\text{A}$ | ● | 3.6 | 4.1 | 4.6 | V |
| $\Delta V_{SENSE(FS)}$ | Input Sense Voltage Full Scale ($V_{SENSE+} - V_{SENSE-}$) | $SENSE^+ = 12\text{V}$ | ● | 25 | | | mV |
| $V_{IMON(OS)}$ | IMON Input Offset Voltage | $\Delta V_{SENSE} = 0\text{V}$ | ● | | | ± 150 | μV |
| G_{IMON} | IMON Voltage Gain | $\Delta V_{SENSE} = 20\text{mV}$ and 5mV | ● | 99 | 100 | 101 | V/V |
| $V_{IMON(MAX)}$ | IMON Maximum Output Voltage | $\Delta V_{SENSE} = 70\text{mV}$, $5\text{V} \leq SENSE^+ \leq 18\text{V}$ $\Delta V_{SENSE} = 35\text{mV}$, $SENSE^+ = 2.9\text{V}$ | ● ● | 3.5 2.7 | | 5.5 2.9 | V V |
| $V_{IMON(MIN)}$ | IMON Minimum Output Voltage | $\Delta V_{SENSE} = 200\mu\text{V}$ | ● | | | 40 | mV |
| $R_{IMON(OUT)}$ | IMON Output Resistance | $\Delta V_{SENSE} = 200\mu\text{V}$ | ● | 15 | 20 | 27 | k Ω |

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスのピンに流れ込む電流は全て正。デバイスのピンから流れ出す電流は全て負。注記がない限り、全ての電圧はGND基準。

Note 3: 内部クランプにより、DGATE1ピンおよびCP01ピンの電圧は、IN1の電圧より10V以上高い値とIN1の電圧よりダイオード1個分の電圧だけ低い値に制限される。これらのピンをクランプより高い電圧に駆動するとデバイスを損傷する恐れがある。

Note 4: 内部クランプにより、DGATE2ピンおよびCP02ピンの電圧は、D2SRCの電圧より10V以上高い値を上限とし、D2SRCの電圧よりダイオード1個分低い電圧を下限として制限される。これらのピンをクランプより高い電圧に駆動するとデバイスを損傷する恐れがある。

Note 5: 内部クランプにより、HGATEピンの電圧はOUTの電圧より10V以上高い値を上限とし、OUTの電圧よりダイオード1個分低い電圧を下限として制限される。このピンをクランプ電圧より高い電圧に駆動するとデバイスを損傷する恐れがある。

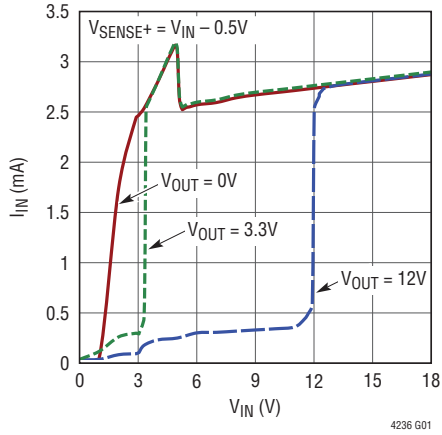
Note 6: 熱抵抗は、露出パッドが3インチ x 5インチの4層FR4基板に半田付けされている場合に規定される。

LTC4236

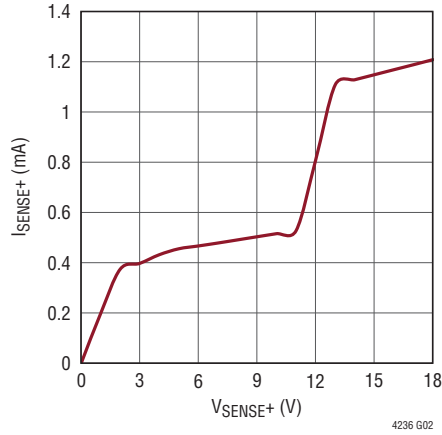
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

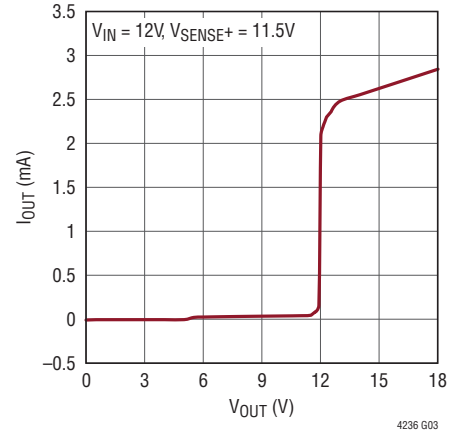
INの電源電流と電圧



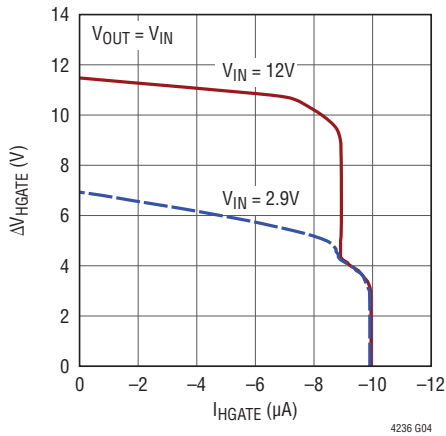
SENSE+の電流と電圧



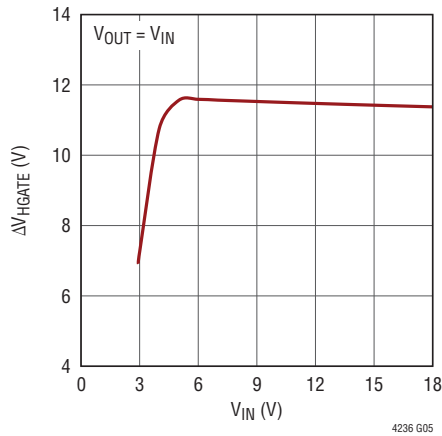
OUTの電流と電圧



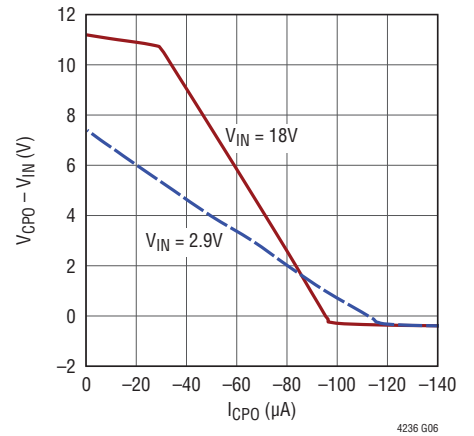
Hot Swap ゲート電圧と電流



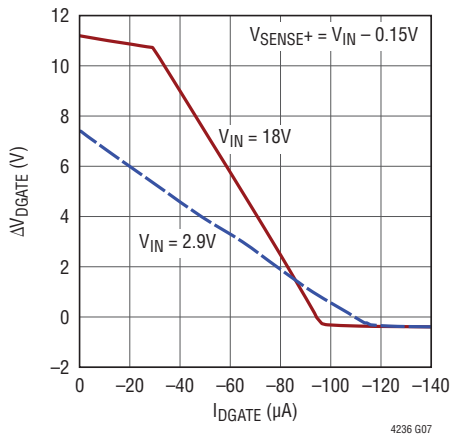
Hot Swap ゲート電圧と IN の電圧



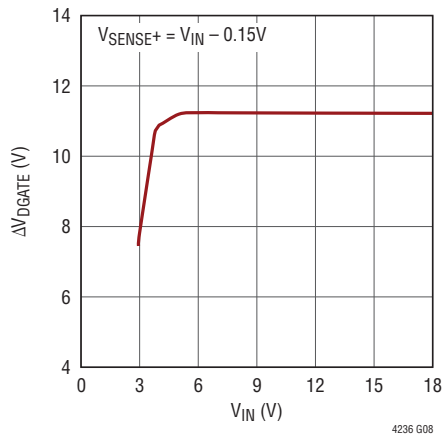
CPOの電圧と電流



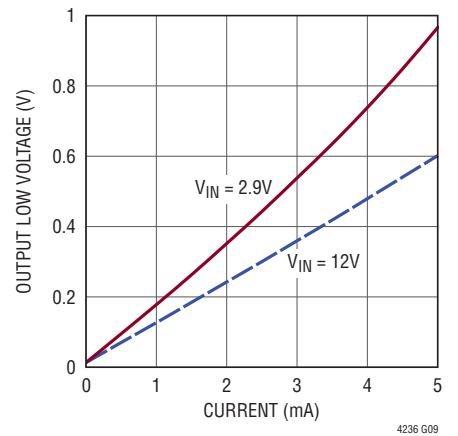
ダイオードのゲート電圧と電流



ダイオードのゲート電圧と IN の電圧



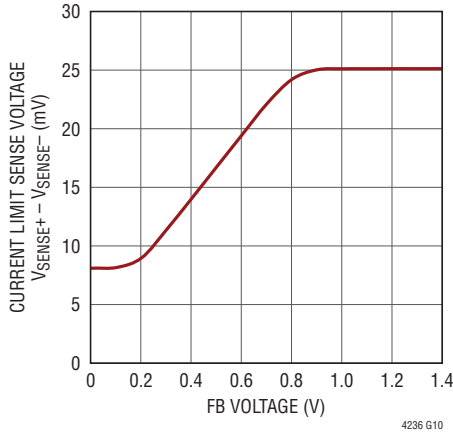
FAULT、PWRGD、DSTAT1、DSTAT2 出力“L”の電圧と電流



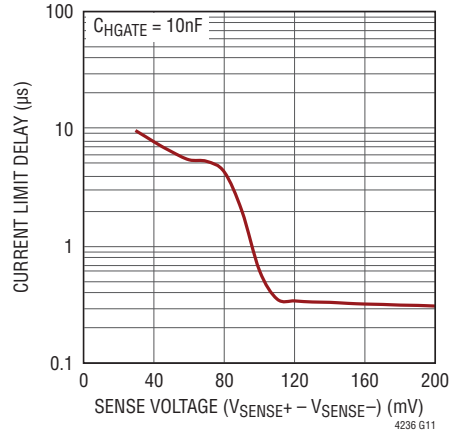
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

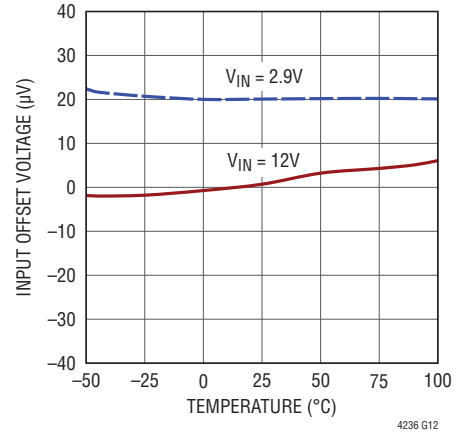
電流制限しきい値のフォールドバック



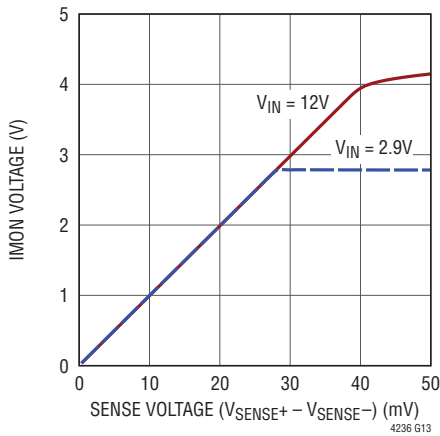
電流制限遅延と検出電圧



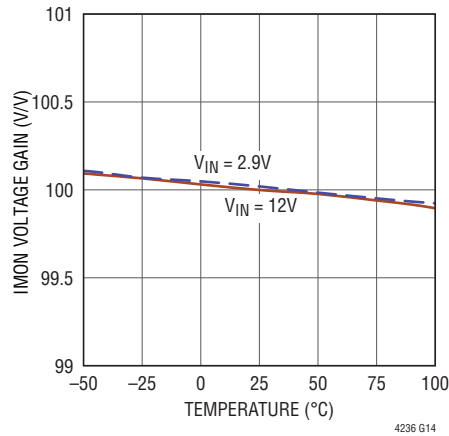
電流検出アンプの入力オフセット電圧と温度



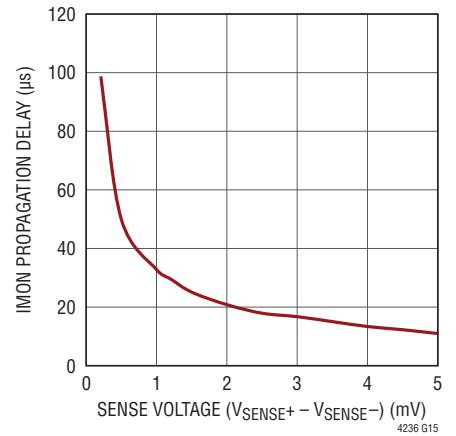
IMONの電圧と検出電圧



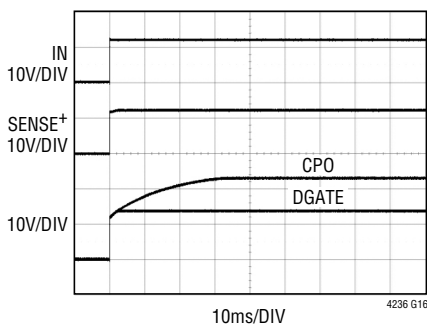
IMONの電圧利得と温度



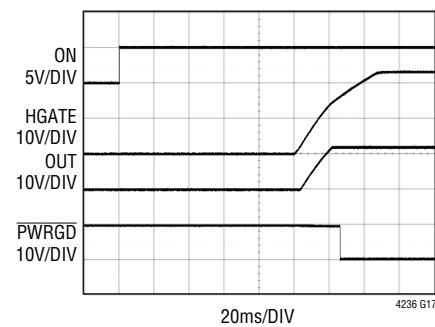
IMONの伝播遅延と検出電圧



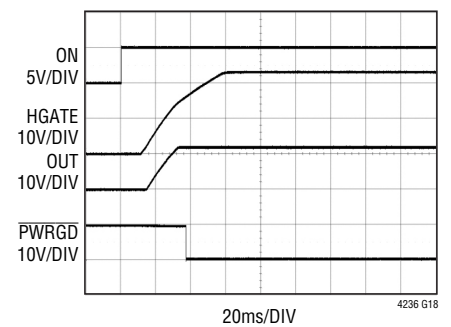
INピン電源投入時の理想ダイオードの起動波形



DTMRピンをINTV_{CC}に接続した場合のHGATEピンの起動遅延時間100ms



DTMRピンに0.1μFのコンデンサを接続した場合の調整可能なHGATEピンの遅延時間



ピン機能

CP01、CP02：チャージポンプの出力。CPO1またはCPO2から対応するIN1ピンまたはD2SRCピンにコンデンサを接続します。このコンデンサの値は、理想ダイオード制御用の外付けMOSFETのゲート容量(C_{ISS})の約10倍です。このコンデンサに蓄えられる電荷は、高速ターンオン時に理想ダイオードMOSFETのゲートをプルアップするために使用されます。理想ダイオードを迅速にオンする必要がない場合は、このピンを開放のままにしてください。

CS⁺：電流検出アンプの正の電流検出入力。このピンは電流検出抵抗の入力側に接続します。CS⁺とSENSE⁻の間の電圧は、IMONピンでグラウンドを基準にした信号に変換されます。

DGATE1、DGATE2：理想ダイオードMOSFETのゲート駆動出力。このピンは理想ダイオード制御用の外付けNチャネルMOSFETのゲートに接続します。内部クランプにより、ゲート電圧はIN1ピンまたはD2SRCピンの電圧より12V高い値を上限とし、IN1ピンまたはD2SRCピンの電圧よりダイオード1個分低い電圧を下限として制限されます。高速ターンオン時には、CPOピンから1.5Aのプルアップ電流が流れてDGATEピンを充電します。高速ターンオフ時には、1.5Aのプルダウン電流が流れて、DGATE1とIN1の間およびDGATE2とD2SRCの間を放電します。

D2OFF：制御入力。立ち上がりエッジが1.235Vより高いとIN2の電力経路にある外部理想ダイオードMOSFETはオフになり、立ち下がりエッジが1.215Vより低いとこのMOSFETはオンになります。このピンをIN1からの外付け抵抗分割器に接続して、IN1とIN2の電圧が等しいときにIN1が優先順位の高い入力電源になるようにします。

D2SRC：理想ダイオードMOSFETのゲート駆動帰線。このピンは、IN2の電力経路にある外付けのNチャネルMOSFETスイッチのソースに接続します。DGATE2ピンが放電すると、ゲートの高速プルダウン電流はこのピンを通過して戻ります。

DSTAT1：ダイオードMOSFETの状態出力。DGATE1とIN1の間のMOSFETゲート駆動電圧が0.7Vを超えると“L”になるオープンドレイン出力で、MOSFETダイオードの経路が導通したことを示します。駆動電圧が0.7V以下の場合には高インピーダンス状態になります。正電源への外付けプルアップ抵抗が必要です。使用しない場合は、開放のままにします。

DSTAT2：ダイオードMOSFETの状態出力。DGATE2とD2SRCの間のMOSFETゲート駆動電圧が0.7Vを超えると“L”になるオープンドレイン出力で、MOSFETダイオードの経路が導通したことを示します。駆動電圧が0.7V以下の場合には高インピーダンス状態になります。正電源への外付けプルアップ抵抗が必要です。使用しない場合は、開放のままにします。

DTMR：デバウンス・タイマのコンデンサ用端子。このピンは、ENピンが“L”に切り替わったときに100ms固定の遅延時間を設定する場合はINTV_{CC}に接続し、調整可能な起動時の遅延時間(123ms/μF)を設定する場合はグラウンドとの間に外付けコンデンサを接続します。

EN：イネーブル入力。活線挿抜制御をイネーブルするには、このピンを接地します。このピンを“H”にした場合は、Hot Swap MOSFETをオンすることができません。10μAの電流源により、このピンの電圧はINTV_{CC}よりダイオード1個分だけ低い電圧まで上昇します。ONピンが“H”のときにENピンを“L”にすると、フォルトが解消された後、DTMRピンでの設定に応じて、デバウンスを行うための起動遅延時間が生じます。

FAULT：過電流フォルト状態出力。過電流フォルトの発生中にフォルト・タイマの期限が切れると“L”になる出力です。それ以外の場合は、10μAの電流源によって“H”(INTV_{CC}よりダイオード1個分だけ低い電圧)になります。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。使用しない場合は、開放のままにします。

FB：フォールドバック入力およびパワーグッド・コンパレータ入力。このピンはOUTピンからの外付け抵抗分割器に接続します。このピンの電圧が1.215Vより低くなると、PWRGDピンが“H”になり、電源の状態が良くないことを示します。この電圧が0.9Vより低くなると、出力電力は不良状態とみなされ、電流制限が軽減されます。フォールドバック機能をディスエーブルするには、INTV_{CC}に接続します。

FTMR：フォルト・タイマのコンデンサ用端子。このピンとグラウンドの間にコンデンサを接続して、外付けHot Swap MOSFETがオフする前に電流制限を行うため12ms/μFの持続時間を設定します。オフ時間の長さは8s/μFなので、0.15%のデューティ・サイクルになります。

GND：デバイスのグラウンド。

ピン機能

HGATE : Hot Swap MOSFETのゲート駆動出力。このピンは活線挿抜制御のため外付けNチャネルMOSFETのゲートに接続します。10 μ Aの内部電流源がMOSFETのゲートを充電します。内部クランプにより、ゲート電圧はOUTピンの電圧より12V高い値を上限とし、OUTピンの電圧よりダイオード1個分低い電圧を下限として制限されます。低電圧が原因でオフになっている間は、HGATEピンが放電され、2mAのプルダウン電流がグラウンドに流れます。出力短絡またはINTV_{CC}の低電圧ロックアウトの間は、HGATEピンが放電され、200mAの高速プルダウン電流がOUTピンに流れます。

IN1, IN2 : 正電源入力および理想ダイオードMOSFETのゲート駆動帰線。このピンは外部理想ダイオードMOSFETの電源入力側に接続します。5VのINTV_{CC}電源は、内部ダイオードORを介して、IN1、IN2、およびOUTから生成されます。このピンで検出される電圧はDGATEピンの電圧を制御するのに使用されます。DGATE1ピンが放電すると、ゲートの高速プルダウン電流はIN1ピンを通過して戻ります。

INTV_{CC} : 5Vの内部電源のデカップリング出力。このピンとGNDの間には0.1 μ F以上のコンデンサが必要です。500 μ A未満の外部負荷をこのピンに接続することができます。2.2Vの低電圧ロックアウトしきい値に達すると、MOSFETは両方ともオフになります。

IMON : 電流検出モニタの出力。このピンの電圧は電流検出抵抗両端の検出電圧に比例し、その電圧利得は100です。このピンとグラウンドの間には、内部に20kの抵抗が接続されています。

ON : オン制御入力。1.235Vより高い立ち上がりエッジが外付けHot Swap MOSFETをオンし、1.155Vより低い立ち下がりエッジがこのMOSFETをオフします。このピンをSENSE⁺ピンからの外付け抵抗分割器に接続して、電源の低電圧状態をモニタします。ONピンの電圧を0.6Vより低くすると、過電流フォルト発生後のフォルト・ラッチはリセットされます。使用しない場合は、INTV_{CC}に接続します。

OUT : Hot Swap MOSFETのゲート駆動帰線。このピンは外付けMOSFETの出力側に接続します。HGATEピンが放電すると、ゲートの高速プルダウン電流はこのピンを通過して戻ります。

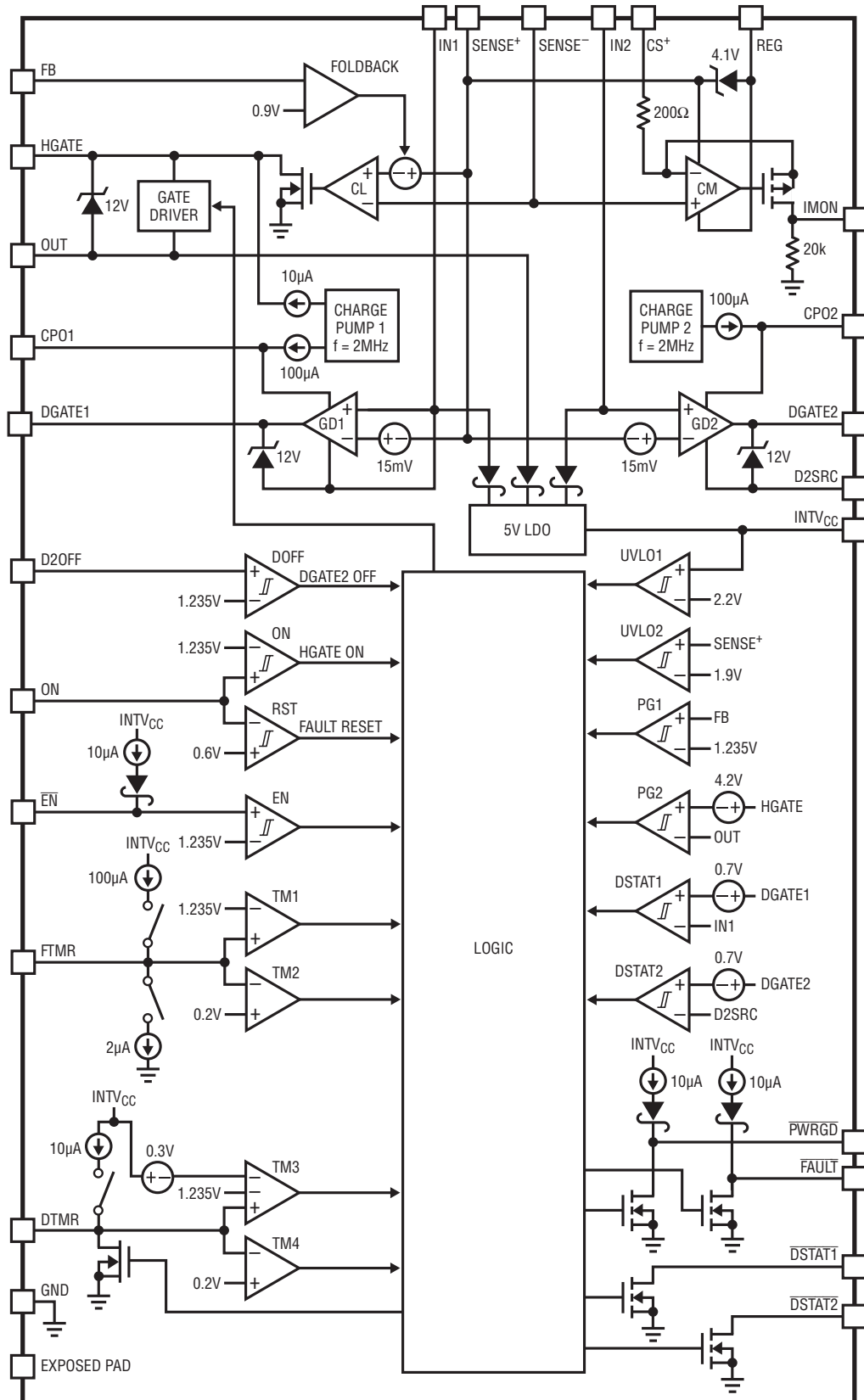
PWRGD : 電源の状態出力。FBピンの電圧が1.235Vより高くなり、HGATEピンとOUTピンの間のMOSFETゲート駆動電圧が4.2Vを超えると“L”になる出力です。それ以外の場合は、10 μ Aの電流源によって“H”(INTV_{CC}よりダイオード1個分だけ低い電圧)になります。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。使用しない場合は、開放のままにします。

REG : 電流検出アンプの内部安定化電源。REGとSENSE⁺の間に0.1 μ F以上のコンデンサを接続します。このピンは外部回路を駆動する目的で設計されているわけではありません。

SENSE⁺ : 正の電流検出入力。このピンを外部理想ダイオードMOSFETのダイオードOR出力と電流検出抵抗の入力に接続します。このピンで検出される電圧の使用目的は、電流制限をモニタすることと、DGATEを制御して順方向電圧のレギュレーションと逆方向電圧のターンオフを行うことです。このピンには1.9Vの低電圧ロックアウトしきい値があり、この値でHot Swap MOSFETがオフします。

SENSE⁻ : 負の電流検出入力。このピンは電流検出抵抗の出力側に接続します。電流制限回路はHGATEピンを制御して、SENSE⁺ピンとSENSE⁻ピンの間の電圧をFBピンの電圧に応じて25mV以下に制限します。

ブロック図



4236 BD

動作

LTC4236は、電力経路の外付けNチャネルMOSFET (M_{D1} 、 M_{D2} 、および M_H)を制御することによって入力電源のダイオードOR回路として機能し、突入電流制限回路と過電流保護回路を内蔵しています。これにより、冗長電源からバックプレーンに電力を供給するシステムで、基板を安全に抜き差しすることができます。LTC4236は、Hot Swapコントローラ1つと、独立した2つの理想ダイオード・コントローラを内蔵しており、それぞれが2つの入力電源を個別に制御します。

LTC4236に初めて電源を投入したとき、外付けMOSFETのゲートは“L”に保持されてオフ状態に保たれます。DGATE2のプルアップ電流がD2OFFピンによってディスエーブルされると、DGATE2が“H”になるのは、D2OFFピンが“L”になった場合に限定されるようになります。ゲート駆動アンプ(GD1、GD2)はINピンとSENSE⁺ピンの間の電圧をモニタし、それぞれのDGATEピンを駆動します。このアンプは、大きな順方向電圧降下を検出すると、DGATEピンを直ちにプルアップし、理想ダイオード制御のMOSFETをオンします。理想ダイオードMOSFETが入力電源のダイオードOR回路として動作する場合は、SENSE⁺ピンの電圧が、IN1ピンおよびIN2ピンの電源の最大値まで上昇します。CPOピンに接続された外付けコンデンサには、理想ダイオードMOSFETを素早くオンするのに必要な電荷が蓄積されます。内部チャージポンプがこのコンデンサを充電するのは、デバイスの電源投入時です。DGATEピンに流れる電流はCPOピンから流れ出し、IN1ピン、D2SRCピン、およびGNDピンに流れ込みます。DGATE1とIN1の間またはDGATE2とD2SRCの間の電圧が0.7Vを超えると、それぞれのDSTATピンは“L”になり、理想ダイオードMOSFETがオンしていることが示されます。

ONピンを“H”にしてENピンを“L”にすると、デバウンス・タイミング・サイクルが開始されます。このサイクルは、DTMRピンでの設定に応じて、固定の100msにすることも可変遅延時間にすることもできます。このタイミング・サイクルの経過後は、チャージポンプからの10 μ Aの電流源によってHGATEピンの電圧が上昇します。Hot Swap MOSFETがオンすると、SENSE⁺ピンとSENSE⁻ピンの間に接続された外付け検出抵抗(R_S)によって設定されるレベルに突入電流が制限されます。アクティブな電流制限アンプ(CL)は、FBピンの電圧に応じてMOSFETのゲートをサーボ制御し、電流検出抵抗両端に生じる電圧を25mV以下に制御します。必要に応じて、HGATEピンとGNDの間にコンデンサを追加することにより、突入電流をさらに減らすことができます。FBピンの電圧が

1.235Vより高くなり、MOSFETのゲート駆動電圧(HGATEピンとOUTピンの間の電圧)が4.2Vを超えると、PWRGDピンは“L”になります。

ハイサイド電流検出アンプ(CM)は、電流検出抵抗を流れる電流を高精度にモニタします。検出電圧は100倍に増幅され、IMONピンで、正のレールからグラウンドを基準にした出力レベルが移されます。出力信号はアナログであり、そのままの状態で使用することも、A/Dコンバータで測定することもできます。

理想ダイオードMOSFETがオンすると、ゲート駆動アンプがDGATEを制御して、MOSFET両端の順方向電圧降下($V_{IN} - V_{SENSE+}$)を15mVにサーボ制御します。負荷電流によって電圧降下が15mVを超えると、ゲート電圧が上昇してMOSFETが導通します。出力電流が大きい場合、MOSFETのゲートは完全にオンになり、電圧降下はMOSFETの $I_{LOAD} \cdot R_{DS(ON)}$ に等しくなります。

MOSFETが導通しているときに入力電源が短絡すると、大量の逆電流が負荷から入力に向けて流れ始めます。ゲート駆動アンプはこの障害状態を検出し、DGATEピンの電圧を低下させることで理想ダイオードMOSFETをオフします。

電源の出力に過電流フォルトが生じた場合、電流はフォールドバック特性により制限されます。FTMRピンのコンデンサを充電する100 μ Aの電流によって設定される遅延時間が経過すると、フォルト・タイマの期限が切れてHGATEピンが“L”になり、Hot Swap MOSFETはオフになります。FAULTピンも“L”にラッチされます。この時点で、DGATEピンは“H”状態を継続し、理想ダイオードMOSFETをオン状態に保ちます。

内部のクランプにより、DGATE1およびCPO1とIN1の間の電圧、DGATE2およびCPO2とD2SRCの間の電圧は、どちらも12Vに制限されます。また、DGATEピンとCPOピンの電圧も、同じクランプによってIN1ピンまたはD2SRCピンの電圧よりダイオード1個分の電圧だけ低い値に制限されます。別の内部クランプにより、HGATEピンとOUTピンの間の電圧は12Vに制限され、さらに、HGATEピンの電圧はOUTピンよりダイオード1個分の電圧だけ低い値にクランプされます。

LTC4236への電力は、低損失レギュレータ(LDO)への内部ダイオードOR回路を介して、INピンまたはOUTピンから供給されます。このLDOはINTV_{CC}ピンに5Vの電源を生成し、LTC4236の内部低電圧回路に給電します。

アプリケーション情報

高い可用性を要するシステムでは、冗長性を持たせてシステムの信頼性を高めるため、多くの場合、並列に接続された電源やバッテリー・フィードが採用されます。電源のOR接続用ダイオードは、一般にこれらの電源を負荷ポイントで接続するのに使用されますが、代償としてダイオードの大きな順方向電圧降下による電力損失を生じます。LTC4236は、外付けのNチャネルMOSFETをパス素子として使用してこの電力損失を最小限に抑えるので、MOSFETがオンしているときの電源から負荷までの電圧降下を抑えることができます。入力電源の電圧が出力の共通電源電圧を下回ると、対応するMOSFETがオフになるので、理想ダイオードと等しい機能と性能が得られます。並列接続の理想ダイオードMOSFETの後段に電流検出抵抗とHot Swap MOSFETを追加することにより、LTC4236は突入電流制限と過電流保護を備えて理想ダイオードの性能を向上します(図1参照)。これにより、コネクタを損傷することなく、通電状態のバックプレーンに対して基板を安全に抜き差しすることができます。

内部Vcc電源

LTC4236は2.9V～18Vの入力電源電圧で動作します。デバイスの電源は、INTV_{CC}ピンを出力とする低ドロップアウト・レギュレータ(LDO)によって内部で5Vに安定化されます。内部ダイオードOR回路はINピンとOUTピンの高い方の電源を選択して、LDOを介してデバイスに給電します。ダイオードOR方式を採用しているため、INピンの電源電圧が急激に低下するか遮断されても、OUTピンの電圧によってデバイスの電源を動作状態に保つことができます。

低電圧ロックアウト回路は、INTV_{CC}電圧が2.2Vを超えるまで、全てのMOSFETがオンするのを防ぎます。0.1μFのコンデンサをINTV_{CC}ピンとGNDピンの間にデバイスに近づけて設置してバイパスすることを推奨します。LDOの動作に影響を与えないように、INTV_{CC}ピンには外部電源を接続しないようにしてください。500μA未満の小さな外部負荷をINTV_{CC}ピンに接続することができます。

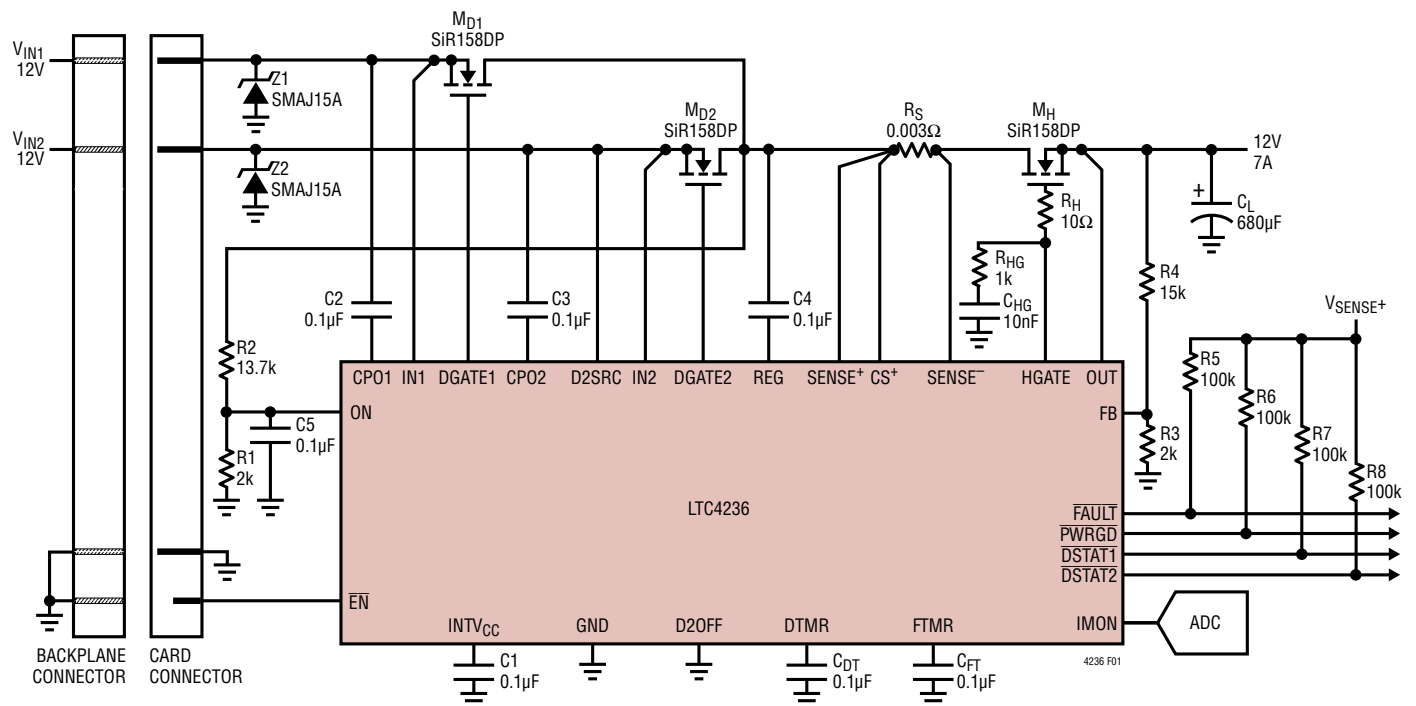


図1. 活線挿抜機能を備えたカード搭載型ダイオードORアプリケーション

アプリケーション情報

ターンオン・シーケンス

OUTピンの基板電源は、図1に示すように外付けNチャネルMOSFET (M_{D1}、M_{D2}、およびM_H)で制御されます。電源側に並列に接続された理想ダイオードMOSFETはダイオードOR回路として機能するのに対して、負荷側のM_Hは出力負荷に供給される電力を制御するHot Swap MOSFETとして機能します。検出抵抗R_Sは、過電流検出のために負荷電流をモニタします。HGATEピンのコンデンサC_{HG}は、ゲートのスルーレートを制御して突入電流を制限します。抵抗R_{HG}はC_{HG}とともに電流制御ループを補償し、R_HはHot Swap MOSFETの高周波発振を防ぎます。

通常の電源投入時には、理想ダイオードMOSFETが最初にオンします。内部で生成される電源(INTV_{CC})がその2.2Vの低電圧ロックアウトしきい値を超えると、直ちに内部チャージポンプがCPOピンを充電可能となります。理想ダイオードMOSFETはダイオードOR回路として並列に接続されているので、SENSE⁺ピンの電圧はIN1ピンおよびIN2ピンの電源電圧の最大値に近づきます。低い方の入力電源電圧に対応するゲート駆動アンプにより、対応するMOSFETがオフします。

Hot Swap MOSFETをオンするには、DTMRピンで設定したようにデバウンス・サイクルの間はENピンを“L”のまま、かつONピンを“H”のままにして、挿入中に接触バウンスが発生しないようにする必要があります。デバウンス・サイクルが終了すると、内部のフォルト・ラッチはクリアされます。次いで、Hot Swap MOSFETは、チャージポンプからの10μAの電流源によってHGATEを充電することにより、オンすることができます。HGATEピンの電圧は10μA/C_{HG}に等しい勾配で上昇し、電源から負荷コンデンサC_Lに流れ込む突入電流は次の値に制限されます。

$$I_{\text{INRUSH}} = \frac{C_L}{C_{\text{HG}}} \cdot 10\mu\text{A}$$

Hot Swap MOSFETがオンすると、OUTピンの電圧はHGATEピンの電圧に追従します。電流検出抵抗R_S両端の電圧が、FBピンの電圧を基準にして高くなりすぎると、内部電流制限回路によって突入電流が制限されます。MOSFETのゲートのオーバードライブ電圧が4.2Vを超え、FBピンの電圧が1.235Vより高くなると、PWRGDピンが“L”になり、電源の状態が良好であることが示されます。OUTピンの電圧が入力電源電圧に達すると、HGATEピンの電圧は上昇し続けます。HGATEピンの電圧は12Vの内部クランプによってOUTピンの電圧より高い値に制限されます。

理想ダイオードMOSFETがオンすると、ゲート駆動アンプがMOSFETのゲートを制御して、MOSFET両端の順方向電圧降下を15mVにサーボ制御します。負荷電流によって電圧降下が15mVより大きくなると、MOSFETのゲートは完全にオンになり、電圧降下はI_{LOAD}・R_{DS(ON)}に等しくなります。

ターンオフ・シーケンス

外付けMOSFETはさまざまな条件でオフすることができます。Hot Swap MOSFETの通常のターンオフは、ONピンを1.155Vのしきい値(ONピンのヒステリシスは80mV)より低くするか、またはENピンを1.235Vのしきい値より高くすることにより開始されます。更に、過電流フォルトの時間がフォルト・タイマの時間を超えた場合もHot Swap MOSFETはオフします。通常、LTC4236は2mAのシンク電流でHGATEピンの電圧をグラウンドに引き下げてMOSFETをオフします。

INTV_{CC}がその低電圧ロックアウトしきい値(2.2V)を下回ると、すべてのMOSFETがオフします。DGATEピンの電圧は100μAの電流によりIN1ピンまたはD2SRCピンの電圧よりダイオード1個分の電圧だけ低い値まで低下し、HGATEピンの電圧は200mAの電流によってOUTピンの電圧まで低下します。D2OFFの電圧が1.235Vより高くなると、IN2の電力経路にある理想ダイオードMOSFETはオフになり、DGATE2は100μAの電流により“L”になります。

入力電源電圧がSENSE⁺の電圧より低くなると、ゲート駆動アンプは理想ダイオードMOSFETを制御して、逆電流を防止します。入力電源電圧が急激に低下した場合、ゲート駆動アンプは高速プルダウン回路によって理想ダイオードMOSFETをオフします。入力電源電圧の低下速度が緩やかな場合、ゲート駆動アンプはMOSFETを制御して、SENSE⁺ピンの電圧をINピンの電圧より15mV低い電圧に保ちます。

ENによる基板の接続検出

ENピンが“L”になったときにONが“H”である場合は、基板が接続されていることを示し、LTC4236はDTMRピンで設定したように、接触のデバウンスのためにタイミング・サイクルを開始します。DTMRピンをINTV_{CC}に接続している場合、デフォルトの内部遅延は100msです。DTMRピンとGNDの間に外付けコンデンサC_{DT}を接続すると、遅延はこのコンデンサを10μAの電流で1.235Vまで充電することによって得られます。その後、コンデンサは5mAの電流でグラウンドに放電されます。任意のデバウンス遅延について、外付けコンデンサC_{DT}の値を設定するための式は次のとおりです。

アプリケーション情報

$$C_{DT} = t_{DB} \cdot 0.0081 \text{ } [\mu\text{F/ms}]$$

基板を挿入したときに、 $\overline{\text{EN}}$ ピンにバウンスがあるとタイミング・サイクルが再開されます。デバウンスのタイミング・サイクルが終了すると、内部のフォルト・ラッチはクリアされます。タイミング・サイクルの終了時に $\overline{\text{EN}}$ ピンが“L”のままの場合、HGATEピンは10 μA の電流源で充電され、Hot Swap MOSFETをオンします。

$\overline{\text{EN}}$ ピンが“H”になって基板が取り外されたことが示されると、20 μs の遅延の後、HGATEピンは2mAの電流シンクによって“L”になり、ラッチされたフォルトを解消することなく、Hot Swap MOSFETをオフします。

過電流フォルト

LTC4236はフォールドバック特性の調整可能な電流制限機能を備えており、短絡や過大な負荷電流から外付けMOSFETを保護します。外付けの検出抵抗 R_S 両端の電圧は、アクティブな電流制限アンプによってモニタされます。このアンプは、Hot Swap MOSFETのゲート電圧を制御して、電流制限の作動時にFBピンで検出される出力電圧の関数として負荷電流を減少します。電流制限検出電圧とFBピンの電圧の関係は、「標準的性能特性」のグラフに示します。

過電流フォルトが生じるのは、出力の電流制限状態が、FTMRピンで設定したフォルト・タイマ時間より長くなった場合です。電流制限は、SENSE⁺ピンとSENSE⁻ピンの間の検出電圧が、FBピンの電圧に応じて8.3mV～25mVに達すると始まります。Hot Swap MOSFETのゲートは電流制限アンプによって制御され、出力電流は検出電圧を25mV未満に制限するために安定化されます。この時点でフォルト・タイマが起動し、100 μA の電流によりFTMRピンのコンデンサが充電されます。FTMRピンの電圧がそのしきい値(1.235V)を超えると、2mAの電流によってHGATEピンの電圧がグランドまで低下して外付けMOSFETがオフになり、 $\overline{\text{FAULT}}$ ピンは“L”になります。

Hot Swap MOSFETがオフした後、FTMRピンのコンデンサは、2 μA のプルダウン電流によってFTMRピンのしきい値が0.2Vに達するまで放電します。「FTMRピンの機能」で説明するように、タイミング・サイクル14回分の冷却期間がこの後に続きます。12V出力での過電流フォルトを図2に示します。

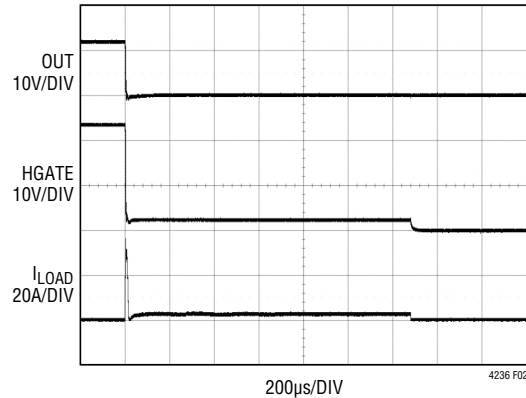


図2. 12V出力での過電流フォルト

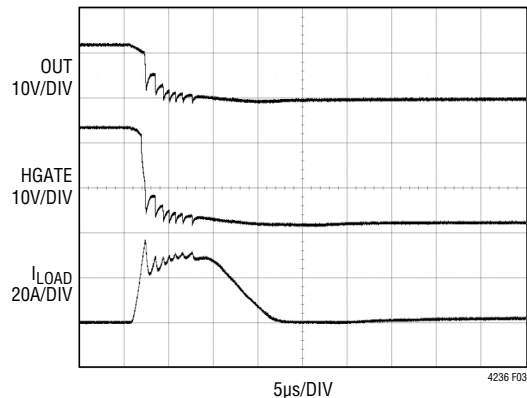


図3. 12V出力での重度の短絡

図3に示すように、12V出力に重大な短絡フォルトが生じた場合、出力電流は数十アンペアに急増することがあります。LTC4236は1 μs 以内に応答し、HGATEピンとOUTピンの間の電圧を0Vに低減することにより、電流を制御します。 R_{HG} と C_{HG} の回路網に蓄積された電荷により、Hot Swap MOSFETのゲート電圧は急速に回復し、フォルト・タイマの期限が切れるまで電流はアクティブに制限されます。電源ピンの寄生インダクタンスにより、バイパス・コンデンサのない入力電源は高電流サージの発生期間、急落し、次いで電流が遮断されると上方向にスパイクを生じる可能性があります。入力容量がない場合、2つの電源のZ1、 R_{SNUB1} 、 C_{SNUB1} およびZ2、 R_{SNUB2} 、 C_{SNUB2} で構成される入力電源トランジェント・サブレッサを図9に示します。

FTMRピンの機能

FTMRピンとGNDの間に接続した外付けコンデンサ C_{FT} は、電源の出力がアクティブな電流制限状態のとき、フォルト・タ

アプリケーション情報

イミング回路として機能します。検出抵抗両端の電圧がフォールドバック電流制限しきい値 (25mV ~ 8.3mV) を超えると、FTMR ピンの電圧は 100 μ A の電流により上昇します。それ以外の場合は、2 μ A の電流により電圧は低下します。1.235V の FTMR しきい値を超えると、フォルト・タイマは期限切れになり、このため $\overline{\text{FAULT}}$ ピンは“L”になります。任意のフォルト・タイマ時間について、外付けコンデンサ C_{FT} の値を設定するための式は次のとおりです。

$$C_{\text{FT}} = t_{\text{FT}} \cdot 0.083 \text{ } [\mu\text{F/ms}]$$

フォルト・タイマの期限終了後、FTMR ピンのコンデンサの電圧は、1.235V の FTMR しきい値から 0.2V に達するまで 2 μ A の電流によって低下します。次いで、FTMR ピンのコンデンサを 100 μ A の電流で 1.235V まで充電し、2 μ A の電流で 0.2V まで放電する冷却サイクルを 14 回実行します。「フォルトのリセット」のセクションで説明するように、この時点でフォルトが解消されている場合は、HGATE ピンの電圧を立ち上げることができません。ラッチされているフォルトが冷却時間の間に解消されると、 $\overline{\text{FAULT}}$ ピンは“H”になります。過電流フォルト後の MOSFET の全冷却時間は次のようになります。

$$t_{\text{COOL}} = C_{\text{FT}} \cdot 8 \text{ } [\text{s}/\mu\text{F}]$$

ラッチオフ・デバイスでは、フォルトが解消された場合だけ、冷却時間の経過後に HGATE ピンの電圧を高くすることができます。自動再試行デバイスでは、冷却期間の経過後、ラッチされているフォルトが自動的に解消され、HGATE ピンの電圧を再び上昇させることができます。

フォルトのリセット (LTC4236-1)

ラッチオフ・デバイスでは、フォルト・タイマの期限終了後に過電流フォルトがラッチされ、 $\overline{\text{FAULT}}$ ピンは“L”にアサートされます。Hot Swap MOSFET だけがオフになり、理想ダイオード MOSFET は影響を受けません。

ラッチされたフォルトをリセットし、出力を再起動するには、ON ピンの電圧を 0.6V より低い状態に 100 μ s 以上維持してから、1.235V より高くします。ON ピンの立ち上がりエッジでは、フォルト・ラッチがリセットされ、 $\overline{\text{FAULT}}$ ピンがデアサートします。ON ピンが再度“H”になり、冷却サイクルが完了すると、HGATE ピンの電圧が再び上昇する前にデバウンス・タイミング・サイクルが開始されます。 $\overline{\text{EN}}$ ピンを“H”にしてから再度“L”に切り替えてもフォルトはリセットされますが、 $\overline{\text{FAULT}}$ ピンはデバウンス・サイクルが終わると“H”になり、その後、HGATE ピンの電圧が上昇します。全ての電源電圧を INTV_{CC} の低電圧ロックアウトしきい値 (2.2V) より低くすると、すべての

MOSFET がオフになり、フォルト・ラッチがリセットされます。いずれかの電源電圧が INTV_{CC} の UVLO しきい値より高い電圧まで回復すると、通常の起動の前にデバウンス・サイクルが開始されます。

フォルト後の自動再試行 (LTC4236-2)

自動再試行デバイスでは、「FTMR ピンの機能」のセクションで説明したように、ラッチされているフォルトは冷却期間が終わると自動的にリセットされます。冷却期間の終了時にフォルト・ラッチはクリアされ、 $\overline{\text{FAULT}}$ ピンは“H”になります。HGATE ピンの電圧を立ち上げて、Hot Swap MOSFET をオンすることができます。出力短絡が持続する場合は、フォルト・タイマの期限が切れて $\overline{\text{FAULT}}$ ピンが再度“L”になるまで、電源は電流制限がアクティブな短絡状態で投入されます。新しい冷却サイクルが始まり、2 μ A の電流により FTMR の電圧は次第に低下します。出力短絡が解消するまで、このプロセス全体が繰り返されます。 t_{FT} と t_{COOL} は FTMR の容量 (C_{FT}) の関数なので、自動再試行サイクルは (C_{FT} に関係なく) 0.15% に等しくなります。

過電流フォルト後の自動再試行シーケンスを図 4 に示します。

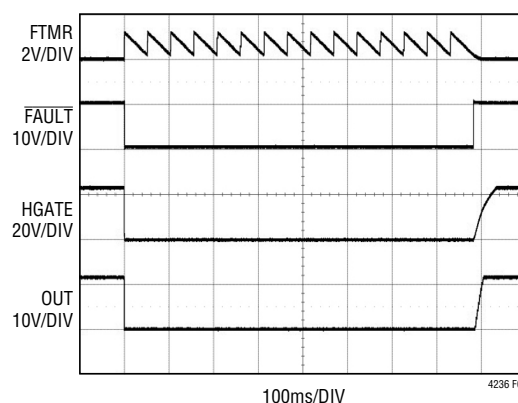


図 4. フォルト後の自動再試行シーケンス

低電圧フォルトのモニタ

ON ピンはターンオン制御および入力電源モニタとして機能します。電源のダイオード OR 出力 (SENSE^+) と GND の間に接続した抵抗分割器の分割点を ON ピンに接続することにより、電源電圧が低電圧状態かどうかをモニタします。低電圧しきい値は、ON の立ち上がりしきい値電圧 (1.235V) で抵抗を適切に選択することによって設定します。

図 1 では、 $R_1 = 2\text{k}$ 、 $R_2 = 13.7\text{k}$ の場合、入力電源の低電圧しきい値は 9.7V に設定されます。

アプリケーション情報

ダイオードORの出力電源電圧が低電圧しきい値より低くなると、低電圧フォルトが発生します。ONピンの電圧が1.155Vより低くなっても0.6Vより高い値を保っている場合、Hot Swap MOSFETはHGATEピンからグラウンドに流れる2mAのプルダウン電流によってオフになります。ダイオードORの出力電源電圧が低電圧しきい値より高くなると、Hot Swap MOSFETはデバウンス・サイクルなしで直ちにオン状態に戻ります。ただし、ONピンの電圧が0.6Vより低くなると、Hot Swap MOSFETはオフになり、フォルト・ラッチはクリアされます。ダイオードORの出力電源電圧が低電圧しきい値より高い値に回復した場合、Hot Swap MOSFETはデバウンス・サイクルが経過したときだけオン状態に戻ります。

低電圧フォルト状態のとき、 $\overline{\text{FAULT}}$ は“L”になりませんが、HGATEが“L”になるので $\overline{\text{PWRGD}}$ は“H”になります。理想ダイオードMOSFETによって制御される理想ダイオード機能は、低電圧(UV)フォルト状態には影響されません。

パワーグッド・モニタ

HGATEピンとOUTピンの間のMOSFETのゲートのオーバードライブは、内部回路によってモニタされます。また、抵抗分割器を介してOUTピンに接続するFBピンを使用してパワーグッド状態を調べます。パワーグッド・コンパレータは、FBピンの電圧が1.235Vより高くなると“H”になり、1.215Vより低くなると“L”になります。入力電源のパワーグッド状態は、オープンドレイン出力である $\overline{\text{PWRGD}}$ ピンを介して通知されます。このピンは通常、外付けプルアップ抵抗または10 μA の内部プルアップ電流によって“H”になります。

パワーグッド・コンパレータの入力であるFBピンが“H”になり、HGATEピンの駆動電圧が4.2Vを超えると、 $\overline{\text{PWRGD}}$ ピンは“L”になります。 $\overline{\text{PWRGD}}$ ピンが“H”になるのは、ONピンまたは $\overline{\text{EN}}$ ピンの電圧によってHGATEがオフになる場合、FBピンのパワーグッド・コンパレータが“L”になる場合、またはINTV_{CC}が低電圧ロックアウト状態になる場合です。

電流検出モニタ

外付けの検出抵抗を流れる電流は、CS⁺ピンとSENSE⁻ピンで、LTC4236の電流検出アンプによってモニタされます(図5参照)。このアンプは自動ゼロ調整回路を使用して、全ての温度、検出電圧、および入力電源電圧範囲で150 μV より小さいオフセットを実現します。自動ゼロ調整クロックの周波数は10kHzです。アンプの反転入力端子とCS⁺ピンの間に内部抵抗R_{IN}が接続されています。検出アンプのループにより、反転入力端子はSENSE⁻と同じ電位になるので、R_{IN}の両端に検出電圧V_{SENSE}と同じ電位が発生します。これに対応する電流(V_{SENSE}/R_{IN})がR_{IN}を流れます。検出アンプの入力は高インピーダンスなので、この電流はアンプの入力には流れず、したがって内部MOSFETを介して、IMONピンとGNDピンの間に接続されている抵抗R_{OUT}に流れます。IMONの出力電圧は(R_{OUT}/R_{IN})・V_{SENSE}に等しくなります。抵抗比R_{OUT}/R_{IN}によって検出アンプの電圧利得が設定されるので、R_{IN} = 200 Ω およびR_{OUT} = 20kの場合、利得は100に設定されます。検出アンプに対するフルスケールの入力検出電圧は25mVで、これは2.5Vの出力に対応します。入力電源電圧が5Vより高い場合、許容入力検出電圧範囲を超えると、出力は3.5Vにクランプされます。

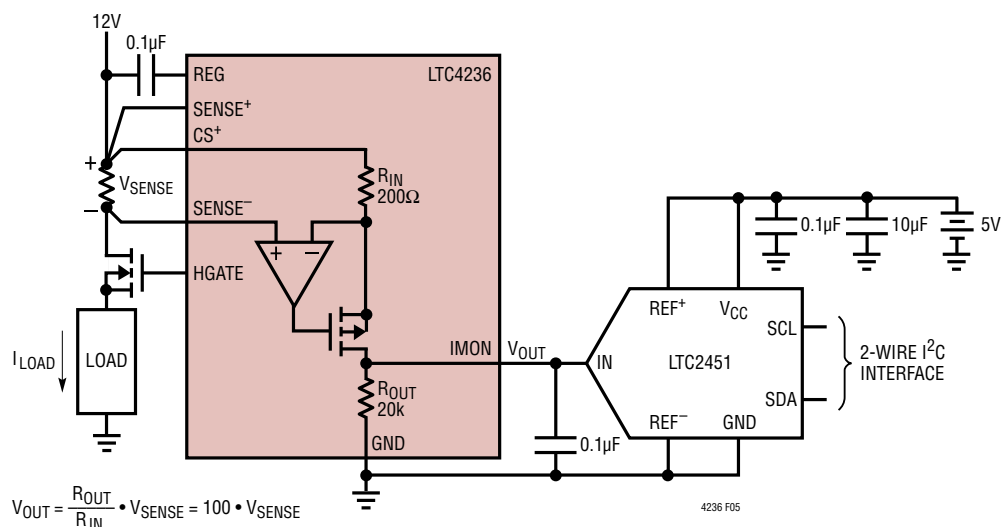


図5. A/DコンバータLTC2451を接続したハイサイド電流検出モニタ

アプリケーション情報

IMON 出力のフィルタリング

R_{OUT} と並列に接続されているコンデンサにより、低域通過応答が得られます。こうすると、出力のノイズを減少させることができます。また、A/Dコンバータなどのスイッチング回路を駆動しているときに出力を安定状態に維持するための蓄電コンデンサとして役立つ場合もあります(図5参照)。この出力コンデンサ C_{OUT} と R_{OUT} の並列接続により、次の周波数で出力応答にポールが形成されます。

$$f_c = \frac{1}{2 \cdot \pi \cdot R_{OUT} \cdot C_{OUT}}$$

REG ピンのバイパス処理

LTC4236は、電流検出アンプの内部バイアスのため、 $SENSE^+$ の近くに安定化電源を内蔵しています。これを外部回路の電源ピンまたはバイアス・ピンとして使用することは想定していません。0.1 μ FのコンデンサをREGピンと $SENSE^+$ ピンの間に接続することが必要です。最高の性能を発揮するため、このコンデンサはデバイスのすぐ近くでREGピンに近づけて配置してください。

REG および IMON の起動

LTC4236に電源を投入したときの電流検出アンプの起動電流は、2つの部分で構成されます。第1の電流源は、REGのバイパス・コンデンサ(公称では0.1 μ F)を充電するのに必要な電流です。REGの電圧は $SENSE^+$ の電圧より約4.1V低い電圧まで充電されるので、このためには非常に大量の起動電流が必要になる可能性があります。第2の電流源は R_{OUT} に流れ込む出力電流で、起動時にはIMON出力を2msより短い時間、一時的に“H”にすることができます。これは一時的な状態であり、検出アンプが通常の閉ループ動作に落ち着くと終了します。

CPO と DGATE の起動

CPOピンの電圧は、最初の電源投入時に、IN1ピンまたはD2SRCピンの電圧よりダイオード1個分低い電圧までプルアップされます(図1参照)。ただし、IN2の電力経路にバック・トゥ・バックMOSFETがあるアプリケーションでは、D2SRCの電圧がグラウンドに近いので、CPO2の初期電圧は0Vになります(図8参照)。CPOピンの電圧が上昇し始めるのは、 $INTV_{CC}$ が低電圧ロックアウト・レベルをクリアしてから7 μ s後

です。さらに40 μ s後、DGATEピンの電圧もCPOピンとともに上昇し始めます。CPOピン電圧のランプレートは、CPOピンとDGATEピンの総容量に流れ込むCPOピンのプルアップ電流によって決まります。CPOピンの電圧は内部クランプによってIN1ピンまたはD2SRCピンの電圧より12V高い値に制限されますが、DGATEピンの最終電圧はゲート駆動アンプによって決まります。DGATE1ピンおよびDGATE2ピンの電圧は、12Vの内部クランプによって、それぞれIN1ピンおよびD2SRCピンの電圧より高い値に制限されます。

CPO コンデンサの選択

CPO1ピンとIN1ピンの間、およびCPO2ピンとD2SRCピンの間のコンデンサの推奨値は、理想ダイオードMOSFETの入力容量 C_{ISS} の約10倍です。コンデンサの容量が大きいほど、内部チャージポンプによる充電時間は長くなります。このコンデンサは、MOSFETのゲート容量と電荷を共有するため、容量が小さいとゲートの高速ターンオン時に電圧降下が大きくなります。

MOSFET の選択

LTC4236はNチャネルMOSFETを駆動して負荷電流を流します。MOSFETの重要な特性は、オン抵抗 $R_{DS(ON)}$ 、ドレイン-ソース間最大電圧 BV_{DSS} 、およびしきい値電圧です。

理想ダイオードMOSFETとHot Swap MOSFETのゲート駆動電圧は、IN1とIN2の電源電圧が2.9V~7Vの場合、5Vより高いことが保証されます。IN1とIN2の電源電圧が7Vより高い場合、ゲート駆動電圧は10Vより高いことが保証されます。ゲート駆動電圧は14Vに制限されます。定格ブレークダウン電圧が14V未満のとき、外付けツェナー・ダイオードを使って、MOSFETのゲート-ソース間の電位をクランプすることができます。

全電源電圧がMOSFETの両端に生じることがあるので、電源トランジエントを含むドレイン-ソース間の最大許容電圧 BV_{DSS} は電源電圧より高くなければなりません。入力または出力がグラウンドに接続されると、全電源電圧がMOSFETの両端に生じます。 $R_{DS(ON)}$ は、最大負荷電流を流せるように十分小さくすると同時に、MOSFETの電力定格を超えないよう注意してください。

アプリケーション情報

電源トランジェント保護

入力と出力の容量が非常に小さい場合、入力または出力の短絡発生時の急激な電流変化により、INピンとOUTピンの24Vの絶対最大定格を超えるトランジェントが生じる可能性があります。このようなスパイクを最小限に抑えるには、幅の広いトレースやメッキの厚いトレースを使って電力トレースのインダクタンスを減らします。また、10 μ Fの電解コンデンサと0.1 μ Fのセラミック・コンデンサでローカルにバイパスするか、あるいはトランジェント電圧サプレッサ(Z1、Z2)を使って入力をクランプします。100 Ω と0.1 μ Fのスナバ回路によって応答が減衰し、リングングが除去されます(図9参照)。

設計例

部品選択の設計例として、2つの電源の最大負荷電流が7Aの12Vシステムを検討します(図1参照)。

まず、12V電源の電流検出抵抗 R_S の適切な値を選択します。最大負荷電流 $I_{LOAD(MAX)}$ と電流制限電圧しきい値の下限 $\Delta V_{SENSE(TH)(MIN)}$ に基づいて、検出抵抗の値を計算します。

$$R_S = \frac{\Delta V_{SENSE(TH)(MIN)}}{I_{LOAD(MAX)}} = \frac{22.5mV}{7A} = 3.2m\Omega$$

許容誤差1%の3m Ω の検出抵抗を選択します。

次に、順方向電圧降下が最大負荷時に所望の値になるように理想ダイオードMOSFETの $R_{DS(ON)}$ を計算します。MOSFET両端の順方向電圧降下 ΔV_{FWD} を30mVとすると、次のようになります。

$$R_{DS(ON)} \leq \frac{\Delta V_{FWD}}{I_{LOAD(MAX)}} = \frac{30mV}{7A} = 4.2m\Omega$$

SiR158DPは、 $V_{GS} = 10V$ での $R_{DS(ON)}$ の最大値が1.8m Ω なので、選択肢として優れています。SiR158DPの入力容量 C_{ISS} は約4980pFです。推奨値である10倍をわずかに超えますが、CPOピンのC2およびC3として0.1 μ Fのコンデンサを選択します。

次に、電源投入時または過電流フォルト時に、選択したHot Swap MOSFETの熱定格を超えないことを検証します。

電源投入時に負荷コンデンサ C_L を充電する突入電流によってMOSFETが電力を消費すると仮定すると、MOSFET内部で消費されるエネルギーは負荷コンデンサに蓄えられるエネルギーと等しくなり、次式で与えられます。

$$E_{CL} = \frac{1}{2} \cdot C_L \cdot V_{IN}^2$$

$C_L = 680\mu F$ では、 C_L を充電するのに要する時間は次のように計算されます。

$$t_{CHARGE} = \frac{C_L \cdot V_{IN}}{I_{INRUSH}} = \frac{680\mu F \cdot 12V}{1A} = 8ms$$

突入電流はHot Swap MOSFETのゲートに容量 C_{HG} を追加することにより、1Aに設定されます。

$$C_{HG} = \frac{C_L \cdot I_{HGATE(UP)}}{I_{INRUSH}} = \frac{680\mu F \cdot 10\mu A}{1A} = 6.8nF$$

C_{HG} には実用的な値として10nFを選択します。

MOSFETの平均電力損失は次のように計算します。

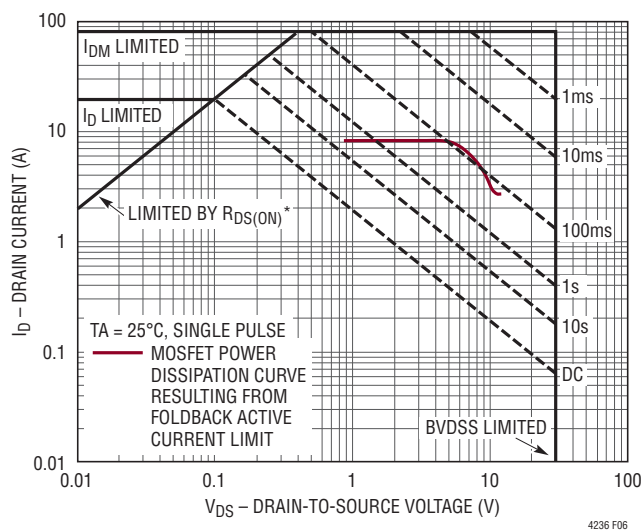
$$P_{AVG} = \frac{E_{CL}}{t_{CHARGE}} = \frac{1}{2} \cdot \frac{680\mu F \cdot (12V)^2}{8ms} = 6W$$

選択されたMOSFETは、電源投入時の8msの間6Wに耐えられなければなりません。SiR158DPのSOA曲線は、100msの間45W(30Vで1.5A)を示しています。これは要件を満たすのに十分です。MOSFET内部の電力損失による接合部温度の上昇分は $\Delta T = P_{AVG} \cdot Z_{thJC}$ です。ここで、 Z_{thJC} は接合部-ケース間の熱インピーダンスです。この条件では、SiR158DPのデータシートは、 $Z_{thJC} = 0.5^\circ C/W$ を使って接合部温度が $3^\circ C$ 上昇することを示しています(単一パルス)。

次に、過電流フォルト時にMOSFET内部で損失する電力を安全に制限する必要があります。フォルト・タイム・コンデンサ(C_{FT})を使用するのは、電流制限がアクティブなときにMOSFET内部での電力損失がSOA定格を超えないようにするためです。 C_{FT} に適した値を求めるには、「標準的性能特性」に示すフォールドバック電流制限のプロファイルをMOSFETのデータシートのSOA曲線に重ね合わせる方法が優れています。

SiR158DP MOSFETの場合、この操作によって図6のグラフが得られます。

アプリケーション情報



* $V_{GS} >$ MINIMUM V_{GS} AT WHICH $R_{DS(ON)}$ IS SPECIFIED

図6. SiR158DPのSOAと設計例のMOSFETの電力損失の重ね合わせ

LTC4236のフォールドバック電流制限プロファイルは、図に示すように100msのSOA曲線とだいたい一致しています。このSOA曲線は周囲温度が25°Cの場合に限られるので、フォルト・タイムの最大時間が100msより大幅に短い(10ms以下など)ことも検討する必要があります。C_{FT}の値として0.1μF±10%を選択すると、フォルト・タイムの最大時間として1.75msが得られます。この値はどのような過電流フォルト・シナリオの間もMOSFETを保護するのに十分小さい値である必要があります。

次に、SENSE⁺での低電圧しきい値9.7V(12V電源の場合)を決定するONピンの抵抗分割器の値を選択します。ONピンの漏れ電流は±1μA程度の大きさになる可能性があるので、抵抗分割器の全抵抗を十分小さい値にして、発生するオフセット誤差を最小限に抑えます。次の式に基づいて下側の抵抗R1を計算し、漏れ電流による誤差が±0.2%未満という結果を得ます。

$$R1 = \left(\frac{V_{ON(TH)}}{I_{IN(LEAK)}} \right) \cdot 0.2\% = \left(\frac{1.235V}{1\mu A} \right) \cdot 0.2\% = 2.4k$$

R1として2kを選択して±0.2%未満の誤差を達成し、R2を計算すると、次のようになります。

$$R2 = \left(\frac{V_{IN(UV)}}{V_{ON(TH)}} - 1 \right) \cdot R1$$

$$R2 = \left(\frac{9.7V}{1.235V} - 1 \right) \cdot 2k = 13.7k$$

パワーグッドしきい値を10.5Vに設定するために、FBピンの抵抗分割器の値を選択する作業が残っています。FBピンには±1μAの漏れ電流があることを念頭に置いて、下側抵抗R3の値として2kを選択します。上側の抵抗R4を計算すると、次の結果が得られます。

$$R4 = \left(\frac{V_{OUT(PG)}}{V_{FB(TH)}} - 1 \right) \cdot R3$$

$$R4 = \left(\frac{10.5V}{1.235V} - 1 \right) \cdot 2k = 15k$$

FBピンの漏れ電流によって生じるオフセット誤差は±0.2%未満になります。

検討する最後の部品は、INTV_{CC}ピンに取り付ける0.1μFのバイパス・コンデンサ(C1)と、REGピンとSENSE⁺ピンの間に接続する0.1μFのコンデンサ(C4)です。

PCBレイアウトに関する検討事項

正確な電流検出を達成するため、検出抵抗に対してはケルビン接続を推奨します。配線による誤差を最小限に抑えるため、PCBレイアウトはバランスのとれた対称形にします。さらに、検出抵抗とパワーMOSFETのPCBレイアウトには、デバイスの電力損失を最適化するのに適した熱管理手法を使用します。PCBの推奨レイアウトを図7に示します。

INピンとOUTピンのトレースはMOSFETの端子にできるだけ近づけて接続します。MOSFETへのトレースは幅を広く、長さを短くして抵抗性の損失を最小限に抑えます。MOSFETを通る電力経路に関連するPCBトレースは抵抗を小さくします。PCBトレースの抵抗、電圧降下、温度上昇を最小限に維持するために推奨する1オンスの銅箔のトレース幅は、1AのDC電流あたり0.03インチです。1オンスの銅箔のシート抵抗は約0.5mΩ/□であり、大電流アプリケーションではトレース抵抗による電圧降下が急激に増大することに注意してください。

INTV_{CC}ピンのバイパス・コンデンサC1をINTV_{CC}とGNDの間にできるだけ近づけて配置することも重要です。また、C2はCPO1ピンとIN1ピンの近くに、C3はCPO2ピンとD2SRCピンの近くに、C4ピンはREGピンとSENSE⁺ピンの近くに配置

アプリケーション情報

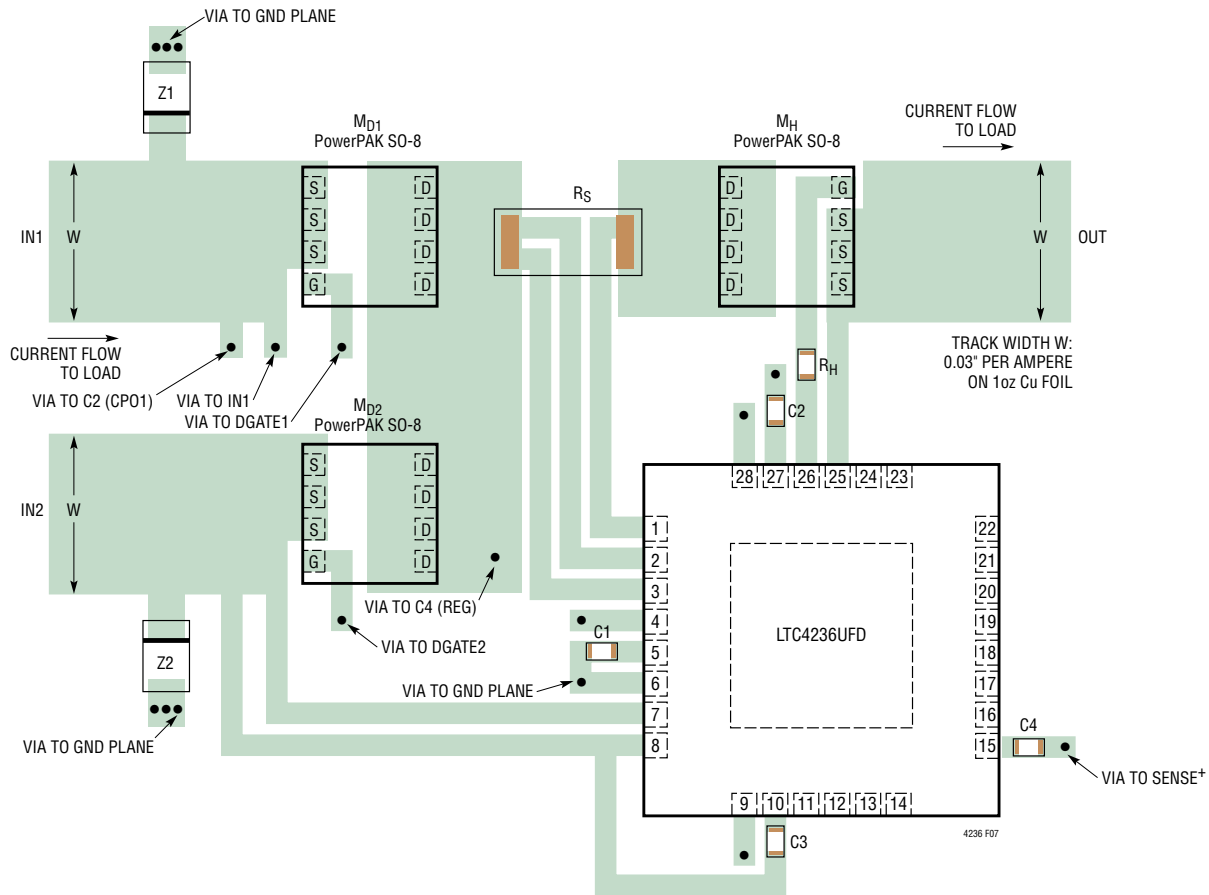


図7. パワー MOSFETと検出抵抗の推奨 PCB レイアウト

します。トランジェント電圧サプレッサ Z1 および Z2 を使用する場合は、リード長を短くして LTC4236 の近くに実装します。

電源プライオリタイザ

単純に最も電圧の高い電源を接続するのではなく、優先順位に基づいて IN1 電源を出力に接続するアプリケーションを図8に示します。これを実現するには、IN1 ピンからの抵抗分割器を D2OFF ピンに接続して、IN2 の電源経路で理想ダイオード MOSFET (MD2 および MD3) が導通しないようにします。このアプリケーションでは、5V の主電源 (V_{IN1}) が供給可能なときは、必ず主電源が出力に供給されます。12V のバックアップ電源 (V_{IN2}) から電力が供給されるのは、主電源を供給できない場合だけです。D2OFF ピンに接続した R6-R7 の抵抗分割器によって設定される 4.7V のしきい値より V_{IN1} が高く

なると、MD2 と MD3 は直ちにオフするので、 V_{IN1} は MD1 を介して出力に接続できます。MD2 と MD3 の共通のソース端子は D2SRC ピンに接続されているので、MD2 のボディ・ダイオードは、電圧の高いバックアップ電源 (V_{IN2}) から出力へ電流が逆流しないよう遮断することができます。主電源に障害が発生して V_{IN1} が 4.3V より低くなると、D2OFF の電圧によって MD2 と MD3 がオンになり、 V_{IN2} を出力に接続することができます。 V_{IN1} が持続動作可能な電圧に戻ると、MD2 と MD3 はオフになり、出力は V_{IN1} に接続されます。R6-R7 の抵抗分割器に R5 を追加し、DSTAT2 ピンの制御によって R5 をバイパスすると、D2OFF ピンのヒステリシスを 20mV から 100mV に増やすことができます。ON ピンの抵抗分割器は、SENSE+ ピンの低電圧しきい値を 4.1V に設定します。

アプリケーション情報

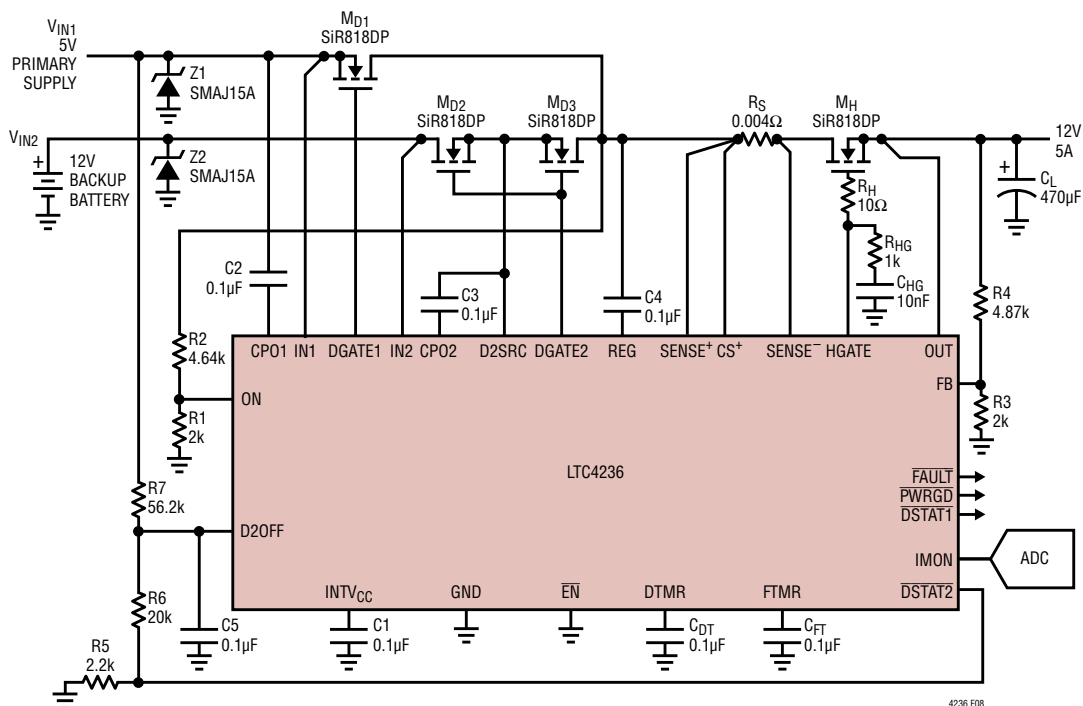


図 8.2 チャンネル電源プライオリタイザ

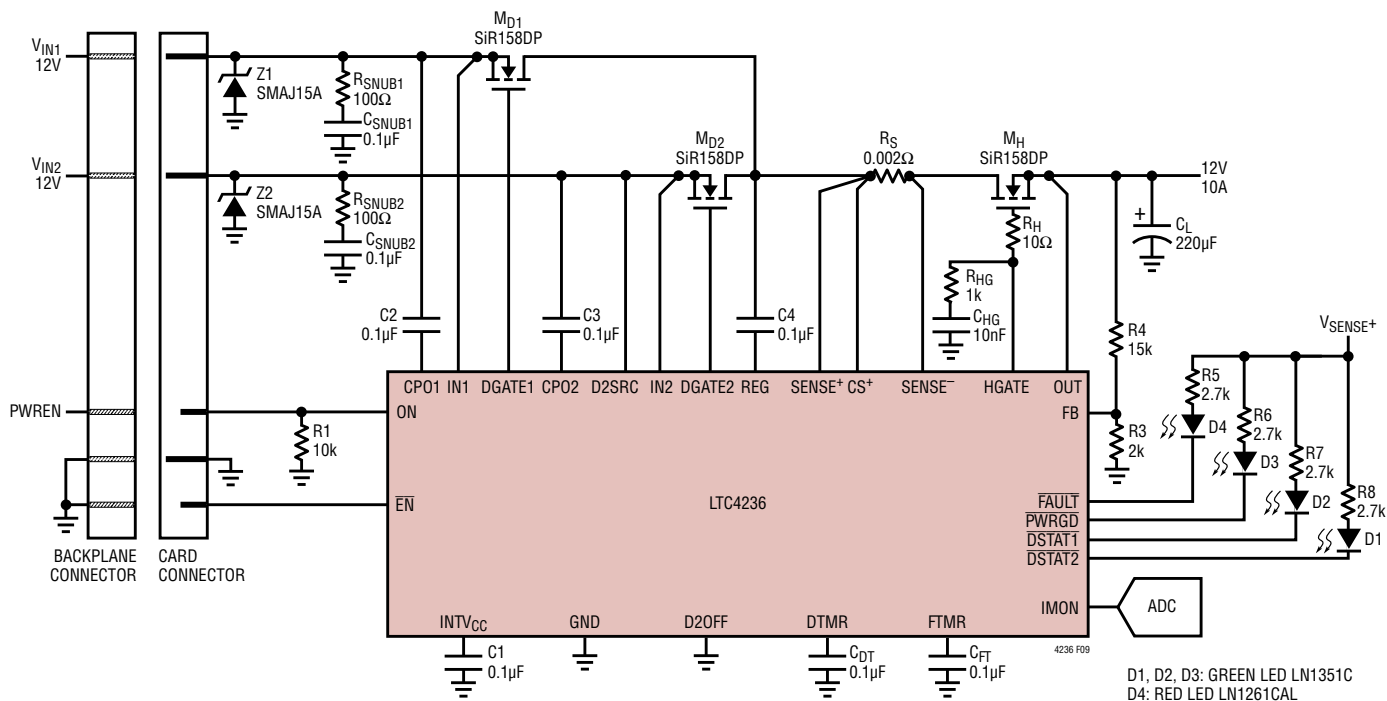
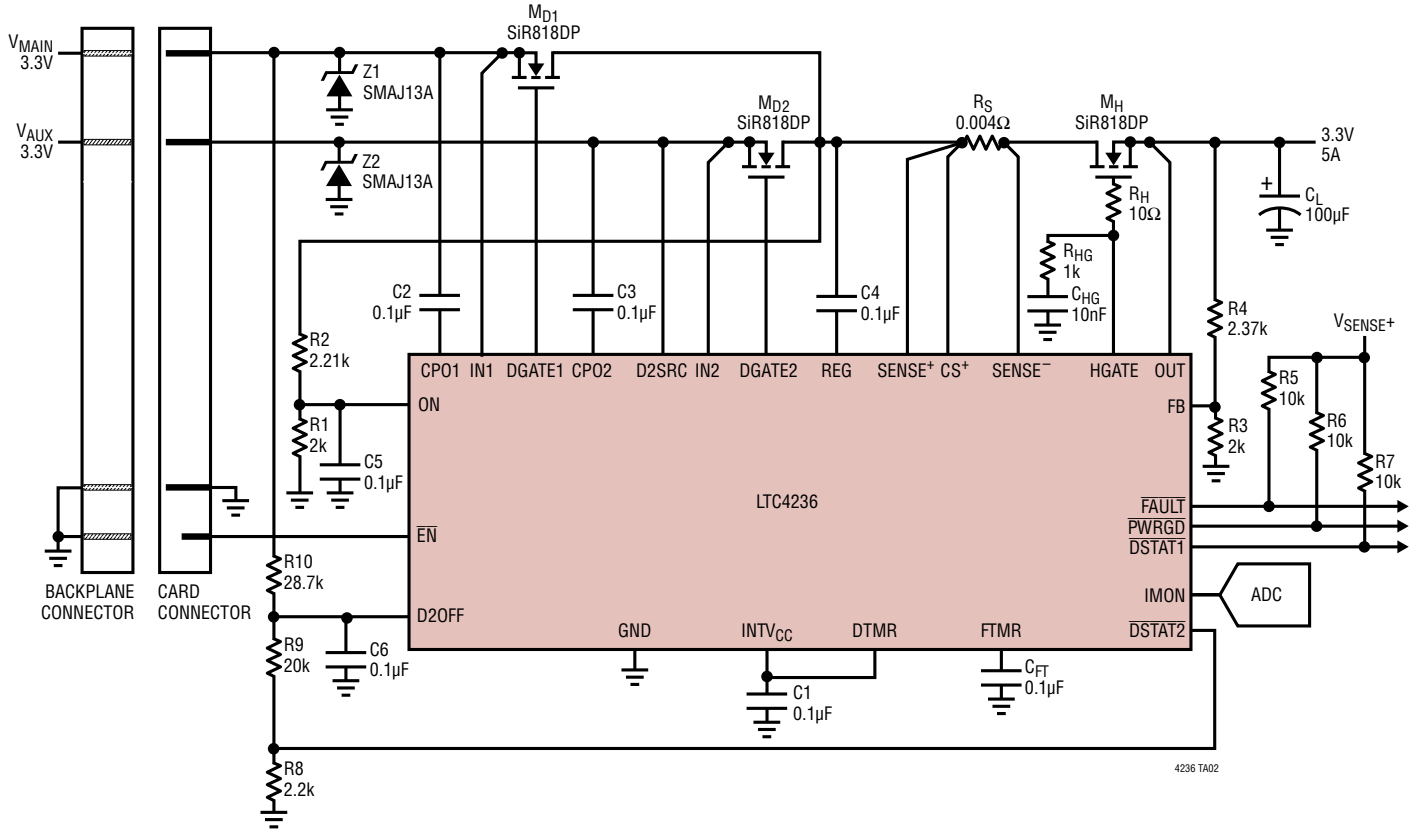


図 9. 12V/10A のカード搭載型アプリケーション

標準的応用例

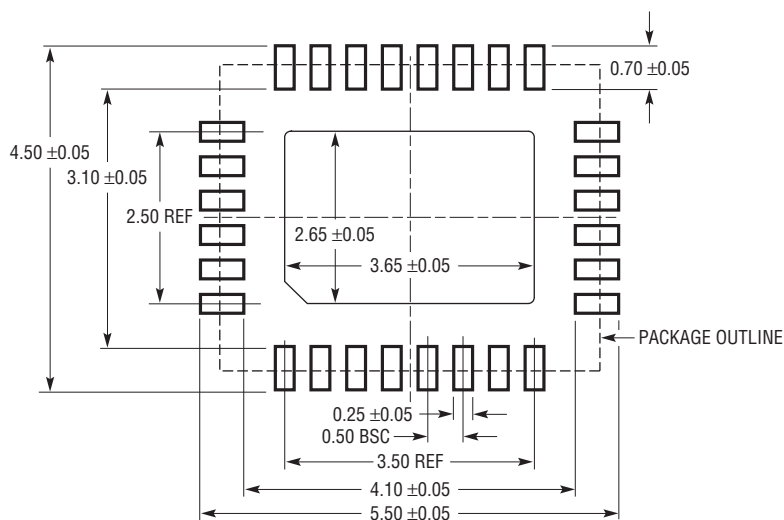
IN1でのプラグイン・カード3.3V優先電源



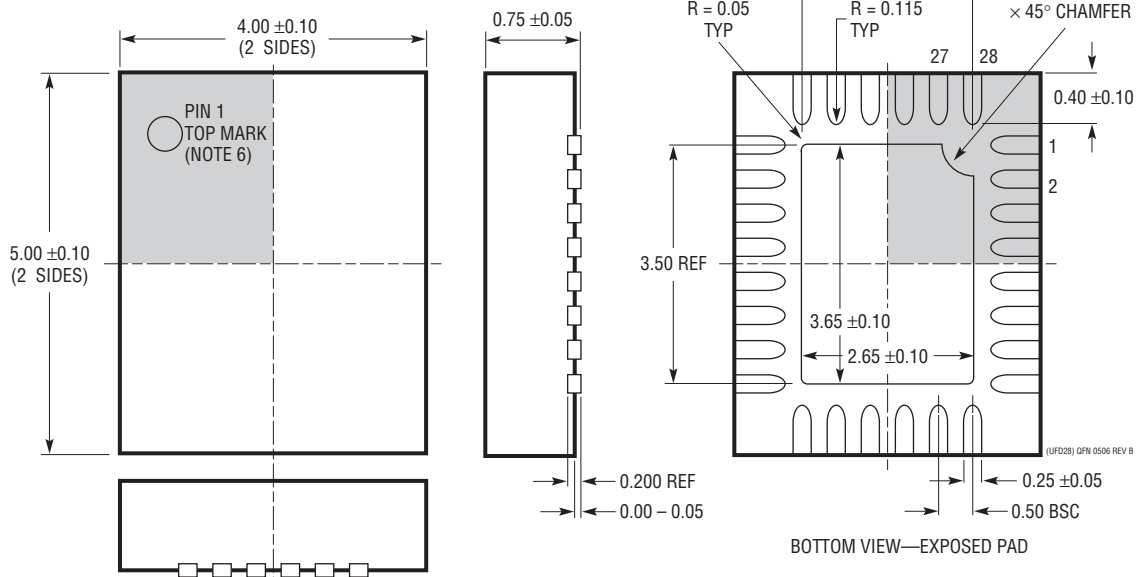
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC4236#packaging> を参照してください。

UFD Package 28-Lead Plastic QFN (4mm × 5mm) (Reference LTC DWG # 05-08-1712 Rev B)



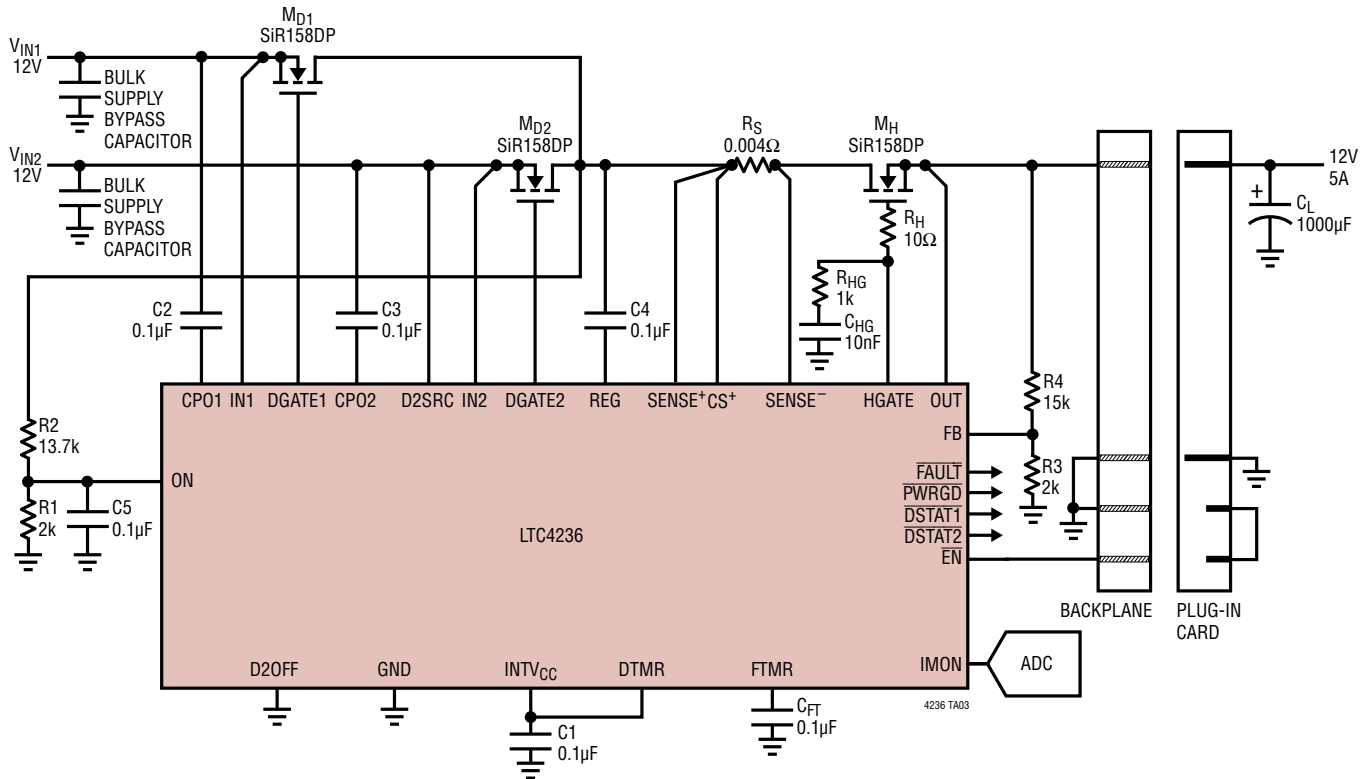
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
1. 図はJEDECパッケージ外形MO-220のバリエーション(WXXX-X)にするよう提案されている
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まないモールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

標準的応用例

突入電流制限回路付きの12V、5Aバックプレーン搭載型理想ダイオードORアプリケーション



関連製品

| 製品番号 | 説明 | 注釈 |
|---------|--|--|
| LTC4210 | シングル・チャンネル Hot Swap コントローラ | 2.7V ~ 16.5V で動作、アクティブ電流制限、TSOT23-6 |
| LTC4211 | シングル・チャンネル Hot Swap コントローラ | 2.5V ~ 16.5V で動作、多機能電流制御、MSOP-8、SO-8 または MSOP-10 |
| LTC4215 | シングル・チャンネル Hot Swap コントローラ | 2.9V ~ 15V で動作、I ² C 互換モニタ、SSOP-16 または QFN-24 |
| LTC4216 | シングル・チャンネル Hot Swap コントローラ | 0V ~ 6V で動作、アクティブ電流制限、MSOP-10 または DFN-12 |
| LTC4218 | シングル・チャンネル Hot Swap コントローラ | 2.9V ~ 26.5V で動作、アクティブ電流制限、SSOP-16 または DFN-16 |
| LTC4221 | デュアル・チャンネル Hot Swap コントローラ | 1V ~ 13.5V で動作、多機能電流制御、SSOP-16 |
| LTC4222 | デュアル・チャンネル Hot Swap コントローラ | 2.9V ~ 29V で動作、I ² C 互換モニタ、SSOP-36 または QFN-32 |
| LTC4223 | 両電源 Hot Swap コントローラ | 12V と 3.3V を制御、アクティブ電流制限、SSOP-16 または DFN-16 |
| LTC4224 | デュアル・チャンネル Hot Swap コントローラ | 1V ~ 6V で動作、アクティブ電流制限、MSOP-10 または DFN-10 |
| LTC4227 | デュアル理想ダイオードおよびシングル Hot Swap コントローラ | 2.9V ~ 18V で動作、3つのNチャンネルを制御、SSOP-16 または QFN-20 |
| LTC4228 | デュアル理想ダイオードおよび Hot Swap コントローラ | 2.9V ~ 18V で動作、4つのNチャンネルを制御、SSOP-28 または QFN-28 |
| LTC4229 | 理想ダイオードおよび Hot Swap コントローラ | 2.9V ~ 18V で動作、2つのNチャンネルを制御、SSOP-24 または QFN-24 |
| LTC4235 | 電流モニタ機能を備えたデュアル12V理想ダイオードOR回路およびシングル Hot Swap コントローラ | 9V ~ 14V で動作、3つのNチャンネルを制御、QFN-20 |
| LTC4352 | 低電圧理想ダイオード・コントローラ | 0V ~ 18V で動作、Nチャンネルを制御、MSOP-12 または DFN-12 |
| LTC4353 | デュアル低電圧理想ダイオード・コントローラ | 0V ~ 18V で動作、2つのNチャンネルを制御、MSOP-16 または DFN-16 |
| LTC4355 | 正の高電圧理想ダイオードORおよびモニタ | 9V ~ 80V で動作、2つのNチャンネルを制御、SO-16、DFN-14 または MSOP-16 |
| LTC4357 | 正の高電圧理想ダイオード・コントローラ | 9V ~ 80V で動作、Nチャンネルを制御、MSOP-8 または DFN-6 |