

多機能電流制御付きトリプル・ホットスワップ・コントローラ

2001年7月

特長

- 電源の入ったバックプレーンに対する安全なボード挿抜が可能
- $V_{CC1} \geq V_{CC2} \geq V_{CC3}$ で1.7V ~ 16.5Vの3つの電源電圧制御
- 突入電流制限付きプログラマブル・ソフト・スタート、外部ゲート・コンデンサ不要
- 外部ゲート・コンデンサ無しで高速ターンオフ
- デュアル・レベル過電流フォルト保護
- プログラム可能な過電流応答時間
- プログラム可能な過電圧保護
- 自動再トライまたはラッチ・モード動作
- 複数の独立したNチャンネルFETハイサイド・ドライバ
- ユーザーがプログラム可能な電源電圧上昇速度
- FBn ピンによる V_{OUTn} の監視と \overline{RESETn} の制御
- グリッチ・フィルタによるスプリアス \overline{RESETn} 信号の除去

アプリケーション

- 電子回路ブレーカ
- ボードの活線挿抜(バックプレーン側またはボード側のどちらか)
- 産業用ハイサイド・スイッチ/回路ブレーカ

概要

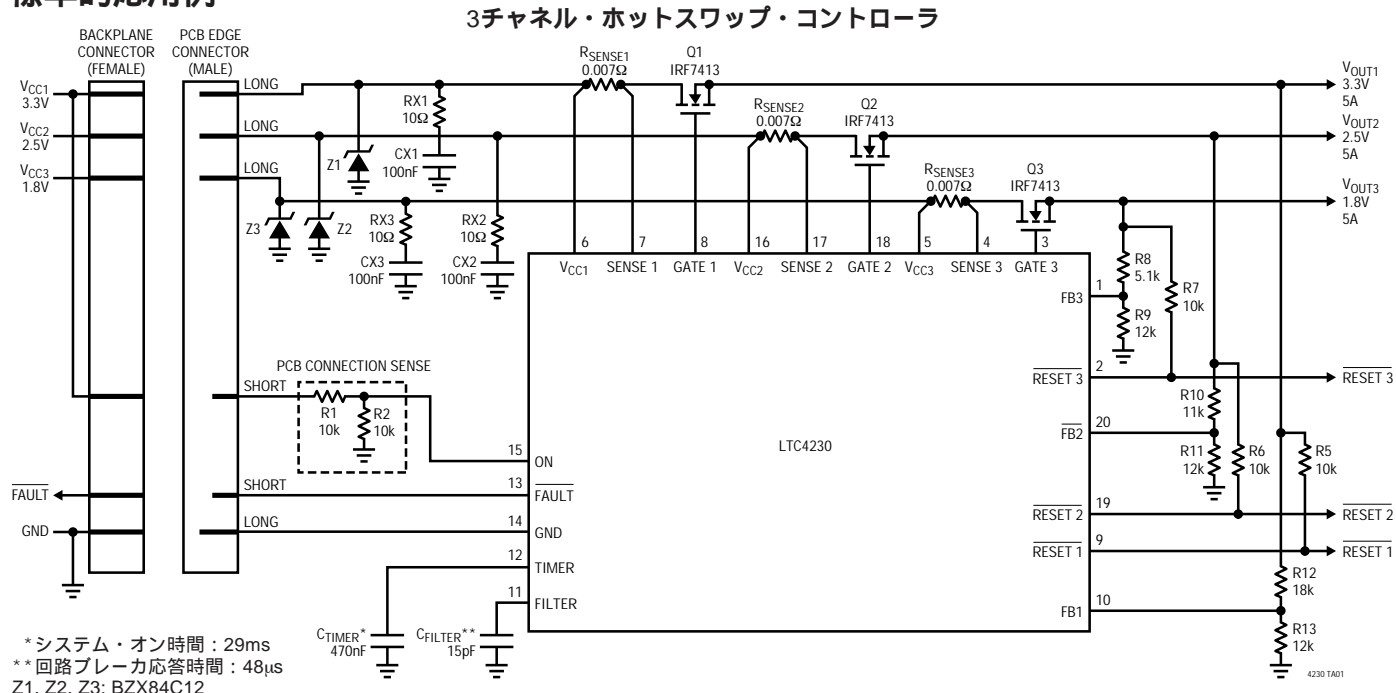
LTC[®]4230は、電源の入ったバックプレーンに対するボードの安全な挿抜を可能にする3チャンネル・ホットスワップ[™]・コントローラです。内蔵ハイサイド・スイッチ・ドライバにより、1.7V ~ 16.5Vの電源電圧で、外部NチャンネルMOSFETのゲートを制御します。LTC4230は起動時のプログラム可能なソフトスタートおよび電流制限機能を備えています。

内蔵電流制限コンパレータにより、デュアル・レベルの回路ブレーカによる保護機能が実現されています。低速コンパレータは $V_{CCn} - 50mV$ でトリップし、10 μs で回路ブレーカを起動しますが、外部フィルタ・コンデンサを使って遅延時間を設定することもできます。高速コンパレータは $V_{CCn} - 150mV$ でトリップし、標準500nsで応答します。

各 FBn ピンは対応する出力電源電圧を監視し、対応する \overline{RESET} ピンに信号を送ります。ONピンはチップをオン/オフし、リセット機能にも使えます。LTC4230にはFAULTピンとFILTERピンがあり、フォルト表示、自動再トライ・モードまたはラッチオフ・モード、プログラマブル電流制限応答時間、(外部ツェナー・ダイオード・クランプを使った)過電圧保護などの追加機能を備えています。

LT、LTC、LTはリニアテクノロジー社の登録商標です。
Hot Swapはリニアテクノロジー社の商標です。

標準的応用例

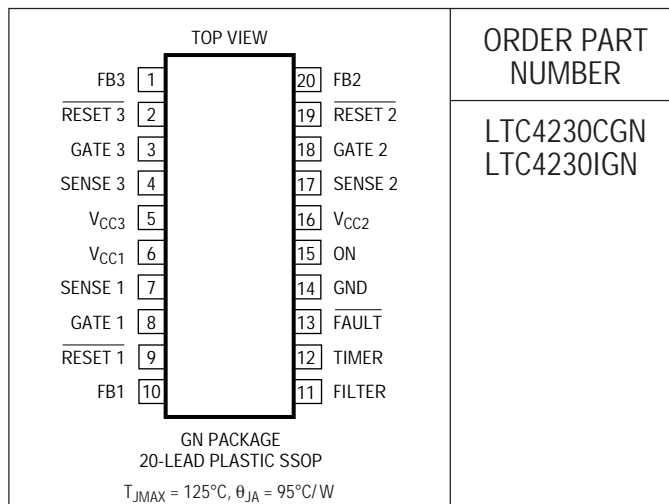


LTC4230

絶対最大定格 (Note1)

電源電圧 (V_{CCn}).....	17V
SENSE n ピン.....	- 0.3V ~ ($V_{CC} + 0.3V$)
FB n ピン、ONピン.....	- 0.3V ~ ($V_{CC} + 0.3V$)
TIMERピン、FILTERピン.....	- 0.3V ~ 2V
GATE n ピン.....	内部で制限されている (Note 3)
RESET n 、FAULTピン.....	- 0.3V ~ 17V
動作温度範囲	
LTC4230C.....	0 ~ 70
LTC4230I.....	- 40 ~ 85
保存温度範囲.....	- 65 ~ 150
リード温度 (半田付け、10秒).....	300

パッケージ/発注情報



ORDER PART NUMBER

LTC4230CGN
LTC4230IGN

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。注記がない限り、 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 2.5V$ 、 $V_{CC3} = 1.8V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage (V_{CC1})		● 2.700		16.5	V
	Supply Voltage (V_{CC2})	$V_{CC2} \leq V_{CC1}$	● 2.375		16.5	V
	Supply Voltage (V_{CC3})	$V_{CC3} \leq (V_{CC1} - 1V)$	● 1.700		15.5	V
I_{CC}	Supply Current (I_{CC1})	ON = V_{CC1} , FB1 = High	●	1.8	3	mA
	Supply Current (I_{CC2})	ON = V_{CC1} , FB2 = High	●	75	150	μA
	Supply Current (I_{CC3})	ON = V_{CC1} , FB3 = High	●	65	150	μA
V_{LKO1}	Undervoltage Lockout, Channel 1	V_{CC1} Low to High Transition	● 2.15	2.35	2.52	V
V_{LKO2}	Undervoltage Lockout, Channel 2	V_{CC2} Low to High Transition	● 1.98	2.15	2.32	V
V_{LKO3}	Undervoltage Lockout, Channel 3	V_{CC3} Low to High Transition	● 1.09	1.19	1.29	V
$V_{LKOHST1}$	Undervoltage Lockout Hysteresis, Channel 1			100		mV
$V_{LKOHST2}$	Undervoltage Lockout Hysteresis, Channel 2			45		mV
$V_{LKOHST3}$	Undervoltage Lockout Hysteresis, Channel 3			35		mV
$I_{IN, FBn}$	FB n Pin Input Current	$0V \leq V_{FBn} \leq V_{CCn}$	●	± 0.01	± 10	μA
$I_{IN, ON}$	ON Pin Input Current	$0V \leq V_{ON} \leq V_{CCn}$	●	± 0.01	± 10	μA
$I_{IN, SENSEn}$	Input Current for SENSE n	$0V \leq V_{SENSEn} \leq V_{CCn}$	●	± 0.03	± 15	μA
$V_{CB(FAST)}$, $V_{CB(SLOW)}$,	Circuit Breaker n Trip Voltage	Fast Comparator	● 135	150	165	mV
		Slow Comparator	● 40	50	60	mV
$I_{GATEn, UP}$	GATE n Pull-Up Current	Charge Pump On, $0 \leq V_{GATEn} < 0.2V$	● -12.5	-10	-6.5	μA
$I_{GATEn, DN}$	Normal GATE n Pull-Down Current Fast GATE n Pull-Down Current	ON Low, $V_{GATEn} = 5V$		200		μA
		FAULT Latched and Circuit Breaker Tripped or in UVLO, $V_{GATEn} = 5V$		16		mA

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25$ での値。注記がない限り、 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 2.5V$ 、 $V_{CC3} = 1.8V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ΔV_{GATEn}	External N-Channel Gate Drive	$V_{GATE1,2} - V_{CC1,2}$ (for $V_{CC1,2} = 2.7V$, $V_{CC3} = V_{CC1} - 1V$) ● $V_{GATE3} - V_{CC3}$ (for $V_{CC1,2} = 2.7V$, $V_{CC3} = V_{CC1} - 1V$) ● $V_{GATE1,2} - V_{CC1,2}$ (for $V_{CC1,2} = 3.3V$, $V_{CC3} = V_{CC1} - 1V$) ● $V_{GATE3} - V_{CC3}$ (for $V_{CC1,2} = 3.3V$, $V_{CC3} = V_{CC1} - 1V$) ● $V_{GATEn} - V_{CCn}$ (for $V_{CC1,2} = 5V$, $V_{CC3} = V_{CC1} - 1V$) ● $V_{GATEn} - V_{CCn}$ (for $V_{CC1,2} = 12V$ or $15V$, $V_{CC3} = V_{CC1} - 1V$) ●	4.5		8	V
			5.5		9	V
			5		10	V
			6		11	V
			9		16	V
			7		18	V
$V_{GATEn,OV}$	GATE n Overvoltage Lockout Threshold			0.25		V
V_{FBn}	FB n Low Threshold Voltage	FB n High to Low Transition	● 1.209	1.234	1.259	V
ΔV_{FBn}	FB n Line Regulation	$2.7V \leq V_{CC1} \leq 16.5V$		0.5		mV
$V_{FBn,HST}$	FB n Hysteresis			3		mV
V_{ONHI}	ON High Threshold Voltage	ON Low to High Transition	● 1.250	1.314	1.380	V
V_{ONLO}	ON Low Threshold Voltage	ON High to Low Transition	● 1.172	1.234	1.270	V
V_{ONHST}	ON Hysteresis			80		mV
I_{FILTER}	FILTER Pull-Up Current FILTER Pull-Down Current	During Slow Fault Condition During Normal and Reset Conditions	● -2.5 ● 7	-2 10	-1.3 13	μA μA
V_{FILTER}	FILTER Threshold	Latched Off Threshold, FILTER Low to High	● 1.10	1.26	1.42	V
$V_{FILTERHST}$	FILTER Threshold Hysteresis			-70		mV
I_{TMR}	TIMER Pull-Up Current TIMER Pull-Down Current	TIMER On TIMER Off, $V_{FAULT} = Low$ $V_{TMR} = 1.5V$	● -23 ● 0.9	-20 1.6 2.5	-17 2.3	μA μA mA
V_{TMR}	TIMER Threshold	TIMER Low to High TIMER High to Low	● 1.172 ●	1.234 0.3	1.27 0.5	V V
V_{FAULT}	\overline{FAULT} Low Threshold Voltage	\overline{FAULT} High to Low	● 1.172	1.234	1.27	V
$V_{FAULT,HST}$	\overline{FAULT} Hysteresis	\overline{FAULT} Low to High		50		mV
$I_{FAULT,UP}$	\overline{FAULT} Pull-Up Current		● -2.5	-2	-1.5	μA
$V_{OLFAULT}$	Output Low Voltage	$I_{FAULT} = 1.6mA$, $V_{CC1} = 5V$	●	0.19	0.4	V
$V_{OLRESETn}$	Output Low Voltage	$I_{RESETn} = 1.6mA$, $V_{CC1} = 5V$	●	0.19	0.4	V
t_{GATEFC}	Fast COMP n Trip to GATE n Discharging	$V_{CB} = 0mV$ to 200mV Step	●	0.5	1	μs
$t_{FAULTSC}$	Slow Comparator Trip to FILTER High and \overline{FAULT} Latched	$V_{CB} = 0mV$ to 100mV Step, FILTER Floating (Note 4) 10nF at FILTER Pin to GND	●	10 7	12	μs ms
t_{OVPFTR}	FILTER Comparator Trip to GATE n Discharging	$V_{FILTER} = 0V$ to 5V	●	8	12	μs
$t_{EXTFAULT}$	\overline{FAULT} Low to GATE Discharging	$V_{FAULT} = 5V$ to 0V	● 1.5	3	4.5	μs
t_{RESETn}	Circuit Breaker Reset Time	ON Held Low to Guarantee \overline{FAULT} High	●	15	30	μs
t_{OFF}	Turn-Off Time	ON Goes Low to GATE n Off		8		μs

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

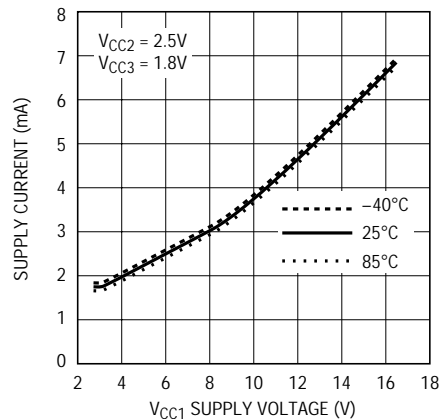
Note 2: デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れる電流はすべて負。注記がない限り、電圧はすべてグラウンドを基準。

Note 3: GATE n ピンの内部ツェナー・ダイオードは、チャージ・ポンプ電圧を標準26Vの最大動作電圧にクランプする。内部ツェナー・ダイオード電圧を超えてGATE n ピンを外部からオーバードライブするとデバイスに損傷を与えるおそれがある。GATE n 容量は最大 V_{CC} で0.15 μF より小さくしなければならない。もっと低いGATE n ピン電圧が望ましい場合、外部ツェナー・ダイオードを使う。

Note 4: 設計により保証。

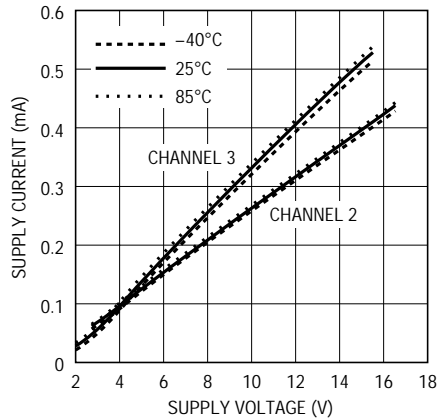
標準的性能特性

チャンネル1の電源電流とV_{CC1}電源電圧



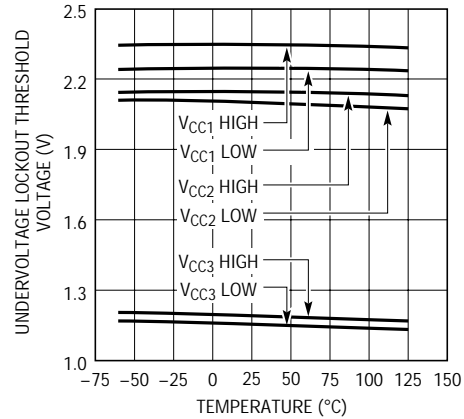
4230 G01

チャンネル2とチャンネル3の電源電流と電源電圧



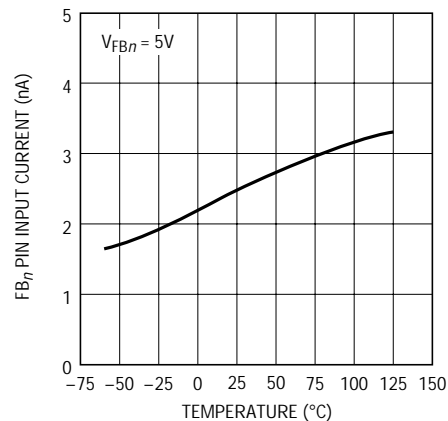
4230 G02

UVLOスレッシュホールド電圧と温度



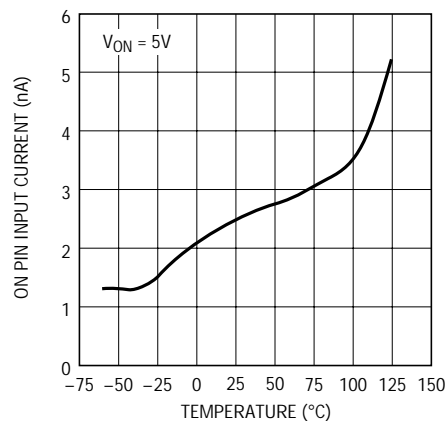
4230 G03

FB_nピン入力電流と温度



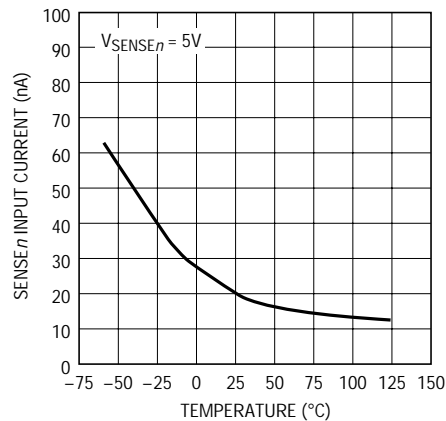
4230 G04

ONピン入力電流と温度



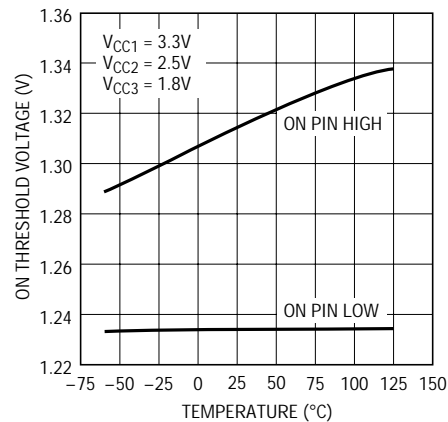
4230 G05

SENSE_nピン入力電流と温度



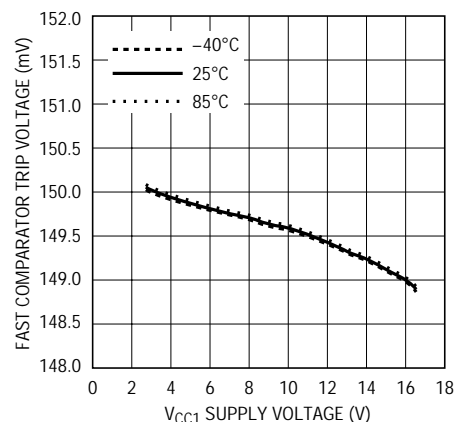
4230 G06

ONスレッシュホールドと温度



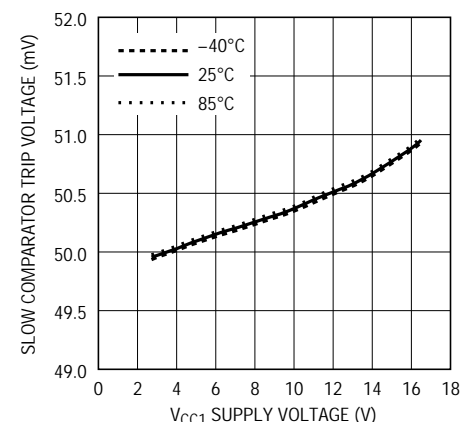
4230 G07

高速コンパレータのトリップ点とV_{CC1}電源電圧



4230 G08

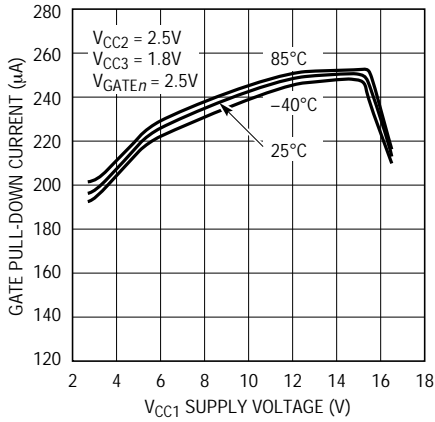
低速コンパレータのトリップ点とV_{CC1}電源電圧



4230 G09

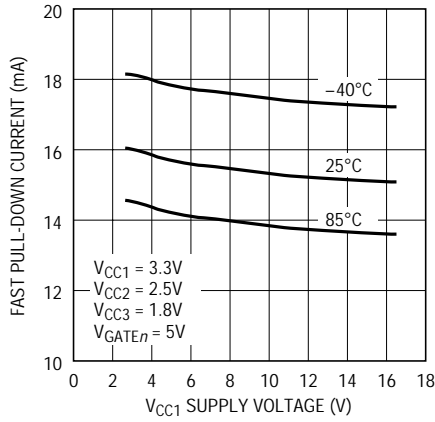
標準的性能特性

通常のGATE_nプルダウン電流とV_{CC1}電源電圧



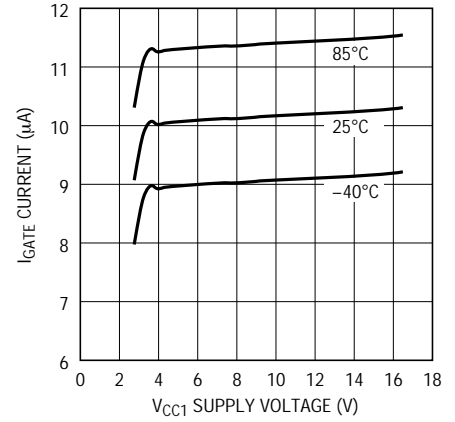
4230 G10

高速GATE_nプルダウン電流とV_{CC1}電源電圧



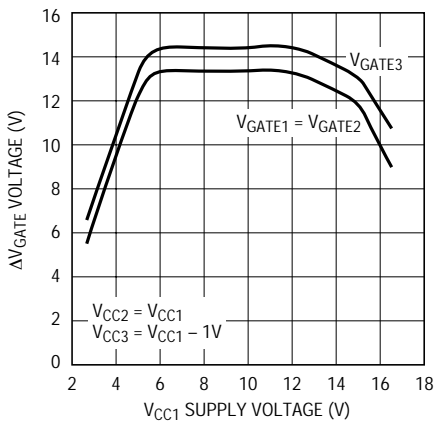
4230 G11

GATE_n出力ソース電流(プルアップ)とV_{CC1}電源電圧



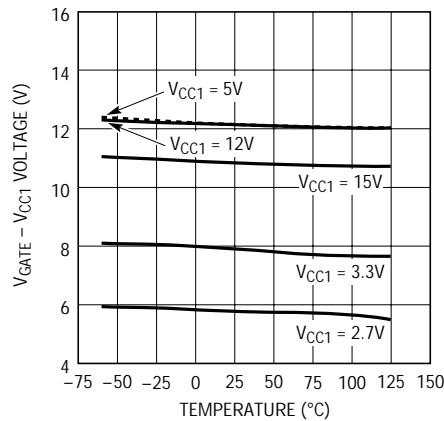
4230 G12

VGATE_n - VCC_nとVCC1電源電圧



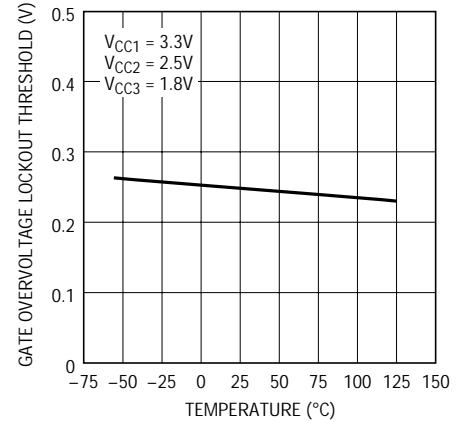
4230 G13

VGATE1 - VCC1と温度



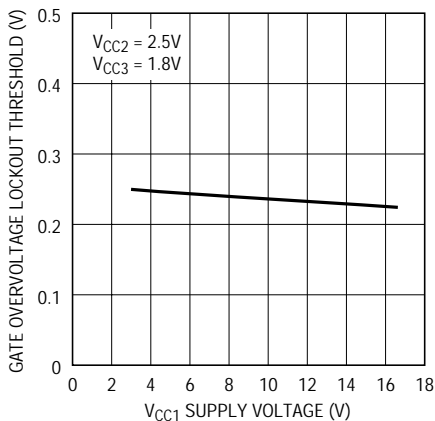
4230 G14

GATE_n過電圧ロックアウト・スレッシュリッド電圧と温度



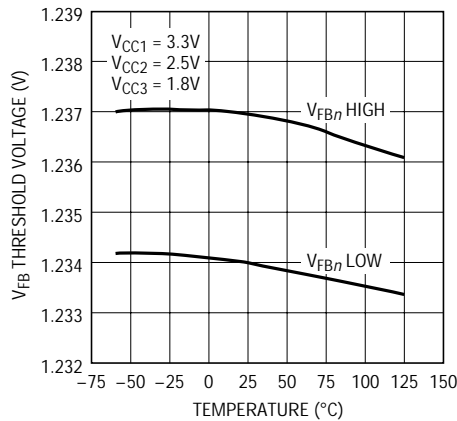
4230 G15

GATE_n過電圧ロックアウト・スレッシュリッド電圧とVCC1電源電圧



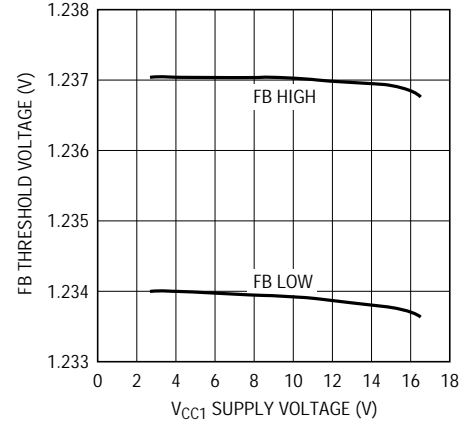
4230 G16

VFB_nスレッシュリッド電圧と温度



4230 G17

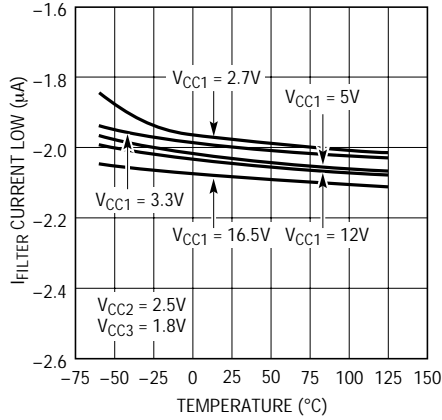
VFB_nスレッシュリッド電圧とVCC1電源電圧



4230 G18

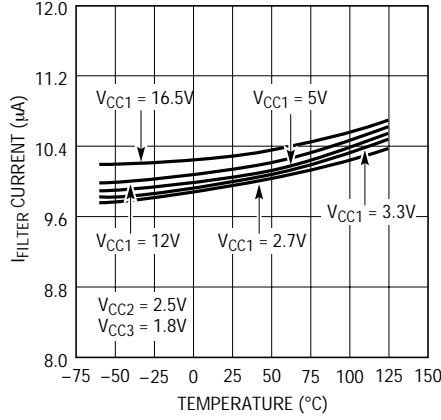
標準的性能特性

FILTERプルアップ電流と温度



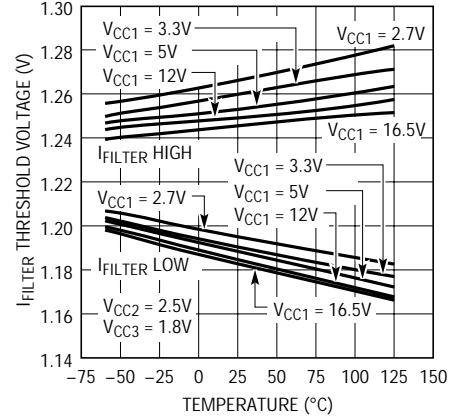
4230 G19

FILTERプルダウン電流と温度



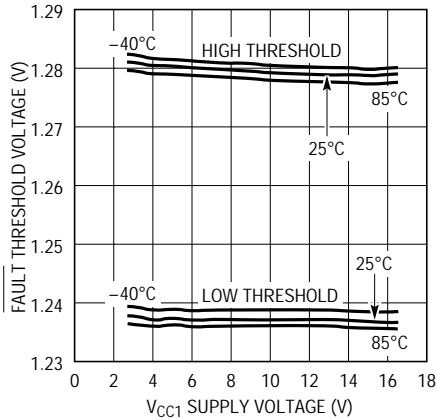
4230 G20

FILTERスレッシュホールド電圧と温度



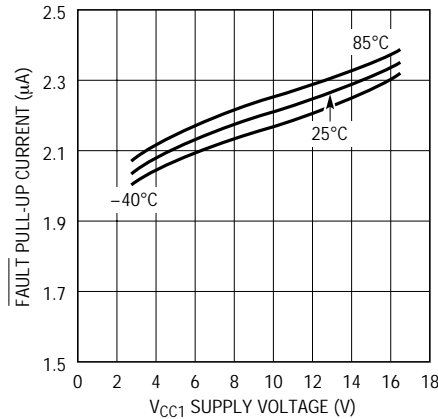
4230 G21

FAULTスレッシュホールド電圧と V_{CC1} 電源電圧



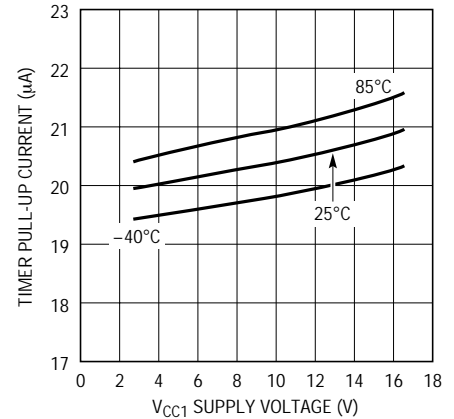
4230 G22

FAULTプルアップ電流と V_{CC1} 電源電圧



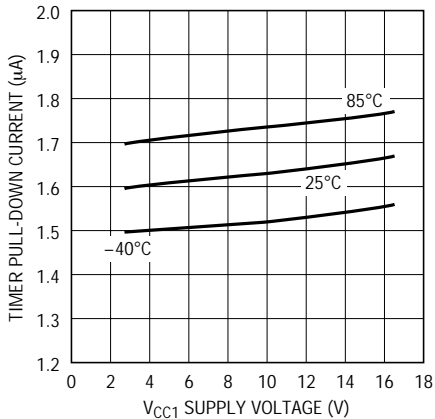
4230 G23

TIMERプルアップ電流 (1番目のサイクル)と V_{CC1} 電源電圧



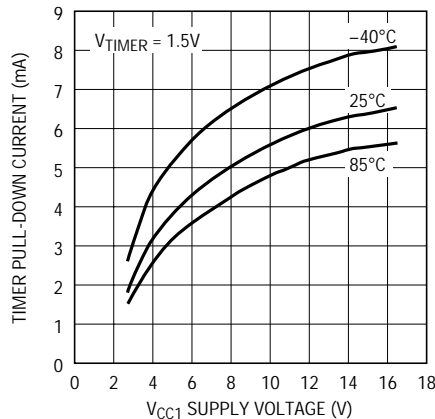
4230 G24

TIMERプルダウン電流 (2番目のサイクル後)と V_{CC1} 電源電圧



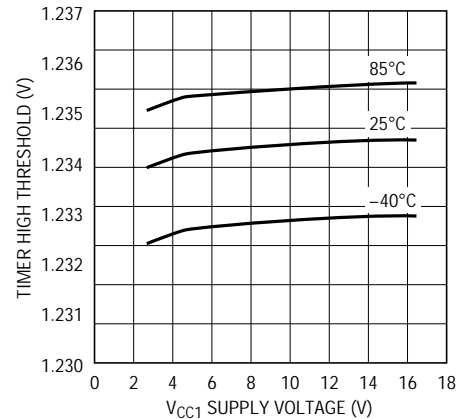
4230 G25

TIMER高速プルダウン電流 (1番目のサイクルの終点)と V_{CC1} 電源電圧



4230 G26

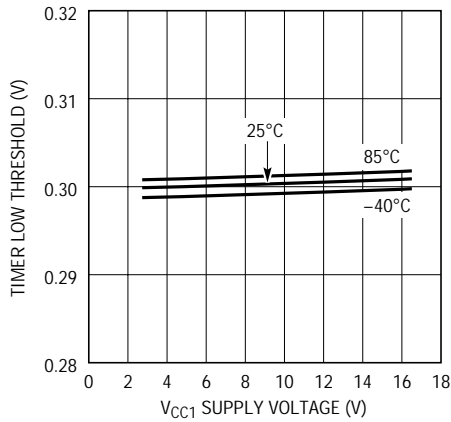
TIMER高スレッシュホールド電圧と V_{CC1} 電源電圧



4230 G27

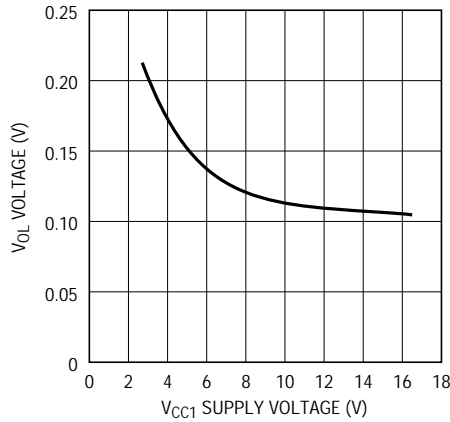
標準的性能特性

TIMER低スレッシュホールド電圧と
 V_{CC1} 電源電圧



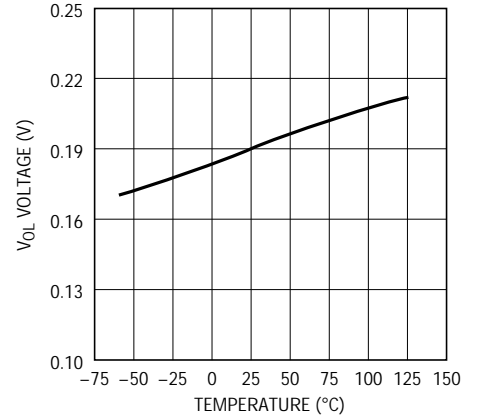
4230 G28

V_{OL} (RESET \bar{n} , FAULT) と V_{CC1}
電源電圧



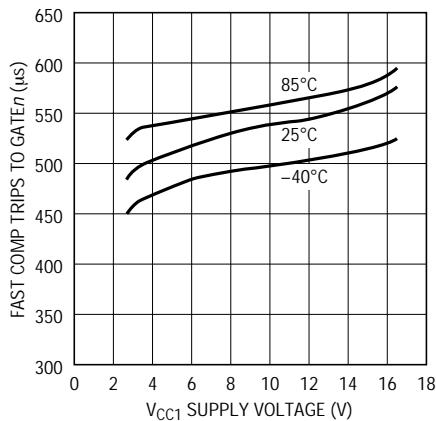
4230 G29

V_{OL} (RESET \bar{n} , FAULT) と温度



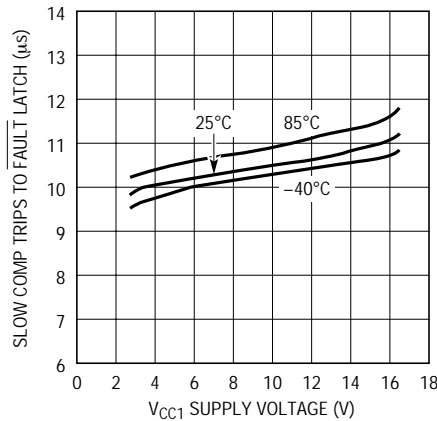
4230 G30

高速コンパレータのトリップから
GATE \bar{n} の放電までの時間と
 V_{CC1} 電源電圧



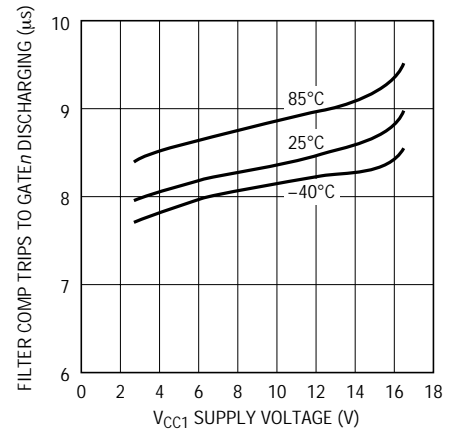
4230 G31

低速コンパレータのトリップから
FAULTラッチ(FILTERはフロート
状態)までの時間と V_{CC1} 電源電圧



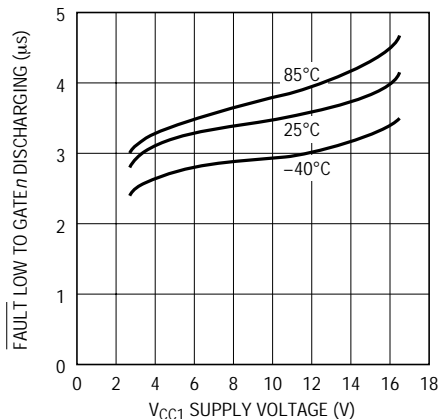
4230 G32

FILTERコンパレータのトリップ
からGATE \bar{n} の放電までの時間と
 V_{CC1} 電源電圧



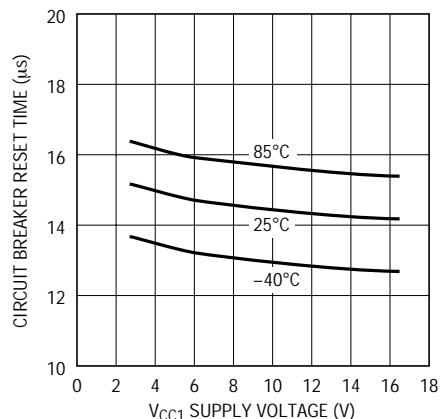
4230 G33

FAULT \bar{n} L からGATE \bar{n} の放電ま
での時間と V_{CC1} 電源電圧



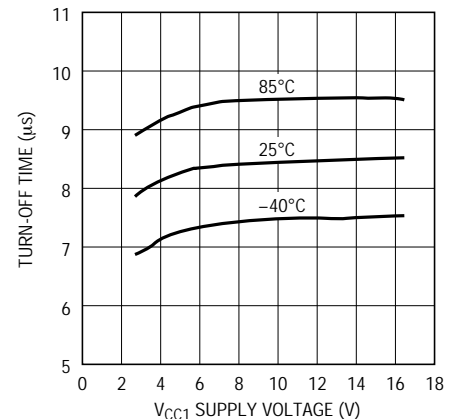
4230 G34

回路ブレーカRESET時間と V_{CC1}
電源電圧



4230 G35

ターンオフ時間と V_{CC1} 電源電圧



4230 G36

ピン機能

FB3 (ピン1) : FB3 (フィードバック)ピンはFBCOMP3コンパレータへの入力で、外部抵抗分割器を介して V_{CC3} 出力電源電圧を監視します。 $V_{FB3} < 1.234V$ では、RESET3ピンを“L”にします。FBCOMP3の出力の内部グリッチ・フィルタは負過渡電圧がリセット状態をトリガするのを防ぎます。 $V_{FB3} > 1.237V$ だと、低電圧ロックアウト状態を抜け出した後、RESET3ピンは“H”になります。

RESET3 (ピン2) : オープン・ドレインのNチャンネル・デバイスで、そのソースはGND (ピン14)に接続されています。このピンは、FB3ピン (ピン1)の電圧がFB3のスレッシュホールド (1.234V)より低くなると、“L”になります。このピンには V_{OUT3} に接続した外部プルアップ抵抗が必要です。低電圧ロックアウト状態が発生すると、RESET3ピンはFB3とは無関係に“L”になり、グリッチ・エラーを防ぎます。

GATE 3 (ピン3) : このピンの出力信号は、チャンネル3の外部NチャンネルMOSFETパス・トランジスタのハイサイド・ゲートをドライブします。内部チャージ・ポンプは、2.7V ~ 16.5Vの V_{CC1} 電源に対して4.5V (最小) ~ 18V (最大)のゲート・ドライブ電圧を発生します。

各チャンネルのブロック図に示されているように、内部チャージ・ポンプは10 μ Aのゲート電流と十分なゲート電圧ドライブを外部MOSFETへ供給します。内部チャージ・ポンプは、 $V_{CC1} < 4.75V$ に対して最小4.5Vのゲート・ドライブを発生します。 $V_{CC1} > 4.75V$ では、最小ゲート電圧ドライブは9Vです。 $V_{CC1} \geq 12V$ では、最小ゲート電圧ドライブは7Vで、これはGATE 3ピンとGND間に接続された内部ツェナー・ダイオード・クランプによって設定されます。

SENSE 3 (ピン4) : チャンネル3の回路ブレーカ・センス・ピン。ブロック図に示されているように、 V_{CC3} とSENSE 3間の電源経路に置かれたセンス抵抗を使って、センス抵抗両端の電圧 ($V_{CC3} - V_{SENSE3}$)がSLOW COMP3およびFAST COMP3に対して内部で設定されているスレッシュホールドを超すと、チャンネル3の電子回路ブレーカがトリップします。SLOW COMP3のスレッシュホールドは $V_{CB(SLOW)} = 50mV$ に設定されており、 R_{SENSE3} 両端の電圧が10 μ sまたは C_{FILTER} によって設定される遅延時間のあいだ50mVを超えると回路ブレーカがトリップします。SLOW COMP3の遅延を調節するには、「SLOW COMP n の応答時間の調節」のセクションを参照してください。

大きなステップ電流変化が短時間に生じる過渡状態では、

代わりに2番目の(高速)コンパレータが電子回路ブレーカをトリップします。FAST COMP3のスレッシュホールドは $V_{CB(FAST)} = 150mV$ に設定されており、 R_{SENSE3} 両端の電圧が500ns以上150mVを超えると回路ブレーカがトリップします。FAST COMP3の遅延はLTC4230内で固定されており、調節することはできません。チャンネル3の回路ブレーカをディスエーブルするには、 V_{CC3} ピンとSENSE 3ピンを接続します。

V_{CC3} (ピン5) : チャンネル3の正電源入力。 V_{CC3} は1.7V ~ 15.5V ($V_{CC3} \leq V_{CC1} - 1V$)で動作し、その電源電流 I_{CC3} は標準65 μ Aです。主UVLO回路は、 V_{CC3} が1.19Vを超すまでは、LTC4230の3つのGATE n 出力をすべてディスエーブルします。

V_{CC1} (ピン6) : これは、LTC4230の正電源入力、チャンネル1の電源入力、および3つの内部チャージ・ポンプすべての電源入力です。LTC4230は2.7V ~ 16.5Vで動作し、 I_{CC1} 電源電流は標準で1.8mAです。主UVLO回路は、 V_{CC1} が2.35Vよりも低いと、LTC4230の3つのGATE n 出力をすべてディスエーブルします。内部チャージ・ポンプ出力は、 $V_{CC1} > 2.35V$ 、 $V_{CC2} > 2.15V$ 、および $V_{CC3} > 1.19V$ のとき、イネーブルされます。

SENSE 1 (ピン7) : チャンネル1の回路ブレーカ・センス・ピン。ブロック図に示されているように、 V_{CC1} とSENSE 1間の電源経路に置かれたセンス抵抗を使って、センス抵抗両端の電圧 ($V_{CC1} - V_{SENSE1}$)がSLOW COMP1およびFAST COMP1に対して内部で設定されているスレッシュホールドを超すと、チャンネル1の電子回路ブレーカがトリップします。SLOW COMP1のスレッシュホールドは $V_{CB(SLOW)} = 50mV$ に設定されており、 R_{SENSE1} 両端の電圧が10 μ sまたは C_{FILTER} によって設定される遅延時間のあいだ50mVを超えると回路ブレーカがトリップします。SLOW COMP1の遅延を調節するには、「SLOW COMP n の応答時間の調節」のセクションを参照してください。

大きなステップ電流変化が短時間に生じる過渡状態では、代わりに2番目の(高速)コンパレータが電子回路ブレーカをトリップします。FAST COMP1のスレッシュホールドは $V_{CB(FAST)} = 150mV$ に設定されており、 R_{SENSE1} 両端の電圧が500ns以上150mVを超えると回路ブレーカがトリップします。FAST COMP1の遅延はLTC4230内で固定されており、調節することはできません。チャンネル1の回路ブレーカをディスエーブルするには、 V_{CC1} ピンとSENSE 1ピンを接続します。

ピン機能

GATE 1 (ピン8) : このピンの出力信号は、チャンネル1の外部NチャンネルFETパス・トランジスタのハイサイド・ゲート・ドライブです。内部チャージ・ポンプは、 $2.7V \leq V_{CC1} \leq 16.5V$ の電源に対して4.5V(最小)~18V(最大)のゲート・ドライブ電圧を発生します。

ブロック図に示されているように、各チャンネルの内部チャージ・ポンプは V_{CC1} から電力を供給され、10 μ Aのゲート電流と十分なゲート電圧ドライブを外部FETへ供給します。内部チャージ・ポンプは、 $V_{CC1} < 4.75V$ に対して最小4.5Vのゲート電圧ドライブを発生します。 $V_{CC1} > 4.75V$ では、最小ゲート電圧ドライブは9Vです。 $V_{CC1} \geq 12V$ では、最小ゲート電圧ドライブは7Vで、これはGATE 1ピンとGND間に接続された内部ツェナー・ダイオード・クランプによって設定されます。

RESET 1 (ピン9) : オープン・ドレインのNチャンネル・デバイスで、そのソースはGND(ピン14)に接続されています。このピンは、FB1ピン(ピン10)の電圧がFB1のスレッシュホールド(1.234V)より低くなると、“L”になります。起動時、**RESET 1**は、FB1がFB1スレッシュホールドを超えた後、2番目のタイミング・サイクルの終りに高インピーダンスになります。このピンには V_{OUT1} に接続した外部プルアップ抵抗が必要です。低電圧ロックアウト状態が発生すると、**RESET 1**ピンはFB1とは無関係に“L”になり、グリッチ・エラーを防ぎます。

FB1 (ピン10) : FB1(フィードバック)ピンはFBCOMP1コンパレータへの入力で、外部抵抗分割器を介して V_{CC1} 出力電源電圧を監視します。 $V_{FB1} < 1.234V$ だと、**RESET 1**ピンを“L”にします。FBCOMP1の出力の内部グリッチ・フィルタは負過渡電圧がリセット状態をトリガするのを防ぎます。 $V_{FB1} > 1.237V$ だと、2番目のタイミング・サイクル後、**RESET 1**は“H”になります。

FILTER (ピン11) : 過電流フォールト・タイミング・ピンおよび過電圧フォールト設定ピン。このピンとグランド間にコンデンサを接続して、3つのSLOW COMPコンパレータすべての応答時間を調節することができます。SLOW COMPコンパレータの応答時間は個別には調節できないことに注意してください。

TIMER (ピン12) : このピンからGNDへ接続されたコンデンサにより、LTC4230のシステム・タイミングが設定されます。LTC4230の1番目と2番目の起動タイミング・サイクルおよび放

電モード遅延時間はこのコンデンサによって制御されます。

FAULT (ピン13) : **FAULT**はLTC4230の内部で(入力および出力としての)二重の機能を備えています。このピンに接続されているのはアナログ・コンパレータ(COMP6)とオープン・ドレインのNチャンネルFETです。通常動作時、COMP6が1.234Vより下にドライブされると、すべての電子回路ブレーカがトリップし、各GATEピンが“L”に引き下げられます。ブロック図を参照すると、**FAULT**には2 μ Aの内部電流源プルアップが接続されています。これにより、LTC4230は2番目のタイミング・サイクルを開始して($V_{FAULT} > 1.284V$)正しく起動します。さらに、**FAULT**ピンをステータス出力として使うこともできます。通常の動作状態では、**FAULT**出力はロジック“H”となります。次の2つの状態では、**FAULT**がアクティブ“L”になります。つまり、(1)出力の短絡($V_{OUTn} = 0V$)または高速出力過渡過電圧(FAST COMPnがその回路ブレーカをトリップする)が原因でLTC4230の電子回路ブレーカがトリップするか、または(2) $V_{FILTER} > 1.26V$ となる場合です。**FAULT**出力はロジック“L”にドライブされ、ONピンが30 μ s(t_{RESET})のあいだロジック“L”にドライブされるまではロジック“L”にラッチされます。

GND (ピン14) : デバイスのグランド接続ピン。このピンはシステムのアナログ・グランド・プレーンへ接続します。

ON (ピン15) : LTC4230の動作をイネーブルまたはディスエーブルするために使われるアクティブ“H”信号。LTC4230のブロック図に示されているように、COMP1のスレッシュホールドは1.234Vに設定されており、ヒステリシスは80mVに設定されています。ロジック信号“H”がONピンに印加されると($V_{ON} > 1.314V$)、GATE n ピン(ピン3、ピン8、ピン18)に過電圧が生じていなければ、1番目のタイミング・サイクルが開始されます。ロジック信号“L”がONピンに印加されると($V_{ON} < 1.234V$)、各GATE n ピンは専用の200 μ A内部電流シンクによって“L”へ引き下げられます。ONピンは3つの電子回路ブレーカをすべてリセットするのにも使うことができます。回路ブレーカがトリップした後、ONピンを $t_{RESETn(MAX)}$ を超える時間だけ“L”にしてから“H”にすると、すべての内部回路ブレーカがリセットされ、LTC4230は新しい起動サイクルを開始します。

V_{CC2} (ピン16) : チャンネル2の正電源入力。 V_{CC2} は2.375V~16.5Vで動作し、その電源電流 I_{CC2} は標準75 μ Aです。主UVLO回路は、 V_{CC2} が2.15Vを超すまでは、LTC4230の3つのGATE n 出力をすべてディスエーブルします。

ピン機能

SENSE 2 (ピン17) : チャネル2の回路ブレーカ・センス・ピン。ブロック図に示されているように、 V_{CC2} とSENSE 2間の電源経路に置かれたセンス抵抗を使って、センス抵抗両端の電圧($V_{CC2} - V_{SENSE2}$)がSLOW COMP2とFAST COMP2に対して内部で設定されているスレッシュホールドを超すと、チャネル2の電子回路ブレーカがトリップします。SLOW COMP2のスレッシュホールドは $V_{CB(SLOW)} = 50mV$ に設定されており、 R_{SENSE2} 両端の電圧が $10\mu s$ または C_{FILTER} によって設定される遅延時間のあいだ $50mV$ を超えると回路ブレーカがトリップします。SLOW COMP2の遅延を調節するには、「SLOW COMPの応答時間の調節」のセクションを参照してください。

大きなステップ電流変化が短時間に生じる過渡状態では、代わりに2番目の(高速)コンパレータが電子回路ブレーカをトリップします。FAST COMP2のスレッシュホールドは $V_{CB(FAST)} = 150mV$ に設定されており、 R_{SENSE2} 両端の電圧が $500ns$ 以上 $150mV$ を超えると回路ブレーカがトリップします。FAST COMP2の遅延はLTC4230内で固定されており、調節することはできません。チャネル2の回路ブレーカをディスエーブルするには、 V_{CC2} ピンとSENSE 2ピンを接続します。

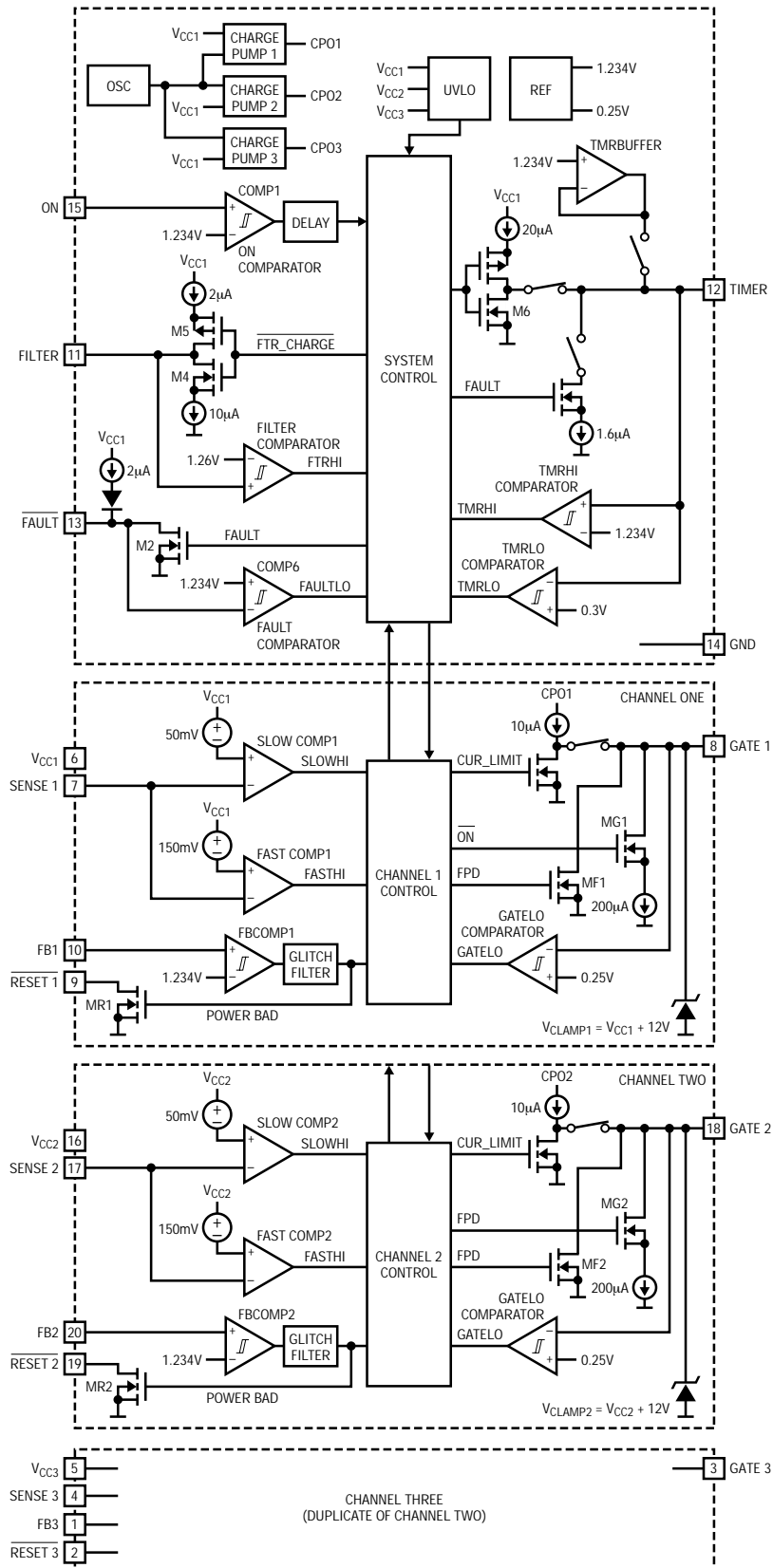
GATE 2 (ピン18) : このピンの出力信号は、チャネル2の外部NチャンネルFETパス・トランジスタのハイサイド・ゲート・ドライブです。内部チャージ・ポンプは、 $2.7V \sim 16.5V$ の V_{CC1} 電源に対して $4.5V$ (最小)~ $18V$ (最大)のゲート・ドライブ電圧を発生します。

各チャネルのブロック図に示されているように、内部チャージ・ポンプは $10\mu A$ のゲート電流と十分なゲート電圧を外部FETへ供給します。内部チャージ・ポンプは、 $V_{CC1} < 4.75V$ に対して最小 $4.5V$ のゲート・ドライブを発生します。 $V_{CC1} > 4.75V$ では、最小ゲート電圧ドライブは $9V$ です。 $V_{CC1} \geq 12V$ では、最小ゲート電圧ドライブは $7V$ で、これはGATE 2ピンとGND間に接続された内部ツェナー・ダイオード・クランプによって設定されます。

RESET 2 (ピン19) : オープン・ドレインのNチャンネル・デバイスで、そのソースはGND(ピン14)に接続されています。このピンは、FB2ピン(ピン20)の電圧がFB2のスレッシュホールド($1.234V$)より低くなると、“L”になります。このピンには V_{OUT2} に接続した外部プルアップ抵抗が必要です。低電圧ロックアウト状態が発生すると、RESET 2ピンはFB2とは無関係に“L”になり、グリッチ・エラーを防ぎます。

FB2 (ピン20) : FB(フィードバック)ピンはFBCOMP2コンパレータへの入力で、外部抵抗分割器を介して V_{CC2} 出力電源電圧を監視します。 $V_{FB2} < 1.234V$ だと、RESET 2を“L”にします。FBCOMP2の出力の内部グリッチ・フィルタは負過渡電圧がリセット状態をトリガするのを防ぎます。 $V_{FB2} > 1.237V$ だと、低電圧ロックアウト状態を抜け出した後、RESET 2ピンは“H”になります。

ブロック図



アプリケーション情報

ホット回路挿入

電源の入っているバックプレーンに対して回路基板の挿抜をおこなうとき、電源バイパス・コンデンサには充電時にバックプレーンの電源バスから大きな過渡電流が流れることがあります。過渡電流はシステム電源にグリッチを生じてシステムの他のボードをリセットすることがあるだけでなく、コネクタ・ピンに損傷を与えることがあります。

LTC4230は管理された状態でプリント基板の電源電圧をオン/オフするように設計されているので、電源の入っているバックプレーンに対して回路基板の安全な挿抜が可能です。このデバイスは、二重のフォールト監視機能に加えて、システム・リセット信号を出して、ボードの電源電圧が予め決められたレベルより低くなったことを知らせます。

出力電圧監視

LTC4230は、図1に示されているように、1.234Vのバンドギャップ・リファレンス、精密電圧コンパレータおよび外部抵抗分割器を使って、出力電源電圧を監視します。

通常モードの電源監視動作を図2に示します。低電圧ロックアウト状態ではRESET $\bar{1}$ は“L”になります。ソフトスタート・サイクル(2番目のタイミング・サイクル)の終点まで“L”に保たれます。以後、FB1がRESET $\bar{1}$ の状態を制御します。RESET $\bar{2}$ とRESET $\bar{3}$ も低電圧ロックアウトのあいだ“L”になります。ただし、UVLO解消後ただちに、FB2はRESET $\bar{2}$ の状態を制御し、FB3はRESET $\bar{3}$ の状態を制御します(図2の時点5と時点6)。

FB n ピンに現れる電圧がリセット・スレッシュホールド(1.234V)より低くなると、コンパレータFBCOMPの出力が“H”になります。グリッチ・フィルタを通過後、RESET \bar{n} は状態を変えます。FB n ピンに現れる電圧がリセット・スレッシュホールド(1.234V)より高くなると、コンパレータFBCOMPの出力が状態を変え、RESET \bar{n} が“H”になります。

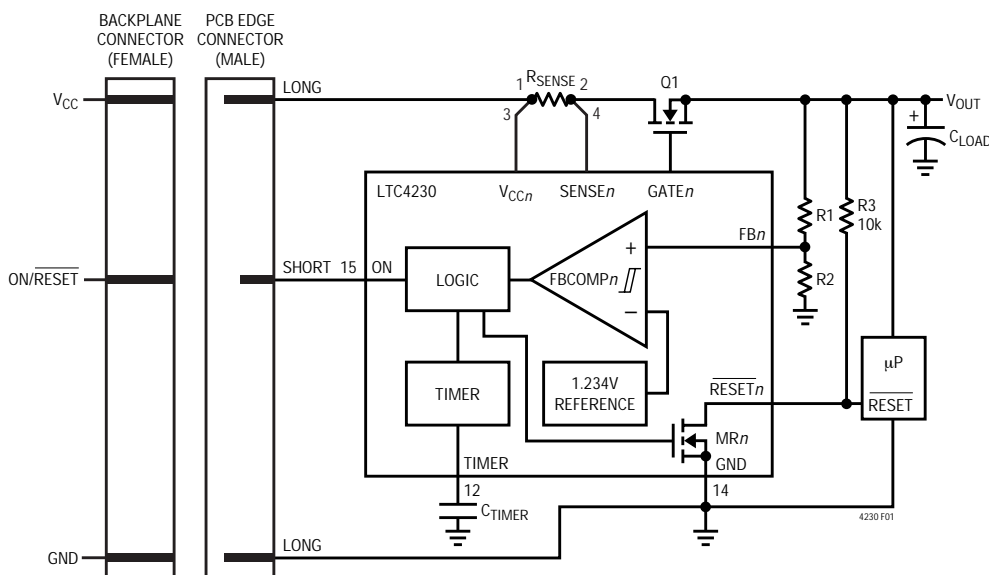


図1 . 電源電圧監視のブロック図

アプリケーション情報

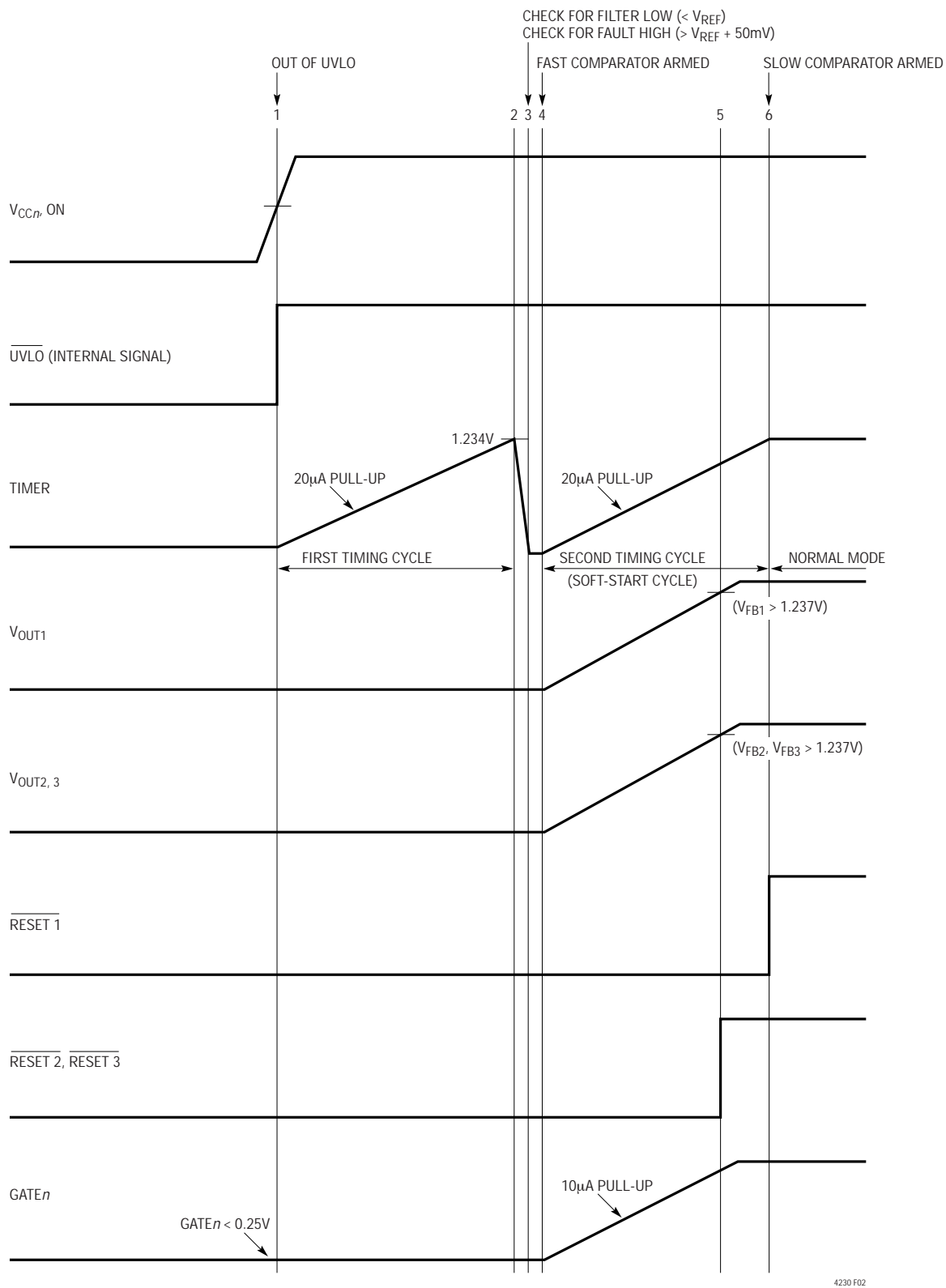


図2 . 通常モードの電源監視波形

アプリケーション情報

内部低電圧ロックアウト (UVLO)

LTC4230のパワーオン・リセット回路は起動状態を初期化し、入力電源電圧が低すぎる場合、チップを適切な状態に保ちます。入力電源電圧のどれでも対応するUVLOの低い方のスレッシュホールドよりも低くなると(たとえば、 $V_{CC1} < 2.25V$ 、 $V_{CC2} < 2.105V$ または $V_{CC3} < 1.155V$)、LTC4230はUVLOモードに入り、3つのGATE n ピンはすべて200 μA の内部電流シンクによって“L”に引き下げられます。LTC4230のUVLO回路にはヒステリシスをもたせてあるので、3つの電源電圧のすべてが対応するUVLOの高い方のスレッシュホールドを超えると($V_{CC1} > 2.35V$ 、 $V_{CC2} > 2.15V$ および $V_{CC3} > 1.19V$)、デバイスは再起動し、ONピンが“H”になります。

さらに、ONコンパレータ (COMP1) またはFAULTコンパレータ (COMP6) を利用して、低電圧ロックアウトのレベルをもっと高く設定することができます。FAULTコンパレータがこの目的に使われると、システムは、入力電圧が上昇してユーザーが設定したレベルを超えるのを待ってから、2番目のタイミング・サイクルを開始します。また、通常動作モードで入力電圧が設定されたレベルより低くなると、ユーザーはシステムを再起動するためのサイクルをONピンまたは V_{CC1} で行う必要があります。

RESET n 用グリッチ・フィルタ

FB n ピンに過渡現象が生じたとき、RESET n がシステム・リセットを発生しないように、LTC4230はグリッ

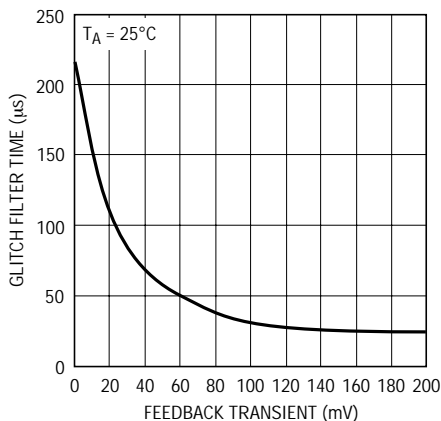


図3 . FBコンパレータ・グリッチ・フィルタ時間と帰還過渡電圧

チ・フィルタを備えています。グリッチ・フィルタ時間と帰還過渡電圧の関係を図3に示します。

システム・タイミング

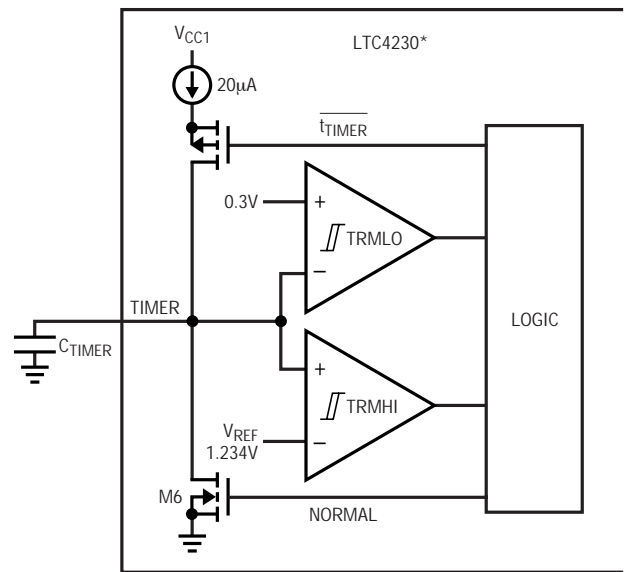
LTC4230のシステム・タイミングは、図4に示されている等価回路で作ります。LTC4230の内部タイミング回路がオフ状態では、内部NチャンネルFETにより、TIMERピンはGNDに接続されます。タイミング回路がイネーブルされると、内部の20 μA 電流源がTIMERピンに接続され、式1で与えられる充電速度で C_{TIMER} を充電します。

$$C_{TIMER} \text{ Charge -Up Rate} = \frac{20\mu A}{C_{TIMER}} \quad (1)$$

TIMERピンの電圧がTMRHIのスレッシュホールドである1.234Vに達すると、TIMERピンはGNDにリセットされます。タイマ時間は式2で表されます。

$$t_{TIMER} = 1.234V \cdot \frac{C_{TIMER}}{20\mu A} \quad (2)$$

設計に役立てるため、0.1 μF ~ 10 μF の標準値を使ったときの C_{TIMER} の関数としての、LTC4230のタイマ時間を表1に示します。



*ADDITIONAL DETAILS OMITTED FOR CLARITY

4230 F04

図4 . LTC4230のシステム・タイミングのブロック図

アプリケーション情報

表1 . t_{TIMER} と C_{TIMER}

C_{TIMER}	t_{TIMER}
0.1 μ F	6.2ms
0.22 μ F	13.6ms
0.33 μ F	20.4ms
0.47 μ F	29ms
0.68 μ F	42ms
0.82 μ F	50.6ms
1 μ F	61.7ms
2.2 μ F	136ms
3.3 μ F	204ms
4.7 μ F	290ms
6.8 μ F	420ms
8.2 μ F	506ms
10 μ F	617ms

適切な起動シーケンスの実現は、アプリケーションに最適な C_{TIMER} 値の選択にも依存します。タイミング時間が長いと、全体のシステム起動時間に影響します。タイミング時間を短く設定し過ぎると、システムが全く起動しなくなることがあります。出発点として $C_{TIMER} = 1\mu$ F に設定してから、アプリケーションに応じてその値を調節します。

動作シーケンス

電源立上げ、起動チェック、およびプラグイン・タイミング・サイクル

LTC4230の動作シーケンスを図5のタイミング図に示します。

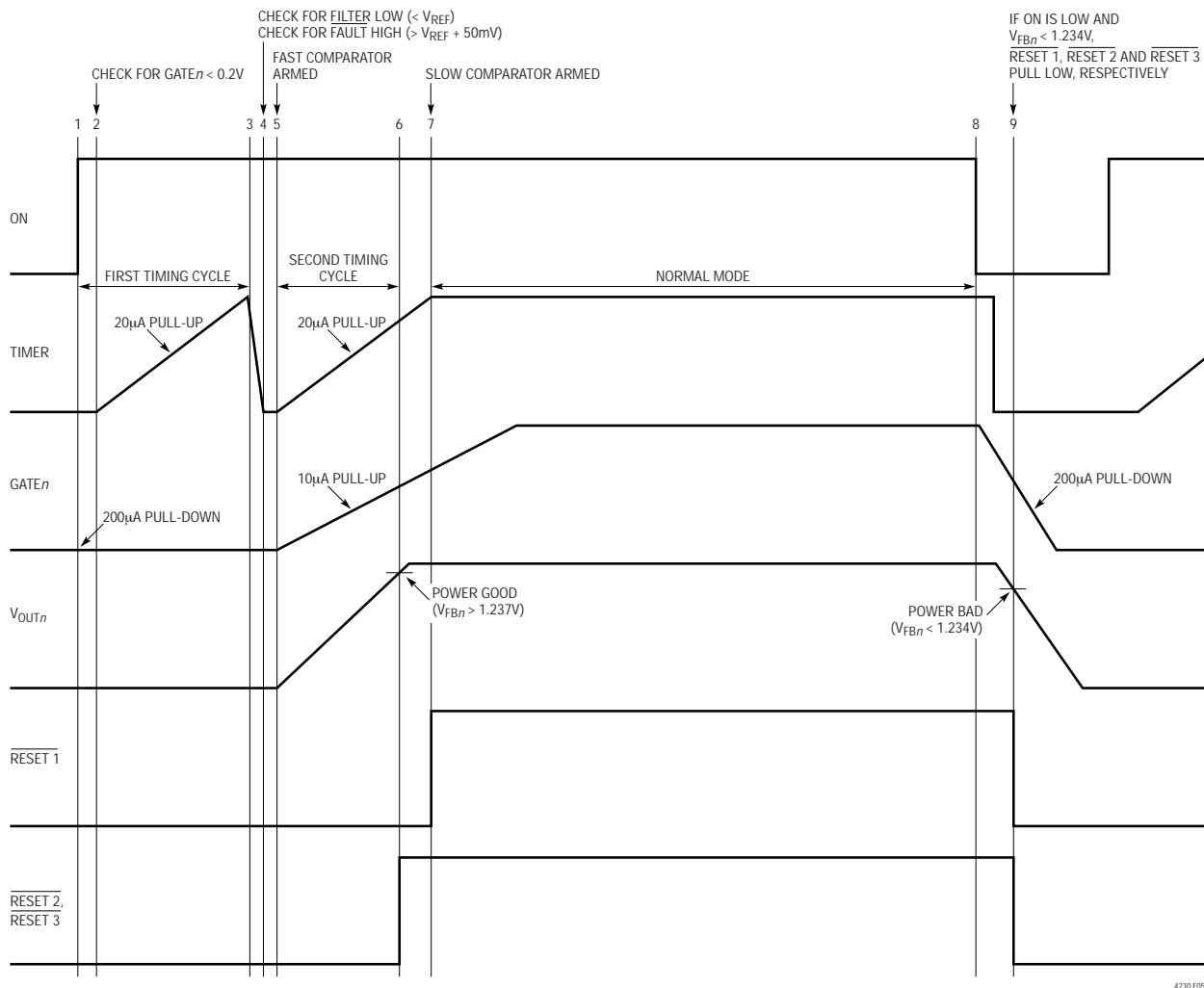


図5 . 通常の電源立上げシーケンス

アプリケーション情報

PCボードが電源の入ったバックプレーンに最初に挿入されると、LTC4230はまず起動チェックをおこなって電源電圧が2.3VのUVLOスレッシュホールドを超えていることを確認します(時点1を参照)。入力電源電圧が有効であれば、外部パス・トランジスタのゲートが、GATE_nピンに接続された200 μ Aの内部電流源によってグラウンドに引き下げられます。TIMERピンは内部Nチャンネル・プルダウン・トランジスタ(LTC4230のブロック図のM6を参照)によって“L”に保たれ、FILTERピンの電圧は10 μ Aの内部電流源によってグラウンドに引き下げられます。

V_{CCn}とONが有効になると(ONピン>1.314V)、LTC4230は時点2でGATE_nがオフ状態(V_{GATE_n}<0.25V)であることを確認します。内部タイミング回路はイネーブルされ、TIMERピンの電圧は式1で記述された速度で上昇します。時点3(C_{TIMER}で設定されたタイミング時間)で、TIMERピンの電圧はV_{TM_R}(1.234V)に等しくなります。次にTIMERピンの電圧は時点4まで下降し、そこでLTC4230は2つのチェックをおこないます。つまり、(1) FILTERピンの電圧が“L”(V_{FILTER}<1.19V)で、(2) FAULTピンの電圧が“H”(V_{FAULT}>1.284V)であるかチェックします。両方の条件が満たされていると、LTC4230は2番目のタイミング(ソフトスタート)・サイクルを開始します。

2番目のタイミング(ソフトスタート)・サイクル
2番目のタイミング・サイクルの始点で(時点5)、LTC4230のFAST COMP_nは作動状態になり、内部チャージ・ポンプから10 μ Aの内部電流源が外部パス・トランジスタのゲートをドライブします。GATE_n電圧のスルーレートは式3で与えられます。

$$V_{GATE_n} \text{ Slew Rate, } \frac{dV_{GATE_n}}{dt} = \frac{10\mu A}{C_{GATE_n}} \quad (3)$$

ここで、C_{GATE_n} = チャネル_n用のパワーMOSFETのゲート入力容量(C_{ISS})です。

たとえば、Si4410DY(30VのNチャンネル・パワーMOSFET)はV_{GS}=10Vで約3300pFのC_{GATE}を示します。この例の場合、LTC4230のGATE_n電圧の変化率(スルーレート)は次のようになるでしょう。

$$V_{GATE_n} \text{ Slew Rate, } \frac{dV_{GATE_n}}{dt} = \frac{10\mu A}{3300pF} = 3.03 \frac{V}{ms}$$

GATE_nが上昇中に負荷へ供給される突入電流は、

C_{LOAD_n}およびC_{GATE_n}に依存します。2番目のタイミング・サイクルの突入電流は式4で表されます。

$$I_{NRUSH} = \frac{dV_{GATE_n}}{dt} \cdot C_{LOAD_n} = 10\mu A \cdot \frac{C_{LOAD_n}}{C_{GATE_n}} \quad (4)$$

たとえば、C_{GATE_n} = 3300pFでC_{LOAD_n} = 2000 μ Fだと、C_{LOAD_n}を充電する突入電流は次のようになります。

$$I_{NRUSH} = 10\mu A \cdot \frac{2000\mu F}{0.0033\mu F} = 6.06A \quad (5)$$

時点6で、出力電圧はFBCOMP_nのスレッシュホールドを超えて、出力電圧が「パワーグッド」状態に入ったことを知らせます。RESET 2とRESET 3が“H”になります。時点7で、RESET 1が“H”になり、SLOW COMPが作動状態になり、LTC4230はフォールト監視モードに入ります。

電流制限付きソフトスタート

2番目のタイミング・サイクルの突入電流は式4で表されます。突入電流とC_{LOAD_n}のあいだには1対1対応の関係があることに注意してください。センス抵抗両端に50mVを越す電圧降下が生じるほど突入電流が大きいと、内部サーボ・ループがGATE_nピンの10 μ Aの電流源の動作を制御して、負荷電流を次の値に安定化します。

$$I_{LIMIT(SOFTSTART)_n} = \frac{50mV}{R_{SENSE_n}} \quad (6)$$

たとえば、R_{SENSE_n} = 0.01 Ω ならば、突入電流は5Aに制限されます。

このように、突入電流は制御され、ソフトスタート・サイクルのあいだC_{LOAD_n}はゆっくり充電されます。

式6で表される、制限された突入電流による、通常の電源立上げシーケンスにしたがったLTC4230の動作を図6のタイミング図に示します。時点5で、GATEピンの電圧が上昇し始め、パワーMOSFETがC_{LOAD_n}を充電し始めることを示しています。時点5で、突入電流によってR_{SENSE_n}両端に50mVの電圧降下が生じ、内部サーボ・ループが作動し、突入電流を固定されたレベルに制限します。時点6では、V_{OUT_n}が最終値に到達するまでGATE_nピンの電圧を上昇し続けC_{LOAD_n}を充電します。

アプリケーション情報

充電電流が減少し、内部サーボ・ループが解除されます。ソフトスタート・サイクルの終点(時点8)では、 $\overline{\text{RESET}}_n$ がすべて“H”となり、SLOW COMP $_n$ が作動状態になります。

パワーオフ・サイクル

時点9で示されているように、ONピンを“L”に引き下げると($V_{\text{ON}} < 1.234\text{V}$)、外部ハード・リセットが開始されます。すべてのGATE $_n$ ピンの電圧は200 μA の内部電流源によってグランドまで下降し、 $C_{\text{GATE}n}$ を放電してパス・トランジスタをターンオフします。 $C_{\text{LOAD}n}$ が放電するにつれ、出力電圧はFBCOMP $_n$ のスレッシュホールドを切り、時点10で「パワーバッド」状態を知らせます。すると、 $\overline{\text{RESET}}_n$ は“L”になります。

ソフトスタート時の周波数補償

外部ゲート入力容量(C_{ISS})が600pFを超えていると、ソフトスタート時の内部電流制限ループの安定化のための外部ゲート・コンデンサをGATE $_n$ に接続する必要はありません。電流制限時に外部MOSFETを制御するサーボ・ループのユニティ・ゲイン周波数は、外部MOSFETのゲート入力容量が2.5nF以下ならば、約105kHzで、位相マージンは80°です。

外部ゲート・コンデンサの使用

LTC4230は、GATE $_n$ ピン電圧のスルーレートを制御するか、または突入電流を能動的に制限して、突入電流を自動的に制限します。

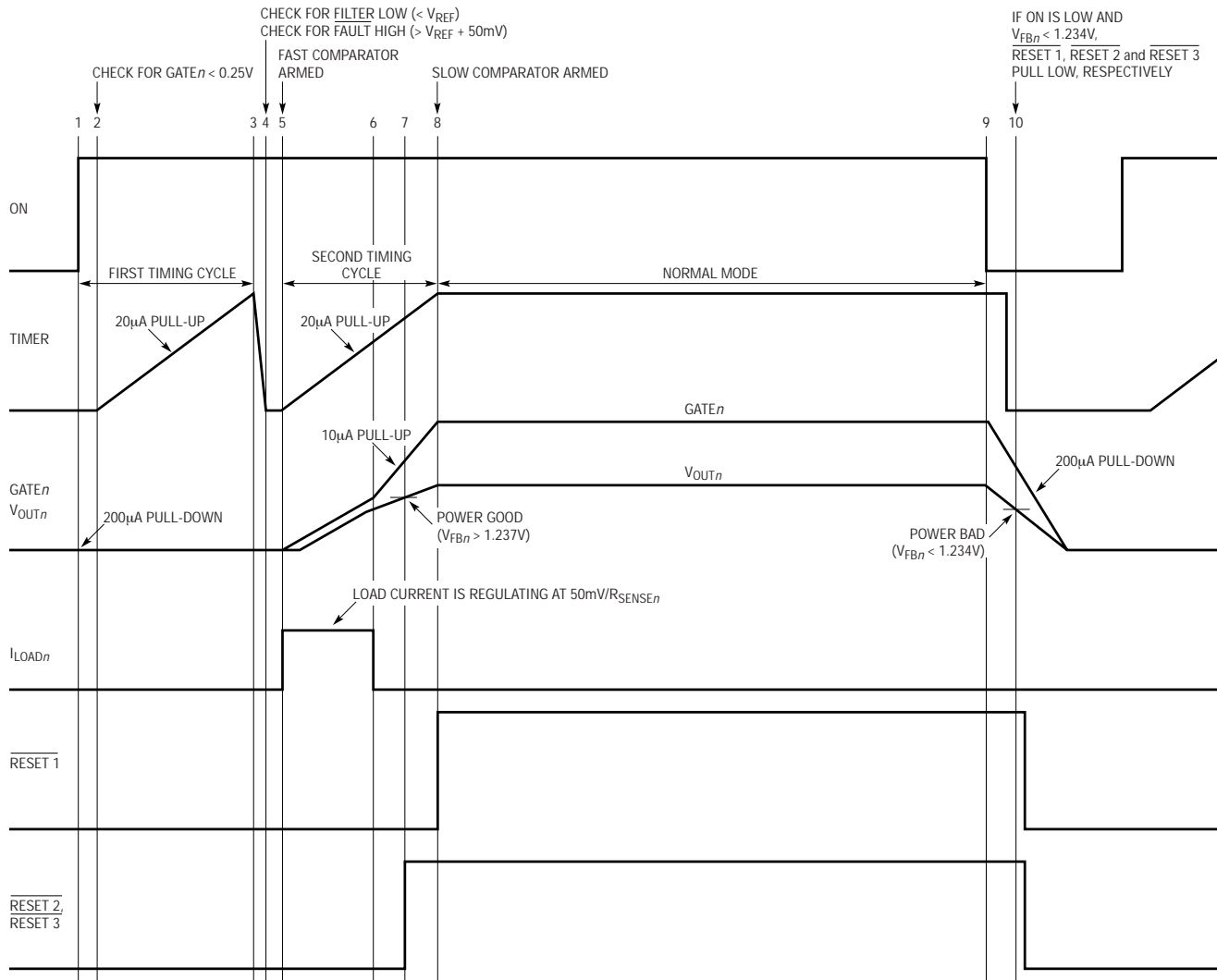
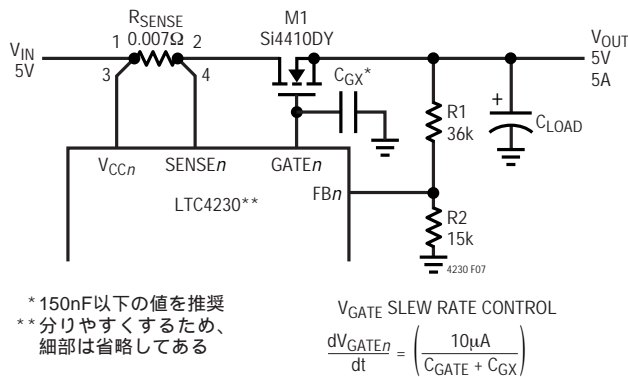


図6．通常の電源立上げシーケンス(2番目のタイミング・サイクルで電流制限)

アプリケーション情報

LTC4230は、 C_{LOADn} が小さいか、または突入電流制限が高く設定されているとき、 $GATEn$ 電圧スルーレート制限機能を使います。大きな C_{LOADn} において $GATEn$ 電圧スルーレート制限機能を優先させるには、図7に示されているように、 $GATEn$ とグランド間に外部コンデンサ (C_{GX}) を使うことができます。式3により、 C_{GX} を追加すると、 $GATEn$ 電圧のスルーレートは遅くなりますが、システムのターンオンやターンオフも遅くなります。このテクニックを使う場合、150nF以下の C_{GX} を推奨します。



* 150nF以下の値を推奨
** 分りやすくするため、
細部は省略してある

図7. 外部GATEコンデンサを使ったGATE電圧スルーレート制御と大きな C_{LOAD}

外部ゲート・コンデンサは、電源が最初に接続されたときMOSFETに流れる電流スパイクの低減または除去にも役立つことがあります。電源立上げ時、瞬時入力電圧ステップにより、MOSFETのドレインとゲート間の容量を介してMOSFETのゲートが引き上げられようとしています。MOSFETの C_{ISS} が小さいと、ゲートがMOSFETをターンオンするのに十分なだけ高く引き上げられることがあり、そのため電流スパイクが出力に現れることがあります。この現象は、LTC4230がUVLOの状態から抜け出し、その論理回路が $GATE$ ピンを“L”に保っている間に生じます。外部コンデンサにより、 $GATE$ が引き上げられる電圧を減衰させ、電流スパイクを除去することができます。これに必要な値はMOSFETの容量の仕様に依存します。標準的アプリケーションではこのコンデンサは不要です。

電子回路ブレーカ

LTC4230には電子回路ブレーカ機能が備わっており、どの電源であっても、電源の過電圧、外部で生じたフォールト状態、さらに短絡や電源の過負荷電流状態に対して保護します。回路ブレーカがトリップすると、 $GATEn$ ピンが即座

にグランドに引き下げられ、外部NチャネルMOSFETをターンオフし、 $FAULT$ は“L”にラッチされます。

回路ブレーカは、センス抵抗両端の電圧が、LTC4230の $SLOW COMPn$ と $FAST COMPn$ によってそれぞれ設定される、2つの異なるレベルを超えるとトリップします(ブロック図参照)。 $SENSEn$ 抵抗両端の電圧 ($V_{CCn} - V_{SENSEn} = V_{CB}$) が10μsのあいだ50mVを超えると、 $SLOW COMPn$ により、回路ブレーカがトリップします。アプリケーションによっては、このコンパレータの応答時間が(たとえば、過度の電源電圧ノイズのため)十分長くないことがあります。 $SLOW COMPn$ の応答時間を調節するには、LTC4230の $FILTER$ ピンにコンデンサを使います(「 $SLOW COMPn$ の応答時間の調節」のセクションを参照)。 $FAST COMPn$ は、センス抵抗両端の過渡電圧が500nsのあいだ150mVを超えると、回路ブレーカをトリップして高速負荷過電流から保護します。LTC4230の $FAST COMPn$ の応答時間は固定されています。

LTC4230の電子回路ブレーカが作動状態になる時点を図6のタイミング図に示します。1番目のタイミング・サイクル後、LTC4230の $FAST COMPn$ は時点5で作動状態になります。 $FAST COMPn$ が時点5で作動状態になると、 C_{LOADn} が完全に充電された後、2番目のタイミング・サイクルで短絡状態に対してシステムが保護されます。 $SLOW COMPn$ は、内部制御ループが開放されると、時点8で作動状態になります。

負荷電流がそれぞれ $FAST COMPn$ ($V_{CB(FAST)} > 150mV$)と $SLOW COMPn$ ($V_{CB(SLOW)} > 50mV$)のスレッシュホールドを超えたときのLTC4230の動作を図8と図9のタイミング図に示します。

電子回路ブレーカの再設定

LTC4230の回路ブレーカがトリップすると、 $FAULT$ が“L”になり、 $GATEn$ ピンがグランドに引き下げられます。LTC4230はラッチオフされ、外部のフォールト状態が解消するまでこのフォールト状態に保たれます。内部フォールト検出回路をクリアし、LTC4230を再起動するには、 ON ピンを少なくとも30μsのあいだ“L” ($V_{ON} < 1.234V$) にドライブする必要があります。その時点後 $FAULT$ は“H”になります。 ON ピンを“L”から“H” ($V_{ON} > 1.314V$) にトグルすると、LTC4230の再起動シーケンスが開始されます。

アプリケーション情報

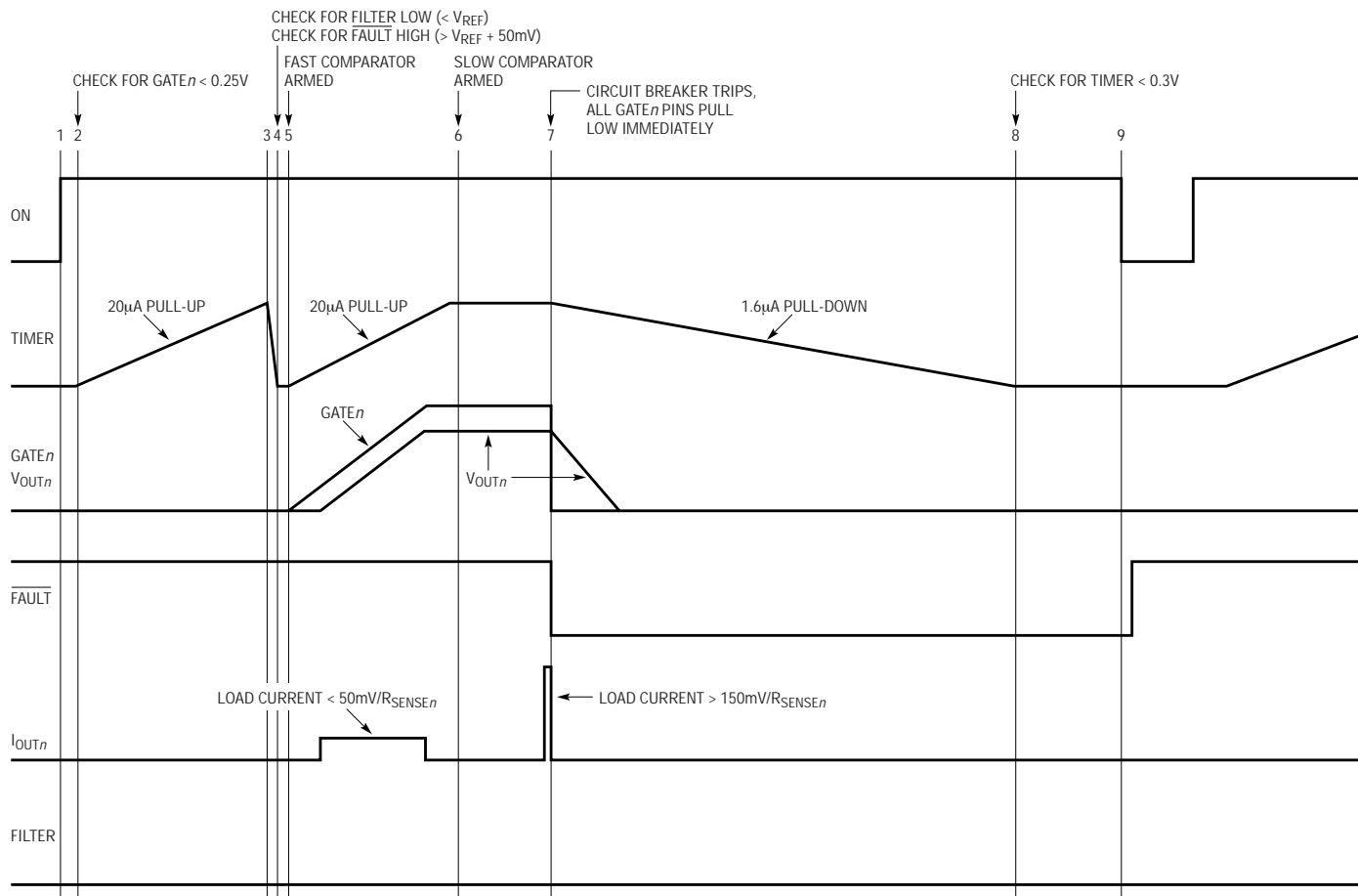
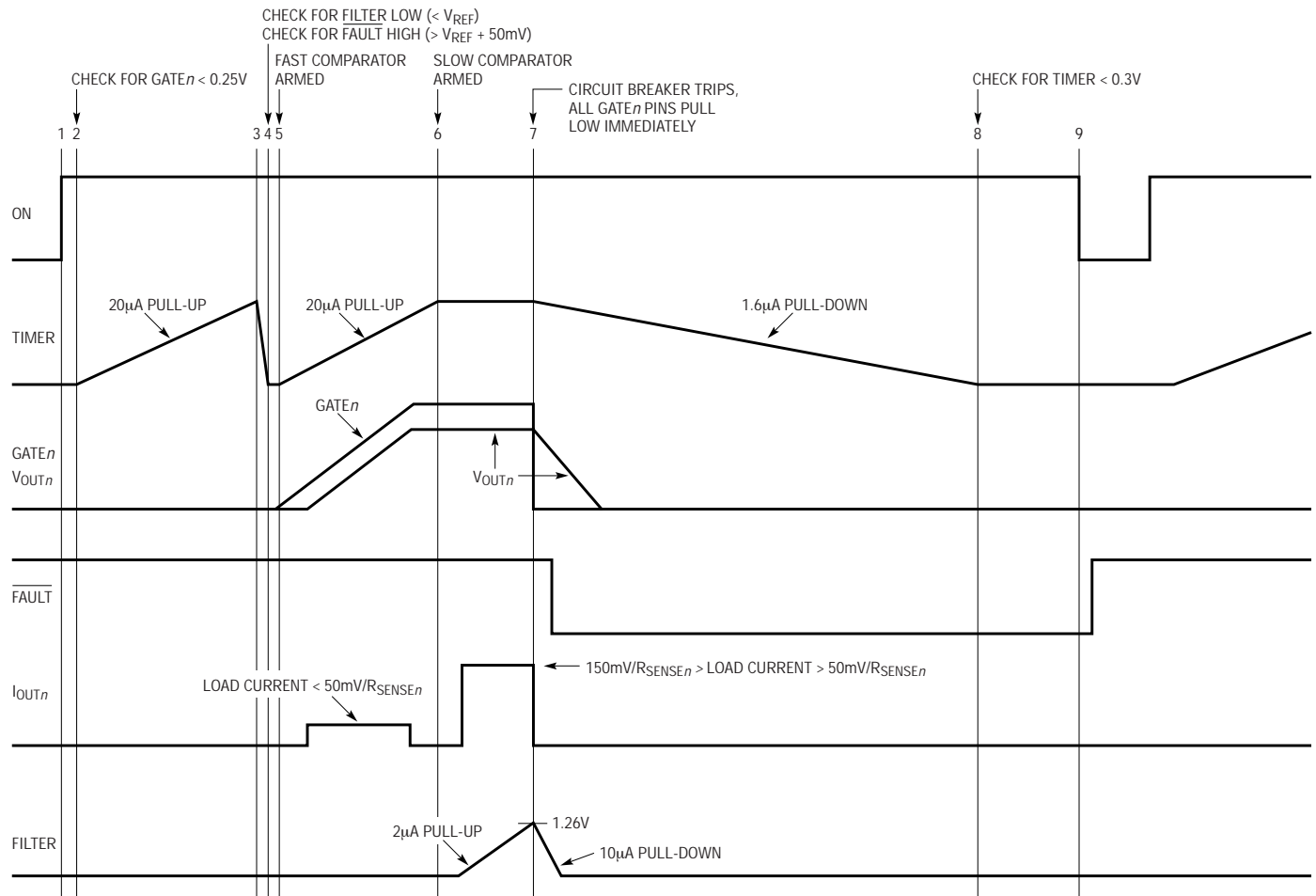


図8．出力短絡時の高速コンパレータによる回路ブレーカのトリップ

アプリケーション情報



4230 F09

図9 . 出力短絡時の低速コンパレータによる回路ブレーカのトリップ

アプリケーション情報

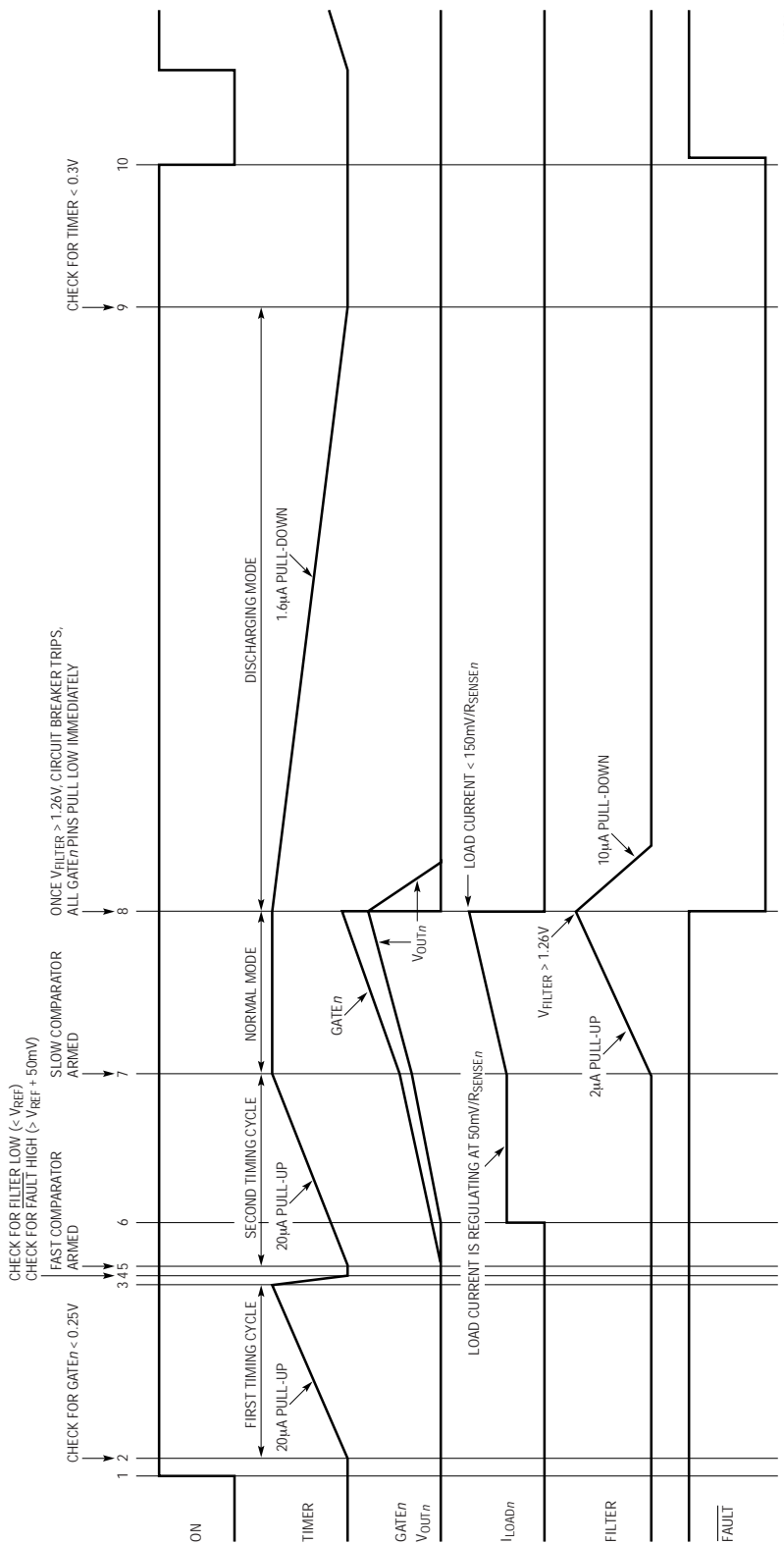


図10．過電流状態の完全短絡時の起動

アプリケーション情報

LTC4230が電源立上げ時に負荷過電流状態になった場合の起動シーケンスを図10のタイミング図に示します。回路ブレーカは時点8でトリップし、時点10でリセットされることに注意してください。

SLOW COMP_nの応答時間の調節

SLOW COMP_nの応答時間は、LTC4230のFILTERピンとグラウンド間に接続したコンデンサを使って調節します。このピンが使われないと、SLOW COMP_nの遅延は既定値の10 μ sになります。通常動作時は、トランジスタM4によって10 μ Aの内部プルダウン電流源がFILTERピンに接続されているので、FILTER出力ピンは“L”に保たれます。このプルダウン電流源は、SLOW COMP_nによって過電流負荷状態が検出されるとターンオフします。過電流状態では、トランジスタM5によって2 μ Aの内部プルアップ電流源がFILTERピンに接続されるので、C_{FILTER}が充電されます。コンデンサに電荷が蓄積されるにつれ、C_{FILTER}の電圧が上昇します。FILTERピンの電圧が1.26Vまで上昇すると、電子回路ブレーカがトリップし、LTC4230のGATE_nピンがトランジスタMF_n(ブロック図を参照)により素早くグラウンドに切り換えられます。回路ブレーカがトリップした後、M5がターンオフし、M4がターンオンし、10 μ Aのプルダウン電流がFILTERピンの電圧を“L”に保ちます。

過電流フォールト状態から回路ブレーカがトリップする(GATE_nがオフする)までのSLOW COMP_nの応答時間は式7で与えられます。

$$t_{\text{SLOWCOMP}n} = 1.26V \cdot \frac{C_{\text{FILTER}}}{2\mu\text{A}} + 10\mu\text{s} \quad (7)$$

たとえば、C_{FILTER} = 1000pFだと、SLOW COMP_nの応答時間 = 640 μ sです。設計に役立つように、C_{FILTER}の100pF ~ 1000pFの標準値に対するSLOW COMP_nの遅延時間(t_{SLOWCOMP})を表2に示します。

表2・t_{SLOWCOMP_n}とC_{FILTER}

C _{FILTER}	t _{SLOWCOMP_n}
100pF	73 μ s
220pF	149 μ s
330pF	218 μ s
470pF	306 μ s
680pF	438 μ s
820pF	527 μ s
1000pF	640 μ s

センス抵抗に関する検討事項

LTC4230の内部電子回路ブレーカがトリップするフォールト電流レベルは、LTC4230のV_{CC_n}ピンとSENSE_nピン間に接続されたセンス抵抗および2つのトリップ点によって決まります。最初のトリップ点はSLOW COMP_nのスレッシュホールド、つまりV_{CB(SLOW)} = 50mVによって設定され、負荷電流フォールト状態が10 μ s以上続くとトリップします。電子回路ブレーカがトリップする電流レベルは式8で与えられます。

$$I_{\text{TRIP(SLOW)}n} = \frac{V_{\text{CB(SLOW)}n}}{R_{\text{SENSE}n}} = \frac{50\text{mV}}{R_{\text{SENSE}n}} \quad (8)$$

2番目のトリップ点はFAST COMP_nのスレッシュホールド、つまりV_{CB(FAST)} = 150mVによって設定され、高速負荷過渡電流が500ns以上続くとトリップします。この場合に回路ブレーカがトリップする電流レベルは式9で与えられます。

$$I_{\text{TRIP(FAST)}n} = \frac{V_{\text{CB(FAST)}n}}{R_{\text{SENSE}n}} = \frac{150\text{mV}}{R_{\text{SENSE}n}} \quad (9)$$

設計に役立つように、一般的なR_{SENSE}の値に対して、電子回路ブレーカがトリップする電流を表3に示します。

表3・R_{SENSE}に対するI_{TRIP(SLOW)}およびI_{TRIP(FAST)}

R _{SENSE}	I _{TRIP(SLOW)}	I _{TRIP(FAST)}
0.005 Ω	10A	30A
0.006 Ω	8.3A	25A
0.007 Ω	7.1A	21A
0.008 Ω	6.3A	19A
0.009 Ω	5.6A	17A
0.01 Ω	5A	15A

回路ブレーカが正しく動作するように、センス抵抗およびLTC4230のV_{CC_n}ピンとSENSE_nピンの接続にはケルビン・センスPCB接続を使うことを強く推奨します。LTC4230とセンス抵抗間の正しい接続法を図11に示します。配線による誤差を小さくするため、PCBレイアウトはバランスのとれた対称形にします。さらに、センス抵抗のPCBレイアウトには、センス抵抗の電力消費を最適化するための熱管理テクニックを使います。

アプリケーション情報

回路ブレーカがトリップする前に部品が損傷を受けないように、センス抵抗の電力定格は定常状態のフォールト電流レベルに適応している必要があります。LTC4230の回路ブレーカに使用できる推奨センス抵抗を付録の表4に示します。

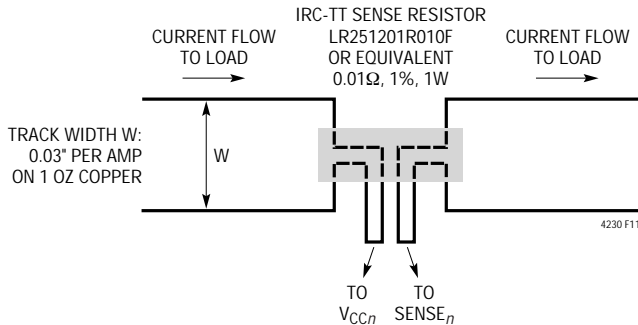


図11 . PCB上のセンス抵抗接続

回路ブレーカのトリップ電流の計算
選択された R_{SENSE} 値に対して、回路ブレーカをトリップする公称負荷電流は式10で与えられます。

$$I_{TRIP(NOM)} = \frac{V_{CB(NOM)}}{R_{SENSE(NOM)}} = \frac{50mV}{R_{SENSE(NOM)}} \quad (10)$$

回路ブレーカをトリップする最小負荷電流は式11で与えられます。

$$I_{TRIP(MIN)} = \frac{V_{CB(MIN)}}{R_{SENSE(MAX)}} = \frac{40mV}{R_{SENSE(MAX)}} \quad (11)$$

ここで、

$$R_{SENSE(MAX)} = R_{SENSE(NOM)} \cdot \left[1 + \left(\frac{R_{TOL}}{100} \right) \right]$$

回路ブレーカをトリップする最大負荷電流は式12で与えられます。

$$I_{TRIP(MAX)} = \frac{V_{CB(MAX)}}{R_{SENSE(MIN)}} = \frac{60mV}{R_{SENSE(MIN)}} \quad (12)$$

ここで、

$$R_{SENSE(MIN)} = R_{SENSE(NOM)} \cdot \left[1 - \left(\frac{R_{TOL}}{100} \right) \right]$$

例：
電流制限に $7m \pm 5\%$ の R_{TOL} のセンス抵抗が使われると、公称トリップ電流 $I_{TRIP(NOM)} = 7.1A$ となります。式11と式12から、それぞれ $I_{TRIP(MIN)} = 5.4A$ および $I_{TRIP(MAX)} = 9A$ となります。

回路ブレーカが不必要にトリップせずに正しく動作するには、最小トリップ電流($I_{TRIP(MIN)}$)が回路の最大動作負荷電流を超えていることが必要です。信頼性を高めるために、最大トリップ電流($I_{TRIP(MAX)}$)での動作を慎重に評価する必要があります。必要なら、同じ R_{TOL} の2個の抵抗を並列に接続して、回路の必要条件に合致する $R_{SENSE(NOM)}$ 値にすることができます。

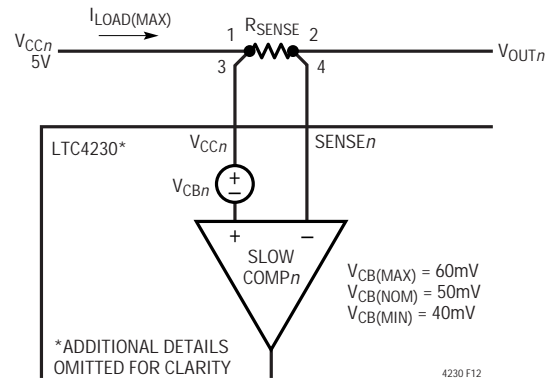


図12 . R_{SENSE} 計算用の回路ブレーカ等価回路

パワーMOSFETの選択基準

パワーMOSFETの選択では、まずMOSFETの最大ドレイン - ソース電圧 $V_{DS(MAX)}$ と最大ドレイン電流 $I_{D(MAX)}$ を選択します。 $V_{DS(MAX)}$ の定格は(サージ、スパイク、リングングなどを含む)最大入力電源電圧を超える必要があります。 $I_{D(MAX)}$ の定格はフォールト状態のシステムの最大短絡電流を超える必要があります。さらに、3つの重要パラメータ、つまり、MOSFETの1)必要なゲート - ソース(V_{GS})電圧ドライブ、2)ドレイン - ソース間のオン抵抗 $R_{DS(ON)}$ 両端の電圧降下、および3)最大接合部温度定格について検討します。

パワーMOSFETは、標準的MOSFET($V_{GS}=10V$ で $R_{DS(ON)}$ が規定されている)とロジック・レベルMOSFET($V_{GS}=5V$ で $R_{DS(ON)}$ が規定されている)の2つに分類されます。

アプリケーション情報

V_{GS} の絶対最大定格は、標準的MOSFETの場合、標準で $\pm 20V$ です。ただし、ロジック・レベルMOSFETの V_{GS} の最大定格は、製造元および製品番号にしたがって、 $\pm 8V \sim \pm 20V$ の範囲で変化します。 V_{CC} の関数としてのLTC4230のゲートのオーバードライブは標準的性能特性曲線で示されています。低電源電圧のアプリケーションにはロジック・レベルのMOSFETを推奨します。電源電圧が4.75Vより高いアプリケーションには標準的MOSFETを使うことができます。

アプリケーションによっては、回路ブレーカがトリップすると、外部MOSFETのゲートが出力電圧より速く放電する可能性があることに注意してください。このため外部MOSFETに負の V_{GS} が生じます。外部MOSFETが負の V_{GS} 電圧によって損傷を受けないように、選択された外部MOSFETの $\pm V_{GS(MAX)}$ 定格は、通常、動作時入力電源電圧よりも大きい必要があります。さらに、MOSFETの $\pm V_{GS(MAX)}$ 定格はゲート・オーバードライブ電圧よりも高くなければなりません。GATE $_n$ のオーバードライブが低い電圧にクランプされている場合は、もっと低い $\pm V_{GS(MAX)}$ 定格のMOSFETをLTC4230に使うことができます。低電圧MOSFETが使われる場合に、ツェナー・ダイオードを使って、LTC4230のGATE $_n$ オーバードライブ信号をクランプする方法を図13の回路に示します。クランプ回路網は V_{CCn} とGATE $_n$ 間、またはGATE $_n$ と V_{OUTn} 間のどちらかに接続します。両方に接続する必要はありません。

外部パス・トランジスタのドレイン - ソース電圧 (V_{DS}) の V_{CC} に対する比率を小さく抑えるため、このパス・トランジスタの $R_{DS(ON)}$ は低くなければなりません。 $V_{CC} = 2.5V$ では、 $V_{DS} + V_{RSENSE} = 0.1V$ は出力電圧で4%の誤差を生じます。このため、MOSFETの選択は非常に低い $R_{DS(ON)}$ のものに限られます。高い V_{CC} 電圧では、 V_{DS} の必要条件を緩和することができ、その場合は、MOSFETのパッケージの熱放散 (P_D と T_J)により、 $R_{DS(ON)}$ の値が制限されることがあります。LTC4230に使えるパワーMOSFETをいくつか表5に示します。

パワーMOSFETの接合部温度は4つのパラメータに依存します。つまり、負荷に供給される電流 I_{LOAD} 、 $R_{DS(ON)}$ 、接合部 - 周囲間熱抵抗 θ_{JA} 、および回路が置かれる最大周囲温度 $T_{A(MAX)}$ です。信頼性の高い回路動作を維持するには、パワーMOSFETの最大接合部温度 ($T_{J(MAX)}$) が製造元の推奨値を超してはいけません。これには通常モードの

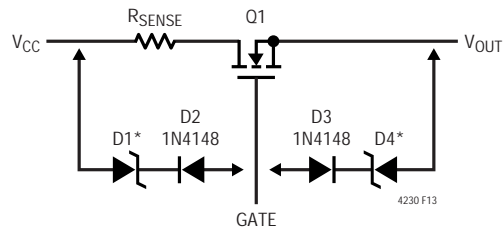
動作、起動、電流制限、およびフォールト状態での自動再トライ・モードが含まれます。与えられた一組の条件に対して、パワーMOSFETの接合部温度は式13で与えられます。

$$T_{J(MAX)} \leq (T_{A(MAX)} + \theta_{JA} \cdot P_D) \tag{13}$$

ここで、

$$P_D = (I_{LOAD})^2 \cdot R_{DS(ON)}$$

パワーMOSFETの電力消費の最適熱管理のためのPCBレイアウト技法を使うと、デバイスの θ_{JA} をできるだけ低く保つのに役立ちます。詳細については「PCBレイアウトの検討事項」のセクションを参照してください。



*ユーザーが選択した電圧クランプ (低バイアス電流のツェナー・ダイオードを推奨)
 1N4688 (5V)
 1N4692 (7V): LOGIC-LEVEL MOSFET
 1N4695 (9V)
 1N4702 (15V): STANDARD-LEVEL MOSFET

図13. 低 $V_{GS(MAX)}$ のMOSFETのゲートのクランプオプション

スタガピン・コネクタの利用

LTC4230はプリント基板側またはコネクタのバックプレーン側のどちらかで使うことができます。両方の例を図14に示します。プリント回路基板のスタガピン付きエッジ・コネクタは、回路基板の挿抜時にピン接続のシーケンスを確実に制御するので推奨します。プリント基板上の電源電圧とグラウンドはエッジ・コネクタの長いピン(ブレード)に接続します。カードのエッジ・コネクタを通過する制御信号と状態信号 (\overline{RESET}_n 、 \overline{FAULT} 、ONなど)は短いピン(ブレード)に接続します。

アプリケーション情報

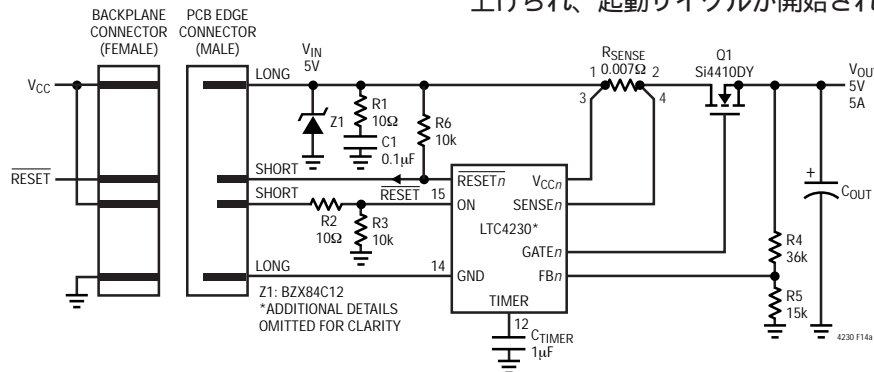
PCB接続検出

LTC4230が起動サイクルを開始する前にプリント回路基板がバックプレーンに完全に挿入されたか検出するには、LTC4230のONピンを使ったいくつかの方法があります。

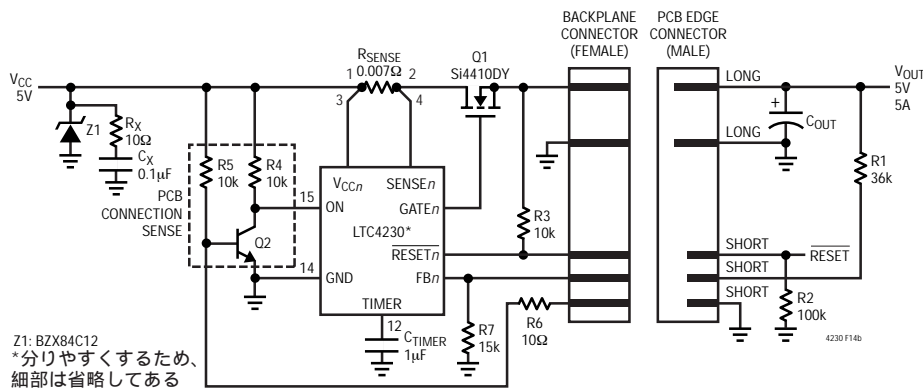
最初の例はこのデータシートの最初のページの回路に示されています。この場合、LTC4230はPCBに実装され、10kの抵抗分割器がONピンに接続されます。R1はエッジ・コネクタの短いピンに接続されます。コネクタ同士が完全にかみ合うまで、ONピンは“L”へ保たれ、LTC4230をオフ状態に保ちます。コネクタ同士がみ合うと、抵抗分割器は V_{CC1} に接続され、 $V_{ON} > 1.314V$ となり、LTC4230は起動サイクルを開始します。

LTC4230を使ったPCBドーターカードの基本構成を図14aに示します。カードがバックプレーンに差し込まれると、ONピンはバックプレーンの V_{CC} に直接接続されます。R2とR3は、バックプレーンやコネクタ上に、あるいはカードの挿入時に存在する可能性のある静電気を逃がすために接続されています。

3番目の例は図14bに示されており、この場合、LTC4230はバックプレーンに実装されます。この例では、2N2222トランジスタと一対の抵抗 (R4, R5) でPCB接続検出回路が形成されます。カードがシャーシに挿入されていないと、Q2のベースはR5を介して V_{CC} にバイアスされるので、Q2はオン状態になり、LTC4230のONピンは“L”にドライブされます。Q2のベースはバックプレーン・コネクタのソケットにも配線されています。カードがバックプレーンに完全に挿入されると、Q2のベースはカードの短いピン・コネクタを介してグラウンドに接続されます。Q2はオフ状態にバイアスされるので、LTC4230のONピンは V_{CC} に引き上げられ、起動サイクルが開始されます。



(14a)ドーターボード上のホットスワップ・コントローラ



(14b)バックプレーン上のホットスワップ・コントローラ

図14. スタガピン接続

アプリケーション情報

上の3つの例では、接続検出はプロセッサ(“L”)の割り込み機能無しに固定配線されています。図15に示されているように、低コストのロジック・レベルのディスクリットMOSFETと一対の抵抗を追加すると、プロセッサによる接続検出の割り込み制御を実現できます。カードがバックプレーンにしっかり差し込まれるまで、M2のゲートはR4によってV_{CC}に保たれます。ON/OFF信号がロジック“L”になると、M2がオフになり、ONピンが“H”に引き上げられて、LTC4230がターンオンします。

もっと精巧な接続検出回路を図16に示します。Q1とQ2のベースはエッジ・コネクタの両端に位置する短いピンに配線されます。これは、プリント回路基板を挿抜するには通常カードを前後に揺る必要があるからです。V_{CC}が接続状態になると、Q1とQ2の両トランジスタの

ベースは“H”に引き上げられてONにバイアスされます。両方がオン状態だと、LTC4230のONピンは“L”へ保たれ、LTC4230をオフ状態に保ちます。Q1とQ2の短いベース・コネクタ・ピンが最終的にバックプレーンとかみ合うと、これらのベースはグランドに接続され、両トランジスタをオフにバイアスします。するとONピンはR3によって“H”に引き上げられ、LTC4230がイネーブルされて、起動サイクルが開始されます。

ソフトウェアで起動されるパワーダウン・サイクルは、ロジック“H”信号でトランジスタM1を一時的にドライブすることによって開始することができます。この“H”信号により、LTC4230のONピンは逆に“L”にドライブされます。ONピンが8μs以上“L”に保たれると、LTC4230のGATE_nピンはグランドに切り換わります。

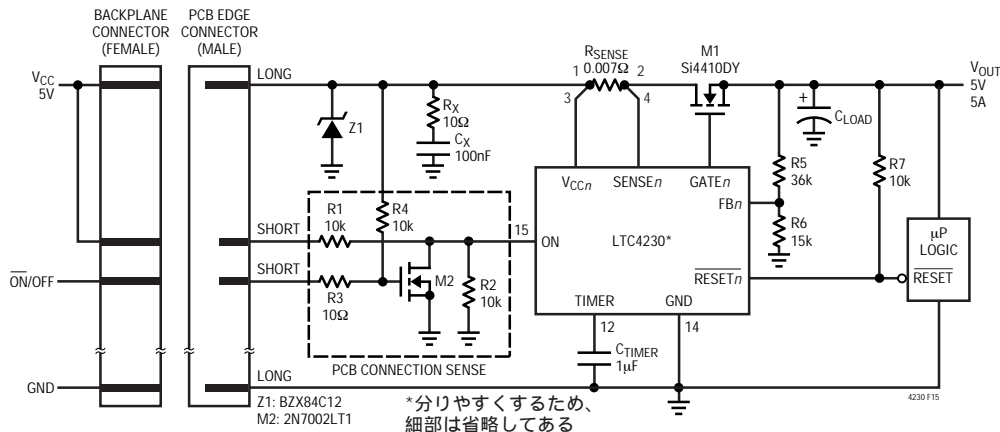


図15. ON/OFFコントロール付き接続検出

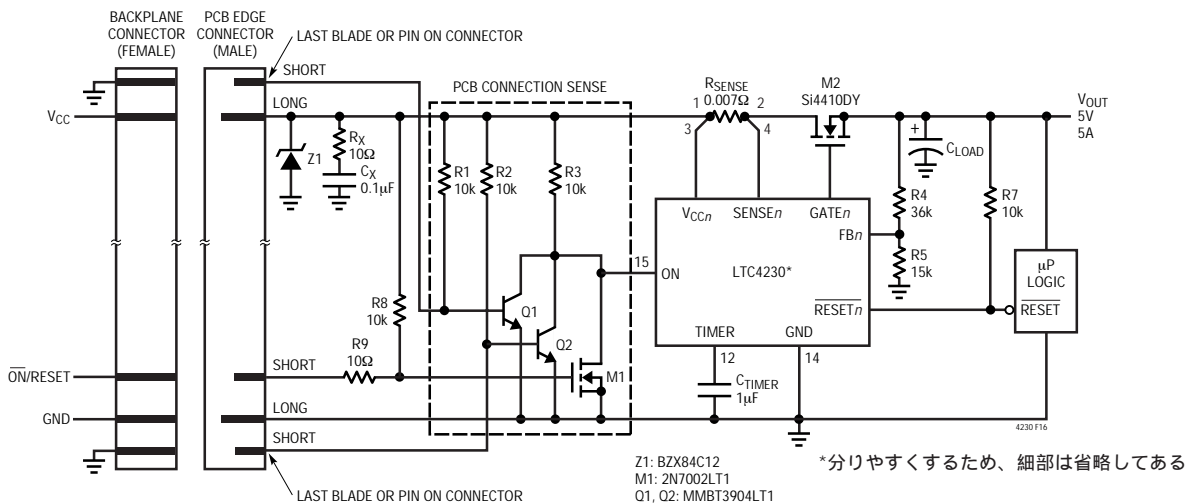


図16. ドアボードを前後に揺るのに対処した接続検出

アプリケーション情報

高電源電圧動作に関する検討事項

LTC4230 は1.7V ~ 16.5V の電源電圧で使用することができます。高い入力電源電圧では、内部チャージ・ポンプが、 $V_{CC} > 15V$ に対して7Vの最小ゲート・ドライブ電圧を発生します。この最小電圧ドライブは、図17に示されているように、内部ツェナー・ダイオード・クランプ回路によって得られます。PCボードの挿抜時に、このツェナー・ダイオードに十分な過渡電流が流れることがあります。過渡現象の電流量を制限するため、図17に示されているように、LTC4230のGATE n ピンと外部MOSFETのゲート間にオプションで低抵抗を使うことができます。この部品の副次的利点として、パワーMOSFETの高周波寄生発振の可能性を下げます。

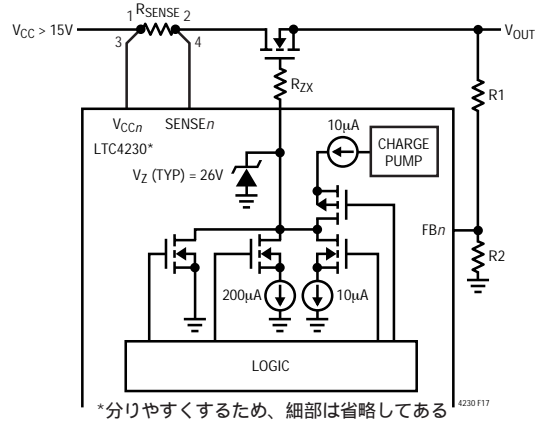
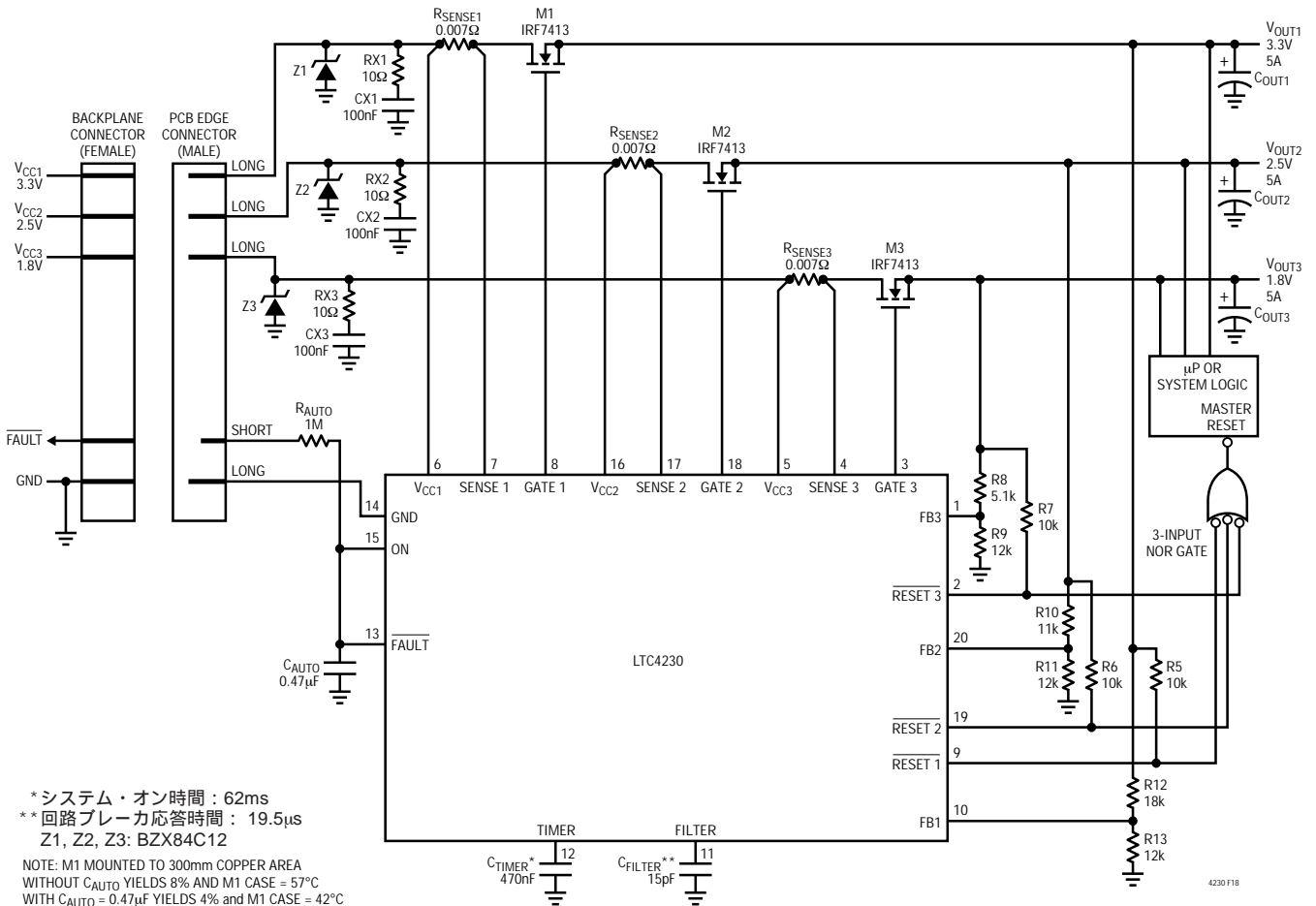


図17．高 V_{CC} アプリケーションでツェナー・ダイオードの電流制限に使われた外部抵抗



* システム・オン時間：62ms
 ** 回路ブレーカ応答時間：19.5 μ s
 Z1, Z2, Z3: BZX84C12
 NOTE: M1 MOUNTED TO 300mm COPPER AREA
 WITHOUT C_{AUTO} YIELDS 8% AND M1 CASE = 57°C
 WITH $C_{AUTO} = 0.47\mu F$ YIELDS 4% AND M1 CASE = 42°C

図18．自動再トライのアプリケーション

アプリケーション情報

フォールト発生後の自動再トライ
 フォールト状態が生じた後、自動的に再トライするようにLTC4230を構成するには、図18に示されているように、(2μAの内部プルアップ電流源をもった)FAULTピンとONピンを相互に接続します。この場合、自動再トライ回路は、図19のタイミング図に示されているように、8%のデューティ・サイクルでLTC4230を再起動しようと試みます。自動再トライ時の外部MOSFETや他の部品の過熱を防ぐため、回路にコンデンサ(C_{AUTO})を追加すると、ONピンに遅延を生じて自動再トライのデューティ・サイクルを調整します。外部時定数C_{AUTO}によって修正された自動再トライ時のデューティ・サイクルは式14によって与えられます。

$$\text{Autoretry Duty Cycle} = \frac{t_{\text{TIMER}}}{t_{\text{OFF}} + 12.5 \cdot t_{\text{TIMER}}} \cdot 100\% \quad (14)$$

ここで、t_{TIMER}=LTC4230システムの時定数(TIMER機能を参照)で、

$$t_{\text{OFF}} = \frac{C_{\text{AUTO}} \cdot 1.314\text{V}}{2\mu\text{A}}$$

示されている値の場合、外部遅延は290msとなり、自動再トライのデューティ・サイクルは8%から4%に減少します。

RC遅延を大きくするには、C_{AUTO}またはR_{AUTO}のどちらかを大きくします。ただし、C_{AUTO}>2μFにすると、実際にはFAULTピンのリセット・シンク電流能力のためにRC遅延が制限されます。したがって、RC遅延を大きくするには、R_{AUTO}を大きくするか、またはC_{AUTO}と並列にブリード抵抗をGNDに接続する方が効果的です。一例として、R_{AUTO}を1Mから3.2Mにすると、デューティ・サイクルは3%に減少します。

過渡的過電圧保護

回路設計の一般的手法としてアナログ回路の電源レールにはバイパス・コンデンサを配置します。各電源レールに接続する値の大きなバルク・バイパス・コンデンサ1個または複数個に加えて、多くの場合、バイパス・コンデンサを各能動デバイスの電源接続箇所に配置します。電源が突如接続された場合、大きなバイパス・コンデンサは電源電圧の立上がり速度を下げて、電源バイパス・コンデンサに対抗するリード配線やPCトラックのインダクタンスの寄生共振を大幅に減衰させます。

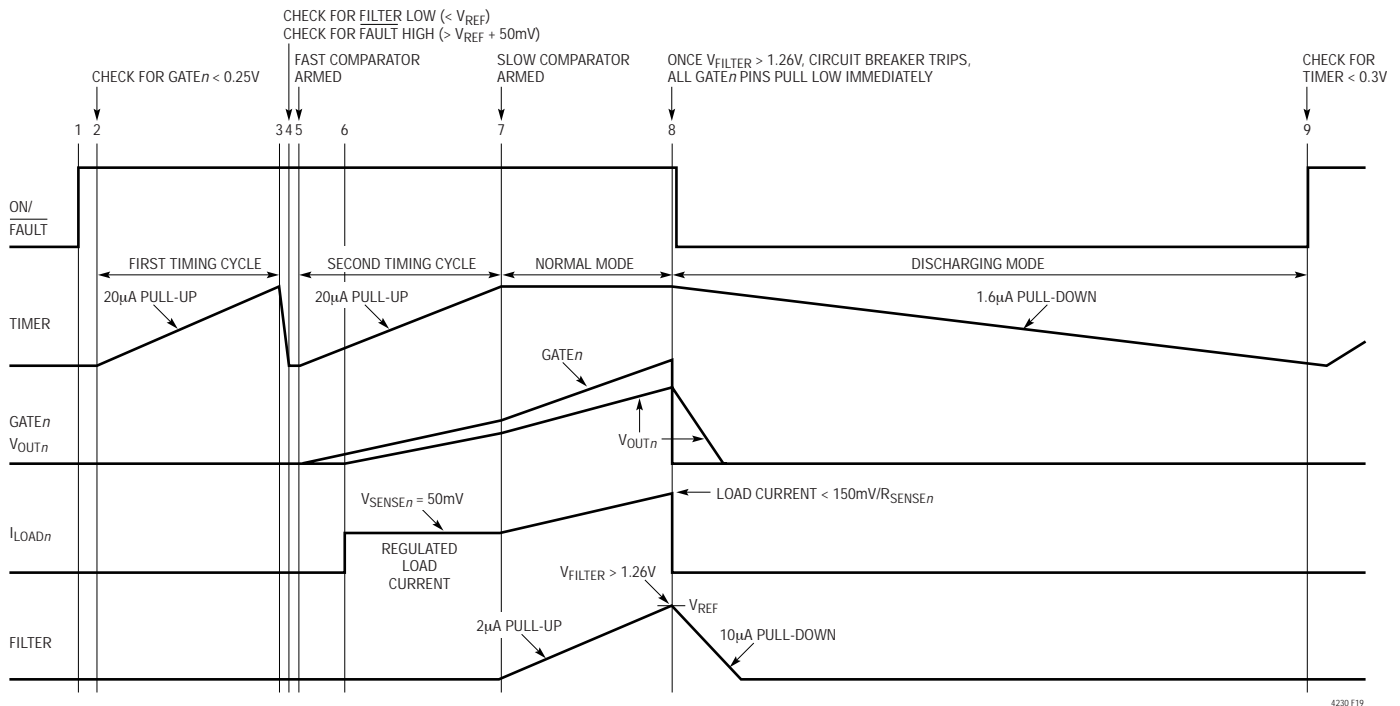


図19. 自動再トライのタイミング

アプリケーション情報

プラグイン・カードに実装されたLTC4230のホットスワップ回路に対しては、その逆が当てはまります。ほとんどの場合、MOSFETスイッチの、電力が供給される電源電圧側には電源バイパス・コンデンサは接続されません。ボードをバックプレーンのコネクタに差し込むとき突然生じる接続状態により、LTC4230の電源ラインに高速の立上りエッジが加わります。

寄生トラック・インダクタンスを減衰させるバルク・コンデンサが無いので、配線ハーネスや、バックプレーンや、回路基板のトレースが結合した寄生インダクタンスとパワーMOSFETの容量とによって形成される寄生共振回路が、電源過電圧によって励起されます。これらのリングングは入力電源ラインの高速エッジとして現れ、定常値の2.5倍に達するピーク・オーバーシュートを示します。このピークの後は減衰した正弦波共振が続き、その継続時間と周期は共振回路のパラメータに依存します。LTC4230の絶対最大電源電圧は17Vなので、 $V_{CC} > 6.8V$ の電源電圧スパイクとリングングに対する過渡保護を実装することを強く推奨します。

これらのアプリケーションでは、これらの電源過電圧を除去する2つの方法があります。ツェナー・ダイオードを使って過渡現象を安全なレベルまで切り詰めるか、スナバ・ネットワークを使います。スナバ・ネットワークは直列RC網で、その時定数はボードの寄生共振回路に基づいて実験によって決定されます。出発点として、このネットワークのコンデンサは、バイアスのかかったパワーMOSFETの C_{OSS} の10倍～100倍になるように選択します。直列抵抗の値は実験によって決まり、寄生共振回路に依存して1～50の範囲になります。

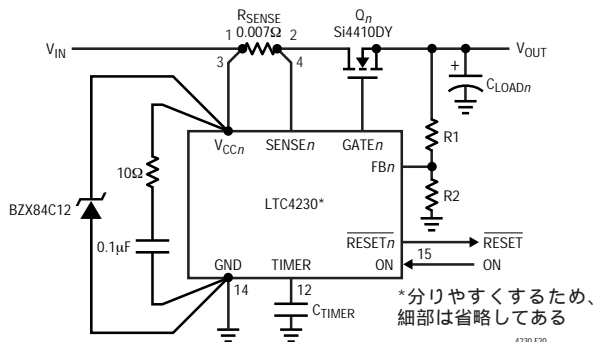


図20．LTC4230に近接して配置した過渡保護デバイス

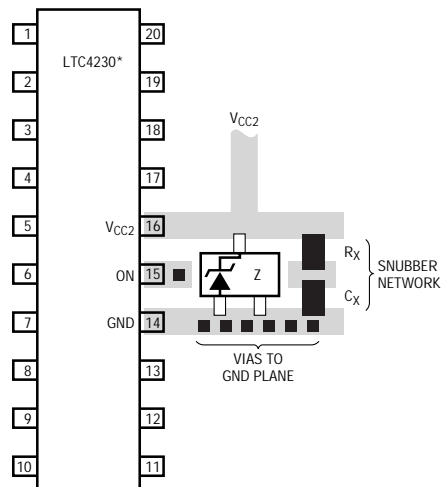
すべてのLTC4230の回路図では、ツェナー・ダイオードとスナバ・ネットワークが3.3Vと5Vの電源レールにそれぞれ接続されており、常に使う必要があることに注意してください。これらの保護回路網は、リードのインダクタンスを小さく抑えるため、リードの長さを短くしてLTC4230の電源電圧に近接して実装します。その回路図を図20に示します。LTC4230の周囲の過渡保護デバイスの推奨レイアウトは図21に示します。

追加の電源過電圧検出/保護

大規模過渡保護のためのLTC4230周辺の外部保護デバイスに加えて、外部パス・トランジスタのハイサイド(入力)またはローサイド(出力)のどちらかの電源過電圧検出/保護回路として機能する低電力ツェナー・ダイオードをLTC4230のFILTERピンに使うことができます。 $V_{FILTER} > 1.26V$ のとき、または外部フォールト状態($V_{FAULT} < 1.234V$)によってFAULTがL¹になるとき、内部制御回路がLTC4230のGATE_n電圧の上昇を防ぐことに注意してください。

ハイサイド(入力)過電圧保護

図22に示されているように、低電力ツェナー・ダイオードを使って、5V主電源の入力側(ハイサイド)の過電圧状態を検出することができます。この例では、システムを保護するために、低バイアス電流ツェナー・ダイオード1N4691が選ばれています。



NOTE: 図は実寸とは異なる
 V_{CC1} と V_{CC3} に同様のデクニックを使う
 *分りやすくするため、細部は省略してある

図21．過渡保護デバイスの推奨レイアウト

アプリケーション情報

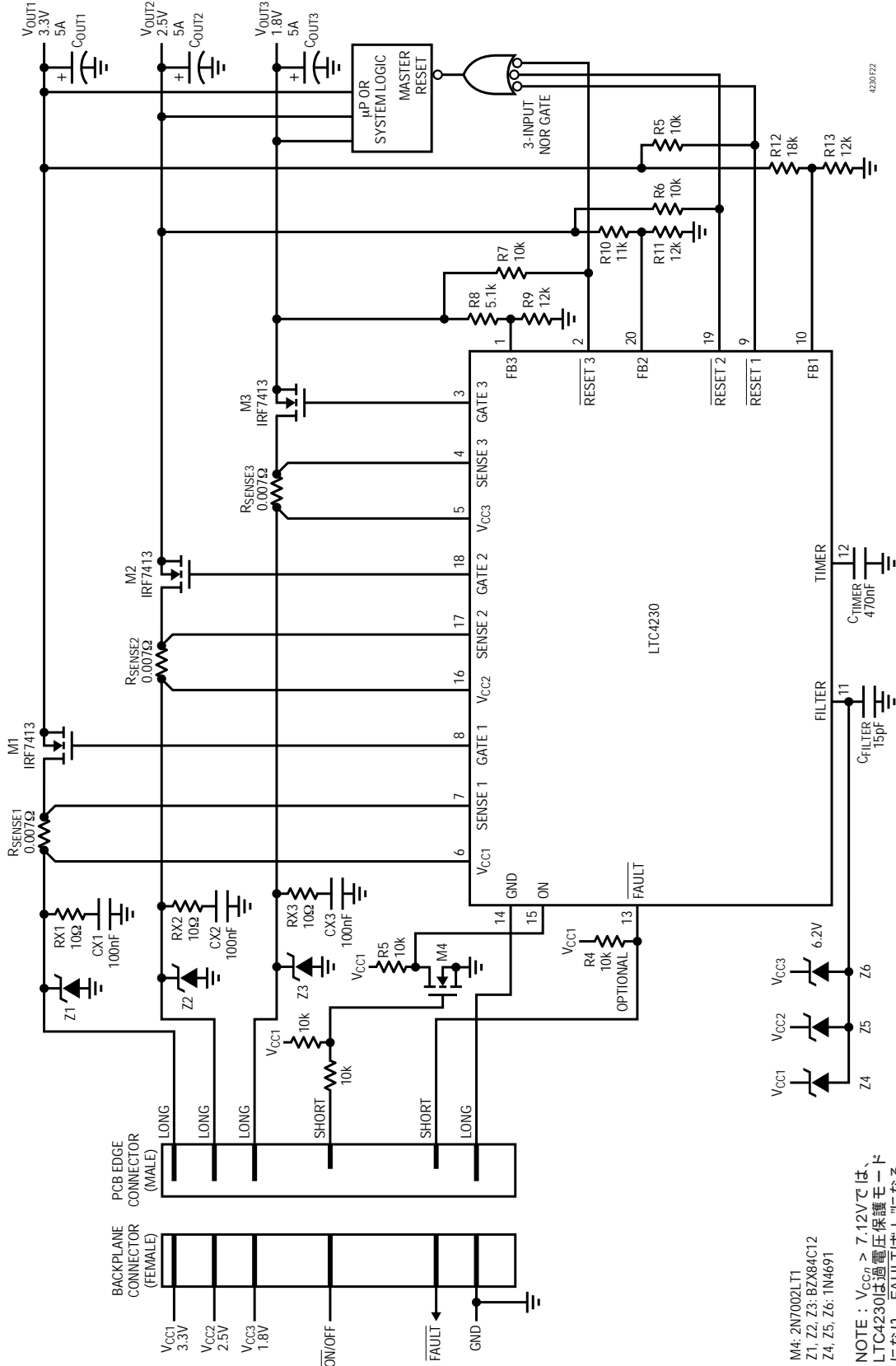


図22. LTC4230のハイサイド過電圧保護の実装

アプリケーション情報

この場合、ツェナー・ダイオードは V_{CC} とLTC4230のFILTERピン間に接続されます。起動時にシステムへの入力電圧が6.8Vより大きいと、FILTERピンの電圧は1.19Vのスレッシュホールドより高く引き上げられます。その結果、GATE n ピンは上昇できず、電源の過電圧状態が解消するまで2番目のタイミング・サイクルは開始されません。通常動作時に電源の過電圧状態が生じると、内部制御ロジックが電子回路ブレーカをトリップして、GATEがグランドへ引き下げられ、外部パス・トランジスタがターンオフします。もっと低い電源過電圧スレッシュホールドが望ましい場合、ブレークダウン電圧がもっと小さなツェナー・ダイオードを使います。

ハイサイドの過電圧状態におけるLTC4230の動作を示すタイミング図を図23に示します。

この場合の起動シーケンス(時点1と時点2のあいだ)は他の通常動作条件の起動シーケンスと同じです。時点2で、入力電源電圧によりツェナー・ダイオードが導通するため、 $V_{FILTER} > 1.19V$ となります。時点3で、FAULTは“L”になり、TIMERピンの電圧は下降します。時点4で、LTC4230は $V_{FILTER} < 1.19V$ かどうかをチェックします。FAULTは“L”になり(ただし、ラッチはされません)、起動が失敗したことを示します。時点5の前に入力過電圧状態が解消した場合にだけ、2番目のタイミング・サイクルで起動シーケンスが再開されます。この時点で、GATE n ピンの電圧が上昇し始め、FAULTは“H”に引き上げられて、回路ブレーカは作動状態になります。時点5以降いつであっても電源の過電圧状態が生じたら($V_{FILTER} > 1.26V$)、電子回路ブレーカがトリップし、GATE n は“L”に引き下げられて外部MOSFETはターンオフし、FAULTは“L”になってラッチされます。

ローサイド(出力)過電圧保護

同様の方法でツェナー・ダイオードを使用して、パス・トランジスタの負荷側(つまりローサイド)の電源過電圧状態を検出し、システムを保護することができます。この場合、ツェナー・ダイオードは、図24に示されているように、負荷とLTC4230のFILTERピン間に接続します。ローサイドの出力過電圧状態の場合のタイミング図

を図25に示します。この例では、LTC4230は時点5以降にGATE n ピンが公称動作値まで上昇して初めて電源過電圧状態を検出することができます。時点5以降、負荷側で電源電圧フォールトが生じると、ツェナー・ダイオードが導通し、 V_{FILTER} が上昇します。時点6で V_{FILTER} が1.26Vを超えて、回路ブレーカがトリップし、GATEがグランドに引き下げられ、FAULTが“L”になってラッチされます。

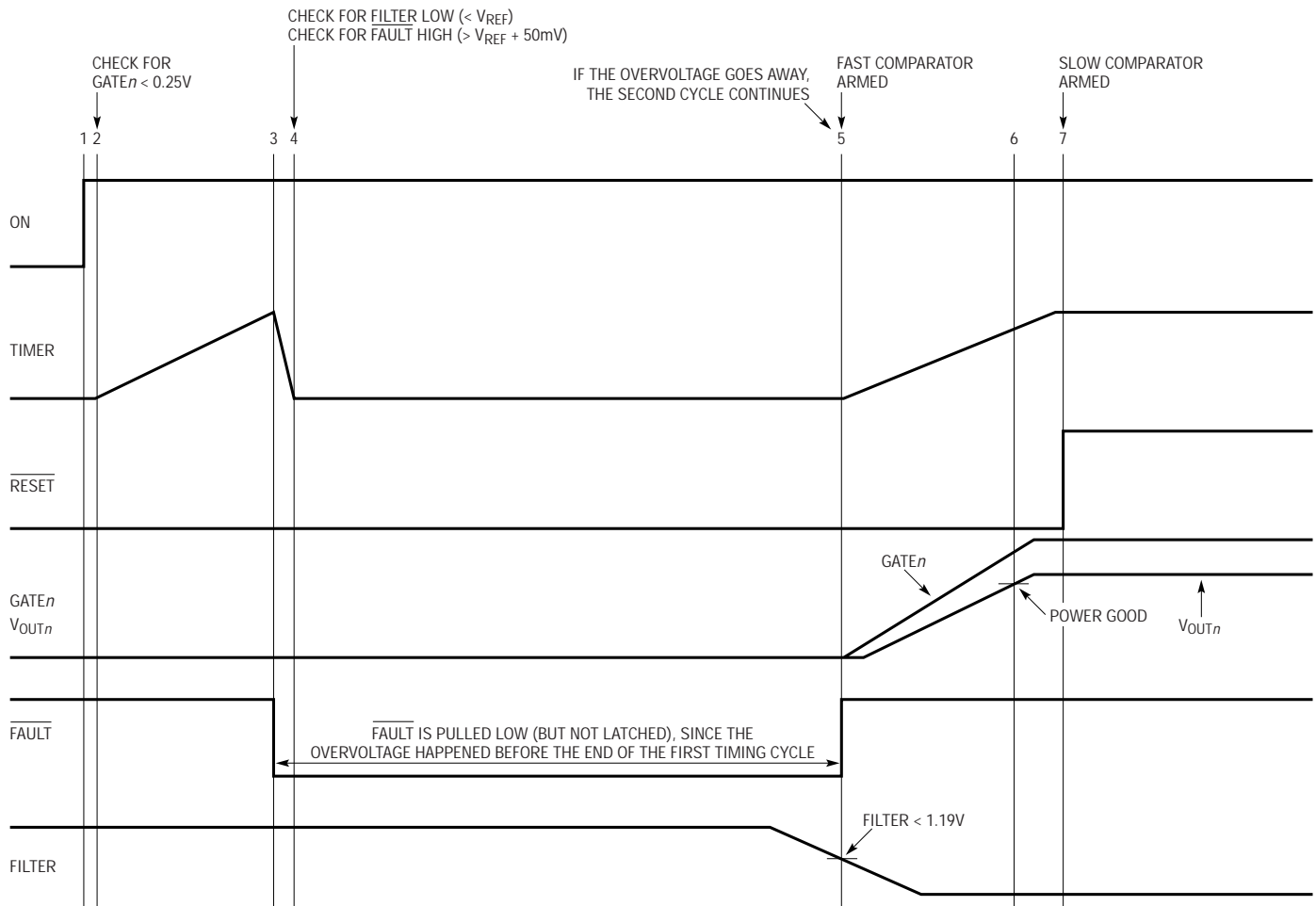
どちらの場合も、LTC4230は自動的に起動シーケンスを開始するように構成することができます。詳細については、「フォールト発生後の自動再トライ」のセクションを参照してください。

PCBレイアウトの検討事項

LTC4230の回路ブレーカを適切に作動させるには、センス抵抗への4線ケルビン接続を強く推奨します。LTC4230の周囲のセンス抵抗、パワーMOSFETおよびGATEドライブ部品の推奨PCBレイアウトを図26に示します。負荷電流が10A以上に達するホットスワップ・アプリケーションでは、狭いPCBトラックは広いトラックよりも大きな抵抗値を示し、高い温度で動作します。1オンスの銅箔のシート抵抗は約 $0.54m\ \Omega/\text{平方}$ なので、高電流アプリケーションではトラック抵抗がたちまち大きくなります。したがって、PCBのトラック抵抗と温度上昇を小さく抑えるため、PCBのトラック幅は適切な寸法にする必要があります。銅厚の関数としてのトレース抵抗の寸法と計算法の詳細については、アプリケーション・ノート69の付録Aを参考にしてください。

多くのアプリケーションでは、メッキ・スルー・ホールを使って部品層からPCボード内部の電源層とグランド層へ回路接続をする必要があります。1オンスの銅箔メッキの場合、妥当な出発点としてビア1個あたり1AのDC電流とし、半田が空隙を完全に埋めるようにビアの寸法を適切にとります。他のメッキ厚については、PCB製造部門で調べてください。

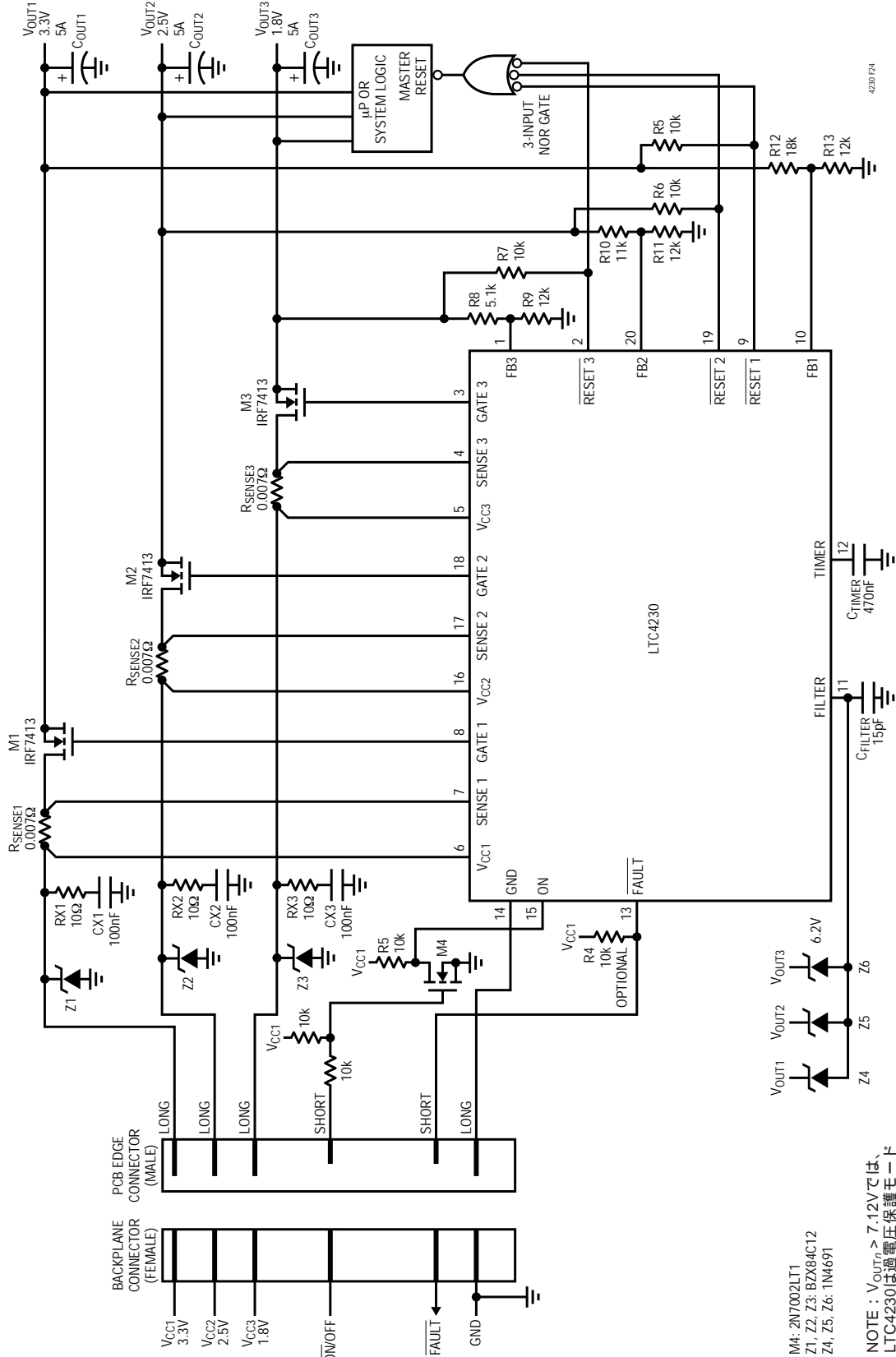
アプリケーション情報



4230 F23

図23 . ハイサイド過電圧保護のタイミング

アプリケーション情報



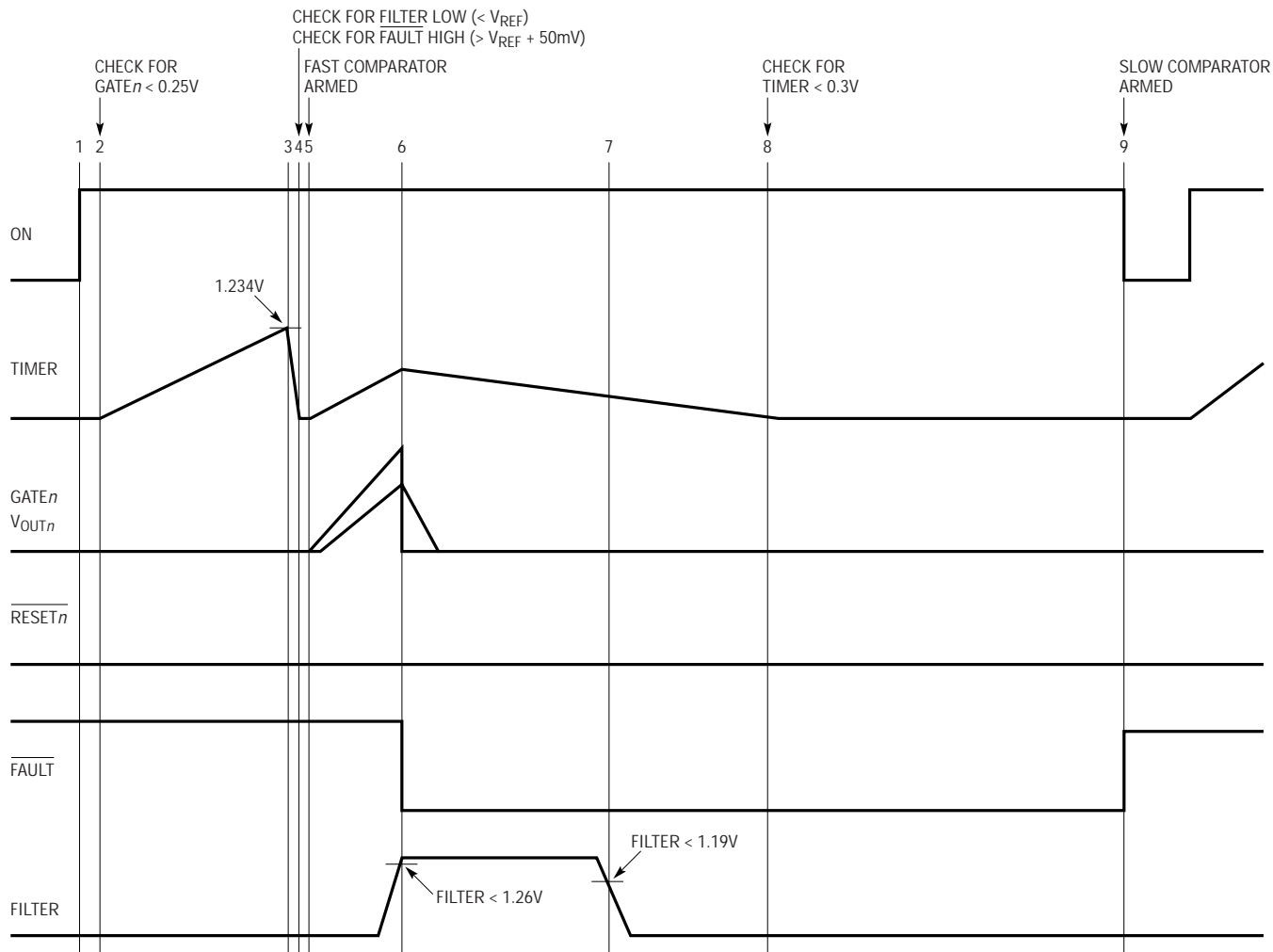
4230 F24

図24. LTC4230のローサイド過電圧保護の実装

M4: 2N7002LT1
 Z1, Z2, Z3: BZX84C12
 Z4, Z5, Z6: 1N4691

NOTE: $V_{OUTn} > 7.12V$ では、LTC4230は過電圧保護モードになり、FAULTは「1」になる

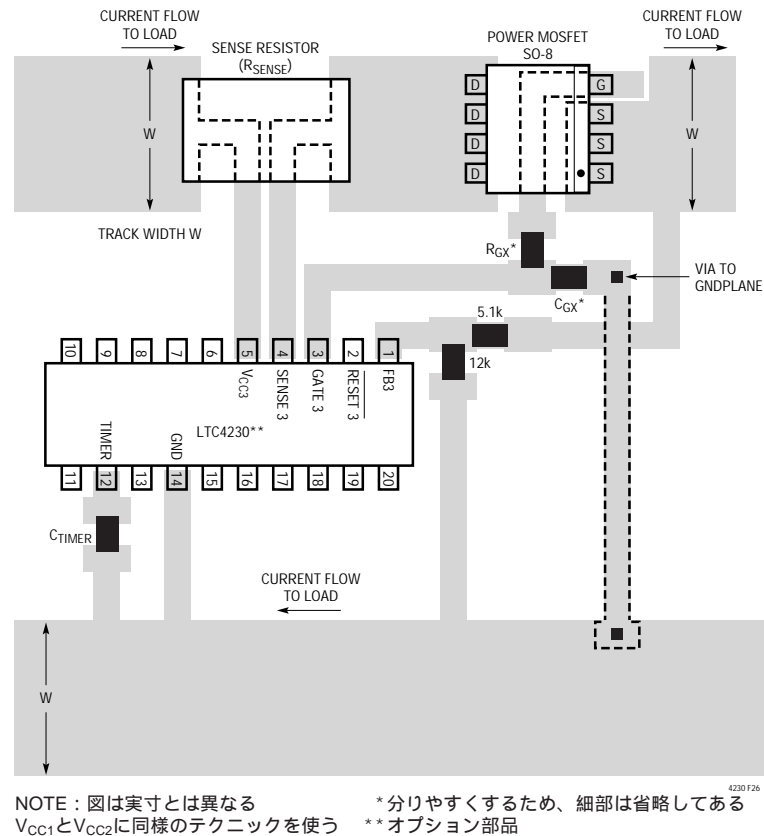
アプリケーション情報



4230 F24

図25 . ローサイド過電圧保護のタイミング

アプリケーション情報

図26 . LTC4230の R_{SENSE} 、パワーMOSFET、およびフィードバック・ネットワークの推奨レイアウト

付録

表4に、回路ブレーカに使用できる電流センス抵抗をいくつか示します。表5に、利用可能なパワーMOSFETをいくつか示します。表6に、いくつかの製造元のウェブ

サイトを示します。これらの情報は変更されることがありますので、部品番号は製造元でご確認ください。

表4 . センス抵抗の選択ガイド

CURRENT LIMIT VALUE	PART NUMBER	DESCRIPTION	MANUFACTURER
1A	LR120601R050	0.05 Ω 0.5W 1% Resistor	IRC-TT
2A	LR120601R025	0.025 Ω 0.5W 1% Resistor	IRC-TT
2.5A	LR120601R020	0.02 Ω 0.5W 1% Resistor	IRC-TT
3.3A	WSL2512R015F	0.015 Ω 1W 1% Resistor	Vishay-Dale
5A	LR251201R010F	0.01 Ω 1.5W 1% Resistor	IRC-TT
10A	WSR2R005F	0.005 Ω 2W 1% Resistor	Vishay-Dale

付録

表5. NチャンネルMOSFETの選択ガイド

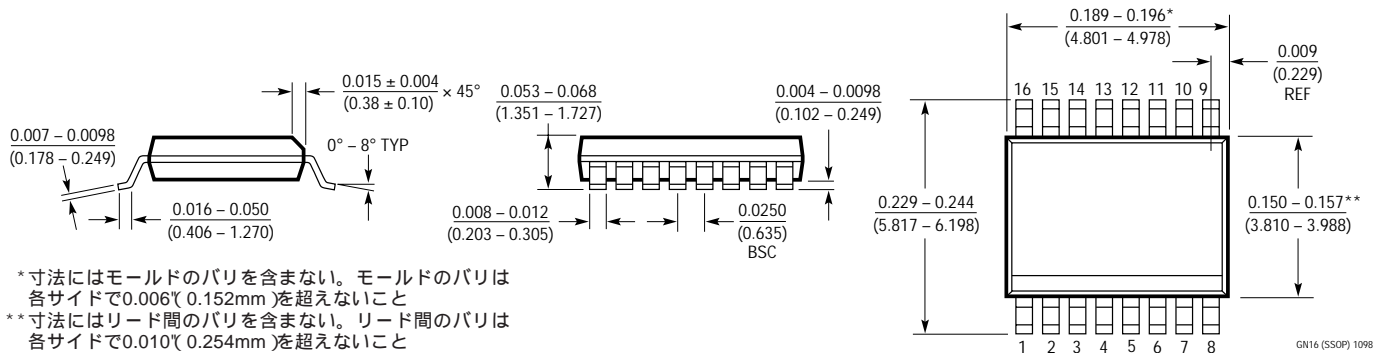
CURRENT LEVEL (A)	PART NUMBER	DESCRIPTION	MANUFACTURER
0 to 2	MMDF3N02HD	Dual N-Channel SO-8, $R_{DS(ON)} = 0.09\Omega$, $C_{ISS} = 455\text{pF}$	ON Semiconductor
2 to 5	MMSF5N02HD	Single N-Channel SO-8, $R_{DS(ON)} = 0.025\Omega$, $C_{ISS} = 1130\text{pF}$	ON Semiconductor
5 to 10	MTB50N06V	Single N-Channel DD Pak, $R_{DS(ON)} = 0.028\Omega$, $C_{ISS} = 1570\text{pF}$	ON Semiconductor
10 to 20	MTB75N05HD	Single N-Channel DD Pak, $R_{DS(ON)} = 0.0095\Omega$, $C_{ISS} = 2600\text{pF}$	ON Semiconductor

表6. 製造元のウェブサイト

MANUFACTURER	WEB SITE	MANUFACTURER	WEB SITE
TEMIC Semiconductor	www.temic.com	IRC-TT	www.irctt.com
International Rectifier	www.irf.com	Vishay-Dale	www.vishay.com
ON Semiconductor	www.onsemi.com	Vishay-Siliconix	www.vishay.com
Harris Semiconductor	www.semi.harris.com	Diodes, Inc.	www.diodes.com

パッケージ寸法

GNパッケージの
20ピン・プラスチックSSOP(細型, 150インチ)
(Reference LTC DWG # 05-08-1641)



関連製品

製品番号	説明	注釈
LTC4211	多機能電流制御シングル・ホットスワップ・コントローラ	2.5V ~ 16.5V、LTC4230と同様の機能
LTC1421	2チャンネル・ホットスワップ・コントローラ	24ピン、3V ~ 12Vで動作し - 12Vをサポート
LTC1422	SO-8入りシングル・チャンネル、ホットスワップ・コントローラ	2.7V ~ 12Vで動作
LT4250L/LT4250H	SO-8入り負電圧ホットスワップ・コントローラ	- 20V ~ - 80Vで動作、アクティブ電流制限
LTC4251	SO-23入り - 48Vホットスワップ・コントローラ	- 15V ~ - 100Vで動作、アクティブ電流制限
LT1641	正電圧ホットスワップ・コントローラ	9V ~ 80Vで動作
LTC1642	シングル・チャンネル・ホットスワップ・コントローラ	16ピン、33Vまで過電圧保護
LTC1643L/LTC1643H	PCIホットスワップ・コントローラ	16ピン、3.3V、5Vおよび±12V
LTC1647	デュアル・チャンネル・ホットスワップ・コントローラ	8ピン、16ピン、2.7V ~ 16.5Vで動作