

デュアル理想ダイオードおよび ホット・スワップ・コントローラ

特長

- 冗長電源の電力経路および突入電流の制御
- パワー・ショットキ・ダイオードを低損失で置き換え
- 入力電圧の低下から出力電圧を保護
- 通電状態のバックプレーンからの安全な活線挿入が可能
- 動作電圧範囲: 2.9V ~ 18V
- Nチャンネル MOSFET を制御
- ピーク・フォルト電流を 1μs 以下に制限
- 回路ブレーカによる調整可能な電流制限
- 調整可能な電流制限フォルト遅延時間
- 発振のないスムーズな切り替え
- 理想ダイオードのターンオン時間および
ターンオフ時間: 0.5μs
- ステータス、フォルト、およびパワーグッド出力
- LTC4228-1: フォルト発生後、オフにラッチ
- LTC4228-2: フォルト発生後、自動再試行
- 4mm×5mm の 28ピン QFN パッケージおよび
SSOP パッケージ

アプリケーション

- 冗長電源
- MicroTCA システムおよびサーバ
- 通信ネットワーク
- 電源プライオリタイザ

概要

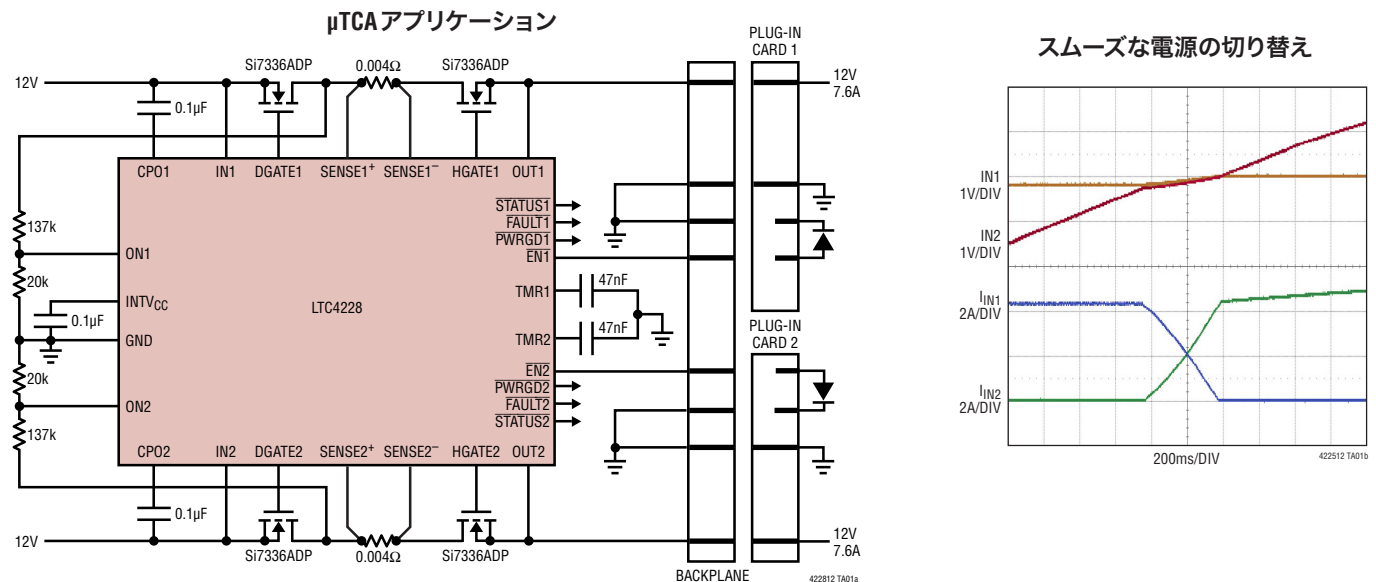
LTC®4228は、各電源レールで2つの外付けNチャンネル MOSFETを制御することにより、2つの電源レールに対して理想ダイオードおよびHot Swap™機能を提供します。理想ダイオードとして機能する MOSFET は、2つの大電力ショットキ・ダイオードと付随するヒートシンクを置き換えるので、消費電力と基板面積を抑えることができます。ホット・スワップ制御の MOSFET を使用すると、突入電流を制限することにより、通電状態のバックプレーンで基板を安全に抜き差しすることができます。電源の出力は、高速動作の電流制限回路および内蔵のタイミング設定回路ブレーカにより、短絡フォルトからも保護されます。

LTC4228は、外付け MOSFET 両端および検出抵抗両端の順方向電圧降下を制御して、発振のない状態で一方の電源から他方の電源へ電流が滑らかに切り替わるようにします。理想ダイオードは、迅速にオンすることにより、電源切り替え時の負荷の電圧低下を低減します。入力電源の故障や短絡が発生した場合は、高速ターンオフにより、逆方向電流トランジェントが最小限に抑えられます。

LTC4228は、独立したオン/オフ制御が可能であり、電源のフォルト・ステータスおよびパワーグッド・ステータスを通知します。LTC4228は、入力電圧の低下からより迅速に回復して出力電圧を保持することにより、LTC4225に改良を加えています。

LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。Hot Swap はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC4228-1/LTC4228-2

絶対最大定格 (Note 1, 2)

電源電圧

IN1, IN2 -0.3V ~ 24V
 INTV_{CC} -0.3V ~ 7V

入力電圧

ON1, ON2, EN1, EN2 -0.3V ~ 24V
 TMR1, TMR2 -0.3V ~ (INTV_{CC} + 0.3V)
 SENSE1⁺, SENSE2⁺ -0.3V ~ 24V
 SENSE1⁻, SENSE2⁻ -0.3V ~ 24V

出力電圧

FAULT1, FAULT2, PWRGD1, PWRGD2 -0.3V ~ 24V
 STATUS1, STATUS2 -0.3V ~ 24V
 CPO1, CPO2 (Note 3) -0.3V ~ 35V
 DGATE1, DGATE2 (Note 3) -0.3V ~ 35V

HGATE1, HGATE2 (Note 4) -0.3V ~ 35V
 OUT1, OUT2 -0.3V ~ 24V

平均電流

FAULT1, FAULT2, PWRGD1, PWRGD2 5mA
 STATUS1, STATUS2 5mA
 INTV_{CC} 1mA

動作温度範囲

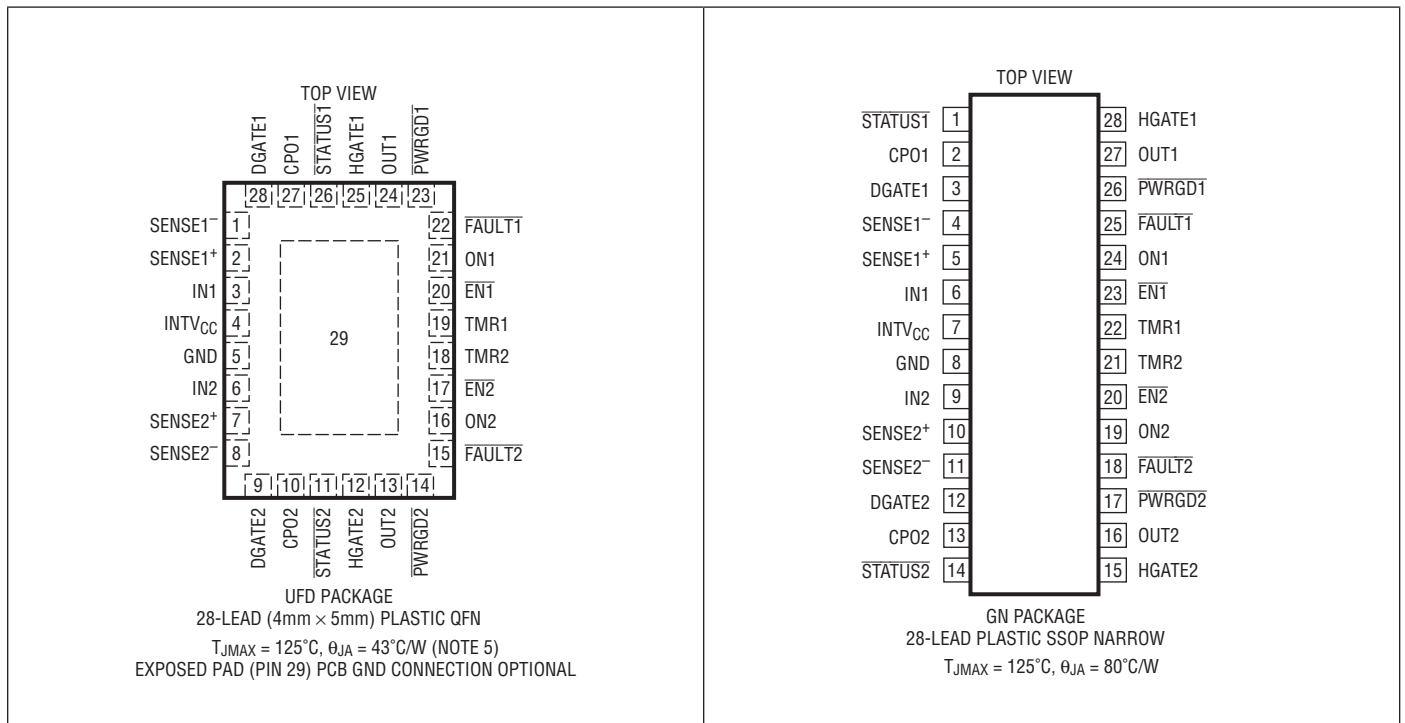
LTC4228C 0°C ~ 70°C
 LTC4228I -40°C ~ 85°C

保存温度範囲 -65°C ~ 150°C

リード温度 (半田付け, 10秒)

GNパッケージ 300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4228CUFD-1#PBF	LTC4228CUFD-1#TRPBF	42281	28-Lead (4mm × 5mm) Plastic QFN	0°C to 70°C
LTC4228CUFD-2#PBF	LTC4228CUFD-2#TRPBF	42282	28-Lead (4mm × 5mm) Plastic QFN	0°C to 70°C
LTC4228IUF-1#PBF	LTC4228IUF-1#TRPBF	42281	28-Lead (4mm × 5mm) Plastic QFN	-40°C to 85°C
LTC4228IUF-2#PBF	LTC4228IUF-2#TRPBF	42282	28-Lead (4mm × 5mm) Plastic QFN	-40°C to 85°C
LTC4228CGN-1#PBF	LTC4228CGN-1#TRPBF	LTC4228GN-1	28-Lead Plastic SSOP	0°C to 70°C
LTC4228CGN-2#PBF	LTC4228CGN-2#TRPBF	LTC4228GN-2	28-Lead Plastic SSOP	0°C to 70°C
LTC4228IGN-1#PBF	LTC4228IGN-1#TRPBF	LTC4228GN-1	28-Lead Plastic SSOP	-40°C to 85°C
LTC4228IGN-2#PBF	LTC4228IGN-2#TRPBF	LTC4228GN-2	28-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げ製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
電源						
V_{IN}	Input Supply Range		● 2.9		18	V
I_{IN}	Input Supply Current		●	2.5	5	mA
V_{INTVCC}	Internal Regulator Voltage	$I = 0, -500\mu\text{A}$	● 4.5	5	5.6	V
$V_{INTVCC(UVL)}$	Internal V_{CC} Undervoltage Lockout	INTVCC Rising	● 2.1	2.2	2.3	V
$\Delta V_{INTVCC(HYST)}$	Internal V_{CC} Undervoltage Lockout Hysteresis		● 30	60	90	mV
理想ダイオード制御						
$\Delta V_{FWD(REG)}$	Forward Regulation Voltage ($V_{INn} - V_{OUTn}$)		● 10	25	40	mV
ΔV_{DGATE}	External N-Channel Gate Drive ($V_{DGATEn} - V_{INn}$)	$IN < 7\text{V}, \Delta V_{FWD} = 0.1\text{V}, I = 0, -1\mu\text{A}$	● 5	7	14	V
		$IN = 7\text{V to } 18\text{V}, \Delta V_{FWD} = 0.1\text{V}, I = 0, -1\mu\text{A}$	● 10	12	14	V
$\Delta V_{DGATE(ST)}$	Diode MOSFET On Detect Threshold	STATUS Pulls Low, $\Delta V_{FWD} = 50\text{mV}$	● 0.3	0.7	1.1	V
$I_{CPO(UP)}$	CPOn Pull-Up Current	$CPO = IN = 2.9\text{V}$	● -60	-95	-120	μA
		$CPO = IN = 18\text{V}$	● -50	-85	-110	μA
$I_{DGATE(FPU)}$	DGATEn Fast Pull-Up Current	$\Delta V_{FWD} = 0.2\text{V}, \Delta V_{DGATE} = 0\text{V}, CPO = 17\text{V}$		-1.5		A
$I_{DGATE(FPD)}$	DGATEn Fast Pull-Down Current	$\Delta V_{FWD} = -0.2\text{V}, \Delta V_{DGATE} = 5\text{V}$		1.5		A
$t_{ON(DGATE)}$	DGATEn Turn-On Delay	$\Delta V_{FWD} = 0.2\text{V}, C_{DGATE} = 10\text{nF}$	●	0.25	0.5	μs
$t_{OFF(DGATE)}$	DGATEn Turn-Off Delay	$\Delta V_{FWD} = -0.2\text{V}, C_{DGATE} = 10\text{nF}$	●	0.2	0.5	μs
活線挿抜制御						
$\Delta V_{SENSE(CB)}$	Circuit Breaker Trip Sense Voltage ($V_{SENSEn+} - V_{SENSEn-}$)		● 47.5	50	52.5	mV
$\Delta V_{SENSE(ACL)}$	Active Current Limit Sense Voltage ($V_{SENSEn+} - V_{SENSEn-}$)		● 55	65	75	mV
$V_{SENSE+ (UVL)}$	SENSE+ Undervoltage Lockout	SENSE+ Rising	● 1.75	1.9	2.05	V
$\Delta V_{SENSE+ (HYST)}$	SENSE+ Undervoltage Lockout Hysteresis		● 10	50	90	mV
I_{SENSE+}	SENSE+ Input Current	SENSE+ = 12V	● 150	350	500	μA
I_{SENSE-}	SENSE- Input Current	SENSE- = 12V	● 10	50	100	μA
ΔV_{HGATE}	External N-Channel Gate Drive ($V_{HGATEn} - V_{OUTn}$)	$IN < 7\text{V}, I = 0, -1\mu\text{A}$	● 4.8	7	14	V
		$IN = 7\text{V to } 18\text{V}, I = 0, -1\mu\text{A}$	● 10	12	14	V

LTC4228-1/LTC4228-2

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$\Delta V_{HGATE(PG)}$	Gate-Source Voltage for Power Good		●	3.6	4.2	4.8	V
$I_{HGATE(UP)}$	External N-Channel Gate Pull-Up Current	Gate Drive On, HGATE = 0V	●	-7	-10	-13	μA
$I_{HGATE(DN)}$	External N-Channel Gate Pull-Down Current	Gate Drive Off, OUT = 12V, HGATE = OUT + 5V	●	150	300	500	μA
$I_{HGATE(FPD)}$	External N-Channel Gate Fast Pull-Down Current	Fast Turn-Off, OUT = 12V, HGATE = OUT + 5V	●	100	200	300	mA
$t_{PHL(SENSE)}$	Sense Voltage ($SENSE_n^+ - SENSE_n^-$) High to HGATE _n Low	$\Delta V_{SENSE} = 300\text{mV}$, $C_{HGATE} = 10\text{nF}$	●		0.5	1	μs
$t_{OFF(HGATE)}$	\overline{EN}_n High to HGATE _n Low		●		20	40	μs
	ON_n Low to HGATE _n Low		●		10	20	μs
	$SENSE_n^+$ Low to HGATE _n Low		●		10	20	μs
$t_D(HGATE)$	ON_n High, \overline{EN}_n Low to HGATE _n Turn-On Delay		●	50	100	150	ms
$t_P(HGATE)$	ON_n to HGATE _n Propagation Delay	ON = Step 0.8V to 2V	●		10	20	μs

入力/出力ピン

$V_{ON(TH)}$	ON_n Threshold Voltage	ON Rising	●	1.21	1.235	1.26	V
$\Delta V_{ON(HYST)}$	ON_n Hysteresis		●	40	80	140	mV
$V_{ON(RESET)}$	ON_n Fault Reset Threshold Voltage	ON Falling	●	0.55	0.6	0.63	V
$I_{ON(LEAK)}$	ON_n Input Leakage Current	ON = 5V	●		0	± 1	μA
$V_{\overline{EN}(TH)}$	\overline{EN}_n Threshold Voltage	\overline{EN} Rising	●	1.185	1.235	1.284	V
$\Delta V_{\overline{EN}(HYST)}$	\overline{EN}_n Hysteresis		●	40	130	200	mV
$I_{\overline{EN}(UP)}$	\overline{EN}_n Pull-Up Current	$\overline{EN} = 1\text{V}$	●	-7	-10	-13	μA
$V_{TMR(TH)}$	TMR _n Threshold Voltage	TMR Rising	●	1.198	1.235	1.272	V
		TMR Falling	●	0.15	0.2	0.25	V
$I_{TMR(UP)}$	TMR _n Pull-Up Current	TMR = 1V, In Fault Mode	●	-75	-100	-125	μA
$I_{TMR(DN)}$	TMR _n Pull-Down Current	TMR = 2V, No Faults	●	1.4	2	2.6	μA
$I_{TMR(RATIO)}$	TMR _n Current Ratio $I_{TMR(DN)}/I_{TMR(UP)}$		●	1.4	2	2.7	%
I_{OUT}	OUT _n Current	OUT = 11V, IN = 12V, ON = 2V	●		50	120	μA
		OUT = 13V, IN = 12V, ON = 2V	●		2.5	5	mA
V_{OL}	Output Low Voltage (FAULT _n , PWRGD _n , STATUS _n)	$I = 1\text{mA}$	●		0.15	0.4	V
V_{OH}	Output High Voltage (FAULT _n , PWRGD _n , STATUS _n)	$I = -1\mu\text{A}$	●	INTV _{CC} - 1 INTV _{CC} - 0.5			V
I_{OH}	Input Leakage Current (FAULT _n , PWRGD _n , STATUS _n)	$V = 18\text{V}$	●		0	± 1	μA
I_{PU}	Output Pull-Up Current (FAULT _n , PWRGD _n , STATUS _n)	$V = 1.5\text{V}$	●	-7	-10	-13	μA
$t_{RST(ON)}$	ON_n Low to FAULT _n High		●		20	40	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスピンに流れ込む電流はすべて正。デバイス・ピンから流れ出す電流はすべて負。注記がない限り、すべての電圧はGND基準。

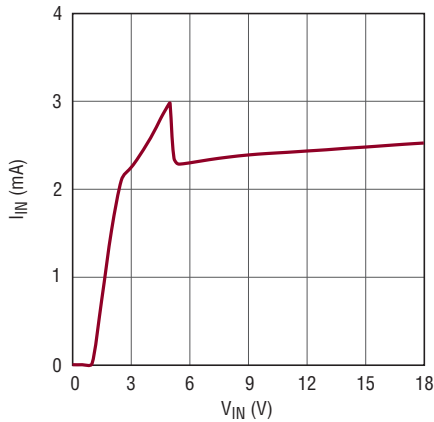
Note 3: 内部クランプは、DGATEピンとCPOピンの電圧を、INの電圧より少なくとも10V高い値とINの電圧よりダイオード1個分の電圧だけ低い値に制限する。これらのピンをクランプより高い電圧にドライブするとデバイスを損傷する恐れがある。

Note 4: 内部クランプは、HGATEピンの電圧を、OUTの電圧より少なくとも10V高い値とOUTの電圧よりダイオード1個分の電圧だけ低い値に制限する。このピンをクランプ電圧より高い電圧にドライブするとデバイスを損傷する恐れがある。

Note 5: 熱抵抗は、露出パッドが3インチ×4.5インチ、4層FR4基板に半田付けされている場合に規定される。

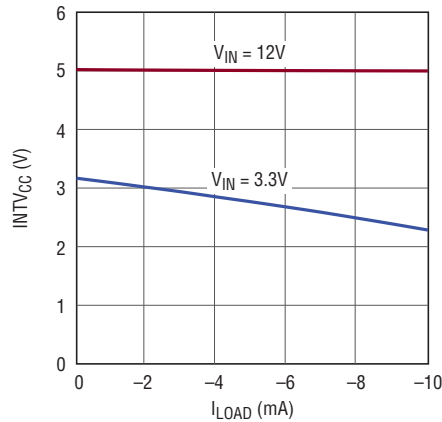
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

INの電源電流と電圧



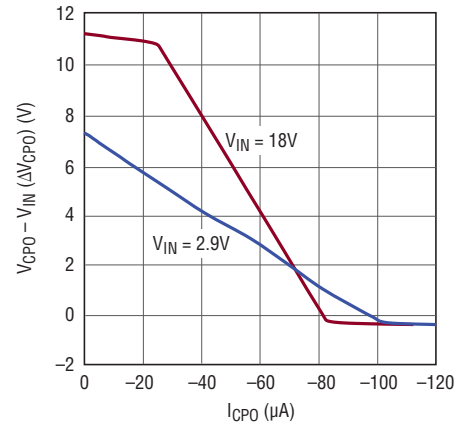
422812 G01

INTV_{CC}の負荷レギュレーション



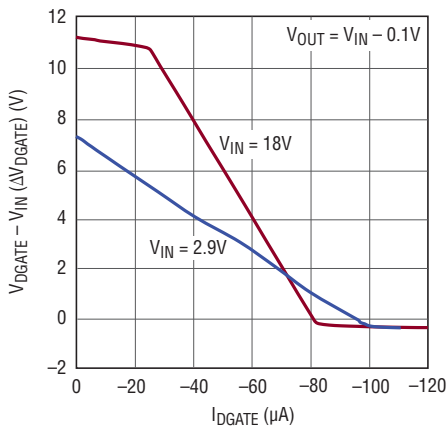
422812 G02

CPOの電圧と電流



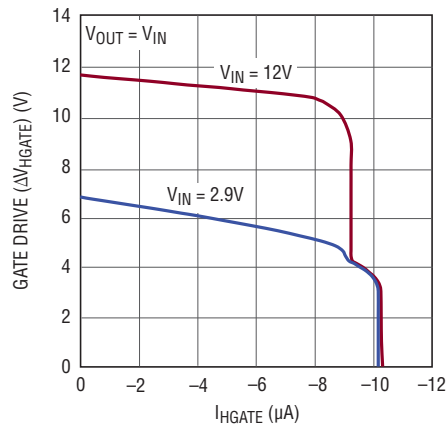
422812 G03

ダイオードのゲート電圧と電流



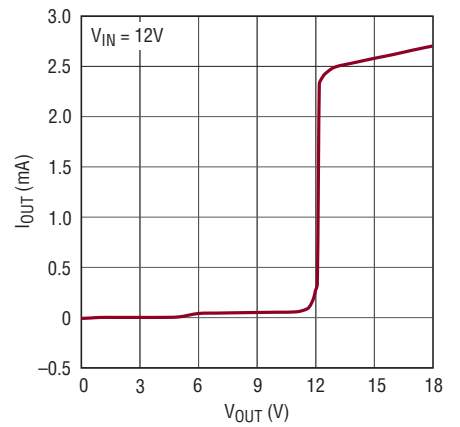
422812 G04

Hot Swap ゲート電圧と電流



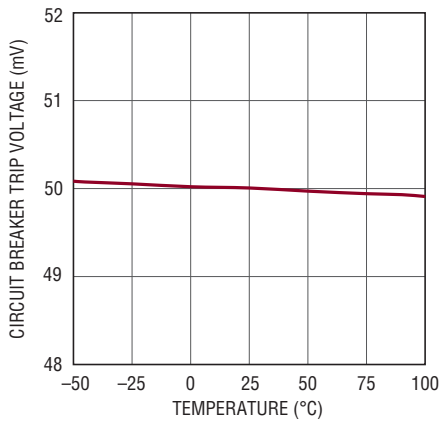
422812 G05

OUTの電流と電圧



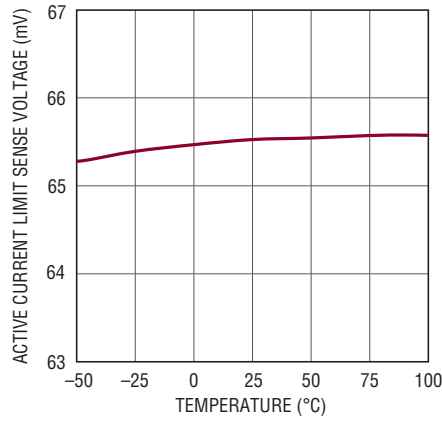
422812 G06

回路ブレーカのトリップ電圧と温度



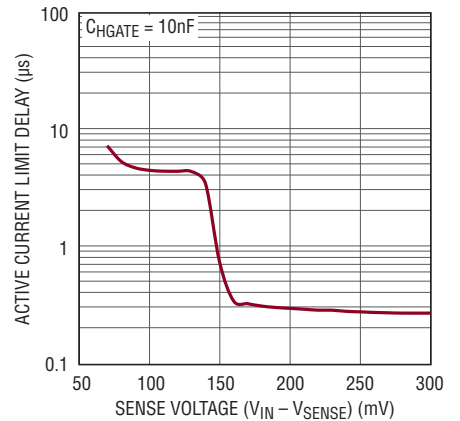
422812 G07

アクティブ電流制限検出電圧と温度



422812 G08

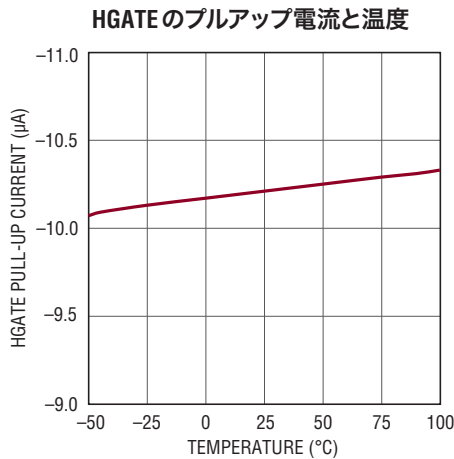
アクティブ電流制限遅延と検出電圧



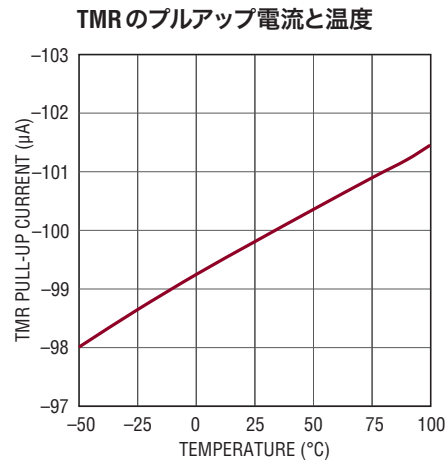
422812 G09

LTC4228-1/LTC4228-2

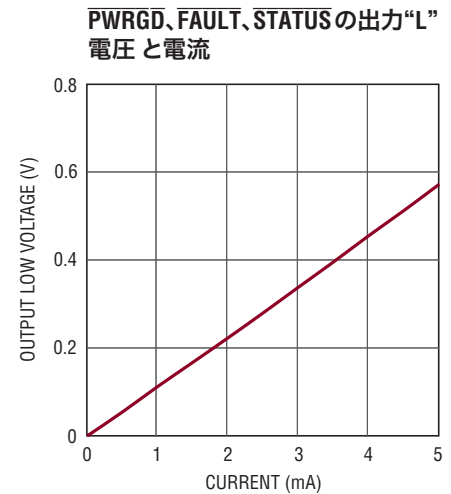
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。



422812 G10



422812 G11



422812 G12

ピン機能

CPO1、CPO2：チャージポンプの出力。CPO1またはCPO2から対応するIN1ピンまたはIN2ピンにコンデンサを接続します。このコンデンサの値は、理想ダイオード制御の外付けMOSFETのゲート容量(C_{ISS})の約10倍です。このコンデンサに蓄えられる電荷は、高速ターンオン時にゲートをプルアップするのに使用されます。高速ターンオンが不要であれば、このピンを開放のままにします。

DGATE1、DGATE2：理想ダイオードMOSFETのゲート駆動出力。このピンは理想ダイオード制御の外付けNチャネルMOSFETのゲートに接続します。内部クランプにより、ゲート電圧はINを基準に12V高い値およびダイオード1個分の電圧だけ低い値に制限されます。高速ターンオン時、1.5AのプルアップがCPOからDGATEを充電します。高速ターンオフ時には、1.5AのプルダウンがDGATEをINに放電します。

EN1、EN2：イネーブル入力。このピンを接地して活線挿抜制御をイネーブルします。このピンが“H”のとき、MOSFETをオンすることができません。10 μA の電流源がこのピンをINTV $_{CC}$ よりダイオード1個分だけ低い電圧までプルアップします。ONが“H”のときにENが“L”になると、内部タイマによりデバウンスのための100msのスタートアップ遅延が生じ、その後フォルトが解消されます。

露出パッド(UFDパッケージ)：露出パッドは開放のままにするか、デバイスのグラウンドに接続することができます。

FAULT1、FAULT2：フォルト・ステータス出力。10 μA の電流源によって通常は“H”に(INTV $_{CC}$ よりダイオード1個分だけ低い電圧に)引き上げられているオープンドレイン出力。外付けプルアップを使ってINTV $_{CC}$ より高い電圧に引き上げることができます。このピンは、過電流フォルト・タイムアウト後に回路ブレーカがトリップすると“L”になります。使用しない場合、開放のままにします。

GND：デバイスのグラウンド。

HGATE1、HGATE2：Hot Swap MOSFETのゲート駆動出力。このピンはHot Swap制御のため外付けNチャネルMOSFETのゲートに接続します。10 μA の内部電流源がMOSFETのゲートを充電します。内部クランプにより、ゲート電圧はOUTを基準に12V高い値およびダイオード1個分の電圧だけ低い値に制限されます。ターンオフ時、300 μA のプルダウンがHGATEをグラウンドに放電します。出力短絡またはINTV $_{CC}$ の低電圧ロックアウトの間、200mAの高速プルダウンがHGATEをOUTに放電します。

IN1、IN2：正電源入力および理想ダイオードのMOSFETゲート駆動のリターン。5VのINTV $_{CC}$ 電源は、内部ダイオードORを介して、IN1、IN2、OUT1およびOUT2から生成されます。このピンで検出される電圧を使用し、順方向電圧のレギュレーションおよび逆ターンオフを行うためにDGATEを制御します。DGATEが放電するとき、ゲートの高速プルダウン電流はこのピンを通してリターンします。

422812f

ピン機能

INTV_{CC}: 5Vの内部電源のデカップリング出力。このピンには0.1 μ F以上のコンデンサが必要です。500 μ A未満の外部負荷をこのピンに接続することができます。

ON1、ON2: オン制御入力。1.235Vより高い立ち上がりエッジが外付けHot Swap MOSFETをオンし、1.155Vより低い立ち下がりエッジがこのMOSFETをオフします。このピンをINまたはSENSE⁺からの外付け抵抗分割器に接続して、電源の低電圧状態をモニタします。ONピンを0.6Vより低くすると、電子回路ブレーカがリセットされます。

OUT1、OUT2: 出力電圧検出およびHot SwapのMOSFETゲート駆動のリターン。このピンは外付けMOSFETの出力側に接続します。このピンで検出される電圧はDGATEを制御するのに使用されます。HGATEが放電するとき、ゲートの高速プルダウン電流はこのピンを通過してリターンします。

PWRGD1、PWRGD2: 電源ステータス出力。10 μ Aの電流源によって通常は“H”に(INTV_{CC}よりダイオード1個分だけ低い電圧に)引き上げられているオープンドレイン出力。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。このピンは、HGATEとOUT間のMOSFETゲート駆動が4.2Vのゲート-ソース間電圧を超えると“L”になります。使用しない場合、開放のままにします。

SENSE1⁺、SENSE2⁺: 正の電流検出入力。このピンを外部理想ダイオードMOSFETの出力と電流検出抵抗の入力に接続し

ます。このピンで検出される電圧が電流制限のモニタに使用されます。このピンには1.9Vの低電圧ロックアウトしきい値があり、この値でHot Swap MOSFETがオフします。

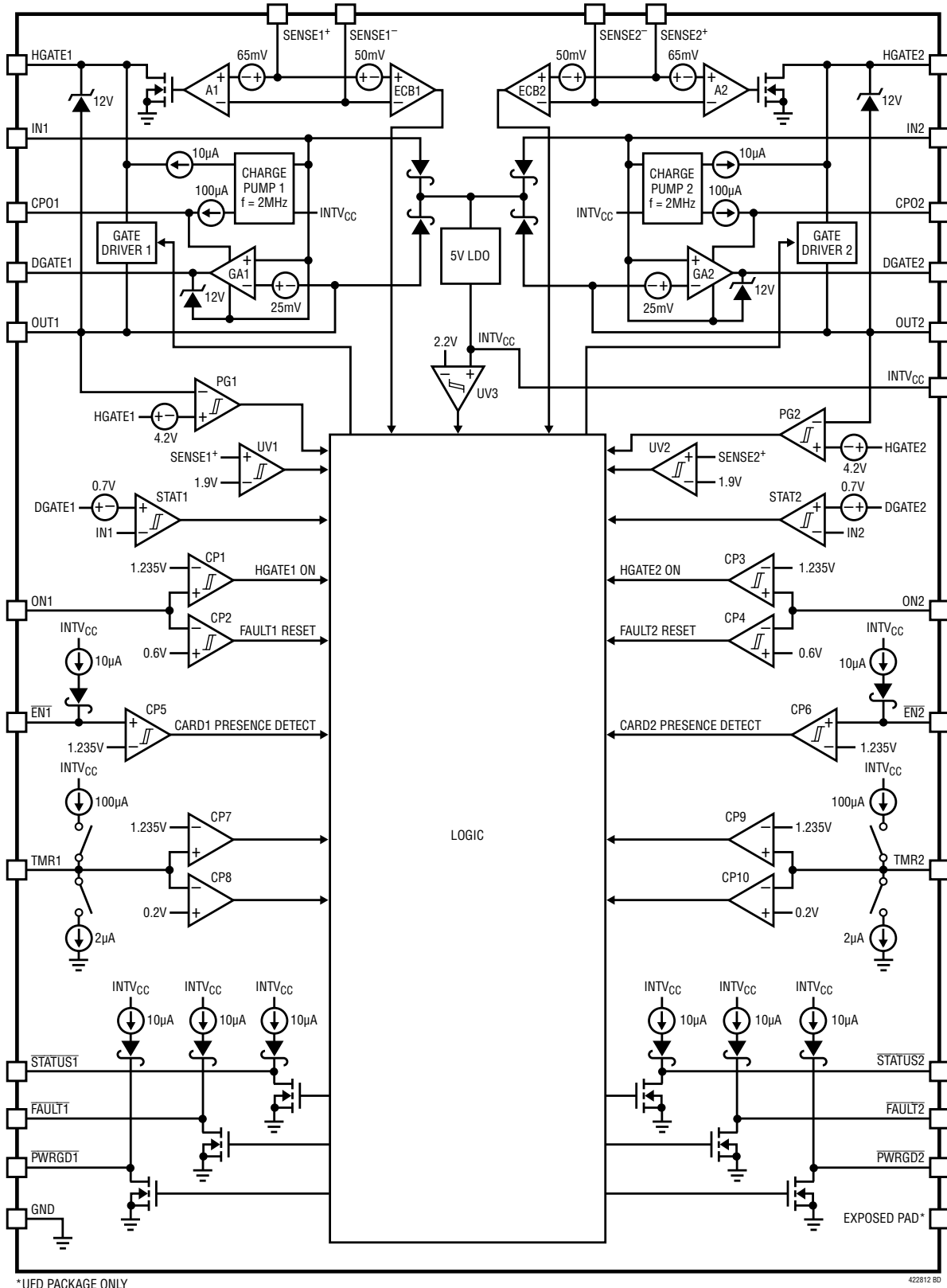
SENSE1⁻、SENSE2⁻: 負の電流検出入力。このピンを電流検出抵抗の出力に接続します。電流制限回路がHGATEを制御して、SENSE⁺とSENSE⁻間の電圧を65mVに制限します。TMRピンで設定されるフォルト・フィルタ遅延より長い間、検出電圧が50mVを上回った状態であると、回路ブレーカがトリップします。

STATUS1、STATUS2: ダイオードMOSFETのステータス出力。10 μ Aの電流源によって通常は“H”に(INTV_{CC}よりダイオード1個分だけ低い電圧に)引き上げられているオープンドレイン出力。外付けプルアップを使ってINTV_{CC}より高い電圧に引き上げることができます。このピンは、DGATEとINの間のMOSFETゲート駆動が0.7Vのゲート-ソース間電圧を超えると“L”になります。使用しない場合、開放のままにします。

TMR1、TMR2: タイマ・コンデンサ用端子。このピンとグランドの間にコンデンサを接続して、外付けHot Swap MOSFETがオフする前に電流制限を行うため12ms/ μ Fの持続時間を設定します。オフ時間の長さは617ms/ μ Fなので、2%のデューティ・サイクルになります。

LTC4228-1/LTC4228-2

ブロック図



動作

LTC4228は理想ダイオードとして機能し、電力経路の2個の外付けNチャンネルMOSFET (M_D および M_H)を制御することによって電流制限と過電流保護を行います。これにより、 μ TCAのような、冗長電源から給電されるバックプレーンを備えたシステムで、基板を安全に抜き差しすることができます。LTC4228は2個の独立した理想ダイオードとホットスワップ・コントローラを備えており、2個の入力電源をそれぞれ個別に制御します。

LTC4228が最初にパワーアップされる時、外付けMOSFETのゲートは“L”に保持され、これらがオフ状態に保たれます。ゲート駆動アンプ(GA1、GA2)が、INピンとOUTピンの間の電圧をモニタし、DGATEピンをドライブします。このアンプは、大きな順方向電圧降下を検出すると、DGATEピンを直ちにプルアップし、理想ダイオード制御のMOSFETをオンします。CPOピンとINピン間に接続された外付けコンデンサに蓄えられた電荷が、理想ダイオードMOSFETを短時間でオンするのに必要な電荷を与えます。デバイスのパワーアップ時に、内部チャージポンプがこのコンデンサを充電します。DGATEピンがCPOピンから電流をソースし、INピンおよびGNDピンに電流をシンクします。DGATEとINの間の電圧が0.7Vを超えると、STATUSピンが“L”になり、理想ダイオードMOSFETがオンしていることを知らせます。

ONピンを“H”にして \overline{EN} ピンを“L”にすると、100msのデバウンス・タイミング・サイクルが開始されます。このタイミング・サイクルの経過後、チャージポンプからの10 μ Aの電流源がHGATEピンをランプアップします。Hot Swap MOSFETがオンすると、SENSE⁺ピンとSENSE⁻ピンの間に接続された外付け検出抵抗(R_S)によって設定されるレベルに突入電流が制限されます。アクティブ電流制限アンプ(A1、A2)は、電流検出抵抗の両端で65mVになるようにMOSFETのゲートをサーボ制御します。必要に応じて、HGATEからGNDにコンデンサを追加することにより、突入電流をさらに減らすことができます。MOSFETのゲートのオーバードライブ(HGATEとOUTの間の電圧)が4.2Vを超えると、 \overline{PWRGD} ピンが“L”になります。

両方のMOSFETがオンすると、ゲート駆動アンプがDGATEを制御して、検出抵抗と2個のMOSFETの間の順方向電圧降下($V_{IN} - V_{OUT}$)を25mVにサーボ制御します。負荷電流により電圧降下が25mVを上回ると、DGATEの電圧が上昇して、理想ダイオード制御に使用されるMOSFETを導通させます。大きな出力電流では、理想ダイオードMOSFETは完全にオン状態にドライブされており、MOSFET両端の電圧降下は直列に接続された2個のMOSFETの $I_{LOAD} \cdot R_{DS(ON)}$ の和に等しくなります。

MOSFETが導通しているときに入力電源が短絡すると、大きな逆電流が負荷から入力に向けて流れ始めます。ゲート駆動アンプはこの故障状態が生じると直ちにそれを検出し、DGATEピンをプルダウンして、理想ダイオードMOSFETをオフします。

電源の出力に過電流フォルトが生じる場合、電流は65mV/ R_S に制限されます。TMRピンのコンデンサを充電する100 μ Aによって設定されるフォルト・フィルタの遅延後、回路ブレーカがトリップしてHGATEピンを“L”にし、Hot Swap MOSFETをオフします。フォルト状態の電源だけが影響を受け、対応するFAULTピンが“L”にラッチされます。この時点で、DGATEピンは“H”状態を継続し、理想ダイオードMOSFETをオン状態に保ちます。

内部クランプが、DGATEとIN間の電圧およびCPOとIN間の電圧の両方を12Vに制限します。また、同じクランプがCPOピンとDGATEピンを、INピンよりダイオード1個分の電圧だけ低い値に制限します。別の内部クランプがHGATEとOUT間の電圧を12Vに制限し、さらに、HGATEピンをOUTピンよりダイオード1個分の電圧だけ低い値にクランプします。

LTC4228への電力は、低損失レギュレータ(LDO)への内部ダイオードOR回路を介して、INピンまたはOUTピンから供給されます。このLDOはINTV_{CC}ピンに5Vの電源を生成し、LTC4228の内部低電圧回路に給電します。

LTC4228-1/LTC4228-2

アプリケーション情報

高い可用性を要するシステムでは、冗長性を持たせてシステムの信頼性を高めるため、多くの場合、並列に接続された電源やバッテリー・フィードが採用されます。電源のOR接続用ダイオードは、一般にこれらの電源を負荷ポイントで接続するのに使用されますが、代償としてダイオードの大きな順方向電圧降下による電力損失を生じます。LTC4228は、パス素子に外付けNチャンネルMOSFETを使ってこの電力損失を最小限に抑えるので、MOSFETがオンしているときの電源から負荷までの電圧降下を低くすることができます。入力電源の電圧が出力の共通電源電圧を下回ると、対応するMOSFETがオフになるので、理想ダイオードと等しい機能と性能が得られます。個別に制御される2個の外付けMOSFETの間に電流検出抵抗を追加することにより、LTC4228は突入電流制御と過電流保護によって理想ダイオードの性能を強化します(図1参照)。これにより、コネクタを損傷することなく、通電状態のバックプレーンに対して基板を安全に抜き差しすることができます。

内部V_{CC}電源

LTC4228はINピンの2.9V~18Vの入力電源で動作することができます。デバイスへの電源は、INTV_{CC}ピンを出力にする

低ドロップアウト・レギュレータ(LDO)によって内部で5Vに安定化されます。内部ダイオードOR回路はINピンとOUTピンの高い方の電源を選択して、LDOを介してデバイスに給電します。ダイオードOR回路により、IN電源が急落またはオフしたとき、OUTの負荷容量によってデバイスの電源を一時的に動作状態に保つことができます。

低電圧ロックアウト回路は、INTV_{CC}電圧が2.2Vを超えるまで、すべてのMOSFETがオンするのを防ぎます。0.1μFのコンデンサをINTV_{CC}ピンとGNDピンの間にデバイスに近づけて設置してバイパスすることを推奨します。LDOの動作に影響を与えないように、INTV_{CC}ピンには外部電源を接続しないでください。500μA未満の小さな外部負荷をINTV_{CC}ピンに接続することができます。

ターンオン・シーケンス

OUTピンの基板電源は2個の外付けNチャンネルMOSFET(M_D、M_H)で制御されます。電源側のMOSFET M_Dは理想ダイオードとして機能し、負荷側のM_Hは出力負荷に供給される電力を制御するHot Swapとして機能します。検出抵抗(R_S)

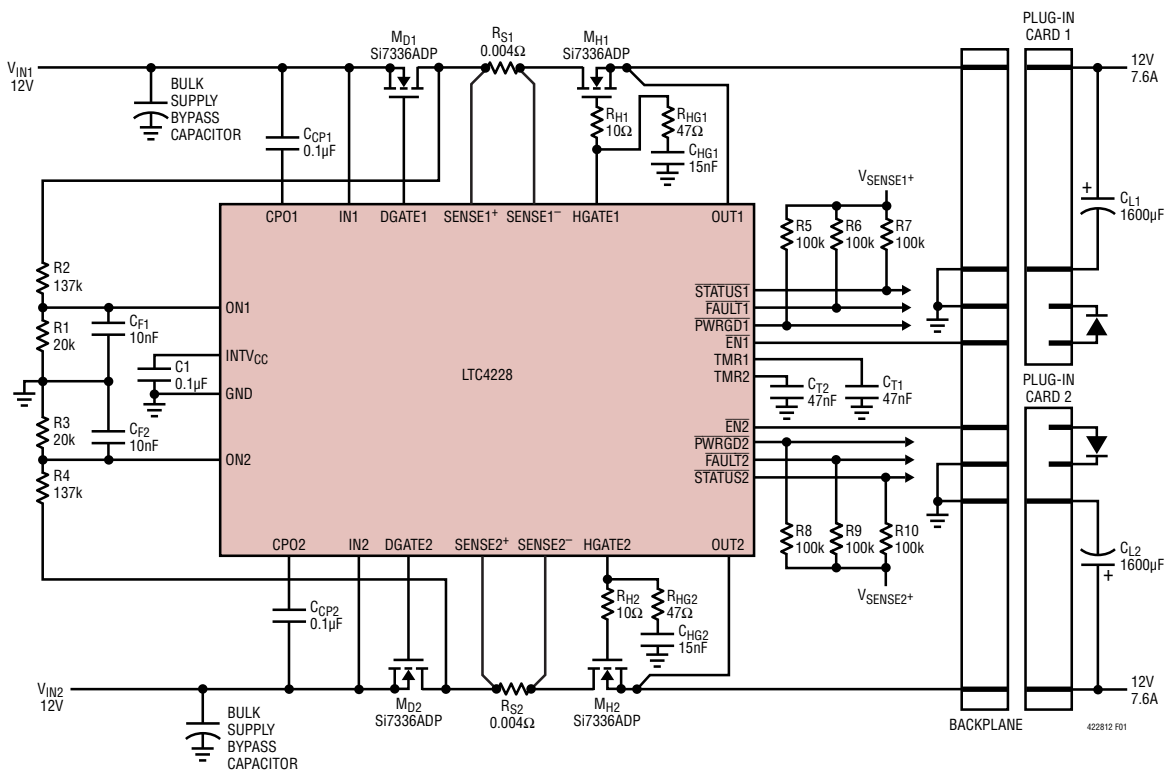


図 1.2つのμTCAスロットに12Vの電力を供給するμTCAアプリケーション

422812f

アプリケーション情報

は過電流検出のために負荷電流をモニタします。HGATEのコンデンサ(C_{HG})はゲートのスルーレートを制御して突入電流を制限します。抵抗 R_{HG} は C_{HG} とともに電流制御ループを補償し、 R_H はHot Swap MOSFETの高周波発振を防ぎます。

通常のパワーアップ時には、理想ダイオードMOSFETが最初にオンします。内部で生成される電源($INTV_{CC}$)がその2.2Vの低電圧ロックアウトしきい値を超えると、直ちに内部チャージポンプがCPOピンを充電可能となります。パワーアップ時にHot Swap MOSFETはオフしているので、OUTはLowのままです。その結果、理想ダイオードのゲート駆動アンプはINピンとOUTピン間の大きな準方向電圧降下を検出し、DGATEをCPOピンの電圧までプルアップします。

Hot Swap MOSFETをオンできるようにするには、100msのデバウンス・サイクルの間 \overline{EN} を“L”のままにし、ONを“H”のままにして、挿入時の接触バウンスがなくなっているようにする必要があります。デバウンス・サイクルの終了時に、内部フォルト・ラッチがクリアされます。次いで、Hot Swap MOSFETは、チャージポンプからの $10\mu A$ の電流源によってHGATEを充電することにより、オンすることができます。HGATEピンの電圧は $10\mu A/C_{HG}$ に等しい勾配で上昇し、電源から負荷コンデンサ(C_L)に流れ込む突入電流は次の値に制限されます。

$$I_{INRUSH} = \frac{C_L}{C_{HG}} \cdot 10\mu A$$

Hot Swap MOSFETがオンするとき、OUTの電圧はHGATEの電圧に追従します。電流検出抵抗(R_S)両端の電圧が高くなりすぎると、内部電流制限回路によって突入電流が制限されます。MOSFETのゲートのオーバードライブが4.2Vを超えると、対応するPWRGDピンが“L”になり、パワーグッド状態であることを知らせます。OUTが入力電源電圧に達すると、HGATEはランプアップし続けます。12Vの内部クランプがHGATEの電圧をOUTより高い値に制限します。

両方のMOSFETがオンすると、ゲート駆動アンプが理想ダイオードMOSFETのゲートを制御して、 R_S 、 M_D および M_H 全体の順方向電圧降下を25mVにサーボ制御します。負荷電流によって電圧降下が25mVより大きくなると、MOSFETのゲートは完全にオン状態にドライブされ、MOSFET両端の電圧降下は $I_{LOAD} \cdot R_{DS(ON)}$ に等しくなります。

ターンオフ・シーケンス

外付けMOSFETは様々な条件でオフすることができます。Hot Swap MOSFETの通常のターンオフは、ONピンを1.155Vのしきい値(ONピンのヒステリシスは80mV)より低くするか、または \overline{EN} ピンを1.235Vのしきい値より高くすることにより開始されます。さらに、回路ブレーカをトリップするほど長く過電流フォルトが持続すると、Hot Swap MOSFETもオフします。LTC4228は通常、 $300\mu A$ の電流シンクでHGATEピンをグラウンドに引き下げてMOSFETをオフします。

$INTV_{CC}$ がその低電圧ロックアウトしきい値(2.2V)を下回ると、すべてのMOSFETがオフします。DGATEピンは $100\mu A$ の電流でINピンよりダイオード1個分の電圧だけ低い値までプルダウンされ、HGATEピンは200mAの電流によってOUTピンにプルダウンされます。

ゲート駆動アンプは理想ダイオードMOSFETを制御して、入力電源がOUTを下回る際の逆電流を防止します。入力電源が急落すると、ゲート駆動アンプは、INがOUTより20mV低くなったことを検出すると直ちに、高速プルダウン回路に

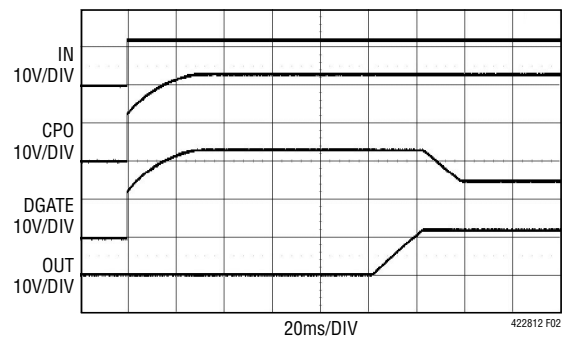


図2. 理想ダイオード・コントローラの起動波形

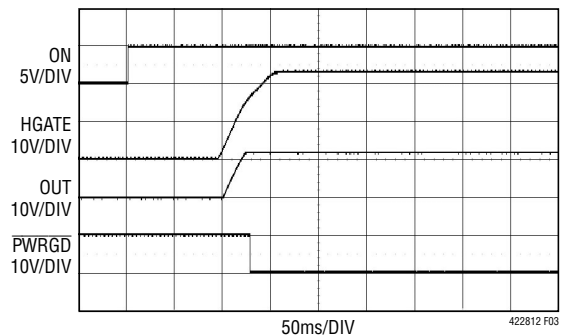


図3. ホットスワップ・コントローラのパワーアップ・シーケンス

アプリケーション情報

よって理想ダイオードMOSFETをオフします。入力電源がより緩やかに低下すると、ゲート駆動アンプはMOSFETを制御して、OUTをINより25mV低い電圧に保ちます。

ENによる基板の接続検出

$\overline{\text{EN}}$ ピンが“L”になったときにONが“H”であると、基板が接続されていることを知らせ、LTC4228は接触デバウンスのために100msのタイミング・サイクルを開始します。基板を挿入するとき、 $\overline{\text{EN}}$ ピンにバウンスがあるとタイミング・サイクルが再開されます。100msのタイミング・サイクルが終了すると、内部フォルト・ラッチがクリアされます。タイミング・サイクルの終了時に $\overline{\text{EN}}$ ピンが“L”のままであると、HGATEが10 μA の電流源で充電され、Hot Swap MOSFETをオンします。

$\overline{\text{EN}}$ ピンが“H”になって基板が取り外されたことを知らせると、20 μs の遅延の後、HGATEピンが300 μA の電流シンクでプルダウンされ、ラッチされたフォルトを解消することなく、Hot Swap MOSFETをオフします。

過電流フォルト

LTC4228は回路ブレーカ機能付きの調整可能な電流制限を備えており、短絡や過度の負荷電流に対して外付けMOSFETを保護します。外付け検出抵抗(R_{S1} 、 R_{S2})両端の電圧が、電子回路ブレーカ(ECB)とアクティブ電流制限(ACL)アンプによってモニタされます。TMRピンで設定されるフォルト・フィルタ遅延より長い時間検出抵抗両端の電圧が ΔV_{SENSE} (CB)(50mV)を超えると、電子回路ブレーカがHGATEからGNDへの300 μA の電流によってHot Swap MOSFETをオフします。

ECBしきい値 ΔV_{SENSE} (CB)の1.3倍であるACLしきい値 ΔV_{SENSE} (ACL)(65mV)を検出電圧を超えると、アクティブ電流制限が開始されます。Hot Swap MOSFETのゲートはACLアンプによって制御され、出力電流が安定化されて検出抵抗両端のACLしきい値を維持します。この時点で、TMRピンのコンデンサを充電する100 μA の電流により、フォルト・フィルタがタイムアウトを開始します。TMRピンの電圧がそのしきい値(1.235V)を超えると、HGATEが300 μA によってグラウンドに引き下げられ、外付けMOSFETがオフし、それに関連したFAULTが“L”になります。

Hot Swap MOSFETがオフした後、TMRピンのしきい値が0.2Vに達するまで、TMRピンのコンデンサが2 μA のプルダウン電流によって放電します。これに、TMRピンの14タイミング・サイクルのクールオフ時間が続きます。ラッチオフするデバイス

(LTC4228-1)の場合、ONピンを“L”にするか、または $\overline{\text{EN}}$ ピンを“H”から“L”にトグルしてラッチされたフォルトを解消しない限り、HGATEピンの電圧はクールオフ時間が終了しても再び上昇しません。自動再試行するデバイス(LTC4228-2)の場合、クールオフ時間が終了するとラッチされたフォルトが自動的に解消され、HGATEピンが充電を再開し、MOSFETをオンします。12V出力の過電流フォルトを図4に示します。

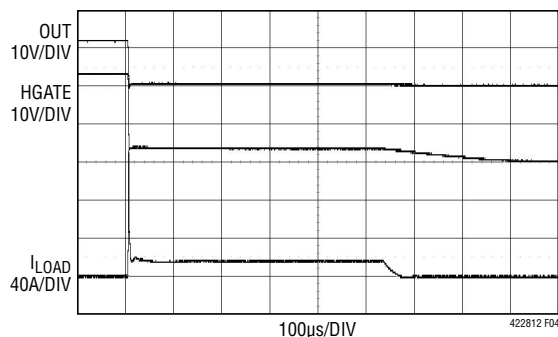


図4.12V出力の過電流フォルト

図5に示すように、12V出力に重大な短絡フォルトが生じた場合、出力電流は数十アンペアに急増することがあります。LTC4228は1 μs 以内に応答し、HGATEとOUTの間の電圧をゼロ・ボルトに引き下げて、電流を制御します。 R_{HG} と C_{HG} のネットワークにより、Hot Swap MOSFETのゲートはほぼ即座に回復し、電子回路ブレーカがタイムアウトするまで電流がアクティブに制限されます。電源ピンの寄生インダクタンスにより、バイパス・コンデンサのない入力電源は高電流サージの発生期間、急落し、次いで電流が遮断されると上方向にスパイクを生じる可能性があります。入力コンデンサがない場合の、2個の電源のための、 Z_1 、 $R_{\text{SNUB}1}$ 、 $C_{\text{SNUB}1}$ および Z_2 、 $R_{\text{SNUB}2}$ 、 $C_{\text{SNUB}2}$ で構成される入力電源トランジェント・サブレッサを図11に示します。

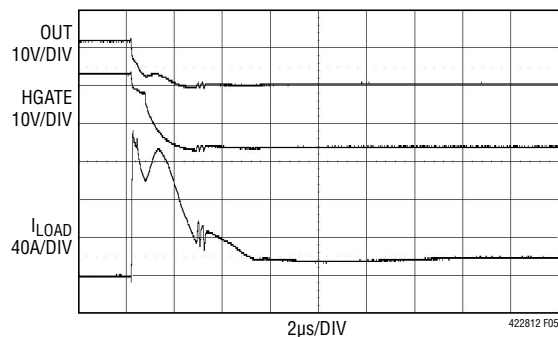


図5.12V出力の重度の短絡

アプリケーション情報

アクティブ電流ループの安定性

HGATEピンのアクティブ電流ループは、外付けNチャネルMOSFETの寄生ゲート容量によって補償されます。通常、これ以外に補償用の部品は不要です。 $C_{ISS} \leq 2\text{nF}$ のMOSFETを選択した場合、HGATEピンに接続された R_{HG} と C_{HG} の補償ネットワークが必要となる可能性があります。 C_{HG} の値は、出力負荷容量に許容される突入電流に基づいて選択されます。出力の短絡によるゲートの高速プルダウン後、 C_{HG} に直列に接続された抵抗(R_{HG})が、アクティブ電流制限のためのMOSFETゲートの回復を加速します。最適な性能を引き出すため、 C_{HG} の値は 100nF 以下、 R_{HG} は $10\Omega \sim 100\Omega$ にします。

TMRピンの機能

TMRピンからGNDに接続した外付けコンデンサ(C_T)は、電源の出力がアクティブ電流制限状態のとき、フォルト・フィルタとして機能します。検出抵抗両端の電圧が回路ブレーカのトリップしきい値(50mV)を超えると、TMRが $100\mu\text{A}$ でプルアップされます。それ以外は、 $2\mu\text{A}$ でプルダウンされます。 1.235V のTMRしきい値を超えると、フォルト・フィルタがタイムアウトし、対応する $\overline{\text{FAULT}}$ ピンが“L”になります。フォルト・フィルタの遅延、つまり回路ブレーカの時間遅延は次のとおりです。

$$t_{CB} = C_T \cdot 12[\text{ms}/\mu\text{F}]$$

回路ブレーカのタイムアウト後、TMRピンのコンデンサは、 1.235V のTMRしきい値から 0.2V に達するまで $2\mu\text{A}$ でプルダウンされます。次いで、TMRピンのコンデンサの $100\mu\text{A}$ の電流による 1.235V への充電と、 $2\mu\text{A}$ の電流による 0.2V への放電からなる14クーリング・サイクルを完了します。この時点で、「フォルトのリセット」のセクションに示すように、フォルトが解消されていれば、HGATEピンの電圧を立ち上げることができます。クールオフ時間の間にラッチされたフォルトが解消されると、対応する $\overline{\text{FAULT}}$ ピンが“H”になります。過電流フォルト後のMOSFETの全クールオフ時間は次のようになります。

$$t_{COOL} = C_T \cdot 11[\text{s}/\mu\text{F}]$$

クールオフ時間の経過後、ラッチされたフォルトが解消されない場合は、フォルトが解消されるまでクーリング・サイクルが継続します。

クールオフ時間の経過後、ラッチオフ・デバイス(LTC4228-1)では、フォルトが解消された場合だけHGATEピンをプルアップすることができます。自動再試行するデバイス(LTC4228-2)

の場合、クールオフ時間が終了するとラッチされたフォルトが自動的に解消され、HGATEピンの電圧を再び上昇させることができます。

フォルトのリセット(LTC4228-1)

ラッチオフ・デバイス(LTC4228-1)の場合、回路ブレーカがトリップした後、過電流フォルトがラッチされ、対応する $\overline{\text{FAULT}}$ ピンが“L”にアサートされます。LTC4228が2個の電源のMOSFETを制御する場合、フォルトの生じた電源のHot Swap MOSFETだけがオフし、他方は影響を受けません。

ラッチされたフォルトをリセットし、出力を再び上昇させるには、対応するONピンを $100\mu\text{s}$ 以上 0.6V より低くしてから、 1.235V より高くします。ONピンの立ち下がりがエッジでフォルト・ラッチがリセットされ、 $\overline{\text{FAULT}}$ ピンがデアサートします。ONが再度“H”になると、HGATEピンの電圧が再び上昇する前に 100ms のデバウンス・サイクルが開始されます。 $\overline{\text{EN}}$ ピンを“H”にしてから再度“L”にトグルしてもフォルトをリセットしますが、 $\overline{\text{FAULT}}$ ピンは 100ms のデバウンス・サイクルの終わりに“H”になり、その後、HGATEピンの電圧が上昇します。すべての電源を INTV_{CC} の低電圧ロックアウトしきい値(2.2V)より低くすると、すべてのMOSFETがオフし、すべてのフォルト・ラッチがリセットされます。電源のどれかが INTV_{CC} のUVLOしきい値より高い電圧に回復すると、通常のスタートアップの前に 100ms のデバウンス・サイクルが開始されます。

フォルト後の自動再試行(LTC4228-2)

自動再試行するデバイス(LTC4228-2)の場合、「TMRピンの機能」のセクションに示すように、クールオフ・タイミング・サイクルの後、ラッチされたフォルトが自動的にリセットされます。クールオフ時間の終了時にフォルト・ラッチはクリアされ、 $\overline{\text{FAULT}}$ ピンが“H”になります。HGATEピンの電圧を上昇させて、Hot Swap MOSFETをオンします。出力短絡が継続すると、電源は短絡状態にパワーアップし、回路ブレーカがタイムアウトして $\overline{\text{FAULT}}$ が再度“L”になるまでアクティブ電流制限を行います。新しいクールオフ・サイクルが始まり、 $2\mu\text{A}$ の電流でTMRがラングダウンします。出力短絡が解消するまで、このプロセス全体が繰り返されます。 t_{CB} と t_{COOL} はTMRの容量(C_T)と関係があるので、自動再試行のデューティ・サイクルは(C_T に関係なく) 0.1% に等しくなります。

過電流フォルトの後の自動再試行のシーケンスを図6に示します。

アプリケーション情報

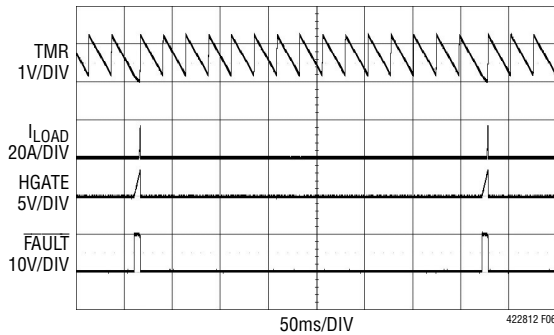


図6. フォルト後の自動再試行のシーケンス

電源の低電圧モニタ

ONピンはターンオン制御および入力電源モニタとして機能します。それぞれのONピンの入力電源 (IN1またはSENSE1⁺、IN2またはSENSE2⁺)とGNDの間に接続された抵抗分割器が電源の低電圧状態をモニタします。低電圧しきい値は抵抗を適切に選択して設定します。次のように与えられます。

$$V_{IN(UVTH)} = \left(1 + \frac{R_{TOP}}{R_{BOTTOM}}\right) \cdot V_{ON(TH)}$$

ここで、 $V_{ON(TH)}$ はONの上昇時しきい値(1.235V)です。

入力電源が低電圧しきい値を下回る状態が20 μ s以上続くと、低電圧フォルトが生じます。FAULTピンは“L”になりません。ONピンの電圧が1.155Vを下回っても0.6Vより高い値を保っていれば、HGATEからグラウンドへの300 μ AのプルダウンによってHot Swap MOSFETがオフします。入力電源が低電圧しきい値を超えると、Hot Swap MOSFETは、100msのデバウンス・サイクルなしに直ちにオン状態に戻ります。

ただし、ONピンの電圧が0.6Vを下回ると、Hot Swap MOSFETをオフし、関連するフォルト・ラッチをクリアします。入力電源が低電圧しきい値より高い値に回復すると、Hot Swap MOSFETは、100msのデバウンス・サイクルが経過したときだけオン状態に戻ります。一方の電源の低電圧フォルトが他方の電源の動作に影響を与えることはありません。理想ダイオードMOSFETによって制御される理想ダイオード機能は、低電圧フォルト状態によって影響を受けません。

内部で生成される電源 (INTV_{CC}) が2.2VのUVLOしきい値より低くなるまで両方のIN電源が下がると、すべてのMOSFETがオフし、フォルト・ラッチがクリアされます。入力電源が回復し、INTV_{CC}がUVLOしきい値を超えると、新たなスタートアップ・サイクルから動作が再開されます。

電源のグリッチを除去するため、ONピンには10 μ sのグリッチ・フィルタが備わっています。抵抗分割器とともにフィルタ・コンデンサ (C_F) をONピンに接続することにより、RC時定数によってグリッチ・フィルタ遅延がさらに延長され、誤ったフォルトを防ぎます。

パワーグッド・モニタ

内部回路がMOSFETのゲートのHGATEピンとOUTピンの間のオーバードライブをモニタします。各電源のパワーグッド・ステータスは、対応するオープン・ドレイン出力 ($\overline{PWRGD1}$ または $\overline{PWRGD2}$)を介して通知されます。これらの出力は通常、外付けプルアップ抵抗または10 μ Aの内部プルアップによって“H”に引き上げられます。パワーグッド出力は、HGATEのスタートアップの間にゲートのオーバードライブが4.2Vを超えると“L”にアサートされます。“L”にアサートされると、パワーグッド・ステータスはラッチされ、ONピンを“L”にするか、ENピンを“L”から“H”にトグルするか、またはINTV_{CC}が低電圧ロックアウト状態になる場合にだけクリアすることができます。HGATEがアクティブ電流制限状態で安定化されている間、パワーグッド出力は引き続き“L”のままですが、回路ブレーカがタイムアウトしてHGATEピンを“L”に引き下げると、“H”になります。

CPOとDGATEのスタートアップ

CPOピンとDGATEピンの電圧は、最初にパワーアップしたとき、INピンよりダイオード1個分の電圧だけ低い値にプルアップされます。INTV_{CC}が低電圧ロックアウト・レベルをクリアしてから7 μ s後、CPOがランプアップを開始します。さらに40 μ s後、DGATEもCPOとともにランプアップを開始します。CPOのランプレートは、CPOピンとDGATEピンの総容量に流れ込むCPOのプルアップ電流によって決まります。内部クランプがCPOピンの電圧をINピンより12V高い値に制限し、DGATEピンの最終電圧はゲート駆動アンプによって決まります。12Vの内部クランプがDGATEピンの電圧をINより高い値に制限します。

MOSFETの選択

LTC4228はNチャネルMOSFETをドライブして負荷電流を流します。MOSFETの重要な特性は、オン抵抗 (R_{DS(ON)})、最大ドレイン・ソース間電圧 (BV_{DSS})、およびしきい値電圧です。

理想ダイオードMOSFETとHot Swap MOSFETのゲート駆動は、IN1とIN2の電源電圧が2.9V~7Vのとき、それぞれ5Vと4.8Vより大きいことが保証されています。IN1とIN2の電源電圧が

アプリケーション情報

7Vより高い場合、ゲート駆動は10Vより大きいことが保証されます。ゲート駆動は14V未満に制限されます。このため、ロジックレベルしきい値のNチャネルMOSFETと7Vを超える標準NチャネルMOSFETを使用することができます。定格ブレークダウン電圧が14V未満のとき、外付けツェナー・ダイオードを使って、MOSFETのゲート-ソース間の電位をクランプすることができます。

全電源電圧がMOSFETの両端に生じることがあるので、最大許容ドレイン-ソース電圧(BV_{DSS})は電源電圧より高くなければなりません。入力または出力がグラウンドに接続されると、全電源電圧がMOSFETの両端に生じます。 $R_{DS(ON)}$ は、最大負荷電流を流し、同時にMOSFETの電力定格を超えないように、十分小さくしなければなりません。

CPO コンデンサの選択

CPOピンとINピンの間のコンデンサ(C_{CP})の推奨値は、理想ダイオードMOSFETの入力容量(C_{ISS})の約10倍です。コンデンサの容量が大きいほど、それに応じて内部チャージポンプによって充電するのに長い時間を要します。このコンデンサは、MOSFETのゲート容量と電荷を共有するため、容量が小さいとゲートの高速ターンオン時に電圧降下が大きくなります。

電源トランジェント保護

入力と出力の容量が非常に小さい場合、入力または出力の短絡発生時の急激な電流変化により、INピンとOUTピンの24Vの絶対最大定格を超えるトランジェントが生じる可能性があります。このようなスパイクを最小限に抑えるには、幅の広いトレースやメッキの厚いトレースを使って電力トレースのインダクタンスを減らします。また、10 μ Fの電解コンデンサと0.1 μ Fのセラミック・コンデンサでローカルにバイパスするか、あるいはトランジェント電圧サプレッサ(Z1、Z2)を使って入力をクランプします。10 Ω と0.1 μ Fのスナバが応答を減衰させ、リングングを除去します(図11参照)。

設計例

部品選択の設計例として、2個の電源の最大負荷電流が7.6Aの12Vシステムを検査します(図1参照)。

まず、12V電源の電流検出抵抗(R_{S1} と R_{S2})の適切な値を選択します。最大負荷電流 $I_{LOAD(MAX)}$ 、回路ブレーカの最小トリップ電流 $I_{TRIP(MIN)}$ および回路ブレーカのしきい値の下限 $\Delta V_{SENSE(CB)(MIN)}$ に基づいて検出抵抗の値を計算します。

低い方の電源の逆ターンオフが作動する前に高い方の電源の回路ブレーカが誤ってトリップすることなく、バックフィード電流が検出抵抗を通して短時間流れることができるようにするため、 $I_{TRIP(MIN)}/I_{LOAD(MAX)}$ の比として与えられた負荷電流マージンが備わっています。1.5倍の負荷電流マージンを仮定すると、次ようになります。

$$I_{TRIP(MIN)} = 1.5 \cdot I_{LOAD(MAX)} = 1.5 \cdot 7.6A = 11.4A$$

$$R_S = \frac{\Delta V_{SENSE(CB)(MIN)}}{I_{TRIP(MIN)}} = \frac{47.5mV}{11.4A} = 4.16m\Omega$$

許容誤差1%の4m Ω の検出抵抗を選択します。

次に、最大負荷で望みの順方向電圧降下を達成するMOSFETの $R_{DS(ON)}$ を計算します。2個の外付けMOSFET両端の順方向電圧降下(ΔV_{FWD})を60mVと仮定すると次のようになります。

$$R_{DS(ON,TOTAL)} \leq \frac{\Delta V_{FWD}}{I_{LOAD(MAX)}} = \frac{60mV}{7.6A} = 7.9m\Omega$$

Si7336ADPは望ましい選択肢で、 $V_{GS} = 10V$ での最大 $R_{DS(ON)}$ が3m Ω なので、電源経路の2個のMOSFETでは合計6m Ω になります。Si7336ADPの入力容量(C_{ISS})は約5600pFです。10倍の推奨値をわずかに超えますが、CPOピンの C_{CP1} と C_{CP2} に0.1 μ Fのコンデンサを選択します。

次に、パワーアップ時または出力短絡時に、選択されたMOSFET(Si7336ADP)の熱定格を超えないことを検証します。

パワーアップ時に負荷コンデンサ(C_L)を充電する突入電流により、MOSFETが電力を消費すると仮定すると、MOSFET内部で消費されるエネルギーは負荷コンデンサに蓄えられるエネルギーと等しくなり、次式で与えられます。

$$E_{CL} = \frac{1}{2} \cdot C_L \cdot V_{IN}^2$$

$C_L = 1600\mu$ Fでは、 C_L を充電するのに要する時間は次のように計算されます。

$$t_{CHARGE} = \frac{C_L \cdot V_{IN}}{I_{INRUSH}} = \frac{1600\mu F \cdot 12V}{1A} = 19ms$$

アプリケーション情報

突入電流は Hot Swap MOSFET のゲートに容量 (C_{HG}) を追加することにより、1A に設定されます。

$$C_{HG} = \frac{C_L \cdot I_{HGATE(UP)}}{I_{NRUSH}} = \frac{1600\mu\text{F} \cdot 10\mu\text{A}}{1\text{A}} = 16\text{nF}$$

C_{HG} には 15nF の実用的な値を選択します。

MOSFET の平均電力損失は次のように計算します。

$$P_{AVG} = \frac{E_{CL}}{t_{CHARGE}} = \frac{1}{2} \cdot \frac{1600\mu\text{F} \cdot (12\text{V})^2}{19\text{ms}} = 6\text{W}$$

選択された MOSFET は、パワーアップ時に、19ms の間 6W に耐えられなければなりません。Si7336ADP の SOA 曲線は、100ms の間 30V で 1.5A (45W) を示しています。これは要件を満たすのに十分です。MOSFET 内部の電力損失による接合部温度の上昇分は $\Delta T = P_{AVG} \cdot Z_{thJC}$ です。ここで、 Z_{thJC} は接合部-ケース間の熱インピーダンスです。この条件では、Si7336ADP のデータシートは、 $Z_{thJC} = 0.8^\circ\text{C}/\text{W}$ を使って接合部温度が 4.8°C だけ増加することを示しています (単一パルス)。

出力短絡時の電力パルスの持続時間と大きさは、TMR の容量 (C_T) および LTC4228 のアクティブ電流制限と相関関係があります。短絡の継続時間は、 $C_T = 0.047\mu\text{F}$ では、 $C_T \cdot 12[\text{ms}/\mu\text{F}] = 0.56\text{ms}$ として与えられます。最大短絡電流は、最大アクティブ電流制限しきい値 $\Delta V_{SENSE(ACL)(MAX)}$ と最小 R_S 値を使って計算します。

$$I_{SHORT(MAX)} = \frac{\Delta V_{SENSE(ACL)(MAX)}}{R_{S(MIN)}} = \frac{75\text{mV}}{3.96\text{m}\Omega} = 18.9\text{A}$$

したがって、0.56ms の間の MOSFET の最大電力損失は $18.9\text{A} \cdot 12\text{V} = 227\text{W}$ です。Si7336ADP のデータシートは、この短絡状態でのワーストケースの接合部温度の上昇は、 $Z_{thJC} = 0.1^\circ\text{C}/\text{W}$ を使って 22.7°C であることを示しています (単一パルス)。 $C_T = 0.047\mu\text{F}$ を選択すると、MOSFET の最大接合部温度を超えることはありません。Si7336ADP の SOA 曲線は、1ms の間 30V で 15A (450W) を示しています。これも要件を満たします。

次に、ON1 ピンと ON2 ピンの抵抗分割器を選択して、12V 電源では 9.6V の低電圧しきい値を設定します。まず、下側の抵抗 (R_1 と R_3) を 20k に設定します。次いで、 R_2 と R_4 の上側の抵抗値を計算します。

$$R_{TOP} = \left(\frac{V_{IN(UVTH)}}{V_{ON(TH)}} - 1 \right) \cdot R_{BOTTOM}$$

$$R_{TOP} = \left(\frac{9.6\text{V}}{1.235\text{V}} - 1 \right) \cdot 20\text{k} = 135\text{k}$$

R_2 と R_4 には最も近い 1% 抵抗値の 137k を選択します。さらに、INTV_{CC} ピンには $0.1\mu\text{F}$ のバイパス・コンデンサ (C_1)、ON ピンには 10nF のフィルタ・コンデンサ (C_F) があり、電源グリッチが Hot Swap MOSFET をオフするのを防ぎます。

PCB のレイアウトに関する検討事項

LTC4228 の回路ブレーカを適正に動作させるため、検出抵抗へのケルビン接続を強く推奨します。配線による誤差を最小限に抑えるため、PCB レイアウトはバランスのとれた対称形にします。さらに、検出抵抗とパワー MOSFET の PCB レイアウトには、デバイスの電力損失を最適化するのに適した熱管理手法を使用します。PCB の推奨レイアウトを図 7 に示します。

IN ピンと OUT ピンのトレースは MOSFET の端子にできるだけ近づけて接続します。MOSFET へのトレースは幅を広く、長さを短くして抵抗性の損失を最小限に抑えます。MOSFET を通る電力経路に関連する PCB トレースは抵抗を小さくします。PCB トレースの抵抗、電圧降下、温度上昇を最小限に維持するために推奨する 1 オンスの銅箔のトレース幅は、1A の DC 電流あたり 0.03 インチです。1 オンスの銅箔のシート抵抗は約 $0.5\text{m}\Omega/\text{平方}$ であり、大電流アプリケーションではトレース抵抗による電圧降下が急激に増大することに注意してください。

INTV_{CC} ピンのバイパス・コンデンサ (C_1) を INTV_{CC} と GND の間にできるだけ近づけて配置することも重要です。また、CPO1 ピンと IN1 ピンの近くに C_{CP1} を配置し、CPO2 ピンと IN2 ピンの近くに C_{CP2} を配置します。トランジエント電圧サプレッサ (Z_1 と Z_2) を使用する場合、それらを短いリード長で LTC4228 の近くに実装します。

アプリケーション情報

μTCAアプリケーション

図1に示すμTCAアプリケーションでは、すべての入力電源が利用できないときに、短時間の間下流の負荷への電源を保持するのに出力負荷コンデンサを必要とします。これが生じるのは、出力にダイオードOR接続された他の冗長電源がオンしていないときに、IN電源が一時的にグラウンドまで急落する場合です。INピンとOUTピンの間の逆電圧が検出されると直ちに、DGATEは短時間でプルダウンされて理想ダイオードMOSFETをオフします。理想ダイオードとHot Swap MOSFETの間に検出抵抗を設置することにより、一時的に入力電源が急落したときに、出力負荷容量によってSENSE⁺ピンの電圧を保持することができます。これにより、SENSE⁺の電圧が低電圧ロックアウトになるとHot Swap MOSFETがオフするのを防ぎます。IN電源が回復すると、放電しきった負荷容量を

充電し、Hot Swap MOSFETがオンしていない場合、下流の負荷に直ちに電力を供給します。

電源プライオリタイザ

2つの電源のうち、単に電圧の高い方を使用するのではなく、優先順位に基づいてどちらかを出力に接続するアプリケーションを図8に示します。5Vの主電源(INPUT 1)が利用可能である限り、いつでも出力に接続されます。主電源を利用できない場合のみ、12Vのバックアップ電源(INPUT 2)から電力が供給されます。ON1ピンのR1-R2分圧器によって設定される4.3VのUVしきい値をINPUT 1が超えている限り、M_{H1}がオンしてINPUT 1を出力に接続します。M_{H1}がオンしているとき、PWRGD1は“L”になり、次いで、ON2を“L”に引き下げ、M_{H2}をオフすることによりIN2の経路をディスエーブルします。主

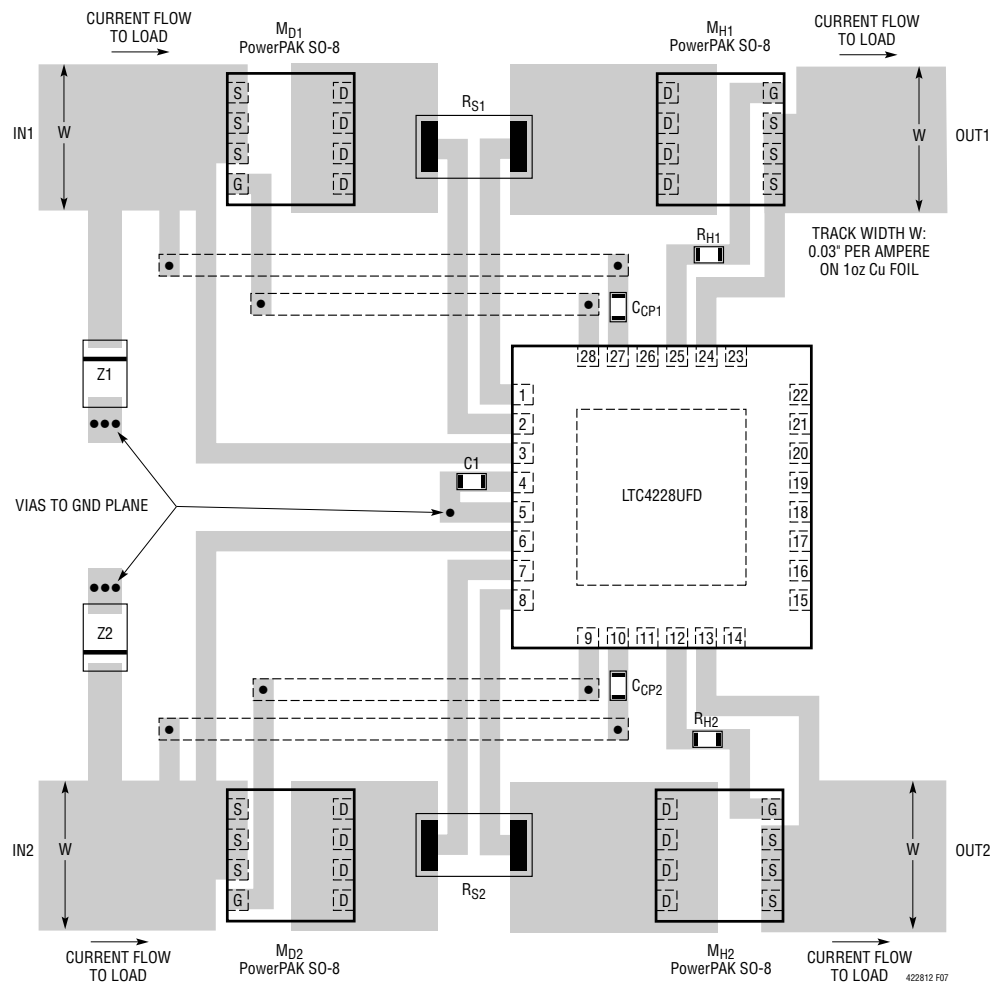


図7. パワー MOSFETと検出抵抗の推奨PCBレイアウト

LTC4228-1/LTC4228-2

アプリケーション情報

電源に不具合が生じ、INPUT 1が4.3Vを下回ると、ON1がM_{H1}をオフし、PWRGDIが“H”になることにより、ON2がM_{H2}をオンしてINPUT 2を出力に接続することができます。ダイオードD1がON2をオフ状態の間0.6Vより高い電圧に保つようにするので、ON2が“H”になると、100msのターンオン遅延が作動することなく、M_{H2}は直ちにオンします。INPUT 1が有効な電圧に戻ると、M_{H1}がオンし、M_{H2}がオフします。理想ダイオードMOSFETのM_{D1}とM_{D2}は、どのような場合でも、一方の入力から他方へのバックフィードを防ぎます。

その他のアプリケーション

ほとんどのアプリケーションでは、2つの外付けMOSFETは電源側のMOSFETが理想ダイオードとして構成され、負荷側のMOSFETが活線挿抜制御として構成されます。ただし、アプリケーションによっては、理想ダイオードのMOSFETと活線挿抜制御のMOSFETが、図9に示すように、入れ替わ

ることがあります。Hot Swap MOSFETが電源側に配置され、理想ダイオードMOSFETが負荷側に配置され、ソース端子が互いに接続されています。この構成が12V電源で動作すると、LTC4228の12Vの内部クランプはDGATEピンとINピンの間の電圧とHGATEピンとOUTピンの間の電圧を制限するだけなので、入力または出力がグラウンドに接続される場合、MOSFETのゲート-ソース間ブレイクダウン電圧を超える可能性があります。入力または出力の短絡時にはMOSFETのGATEピンとSOURCEピンの間に24Vの電圧が生じる可能性があるため、ゲート-ソース間ブレイクダウン電圧の定格が25V以上のMOSFETを選択します。ゲート-ソース間ブレイクダウン電圧定格が25Vより低いMOSFETを選択する場合、ブレイクダウンを防ぐため、図9に示されているように、MOSFETのGATEピンとSOURCEピンの間に外付けツェナー・ダイオードによるクランプが必要です。

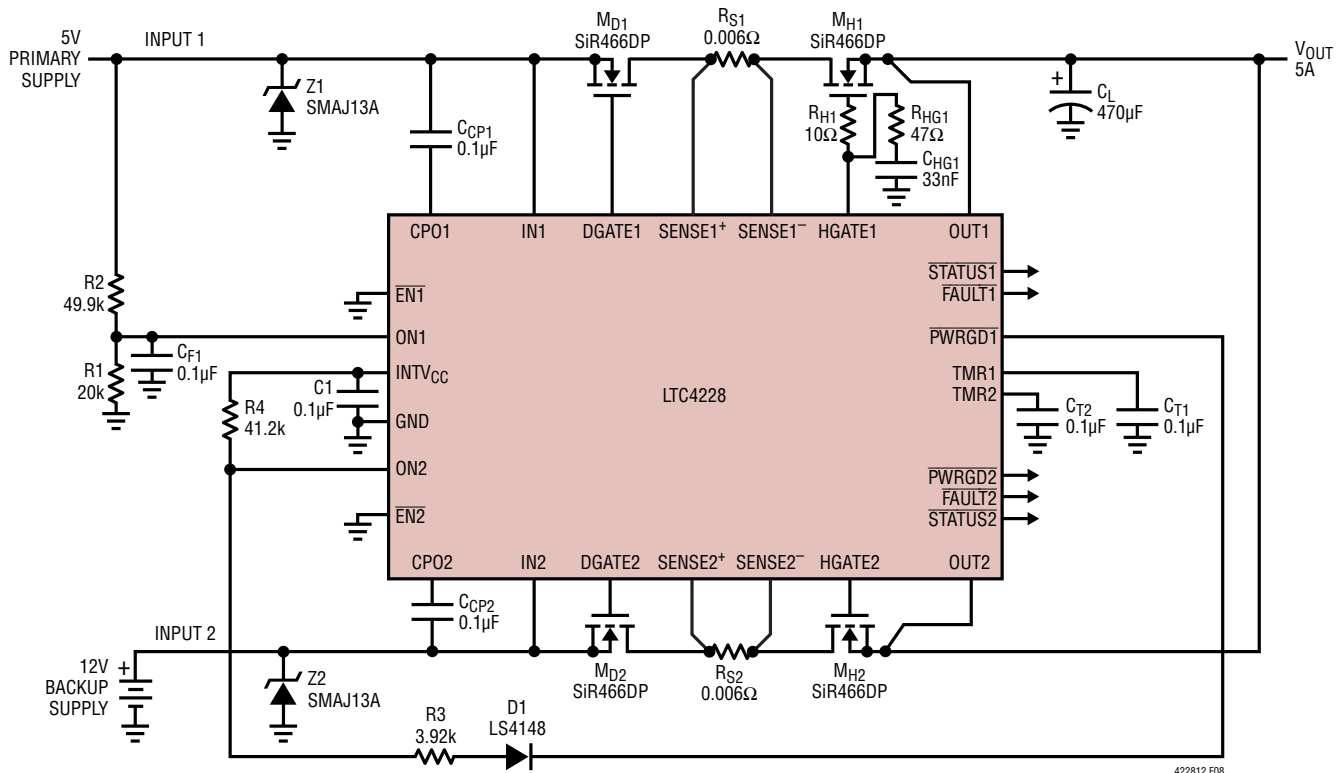


図 8.2 チャンネル電源プライオリタイザ

アプリケーション情報

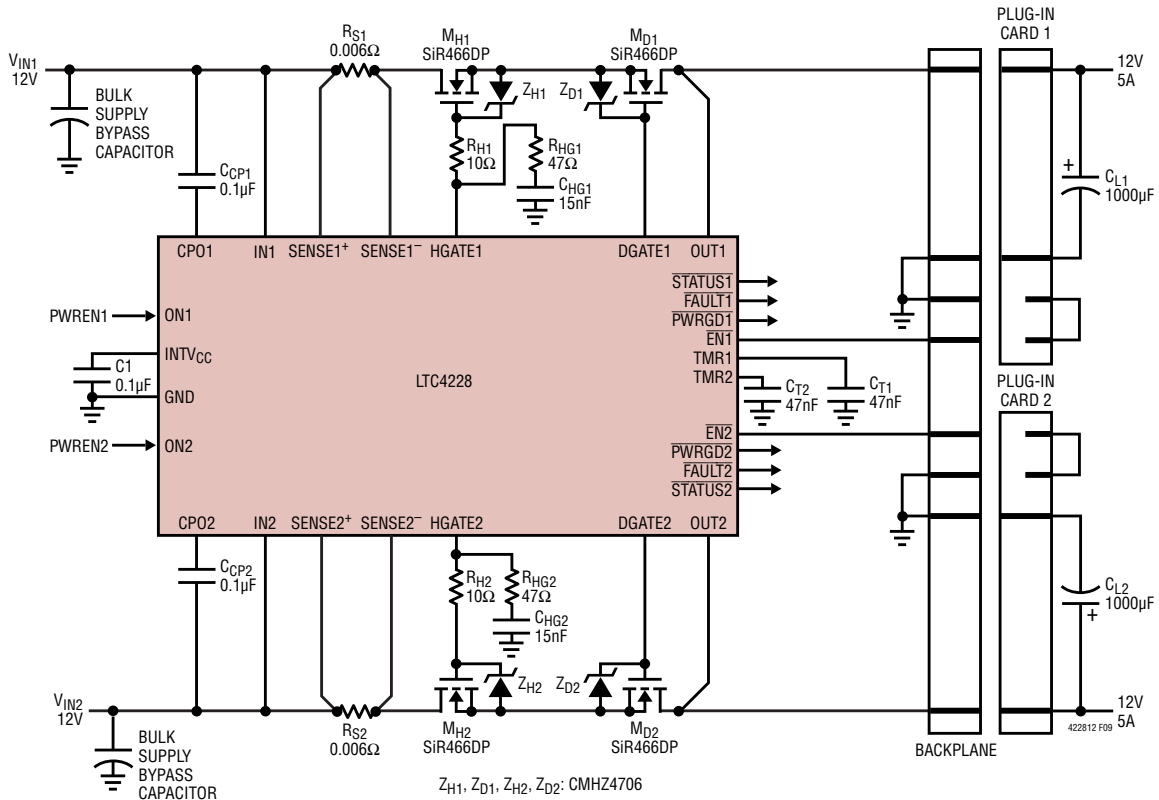


図9. 電源側に Hot Swap MOSFET、負荷側に理想ダイオード MOSFET を配置したアプリケーション

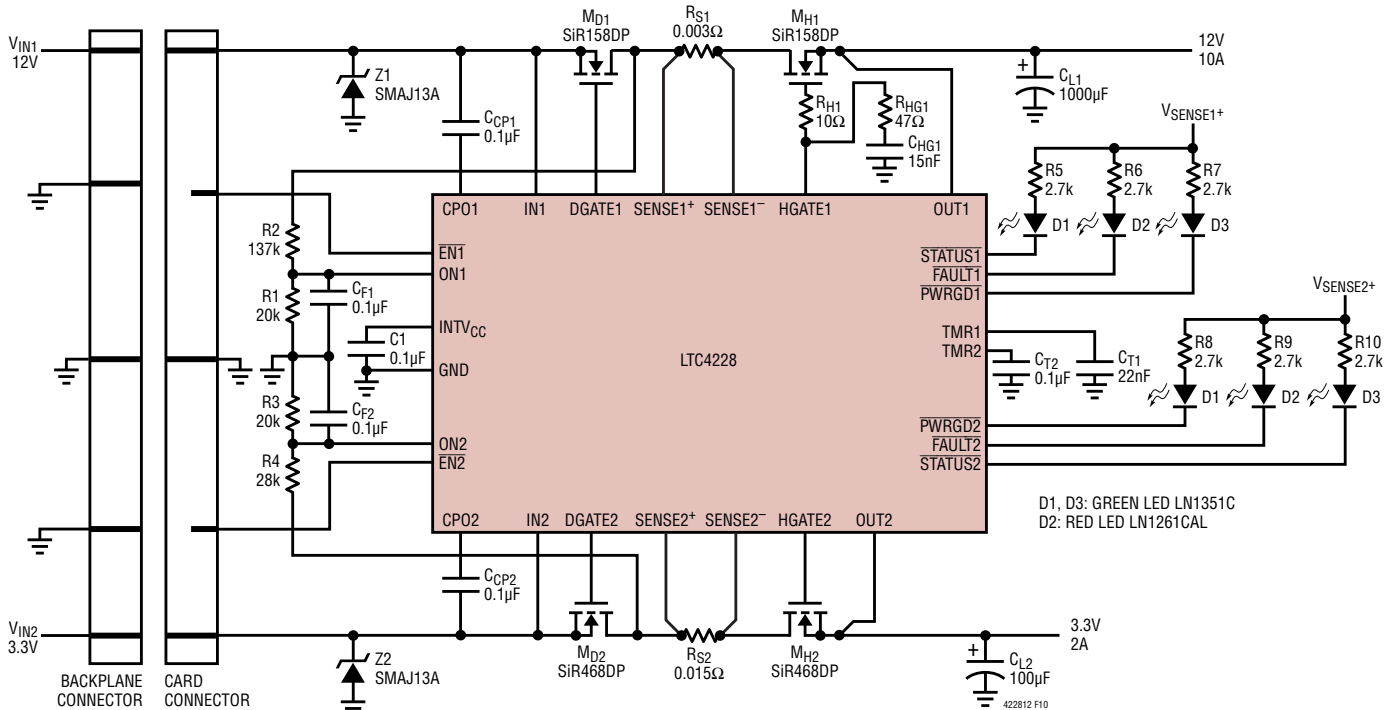


図10. 12Vと3.3Vの入力電源に理想ダイオードを使ったプラグイン・カードの電源ホールドアップ

LTC4228-1/LTC4228-2

アプリケーション情報

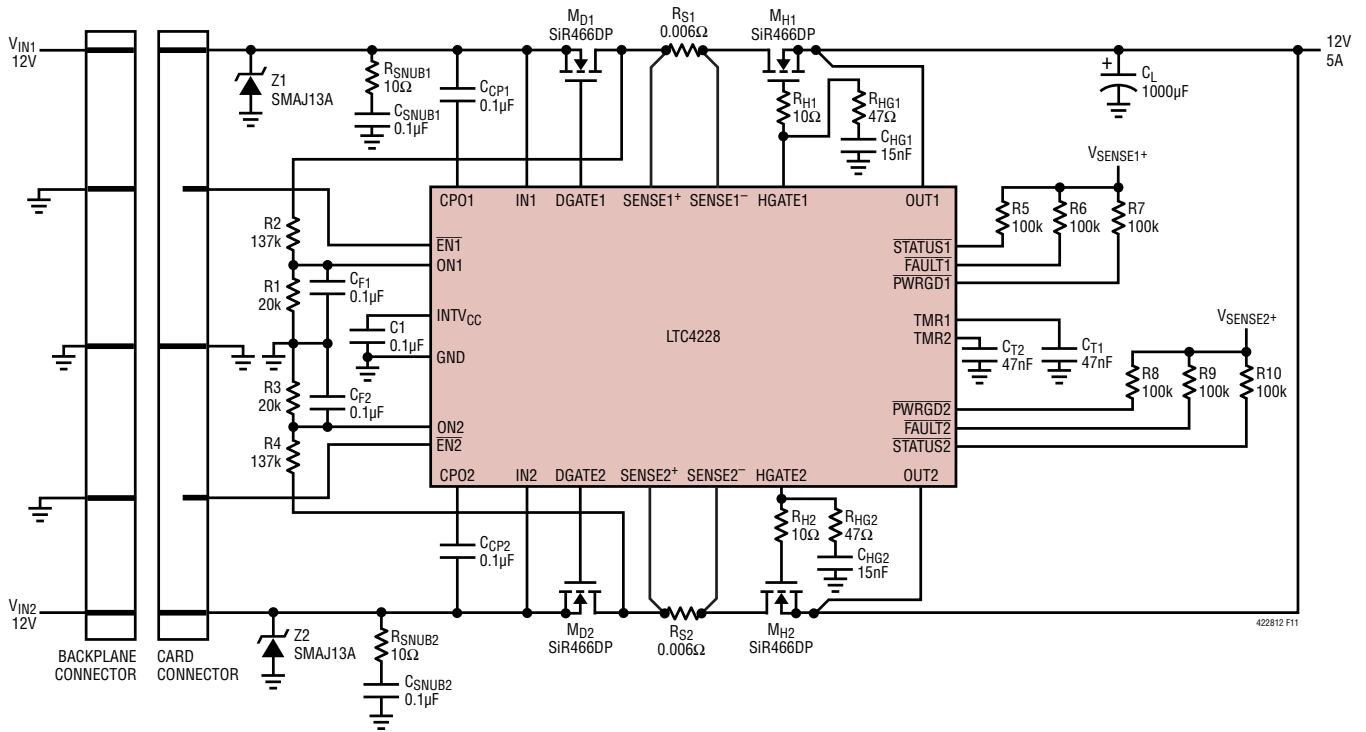


図 11. 出力をダイオード OR 接続したカード搭載アプリケーション

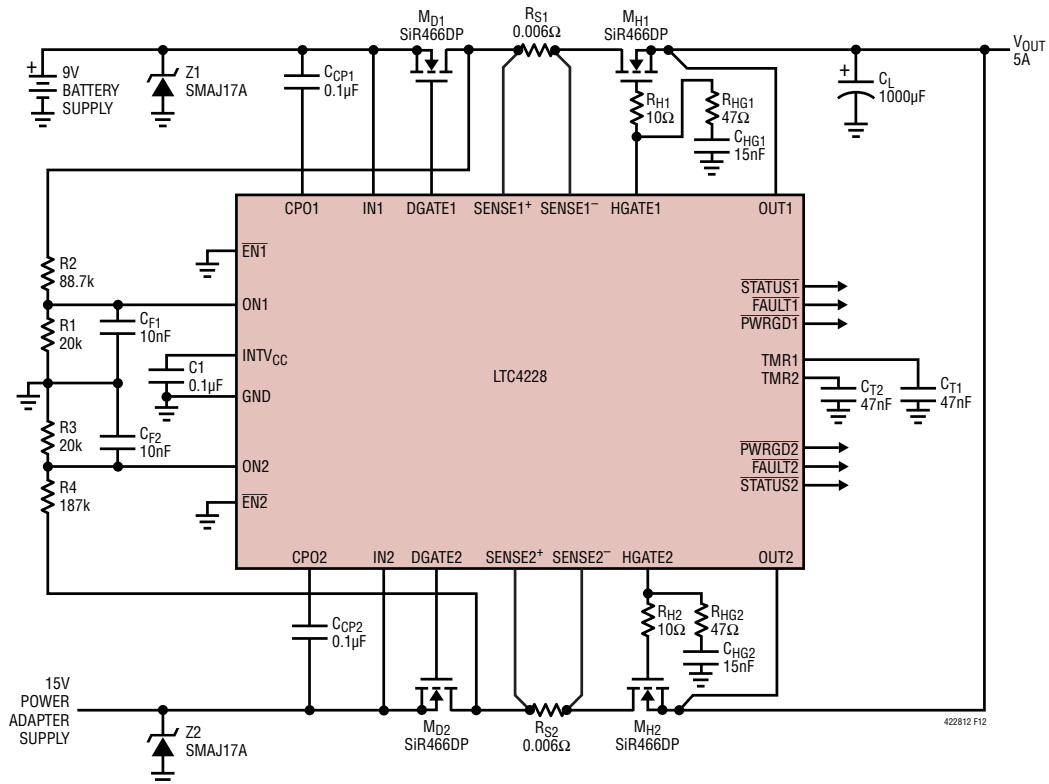


図 12. 出力をダイオード OR 接続したバッテリー・アプリケーション

アプリケーション情報

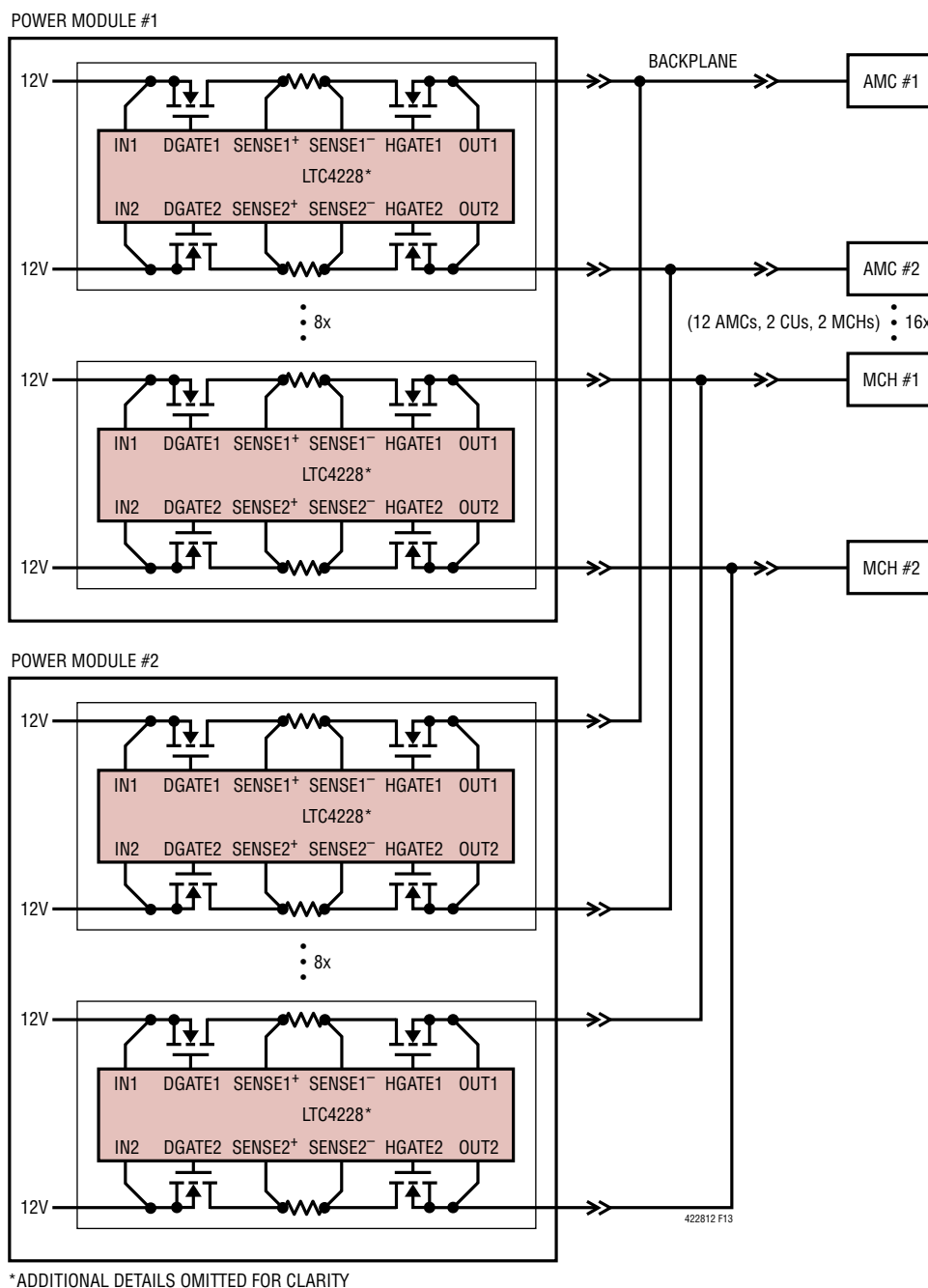


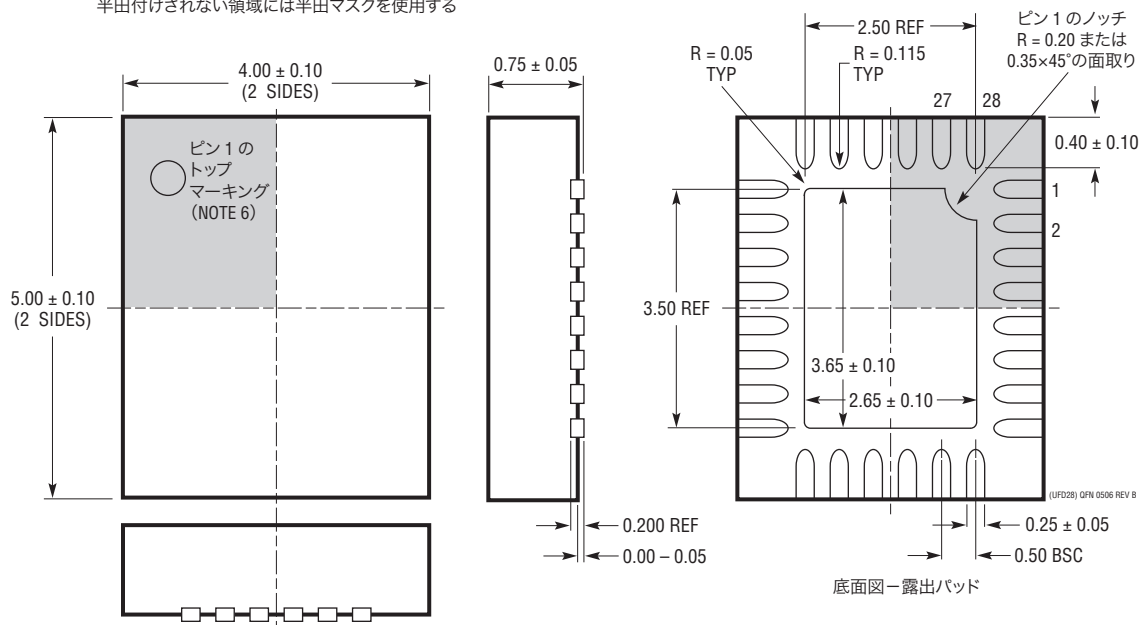
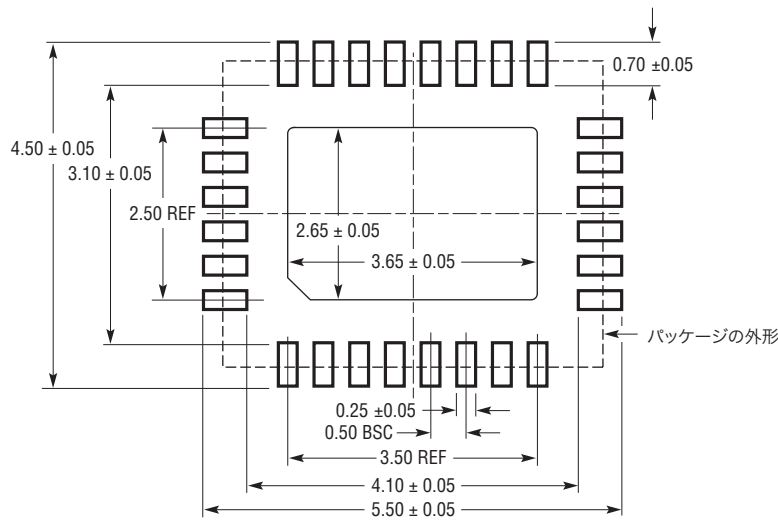
図 13. μ TCA 冗長電源サブシステムの12V分散電源

LTC4228-1/LTC4228-2

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

UFD パッケージ 28ピン・プラスチック QFN (4mm×5mm) (Reference LTC DWG # 05-08-1712 Rev B)



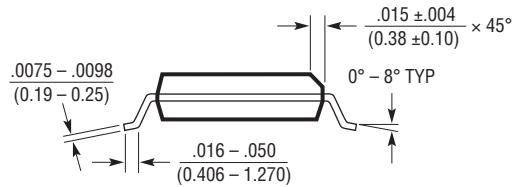
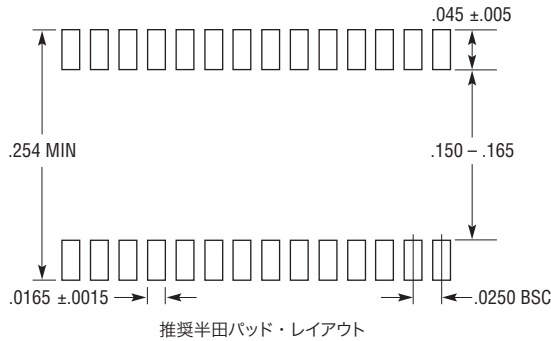
- NOTE :
1. 図は JEDEC パッケージ外形 MO-220 のバリエーション (WXXX-X) として提案
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

422812f

パッケージ

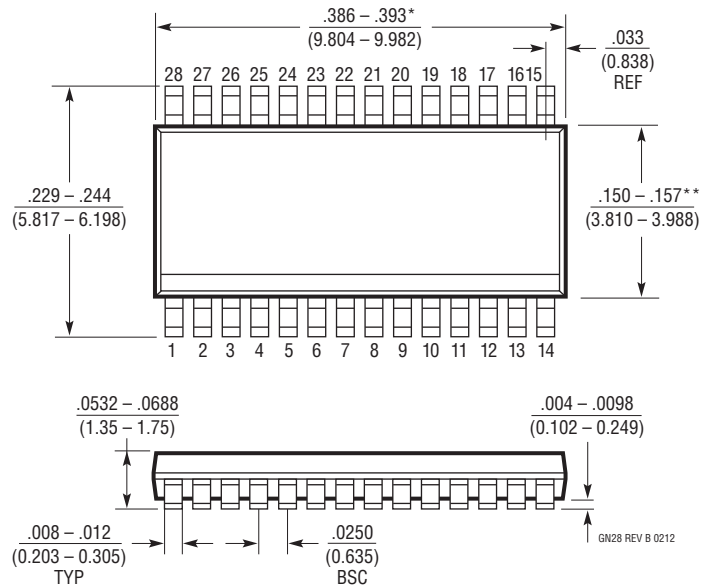
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

GN パッケージ 28ピン・プラスチック SSOP (細型 0.150 インチ) (Reference LTC DWG # 05-08-1641 Rev B)



- NOTE:
- 標準寸法：インチ
 - 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
 - 図は実寸とは異なる
 - ピン1は斜めのエッジかへこみのいずれか

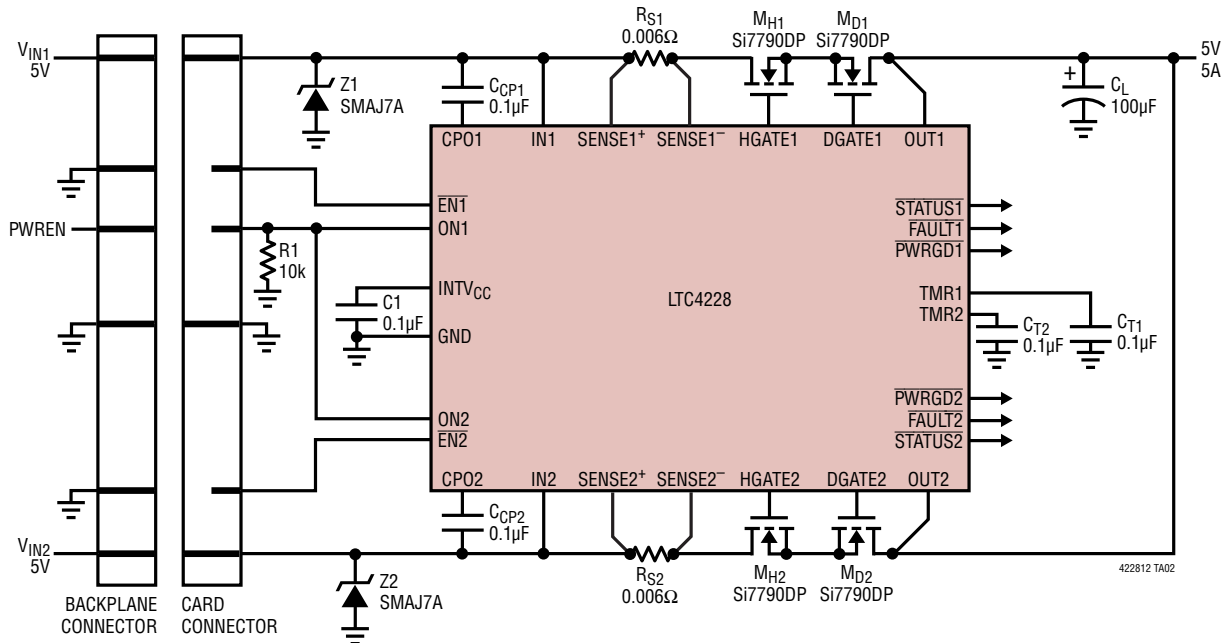
- * 寸法にはモールドのバリを含まない
モールドのバリは各サイドで 0.006 インチ (0.152mm) を超えないこと
- ** 寸法にはリード間のバリを含まない
リード間のバリは各サイドで 0.010 インチ (0.254mm) を超えないこと



LTC4228-1/LTC4228-2

標準的応用例

活線挿抜制御に理想ダイオード制御が続くプラグイン・カードのダイオード OR 接続アプリケーション



関連製品

製品番号	説明	注釈
LTC1421	デュアル・チャンネル・ホットスワップ・コントローラ	3V ~ 12Vで動作、-12Vをサポート、SSOP-24
LTC1645	デュアル・チャンネル・ホットスワップ・コントローラ	3V ~ 12Vで動作、パワー・シーケンス制御、SO-8またはSO-14
LTC1647-1/LTC1647-2/ LTC1647-3	デュアル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 16.5Vで動作、SO-8またはSSOP-16
LTC4210	シングル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 16.5Vで動作、アクティブ電流制限、SOT23-6
LTC4211	シングル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 16.5Vで動作、多機能電流制御、MSOP-8またはMSOP-10
LTC4215	シングル・チャンネル・ホットスワップ・コントローラ	2.9V ~ 15Vで動作、I ² C 互換モニタ、SSOP-16またはQFN-24
LTC4216	シングル・チャンネル・ホットスワップ・コントローラ	0V ~ 6Vで動作、アクティブ電流制限、MSOP-10またはDFN-12
LTC4218	シングル・チャンネル・ホットスワップ・コントローラ	2.9V ~ 26.5Vで動作、アクティブ電流制限、SSOP-16またはDFN-16
LTC4221	デュアル・チャンネル・ホットスワップ・コントローラ	1V ~ 13.5Vで動作、多機能電流制御、SSOP-16
LTC4222	デュアル・チャンネル・ホットスワップ・コントローラ	2.9V ~ 29Vで動作、I ² C 互換モニタ、SSOP-36またはQFN-32
LTC4223	両電源ホットスワップ・コントローラ	12Vと3.3Vを制御、アクティブ電流制限、SSOP-16またはDFN-16
LTC4224	デュアル・チャンネル・ホットスワップ・コントローラ	2.7V ~ 6Vで動作、アクティブ電流制限、MSOP-10またはDFN-10
LTC4225	デュアル理想ダイオードおよびホットスワップ・コントローラ	2.9V ~ 18Vで動作、4個のNチャンネルを制御、GN-24またはQFN-24
LTC4227	デュアル理想ダイオードおよびシングル・ホットスワップ・コントローラ	2.9V ~ 18Vで動作、3個のNチャンネルを制御、GN-16またはQFN-20
LTC4352	低電圧理想ダイオード・コントローラ	0V ~ 18Vで動作、Nチャンネルを制御、MSOP-12またはDFN-12
LTC4354	負電圧ダイオード OR コントローラおよびモニタ	80V動作、2個のNチャンネルを制御、SO-8またはDFN-8
LTC4355	正の高電圧理想ダイオード OR およびモニタ	9V ~ 80Vで動作、2個のNチャンネルを制御、SO-16またはDFN-14
LTC4357	正の高電圧理想ダイオード・コントローラ	9V ~ 80Vで動作、Nチャンネルを制御、MSOP-8またはDFN-6
LTC4358	5A 理想ダイオード	9V ~ 26.5Vで動作、Nチャンネルを内蔵、TSSOP-16またはDFN-14

422812f