

# I<sup>2</sup>C互換モニタ機能付きデュアル Hot Swapコントローラ

## 特長

- 電源の入ったバックプレーンに安全に挿入可能
- 電流と電圧をモニタする10ビットADC
- I<sup>2</sup>C/SMBusインタフェース
- 広い動作電圧範囲: 2.9V~29V
- di/dt制御ソフトスタート
- 外付けNチャンネルMOSFETのハイサイド・ドライブ
- 外付けゲート・コンデンサ不要
- 入力過電圧/低電圧保護
- フォールト後のラッチオフまたは自動リトライを選択可能
- フォールト後にホストに対してアラートを発行
- フォールドバック付き突入電流制限
- 32ピン (5mm×5mm) QFNパッケージと36ピンSSOPパッケージ

## アプリケーション

- ボードの活線挿入
- 電子回路ブレーカ
- コンピュータ、サーバ
- プラットフォーム・マネージメント

## 概要

LTC<sup>®</sup>4222 Hot Swap<sup>™</sup>コントローラは、電源の入ったバックプレーンから2つのパワーパスを安全に挿入/引抜き可能にします。外付けNチャンネル・パス・トランジスタを使用して、ボードの電源電圧と突入電流を調整可能な速度でランプアップさせます。I<sup>2</sup>Cインタフェースと内蔵のADCにより、各チャンネルごとに電流、電圧、フォールト状態をモニタできます。

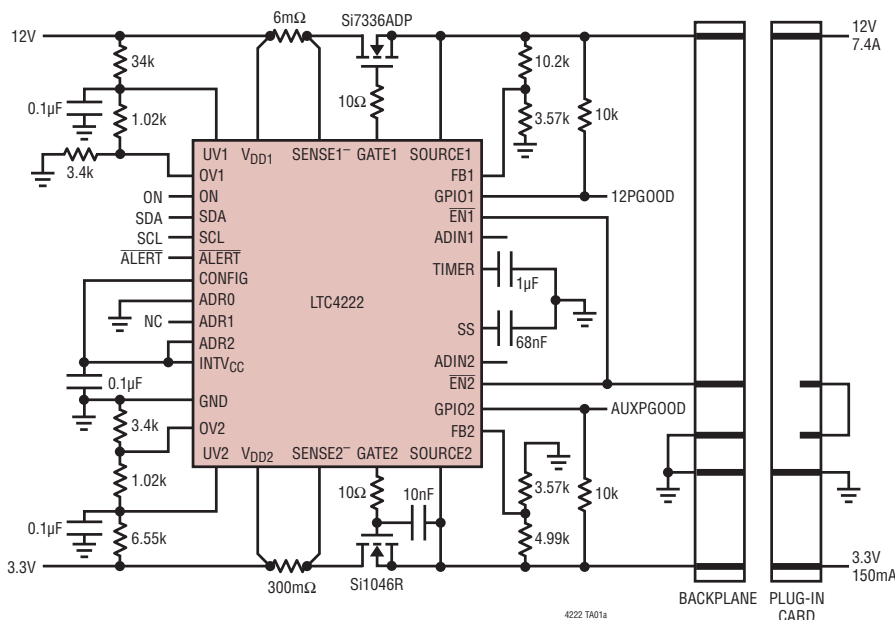
このデバイスは調整可能なアナログ・フォールドバック電流制限回路と、突入電流のdi/dtを設定するソフトスタート回路を搭載しています。I<sup>2</sup>Cインタフェースにより、いずれのチャンネルにおいても、LTC4222がフォールト検出後にラッチオフするのか、あるいは自動的にリスタートするかを設定できます。

この他に、フォールト発生時にホストに対して割り込みを行う機能、出力電力が良好であることを知らせる機能、負荷カードの挿入を検出する機能、挿入後、直ちに自動的に電源投入するか、I<sup>2</sup>Cコマンドを待ってから電源投入する機能を搭載しています。

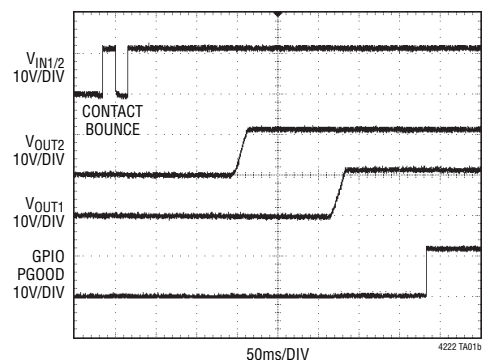
LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。7330065を含む米国特許によって保護されています。

## 標準的応用例

先進的メザニンカード・アプリケーション



シーケンス制御機能付き起動波形



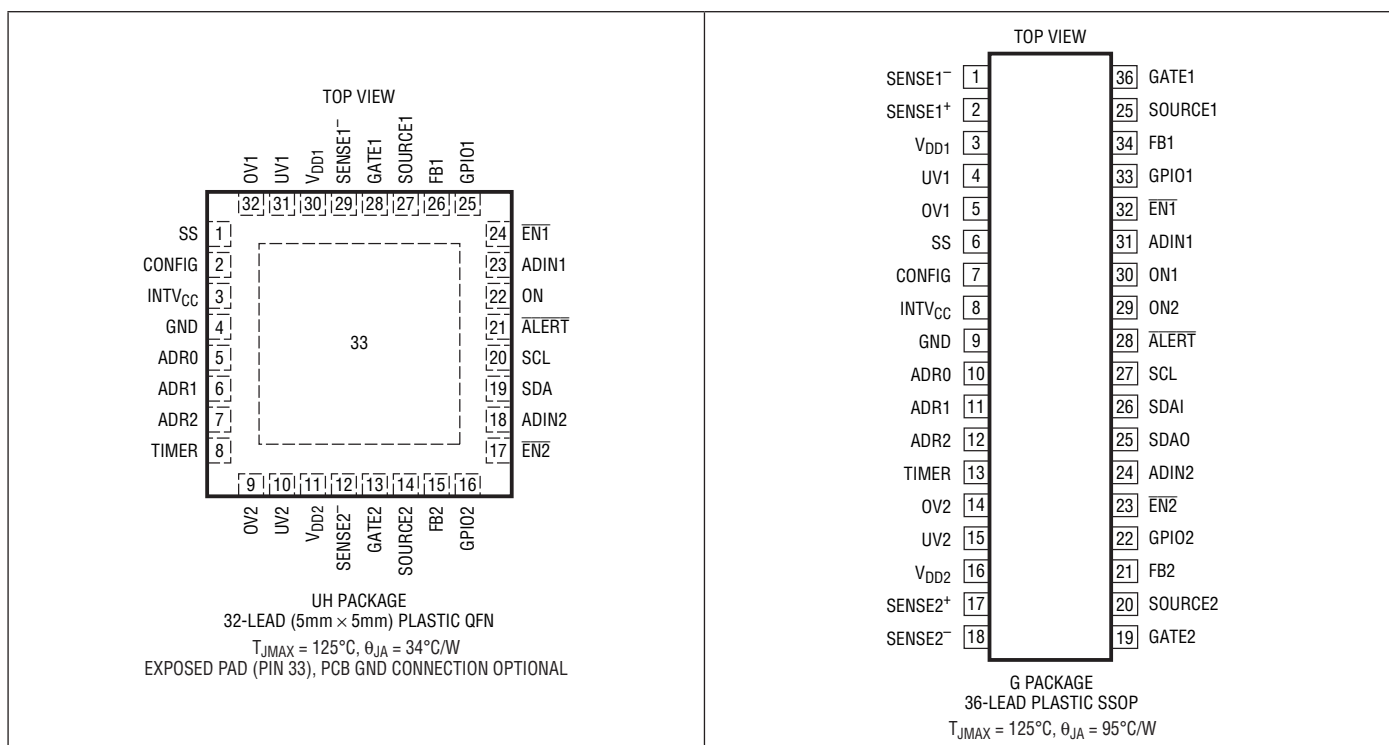
# LTC4222

## 絶対最大定格 (Note 1,2)

電源電圧 (V <sub>DDn</sub> ) .....	-0.3V~35V
電源電圧 (INTV <sub>CC</sub> ).....	-0.3V~6.5V
入力電圧	
GATE <sub>n</sub> -SOURCE <sub>n</sub> (Note 3).....	-0.3V~5V
SENSE <sup>+</sup> <sub>n</sub> .....(V <sub>DDn</sub> -6.5V)~(V <sub>DDn</sub> +0.3V)	
SENSE <sup>-</sup> <sub>n</sub> .....	-0.3V~(SENSE <sup>+</sup> <sub>n</sub> +0.3V)
SOURCE <sub>n</sub> .....	-5V~35V
UV <sub>n</sub> .....	-0.3V~(SENSE <sup>+</sup> <sub>n</sub> +0.3V)
EN <sub>n</sub> , FB <sub>n</sub> , ON, OV <sub>n</sub> .....	-0.3V~12V
ADR0-2, TIMER, SS.....	-0.3V~(INTV <sub>CC</sub> +0.3V)

ADIN <sub>n</sub> , CONFIG.....	-0.3V~12V
ALERT, SCL, SDA, SDAI, SDAO .....	-0.3V~6.5V
出力電圧	
GATE <sub>n</sub> , GPIO <sub>n</sub> .....	-0.3V~35V
動作温度範囲	
LTC4222C .....	0°C~70°C
LTC4222I .....	-40°C~85°C
保存温度範囲.....	-65°C~150°C
リード温度 (半田付け, 10秒)	
SSOP .....	300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4222CG#PBF	LTC4222CG#TRPBF	LTC4222CG	36-Lead Plastic SSOP	0°C to 70°C
LTC4222IG#PBF	LTC4222IG#TRPBF	LTC4222IG	36-Lead Plastic SSOP	-40°C to 85°C
LTC4222CUH#PBF	LTC4222CUH#TRPBF	LTC4222	32-Lead (5mm × 5mm) Plastic QFN	0°C to 70°C
LTC4222IUH#PBF	LTC4222IUH#TRPBF	LTC4222	32-Lead (5mm × 5mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

## 電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>電源</b>							
$V_{DDn}$	Input Supply Range		●	2.9	29	V	
$I_{DD1}$	$V_{DD1}$ Input Supply Current	$V_{DD1} = 12\text{V}$	●	0.85	1.25	mA	
$I_{DD2}$	$V_{DD2}$ Input Supply Current	$V_{DD2} = 12\text{V}$ , $I_{INTVCC} = 0\text{mA}$	●	3	4.5	mA	
$V_{DDn(UVL)}$	Input Supply Undervoltage Lockout	$V_{DD}$ Rising	●	2.34	2.43	2.53	V
$V_{DDn(HYST)}$	Input Supply Undervoltage Lockout Hysteresis		●	60	80	100	mV
$INTV_{CC}$	Internal Regulator Voltage	$I_{INTVCC} = 0\text{mA}$	●	3.15	3.3	3.45	V
$INTV_{CC(UVL)}$	$INTV_{CC}$ Undervoltage Lockout	$INTV_{CC}$ Rising	●	2.55	2.64	2.73	V
$INTV_{CC(HYST)}$	$INTV_{CC}$ Undervoltage Lockout Hysteresis		●	35	50	65	mV
<b>電流制限および回路ブレーカ(両方のチャネル)</b>							
$\Delta V_{SENSE(TH)}$	Circuit Breaker Threshold ( $V_{DD} - V_{SENSE}$ )		●	47.5 48.75	50 50	52.5 51.25	mV mV
$\Delta V_{SENSE}$	Current Limit Voltage ( $V_{DD} - V_{SENSE}$ )	$V_{FB} = 1.3\text{V}$ $V_{FB} = 0\text{V}$ Start-Up Timer Expired	● ● ●	46 14 130	50 16.6 150	54 19 165	mV mV mV
$t_{D(OC)}$	OC Fault Filter	$\Delta V_{SENSE} = 100\text{mV}$	●	10	20	30	$\mu\text{s}$
$I_{SENSE(IN)}$	SENSE <sup>+</sup> /SENSE <sup>-</sup> Pin Input Current	$V_{SENSE} = 12\text{V}$	●	0	20	45	$\mu\text{A}$
<b>ゲート・ドライブ</b>							
$\Delta V_{GATE}$	External N-Channel Gate Drive ( $V_{GATE} - V_{SOURCE}$ ) (Note 3)	$V_{DD} = 2.9\text{V}$ to $29\text{V}$	●	4.7	5.9	6.5	V
$I_{GATE(UP)}$	External N-Channel Gate Pull-Up Current	Gate On, $V_{GATE} = 0\text{V}$	●	-8	-12	-18	$\mu\text{A}$
$I_{GATE(DN)}$	External N-Channel Gate Pull-Down Current	Gate Off, $V_{GATE} = 15\text{V}$	●	0.8	1	2.0	mA
$I_{GATE(LIM)}$	Pull-Down Current from GATE to SOURCE During OC/UVLO	$V_{GATE} = 15\text{V}$ , ( $V_{DD} - V_{SENSE}$ ) $n = 200\text{mV}$			450		mA
$t_{PHL(SENSE)}$	( $V_{DD} - SENSE$ ) High to GATE Low	$V_{DD} - SENSE = 200\text{mV}$ , $C_{GATE} = 10\text{nF}$	●		0.5	1	$\mu\text{s}$
$V_{GS(PowerBAD)}$	(GATE-SOURCE) Voltage for Power Bad Fault	$V_{SOURCE} = 2.9\text{V}$ to $29\text{V}$	●	3.8	4.3	4.7	V
<b>コンパレータ入力</b>							
$V_{INPUT(TH)}$	CONFIG, $\overline{\text{EN}}$ , FB, ON, OV and UV Input Threshold	$V_{IN}$ Rising	●	1.215	1.235	1.255	V
$\Delta V_{CONFIG, \overline{\text{EN}}, \text{ON}(HYST)}$	CONFIG, $\overline{\text{EN}}$ , ON Hysteresis		●	80	128	180	mV
$\Delta V_{FB(HYST)}$	FB Power Good Hysteresis		●	2	7	20	mV
$\Delta V_{OV(HYST)}$	OV Hysteresis		●	16	24	32	mV
$\Delta V_{UV(HYST)}$	UV Hysteresis		●	60	90	110	mV
$I_{(IN)}$	CONFIG, FB, ON, OV and UV Input Current	$V_{IN} = 3\text{V}$	●		0	$\pm 1$	$\mu\text{A}$
$I_{\overline{\text{EN}}(UP)}$	$\overline{\text{EN}}$ Pull-Up Current	$V_{\overline{\text{EN}}} = 0\text{V}$	●	5	10	20	$\mu\text{A}$
$V_{UV(RTH)}$	UV Reset Threshold Voltage	$V_{UV}$ Falling	●	0.36	0.4	0.46	V
$\Delta V_{UV(RHYST)}$	UV Reset Threshold Hysteresis		●	60	125	180	mV
$V_{GPIO(TH)}$	GPIO Input Threshold	$V_{GPIO}$ Rising	●	0.8	1	1.2	V

## 電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。  
 注記がない限り、 $V_{DD} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>他のピンの機能</b>							
$V_{GPIO(OL)}$	GPIO Output Low Voltage	$I_{GPIO} = 5\text{mA}$	●		0.25	0.4	V
$I_{GPIO(OH)}$	GPIO Input Leakage Current	$V_{GPIO} = 15\text{V}$	●		0	$\pm 1$	$\mu\text{A}$
$I_{SOURCE}$	SOURCE Input Current	SOURCE = 15V	●	70	115	170	$\mu\text{A}$
$t_{P(GATE)}$	Input (ON, OV, UV, $\overline{\text{EN}}$ ) to GATE Off Propagation Delay		●		3	5	$\mu\text{s}$
$t_{D(GATE)}$	GATE Turn-On Delay	ON UV, OV, $\overline{\text{EN}}$ Overcurrent Auto-Retry	● ● ●		4 75 4.2	8 100 5	$\mu\text{s}$ ms s
$V_{TIMERL(TH)}$	TIMER Low Threshold		●	0.18	0.2	0.22	V
$V_{TIMERH(TH)}$	TIMER High Threshold		●	1.215	1.235	1.260	V
$I_{TIMER(UP)}$	TIMER Pull-Up Current		●	90	100	110	$\mu\text{A}$
$I_{TIMER(DOWN)}$	TIMER Pull-Down Current for OC Auto-Retry		●	1.6	2.15	2.6	$\mu\text{A}$
$I_{TIMER(UP/DOWN)}$	TIMER Pin OC Auto-Retry Duty Cycle		●	38	50	58	N/A
$I_{SS}$	Soft-Start Ramp Pull-Up Current	Ramping Waiting for GATE to Slew	● ●	7.5 0.5	10 0.75	12.5 0.95	$\mu\text{A}$ $\mu\text{A}$
<b>ADC</b>							
RES	Resolution (No Missing Codes)		●	10			Bits
$V_{FS}$	Full-Scale Voltage ( $1023 \cdot V_{LSB}$ )	$(V_{DD} - \text{SENSE})$ SOURCE ADIN			64 32 1.28		mV V V
LSB	LSB Step Size	$(V_{DD} - \text{SENSE})$ SOURCE ADIN			62.5 31.25 1.25		$\mu\text{V}$ mV mV
$V_{OS}$	Offset Error	$(V_{DD} - \text{SENSE})$ SOURCE ADIN	● ● ●			$\pm 3$ $\pm 2$ $\pm 2$	LSB LSB LSB
INL	Integral Nonlinearity	(Note 5)	●			$\pm 0.5$	LSB
TUE	Total Unadjusted Error/Full-Scale Error	$(V_{DD} - \text{SENSE})$ SOURCE ADIN	● ● ●			$\pm 1.5$ $\pm 1$ $\pm 1$	% % %
$R_{ADIN}$	ADIN Sampling Resistance	$V_{ADIN} = 1.28\text{V}$	●	1	2		$\text{M}\Omega$
$I_{ADIN}$	ADIN Input Current	$V_{ADIN} = 1.28\text{V}$	●		0	$\pm 0.1$	$\mu\text{A}$
	Conversion Rate				15		Hz

## 電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

注記がない限り、 $V_{DD} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>I<sup>2</sup>Cインタフェース</b>							
$V_{ADR(H)}$	ADR0, ADR1, ADR2 Input High Voltage		●	$\text{INTV}_{CC} - 0.8$	$\text{INTV}_{CC} - 0.4$	$\text{INTV}_{CC} - 0.2$	V
$I_{ADR(IN,Z)}$	ADR0, ADR1, ADR2 Hi-Z Input Current	ADR0, ADR1, ADR2 = 0.8V, $\text{INTV}_{CC} - 0.8\text{V}$	●	5	0	-5	$\mu\text{A}$
$V_{ADR(L)}$	ADR0, ADR1, ADR2 Input Low Voltage		●	0.2	0.4	0.8	V
$I_{ADR(IN)}$	ADR0, ADR1, ADR2 Input Current	ADR0, ADR1, ADR2 = 0V, $\text{INTV}_{CC}$	●	-80		80	$\mu\text{A}$
$V_{\overline{\text{ALERT}}(OL)}$	$\overline{\text{ALERT}}$ Output Low Voltage	$\overline{\text{I}}_{\overline{\text{ALERT}}} = 3\text{mA}$	●		0.2	0.4	V
$I_{\overline{\text{ALERT}}(OH)}$	$\overline{\text{ALERT}}$ Input Current	$\overline{\text{ALERT}} = \text{INTV}_{CC}$	●			$\pm 1$	$\mu\text{A}$
$V_{\text{SDA,SCL}(TH)}$	SDA, SCL Input Threshold		●	1.5	1.7	1.9	V
$I_{\text{SDA,SCL}(OH)}$	SDA, SCL Input Current	SCL, SDA = $\text{INTV}_{CC}$	●			$\pm 1$	$\mu\text{A}$
$V_{\text{SDA}(OL)}$	SDA Output Low Voltage	$I_{\text{SDA}} = 3\text{mA}$	●		0.2	0.4	V
<b>I<sup>2</sup>Cインタフェースのタイミング</b>							
$f_{\text{SCL}(\text{MAX})}$	SCL Clock Frequency	Operates with $f_{\text{SCL}} \leq f_{\text{SCL}(\text{MAX})}$		400	1000		kHz
$t_{\text{BUF}(\text{MIN})}$	Bus Free Time Between Stop/Start Condition				0.12	1.3	$\mu\text{s}$
$t_{\text{HD,STA}(\text{MIN})}$	Hold Time After (Repeated) Start Condition				100	600	ns
$t_{\text{SU,STA}(\text{MIN})}$	Repeated Start Condition Set-Up Time				30	600	ns
$t_{\text{SU,STO}(\text{MIN})}$	Stop Condition Set-Up Time				140	600	ns
$t_{\text{HD,DAT}(\text{MIN})}$	Data Hold Time (Input)				30	100	ns
$t_{\text{HD,DATO}}$	Data Hold Time (Output)			300	600	900	ns
$t_{\text{SU,DAT}(\text{MIN})}$	Data Set-Up Time				30	600	ns
$t_{\text{SP}}$	Suppressed Spike Pulse Width			50	110	250	ns
$t_{\text{RST}}$	Stuck-Bus Reset Time	SCL or SDA Held Low		25	32	40	ms
$C_X$	SCL, SDA Input Capacitance	SDAI Tied to SDAO (Note 5)				10	pF

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

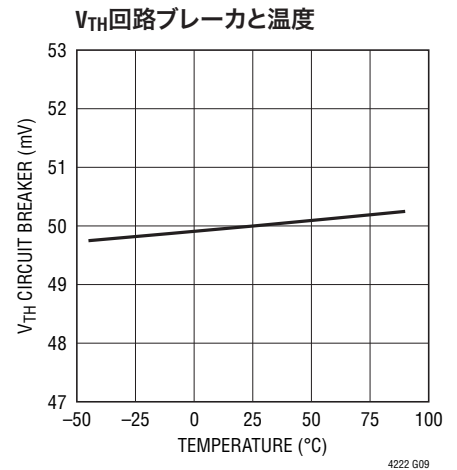
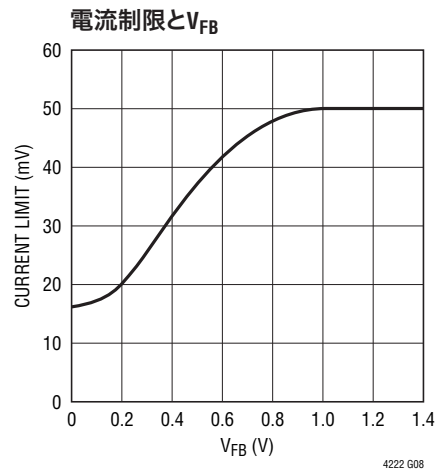
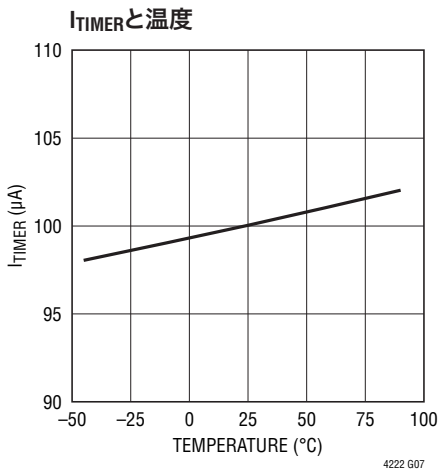
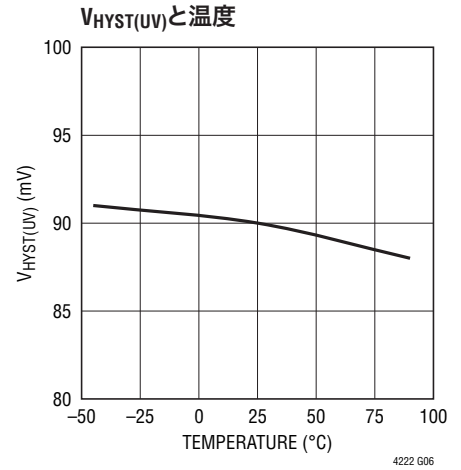
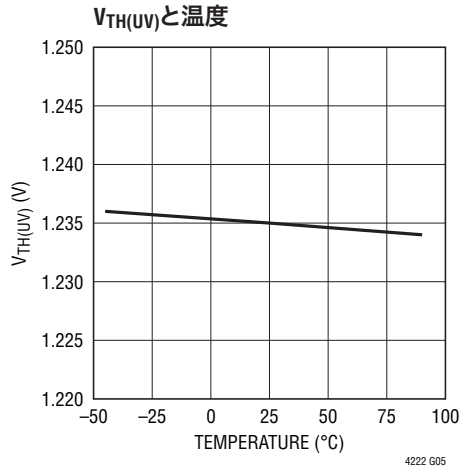
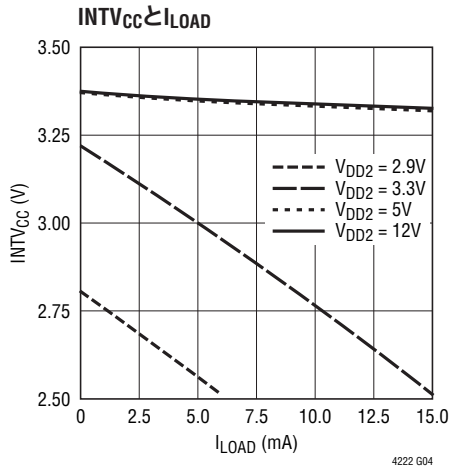
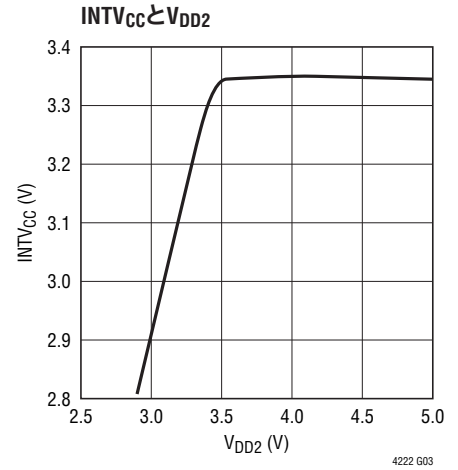
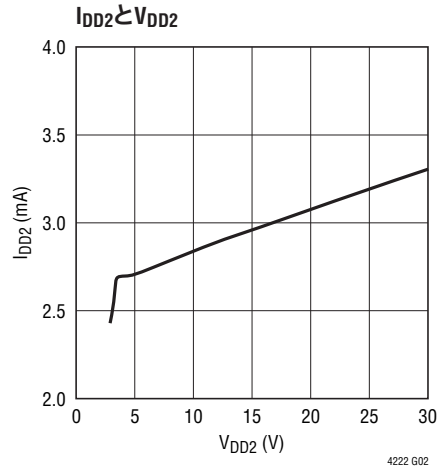
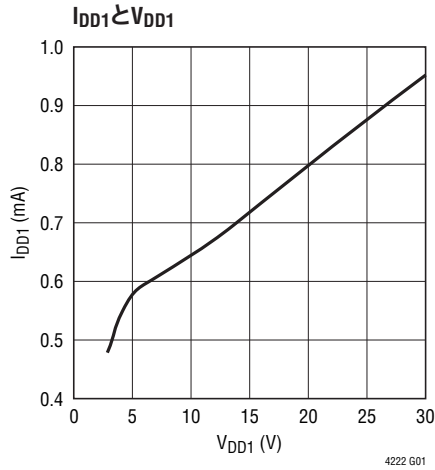
**Note 2:** 注記がない限り、ピンに流れ込む電流は全てプラスで、全ての電圧はGNDを基準にしている。

**Note 3:** 内部クランプにより、GATEピンはソースより最小5V高い電圧に制限される。このピンをクランプ電圧より高い電圧にドライブするとデバイスを損傷するおそれがある。

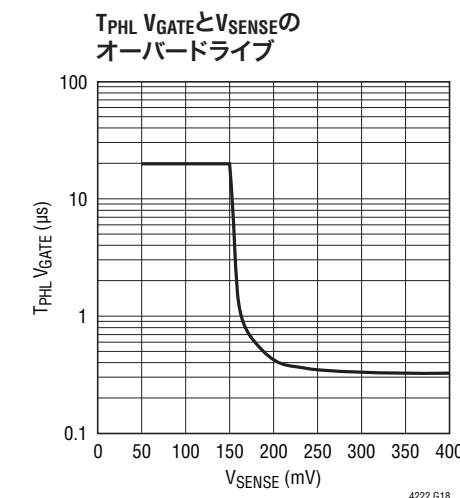
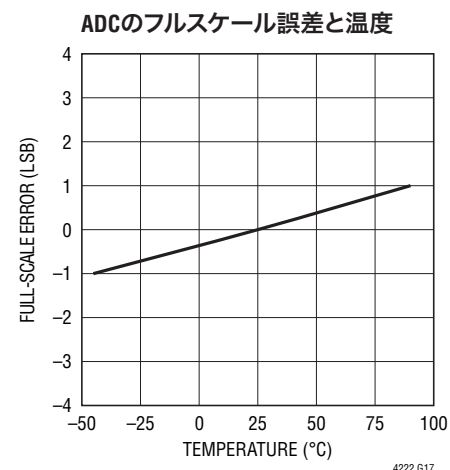
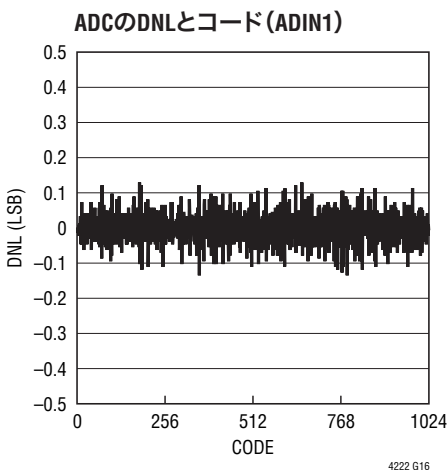
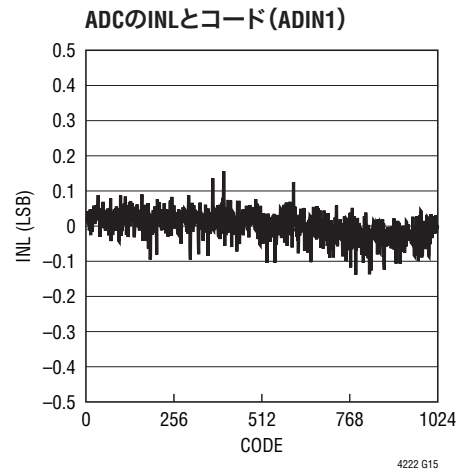
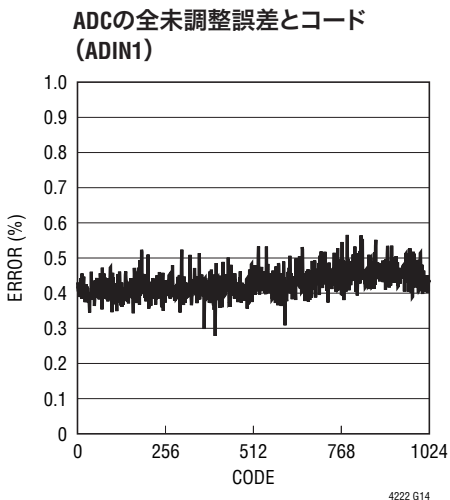
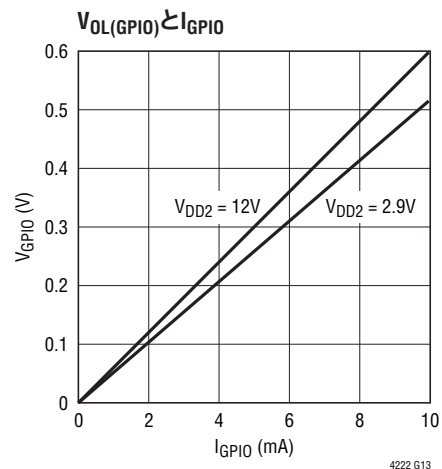
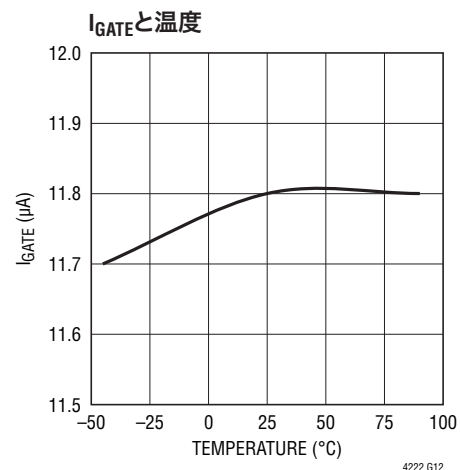
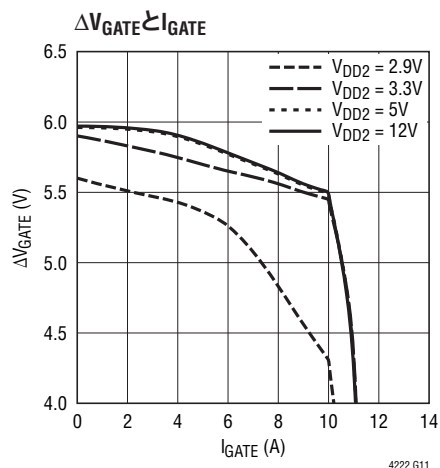
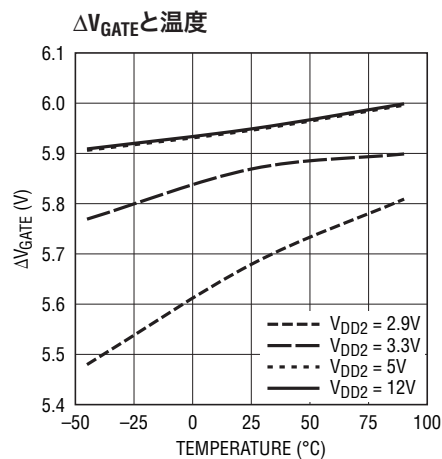
**Note 4:** 積分非直線性は、精密アナログ入力電圧からのコードの偏差として定義されている。最大値の規定はLSBのステップ・サイズとシングルショット測定によって制限されている。標準値は量子化幅の1/4、1/2および3/4の領域から測定される。

**Note 5:** 設計によって保証されており、テストされない。

標準的性能特性  $T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{DDn} = 12\text{V}$ 。



標準的性能特性  $T_A = 25^\circ\text{C}$ 。注記がない限り、 $V_{DDn} = 12\text{V}$ 。





## ピン機能

**ADIN:** ADC入力。このピンに加えられた0V~1.28Vの電圧は、内蔵ADCによって測定されます。使用しない場合はグラウンドに接続します。

**ADR0, ADR1, ADR2:** シリアル・バスのアドレス入力。これらのピンをグラウンドに接続するか、オープンにするか、またはINTV<sub>CC</sub>に接続すると、可能な27アドレスの1つに構成設定されます。「アプリケーション情報」の表1を参照してください。

**ALERT:** フォールト・アラート出力。オープン・ドレインのロジック出力です。フォールトが発生するとグラウンドに引き下げられ、ホスト・コントローラにアラートを出します。フォールト・アラートは、表4に示されているように、ALERTレジスタ内の対応するビットを設定することによりイネーブルされます。「アプリケーション情報」を参照してください。使用しない場合はグラウンドに接続します。

**CONFIG:** 構成設定入力。2つのチャンネルを一緒に、または個別に制御するようにデバイスを構成設定します。CONFIGがGNDに接続されていると、両方のチャンネルが同時に起動します。どちらかのチャンネルのフォールト、ENまたはONのターンオフ命令により、両方のチャンネルがシャットダウンします。CONFIGがINTV<sub>CC</sub>に接続されていると、どちらのチャンネルも独立して起動することができます。フォールト、ENまたはONのターンオフ命令により、関連したチャンネルはオフしますが、他のチャンネルはオンしたまま留まります。一方のチャンネルがターンオン・シーケンスの途中で他方のチャンネルがオンするように命令されると、LTC4222は最初のチャンネルがそのターンオン・シーケンスを終了するまで待つてから2番目のチャンネルをオンします。

**EN1, EN2:** イネーブル入力。このピンを接地してボードが存在することを表示し、NチャンネルMOSFETがオンできるようにします。このピンが“H”のとき、MOSFETはオンすることができません。内部10 $\mu$ A電流源がこのピンをプルアップします。このピンの遷移はFAULTレジスタに記録されます。“H”から“L”に遷移すると、ONピンの状態を読み取るロジックがアクティブになり、フォールトをクリアします。「アプリケーション情報」を参照してください。

**露出パッド:** (ピン33, QFNパッケージ) 露出パッド。オープンのままにするか、デバイスのグラウンドに接続することができます。

**FB1, FB2:** フォールドバック電流制限とパワーグッド入力。出力からの抵抗分割器をこのピンに接続します。このピンの電圧が1.235Vより下に下がるとパワーグッドではないと見なされます。パワーバッド状態だと、CONTROLレジスタのビット6

とビット7の設定に依存して、GPIOピンが“L”に引き下げられるか、または高インピーダンスになることがあります。また、パワーバッド・フォールトは、FBピンが“L”で、LTC4222が起動サイクルを終了し、GATEピンが“H”のとき、ログされます。「アプリケーション情報」を参照してください。スタートアップ電流制限の検出電圧は、FB電圧が0.8Vから0.2Vに下がるにつれ、50mVから16.6mVにフォールドバックします。デバイスがスタートアップを過ぎ、電流制限が150mVに増加した後、フォールドバックはアクティブではなくなります。

**GATE1, GATE2:** 外部NチャンネルMOSFETのゲート・ドライブ。12 $\mu$ Aの内部電流源がMOSFETのゲートを充電します。GATEピンには補償コンデンサは不要ですが、このピンからグラウンドに抵抗とコンデンサのネットワークを使ってターンオン時の出力電圧のスルーレートを設定することができます。ターンオフの間、1mAのプルダウン電流が流れます。短絡または低電圧ロックアウトの間(V<sub>DD</sub>またはINTV<sub>CC</sub>)、GATEとSOURCEの間の450mAプルダウン電流源がアクティブになります。

**GND:** デバイスのグラウンド。

**GPIO1, GPIO2:** 汎用入力/出力。オープン・ドレインのロジック出力またはロジック入力。既定では、“L”になってパワーグッドではないことを表示するように設定された出力になります。表3に従って構成設定します。

**INTV<sub>CC</sub>:** 低電圧電源のデカップリング出力。このピンからグラウンドに0.1 $\mu$ Fのコンデンサを接続します。

**ON:** (QFNパッケージ) オン制御入力。ON1とON2のラインを内部で一緒に結合することにより形成されています。

**ON1, ON2:** (SSOPパッケージ) オン制御入力。立上りエッジが外部NチャンネルFETをオンし、立下りエッジがオフします。このピンはFET ONのレジスタ・ビット(したがって外部FET)の起動時の状態も構成設定します。たとえば、ONピンが“H”に接続されると、FET ONビット(表3の制御ビット3)は起動後100msで“H”になります。同様に、ONピンが“L”に接続されると、チャンネルは、I<sup>2</sup>Cバスを使ってFET ONビットが“H”に設定されるまで、起動後オフしたままです。このピンが“H”から“L”に遷移すると、関連したチャンネルのフォールト・レジスタがクリアされます。2つのONピンは、QFNパッケージでは内部で一緒に結合されています。

**OV1, OV2:** 過電圧コンパレータの入力。このピンをV<sub>DD</sub>からの外部抵抗分割器に接続します。このピンの電圧が1.235Vを超えると、過電圧フォールトが検出され、GATEがオフします。使用しない場合、GNDに接続します。



## ピン機能

**SCL:** シリアル・バス・クロック入力。SDAピンのデータはSCLの立上りエッジでシフトされて入力または出力されます。これは高インピーダンス・ピンで、一般にマスタ・コントローラのオープン・コレクタ出力でドライブされます。外部プルアップ抵抗または電流ソースが必要です。

**SDAO:** (SSOPパッケージ) シリアル・バス・データ出力。オープン・ドレイン出力で、データをマスタ・コントローラに送るのに、また書込み動作をアクノリッジするのに使います。通常はSDAIに接続されてSDAラインを形成します。外部プルアップ抵抗または電流ソースが必要です。QFNパッケージでは内部でSDAIに接続されています。

**SDAI:** (SSOPパッケージ) シリアル・バス・データ入力。アドレス、命令またはデータのビットをシフトして入力する高インピーダンス入力。通常はSDAOに接続されてSDAラインを形成します。QFNパッケージでは内部でSDAOに接続されています。

**SDA:** (QFNパッケージ) シリアル・バス・データ入力/出力ライン。SDAOとSDAIのラインを内部で一緒に結合することにより形成されています。外部プルアップ抵抗または電流ソースが必要です。

**SENSE1<sup>-</sup>、SENSE2<sup>-</sup>:** 負電流検出入力。このピンを電流センス抵抗の出力に接続します。電流制限回路は対応するGATEピンの電圧を制御してSENSE<sup>+</sup>ピンとSENSE<sup>-</sup>ピンの間の検出電圧を、スタートアップ時にはソフトスタートおよびフォールドバックの特性によって設定される最大50mVのレベルに制限し、スタートアップ・タイマの時間が経過した後はソフトスタートやフォールドバックには依存しない150mVに制限します。スタートアップ後にイネーブルされた回路ブレーカは、検出電圧が20 $\mu$ sの間50mVを超えるとトリップします。

**SENSE1<sup>+</sup>、SENSE2<sup>+</sup>:** (SSOPパッケージ) 正電流検出入力。このピンを電流センス抵抗の入力に接続します。V<sub>DDn</sub>と同じトレースに接続する必要があります。QFNパッケージでは内部でV<sub>DDn</sub>に接続されています。

**SOURCE1、SOURCE2:** NチャネルMOSFETのソースおよびADCの入力。このピンはゲート・ドライブのリターンのため外部NチャネルMOSFETスイッチのソースに接続します。このピンは出力電圧をモニタするADCの入力としても機能します。このピンはゲートのプルダウン回路のリターンを与えます。

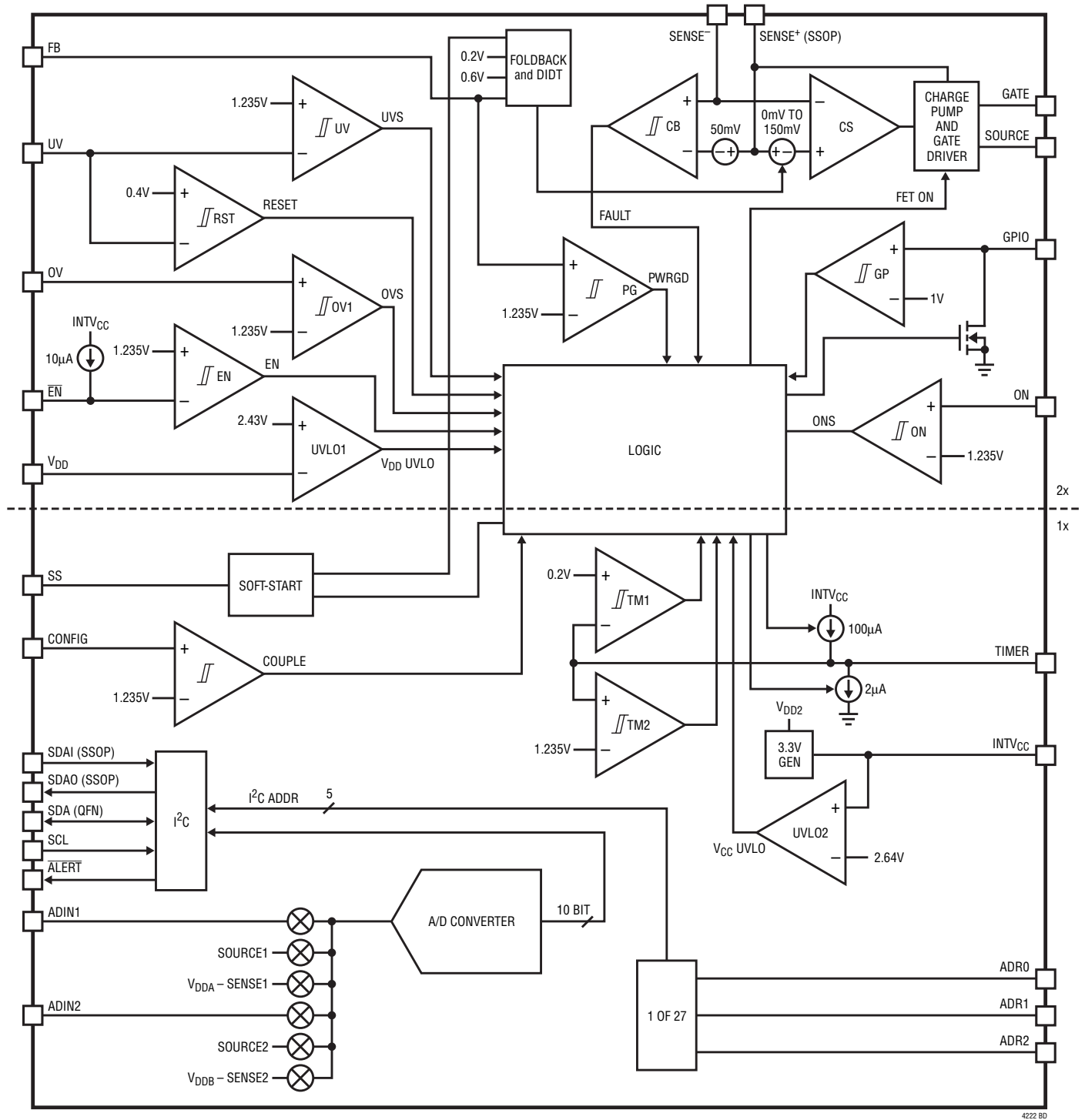
**SS:** ソフトスタート入力。スタートアップ時の突入電流のスルーレートを設定します。68nFのコンデンサを接続し、スタートアップ時の検出電圧のスルーレートを5mV/msに設定します。これは5m $\Omega$ のセンス抵抗の場合1A/msに相当します。大きなソフトスタート・コンデンサと小さなTIMERコンデンサだと、突入電流が流れ始める前にタイマが終了してしまう状態になる可能性があることに注意してください。ソフトスタート・コンデンサの1nFにつきタイマ容量を2nF増やして、適切なスタートアップを実現します。

**TIMER:** スタートアップ・タイマの入力。このピンとグラウンドの間にコンデンサを接続して12.3ms/ $\mu$ Fのスタートアップ持続時間を設定します。この持続時間経過後、突入電流がなおも電流制限されていると過電流フォールトがログされます。オフ時間の長さは、過電流の自動リトライがイネーブルされているとき600ms/ $\mu$ Fなので、1:50のデューティ・サイクルになります。このピンがINTV<sub>CC</sub>に接続されていると、内部タイマが100msのスタートアップ時間と5秒の自動リトライ時間を与えます。ソフトスタート(SS)コンデンサの1nFにつきタイマ容量を2nF増やして、適切なスタートアップを実現します。

**UV1、UV2:** 低電圧コンパレータの入力。このピンをV<sub>DD</sub>からの外部抵抗分割器に接続します。このピンの電圧が1.145Vより下に下がると、低電圧フォールトが検出され、GATEがオフします。このピンを0.4Vより下に引き下げると、UVフォールト・ビットを除いて、そのチャンネルのフォールト・レジスタをリセットします。使用しない場合、INTV<sub>CC</sub>に接続します。

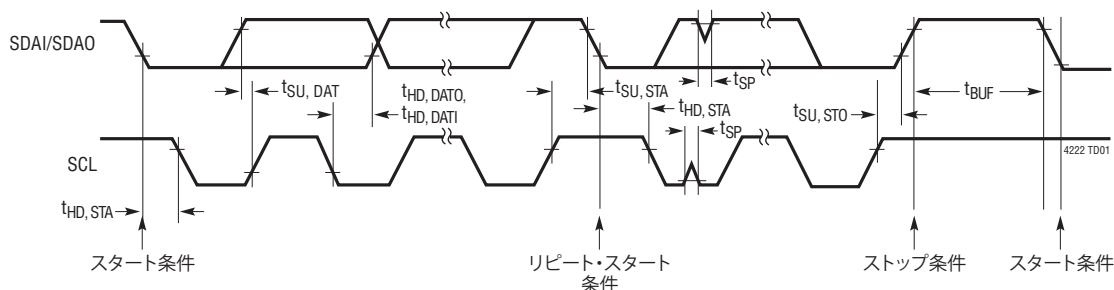
**V<sub>DD1</sub>、V<sub>DD2</sub>:** 電源電圧入力および正電流検出入力。このピンの低電圧ロックアウト・スレッショルドは2.43Vです。QFNパッケージでは、このピンは同時に正電流検出入力です。

## 機能図



4222 BD

## タイミング図



## 動作

LTC4222は制御された状態で2つの電源電圧をオン/オフするように設計されているので、電源の入っているバックプレーンに対して回路基板の安全な挿抜が可能です。通常動作時、チャージポンプとゲート・ドライバは外部NチャンネルMOSFETのゲートをオンして電力を負荷に渡します。ゲート・ドライバ回路は、V<sub>DD1</sub>ピンまたはV<sub>DD2</sub>ピンのどちらか電圧が高い方から電力を得るチャージポンプを使います。ゲート・ドライバ回路には、6.5Vの内部 GATE-SOURCEクランプも含まれており、ロジック・レベルMOSFETのオキサイドを保護します。スタートアップ時、電流制限フォールドバック、ソフトスタートdI/dt制限および出力dI/dt制限を使って、突入電流が厳密に制御されます。LTC4222は両方のチャンネルを個別に制御するか、または両方のチャンネルが一緒に起動し、一緒にオフするように制御信号を結合することができます。

電流検出(CS)アンプはSENSE<sup>+</sup>ピン(QFNの場合はV<sub>DD</sub>ピン)とSENSE<sup>-</sup>ピンの電圧差を使って負荷電流をモニタします。検出電圧が命令された値を超えると、CSアンプはアクティブ制御ループ内のGATEからSOURCEの電圧を下げることで、負荷を流れる電流を制限します。CSアンプはSENSE<sup>+</sup>ピンとSENSE<sup>-</sup>ピンの両方から20μAの入力バイアス電流を必要とします。

出力からグラウンドへの短絡は、アクティブ電流制限の間、過度の電力損失を生じます。この電力を制限するため、対応するCSアンプはSENSE<sup>+</sup>ピンとSENSE<sup>-</sup>ピンの間の電圧を150mVに制御します。

過電流状態が持続して検出電圧が20μs以上50mVを超えると、内部回路ブレーカ(CB)がフォールトを登録します。これは、過熱を防ぐためにGATEをオフする必要があることをロジックに知らせます。このポイントで、TIMERコンデンサは2μA

電流源によって放電を開始します。電圧が0.2Vより下に下がると(コンパレータTM1)、過電流自動リトライがイネーブ爾されていれば、パス・トランジスタの温度が下がったので安全に再度オンできることをロジックに告げます。TIMERピンがINTV<sub>CC</sub>に接続されていると、内部システム・タイマを使ってクールダウン時間が既定で5秒になります。

出力電圧はFB抵抗分割器とパワーグッド(PG)コンパレータを使ってモニタされ、出力電圧が負荷に受け入れられるか決定します。パワーグッド状態は、オープン・ドレインのプルダウン・トランジスタを使って、GPIO1ピンとGPIO2ピンによって知らされます。GPIOピンは、パワーバッドを知らせるように、または汎用の入力(GPコンパレータ)として、または汎用のオープン・ドレイン出力としても、個別に構成設定することができます。

LTC4222のモニタ・ブロックを機能図に示します。左側のコンパレータのグループには、チャンネル1またはチャンネル2の低電圧(UV)、過電圧(OV)、リセット(RST)、イネーブ爾(EN)およびオン(ON)の各コンパレータが含まれています。これらのコンパレータは、それらの対応するGATEをオンする前に外部条件が有効であるかどうか決定します。2つの低電圧ロックアウト回路(UVLO1とUVLO2)は、入力電源と内部で発生させた3.3V電源(INTV<sub>CC</sub>)を有効にします。UVLO2は、INTV<sub>CC</sub>がこの立上りスレッシュホールドを超えると、パワーアップ時のロジック回路への初期化信号も発生します。

CONFIGピンは、LTC4222の望みのスタートアップの振舞いを選択するのに使います。CONFIGピンが“L”だと、両方のチャンネルが同時にスタートアップし、同時にオフし、どちらかのチャンネルのフォールトによって両方のチャンネルがオフし、または両方のチャンネルが起動を妨げられます。

## 動作

CONFIGピンが“H”のとき、2つのチャンネルは完全に独立して動作し、他方のチャンネルの振舞いを無視します。これにより、一方のチャンネルのGPIO(パワーグッド)出力を他方のチャンネルのUVピンに接続することにより、チャンネルを順にスタートアップさせることができます。

2つのチャンネルは、スタートアップの振舞いを制御するTIMERピンとSS(ソフトスタート)ピンを共有しています。CONFIGピンが“H”で、一方のチャンネルがイネーブルされており、他方のチャンネルがスタートアップ中であれば、LTC4222はスタートアップ・サイクルが終了するまで待つてから2番目のチャンネルをスタートアップさせ、最大タイマ・サイクルが確実に与えられるようにします。これに対する例外はONピンです。これらに対応するチャンネルを直ちにオンします。両方のチャンネルが同時にスタートアップすると、両方のチャンネルの突入電流は、どちらのFBピンであれ、低い方のFBピンによって制限されます。

## アプリケーション情報

LTC4222の標準的アプリケーションは、2つの正電圧電源を1枚または複数枚のカードに配電する高可用性システムです。デバイスはカードの電圧と電流を測定し、両方のチャンネルの過去および現在のフォールト状態を記録します。システムはI<sup>2</sup>Cを介して定期的にLTC4222に問い合わせ、状態と測定の情報を読み出します。

LTC4222の基本的応用回路を図1に示します。以下のセクションでは、ターンオン、ターンオフ、さらにLTC4222が検出する様々なフォールトに対する動作について取り上げます。外付け部品の選択の詳細については「設計例」のセクションで説明します。

### ターンオン・シーケンス

ボード上の電源は、電力経路に置かれた外部Nチャンネル・パス・トランジスタ(Q1とQ2)を使って制御します。抵抗R<sub>Sn</sub>は電流検出に使われることに注意してください。抵抗R<sub>1n</sub>、R<sub>2n</sub>およびR<sub>3n</sub>は2つのチャンネルの低電圧レベルと過電圧レベルを定めます。R<sub>5n</sub>はQ<sub>n</sub>とR<sub>6n</sub>の高周波数共振を防ぎます。C<sub>1n</sub>は、スタートアップ時に出力のdV/dtを制限するのに使うことができます。オプションのネットワークを形成します。

いくつかの条件が満たされるまで、与えられたチャンネルの外部MOSFETをオンすることはできません。まず、外部電源V<sub>DDn</sub>がその2.44Vの低電圧ロックアウト・レベルを超える必要があります。次に、内部で発生させた電源(INTV<sub>CC</sub>)がその2.64V低

LTC4222には10ビットのA/D信号が備わっています。A/Dコンバータの前の6入力マルチプレクサにより、2つのADINピン、2つのSOURCEピンおよび2つの電流検出デバイスを選択することができます。

A/Dレジスタを読み出すためにI<sup>2</sup>Cインタフェースが備わっています。これにより、ホストがデバイスをポーリングして、フォールトが発生しているか判断することもできます。 $\overline{\text{ALERT}}$ ラインが割込みとして構成設定されると、ホストはフォールトに対してリアルタイムで応答することができます。SDAラインはSDAI(入力)とSDAO(出力)に分割されます。これにより、SDAO出力から直接ドライブされるオプトアイソレータを使ってアプリケーションを簡素化します。I<sup>2</sup>Cデバイスのアドレスは、ADR0、ADR1およびADR2の各ピンからアドレス・デコーダに送られます。これらの各入力は3つの状態を備えており、全部で27のデバイス・アドレスにデコードされます。

電圧スレッシュホルドを超える必要があります。これにより、60 $\mu$ sと120 $\mu$ sのパワーオン・リセット・パルスが発生します。リセットの間、フォールト・レジスタはクリアされ、制御レジスタは、レジスタのセクションで説明されているように、セットまたはクリアされます。

パワーオン・リセット・パルスの後、LTC4222は片方または両方のチャンネルの以下のターンオン・シーケンスを行います。まず、UVとOVの各コンパレータが入力電力が受け入れ可能な範囲であることを表示し、それらは表5のSTATUSのビット0と1に表示されます。次に、 $\overline{\text{EN}}$ ピンが外部から“L”に引き下げられます。最後に、これら全ての条件が100msの間満たされて、挿入時のコンタクトバウンスが終了したことを保証する必要があります。さらに、CONFIGピンが“L”の場合、両方のチャンネルの全ての初期条件が満たされてから、両方が一緒にオンすることが許されます。

これらの初期条件が満たされると、ONピンがチェックされ、その状態がCONTROLレジスタのビット3に書き込まれます(表3)。それが“H”だと、外部MOSFETがオンします。ONピンが“L”であれば、ONピンを“H”に引き上げるか、またはCONTROLのビット3をセットしてシリアル・バスのターンオン命令を送ると、外部MOSFETがオンします。CONFIGピンが“L”だと、外部MOSFETを同時にオンするには、両方のONピンを“H”にするか、または両方のCONTROLレジスタの3番目のビットをセットする必要があります。



## アプリケーション情報

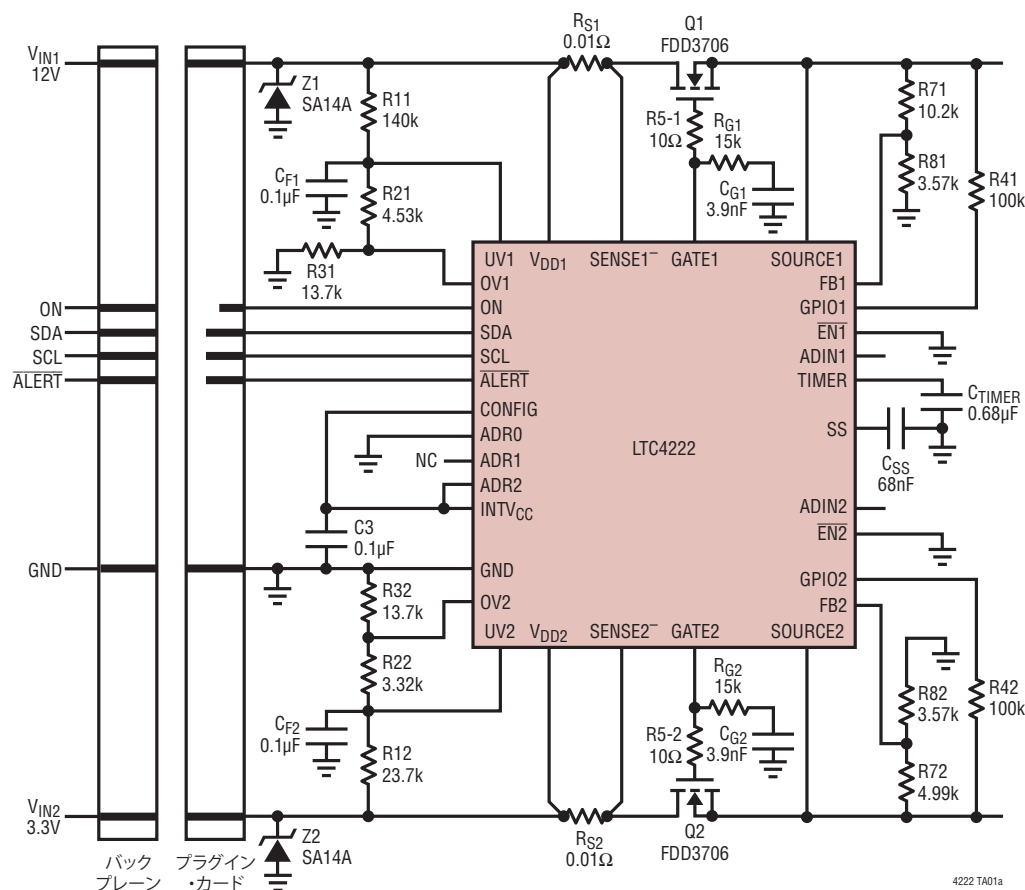


図1. 標準的アプリケーション

MOSFETは、GATEを12 $\mu$ A電流源で充電することによりオンします。GATE電圧がMOSFETのスレッシュホールド電圧に達すると、MOSFETがオンし始め、GATE電圧が増加するにつれSOURCE電圧がGATE電圧に追従します。

MOSFETがオンする間、コンデンサ $C_{SS}$ によって選択された $dI/dt$ のレートで直線的に突入電流が増加します。これはGATEピンの電圧を制御する電流制限アンプを使って実現されます。突入電流がFBピンによって設定されるリミットに達すると、 $dI/dt$ のランプがストップし、突入電流は図2に示されているフォールドバック・プロフィールに従います。両方のチャンネルが同時にオンするとき、フォールドバック電流制限は2つのFBピンの電圧の低い方によって設定されます。

短絡状態でスタートアップするとき、スタートアップ・タイマを使ってMOSFETへの損傷を防ぎます。スタートアップの間、タイマ・コンデンサは100 $\mu$ Aで積分し、TIMERピンが1.235Vのスレッシュホールドに達すると、デバイスは電流制限状態でないかどうかチェックします。電流制限状態であれば、過電流フォール

ト・ビット(表6のFAULTのビット2)がセットされ、デバイスはオフします。デバイスが電流制限状態でなければ、50mVの回路ブレーカが有効になり、電流制限が150mVに切り替えられます。代わりに、TIMERピンをINTV $_{CC}$ に接続することにより、内部100msスタートアップ・タイマを選択することができます。

SOURCEの電圧が上昇するにつれ、FBピンの電圧はR7とR8によって設定されるとおりに追従します。FBピンがその1.235Vのスレッシュホールドを超え、スタートアップ・タイマの時間が経過すると、対応する(既定のパワーグッド構成設定の)GPIOピンは“L”に引き下げられなくなり、電源が今やグッドであることを表示します。代わりに、STATUSのビット3を読み出してパワーグッド状態をチェックすることができます。この場合、ゼロがパワーグッドであることを表します。

スタートアップ時の突入電流を一定にするため、GATEからGROUNDに直列抵抗とコンデンサ(R6とC1)が採用されて、出力に一定の $dV/dt$ が与えられると、GATEピンからの12 $\mu$ Aのプルアップ電流( $I_{GATE}$ )はゲートを上に向かってスルーさせ、その結果流れる電流は電流リミットより小さくなります。

## アプリケーション情報

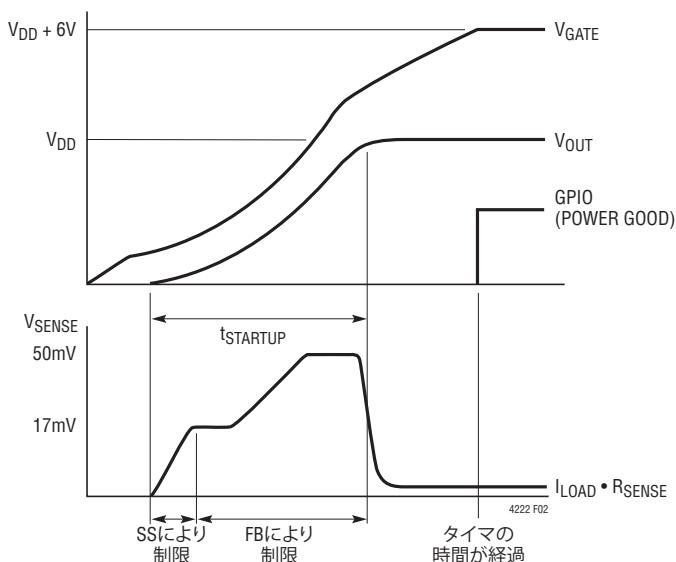


図2. パワーアップ波形

突入電流は電流リミットより下なので、過電流フォールトを生じることなくスタートアップ・タイマの時間が経過し、小さなタイマ・コンデンサを使うことができます。タイマの時間が経過した後、FBピンがそのスレッシュホールドを超え、GATE-SOURCE電圧が4.3Vのスレッシュホールドを超えてから（これはMOSFETが完全にエンハンスされたことを示します）、パワーグッドが表示されます。これら両方の条件が満たされると、出力電圧は負荷をオンするのに適しており、MOSFETを通して電源に戻るインピーダンスが低くなります。次いでパワーグッドがGPIOピンによってアサートされ、またはインタフェースを介して読み出され、下流の負荷を安全にオンできることが知らされます。この方法でスタートアップするとき、GATE-SOURCEのスレッシュホールドを超える前にFBピンがそのスレッシュホールドを超えるので、パワーバッド・フォールトは発生しません。 $I_{GATE} \cdot R_G$ がMOSFETのスレッシュホールドより小さくなるように $R_G$ を選択して、スタートアップ開始時の電流スパイクを防ぎます。 $R_G$ を小さくすると電流制限回路の安定性が低下します（電流制限の安定性に関する「アプリケーション情報」を参照）。

## GATEピンの電圧

「GATE-SOURCE電圧と $V_{DD}$ 」の曲線が「標準的性能特性」に示されています。2.9Vの最小入力電源電圧で、最小GATE-SOURCEドライブ電圧は4.7Vです。GATE-SOURCE電圧は6.5Vより下にクランプされて、ロジック・レベルのNチャネルMOSFETのゲートを保護します。

## ターンオフ・シーケンス

一方または両方のGATEピンは様々な条件でオフします。通常のターンオフは、ONピンが“L”になるか、またはシリアル・バスのターンオフ命令によって開始されます。さらに、いくつかのフォールト状態により、GATEがオフします。これらには、入力の過電圧（OVピン）、入力の低電圧（UVピン）、過電流回路ブレーカ（SENSE $\bar{N}$ ピン）または $\overline{EN}$ の“H”への遷移が含まれます。また、UV、OVまたはOCのフォールト・ビット（表6のFAULTレジスタのビット0～2）にロジック1を書き込むと、それらの自動リトライ・ビットが偽にセットされている場合、関連したGATEをラッチオフします。

1mAの電流がGATEピンをグランドに引き下げてMOSFETをオフします。MOSFETがオフすると、 $C_L$ が放電するにつれSOURCEの電圧とFBの電圧が低下します。FB電圧がそのスレッシュホールドより下に下がると、GPIOが“L”になって出力がもはやパワーグッドではないことを表示するように、GPIOを構成設定することができます。

INTV $_{CC}$ ピンが1 $\mu$ sより長く2.60Vより下に下がると、または関連した $V_{DD}$ ピンが2 $\mu$ sより長く2.35Vより下に下がると、MOSFETの高速シャットダウンが開始されます。この場合、GATEピンが450mAの電流によってSOURCEピンに引き下げられます。

## 過電流フォールト

LTC4222は、(TIMER、SSおよびFBの制御のもとに出力電源がランプアップする)スタートアップ時と、通常動作時とでは、電流制限の振舞いが異なります。このようにして、両方の動作フェーズで過電流フォールトを発生させることができます。両方とも、フォールト状態の電源の過電流フォールト・ビット（FAULTレジスタのビット2）をセットし、フォールト状態のGATE、またはCONFIGピンが“L”であれば両方のGATEをオフします。

両方のTIMERとSSがランプしているスタートアップ時に、電流制限はSSピンの電圧とFBピンの電圧の関数です。ランプしている電源の出力のバイパス・コンデンサに依存して、電源は全体を通して電流制限状態でパワーアップすることがあります。TIMERピンは、スタートアップ時の電流制限の持続時間を、タイマ・コンデンサを使うとき12.3ms/ $\mu$ F、またはTIMERピンがINTV $_{CC}$ に接続されているとき100msのどちらかに設定します。電源がタイミング・サイクルの終了時になお電流制限されていると、過電流フォールトがその電源に対して宣言され、MOSFETがオフします。

4222fb

## アプリケーション情報

CONFIGピンが“L”だと、両方のチャンネルが一緒にオフします。OCフォールトによってスイッチがオフした後、デバイスはクールダウン期間だけ待ってから、スイッチが再度オンすることを許します。TIMERピンがV<sub>CC</sub>に接続されていると、内部タイマのクールダウン時間は5秒になります。そうでなければ、TIMERコンデンサを使うと、コンデンサは2 $\mu$ Aで放電し、内部100msタイマがスタートします。100msタイマの時間が経過してTIMERピンがその0.2Vの低い方のスレッシュホールドに達すると、過電流フォールト・ビット (FAULTレジスタのビット2) がクリアされている場合、または過電流リトライ・ビット (CONTROLレジスタのビット2) がセットされている場合、デバイスは再起動することができます。

スタートアップ後、過電流フォールトに対する、デュアル・レベルのグリッチ耐性のある保護を電源は備えています。センス抵抗の電圧降下が、50mVの電子回路ブレーカと150mVのアクティブ電流制限によってモニタされます。電源電流が回路ブレーカのスレッシュホールドを超えると、内部の20 $\mu$ sタイマがスタートします。電源が20 $\mu$ s後になお過電流状態であれば、回路ブレーカがトリップしてスイッチをオフします。アナログ電流制限ループが、短絡が発生したとき、電源電流が150mVの電流制限を超えるのを防ぎます。20 $\mu$ sのフィルタ遅延と高い電流制限スレッシュホールドにより、小さな電流サージによって不必要にボードがリセットするのを防ぎます。LTC4222は、過電流自動リトライ・ビット (CONTROLレジスタのビット2) がセットされていない限り、ラッチオフ状態に留まります。自動リトライの場合、スタートアップ時間を設定するため外部TIMERコンデンサを使うときは100ms後に、または内部タイマを使うときは5秒後にスイッチが再度オンします。電流制限フォールドバックはスタートアップ後はアクティブではないことに注意してください。

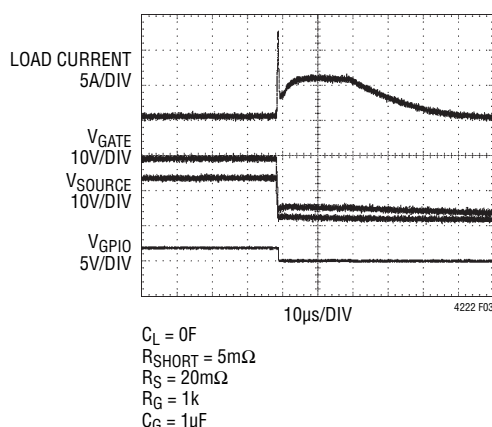


図3. 短絡波形

### 過電圧フォールト

OVピンがその1.235Vのスレッシュホールドを2 $\mu$ sより長く超えると、過電圧フォールトが生じます。これにより、対応するGATEがグランドへの1mAの電流によってオフし、過電圧検出STATUSのビット0と過電圧FAULTのビット0をセットします。ピンがその後100msの間スレッシュホールドより下に戻ると、CONTROLのビット0がクリアされて過電圧自動リトライがディスエーブルされていない限り、GATEは再度オンすることができます。CONFIGピンが“L”に接続されていると、どちらかのチャンネルのOVフォールトにより、両方のチャンネルが同時にオフします。

### 低電圧フォールト

UVピンがその1.235Vのスレッシュホールドを2 $\mu$ sより長く下回ると、低電圧フォールトが生じます。これにより、対応するGATEがグランドへの1mAの電流によってオフし、低電圧検出STATUSのビット1と低電圧FAULTのビット1をセットします。UVピンがその後100msの間スレッシュホールドを超えると、CONTROLのビット1がクリアされて低電圧自動リトライがディスエーブルされていない限り、GATEは再度オンします。電源がデバイスに与えられているとき、INTV<sub>CC</sub>がその2.64Vの低電圧ロックアウト・スレッシュホールドを超えた後、UVがその1.235Vスレッシュホールドより下だと、低電圧フォールトがFAULTレジスタにログされます。CONFIGピンが“L”に接続されていると、どちらかのチャンネルのUVフォールトにより、両方のチャンネルが同時にオフします。

### ON信号とCONFIGピン

ターンオン命令はONピンまたはI<sup>2</sup>Cインタフェースから出されます。内部では、ONピンの立上りエッジと立下りエッジがFET\_ONレジスタをセットおよびリセットします。UV、OVおよび $\overline{EN}$ のような他の制御信号と異なり、ON信号の立上りエッジは100msの内部タイマでフィルタされず、対応するチャンネルを直ちにオンします。ON信号をサイクルさせると、対応するチャンネルの過電流自動リトライのクールダウン期間をキャンセルするので、チャンネルは100msの遅延の後リスタートすることができます。

両方のチャンネルを同時にスタートアップおよびシャットダウンするには、CONFIGピンを“L”に設定します。UV、OV、 $\overline{EN}$ およびONの各信号が両方のチャンネルをオンする正しい状態になると、両方のチャンネルがスタートアップし、これらの信号のどれでも一方のチャンネルをオフすると、両方のチャンネルがオフします。



## アプリケーション情報

CONFIGピンを“H”に設定すると、2つのチャンネルが個別にスタートアップすることができ、またオフすることができます。両方のON信号が順に“H”に引き上げられると、最初にオンしたチャンネルは直ちにスタートアップを開始し、2番目のチャンネルには、同じタイマ期間内にスタートアップするためにそのON信号をアサートする200nsのウィンドウがあります。2番目のON信号が、200nsのウィンドウの後だが、1番目のチャンネルのスタートアップ時間の終了より前にアサートされた場合、2番目のチャンネルのスタートアップは遅らされます。2番目のチャンネルは、1番目のチャンネルのスタートアップ時間が経過し、(もし使用されていれば)TIMERピンがその200mVの低スレッシュホールドに達してから100ms後にスタートします。

外部TIMERコンデンサが使われていると、TIMERコンデンサの電圧は100μAの電流でランプアップします。TIMERピンがその1.235Vのスレッシュホールドに達すると、TIMERは放電を開始します。TIMERコンデンサが放電している間、2番目のチャンネルのON信号はTIMERの容量の1μF当り2msの間アサートしないようにします。これにより、TIMERコンデンサはその低状態に戻ることができ、次にスタートするチャンネルが全タイム・サイクルを確実に受けられるようにします。この待ち時間は内部100msタイマを使うときは不要です。

## ボード検出の状態変化

ENピンを使って、1枚または2枚のカードが下流に存在することを検出することができます。ENピンがトグルするときはいつても、FAULTのビット4がセットされて状態が変化したことを表示します。ENピンが“H”になってボードが引き抜かれたことを表示すると、(グラウンドへの1mAの電流により)対応するゲートが直ちにオフし、ボード検出STATUSのビット4がクリアされます。ENピンが“L”に引き下げられてボードの挿入を表示すると、そのチャンネルのFAULTのビット4以外の全てのフォールト・ビットがクリアされ、イネーブルSTATUSのビット4がセットされます。ENピンが100msの間“L”に留まると、ONピンの状態がFET OnのCONTROLのビット3に捕捉されます。これにより、ONピンが“H”に接続されていると、スイッチがオンします。ENピンには10μAの内部プルアップ電流源が備わっています。CONFIGピンが“L”に接続されていると、2つのチャンネルがイネーブルされるには、両方のENピンが100msの間“L”に留まる必要があり、どちらかのENピンが“H”になると、両方のチャンネルがオフします。

フォールトによってチャンネルがシャットダウンした場合、単に関連した負荷カードを引き抜いて再度挿入してそのチャンネルを再起動するのが望ましいことがあります。LTC4222とスイッチがバックプレーンまたはミッドプレーンに置かれ、負荷がプラグイン・カードに置かれている場合、プラグイン・カードが引き

抜かれるとENピンが検出します。ENピンを使って挿入を検出する例を図4に示します。プラグイン・カードが再度挿入されると、FAULTレジスタがビット4以外クリアされます。100ms後、ONピンの状態がCONTROLレジスタのビット3にラッチされます。このポイントで、チャンネルは再度スタートアップします。

プラグイン・カードの接続検出がENピンをドライブしているとき、カードの挿入または引抜きにより、ピン電圧にバウンスが生じることがあります。これにより、カードが引き抜かれたときFAULTレジスタがクリアされます。このピンは、図4に示されているように、ENピンにフィルタ・コンデンサ(C<sub>EN</sub>)を使ってデバウンスすることができます。フィルタ時間は次式で与えられます。

$$t_{\text{FILTER}} = C_{\text{EN}} \cdot 123 \text{ (ms/}\mu\text{F)}$$

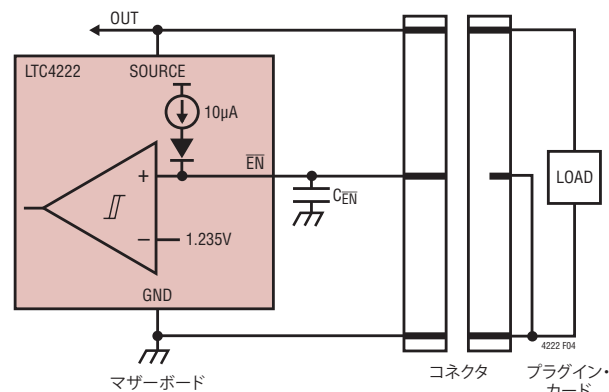


図4. プラグイン・カードの挿入/引抜き

## FET短絡フォールト

対応するGATEがオフしているとき2mV以上の電流検出電圧をデータ・コンバータが測定すると、FETの短絡フォールトが報告されます。この状態により、FETの短絡ビット (FAULTのビット5) がセットされます。

## パワーバッド・フォールト

GATEがゲートからソースの4.3Vのスレッシュホールドを超えているとき、対応するFBピンの電圧がその1.235Vスレッシュホールドより下に2μsより長く低下すると、パワーバッド・フォールトが報告されます。これにより、既定のパワーグッド構成設定ではGPIOピンが直ちに“L”に引き下げられ、パワーバッド検出ビット (STATUSのビット3) とパワーバッド・ビット (FAULTのビット3) をセットします。GATE-SOURCE電圧が低いと回路がパワーバッド・フォールトを妨げ、パワーアップまたはパワーダウンの間誤ったパワーバッド・フォールトを防ぎます。その後、FBピンの電圧が再度スレッシュホールドより上に上昇すると、パワーグッドに構成設定されたGPIOピンは高インピーダンス状態に戻り、STATUSのビット3がリセットされます。

4222fb

## アプリケーション情報

### フォールト・アラート

FAULTレジスタのフォールト・ビットのどれかがセットされると(表4を参照)、ALERTレジスタの適当なビットがセットされている場合、オプションのバス・アラートが発生します。これにより、選択されたフォールトだけがアラートを発生します。起動時の既定状態ではフォールトに対してアラートを出さず、 $\overline{\text{ALERT}}$ ピンは“H”です。アラートをイネーブルすると、対応するフォールトが $\overline{\text{ALERT}}$ ピンを“L”に引き下げます。バス・マスタ・コントローラが「アラート応答アドレス」をブロードキャストした後、表7に示されているように、LTC4222はSDA上でそのアドレスを使って応答し、 $\overline{\text{ALERT}}$ をリリースします。2つのLTC4222がそれらのアドレスを使って同時に応答し、それらの間で衝突が起きると、低い方のアドレスのデバイスがアービトレーションに勝ち、最初に応答します。アラートによって $\overline{\text{ALERT}}$ が“L”に引き下げられ、デバイスがバス・マスタによって呼び出された場合も $\overline{\text{ALERT}}$ ラインはリリースされます。

$\overline{\text{ALERT}}$ 信号が1つのフォールトに対してリリースされると、FAULTレジスタが別のフォールトが生じたことを表示するまで、または元のフォールトがクリアされてから再度生じるまで、再び“L”に引き下げられることはありません。これは、反復する、または持続するフォールトは、関連したFAULTレジスタ・ビットがクリアされるまで、アラートを発生しないことを意味することに注意してください。

### フォールトのリセット

フォールトは特定のチャンネルの以下の条件のどれかでリセットされます。まず、シリアル・バスの命令によるFAULTレジスタのビット0~5へのゼロの書込みにより、関連したフォールトがクリアされます。次に、ONピンまたはSTATUSのビット3が“H”から“L”に移行して対応するスイッチがオフすると、または対応するUVピンがその0.4Vのリセット・スレッシュホールドより下に2 $\mu$ sの間下げられると、またはINTV<sub>CC</sub>がその2.64Vの低電圧ロックアウト・スレッシュホールドより下に下がると、FAULTレジスタのビット0~5がクリアされます。最後に、 $\overline{\text{EN}}$ が“H”から“L”に引き下げられると、対応するFAULTのビット0~3および5だけがクリアされ、 $\overline{\text{EN}}$ の状態変化を示すビット4はセットされます。STATUSレジスタによって表示されている、依然存在するフォールトはクリアすることはできません。

FAULTレジスタは、自動リトライが行われるときはクリアされません。自動リトライがディスエーブルされているとき、過電圧、低電圧、または過電流のフォールトが存在すると、スイッチはオフに保たれます。フォールトがクリアされると直ちに、スイッチがオンします。自動リトライがイネーブルされていると、

STATUSレジスタのビット0または1の“H”の値はスイッチをオフに保ち、FAULTレジスタは無視されます。その後、フォールト状態の解消によりSTATUSレジスタのビット0と1がクリアされると、スイッチは再度オンすることができます。過電流フォールトが生じると、LTC4222はFAULTのビット2をセットしてオフし、それが過電流状態に留まることを防ぎます。自動リトライに構成設定されていると、LTC4222は、クールダウン・サイクル後、過電流フォールトを生じることなくスタートアップに成功するまで、連続的にリスタートしようと試みます。自動リトライ後にスイッチがオンで、FAULTビットがリセットされていないと、対応する自動リトライ・ビットをクリアするとチャンネルはオフすることに注意してください。

### データ・コンバータ

LTC4222は10ビットA/Dコンバータを内蔵しており、6つの異なる電圧を連続してスキャンします。SOURCEピンは1/24の抵抗分割器を備えており、32Vのフルスケール電圧を31.25mVの分解能でモニタします。ADINピンは1.28Vのフルスケールと1.25mVの分解能でモニタされ、V<sub>DD</sub>ピンとSENSEピンの間の電圧は64mVのフルスケールと62.5 $\mu$ Vの分解能でモニタされます。

各変換結果は、表7と表8に示されているレジスタに左揃えて格納され、毎秒15回更新されます。ADC\_CONTROLレジスタのビット0をセットすると、テスト・モードが起動してデータ・コンバータを停止するので、ソフトウェアによるテストのための、データ・コンバータの結果レジスタに対する書込みおよび読出しを行うことができます。

データ・コンバータは直接アドレス・モードも備えており、ユーザーは特定の時間に特定の測定を行い、その値を後で読み出すために保持することができます。直接アドレス・モードに入るには、ADC\_CONTROLレジスタの停止ビット(ビット0)をセットします(表9を参照)。次いで、チャンネル・アドレス・ビット(ADC\_CONTROLのビット1~3)が書き込まれると、ADCはそれらのビットで指定されたチャンネルの測定を1回行ってから停止します。ADCアラート・ビット(ADC\_CONTROLのビット4)をセットすると、データ・コンバータの変換終了時に割込みをイネーブルするので、データの準備ができると $\overline{\text{ALERT}}$ ピンが“L”になります。代わりに、ADCビジー・ビット(ADC\_CONTROLのビット5)をポーリングして、変換終了をチェックすることができます。直接アドレス変換後、ADCビジー・ビットは“L”になります。通常モードでは、ADCビジーは常に“H”です。停止ビットをリセットすると、データ・コンバータはスキャン・モードに戻ります。

## アプリケーション情報

### GPIOピンの構成設定

表3は、CONTROLレジスタのビット6と7を使った、GPIOピンの可能な状態を説明しています。パワーアップ時の既定の状態では、パワーグッドのとき (FBピンが1.235Vより上) GPIOピンは高インピーダンスになります。GPIOピンの他の用途として、パワーグッドのときプルダウンし、汎用の出力および汎用の入力としても機能します。

パワーグッド構成でのGPIOピンの簡単な用途は、CONFIGピンが“H”の状態、GPIOピンを他のチャンネルのUVピンに接続することです。その結果、2番目のチャンネルは、1番目のチャンネルがスタートアップしてパワーグッドが知らされた後にオンします。

### 電流制限の安定性

多くのアプリケーションでは、LTC4222の電流制限は追加部品なしで安定します。ただし、特定の条件では、安定性を改善するために追加の部品が必要になることがあります。電流制限回路の支配的ポールは外部MOSFETのゲートの容量と抵抗によって設定され、ゲート容量が大きいほど電流制限ループが安定します。通常、合計8nFのゲート-ソース容量で安定性にとって十分であり、この容量は一般にMOSFET自体の $C_{GS}$ で与えられます。ただし、 $R_{SENSE}$ を大きくすると、またはゲートのRCネットワーク (もし使われていれば) の抵抗の大きさを小さくするとループの安定性が低下し、そのため追加のゲート-ソース容量が必要になることがあります。基板レイアウトは過渡性能にも影響するので、基板レベルの短絡テストを強く推奨します。安定性のテストでは、電流制限の安定性のワーストケース条件は通常のスタートアップ後のグラウンドへの出力の短絡が生じるときです。

電源の立上り時または電流制限時にMOSFETがソース・フォロワとして動作するとき、2種類の寄生発振の生じる可能性があります。最初の種類の発振は (一般に1MHzを超える) 高い周波数で発生します。この高周波数発振は図1に示されているR5を使って容易に減衰させることができます。アプリケーションによっては、短絡過渡からの回復にもR5が役立つことがあります。ただし、R5の値が大きすぎると、ターンオフ時間が遅くなります。推奨R5の範囲は5Ω~500Ωです。

2番目の種類のソース・フォロワ発振は200kHz~800kHzの周波数で発生しますが、これは負荷容量が0.2μF~9μFで、R5の抵抗が存在し、ドレイン・バイパス・コンデンサが存在せず、バスの配線インダクタンスとバス電源の出力インピーダンスが結合しているためです。この2番目の種類の発振を防ぐには、10μFより小さい負荷容量を避け、代わりに、1.5nFより大きな外部コンデンサをMOSFETのゲートからグラウンドに接続します。

### 電源過渡

LTC4222は負荷ステップによって生じる電源の過渡を乗り切るように設計されています。負荷に短絡が生じて、電源に戻る寄生インダクタンスが0.5μHより大きいと、アクティブ電流制限回路がGATEピンを引き下げる前に、電源が低落する可能性があります。これが発生すると、低電圧モニタが対応するGATEピンを低く引き下げます。低電圧ロックアウト回路には、 $V_{DD}$ が2.35Vより下に下がった後2μsのフィルタ時間があります。UVピンは2μsで反応してGATEをオフしますが、フィルタ・コンデンサ $C_F$ を追加して、過渡によって生じる不要のシャットダウンを防ぐことを推奨します。最終的には、UVピンまたは低電圧ロックアウトが応答して、電源が完全に低落する前に電流を制御下に置きます。

### 電源過渡に対する保護

LTC4222は最大35Vまでの電源電圧に対して損傷を受けることなく安全です。ただし、35Vを超えるスパイクはデバイスに損傷するおそれがあります。短絡状態の間、電源トレースを流れる電流が大きく変化すると35Vを超える誘導性の電圧過渡が生じることがあります。このようなスパイクを最小に抑えるには、電力トレースのインダクタンスを広いトレースや厚いトレースめっきを使って最小に抑えます。また、スナバ回路は誘導性電圧スパイクを減衰させます。0.1μFのコンデンサに直列な100Ω抵抗を $V_{DD}$ とGNDの間に使ってスナバを作ります。入力サージ・サプレッサ (図1のZ1) は電圧サージによる損傷を防ぐこともできます。

### 設計例

設計例として、仕様が、 $V_{IN} = 12V$ 、 $I_{MAX} = 5A$ 、 $I_{INRUSH} = 1A$ 、 $dI/dt_{INRUSH} = 10A/ms$ 、 $C_L = 330\mu F$ 、 $V_{UV}(RISING) = 10.75V$ 、 $V_{OV}(FALLING) = 14.0V$ 、 $V_{PWRGD}(UP) = 11.6V$ 、およびI<sup>2</sup>C ADDRESS = 1000111であるチャンネル1を取り上げます。この完成したデザインを図1に示します。



## アプリケーション情報

センス抵抗 ( $R_S$ ) の選択は50mVの過電流スレッシュホールドによって設定されます。

$$R_S = \frac{50\text{mV}}{I_{\text{MAX}}} = 0.01\Omega$$

MOSFETは、出力コンデンサ  $C_{\text{OUT}}$  が充電されるときに突入電流の間の電力損失を処理するように大きさが決められます。突入電流の間の電力損失を決める方法は次の原理に基づいています。

$C_L$  のエネルギー =  $Q1$  のエネルギー

これは次を使います。

$$C_L \text{ のエネルギー} = \frac{1}{2} CV^2 = \frac{1}{2} (0.33\text{mF})(12)^2$$

つまり、0.024ジュールです。 $C_{\text{OUT}}$  を充電するのに要する時間を計算します。

$$t_{\text{STARTUP}} = \frac{C_L \cdot V_{\text{DD}} I_{\text{NRUSH}}}{I_{\text{NRUSH}}} = \frac{0.33\text{mF} \cdot 12\text{V}}{1\text{A}} = 4\text{ms}$$

MOSFET内で失われる電力は次のとおりです。

$$P_{\text{DISS}} = \frac{\text{Energy in } C_L}{t_{\text{STARTUP}}} = 6\text{W}$$

候補となるMOSFETのSOA (safe operating area - 安全動作領域) の曲線を評価して、パッケージの熱容量が確実に4msの間6Wに耐えられるようにする必要があります。FairchildのFDC653NのSOA曲線は10msの間2A/12V (24W) を示しており、この要件を満たしています。FDC653Nのゲート容量は8nFより小さく、GATEにRCネットワークを使うので、電流制限の短絡安定性をチェックし、必要ならGATEからSOURCEにコンデンサを追加して安定性を改善します。

突入電流は  $C1$  を使って1Aに設定されます。

$$C1 = \frac{C_L \cdot I_{\text{GATE}}}{I_{\text{NRUSH}}}$$

$$C1 = \frac{0.33\text{mF} \cdot 12\mu\text{A}}{1\text{A}} \text{ or } C1 = 3.9\text{nF}$$

突入電流の  $dI/dt$  は  $C_{\text{SS}}$  を使って次のように10A/msに設定されます。

$$C_{\text{SS}} = \frac{I_{\text{SS}}}{dI/dt \left( \frac{\text{A}}{\text{s}} \right)} \cdot 0.0429 \cdot \frac{1}{R_{\text{SENSE}}}$$

$$= \frac{10\mu\text{A} \cdot 0.0429 \cdot 1}{10000 \cdot 0.01\Omega} = 4.3\text{nF} \text{ (4.7nFを選択します)}$$

2xの安全マージンをとった4msのスタートアップ時間では、次のように選択します。

$$C_{\text{TIMER}} = \frac{2 \cdot t_{\text{STARTUP}}}{12.3\text{ms}/\mu\text{F}} + C_{\text{SS}} \cdot 2$$

$$C_{\text{TIMER}} = \frac{8\text{ms}}{12.3\text{ms}/\mu\text{F}} + 4.7\text{nF} \cdot 2 = 0.68\mu\text{F}$$

$C_{\text{TIMER}}$  の最小値が10nFであることに注意してください。

UVとOVの抵抗ストリングの値は以下の方法で解くことができます。まず、OVの立上りスレッシュホールドのエッジで  $I_{\text{STRING}}$  が  $1.235\text{V}/R3$  であることに基づいてR3を選択します。次いで、以下の式を解きます。

$$R2 = \frac{V_{\text{OV(OFF)}}}{V_{\text{UV(ON)}}} \cdot R3 \cdot \frac{UV_{\text{TH(RISING)}}}{OV_{\text{TH(FALLING)}}} - R3$$

$$R1 = \frac{V_{\text{UV(ON)}} \cdot (R3 + R2)}{UV_{\text{TH(RISING)}}} - R3 - R2$$

この場合、3.4kのR3を選択して、抵抗ストリングの電流を100 $\mu$ Aより小さくします。

次いで、式を解くと、 $R2 = 1.16\text{k}$  および  $R1 = 34.6\text{k}$  となります。

FB分圧器については、R8を選択してR7について解きます。3.57kのR8を選択すると、次の値が得られます。

$$R7 = \frac{V_{\text{PWRGD(UP)}} \cdot R8}{FB_{\text{TH(RISING)}}} - R8$$

$R7 = 30\text{k}$  となります。

0.1 $\mu$ Fのコンデンサ ( $C_F$ ) をUVピンに接続して、電源グリッチがUVまたはOVを介してGATEをオフするのを防ぎます。

## アプリケーション情報

表1の助けによりアドレスが設定されます。表1はアドレス4に相当するバイナリ・アドレスの1000111を示しています。アドレス4はADR2を“L”、ADR1をオープン、ADR0を“H”にすることにより設定されます。

次に、R5とR6の値を選択し、前に説明したとおり既定値の10Ωと15kΩにします。

さらに、0.1μFのセラミック・バイパス・コンデンサがINTV<sub>CC</sub>ピンに接続されています。

### レイアウトに関する検討事項

精確な電流検出を実現するには、ケルビン接続が必要です。トレースが適切な温度に留まるようにするには、1オンス銅箔の最小トレース幅をアンペア当り0.02”にします。アンペア当り0.03”以上の幅にすることを推奨します。1オンス銅は約530μΩ/平方のシート抵抗を示すことに注意してください。高電流アプリケーションでは小さな抵抗が集まってたちまち影響を及ぼすようになります。ノイズ耐性を改善するには、UV、OVおよびFBの各ピンへの抵抗分割器をデバイスの近くに配置し、V<sub>DD</sub>およびGNDへのトレースを短くします。INTV<sub>CC</sub>ピンのバイパス・コンデンサ(C3)をINTV<sub>CC</sub>とGNDの間にできるだけ近づけて配置することも重要です。UVピン(および抵抗R2を介してOVピン)からGNDへの0.1μFのコンデンサも電源ノイズの除去に役立ちます。これらの問題に配慮したレイアウトを図5に示します。サージ・サプレッサ(Z1)が広いトレースを使って電源とグラウンドの間に配置されていることに注意してください。

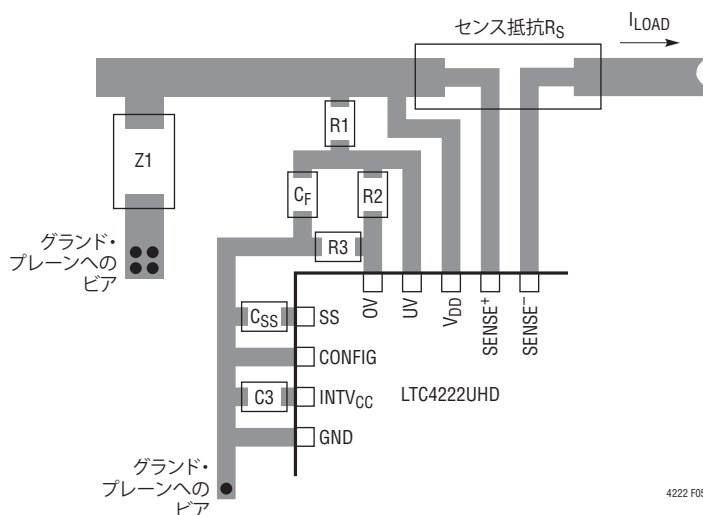


図5. 推奨レイアウト

### デジタル・インタフェース

LTC4222は、I<sup>2</sup>CバスおよびSMBus(低電力デバイス向けのI<sup>2</sup>Cの拡張版)互換の2線式インタフェースを使ってバス・マスタと通信を行います。LTC4222は読出し/書込みのスレーブ・デバイスで、SMBusの「バイト読出し」、「バイト書込み」、「ワード読出し」、「ワード書込み」の各命令をサポートします。LTC4222のレジスタの完全なリストを表2に示します。「ワード読出し」命令の2番目のワードは後続の8ビット・レジスタの内容です。「ワード書込み」命令の2番目のワードは無視されません。これらの命令のデータ・フォーマットを図6～図11に示します。

LTC4222のインタフェースは25msのタイムアウト機能も備えており、通信エラー発生時にバスが“L”にスタックするのを防ぎます。SCLラインまたはSDAラインのどちらかが25msより長く“L”に留まると、LTC4222はそのインタフェースをリセットし、SDAOピンをリリースし、バスを解放して通信を再開します。

LTC4222はPMBus互換性も備えており、インタフェースは、サポートされていない命令はアクノリッジせず、内部アドレスはPMBusの仕様に基づくメーカーが規定したアドレス・スペースに存在します。

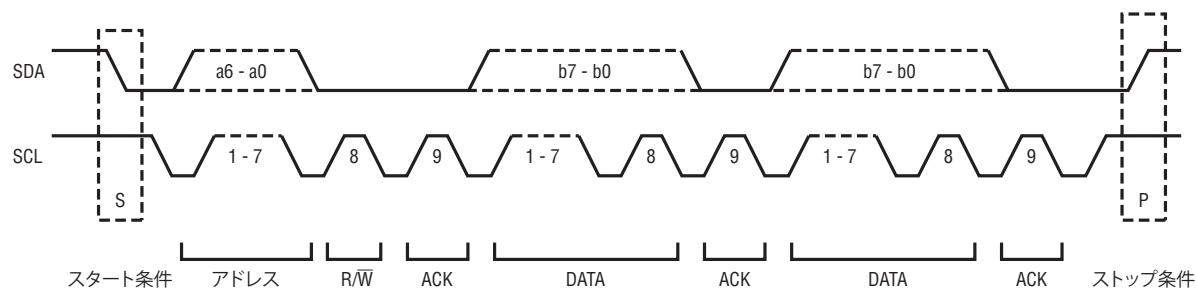
### スタート条件とストップ条件

バスがアイドル状態のときはSCLとSDAの両方が“H”です。図6に示されているように、バス・マスタは、SCLが“H”の状態でもSDAを“H”から“L”に遷移させて、スタート条件により、通信開始を知らせます。マスタはスレーブとの通信が終了したら、SCLを“H”に保ったままSDAを“L”から“H”に遷移させてストップ条件を送信します。次いで、バスは別の通信のために解放されます。

### I<sup>2</sup>Cデバイスのアドレス

スリーステートの3つのアドレス・ピン(ADR0、ADR1およびADR2)を使って、27の異なるバス・アドレスを利用することができます。ピンの状態とアドレスの対応関係を表1に示します。さらに、LTC4222は2つの特殊アドレスに応答します。アドレス(1100 0110)は、全てのLTC4222に(それらの個々のアドレス設定には関係なく)書き込む一括書込み用アドレスです。チャンネル2のCONTROLレジスタのビット4をゼロに設定することにより、一括書込みをディセーブルすることができます。アドレス(0001 100)は「SMBusアラート応答アドレス」です。

## アプリケーション情報



4222 F06

図6. I<sup>2</sup>CまたはSMBusを使ったデータ転送

LTC4222がアラートのためALERTピンを“L”に引き下げていると、そのアドレスをブロードキャストし、ALERTピンをリリーフすることにより、アクノリッジを返します。

## アクノリッジ

アクノリッジ信号はトランスミッタとレシーバの間のハンドシェイクに使われ、データの最後のバイトが受信されたことを知らせます。トランスミッタは常にアクノリッジ・クロック・パルスの間SDAラインを解放します。スレーブがレシーバの場合、レシーバはこのパルスの間SDAラインが“L”に留まるようにSDAラインを引き下げて、データの受信をアクノリッジします。スレーブがSDAを“H”のままにしてアクノリッジを返さないと、マスタはストップ条件を発生して送信を中止することができます。マスタがスレーブからデータを受信するとき、データが受信されたことを知らせるため、マスタはクロック・パルスの間SDAラインを引き下げます。最後のバイトが受信された後、マスタはSDAラインを“H”のままにして(アクノリッジを返さないで)ストップ条件を出力し、送信を終了します。

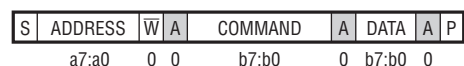
## 書き込みプロトコル

マスタは、図7に示されているように、スタート条件およびそれに続く7ビットのスレーブ・アドレスおよびゼロに設定されたR/Wビットによって通信を開始します。呼び出されたLTC4222が

これに対してアクノリッジを返し、次いでマスタは命令バイトを送り、マスタがどの内部レジスタに書き込みたいかを知らせます。LTC4222はこれに対してアクノリッジを返し、次いで命令バイトの下位3ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタはデータ・バイトを送り、LTC4222がもう一度アクノリッジを返し、データを制御レジスタにラッチします。マスタがストップ条件を送ると送信が終了します。「ワード読出し」命令の場合のように、マスタが2番目のデータ・バイトを続けて送ると、図8に示されているように、2番目のデータ・バイトはLTC4222によってアクノリッジされますが、無視されます。

## 読出しプロトコル

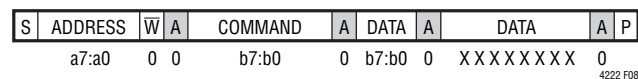
マスタは、図9に示されているように、スタート条件およびそれに続く7ビットのスレーブ・アドレスおよびゼロに設定されたR/Wビットによって読出し動作を開始します。呼び出されたLTC4222がこれに対してアクノリッジを返し、次いでマスタは命令バイトを送り、マスタがどの内部レジスタを読み出したいかを知らせます。LTC4222はこれに対してアクノリッジを返し、次いで命令バイトの下位3ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタは、再度スタート条件およびそれに続く同じ7ビット・アドレスおよび今度は1に設定されたR/Wビットを送ります。



- マスタからスレーブへ  
 スレーブからマスタへ  
 A: アクノリッジ (“L”)   
 Ā: アクノリッジせず (“H”)   
 R: ビット読出し (“H”)   
 W: ビット書込み (“L”)   
 S: スタート条件   
 P: ストップ条件

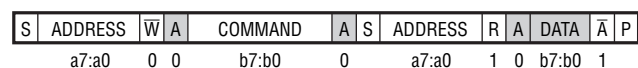
4222 F07

図7. LTC4222のシリアル・バスのSDAバイト書き込みプロトコル



4222 F08

図8. LTC4222のシリアル・バスのSDAワード書き込みプロトコル



4222 F09

図9. LTC4222のシリアル・バスのSDAバイト読出しプロトコル

## アプリケーション情報

LTC4222はアクノリッジを返し、要求されたレジスタの内容を送ります。マスタがストップ条件を送ると送信が終了します。「ワード読出し」命令の場合のように、マスタが送信されたデータ・バイトをアクノリッジすると(図10)、LTC4222は2番目のデータ・バイトとしてリクエストされたレジスタを反復します。

### アラート応答プロトコル

FAULTレジスタのフォールト・ビットのどれかがセットされると、ALERTレジスタの適当なビットもセットされている場合、オプションのバス・アラートが発生します。アラートをイネーブルすると、対応するフォールトがALERTピンを“L”に引き下げま

す。バス・マスタ・コントローラが「アラート応答アドレス」をブロードキャストした後、図11に示されているように、LTC4222はSDA上でそのアドレスを使って応答してから、 $\overline{\text{ALERT}}$ をリリースします。 $\overline{\text{ALERT}}$ ラインは、デバイスがバス・マスタによって呼び出された場合もリリースされます。FAULTレジスタが別のフォールトが生じたことを表示するまで、または元のフォールトがクリアされてから再度生じるまで、 $\overline{\text{ALERT}}$ 信号は再び“L”に引き下げられることはありません。これは、反復する、または持続するフォールトは、関連したFAULTレジスタ・ビットがクリアされるまで、アラートを発生しないことを意味することに注意してください。

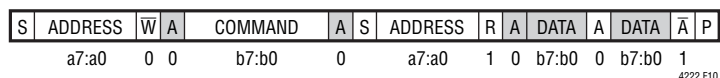


図10. LTC4222のシリアル・バスのSDAワード読出しプロトコル

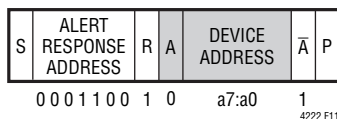


図11. LTC4222のシリアル・バスのSDAアラート応答プロトコル



## アプリケーション情報

表1. LTC4222のI<sup>2</sup>Cデバイス・アドレス指定

説明	デバイス・アドレス	デバイス・アドレス								LTC4222のアドレス・ピン		
		7	6	5	4	3	2	1	0	ADR2	ADR1	ADR0
一括書込み	C6	1	1	0	0	0	1	1	0	X	X	X
アラート応答	19	0	0	0	1	1	0	0	1	X	X	X
0	88	1	0	0	0	1	0	0	X	L	NC	L
1	8A	1	0	0	0	1	0	1	X	L	H	NC
2	8C	1	0	0	0	1	1	0	X	L	NC	NC
3	8E	1	0	0	0	1	1	1	X	L	NC	H
4	98	1	0	0	1	1	0	0	X	L	L	L
5	9A	1	0	0	1	1	0	1	X	L	H	H
6	9C	1	0	0	1	1	1	0	X	L	L	NC
7	9E	1	0	0	1	1	1	1	X	L	L	H
8	A8	1	0	1	0	1	0	0	X	NC	NC	L
9	AA	1	0	1	0	1	0	1	X	NC	H	NC
10	AC	1	0	1	0	1	1	0	X	NC	NC	NC
11	AE	1	0	1	0	1	1	1	X	NC	NC	H
12	B8	1	0	1	1	1	0	0	X	NC	L	L
13	BA	1	0	1	1	1	0	1	X	NC	H	H
14	BC	1	0	1	1	1	1	0	X	NC	L	NC
15	BE	1	0	1	1	1	1	1	X	NC	L	H
16	C8	1	1	0	0	1	0	0	X	H	NC	L
17	CA	1	1	0	0	1	0	1	X	H	H	NC
18	CC	1	1	0	0	1	1	0	X	H	NC	NC
19	CE	1	1	0	0	1	1	1	X	H	NC	H
20	D8	1	1	0	1	1	0	0	X	H	L	L
21	DA	1	1	0	1	1	0	1	X	H	H	H
22	DC	1	1	0	1	1	1	0	X	H	L	NC
23	DE	1	1	0	1	1	1	1	X	H	L	H
24	E8	1	1	1	0	1	0	0	X	L	H	L
25	EA	1	1	1	0	1	0	1	X	NC	H	L
26	EC	1	1	1	0	1	1	0	X	H	H	L

## アプリケーション情報

表2. LTC4222のレジスタ・アドレスと内容

レジスタ・アドレス		レジスタ名	説明
10進数	16進数		
208	D0h	Control1 (A1)	チャンネル1の振舞いを設定
209	D1h	Alert1 (B1)	チャンネル1のどのフォールトがアラートを発生するか選択
210	D2h	Status1 (C1)	チャンネル1の状態を表示
211	D3h	Fault1 (D1)	チャンネル1のフォールトのログ
212	D4h	Control2 (A2)	チャンネル2の振舞いを設定
213	D5h	Alert2 (B2)	チャンネル2のどのフォールトがアラートを発生するか選択
214	D6h	Status2 (C2)	チャンネル2の状態を表示
215	D7h	Fault2 (D2)	チャンネル2のフォールトのログ
216	D8h	SOURCE1 MSB	ADC SOURCE1 MSB data
217	D9h	SOURCE1 LSB	ADC SOURCE1 LSB data
218	DAh	SOURCE2 MSB	ADC SOURCE2 MSB data
219	DBh	SOURCE2 LSB	ADC SOURCE2 LSB data
220	DCh	ADIN1 MSB	ADC ADIN1 MSB
221	DDh	ADIN1 LSB	ADC ADIN1 LSB
222	DEh	ADIN2 MSB	ADC ADIN2 MSB
223	DFh	ADIN2 LSB	ADC ADIN2 LSB
224	E0h	SENSE1 MSB	ADC SENSE1 MSB
225	E1h	SENSE1 LSB	ADC SENSE1 LSB
226	E2h	SENSE2 MSB	ADC SENSE2 MSB
227	E3h	SENSE2 LSB	ADC SENSE2 LSB
228	E4h	ADC CONTROL	ADCの振舞いを構成設定

+ 書き込む前にビットADC\_CONTROL(0)を設定

## アプリケーション情報

表3. CONTROLレジスタA - 読み出し/書き込み

BIT	CONTROL 1 (D0h)	CONTROL 2 (D4h)	動作			
			機能	A6	A7	GPIO PIN
7:6	GPIO1構成設定	GPIO2構成設定	パワーグッド(既定)	0	0	GPIO = $\overline{C3}$
			パワーグッド	0	1	GPIO = C3
			汎用出力	1	0	GPIO = A5
			汎用入力	1	1	C6 = GPIO
5	GPIO1出力	GPIO2出力	汎用出力として構成設定されている場合GPIOピンへの出力データ 1 = 高インピーダンス、0 = "L"			
4	予約	一括書き込みイネーブル	一括書き込みアドレス指定を可能にする 1 = 一括書き込みをイネーブル(既定)、 0 = 一括書き込みをディスエーブル			
3	チャンネル1のFETのオン制御	チャンネル2のFETのオン制御	オン制御ビット、デバウンス遅延の終点でONピンの状態をラッチする 1 = FETをオン、0 = FETをオフ			
2	チャンネル1の過電流の自動リトライ	チャンネル2の過電流の自動リトライ	過電流自動リトライ・ビット 1 = 過電流後自動リトライ、0 = 過電流後ラッチオフ(既定)			
1	チャンネル1の低電圧の自動リトライ	チャンネル2の低電圧の自動リトライ	低電圧自動リトライ 1 = 低電圧後自動リトライ(既定)、0 = 低電圧後ラッチオフ			
0	チャンネル1の過電圧の自動リトライ	チャンネル2の過電圧の自動リトライ	過電圧自動リトライ 1 = 過電圧後自動リトライ(既定)、0 = 過電圧後ラッチオフ			

表4. ALERTレジスタB - 読み出し/書き込み

BIT	ALERT 1 (D1h)	ALERT 2 (D5h)	動作
7	予約	予約	不使用
6	予約	予約	不使用
5	チャンネル1のFET短絡アラート	チャンネル2のFET短絡アラート	FETの短絡状態のアラートをイネーブル 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
4	EN1の状態変化アラート	EN2の状態変化アラート	ENが状態を変えたときイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
3	チャンネル1のパワーバッド・アラート	チャンネル2のパワーバッド・アラート	出力電力がバッドのときアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
2	チャンネル1の過電流アラート	チャンネル2の過電流アラート	過電流状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
1	チャンネル1の低電圧アラート	チャンネル2の低電圧アラート	低電圧状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
0	チャンネル1の過電圧アラート	チャンネル2の過電圧アラート	過電圧状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)

## アプリケーション情報

表5. STATUSレジスタC - 読出し

BIT	STATUS 1 (D2h)	STATUS 2 (D6h)	動作
7	FETオン	FETオン	1 = FETをオン、0 = FETをオフ
6	GPIO1入力	GPIO2入力	GPIO1の状態を報告 Pin 1 = GPIO1は“H”、0 = GPIO1は“L”
5	チャンネル1のFET短絡状態	チャンネル2のFET短絡状態	GPIO2の状態を報告 Pin 1 = GPIO2は“H”、0 = GPIO1は“L”
4	EN1の状態	EN2の状態	ENが“L”のときチャンネルがイネーブルされたら表示する 1 = ENピンが“L”、0 = ENピンが“H”
3	チャンネル1のパワーバッド	チャンネル2のパワーバッド	FBが“L”のとき電力がバッドであることを表示 1 = FBを“L”、0 = FBを“H”
2	チャンネル1の過電流	チャンネル2の過電流	過電流状態を表示する; 1 = 過電流、0 = 過電流ではない
1	チャンネル1の低電圧	チャンネル2の低電圧	UVが“L”のとき入力低電圧を表示 1 = UVを“L”、0 = UVを“H”
0	チャンネル1の過電圧	チャンネル2の過電圧	OVが“L”のとき入力過電圧を表示 1 = OVを“H”、0 = OVを“L”

表6. FAULTレジスタD - 読出し/書込み

BIT	FAULT 1 (D3h)	AULT 2 (D7h)	動作
7	予約	予約	予約
6	予約	予約	予約
5	チャンネル1のFET短絡フォールト発生	チャンネル2のFET短絡フォールト発生	FETがオフのとき測定された電流検出電圧が1mVを超えると潜在的FET短絡が検出されたことを表示する 1 = FETが短絡している、0 = FETが正常
4	チャンネル1のENの状態が変化	チャンネル2のENの状態が変化	ENが状態を変えたときLTC4215-1がイネーブルまたはディスエーブルされたことを表示 1 = ENが状態を変えた、ENが変化していない
3	チャンネル1のパワーバッド・フォールト発生	チャンネル2のパワーバッド・フォールト発生	FBが“L”になったとき電力がバッドであることを表示 1 = FBが“L”、0 = FBが“H”
2	チャンネル1の過電流フォールト発生	チャンネル2の過電流フォールト発生	過電流フォールトが発生したことを表示 1 = 過電流フォールトが発生、0 = 過電流フォールトは発生していない
1	チャンネル1の低電圧フォールト発生	チャンネル2の低電圧フォールト発生	UVが“L”になると入力低電圧フォールトが生じたことを表示 1 = UVが“L”、0 = UVが“H”
0	チャンネル1の過電圧フォールト発生	チャンネル2の過電圧フォールト発生	OVが“L”になると入力過電圧フォールトが生じたことを表示 1 = OVが“H”、0 = OVが“L”

## アプリケーション情報

表7. ADCのレジスタのデータ・フォーマット: ADINn, SOURCEn, SENSEn MSBバイト - 読出し/書込み\*

BIT (7)	BIT (6)	BIT (5)	BIT (4)	BIT (3)	BIT (2)	BIT (1)	BIT (0)
Data (9)	Data (8)	Data (7)	Data (6)	Data (5)	Data (4)	Data (3)	Data (2)

\*書き込む前にビットADC\_CONTROL(0)を設定

表8. ADCのレジスタのデータ・フォーマット: ADINn, SOURCEn, SENSEn LSBバイト - 読出し/書込み\*

BIT (7)	BIT (6)	BIT (5)	BIT (4)	BIT (3)	BIT (2)	BIT (1)	BIT (0)
Data (1)	Data (0)	Reserved**	Reserved**	Reserved**	Reserved**	Reserved**	Reserved**

\*書き込む前にビットADC\_CONTROL(0)を設定

\*\*ゼロとして読み出す

表9. ADCのCONTROLレジスタE - 読出し/書込み

BIT	ADC_CONTROL (E4h)	動作															
7	予約	予約															
6	予約	予約															
5	ADCビジー	ADCが変換中に“H”になる状態ビット。自走モードでは常に“H”、ADCが停止しているか、ポイントアンドシュート変換後に停止していると“L”。読出しのみ															
4	ADCアラート	ALERTピンをイネーブルし、ADCが測定を終了すると“L”になる。															
3	ADCチャンネル・アドレス	これらのビットに書き込んで、停止ビットが“H”のときADCに望みのチャンネルの1回の測定を行わせることができる															
2																	
1			<table border="1"> <thead> <tr> <th>FUNCTION</th> <th>SF2-0</th> </tr> </thead> <tbody> <tr> <td>SOURCE1</td> <td>000</td> </tr> <tr> <td>SOURCE2</td> <td>001</td> </tr> <tr> <td>ADIN1</td> <td>010</td> </tr> <tr> <td>ADIN2</td> <td>011</td> </tr> <tr> <td>SENSE1</td> <td>100</td> </tr> <tr> <td>SENSE2</td> <td>101</td> </tr> </tbody> </table>	FUNCTION	SF2-0	SOURCE1	000	SOURCE2	001	ADIN1	010	ADIN2	011	SENSE1	100	SENSE2	101
FUNCTION			SF2-0														
SOURCE1	000																
SOURCE2	001																
ADIN1	010																
ADIN2	011																
SENSE1	100																
SENSE2	101																
0	停止	データ・コンバータを停止し、ポイントアンドシュート・モードをイネーブルする															

## 標準的応用例

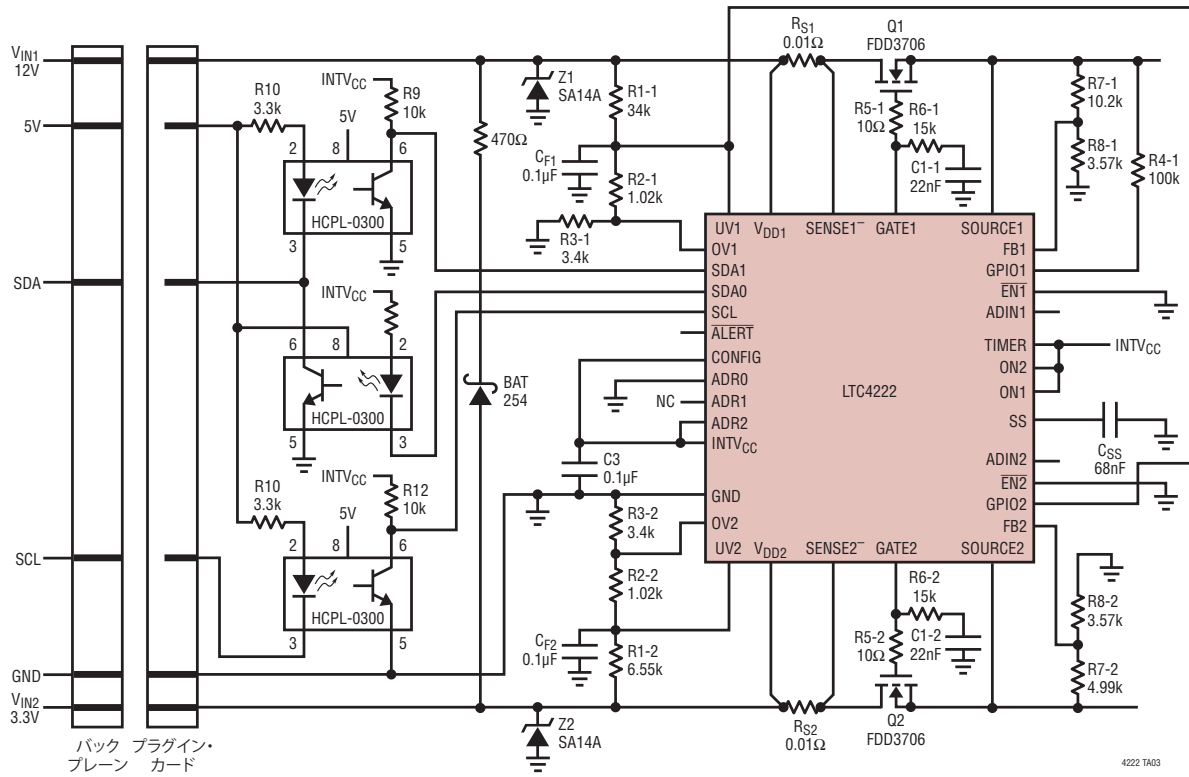
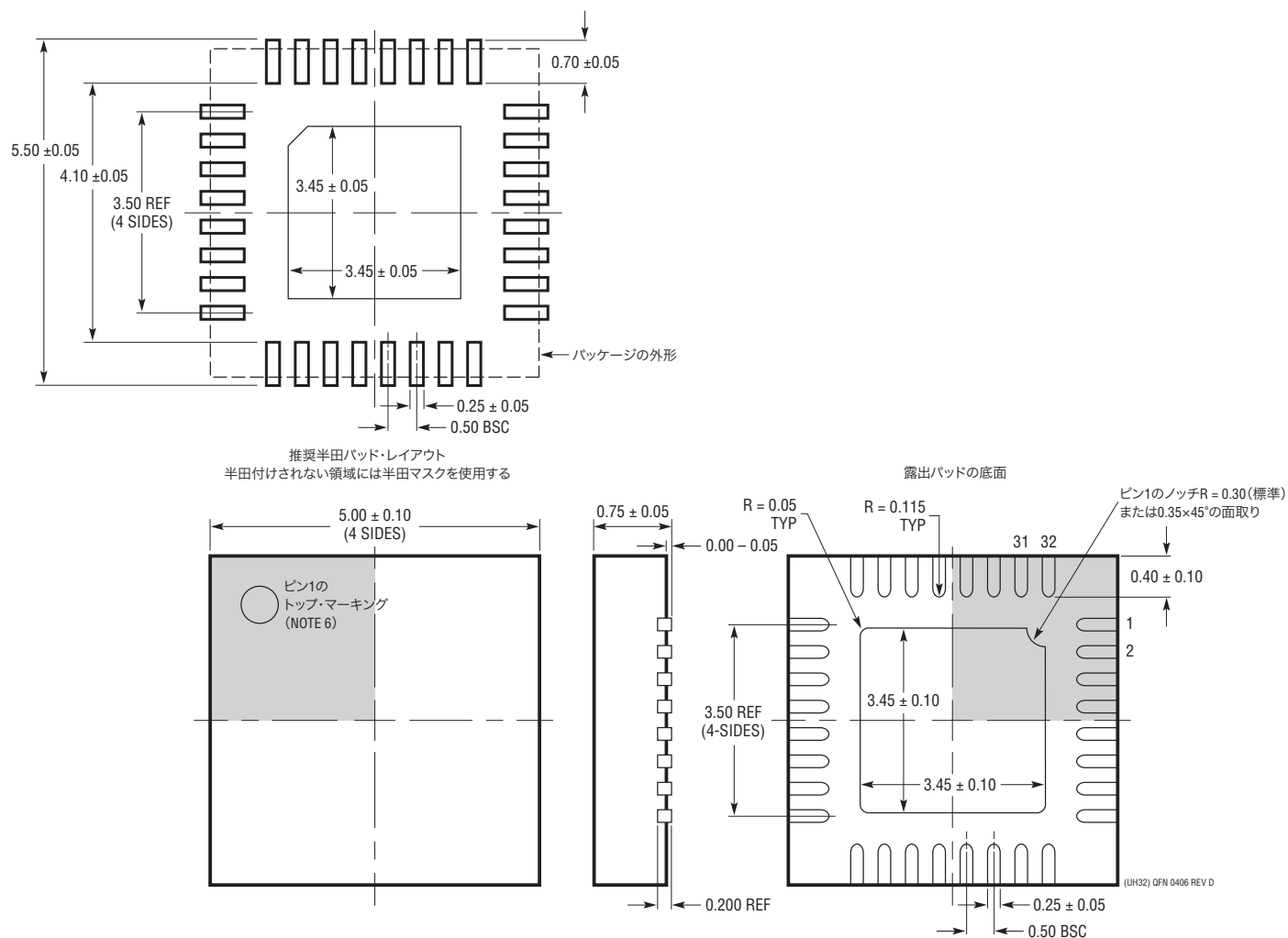


図12. シーケンス制御されてオンする光絶縁されたI<sup>2</sup>C通信と5A電流制限付きの3.3Vと12Vのアプリケーション。ショットキー・ダイオードにより、12Vなしのとき3.3Vスイッチをオンできる

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

UHパッケージ  
32ピン・プラスチックQFN (5mm×5mm)  
(Reference LTC DWG # 05-08-1693 Rev D)



## NOTE:

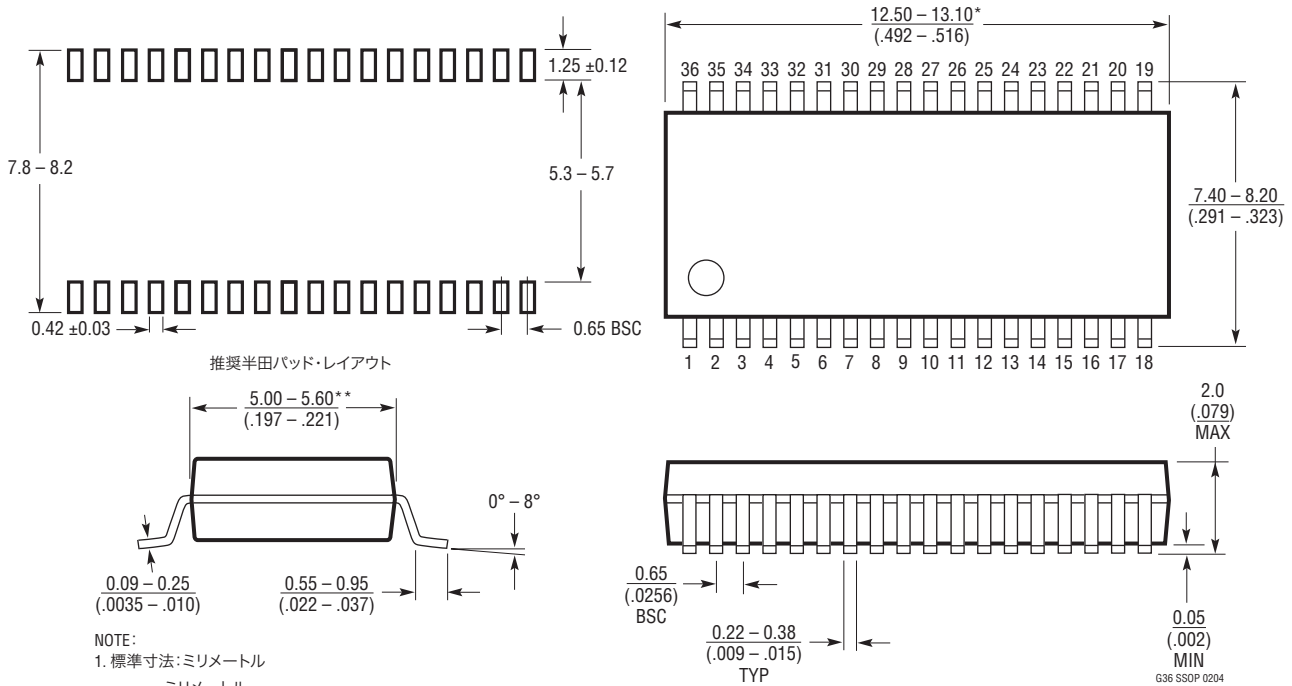
- 図はJEDECパッケージ・アウトラインMQ-220のバリエーションWHHD-(X)に含めるよう提案されている (承認待ち)
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。  
モールドのバリは (もしあれば) 各サイドで0.20mmを超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない



## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

**Gパッケージ**  
**36ピン・プラスチックSSOP (5.3mm)**  
 (Reference LTC DWG # 05-08-1640)



**NOTE:**

1. 標準寸法: ミリメートル

2. 寸法は  $\frac{\text{ミリメートル}}{\text{(インチ)}}$

3. 図は実寸とは異なる

\* 寸法にはモールドのバリを含まない。  
 モールドのバリは各サイドで0.152mm (0.006") を超えないこと

\*\* 寸法にはリード間のバリを含まない。  
 リード間のバリは各サイドで0.254mm (0.010") を超えないこと

## 改訂履歴 (改訂履歴はRev Bから開始)

REV	日付	概要	ページ番号
B	3/12	標準的応用例を更新 電気的特性の限界値を改訂 図2と図12を改訂 関連製品のLTC4215の注釈を修正	1 3、4 15、29 32

## 標準的応用例

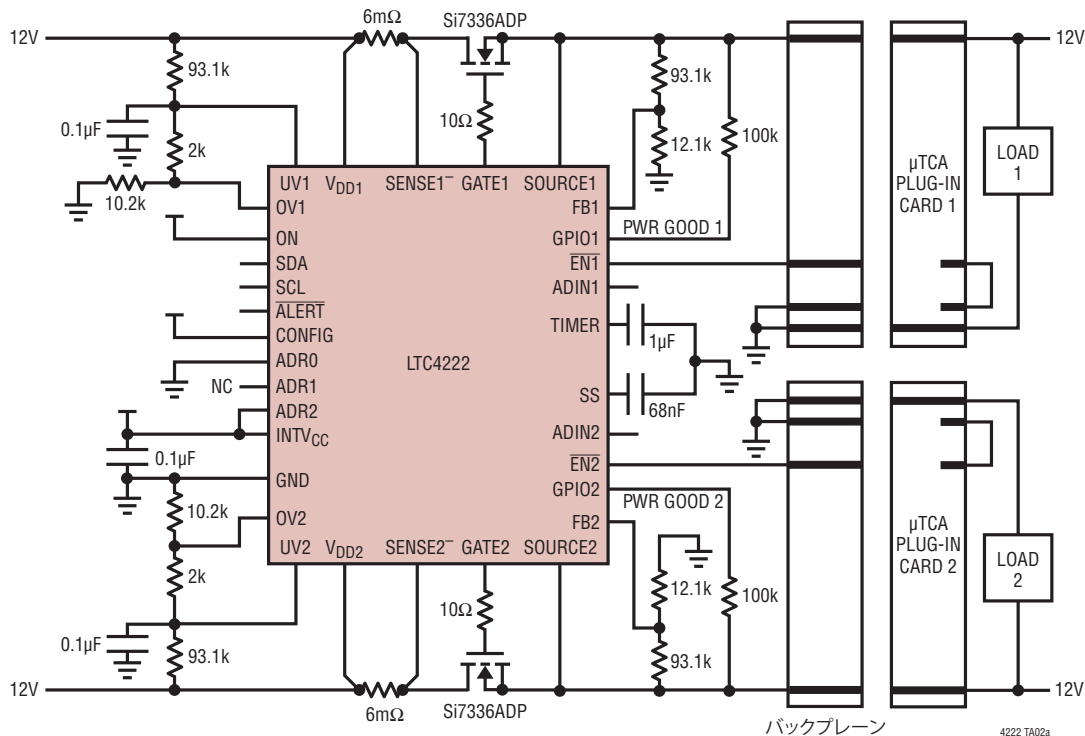


図13. 2つのμTCAスロットに12Vペイロードの電力を供給するμTCAアプリケーション

## 関連製品

製品番号	説明	注釈
LTC1642A	シングル・チャンネルHot Swapコントローラ	3V～16.5Vで動作、33Vまでの過電圧保護、SSOP-16
LTC1645	デュアル・チャンネルHot Swapコントローラ	3V～12Vで動作、パワー・シーケンス制御、SO-8またはSO-14
LTC1647-1/LTC1647-2/ LTC1647-3	デュアル・チャンネルHot Swapコントローラ	2.7V～16.5Vで動作、SO-8またはSSOP-16
LTC4210	シングル・チャンネルHot Swapコントローラ	2.7V～16.5Vで動作、アクティブ電流制限、SOT23-6
LTC4211	シングル・チャンネルHot Swapコントローラ	2.5V～16.5Vで動作、多機能電流制御、MSOP-8またはMSOP-10
LTC4212	シングル・チャンネルHot Swapコントローラ	2.5V～16.5Vで動作、パワーアップ・タイムアウト機能、MSOP-10
LTC4214	負電圧Hot Swapコントローラ	-6V～-16Vで動作、MSOP-10
LTC4215	シングル・チャンネルHot Swapコントローラ、 I <sup>2</sup> Cモニタ機能付き	2.9V～15Vで動作、電流と電圧をモニタする8ビットADC
LTC4216	シングル・チャンネルHot Swapコントローラ	0V～6Vの負荷電圧を制御、MSOP-10または12ピン(4mm×3mm)DFN
LTC4217	シングル・チャンネルHot Swapコントローラ	2.9V～26.5Vで動作、MOSFETを内蔵、TSSOP-20またはDFN-16
LTC4218	シングル・チャンネルHot Swapコントローラ	2.9V～26.5Vで動作、精度5%の電流制限、SSOP-16またはDFN-16
LT4220	正電圧と負電圧、デュアル・チャンネル、 Hot Swapコントローラ	±2.7V～±16.5Vで動作、SSOP-16
LTC4221	デュアルHot Swapコントローラ/シーケンサ	1V～13.5Vで動作、多機能電流制御、SSOP-16
LTC4224	デュアル・チャンネルHot Swapコントローラ	1V～6Vで動作、小型、MSOP-10ピンまたは(3mm×2mm)DFN-10