

特長

- 広い動作電圧範囲: 2.9V~26.5V
- 調整可能な5%精度(15mV)の電流制限
- 電流モニタ出力
- フォルト到達前の調整可能な電流制限タイマ
- パワーグッド出力およびフォルト出力
- 調整可能な突入電流制御
- 2%精度の低電圧保護および過電圧保護
- 16ピンSSOPおよび16ピン5mm×3mm DFNパッケージ

アプリケーション

- RAIDシステム
- ATCA、AMC、μTCAシステム
- サーバのI/Oカード
- 産業用機器

概要

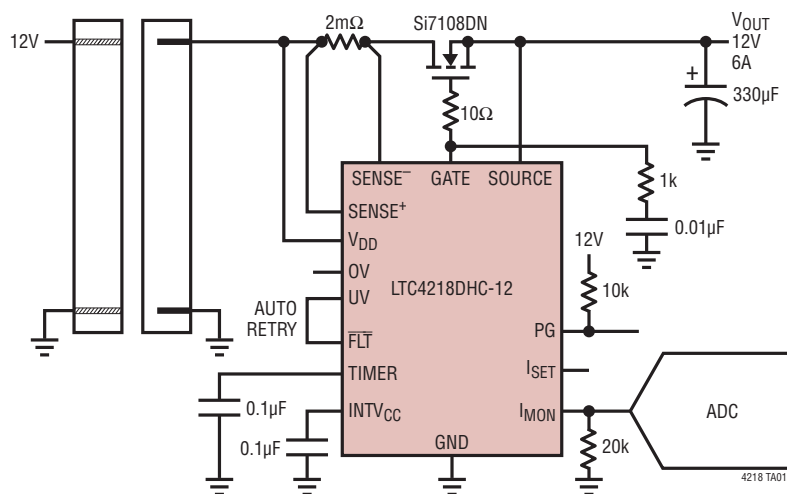
LTC[®]4218は、電源の入ったバックプレーンに対し、ボードの安全な挿入/引抜きを可能にするHot Swap[™]コントローラです。内蔵のハイサイド・スイッチ・ドライバにより、2.9V~26.5Vの電源電圧に対して外付けNチャンネルMOSFETのゲートを制御します。専用の12Vバージョン(LTC4218-12)は予め設定された12Vの固定スレッシュホールドを備え、標準タイプのLTC4218はスレッシュホールドを調整可能です。

LTC4218は電流フォールドバック制限付きの高精度(5%)電流制限機能を搭載しています。電流制限しきい値は外部ピンを使用して動的に調整できます。この他に、センス電圧を増幅してグランド基準の電流センスを行う電流モニタ出力を特長としています。また、過電圧モニタ、低電圧モニタ、パワーグッド・モニタも行います。

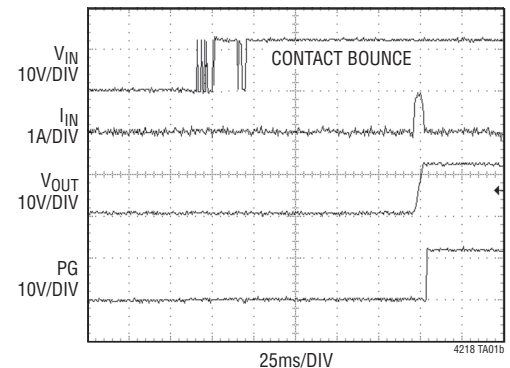
LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

12V、6Aのカード搭載アプリケーション



パワーアップ波形



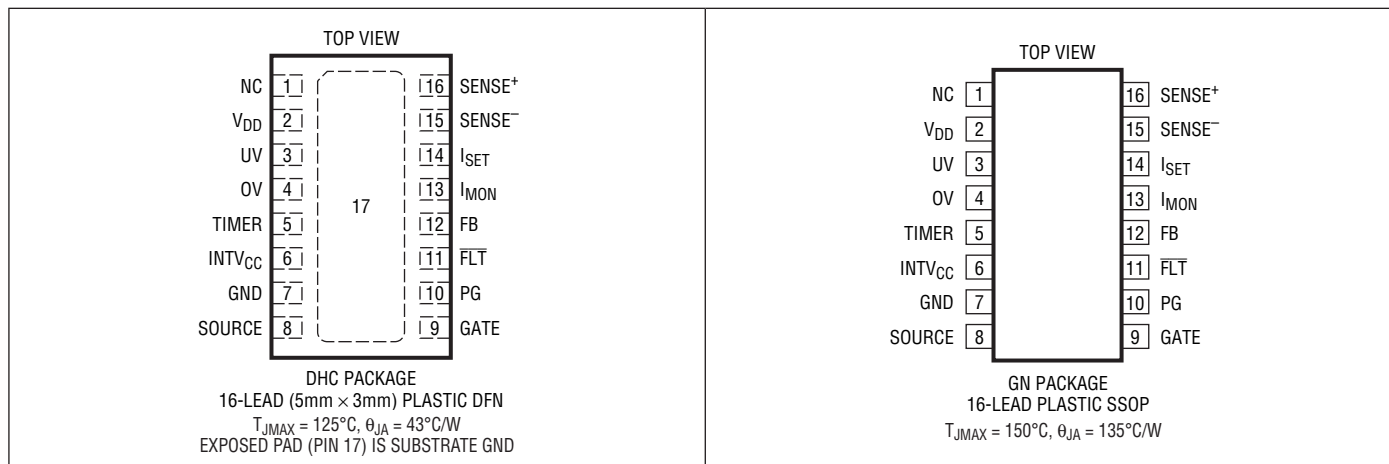
LTC4218

絶対最大定格 (Note 1, 2)

電源電圧 (V _{DD})	-0.3V~35V
入力電圧		
FB、OV、UV	-0.3V~12V
TIMER	-0.3V~3.5V
SENSE ⁻	V _{DD} -10Vまたは-0.3V~V _{DD}
SENSE ⁺	V _{DD} -10Vまたは-0.3V~V _{DD}
SOURCE	-5V~(V _{DD} +0.3V)
出力電圧		
I _{SET} 、I _{MON}	-0.3V~3V
PG、FLT	-0.3V~35V
INTV _{CC}	-0.3V~3.5V
GATE (Note 3)	-0.3V~35V

動作温度範囲		
LTC4218C	0°C~70°C
LTC4218I	-40°C~85°C
保存温度範囲	-65°C~150°C
リード温度 (半田付け、10秒)		
GNパッケージのみ	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4218CDHC-12#PBF	LTC4218CDHC-12#TRPBF	421812	16-Lead (5mm × 3mm) Plastic DFN	0°C to 70°C
LTC4218IDHC-12#PBF	LTC4218IDHC-12#TRPBF	421812	16-Lead (5mm × 3mm) Plastic DFN	-40°C to 85°C
LTC4218CGN#PBF	LTC4218CGN#TRPBF	4218	16-Lead Plastic SSOP	0°C to 70°C
LTC4218IGN#PBF	LTC4218IGN#TRPBF	4218I	16-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社および弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

非標準の鉛ベース仕様の製品の詳細については、弊社および弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
DC Characteristics							
V_{DD}	Input Supply Range		●	2.9		26.5	V
I_{DD}	Input Supply Current	FET On	●		1.6	5	mA
$V_{DD(UVL)}$	Input Supply Undervoltage Lockout	V_{DD} Rising	●	2.65	2.73	2.85	V
$V_{DD(OVTH)}$	Input Supply Undervoltage Threshold	LTC4218-12 Only V_{DD} Rising	●	9.6	9.88	10.2	V
$\Delta V_{DD(UVHYST)}$	Input Supply Undervoltage Hysteresis	LTC4218-12 Only	●	520	640	760	mV
$V_{DD(OVTH)}$	Input Supply Overvoltage Threshold	LTC4218-12 Only V_{DD} Rising	●	14.7	15.05	15.4	V
$\Delta V_{DD(OVHYST)}$	Input Supply Overvoltage Hysteresis	LTC4218-12 Only	●	183	244	305	mV
$V_{SOURCE(PGTH)}$	SOURCE Power Good Threshold	LTC4218-12 Only V_{SOURCE} Rising	●	10.2	10.5	10.8	V
$\Delta V_{SOURCE(PGHYST)}$	SOURCE Power Good Hysteresis	LTC4218-12 Only	●	127	170	213	mV
$\Delta V_{SNS(TH)}$	Current Limit Sense Voltage Threshold ($V_{SENSE+} - V_{SENSE-}$)	$V_{FB} = 1.23\text{V}$	●	14.25	15	15.75	mV
		$V_{FB} = 0\text{V}$	●	2.8	3.75	4.7	mV
		$V_{FB} = 1.23\text{V}$, $R_{SET} = 20\text{k}\Omega$	●	6.7	7.5	8.325	mV
$I_{SENSE-(IN)}$	SENSE ⁻ Pin Input Current	$V_{SENSE-} = 12\text{V}$	●		4	± 10	μA
$I_{SENSE+(IN)}$	SENSE ⁺ Pin Input Current	$V_{SENSE+} = 12\text{V}$	●		5.5	± 20	μA
ΔV_{GATE}	External N-Channel Gate Drive ($V_{GATE} - V_{SOURCE}$)	$V_{DD} = 2.9\text{V}$ to 26.5V (Note 3) $I_{GATE} = 0$, $-1\mu\text{A}$	●	5	6.15	6.5	V
$\Delta V_{GATE-HIGH(TH)}$	Gate High Threshold ($V_{GATE} - V_{SOURCE}$)		●	3.5	4.2	4.8	V
$I_{GATE(UP)}$	External N-Channel Gate Pull-Up Current	Gate Drive On, $V_{GATE} = V_{SOURCE} = 12\text{V}$	●	-19	-24	-29	μA
$I_{GATE(FST)}$	External N-Channel Gate Fast Pull-Down Current	Fast Turn Off, $V_{GATE} = 18\text{V}$, $V_{SOURCE} = 12\text{V}$	●	100	170	220	mA
$I_{GATE(DN)}$	External N-Channel Gate Pull-Down Current	Gate Drive Off, $V_{GATE} = 18\text{V}$, $V_{SOURCE} = 12\text{V}$	●	200	250	400	μA
Inputs							
I_{IN}	OV, UV, FB Pin Input Current	$V_{IN} = 1.2\text{V}$, LTC4218 Only	●		0	± 1	μA
R_{IN}	OV, UV, FB Pin Input Resistance	LTC4218-12 Only	●	13	18	23	k Ω
$V_{(TH)}$	OV, UV, FB Pin Threshold Voltage	V_{PIN} Rising	●	1.21	1.235	1.26	V
$\Delta V_{OV(HYST)}$	OV Pin Hysteresis		●	10	20	30	mV
$\Delta V_{UV(HYST)}$	UV Pin Hysteresis		●	50	80	110	mV
$V_{UV(RTH)}$	UV Pin Reset Threshold Voltage	V_{UV} Falling	●	0.55	0.62	0.7	V
$\Delta V_{FB(HYST)}$	FB Pin Power Good Hysteresis		●	10	20	30	mV
R_{SET}	I_{SET} Pin Internal Resistor		●	19.5	20	20.5	k Ω
I_{SOURCE}	SOURCE Pin Input Current	$V_{SOURCE} = V_{GATE} = 12\text{V}$, LTC4218-12 Only	●	50	70	90	μA
		$V_{SOURCE} = V_{GATE} = 12\text{V}$, LTC4218 Only	●	1	2	4	μA
		$V_{SOURCE} = V_{GATE} = 0\text{V}$	●		0	± 1	μA
Outputs							
V_{INTVCC}	INTV _{CC} Output Voltage	$I_{LOAD} = 0\text{mA}$, 10mA			3.1		V
V_{OL}	PG, $\overline{\text{FLT}}$ Pin Output Low Voltage	$I = 2\text{mA}$	●		0.4	0.8	V
I_{OH}	PG, $\overline{\text{FLT}}$ Pin Input Leakage Current	$V = 30\text{V}$	●		0	± 10	μA
$V_{TIMER(H)}$	TIMER Pin High Threshold	V_{TIMER} Rising	●	1.2	1.235	1.28	V
$V_{TIMER(L)}$	TIMER Pin Low Threshold	V_{TIMER} Falling	●	0.1	0.21	0.3	V
$I_{TIMER(UP)}$	TIMER Pin Pull Up Current	$V_{TIMER} = 0\text{V}$	●	-80	-100	-120	μA
$I_{TIMER(DN)}$	TIMER Pin Pull-Down Current	$V_{TIMER} = 1.2\text{V}$	●	1.4	2	2.6	μA

4218fg

LTC4218

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$I_{\text{TIMER(RATIO)}}$	TIMER Pin Current Ratio $I_{\text{TIMER(DN)}}$ / $I_{\text{TIMER(UP)}}$		●	1.6	2	2.7	%
$I_{\text{MON(FS)}}$	I_{MON} Full-Scale Output Current	$V_{\text{SENSE}^+} - V_{\text{SENSE}^-} = 15\text{mV}$	●	94	100	106	μA
$I_{\text{MON(OFF)}}$	I_{MON} Pin Offset Current	$V_{\text{SENSE}^+} - V_{\text{SENSE}^-} = 1\text{mV}$	●		± 0	± 6	μA
G_{IMON}	I_{MON} Pin Gain	$V_{\text{SENSE}^+} - V_{\text{SENSE}^-} = 15\text{mV}$ and 1mV	●	6.47	6.67	6.87	$\mu\text{A}/\text{mV}$

AC Characteristics

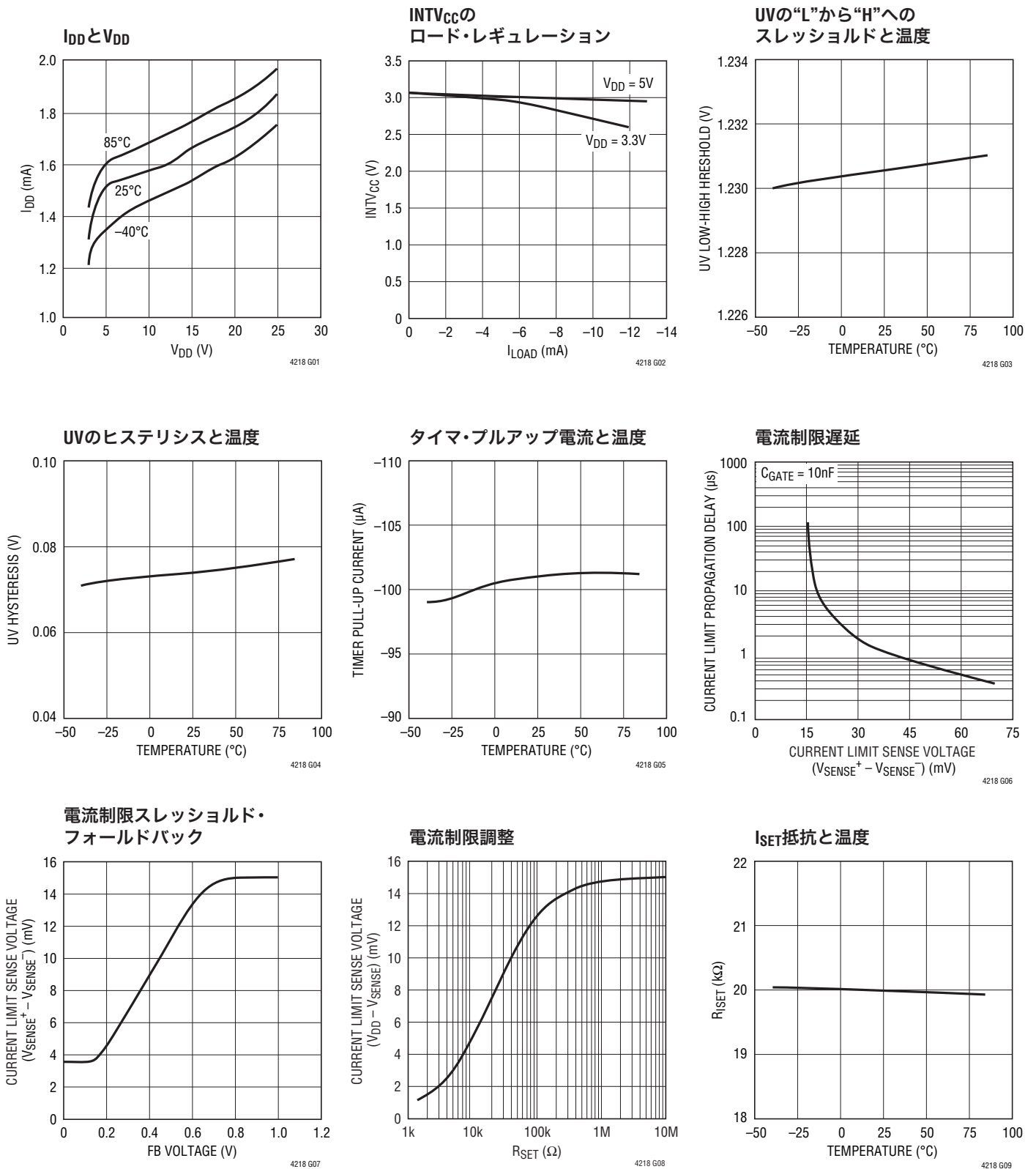
$t_{\text{PHL(GATE)}}$	Input High (OV), Input Low (UV) to GATE Low Propagation Delay	$V_{\text{GATE}} < 16.5\text{V}$ Falling	●		3	5	μs
$t_{\text{PHL(SENSE)}}$	$V_{\text{SENSE}^+} - V_{\text{SENSE}^-}$ High to GATE Low Propagation Delay	$V_{\text{FB}} = 0$, Step ($V_{\text{SENSE}^+} - V_{\text{SENSE}^-}$) to 60mV , $C_{\text{GATE}} = 1.5\text{nF}$, $V_{\text{GATE}} < 16.5\text{V}$ Falling	●		0.2	1	μs
$t_{\text{D(ON)}}$	Turn-On Delay	Step V_{UV} to 2V , $V_{\text{GATE}} > 13\text{V}$	●	50	100	150	ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 注記がない限り、ピンに流れ込む電流はすべて正で、電圧はすべてGND基準である。

Note 3: 内部クランプにより、GATEピンはSOURCEピンより最大6.5V高い電圧に制限される。GATEピンまたはSOURCEピンのいずれかをクランプ電圧より高い電圧にドライブすると、デバイスを損傷する恐れがある。

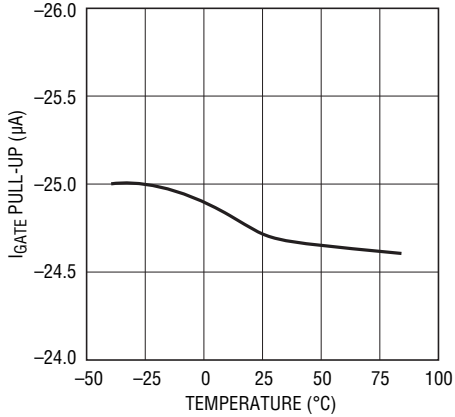
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 。



LTC4218

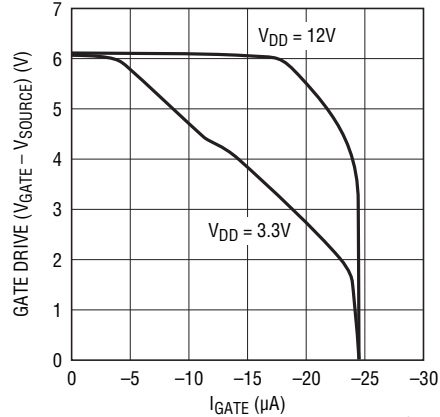
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 。

GATEプルアップ電流と温度



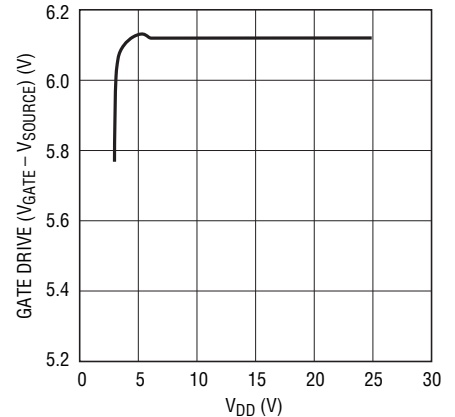
4218 G10

ゲート・プルアップ電流とゲート・ドライブ



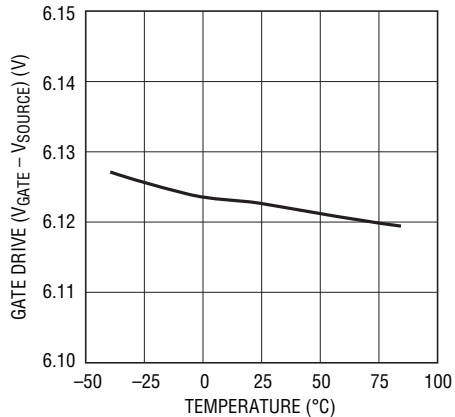
4218 G11

ゲート・ドライブとVDD



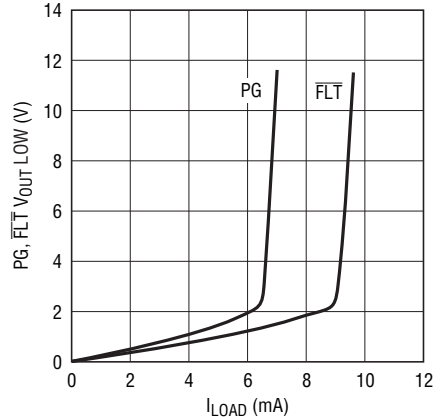
4218 G12

ゲート・ドライブと温度



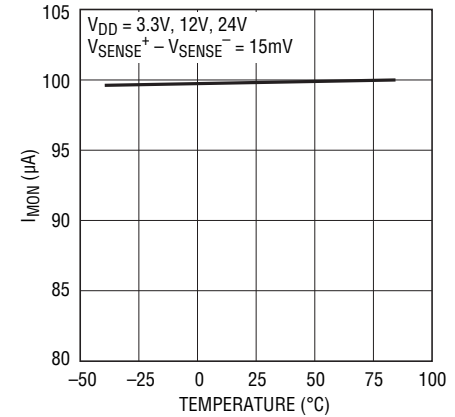
4218 G13

PG、FLTのVOUT“L”とILOAD



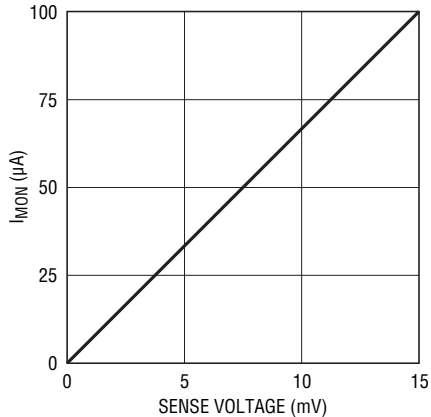
4218 G14

IMONと温度およびVDD



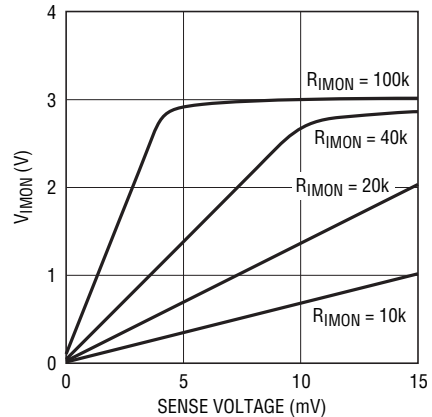
4218 G15

IMONとセンス



4218 G16

VIMONとセンス



4218 G17

4218fg

ピン機能

露出パッド:露出パッドはオープンのままにするか、デバイスのグラウンドに接続することができます。

FB:フォールドバックおよびパワーグッド・コンパレータの入力。LTC4218(可変バージョン)では、このピンをSOURCEに接続された外付け抵抗分割器に接続します。LTC4218-12のバージョンでは、オプションの外部調整機能付きの固定内部分割器を使用します。LTC4218-12の12V動作のスレッシュホールドが必要な場合には、このピンをオープンにします。電圧が0.6Vを下回ると、出力がパワーバッド状態であるとみなされて電流制限が抑えられます。電圧が1.21Vを下回ると、PGピンが“L”になってパワーバッド状態を示します。

FLT:過電流フォールト・インジケータ。過電流フォールトが生じると、オープンドレイン出力が“L”になり、回路ブレーカがトリップします。過電流自動リトライをさせるにはUVピンに接続します(詳細については「アプリケーション情報」を参照)。

GATE:外付けNチャネルFETのゲート・ドライブ。24 μ Aの内部電流源によって外付けNチャネルMOSFETのゲートが充電されます。このピンからグラウンドに抵抗とコンデンサのネットワークを接続することにより、ターンオン・レートの設定が行われます。低電圧または過電圧時に250 μ Aのプルダウン電流のターンオフが生じると、MOSFETがオフします。短絡時または低電圧ロックアウト時には、GATEとSOURCEの間の170mAのプルダウン電流源がアクティブになります。

GND:デバイスのグラウンド。

I_{MON}:電流モニタ出力。このピンからソースされる電流は、(SENSE⁺ピンとSENSE⁻ピンの間の)電流センス電圧に6.67 μ A/mVを掛けることによって決まります。このピンからGNDに20k抵抗を接続すると、電流センス電圧の範囲が0mV~15mVのとき、0V~2Vの電圧振幅が生じます。

INTV_{CC}:内部3.1V電源のデカップリング出力。このピンには0.1 μ F以上のコンデンサが必要です。

I_{SET}:電流制限調整ピン。電流制限スレッシュホールドを15mVにするには、このピンをオープンにします。このピンは電圧源と直列に接続された20k抵抗によってドライブされます。ピンの電圧は電流制限スレッシュホールドを生成するのに使用されます。内部の20k抵抗と、I_{SET}とグラウンドの間の外付け抵抗によって減衰器が形成され、電流制限値が小さくなります。回路の許容誤差のため、I_{SET}の抵抗は2k未満にしないでください。

NC:NC。

OV:過電圧コンパレータの入力。LTC4218(可変バージョン)では、このピンをV_{DD}に接続された外付け抵抗分割器に接続

します。LTC4218-12のバージョンでは、オプションの外部調整機能付きの固定内部分割器を使用して12V動作を行います。LTC4218-12のスレッシュホールドが必要な場合には、このピンをオープンにします。このピンの電圧が1.235Vを上回ると、過電圧が検出されてスイッチがオフします。使用しない場合にはGNDに接続してください。

PG:パワーグッド・インジケータ。FBピンが1.21Vを下回ると、オープンドレイン出力が“L”になってパワーバッド状態を示します。FBピンの電圧が1.23Vを上回り、GATE-SOURCE間の電圧が4.2Vを超えると、オープンドレインのプルダウンによってPGピンが解放されて“H”になります。

SENSE⁻:電流センスの負入力。このピンは電流センス抵抗のV_{DD}の反対側に接続します。電流制限回路がGATEピンを制御することによって、SENSE⁺ピンとSENSE⁻ピンの間のセンス電圧をFBピンの電圧に応じて15mV以下に制限します。

SENSE⁺:電流センスの正入力。このピンは電流センス抵抗のV_{DD}側に接続します。

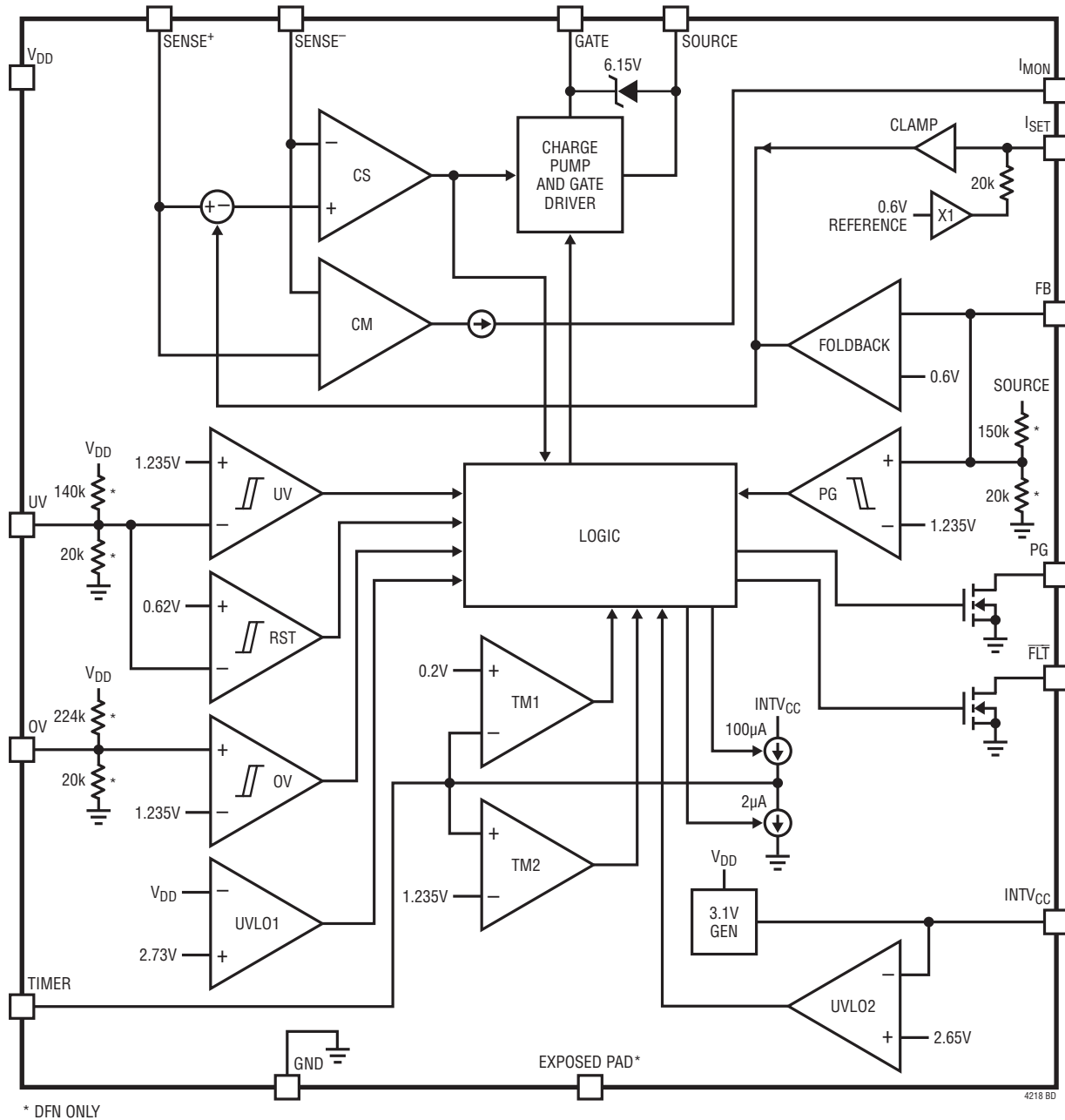
SOURCE:NチャネルMOSFETのソース接続。このピンは外付けNチャネルMOSFETスイッチのソースに接続します。このピンはゲート・プルダウン回路のリターンになります。LTC4218-12のバージョンでは、パワーグッド・コンパレータがSOURCEピンとGNDの間の内部抵抗分割器をモニタします。

TIMER:タイマ入力。このピンとグラウンドの間にコンデンサを接続することにより、スイッチがオフするまでの電流制限時間を12ms/ μ Fに設定します。MOSFETスイッチがオフ時にUVピンが“L”に切り替わると、スイッチは再度オンし、518ms/ μ Fのクールダウン時間が続きます。

UV:低電圧コンパレータの入力。使用しない場合には“H”に接続してください。LTC4218(可変バージョン)では、このピンをV_{DD}に接続された外付け抵抗分割器に接続します。LTC4218-12のバージョンでは、V_{DD}に接続された内部抵抗分割器でUVピンをドライブします。LTC4218-12のスレッシュホールドを12V動作にプリセットする必要がある場合には、このピンをオープンにします。UVピンの電圧が1.15Vを下回ると、低電圧が検出されてスイッチがオフします。このピンを0.62Vより低くすると、過電流フォールトがリセットされ、スイッチをオンに戻すことができます(詳細については「アプリケーション情報」を参照)。過電流自動リトライが必要な場合には、このピンをFLTピンに接続してください。

V_{DD}:電源電圧。このピンには2.73Vの低電圧ロックアウト・スレッシュホールドがあります。

機能図



動作

機能図にデバイスの主要回路を示します。LTC4218は制御された状態でボードの電源電圧をオン/オフするように設計されているので、電源の入っているバックプレーンに対してボードを安全に挿抜できます。通常動作時には、チャージポンプとゲート・ドライバが外付けNチャネル・パスFETのゲートをオンし、負荷に電力を供給します。

電流センス (CS) アンプは、電流センス抵抗両端でセンスされた電圧を使用することによって負荷電流をモニタします。CSアンプは、アクティブ制御ループのGATE-SOURCE間電圧を低下させることによって負荷の電流を制限します。電流設定 (I_{SET}) ピンを使用して電流制限スレッシュホールドを容易に調整できます。これにより、起動時などの別の時点での異なるスレッシュホールドが可能になります。

アクティブ電流制限時に出力をグランドに短絡すると、非常に大きな電力を消費します。この電力を制限するため、FBピンが0.6Vを下回ったとき、フォールドバック・アンプによって電流制限値が15mVから3.75mV (SENSE⁺の電圧からSENSE⁻の電圧を引いた値) に直線的に低下します (「標準的性能特性」を参照)。

過電流状態が継続すると、TIMERピンが100μAの電流源によって、ピン電圧が1.2Vを超えるまでランプアップします (コンパレータTM2)。これにより、過熱を防ぐためにMOSFETをオフする時期であることをロジックに知らせます。この時点で、TIMERピンは2μAの電流源を使用して電圧が0.2Vを下回るまでランプダウンし (コンパレータTM1)、内部の100msタイマを始動するようにロジックに指示します。この時点では、パス・トランジスタは冷えているので再度オンしても問題ありません。

12V固定のバージョンLTC4218-12では、V_{DD}に接続された2つの独立した内部分割器を使用してUVピンとOVピンをドライブします。このバージョンは、SOURCEピンからFBピンをドライブする分割器も備えています。LTC4218-12はDFNパッケージで供給され、LTC4218 (可変バージョン) はSSOPパッケージで供給されます。

FBピンを使用して出力電圧がモニタされ、PGコンパレータによって負荷に電力を供給できるかどうか判断されます。パワーグッド状態は、PGピンがオープンドレインのプルダウン・トランジスタを使用することによって示されます。

LTC4218のモニタ・ブロックを機能図に示します。左側のコンパレータ群にはUVコンパレータとOVコンパレータがあります。これらのコンパレータは、MOSFETをオンする前に外部条件が有効かどうかを判断するのに使用されます。ただし、最初に低電圧ロックアウト回路 (UVLO1およびUVLO2) が入力電源と内部で生成される3.1V電源 (INTV_{CC}) を確認し、ロジック回路に対してパワーアップの初期化を行う必要があります。外部条件が100msの間有効の状態を継続すると、MOSFETをオンすることができます。

その他のモニタ機能にはI_{MON}電流モニタがあります。電流モニタ (CM) はセンス抵抗の電流に比例する電流を出力します。この電流は、外付け抵抗などのモニタ用の回路をドライブすることができます。

アプリケーション情報

LTC4218は通常、高可用性システムで使用されており、正電圧源を使用して各カードに電力を分配します。基本的なアプリケーション回路を図1に示します。外付け部品の選択については後の項で詳しく述べます。

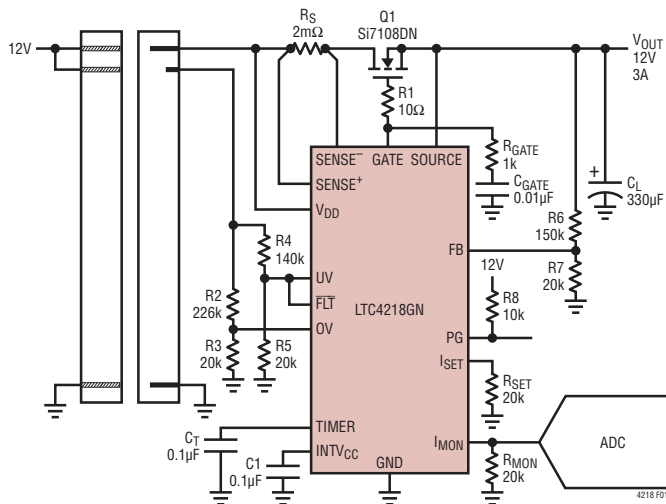


図1. 3A、12Vのカード搭載アプリケーション

ターンオン・シーケンス

ボードの電源は、パワーパスに外付けNチャネル・パス・トランジスタ(Q1)を接続することによって制御されます。センス抵抗(R_S)が電流を検出し、コンデンサ(C_{GATE})がゲートのスループートを制御します。抵抗R₁によってQ1の高周波発振が防止され、抵抗R_{GATE}によって高速ターンオフ時にC_{GATE}が絶縁されます。

外付けパス・トランジスタをオンさせることができるまでには、いくつかの条件が必要になります。まず、電源V_{DD}が低電圧ロックアウト・レベルを超える必要があります。次に、内部で生成される電源INTV_{CC}が2.65Vの低電圧スレッシュホルドを超える必要があります。これにより、25µsのパワーオンリセット・パルスが生成され、ロジックのフォールト・レジスタがクリアされて内部ラッチが初期化されます。

パワーオンリセット・パルスの後、LTC4218は以下のシーケンスを経由します。まず、UVピンとOVピンが、入力電力が許容範囲内であることを示す必要があります。100msの間、これらの条件のすべてが満たされ、挿入時の接触バウンスが終了するようにする必要があります。

パス・トランジスタは、チャージポンプが生成する24µAの電流源でGATEを充電することによってオンします(図2)。

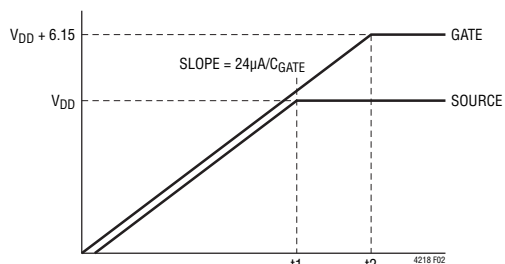


図2. 電源のターンオン

GATEピンの電圧は24µA/C_{GATE}に等しいスロープで上昇し、電源の突入電流は次のように設定されます。

$$I_{\text{NRUSH}} = \frac{C_L}{C_{\text{GATE}}} \cdot 24\mu\text{A}$$

GATE電圧がMOSFETのスレッシュホルド電圧に達すると、スイッチがオンし始め、SOURCE電圧はGATE電圧の上昇に追従します。SOURCEがV_{DD}に達すると、GATEは、GATEとSOURCEの間の6.15Vのツェナーによってクランプされるまでランプアップします。

SOURCEピンの電圧が上昇すると、この電圧をモニタしているFBピンの電圧も上昇します。電流センス抵抗(R_S)両端の電圧が高くなりすぎると、突入電流は内部の電流制限回路によって制限されます。FBピンが1.235Vのスレッシュホルドを超えると、GATE-SOURCE間電圧が4.2Vを上回り、PGピンが“L”ではなくなってパワーグッド状態を示します。

ターンオフ・シーケンス

様々な条件によってスイッチをオフすることができます。通常のターンオフはUVピンが1.235Vのスレッシュホルドを下回ることによって開始されます。また、いくつかのフォールト状態によってスイッチがオフします。これらには、入力過電圧(OVピン)、過電流回路ブレーカ(SENSEピン)などがあります。通常、スイッチはGATEピンをグラウンドに250µAの電流でプルダウンすることによってオフします。スイッチがオフするとき、SOURCEピンの電圧が降下してFBピンがスレッシュホルドを下回ります。すると、PGが“L”になって出力がパワーグッド状態ではないことを示します。

アプリケーション情報

V_{DD} が5 μ s以上の間2.65Vを下回るか、または $INTV_{CC}$ が1 μ s以上の間2.5Vを下回ると、スイッチの高速シャットダウンが開始されます。GATEはSOURCEピンへの170mAの電流でプルダウンされます。

過電流フォールト

LTC4218はフォールドバック機能付きの調整可能な電流制限機能を備えており、過度の負荷電流が生じたときにMOSFETを保護します。アクティブ電流制限時にスイッチを保護するため、FBピンによってセンスされる出力電圧に応じて使用可能な電流が減少します。「標準的性能特性」のグラフにFB電圧に対する電流制限を示します。

電流制限回路がTIMERによって設定されるタイムアウト遅延より長く作動した場合、過電流フォールトが生じます。SENSE⁺ピンとSENSE⁻ピンの間の電流センス電圧が3.75mV~15mV(フォールドバックに依存する)に達すると、電流制限が開始されます。次いで、GATEピンは170mAのGATE-SOURCE間電流で引き下げられます。GATEの電圧は、電流センス電圧を15mV以下に制限するように制御されます。この時点で、TIMERピンの外付けタイミング・コンデンサを100 μ Aのプルアップ電流で充電することにより、回路ブレーカの遅延が開始されます。TIMERピンが1.2Vのスレッシュホールドに達すると、(GATEからグラウンドに流れる250 μ Aの電流で)外付けスイッチがオフします。次いで、FLTピンが“L”になり、過電流フォールトによってMOSFETがオフしたことを示します。回路ブレーカの所定の遅延時間に対して、タイミング・コンデンサの値を設定する式は次のようになります。

$$C_T = T_{CB} \cdot 0.083[\mu\text{F}/\text{ms}]$$

スイッチがオフした後、TIMERピンは2 μ Aのプルダウン電流でタイミング・コンデンサを放電し始めます。TIMERピンが0.2Vのスレッシュホールドに達したときに過電流フォールトが解除されていると、スイッチを再度オンさせることができます。UVピンを0.6Vより下げた後から“H”にすると、フォールトが解除されます。

FLTピンをUVピンに接続することにより、デバイスが自身でフォールトを解除し、TIMERピンが0.2V以下までランプし次第、MOSFETをオンすることができます。この自動リトライモードでは、LTC4218は過電流の後、TIMERピンのコンデンサによって決定される周期で繰り返しターンオンを試みます。

短絡が続いて出力ラッチがオフする様子を図3の波形に示します。タイマーがランプアップしたときのセンス抵抗両端の電圧降下は3.75mVです。

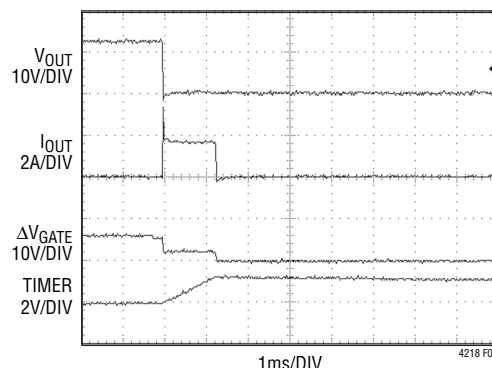


図3. 短絡時の波形

電流制限調整

アクティブ電流制限信号のスレッシュホールドのデフォルト値は15mVです。電流制限スレッシュホールドは、ISETピンに抵抗を接続することによって低めに調整することができます。機能図に示すように、ISETピンの電圧は(クランプ回路を介して)CSアンプの内部オフセット電圧を設定します。このオフセット電圧によってアクティブ電流制限値が直接決定されます。ISETピンがオープン状態の場合、ISETピンの電圧はバッファされたリファレンス電圧によって決定されます。この電圧は、15mVの電流制限スレッシュホールドに相当する0.618Vに設定されます。

ISETピンとグラウンドの間に抵抗を外付けすると、内部の20kソース抵抗とともに抵抗分割器を形成します。この分割器はISETピンの電圧を低くする働きをしますので、電流制限スレッシュホールドが低下します。20k抵抗を使用してスレッシュホールドを半分にすると、電流制限スレッシュホールドの全体の精度は±11%まで低下します。

(グラウンドに接続された)スイッチを外付け抵抗と直列に接続して使用することにより、スイッチが閉じたときだけアクティブ電流制限を切り替えることができます。起動電流が標準最大負荷電流を超える場合に、この機能を使用することができます。

アプリケーション情報

MOSFET電流のモニタ

MOSFETの電流はセンス抵抗を流れます。センス抵抗の電圧は I_{MON} ピンからソースされる電流に変換されます。 I_{SENSE} アンプの利得はセンス抵抗の15mVに対する I_{MON} からの100 μ Aに相当します。この出力電流は外付け抵抗を使用して電圧に変換し、コンパレータやADCをドライブすることができます。 I_{MON} ピンの適合電圧は0V \sim ($INTV_{CC} - 0.7V$)です。

コンパレータ内蔵のマイクロコントローラでは、この電流で充電されたコンデンサをリセットすることにより、シンプルにまとめたシングルスロープADCを形成できます。コンデンサの電圧がトリップすると、コンパレータとコンデンサがリセットされてタイマが始動します。リセットとリセットの間の時間はMOSFET電流を示します。

OVフォールトおよびUVフォールトのモニタ

負荷を過電圧状態から保護することがOVピンの主要な機能です。LTC4218-12では、(OVピンをドライブする)内部抵抗分割器がコンパレータに接続されており、 V_{DD} 電圧が15.05Vを上回ると、MOSFETをオフします。次いで、 V_{DD} ピンが14.8Vより低い値に戻ると、スイッチを直ちにオンすることができます。LTC4218の場合、OVピンの過電圧への上昇時のスレッシュホールドは1.235Vで、過電圧からの低下時のスレッシュホールドは1.215Vです。

UVピンは低電圧保護ピンまたは「オン」ピンとして機能します。LTC4218-12では、 V_{DD} が9.23Vを下回るとMOSFETがオフします。次いで、 V_{DD} ピンが100msの間9.88Vを上回ると、スイッチを再度オンすることができます。LTC4218のUVターンオン/ターンオフ・スレッシュホールドは、それぞれ1.235V(上昇時)と1.155V(低下時)です。

低電圧または過電圧の状態が生じると、MOSFETがオフしてPG状態ピンに示されます。過電圧状態が解除されると、MOSFETのゲートは直ちにランプアップします。

パワーグッド表示

フォールドバック電流制限スレッシュホールドの設定の他に、FBピンはパワーグッド状態の確認に使用されます。LTC4218-12では、SOURCEピンに内部抵抗分割器を使用してFBピンをドライブします。SOURCEピンが10.5Vを上回ると、PGコンパレータがロジック“H”を示します。次いで、SOURCEピンが10.3Vを下回ると、コンパレータは“L”に切り替わります。LTC4218の場合、PGコンパレータは、FBピンが1.23Vを上回ると“H”にドライブされ、1.215Vを下回ると“L”にドライブされます。

PGコンパレータが“H”になると、GATEピンの電圧がSOURCEピンを基準にしてモニタされます。GATEの電圧からSOURCEの電圧を引いた値が4.2Vを上回ると、PGピンは“H”になります。これにより、MOSFETが完全に「オン」状態の間出力に負荷をかけても問題がないことをシステムに知らせます。(UVピン、OVピンまたは $SENSE^+$ / $SENSE^-$ ピンを使用して)GATEがオフに強制されるか、またはPGコンパレータが“L”にドライブされると、PGピンは“L”になります。

12V固定バージョン

LTC4218-12では、UVピン、OVピンおよびFBピンは内部分割器によってドライブされており、誤ったフォールトを防ぐためにフィルタが必要になることがあります。これらのピンにバイパス・コンデンサを接続することにより、フォールトはRC時定数の分だけ遅延します。この値の算定には「電気的特性」の表の R_{IN} の値を使用します。

固定スレッシュホールドをわずかに調整する必要がある場合、UVピンまたはOVピンから V_{DD} またはGNDに抵抗を接続してスレッシュホールドを上方または下方に調整します。同様に、FBピンとOUTまたはGNDの間に抵抗を接続して、スレッシュホールドを調整します。この値の算定にも、「電気的特性」の表の R_{IN} の値を使用します。

図4の例では、UVターンオン電圧が9.88Vから10.5Vに上昇します。UVレベルを上昇させるには、UVとグランドの間に抵抗を追加する必要があります。抵抗(R_{SHUNT1})は、「電気的特性」の表のパラメータを使用して次のように算出することができます。

$$R_{SHUNT1} = \frac{R_{(IN)} \cdot V_{OLD}}{(V_{NEW} - V_{OLD})} = \frac{18k \cdot 9.88}{(10.5 - 9.88)} = 287k$$

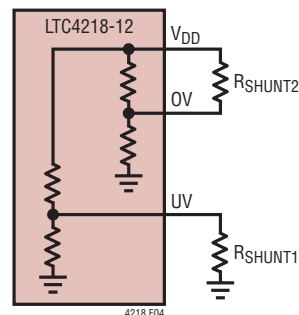


図4. LTC4218-12のスレッシュホールドの調整

アプリケーション情報

これと同じ図の場合、OVスレッシュホールドは15.05Vから13.5Vに低下します。OVスレッシュホールドを低下させるには、V_{DD}とOVの間に抵抗を追加する必要があります。この抵抗は次のように算出することができます。

$$R_{SHUNT2} = \frac{R_{(IN)} \cdot V_{OLD}}{V_{(TH)}} \left(\frac{V_{NEW} - V_{OV(TH)}}{V_{OLD} - V_{NEW}} \right) =$$

$$\frac{18k \cdot 15.05}{1.235} \left(\frac{13.5 - 1.235}{15.05 - 13.5} \right) = 1.736M$$

OVスレッシュホールドとFBスレッシュホールドを上昇させるにはR_{SHUNT1}の式を使用します。同様に、UVスレッシュホールドとFBスレッシュホールドを低下させるにはR_{SHUNT2}の式を使用します。

設計例

次の設計例(図5)を検討します。ここで、V_{IN} = 12V、I_{MAX} = 7.5A、I_{NRUSH} = 1A、C_L = 330μF、V_{UVON} = 9.88V、V_{OVOFF} = 15.05V、V_{PWRGD} = 10.5Vです。電流制限フォールトによって、パワーアップ・シーケンスの自動リスタートがトリガされます。

センス抵抗(R_S)の選択は、15mVの過電流スレッシュホールドによって次のように設定されます。

$$R_S = 15mV / I_{MAX} = 15mV / 7.5A = 0.002\Omega$$

MOSFETは、出力コンデンサC_{OUT}の突入充電時の電力消費に対処できる大きさにする必要があります。次のように、Q1の電力の算出に使用する方法が重要になります。

$$E_C = C_L \text{のエネルギー} = Q1 \text{のエネルギー}$$

したがって次のようになります。

$$E_C = \frac{1}{2} CV^2 = \frac{1}{2} (330\mu F)(12)^2 = 0.024J$$

C_{OUT}を充電するのに要する時間を次のように算出します。

$$t_{CHARGUP} = \frac{C_L \cdot V_{IN}}{I_{NRUSH}} = \frac{330\mu F \cdot 12V}{1A} = 4ms$$

次のC_{GATE}を使用して突入電流を1Aに設定します。

$$C_{GATE} = C_L \frac{I_{GATE(UP)}}{I_{NRUSH}} = 330\mu F \frac{24\mu A}{1A} \cong 0.01\mu F$$

MOSFETの平均電力損失は次のとおりです。

$$P_{DISS} = E_C / t_{CHARGUP} = 0.024J / 4ms = 6W$$

候補となるMOSFETのSOA(安全動作領域)曲線を評価して、パッケージの熱容量が4msの間6Wに耐えられることを確認する必要があります。Vishay SiliconixのSi7108DNのSOA曲線では100msの間10Vで1.5A(15W)が示され、要件を満たします。

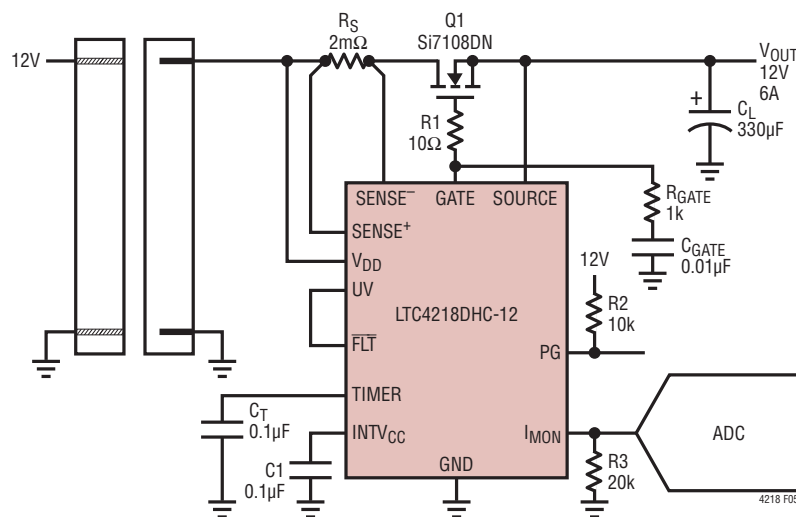


図5. 6A、12Vのカード搭載アプリケーション

アプリケーション情報

次に、過電流時にMOSFETで消費される電力を制限する必要があります。アクティブ電流制限では、タイマを使用してMOSFETでの過度のエネルギー消費が防止されます。ワーストケースの電力は、フォールドバック電流制限の電流に対する電圧の変化が最大になったときに生じます。これは、電流が6Aで電圧が12Vの半分つまり(6V)のときに生じます。この変化を確認するには、「標準的性能特性」のグラフのFB電圧に対する電流制限センス電圧を参照してください。36Wに耐えるためには、MOSFETのSOAはこの電力レベルでの最大時間を必要とします。Si7108DNは10ms以下では60Wを許容します。したがって、 C_T を使用した電流制限タイムアウトを次のように1.2msに設定することができます。

$$C_T = 1.2\text{ms}/12[\text{ms}/\mu\text{F}] = 0.1\mu\text{F}$$

1.2msのタイムアウト後、 $\overline{\text{FLT}}$ ピンによってUVピンのプルダウンを行い、パワーアップ・シーケンスを再開する必要があります。

12V固定バージョンの過電圧、低電圧およびパワーグッド・スレッシュホールドのデフォルト値は要件に適合しているので、UVピン、OVピンおよびFBピンに外付け部品は不要です。

最終的な回路での外付け部品はほとんどありません。抵抗 R_1 (10 Ω)によってQ1の高周波発振が防止され、1kの R_{GATE} によって高速ターンオフ時に C_{GATE} が絶縁されます。プルアップ抵抗(R_2)がPGピンに接続され、20kの抵抗(R_3)によって I_{MON} 電

流が次の比率で電圧に変換されます。

$$V_{\text{MON}} = 6.67 \left[\frac{\mu\text{A}}{\text{mV}} \right] \cdot 2 \left[\frac{\text{mV}}{\text{A}} \right] \cdot 20\text{k} \cdot I_{\text{OUT}} = 0.267 \left[\frac{\text{V}}{\text{A}} \right] \cdot I_{\text{OUT}}$$

さらに、INTV $_{\text{CC}}$ ピンに0.1 μF のバイパス・コンデンサ(C_1)が接続されています。

レイアウトの検討事項

高精度の電流センスを行うためには、センス抵抗にケルビン接続を推奨します。配線による誤差を最小限に抑えるため、PCBレイアウトはバランスのとれた対称形にします。さらに、センス抵抗およびパワーMOSFETのPCBレイアウトには、デバイスの電力消費を最適化するための優れた熱管理手法を使用します。センス抵抗およびパワーMOSFETの推奨するPCBレイアウトを図6に示します。

負荷電流が6Aになる可能性があるHot Swapアプリケーションでは、幅の狭いPCBトラックは広いトラックよりも大きな抵抗値になり、高い温度で動作します。トレースを適度な温度に保つようにするための、1アンペアあたりの1オンスの銅箔の最小トレース幅は0.02インチです。1アンペアあたり0.03インチ以上の使用を推奨します。1オンスの銅には約0.5m Ω /平方のシート抵抗があります。高電流のアプリケーションでは小さな抵抗が急激に大きくなります。

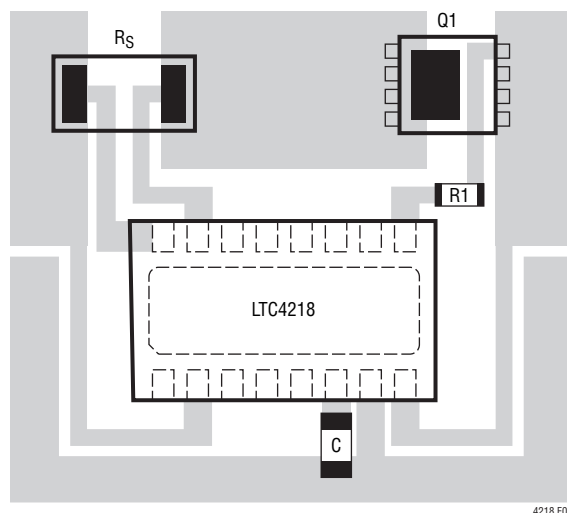


図6. 推奨するレイアウト

アプリケーション情報

INTV_{CC}ピンのバイパス・コンデンサC1をINTV_{CC}とGNDの間にてできるだけ近づけて配置することも重要です。10Ωの抵抗をQ1にてできるだけ近づけて配置します。これにより、Q1の自己発振の原因となる寄生トランス容量が制限されます。

その他のアプリケーション

LTC4218は2.9V～26.5Vの広い範囲で動作します。UVスレッシュホールド、OVスレッシュホールドおよびPGスレッシュホールドは数本の

抵抗で設定されます。他のすべての機能は電源電圧とは関係ありません。

最終ページに、UVスレッシュホールドが19.8V、OVスレッシュホールドが28.3V、PGスレッシュホールドが20.75Vの24Vアプリケーションを示します。図7に、UVスレッシュホールドが2.87V、OVスレッシュホールドが3.77V、PGスレッシュホールドが3.05Vの3.3Vアプリケーションを示します。図8に、負荷の挿入によってターンオンがアクティブになるバックプレーン搭載アプリケーションを示します。

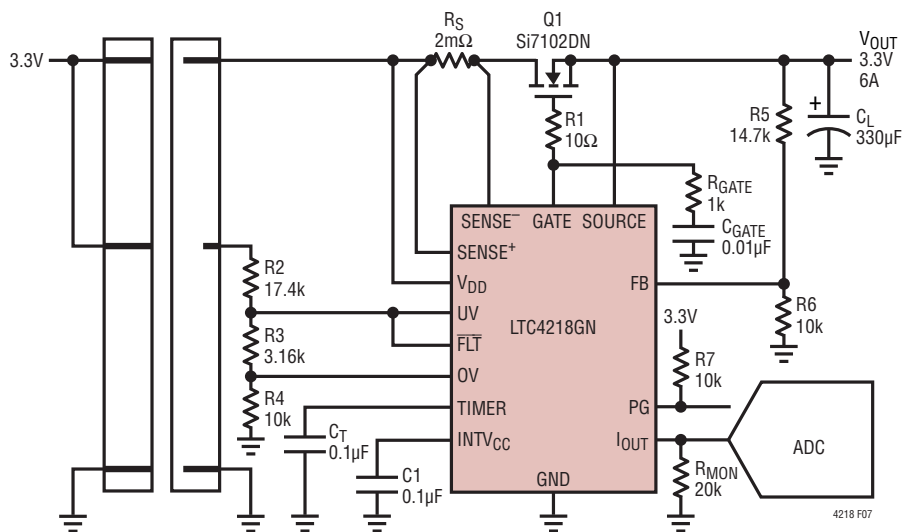


図7. 3.3V、6Aのカード搭載アプリケーション

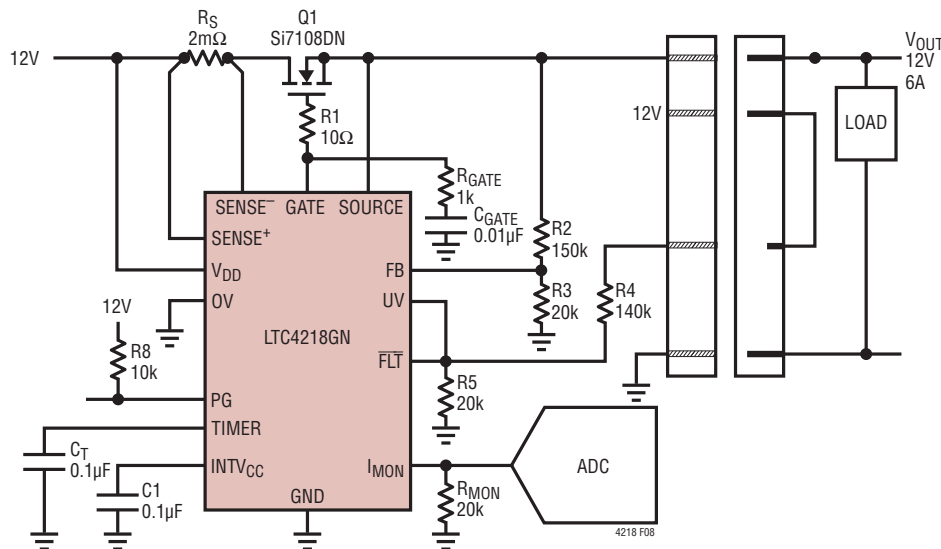
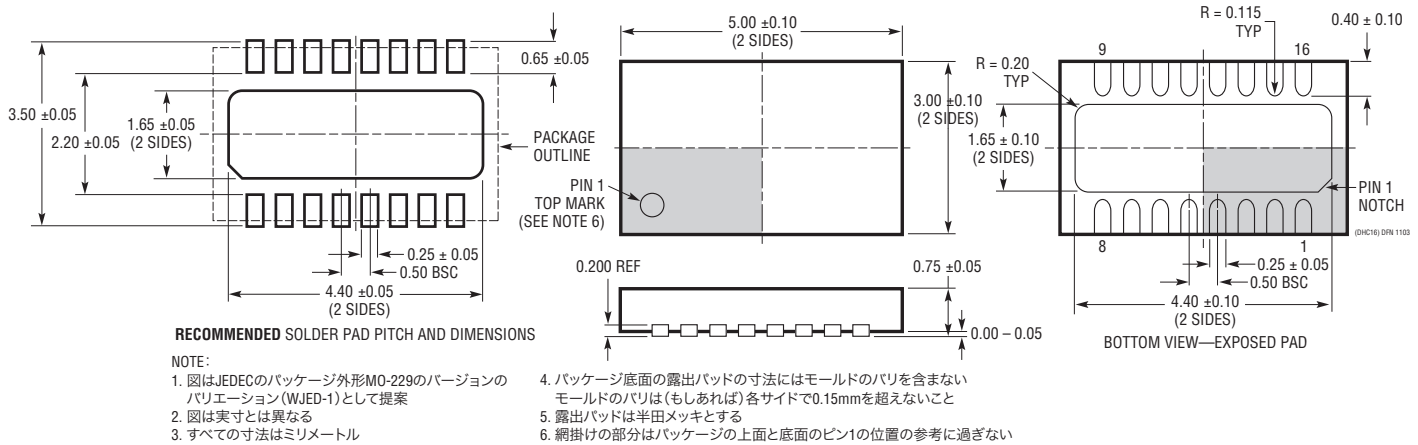


図8. 負荷の挿入によってターンオンがアクティブになる、12V、6Aのバックプレーン搭載アプリケーション

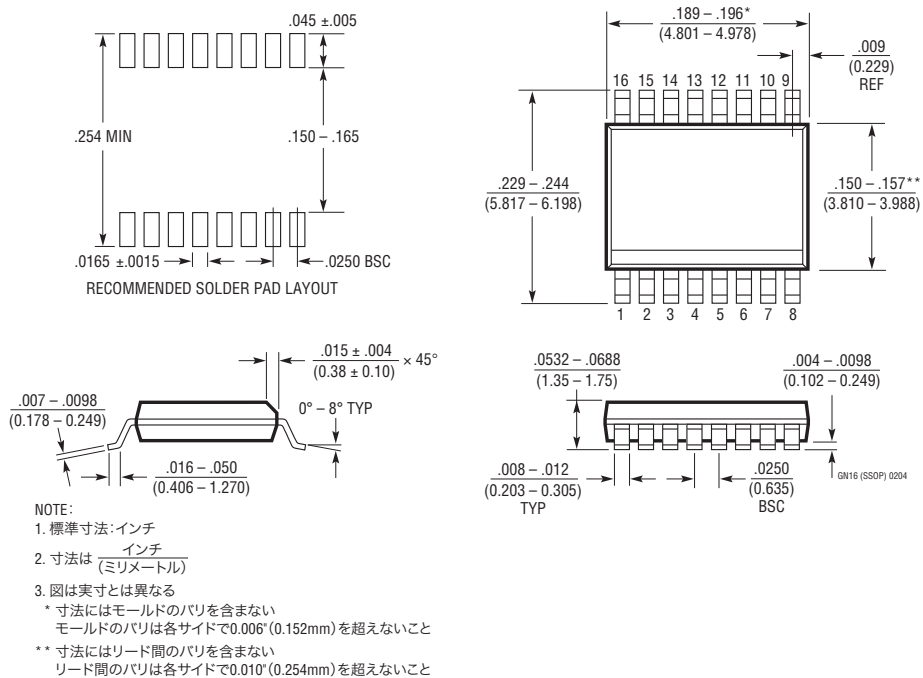
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

DHC Package 16-Lead Plastic DFN (5mm × 3mm) (Reference LTC DWG # 05-08-1706)



GN Package 16-Lead Plastic SSOP (Narrow .150 Inch) (Reference LTC DWG # 05-08-1641)

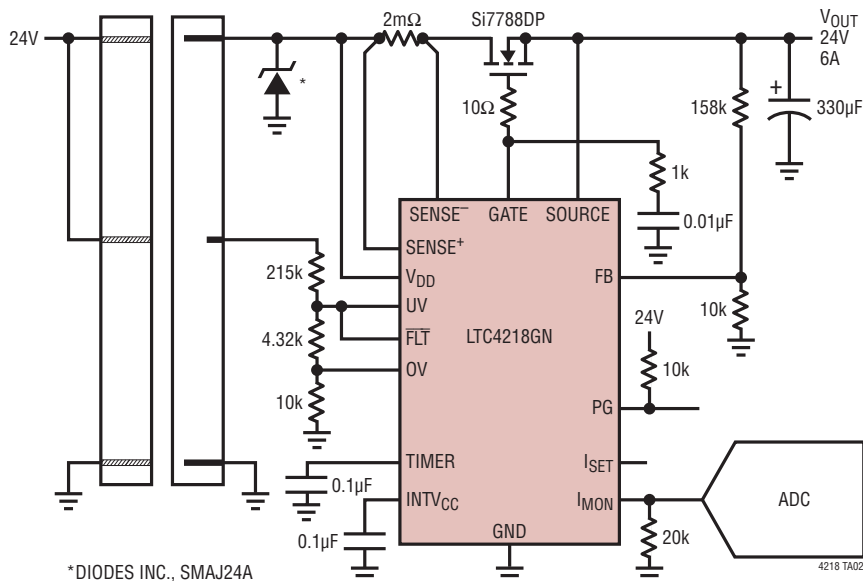


改訂履歴 (Rev Dよりスタート)

REV	日付	修正内容	頁番号
D	12/09	発注情報の変更 アプリケーション情報の式の変更	2 14
E	4/10	「絶対最大定格」の保存温度範囲の改訂 「アプリケーション情報」の「その他のアプリケーション」セクションの改訂と図8の追加	2 15
F	1/12	「標準的応用例」を更新 「電気的特性」のInputsとOutputsセクションを改訂 「ピン機能」のINTV _{CC} ピンとPGピンの記述を更新 図1のR2の値を変更 「過電流フォールト」セクションの文章を一部削除し、「0VフォールトおよびUVフォールトのモニタ」セクションの値を更新 「標準的応用例」と「関連製品」を改訂	1 3 7 10 11、12 18
G	7/14	I _{GATE(DN)} の仕様: 最大値を340 μ Aから400 μ Aに変更 I _{SET} ピン機能: 抵抗は2k未満にしないでくださいという記述を追加	3 7

標準的応用例

自動リトライ付きの24V、6Aのカード搭載アプリケーション



関連製品

製品番号	説明	注釈
LTC1421	デュアル・チャンネルHot Swapコントローラ	3V~12Vで動作、-12Vをサポート、SSOP-24
LTC1422	シングル・チャンネルHot Swapコントローラ	2.7V~12Vで動作、SO-8
LTC1642A	シングル・チャンネルHot Swapコントローラ	3V~16.5Vで動作、33Vまでの過電圧保護、SSOP-16
LTC1645	デュアル・チャンネルHot Swapコントローラ	3V~12Vで動作、電源シーケンシング、SO-8またはSO-14
LTC1647	デュアル・チャンネルHot Swapコントローラ	2.7V~16.5Vで動作、SO-8またはSSOP-16
LTC4210	シングル・チャンネルHot Swapコントローラ	2.7V~16.5Vで動作、アクティブ電流制限、SOT23-6
LTC4211	シングル・チャンネルHot Swapコントローラ	2.5V~16.5Vで動作、多機能電流制御、MSOP-8またはMSOP-10
LTC4212	シングル・チャンネルHot Swapコントローラ	2.5V~16.5Vで動作、パワーアップ・タイムアウト、MSOP-10
LTC4214	負電圧Hot Swapコントローラ	0V~-16Vで動作、MSOP-10
LTC4215	ADCおよびI ² Cインタフェース付きのシングルHot Swapコントローラ	2.9V~15Vで動作、8ビットADCで電圧と電流をデジタルでモニタ
LT4220	正電圧および負電圧、デュアル・チャンネルHot Swapコントローラ	±2.7V~±16.5Vで動作、SSOP-16
LTC4221	デュアルHot Swapコントローラ(シーケンサ)	1V~13.5Vで動作、多機能電流制御、SSOP-16
LTC4230	トリプル・チャンネルHot Swapコントローラ	1.7V~16.5Vで動作、多機能電流制御、SSOP-20
LTC4245	ADCおよびI ² Cインタフェース付きクワッドHot Swapコントローラ	CompactPCI向けに3.3V、5V、±12V、またはPCI-Express向けに3.3V、補助3.3V、12V、8ビットADCで電圧と電流をモニタ
LTC4232	集積化された5A Hot Swap コントローラ	2.9V~15Vで動作、10%精度の電流制限
LTC4217	集積化された2A Hot Swap コントローラ	2.9V~26.5Vで動作、調整可能な5%精度の電流制限