

広入力電源範囲、 オプトアイソレータ不要の絶縁型 同期整流式フライバック・コントローラ

特長

- 1次側巻線から出力電圧を直接検知
—オプトアイソレータ不要
- 同期整流式ドライバにより、高効率を達成
- 入力電圧は外付け電力部品によってのみ制限
- ユーザ調整なしで
高精度出力レギュレーションを実現
- スwitching周波数: 50kHz~250kHz
- 同期可能
- 負荷補償
- プログラム可能な低電圧ロックアウト
- 熱特性が改善された16ピンTSSOPパッケージで供給

アプリケーション

- 絶縁型中電力(10W~60W)電源
- 絶縁型テレコム、医療用コンバータ
- 計装用電源
- 絶縁型Power over Ethernet電源

概要

LT[®]3825は、中電力フライバック・トポロジー用に設計された絶縁型スイッチング・レギュレータ・コントローラです。標準的なアプリケーションは10W~60Wで、その入力電圧は外付け電力経路部品によってのみ制限されます。また、第3のトランス巻線は出力電圧フィードバックを行います。

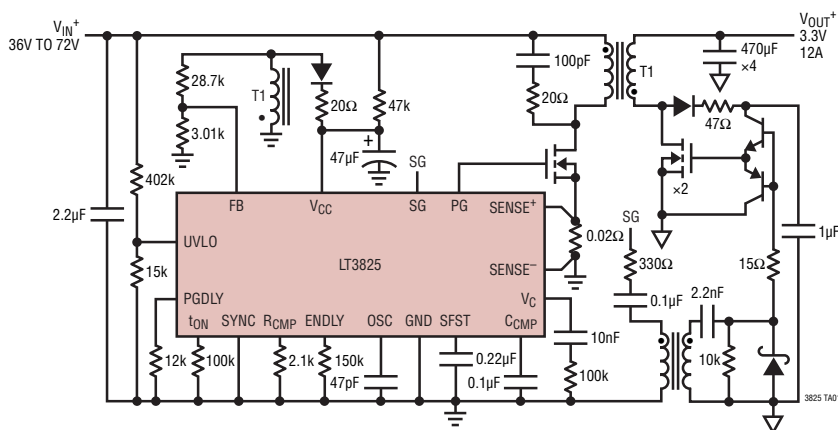
LT3825は、フライバック時にトランス巻線を介して2次電圧を検知することによって出力電圧を安定化する電流モード・コントローラです。このため、オプトアイソレータを使用せずに正確な出力レギュレーションが可能なので、ダイナミック応答と信頼性が向上します。同期整流によってコンバータ効率を上げ、複数出力コンバータにおける出力クロス・レギュレーションを改善します。

LT3825は強制連続導通モードで動作し、複数巻線アプリケーションでクロス・レギュレーションを改善します。スイッチング周波数はユーザがプログラム可能ですが、外部同期も可能です。また、このデバイスは、負荷補償、低電圧ロックアウト、ソフトスタート回路も搭載しています。

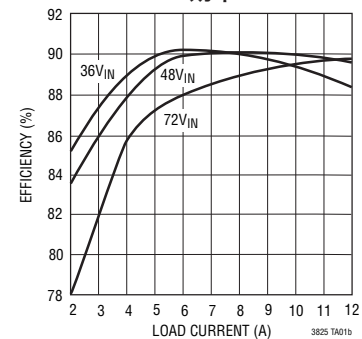
LT、LT、LTC、LTM、Burst Mode、SwitcherCAD、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。No RSENSEおよびThinSOTはリニアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。6948466、5841643を含む米国特許によって保護されています。

標準的応用例

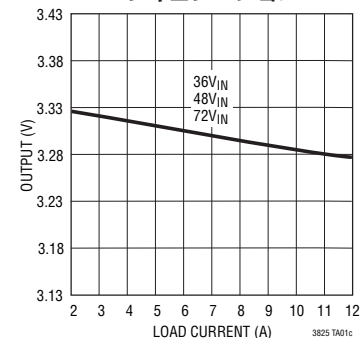
48Vから3.3V/12Aの絶縁型電源



効率



レギュレーション



3825fe

LT3825

絶対最大定格

(Note 1)

V_{CC}からGND

低インピーダンス・ソース..... -0.3V~18V
供給される電流

(V_{CC}には19.5Vの内部クランプあり) V_{CC}へ30mA

UVLO、SYNCピンの電圧 -0.3V~V_{CC}

SENSE⁻、SENSE⁺ピンの電圧 -0.5V、+0.5V

FBピンの電流..... ±2mA

V_Cピンの電流..... ±1mA

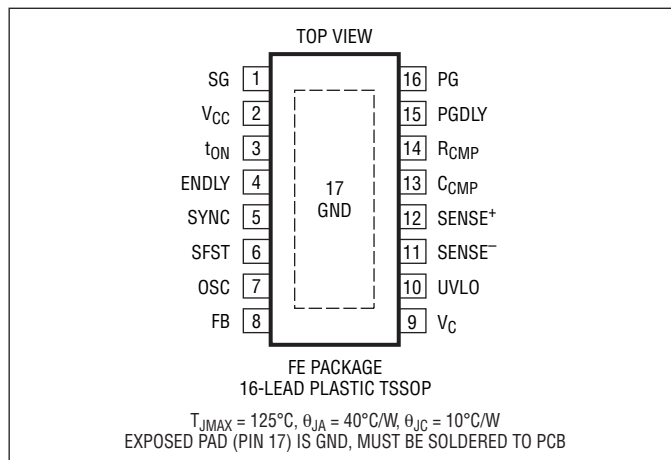
動作接合部温度範囲

(Note 2, 3, 4) -40°C~125°C

保存温度範囲..... -65°C~150°C

リード温度(半田付け、10秒) 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT3825EFE#PBF	LT3825EFE#TRPBF	3825EFE	16-Lead Plastic 4.4mm TSSOP	-40°C to 125°C
鉛ベース仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LT3825EFE	LT3825EFE#TR	3825EFE	16-Lead Plastic 4.4mm TSSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{CC} = 14V; PG、SGオープン; V_C = 1.5V、V_{SENSE⁻} = 0V; R_{COMP} = 1k、R_{ION} = 90k、R_{PGDLY} = 27.4k、R_{ENDLY} = 90k。(Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Power Supply						
V _{CC} Turn-On Voltage		●	14.0	15.3	16.0	V
V _{CC} Turn-Off Voltage		●	8	9.7	11	V
V _{CC} Hysteresis	V _{CC(ON)} - V _{CC(OFF)}	●	4.0	5.6	6.5	V
V _{CC} Shunt Clamp	V _{UVLO} = 0V, I _{VCC} = 15mA	●	19.5	20.5		V
V _{CC} Supply Current (Note 5) (I _{CC})	V _C = Open	●	4	6.4	10	mA
V _{CC} Start-Up Current	V _{CC} = 10V	●		180	400	μA
Feedback Amplifier						
Feedback Regulation Voltage (V _{FB})		●	1.220	1.237	1.251	V
Feedback Pin Input Bias Current	R _{COMP} Open			200		nA
Feedback Amplifier Transconductance	ΔI _C = ±10μA	●	700	1000	1400	μmho
Feedback Amplifier Source or Sink Current		●	25	55	90	μA
Feedback Amplifier Clamp Voltage	V _{FB} = 0.9V V _{FB} = 1.4V			2.56		V

3525fe

電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 14\text{V}$; PG, SGオープン; $V_C = 1.5\text{V}$, $V_{SENSE^-} = 0\text{V}$; $R_{CMP} = 1\text{k}$, $R_{ION} = 90\text{k}$, $R_{PGDLY} = 27.4\text{k}$, $R_{ENDLY} = 90\text{k}$ 。(Note 3)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Reference Voltage Line Regulation	$12\text{V} \leq V_{CC} \leq 18\text{V}$	●		0.005	0.02	%/V
Feedback Amplifier Voltage Gain	$V_C = 1.2\text{V}$ to 1.7V			1400		V/V
Soft-Start Charging Current	$V_{SFST} = 1.5\text{V}$		16	20	25	μA
Soft-Start Discharge Current	$V_{SFST} = 1.5\text{V}$, $V_{UVLO} = 0\text{V}$		0.8	1.3		mA
Control Pin Threshold (V_C)	Duty Cycle = Min			1.0		V
Gate Outputs						
PG, SG Output High Level		●	6.6	7.4	8.0	V
PG, SG Output Low Level		●		0.01	0.05	V
PG, SG Output Shutdown Strength	$V_{UVLO} = 0\text{V}$; I_{PG} , $I_{SG} = 20\text{mA}$	●		1.6	2.3	V
PG Rise Time	$C_{PG} = 1\text{nF}$			11		ns
SG Rise Time	$C_{SG} = 1\text{nF}$			15		ns
PG, SG Fall Time	C_{PG} , $C_{SG} = 1\text{nF}$			10		ns
Current Amplifier						
Switch Current Limit at Maximum V_C	V_{SENSE^+}	●	88	98	110	mV
$\Delta V_{SENSE}/\Delta V_C$				0.07		V/V
Sense Voltage Overcurrent Fault Voltage	V_{SENSE^+}	●		206	230	mV
Timing						
Switching Frequency (f_{OSC})	$C_{OSC} = 100\text{pF}$	●	84	100	110	kHz
Oscillator Capacitor Value (C_{OSC})	(Note 6)		33		200	pF
Minimum Switch On-Time ($t_{ON(MIN)}$)				200		ns
Flyback Enable Delay Time (t_{ED})				265		ns
PG Turn-On Delay Time (t_{PGDLY})				200		ns
Maximum Switch Duty Cycle		●	85	88		%
SYNC Pin Threshold		●		1.53	2.1	V
SYNC Pin Input Resistance				40		k Ω
Load Compensation						
Load Comp to V_{SENSE} Offset Voltage	V_{RCMP} with $V_{SENSE^+} = 0\text{V}$			1		mV
Feedback Pin Load Compensation Current	$V_{SENSE^+} = 20\text{mV}$, $V_{FB} = 1.230\text{V}$			20		μA
UVLO Function						
UVLO Pin Threshold (V_{UVLO})		●	1.215	1.240	1.265	V
UVLO Pin Bias Current	$V_{UVLO} = 1.2\text{V}$ $V_{UVLO} = 1.3\text{V}$		-0.25 -4.50	0 -3.4	± 0.25 -2.50	μA μA

Note 1: 絶対最大定格に記載された値を越すストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: このデバイスには短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。過熱保護機能がアクティブなとき接合部温度は 125°C を超える。規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 3: LT3825は T_J が T_A にほぼ等しいパルス負荷条件でテストされている。LT3825Eは 0°C ~ 125°C の温度範囲で性能仕様に適合することが保証されている。 -40°C ~ 125°C の動作接合部温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。最大周囲温度は基板レイアウト、パッケージの定格熱抵抗などの環境要因と関連した特定の動作条件によって決まることに注意。

Note 4: T_J は周囲温度 T_A および消費電力 P_D から次式に従って計算される。

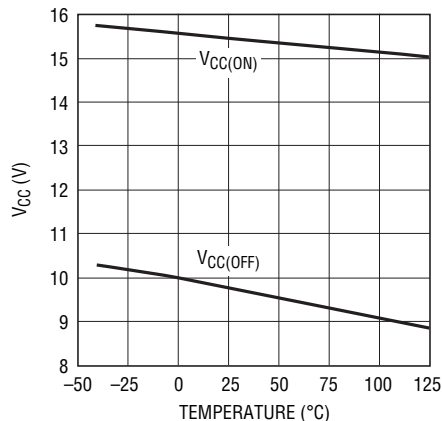
$$T_J = T_A + (P_D \cdot 40^\circ\text{C}/\text{W})$$

Note 5: 電源電流にはMOSFETのゲート充電電流は含まれない。「アプリケーション情報」を参照。

Note 6: 設計保証される部品の値の範囲。

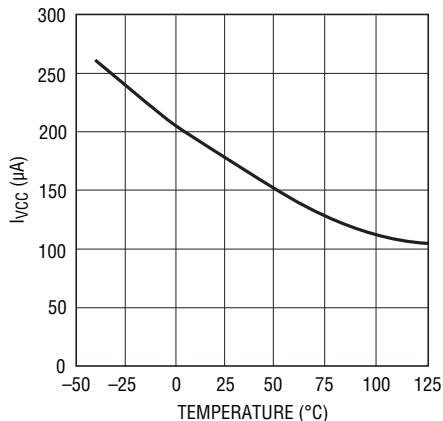
標準的性能特性

V_{CC(ON)}およびV_{CC(OFF)}と温度



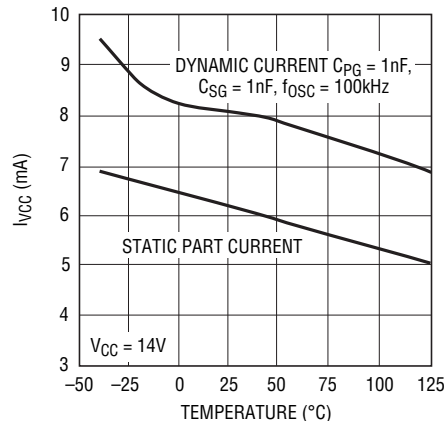
3825 G01

V_{CC}起動電流と温度



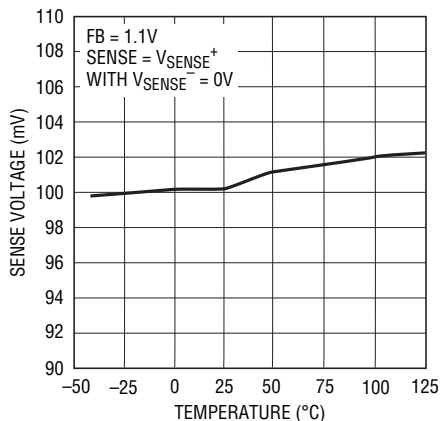
3825 G02

V_{CC}電流と温度



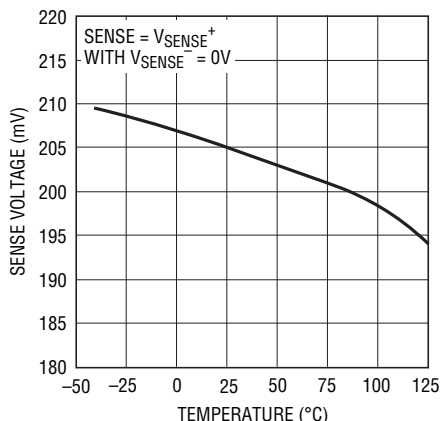
3825 G03

SENSE電圧と温度



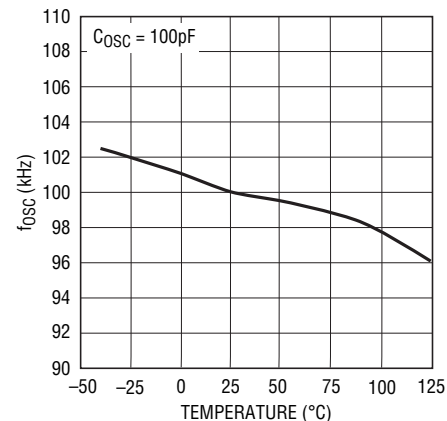
3825 G04

SENSEフォールト電圧と温度



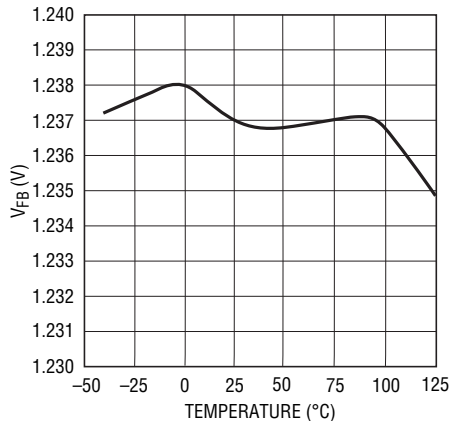
3825 G05

発振器周波数と温度



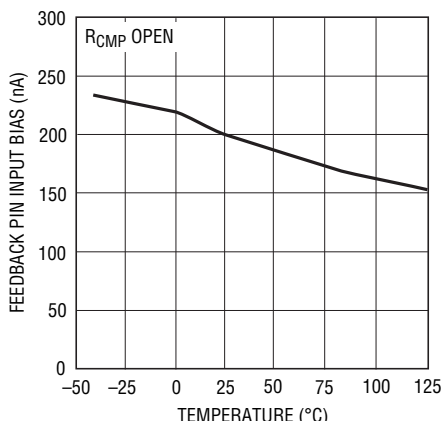
3825 G06

V_{FB}と温度



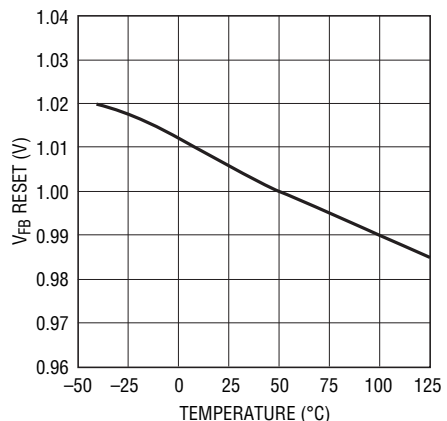
3825 G07

フィードバック・ピンの
入力バイアスと温度



3825 G08

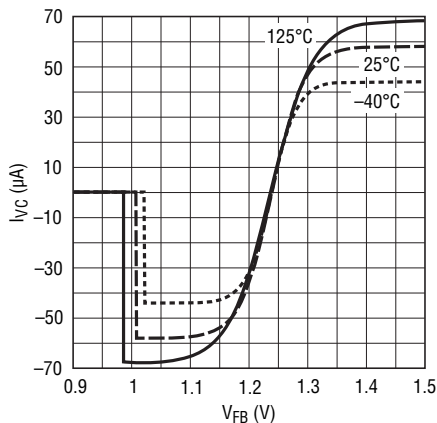
V_{FB}リセットと温度



3825 G09

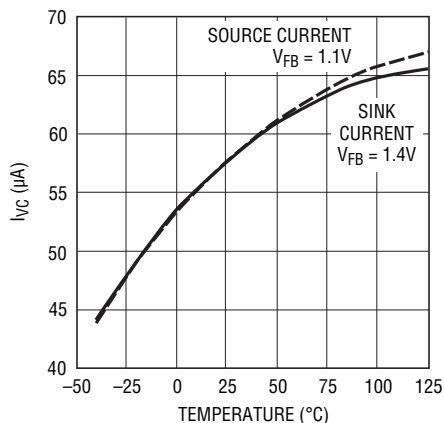
標準的性能特性

帰還アンプの出力電流と V_{FB}



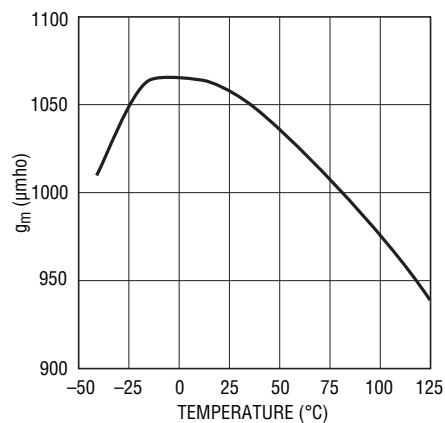
3825 G10

帰還アンプのソース電流およびシンク電流と温度



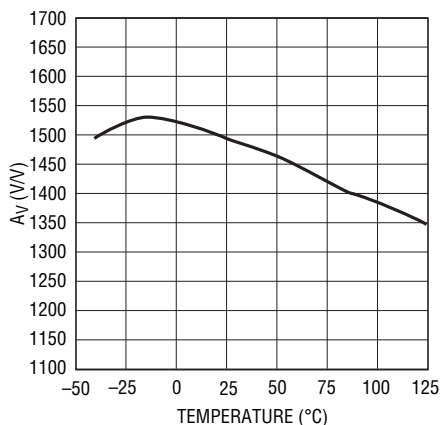
3825 G11

帰還アンプの g_m と温度



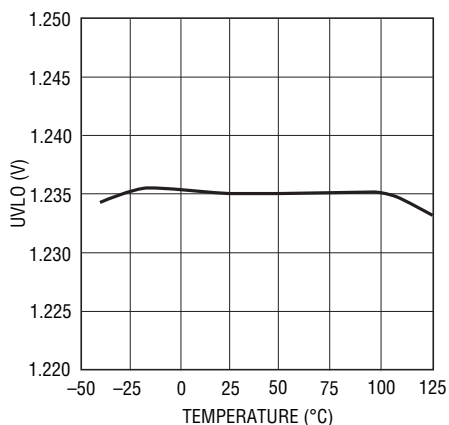
3825 G12

帰還アンプの電圧利得と温度



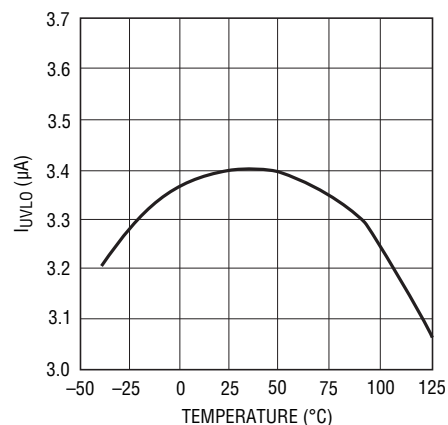
3825 G13

UVLOと温度



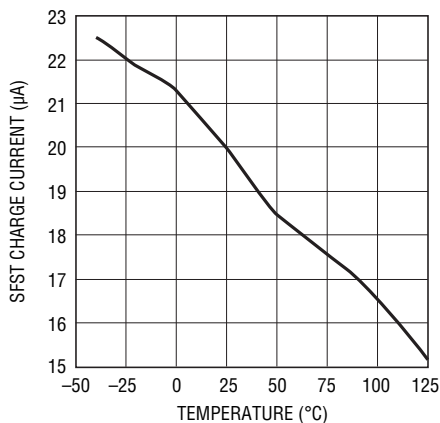
3825 G14

I_{UVLO} のヒステリシスと温度



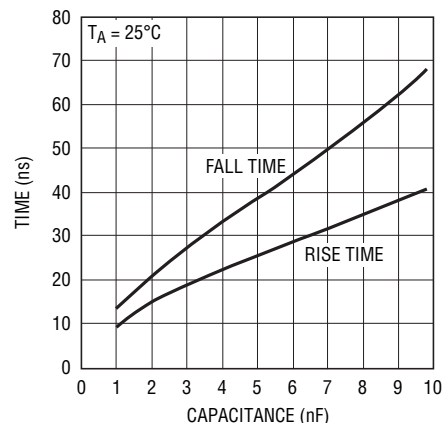
3825 G15

ソフトスタート充電電流と温度



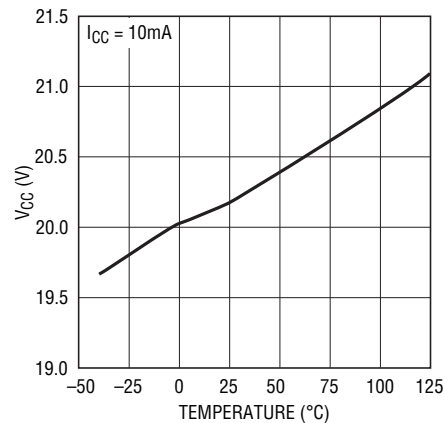
3825 G16

PG、SGの立上り時間および立下り時間と負荷容量



3825 G17

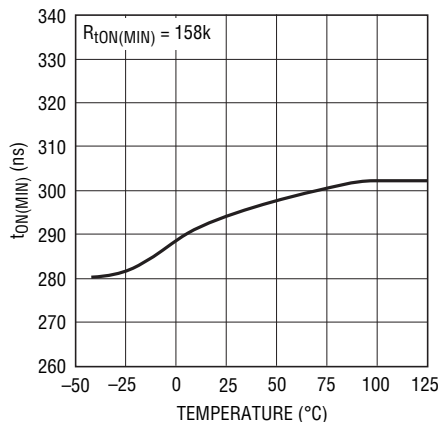
V_{CC} クランプ電圧と温度



3825 G18

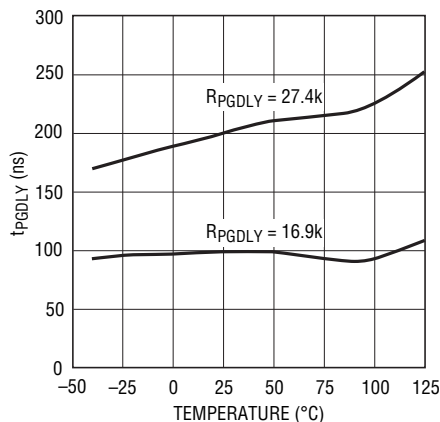
標準的性能特性

最小PGオン時間と温度



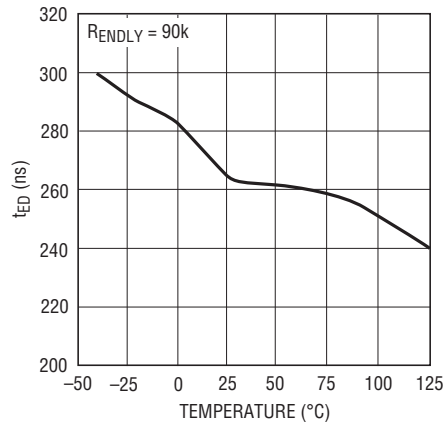
3825 G19

PG遅延時間と温度



3825 G20

イネーブル遅延時間と温度



3825 G21

ピン機能

SG (ピン1):同期ゲート・ドライブ出力。このピンは同期スイッチの2次側出力信号を与えます。大きなダイナミック電流が電圧過渡の間流れることがあります。詳細については「アプリケーション情報」を参照してください。

V_{CC} (ピン2):電源電圧ピン。このピンは4.7μFのコンデンサを使ってグラウンドにバイパスします。このピンはグラウンドを基準にして19.5Vにクランプされています。V_{CC}は低電圧ロックアウト機能を備えており、V_{CC}が約15.3Vのときデバイスをオンし、9.7Vでオフします。従来の「トリクル充電」ブートストラップ構成では、V_{CC}電源電流がターンオン時に大きく増加し、デバイスが正常に起動しないとV_{CC}ピンに穏かな弛緩発振動作が生じます。

ton (ピン3):各サイクル毎に主スイッチがオンする最小時間を設定する外部プログラミング抵抗のピン。最小ターンオンは絶縁型帰還方式を使いやすくします。詳細については「アプリケーション情報」を参照してください。

ENDLY (ピン4):イネーブル遅延時間を設定する外部プログラミング抵抗のピン。イネーブル遅延時間は、1次側MOSFETがオフした後、帰還アンプを一定の時間ディスエーブルします。これにより、漏れインダクタンス電圧スパイクがフライバック電圧検出に影響しないようにすることができます。詳細については「アプリケーション情報」を参照してください。

SYNC (ピン5):内部発振器を外部クロックに同期させるためのピン。パルスの立上りエッジにより、発振器が放電し、PGが“L” (オフ) になり、SGが“H” (オン) になります。同期スレッシュホールドは標準1.53Vです。詳細については「アプリケーション情報」を参照してください。使用しない場合、グラウンドに接続します。

SFST (ピン6):このピンは(グラウンドに接続したコンデンサとともに)、センス抵抗を通して検出されるピーク主電流のランプアップを制御します。これはコンバータの起動時突入電流を制御するのに使います。V_Cピンの電圧はSFSTピンの電圧を超えることはできないので、SFSTが増加するにつれ、V_Cの最大電圧も同様に増加し、高いピーク電流が可能になります。V_Cの合計ランプ時間は1μFの容量当たり約70msです。ソフトスタート機能を使わない場合はこのピンをオープンのままにしておきます。

OSC (ピン7):このピンは外部コンデンサとともにコントローラの発振器周波数を設定します。周波数は約100kHz・100/C_{osc}(pF)です。

FB (ピン8):電源帰還アンプの帰還ノードのピン。帰還は通常3番目の巻線を介して検出され、フライバック期間にイネーブルされます。また、このピンは追加の電流をシンクして、R_{CMP}ピンによって設定される負荷電流の変動を補償します。帰還分割器のテブナン等価抵抗はおおよそ3kに保ちます。

ピン機能

V_C (ピン9): スイッチャ制御ループの周波数補償に使われるピン。帰還アンプの出力であり、電流コンパレータの入力です。スイッチャの周波数補償部品は通常このピンからグランドに配置します。このピンの電圧はピーク主スイッチ電流に比例します。帰還アンプの出力は同期スイッチのオン時間の間イネーブルされます。

UVLO (ピン10): V_{IN} からこのピンに接続された抵抗分割器によって、(V_{CC} ではなく) V_{IN} のレベルに基づいて低電圧ロックアウトが設定されます。UVLOピンがそのスレッシュホールドよりも低いとき、ゲート・ドライブはデイスエーブルされますが、デバイスには通常の消費電流が V_{CC} から流れます。 V_{CC} の低電圧ロックアウトはこの機能に取って代わりますので、 V_{CC} はデバイスを起動するのに十分なだけ大きくなければなりません。

このピンのバイアス電流にはヒステリシスがありますので、UVLOスレッシュホールドを超えるとバイアス電流がソースされます。このため、バイアス電流の変化分と分割器の上側の抵抗のインピーダンスを乗じたものに等しいヒステリシスをこのピンに生じます。ユーザは、分割器のインピーダンスを調節して、ヒステリシスの大きさを制御することができます。詳細については「アプリケーション情報」を参照してください。この機能を使用しない場合、UVLOピンを V_{CC} に接続します。

SENSE⁻ (ピン11)、SENSE⁺ (ピン12): これらのピンは外部センス抵抗によって1次側スイッチ電流を測定するのに使われます。ピーク1次側電流はコンバータ制御ループで使われます。センス抵抗へはケルビン接続を使ってノイズの問題を緩和します。SENSE⁻はグランド側に接続します。最大電流では(V_C はその最大電圧)、そのスレッシュホールドは98mVです。最小ターンオン時間の間、信号はブランキングされます(無視されます)。

C_{COMP} (ピン13): オプションの負荷補償用外部フィルタ・コンデンサのピン。負荷補償は帰還検出経路の寄生抵抗の影響を減らします。ほとんどのアプリケーションでは、0.1 μ Fのセラミック・コンデンサで十分です。負荷補償を必要としない、要求の厳しくないアプリケーションでは、このピンをGNDに短絡します。

R_{COMP} (ピン14): オプションの外部負荷補償抵抗のピン。このピンを使うと、帰還検出経路の寄生抵抗の公称補償が可能です。要求が厳しくないアプリケーションでは、この抵抗は不要で、このピンをオープンのままにしておくことができます。詳細については「アプリケーション情報」を参照してください。

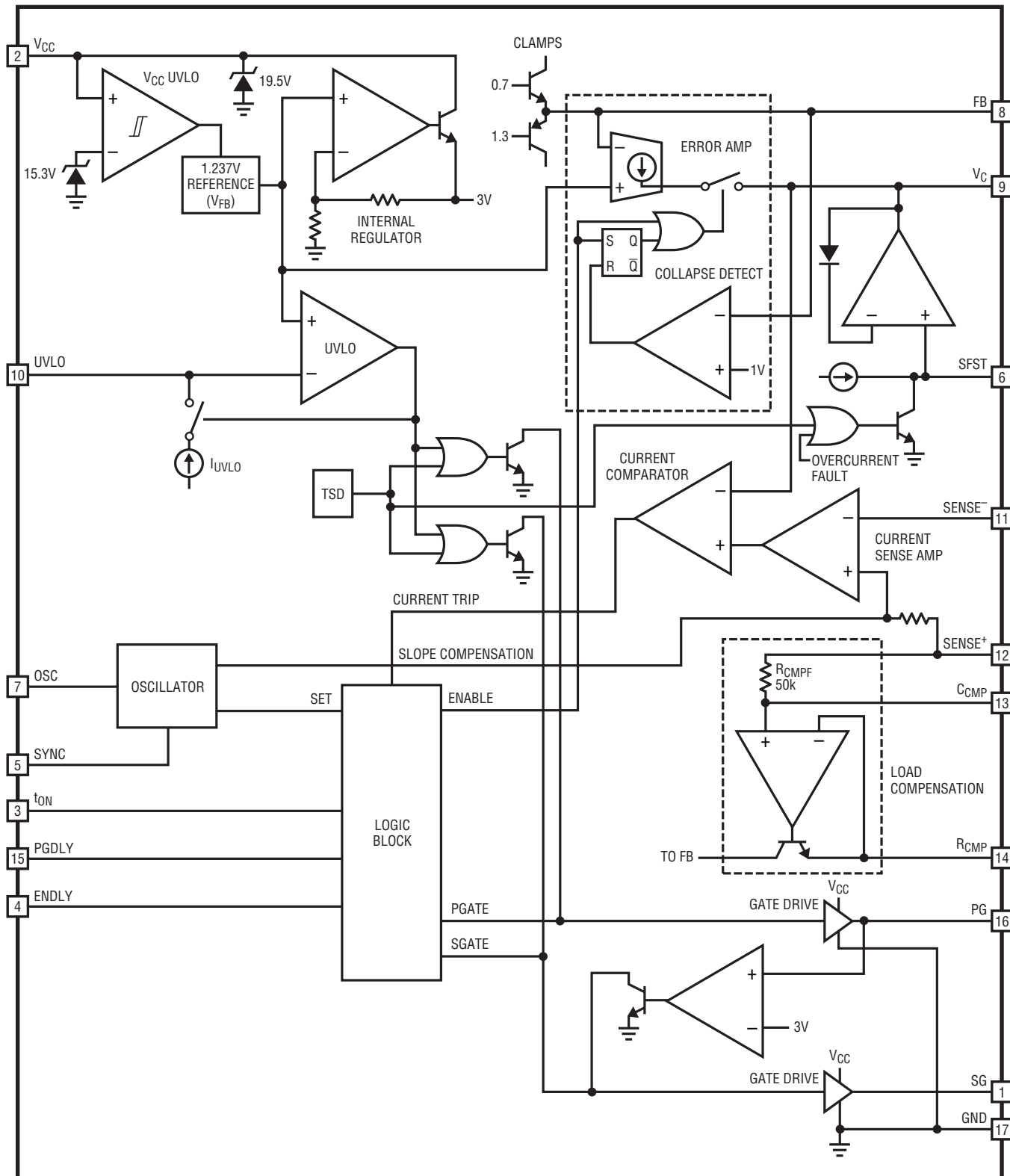
PGDLY (ピン15): 同期ゲートがオフしてから主ゲートがオンするまでの遅延を設定する外部プログラミング抵抗のピン。詳細については「アプリケーション情報」を参照してください。

PG (ピン16): 1次側MOSFETスイッチのゲート・ドライブ・ピン。大きなダイナミック電流が電圧過渡の間流れます。詳細については「アプリケーション情報」を参照してください。

GND (露出パッド、ピン17): これは信号グランドとゲート・ドライブ・グランドの両方のグランド接続です。このGNDはPCBのグランド・プレーンに接続します。グランドのレイアウトには十分注意を払う必要があります。詳細については「アプリケーション情報」を参照してください。

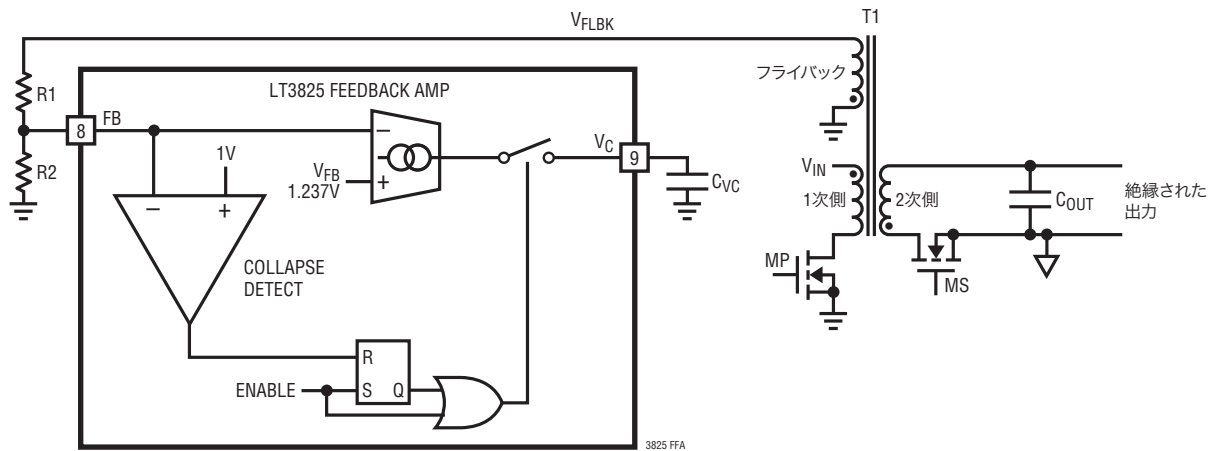
LT3825

ブロック図

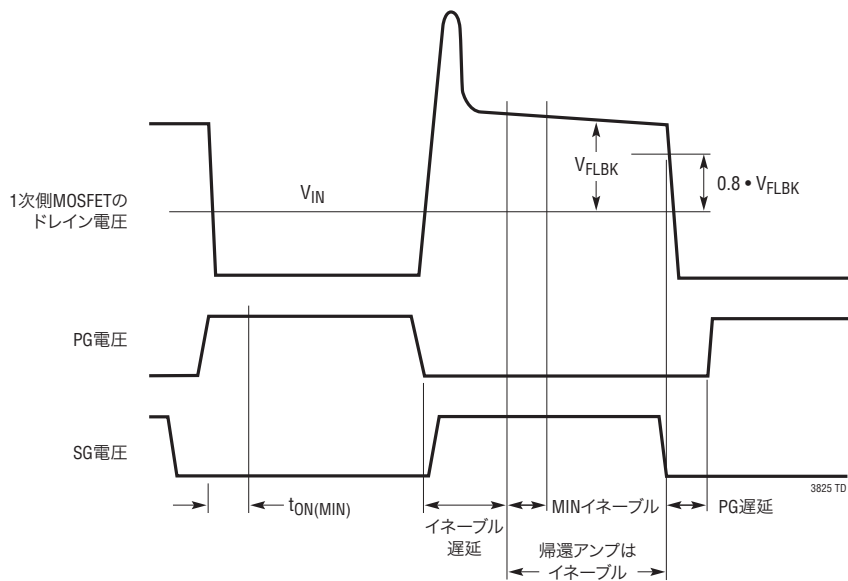


3525fe

フライバック帰還アンプ



タイミング図



動作

LT3825は、同期整流方式を採用した絶縁型フライバック・トポロジー用に特に設計された、電流モード・スイッチャ・コントローラ・デバイスです。LT3825の動作は従来の電流モード・スイッチャに似ています。大きな相違は、出力電圧帰還が、トランスを通した出力電圧の検出によって得られることです。これは、絶縁型のデザインでオプトアイソレータを不要にし、ダイナミック応答と信頼性を大きく改善します。LT3825は独自の帰還アンプを内蔵しており、フライバック期間にトランス巻線の電圧をサンプリングし、その電圧を使って出力電圧を制御します。

内部ブロックは多くの電流モード・コントローラに似ています。相違はフライバック帰還アンプと負荷補償回路にあります。ロジック・ブロックにもフライバック制御の特殊なダイナミック要件を制御する回路が備わっています。

電流モード・スイッチャ/コントローラと絶縁型フライバック・コンバータの基礎の詳細については、「アプリケーションノート19」を参照してください。

帰還アンプの擬似DC理論

以下の説明では、フライバック帰還アンプの簡略図を参照してください。1次側MOSFETスイッチMPがオフすると、そのドレイン電圧は V_{IN} レールを超えて上昇します。1次側MOSFETがオフし、2次側同期MOSFETがオンするとフライバックが起きます。フライバックの間、ドライブされないトランスのピンの電圧は2次電圧によって決まります。3番目の巻線に見られるこのフライバック・パルスの振幅は次式で与えられます。

$$V_{FLBK} = \frac{V_{OUT} + I_{SEC} \cdot (ESR + R_{DS(ON)})}{N_{SF}}$$

$R_{DS(ON)}$ = 同期MOSFET M_S のオン抵抗

I_{SEC} = トランスの2次側電流

ESR = 2次側回路のコンデンサ、巻線およびトレースのインピーダンス

N_{SF} = トランスの2次巻線対帰還巻線の実効巻数比(つまり、 N_S/N_{FLBK})

フライバック電圧は外部抵抗分割器 $R1/R2$ で分圧され、FBピンに供給されます。帰還アンプはその電圧を内部バンドギャッ

プ・リファレンスと比較します。帰還アンプは実際にはトランスコンダクタンス・アンプであり、その出力はフライバック期間の間だけ V_C に接続されます。 V_C ピンの外部コンデンサがこの正味帰還アンプ電流を積分して、電流モードのトリップ点を設定する制御電圧を供給します。

FBピンの安定化電圧は、ループ全体の利得が高いため、バンドギャップ・リファレンス V_{FB} にほぼ等しくなります。 V_{FLBK} と V_{FB} の関係は次式で表されます。

$$V_{FLBK} = \frac{R1 + R2}{R2} \cdot V_{FB}$$

これを前の V_{FLBK} の式と組み合わせると、内部リファレンス、プログラミング抵抗および2次側抵抗を使って V_{OUT} の表式が得られます。

$$V_{OUT} = \left(\frac{R1 + R2}{R2} \cdot V_{FB} \cdot N_{SF} \right) - I_{SEC} \cdot (ESR + R_{DS(ON)})$$

ゼロではない2次出力インピーダンスの影響がさらに詳細に説明されている「負荷補償の理論」を参照してください。この V_{OUT} の式の実際の適用については「アプリケーション情報」で説明されています。

帰還アンプのダイナミック理論

ここまでは、フライバック帰還アンプの動作を擬似的にDCとして扱ってきました。しかし、フライバック信号はDCレベルではなく、パルスです。フライバック・パルスが存在するときだけフライバック・アンプを有効にするしくみが必要です。これは図の「イネーブル」ラインによって実現されます。次に、フライバック・アンプを有効または無効にするにはタイミング信号が必要です。正確なLT3825の動作にはいくつかのタイミング信号が必要です。タイミング図を参照してください。

出力スイッチの最小オン時間 ($t_{ON(MIN)}$)

LT3825はフライバック・パルス動作を介して出力電圧を安定化します。出力スイッチがオンしないとフライバック・パルスは存在せず、出力電圧の情報は利用できません。このため不規則なループ応答が生じ、起動やラッチアップの問題が生じます。解決策は、発振器の各サイクル毎に絶対必要な最小時間だけは主スイッチを必ずオンするように要求することです。

動作

これらの条件で生じる負荷より出力負荷が小さければ、強制連続動作が通常おこなわれます。詳細については「アプリケーション情報」を参照してください。

イネーブル遅延時間(ENLTY)

1次側スイッチがオフすると、フライバック・パルスが現れます。ただし、トランスの1次側電圧の波形が出力電圧を表すまでにはある有限の時間が必要です。これは、幾分かは1次側MOSFETのドレイン・ノードの立ち上がり時間の影響ですが、もっと重要なのはトランスの漏れインダクタンスの影響です。後者は出力電圧に直接には関係せずに1次側に電圧スパイクを生じます。(帰還アンプ回路が内部で安定するためにも、少しの時間は必要です。)これらの現象に対して耐性をもたせるため、スイッチのオフ命令を出してから帰還アンプをイネーブルするまでに遅延を設けます。これは「イネーブル遅延」と呼ばれます。イネーブル遅延時間の終わりまでに漏れスパイクが十分安定しない場合は、レギュレーション誤差が生じることがあります。詳細については「アプリケーション情報」を参照してください。

降下検出

帰還アンプが一旦イネーブルされると、今度はそれをディスエーブルするために何らかのメカニズムが必要です。これは、(FBを基準にした)フライバック電圧を V_{FB} の公称80%である固定リファレンスと比較する降下検出コンパレータで行われます。フライバック波形がこのレベルより下になると、帰還アンプがディスエーブルされます。

最小イネーブル時間

一度イネーブルされた帰還アンプは、「最小イネーブル時間」と呼ばれる一定の最小時間の間はイネーブルされたまま留まります。これにより、特に出力電圧が異常に低いとき(たとえば起動時に)ロックを防ぎます。最小イネーブル時間により、 V_C ノードは、降下検出システムが正常動作を示すレベルまで電流モード遷移点を押し上げることができます。この時間は内部で設定されます。

可変イネーブル時間の効果

帰還アンプは周期の一部だけイネーブルされます。これは、前述の固定「最小イネーブル時間」から、およそスイッチ・オフ時

間からイネーブル遅延時間を差し引いた最大時間の間で変動します。可変イネーブル時間は帰還アンプ動作の特定パラメータに直接影響します。これらのパラメータには、実効トランスコンダクタンスと V_C ノードのスルーレートが含まれます。

負荷補償の理論

LT3825はフライバック・パルスを使って絶縁出力電圧の情報を得ます。同期MOSFETの $R_{DS(ON)}$ およびトランスの2次側と出力コンデンサの実際には零ではないインピーダンスを流れて流れるトランスの2次側電流によって誤差が生じます。これは、前に「 $I_{SEC} \cdot (ESR + R_{DS(ON)})$ 」の式で表されています。ただし、この式を実効出力インピーダンスに変換した方が一般に便利です。2次電流はデューティ・サイクル(DC)のオフ部分でだけ流れるので、実効出力インピーダンスは2次インピーダンス全体をオフ時間DCで割ったものに等しくなります。

オフ時間のデューティ・サイクルは $1-DC$ に等しいので、次のようになります。

$$R_{S(OUT)} = \frac{ESR + R_{DS(ON)}}{1-DC}$$

ここで、

$R_{S(OUT)}$ = 電源の実効出力インピーダンス

DC = デューティ・サイクル

$R_{DS(ON)}$ とESRは前に定義されたとおり

このインピーダンス誤差は、それほど厳しくないアプリケーションでは、あるいは出力負荷電流が比較的一定に維持される場合は、許容できると判断できます。これらの場合、外部FB抵抗分割器を調節して、予想される公称誤差を補償します。もっと要求の厳しいアプリケーションでは、出力インピーダンス誤差は負荷補償機能を使用して最小化します。

負荷補償機能のブロック図を図1に示します。スイッチ電流は外部センス抵抗で電圧に変換され、内部50k抵抗 R_{CMPF} と C_{CMP} の外部コンデンサで形成されるローパス・フィルタで平均化されます。この電圧はオペアンプA1とトランジスタQ3によって外部 R_{CMP} 抵抗の両端に印加され、Q3のコレクタに電流を生じます。この電流はFBノードから差し引かれます。

動作

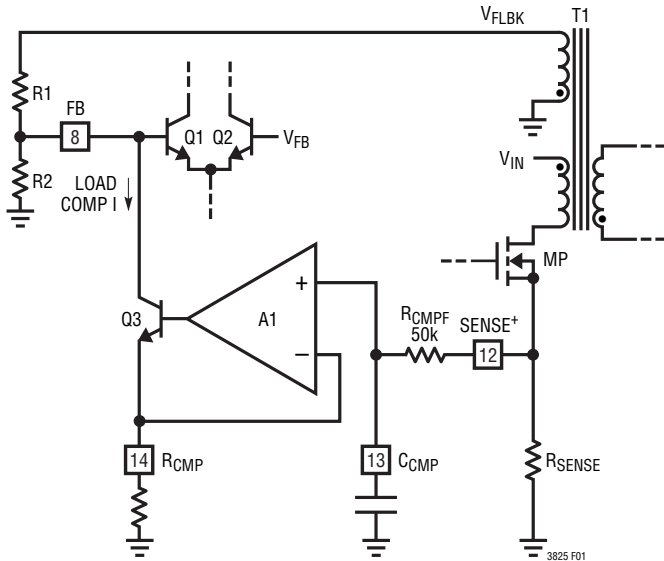


図1. 負荷補償図

これにより、均衡に達するのに必要なR1/R2帰還分圧器の上端の電圧が実効的に増加します。

出力負荷が増加するにつれて1次側平均スイッチ電流が増加し、出力電圧を安定化された状態に保ちます。平均電流の増加によりRCMP抵抗の電流が増加し、それが検出された出力電圧の対応する増加に影響を与えて、IR電圧降下を補償します。

電源効率(Eff)が比較的一定であると仮定すると、電力のバランスから次のようになります。

$$P_{OUT} = \text{Eff} \cdot P_{IN}$$

$$V_{OUT} \cdot I_{OUT} = \text{Eff} \cdot V_{IN} \cdot I_{IN}$$

1次側平均電流は出力電流を使って次のように表されます。

$$I_{IN} = K1 \cdot I_{OUT}$$

ここで、

$$K1 = \frac{V_{OUT}}{V_{IN} \cdot \text{Eff}}$$

したがって、VOUTの目標値の実効的な変化は次のとおりです。

$$\Delta V_{OUT} = K1 \cdot \Delta I_{OUT} \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF}$$

したがって:

$$\frac{\Delta V_{OUT}}{\Delta I_{OUT}} = K1 \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF}$$

ここで、

K1 = VIN、VOUT、および効率に関する上記の次元のない変数

RSENSE = 外部センス抵抗

この式をRS(OUT)に等置すると、公称出力インピーダンスをキャンセルする値が得られます。

$$K1 \cdot \frac{R_{SENSE}}{R_{CMP}} \cdot R1 \cdot N_{SF} = \frac{ESR + R_{DS(ON)}}{1 - DC}$$

RCMPについて解くと次の式が得られます。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE} \cdot (1 - DC)}{ESR + R_{DS(ON)}} \cdot R1 \cdot N_{SF}$$

この式を実際に適用してRCMP抵抗の適切な値を求める方法については「アプリケーション情報」のセクションで説明されています。

アプリケーション情報

トランスの設計

トランスの設計/仕様は、LT3825をうまく使用する上で最も重要な部分です。以下のセクションでは、トランスの設計と潜在的なトレードオフに関する基本的な情報が与えられています。

ご要望があれば、LTCのアプリケーション・グループがトランスの選択や設計をお手伝いします。

巻数比

トランスの設計はデューティ・サイクル(DC)の決定から始めます。DCは、パワー・スイッチへの電流ストレスと電圧ストレス、入力と出力のコンデンサのRMS電流、およびトランスの利用(サイズと電力)に影響を与えます。

理想的巻数比は次のとおりです。

$$N_{IDEAL} = \frac{V_{OUT}}{V_{IN}} \cdot \frac{1-DC}{DC}$$

極端なデューティ・サイクルは一般に電流ストレスを増加させるので、避けてください。デューティ・サイクルの妥当な目標値は、公称入力電圧で50%です。

たとえば、DCが50%の48Vから5Vのコンバータを望む場合、次のようになります。

$$N_{IDEAL} = \frac{5}{48} \cdot \frac{1-0.5}{0.5} = \frac{1}{9.6}$$

一般に、低い巻数比の方が良い性能が得られます。45.5%のDCでは1:8の比になります。

出力電圧を設定するのに外部帰還抵抗分割器の比を使うと、適切なトランスの巻数比の選択の自由度が増すことに注意してください。巻数比を小さな整数の簡単な比(たとえば、1:1、2:1、3:2)にすると、トランスの製作が簡単になり、性能が向上します。

多数の巻線をもつトランスによって得られる複数出力の電源を作成する場合、デューティ・サイクルを下げると、同期整流器がオン状態に長く保たれ、したがって2次巻線が長くカップリングするので、クロス・レギュレーションを改善することができます。

複数出力のトランスの場合、出力巻線間の巻数比は重要で、電圧精度に影響します。2つの出力電圧の間の比は $V_{OUT2} = V_{OUT1} \cdot N_{21}$ の式に従って設定されます。ここで、 N_{21} は2つの巻線間の巻数比です。また、2次側MOSFETの $R_{DS(ON)}$ を小さく保つと、クロス・レギュレーションが改善されます。

帰還巻線は通常LT3825の帰還電圧と電力の両方を与えます。したがって、最悪条件で11Vの最大 V_{CC} ターンオフ電圧より大きな整流された電圧を与えるように、出力と帰還巻線間の巻数比を設定します。

$$N_{SF} > \frac{V_{OUT}}{11 + V_f}$$

$$\text{この例では: } N_{SF} > \frac{5}{11 + 0.7} = \frac{1}{2.34}$$

1/3を選択します。

漏れインダクタンス

トランスの漏れインダクタンス(1次側または2次側のどちらでも)は、1次側スイッチがオフした後にスパイクを生じます。これは負荷電流が大きくなるほど顕著になり、大きな蓄積エネルギーが消費されます。フライバック電圧が高くなると、MOSFETスイッチの BV_{DSS} 定格が低すぎる場合、MOSFETスイッチをブレイクダウンさせることがあります。

このスパイクを減少させる解決策の1つは、スナバ回路を使って電圧変動を抑えることです。ただし、電圧を抑えると、フライバック・パルスの幅が広がります。フライバック・パルスがイネーブル遅延時間を超えて伸びると、出力電圧のレギュレーションに影響を受けます。帰還システムの入力範囲は意図的に制限されています(FBノードを基準にして約 $\pm 50\text{mV}$)。これにより、高い電圧の漏れスパイクが除去されます。漏れスパイクの振幅が数ボルトに達すると、更に振幅が増加しても帰還システムにはほとんど影響しないからです。

したがって、漏れスパイクの継続時間ができるだけ短くなるように、(MOSFETの降伏条件を守りながら)出来るだけ高い電圧にクランプするようにスナバ回路を調整することを推奨します。スナバの設計に関しては、「アプリケーションノート19」が参考になります。

アプリケーション情報

およその目安として、(相互インダクタンスの)数パーセント以下の漏れインダクタンスの場合、スナバ回路が必要なことがあります。漏れスパイクによるレギュレーション誤差はほとんどあるいは全く現われません。数パーセントからたぶん10%までの漏れインダクタンスではレギュレーション誤差が増加します。

2桁のパーセンテージの漏れインダクタンスは、高負荷電流で突然制御を失う可能性がありますから避けます。この奇妙な状態は、漏れスパイクがフライバック波形のあまりにも大きな部分を占めるに至ったため、漏れスパイク自体が真のフライバック信号であるかのように処理回路が誤認すると発生する可能性があります。

そして、潜在的に安定な状態に落ち込み、そのため漏れスパイクの上端が制御ポイントになり、それに続く漏れスパイクのエッジが折り返し検出回路をトリガします。このため、一般に出力電圧が正しい値の1/3~2/3に突然低下します。

負荷電流が十分減少すれば、システムは通常の状態に瞬時に復帰します。漏れインダクタンスの大きなトランスを使用するときは、以下の最悪条件で潜在的な双安定性が生じないかチェックします。

1. 予測される最大負荷電流で試作電源を動作させる。
2. 出力を一時的に短絡する。
3. 通常状態に復帰することを観察する。

出力電圧が異常に低い値に固定するようであれば、システムに問題があります。これは通常、1次側MOSFETのドレイン電圧を同時に見ながら、漏れスパイクの挙動を直接観察すると明らかです。

最後の注記として、双安定性の作用に対してシステムがどれだけ影響を受けやすいかは、負荷電流/電圧特性にある程度依存します。 $I = V/R$ の性質を示す抵抗性負荷は双安定性の影響を受けやすくなります。 $I = V^2/R$ の性質を示す容量性負荷は影響を受けにくくなります。

2次側漏れインダクタンス

2次側の漏れインダクタンスはトランスの2次側に誘導性分割器を形成し、帰還フライバック・パルスの大きさを減らします。これにより、同様の比率で出力電圧の目標値が増加します。

漏れスパイクの振舞いとは異なり、この現象は負荷には依存しないことに注意してください。2次側漏れインダクタンスが(製造上のバラツキ以内で)相互インダクタンスの一定の割合になるので、帰還抵抗分割器の比を調整して補償すれば解決できます。

巻線抵抗の影響

1次側または2次側の巻線抵抗は全体の効率(P_{OUT}/P_{IN})を減少させるように働きます。2次側巻線抵抗は実効出力インピーダンスを増加させ、負荷レギュレーションを低下させます。負荷補償により、ある程度これを緩和できますが、良い設計では寄生抵抗を低く抑えます。

バイファイラ巻き

バイファイラ巻きや同様の巻線が、漏れインダクタンスの問題を最小限に抑えるのに有効です。バイファイラ巻きにより、結合係数も改善されますので、多巻線トランスのクロス・レギュレーションが改善されます。ただし、密な結合は通常1次-2次の容量を増やして1次-2次の降伏電圧を制限するので、それが常に実際的であるとは限りません。

1次側インダクタンス

トランスの1次側インダクタンス(L_p)は、その最大値に対するトランスのピーク・トゥ・ピーク・リップル電流の比(X)に基づいて選択します。一般則として、 X を20%~40%のリップル電流に保ちます(つまり、 $X = 0.2 \sim 0.4$)。リップルの値が高いと導通損失が増加し、リップルの値が低いと大きなコアが必要になります。

アプリケーション情報

リップル電流とパーセント・リップルは、最小デューティ・サイクルで(つまり、最高入力電圧で)最大になります。L_Pは次式で計算されます。

$$L_P = \frac{(V_{IN(MAX)} \cdot DC_{MIN})^2}{f_{OSC} \cdot X_{MAX} \cdot P_{IN}} = \frac{(V_{IN(MAX)} \cdot DC_{MIN})^2 \cdot Eff}{f_{OSC} \cdot X_{MAX} \cdot P_{OUT}}$$

ここで、

f_{OSC}は発振器周波数

DC_{MIN}は最大入力電圧でのDC

X_{MAX}は最大入力電圧でのリップル電流比

90%の効率の48V (V_{IN} = 36V~72V)から5V/8Aのコンバータの場合、P_{OUT} = 40WおよびP_{IN} = 44.44Wです。X = 0.4およびf_{OSC} = 200kHzを使うと次のようになります。

$$DC_{MIN} = \frac{1}{1 + \frac{N \cdot V_{IN(MAX)}}{V_{OUT}}} = \frac{1}{1 + \frac{1}{8} \cdot \frac{72}{5}} = 35.7\%$$

$$L_P = \frac{(72V \cdot 0.357)^2}{200kHz \cdot 0.4 \cdot 44.44W} = 186\mu H$$

最適化をおこなうと高いピーク電流ではもっと効率的なソリューションが得られるかもしれませんが、インダクタンスおよびそれに関連した巻線直列抵抗が低下します。簡単なスプレッドシートのプログラムがトレードオフを見極めるのに便利です。

トランスのコアを選択

L_Pが分ったら、トランスの種類を選択します。高効率のコンバータにはフェライト・コアを使ってコア損失を最小に抑えます。特定のインダクタンスに対して、実際のコア損失はコアのサイズには無関係ですが、インダクタンスが増加するにつれて減少します。インダクタンスを大きくするにはワイヤの巻数を増やすので、銅損失が増加します。このように、トランスの設計ではコア損失と銅損失のバランスをとります。巻線抵抗が大きくなるとクロス・レギュレーションが低下し、必要な負荷補償の量が増加することを忘れないでください。

コア選択の主な設計目標は銅損失の低減と飽和の防止です。フェライト・コアの材質は「ハードに」飽和します。すなわち、ピーク設計電流を超えると、インダクタンスが急激に低下します。このため、インダクタのリップル電流が突如増加し、したがって、出力電圧リップルが増加します。**コアは飽和させないでください。**1次側最大ピーク電流は最小V_{IN}で発生します。

$$I_{PK} = \frac{P_{IN}}{V_{IN(MIN)} \cdot DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

ところで、

$$DC_{MAX} = \frac{1}{1 + \frac{N \cdot V_{IN(MIN)}}{V_{OUT}}} = \frac{1}{1 + \frac{1}{8} \cdot \frac{36}{5}} = 52.6\%$$

$$X_{MIN} = \frac{(V_{IN(MIN)} \cdot DC_{MAX})^2}{f_{OSC} \cdot L_P \cdot P_{IN}} = \frac{(36 \cdot 52.6\%)^2}{200kHz \cdot 186\mu H \cdot 44.44} = 0.202$$

この例の数字を使うと次のようになります。

$$I_{PK} = \frac{44.44W}{36 \cdot 0.526} \cdot \left(1 + \frac{0.202}{2}\right) = 2.58A$$

複数出力

フライバック・トポロジーが与える利点の1つは、巻線を追加するだけで追加の出力電圧が得られることです。このような状況に対応したトランスの設計はこのデータシートの範囲を超えます。多巻線の場合、フライバック巻線の信号はすべての2次巻線の作用の組合せであることを認識してください。したがって、負荷レギュレーションは各巻線の負荷の影響を受けます。クロス・レギュレーションの影響を最小に抑えるように注意します。

アプリケーション情報

帰還抵抗分割器の設定

「動作」のセクションで導いた V_{OUT} の式を整理すると、帰還抵抗を表す次式が得られます。

$$R1 = R2 \left(\frac{[V_{OUT} + I_{SEC} \cdot (ESR + R_{DS(ON)})]}{V_{FB} \cdot N_{SF}} - 1 \right)$$

この例で、 $ESR + R_{DS(ON)} = 8m\Omega$ 、 $R2 = 3.32k$ であれば、次のようになります。

$$R1 = 3.4k \left(\frac{5 + 8 \cdot 0.008}{1.232 \cdot 1/3} - 1 \right) = 37.6k$$

37.4kを選択します。

バイアス電流のキャンセルやその他の理由から、抵抗分割器 ($R1 || R2$) のテブナン・インピーダンスは約3kにすることを推奨します。

電流センス抵抗に関する検討事項

外部電流センス抵抗を使って、ピーク主スイッチ電流を制御します。このピーク電流は、最大電力や外部部品の定格など、コンバータのいくつかの主要特性を制御します。非誘導性の電流センス抵抗 (非巻線抵抗) を使います。この抵抗を、切れ目の無いグラウンド・プレーンの上に幅が広く長さが短いトレースで直接実装すると、浮遊抵抗や浮遊インダクタンスが小さく抑えられます。

デュアル・センス・ピンにより、完全なケルビン接続が可能で、 $SENSE^+$ と $SENSE^-$ を確実に絶縁し、センス抵抗に近接して接続し、これを保存します。

センス電圧 V_{SENSE} が98mVのときピーク電流になります。したがって、公称センス抵抗は V_{SENSE}/I_{PK} となります。たとえば、ピーク・スイッチ電流が10Aならば、公称0.010 Ω のセンス抵抗が必要です。このセンス抵抗の消費する瞬時ピーク電力は1Wで、それに応じた定格のものであることに注意してください。並列抵抗を使うと、抵抗を下げ、寄生インダクタンスを減らし、電力能力を上げるのに役立ちます。

最悪条件、最小 L_P 、最小 V_{SENSE} および最大 V_{IN} を使って R_{SENSE} の大きさを決めます。この例では、最悪条件では I_{PK} が公称値の40%上、つまり $I_{PK} = 3.64A$ であると仮定します。 R_{SENSE} の許容誤差が10%、最小 $V_{SENSE} = 80mV$ であれば、 $R_{SENSE} \cdot 110\% = 80mV/3.64A$ 、公称 $R_{SENSE} = 20m\Omega$ です。これに最も近い利用可能な値に切り下げます。

負荷補償抵抗の選択

R_{CMP} の式は「動作」のセクションで次のように得られました。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE} \cdot (1 - DC)}{ESR + R_{DS(ON)}} \cdot R1 \cdot N_{SF} = R_{S(OUT)}$$

この例では次のようになります。

$$K1 = \left(\frac{V_{OUT}}{V_{IN} \cdot \text{Eff}} \right) = \frac{5}{48 \cdot 90\%} = 0.116$$

もし $ESR + R_{DS(ON)} = 8m\Omega$ ならば、

$$R_{CMP} = 0.116 \cdot \frac{20m\Omega \cdot (1 - 0.455)}{8m\Omega} \cdot 37.4k\Omega = 1.96k$$

R_{CMP} のこの値は妥当な出発点になりますが、最良の結果を得るには、実験による方法が必要です。これは、必要な入力変数のいくつかは正確に予測することが困難だからです。たとえば、上記のESRの項にはトランスの2次側のESRが含まれますが、その実効ESR値は単なるDC巻線抵抗ではなく、高周波動作に依存します。同様に、 $K1$ は、 V_{IN} と V_{OUT} の比に効率 (の逆数) を乗じたものとして単に表現されていますが、理論的な効率の推算は単純な計算ではありません。

以下の実験方法を推奨します。

1. 実際に使用予定の2次側部品を使用して所期の電源を試作します。
2. 一時的に C_{CMP} ピンを接地して負荷補償機能を無効にします。所期の範囲にわたって出力電流を掃引しながら出力電圧を測定します。電圧変化を直線で近似します ($\Delta V_{OUT}/\Delta I_{OUT} = R_{S(OUT)}$)。
3. V_{IN} 、 V_{OUT} 、および測定した効率に基づいて定数 $K1$ の値を計算します。

アプリケーション情報

4. 計算します。

$$R_{CMP} = K1 \cdot \frac{R_{SENSE} \cdot R1 \cdot N_{SF}}{R_{S(OUT)}}$$

5. この値の抵抗を R_{CMP} からグラウンドに接続して、計算結果を検証します。

6. C_{CMP} ピンのグラウンドへの接続を外し、必要な $0.1\mu\text{F}$ のフィルタ・コンデンサをグラウンドに接続します。この新しい補償を付加した状態で出力インピーダンス $R_{S(OUT)} = \Delta V_{OUT}/\Delta I_{OUT}$ を測定します。 $R_{S(OUT)}$ は大きく減少してははずです。 R_{CMP} をわずかに変え、実験によって微調節します。書き直した R_{CMP} の近似式は次のとおりです。

$$R'_{CMP} = R_{CMP} \cdot \left(1 + \frac{R_{S(OUT)CMP}}{R_{S(OUT)}} \right)$$

ここで、 R'_{CMP} は負荷補償抵抗の新しい値、 $R_{S(OUT)CMP}$ は R_{CMP} を使ったときの出力インピーダンス、 $R_{S(OUT)}$ は負荷補償なしのとき(ステップ2)の出力インピーダンスです。

周波数の設定

LT3825のスイッチング周波数は、OSCピンとグラウンド間に外部コンデンサを接続して設定します。推奨値は $200\text{pF} \sim 33\text{pF}$ で、 $50\text{kHz} \sim 250\text{kHz}$ の発振周波数を発生します。外部コンデンサとスイッチング周波数の関係を図2に示します。このコンデンサはできるだけデバイスの近くに配置し、OSCのトレースの長さや面積を最小にして、浮遊容量とノイズの混入を最小に抑えます。

発振器周波数は外部周波数に同期させることができます。これは、SYNCピンの信号を使っておこないます。OSCピンのコンデンサを使ってLT3825の周波数を望みの外部周波数より10%遅く設定してから、振幅が2Vより大きい望みの周波数のパルスをSYNCピンに与えます。SYNC信号の立上りエッジでOSCコンデンサの放電が開始され、出力MOSFETを強制的にオフします(PGの電圧は“L”に下がります)。発振器周波数が同期周波数と大幅に異なると、スロー補償とシステムの安定性に問題が生じることがあります。同期パルスの幅は500nsより大きくします。

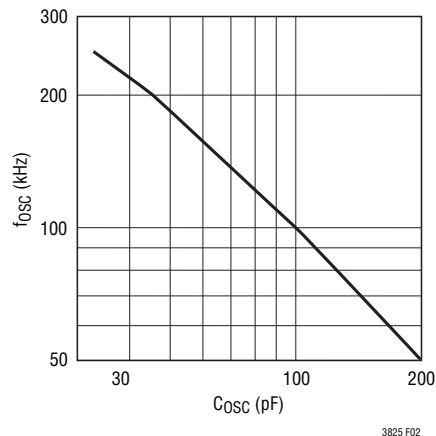


図2. f_{osc} とOSCコンデンサの値

タイミング抵抗の選択

外部アプリケーション抵抗でプログラムする3つの内部「ワン・ショット」の時間(最小オン時間、イネーブル遅延時間および主MOSFETのターンオン遅延)があります。これらはすべて絶縁型フライバック制御手法の一部であり、それらの機能の概要は既に「動作理論」のセクションで説明されています。

次の情報はこれらのタイミング値の選択や最適化に役立ちます。

最小オン時間($t_{ON(MIN)}$)

最小オン時間はプログラム可能な時間で、その期間、1次側スイッチがオンした後、電流制限が無効になります(無視されず)。これにより、特に軽負荷で、スイッチ内の先行エッジのスパイクによる誤ったトリップが防止され、レギュレータの性能が向上します。このスパイクは、ゲート/ソース充電電流とドレイン容量の放電の両方に起因します。絶縁型フライバック検出には、出力を検出するのにパルスが必要です。最小オン時間はループを閉じる信号が常に存在することを保証します。

LT3825は軽負荷でのサイクル・スキップは採用していません。したがって、同期整流とともに最小オン時間は強制連続動作への切り替えを設定します。

アプリケーション情報

$t_{ON(MIN)}$ 抵抗は次式で設定されます。

$$R_{tON(MIN)} (k\Omega) = \frac{t_{ON(MIN)}(ns) - 104}{1.063}$$

$R_{tON(MIN)}$ は70kより大きくします。出発点として適当な値は160kです。

イネーブル遅延時間(ENLDY)

イネーブル遅延時間は、主ゲート・ドライバ・ノードがオフしてから帰還アンプがイネーブルされるまでのプログラム可能な遅延を与えます。前に説明したように、この遅延により、帰還アンプは1次側の漏れインダクタンスによる電圧スパイクの影響を受けずに済みます。

ワーストケースの漏れスパイク・パルスの幅は最大負荷条件で生じます。したがって、これらの条件でイネーブル遅延を設定します。

このデバイスの標準的アプリケーションでは強制連続動作が使われますが、2次側コントローラが軽負荷で不連続動作を引き起こす可能性が考えられます。そのような状態では、トランスに蓄積されたエネルギーは少量です。フライバック波形は鈍くなり、時には実際の2次側出力電圧を示す前に終わってしまいます。軽負荷でのフライバック波形の「無関係な」部分を無視するために、イネーブル遅延時間は十分長くします。

LT3825のゲート・ドライブは堅牢ですが、非常に大きなMOSFETではゲートの遷移時間が遅くなります。このようなMOSFETを使うときは、必要に応じて遅延時間を長くします。

イネーブル遅延抵抗は次式を使って設定します。

$$R_{ENLDY} (k\Omega) = \frac{t_{ENLDY}(ns) - 30}{2.616}$$

R_{ENLDY} は40kより大きくします。出発点として適当な値は56kです。

主ゲート遅延時間(PGDLY)

主ゲート遅延は、同期MOSFETがオフしてから1次側MOSFETがオンするまでの、プログラム可能な時間です。正しく設定すると、1次側スイッチと2次側同期スイッチの間のオー

バーラップおよびトランスの後続の電流スパイクが除去されます。このスパイクにより、部品に対する追加のストレスとレギュレータの効率低下が生じます。

1次側ゲート遅延抵抗は次式を使って設定します。

$$R_{PGDLY} (k\Omega) = \frac{t_{PGDLY}(ns) + 47}{9.01}$$

出発点として適当な値は27kです。

ソフトスタート機能

LT3825にはオプションのソフトスタート機能が備わっており、SFSTピンとグラウンドの間に外部コンデンサを接続するとイネーブルされます。内部回路により、 V_C ピンの制御電圧がSFSTピンの電圧を超えるのを防ぎます。SFSTの電圧を短時間に約0.8Vまで引き上げるため、初期プルアップ回路が備わっています。そこから約2.8Vまで20 μ Aの電流源で充電します。

SFSTノードはフォールトが生じると0.8Vまで放電します。 V_{CC} が低すぎるか(低電圧ロックアウト)、電流センス電圧が200mVを超えるか、またはデバイスのサーマル(過熱)シャットダウンがトリップするとフォールトになります。SFSTが放電すると、 V_C ノードの電圧も最小電流電圧より下に引き下げられます。放電が完了し、フォールトが解消すると、SFSTは再び充電されます。

このようにして、フォールト状態の間、スイッチ電流が減少し、コンバータのストレスが減少します。

ソフトスタートを完全に充電するのに要する時間は次のとおりです。

$$t_{SS} = \frac{C_{SFST} \cdot 1.4V}{20\mu A} = 70ms \cdot C_{SFST} (\mu F)$$

UVLOピンの機能

UVLOピンはユーザがプログラム可能な低電圧ロックアウト機能を提供します。これは一般に V_{IN} に基づく低電圧ロックアウトを実現するのに使います。ゲート・ドライバは、UVLOが1.24VのUVLOスレッシュホールドより低いときディスエーブルされます。入力電源とグラウンドの間の外部抵抗分割器を使ってターンオン電圧を設定します。

アプリケーション情報

このピンのバイアス電流はピンの電圧とUVLOの状態に依存します。この変化により、ユーザはUVLOのヒステリシスを調節することができます。ピンがUVLOスレッシュホールドより上に上昇すると、小さな電流がこのピンからソースされ、このピンの電圧が増加します。ピンの電圧がこのスレッシュホールドより下に低下すると、電流が停止し、UVLOの電圧がさらに低下します。このようにして、ヒステリシスが生じます。

図3を参照すると、 V_{IN} の電圧ヒステリシスは、バイアス電流の変化に R_A を掛けたものに等しくなります。設計手順としては、 V_{IN} を基準にした望みの電圧ヒステリシス V_{UVHYS} を選択しません。次に、

$$R_A = \frac{V_{UVHYS}}{I_{UVLO}}$$

ここで、

$$I_{UVLO} = I_{UVLOL} - I_{UVLOH} \text{は約} 3.4\mu\text{A}$$

次に望みのターンオン電圧を使って R_B を選択します。

$$R_B = \frac{R_A}{\left(\frac{V_{IN(ON)}}{V_{UVLO}} - 1\right)}$$

V_{IN} を基準にした36Vのトリップ点を(36Vでオンし、34.2Vでオフする1.8V(5%)のヒステリシスで)望むなら、以下ようになります。

$$R_A = \frac{1.8V}{3.4\mu A} = 529k, \text{ use } 523k$$

$$R_B = \frac{523k}{\left(\frac{36V}{1.23V} - 1\right)} = 18.5k, \text{ use } 18.7k$$

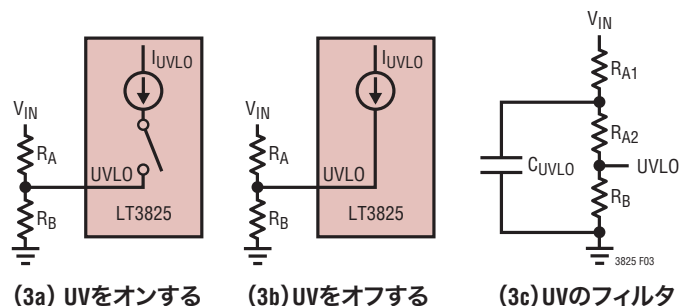


図3

ボードのレイアウトが悪くない場合でさえ、ボードのノイズによりUVLOに問題が生じることがあります。分圧器にフィルタをかけることは可能ですが、大きな容量はバイアス電流の変化によって生じるヒステリシスを遅くするので、大きな容量はUVLOノードから離しておきます。コンデンサを使って R_A 抵抗を分割してフィルタ処理する代替法を図3cに示します。UVLO側の抵抗の方が大きくなるように分割します。

コンバータの起動

LT3825の標準的トポロジーでは、帰還情報とLT3825用ローカル V_{CC} 電源の両方を与える、トランスの1次側にある3番目の巻線を利用します(図4を参照)。この電力「ブートストラッピング」はコンバータの効率を改善しますが、本来、自己起動ではありません。起動は外部「トリクル充電」抵抗およびLT3825の内部 V_{CC} 低電圧ロックアウト回路の影響を受けます。 V_{CC} の低電圧ロックアウトのヒステリシスは大きく、起動を助けます。

動作時、「トリクル充電」抵抗 R_{TR} が V_{IN} に接続され、小電流(標準で1mA程度)を供給して C_{TR} を充電します。最初LT3825はオフしており、その起動電流だけが流れます。 C_{TR} が V_{CC} のターンオン・スレッシュホールド電圧に達すると、LT3825が突然オンして、その通常の電源電流が流れます。

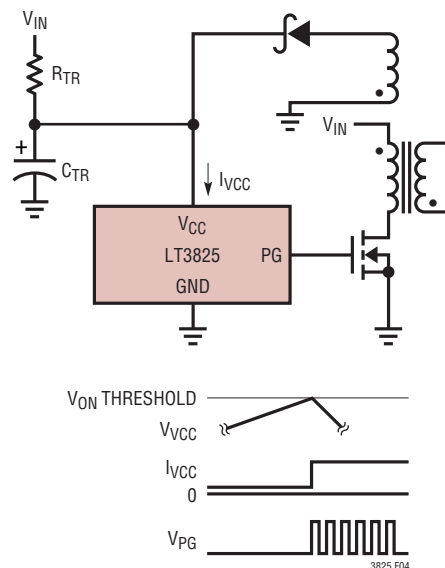


図4. 標準的電力ブートストラッピング

アプリケーション情報

スイッチング動作が始まり、コンバータは出力に電力を供給し始めます。最初、出力電圧は低く、フライバック電圧も低いので、 C_{TR} がLT3825の電流の大半を供給します(ほんの一部が R_{TR} から来ます)。 V_{CC} 電圧はしばらくの間(通常は数10ミリ秒)下がり続け、出力電圧は所期の値に近づきます。フライバック巻線はLT3825に電源電流を供給し、 V_{CC} 電圧が安定化します。

C_{TR} の大きさが足りないと、 V_{CC} は安定化する前に V_{CC} のターンオフ・スレッシュホールドに達して、LT3825はオフします。すると、 V_{CC} ノードは R_{TR} を通して再度充電を開始し、ターンオン・スレッシュホールドに達するとデバイスが再びオンします。回路によっては、正しい動作に達するまでに数回オン/オフをくり返すか、または V_{CC} ノードに永久弛緩発振が生じます。

R_{TR} は、ワーストケースの最小充電電流がLT3825の最大定格起動電流より大きくなり、ワーストケースの最大充電電流がLT3825の最小定格電源電流より小さくなるように選択します。

$$R_{TR(MAX)} < \frac{V_{IN(MIN)} - V_{CC(ON_MAX)}}{I_{CC(ST_MAX)}}$$

および

$$R_{TR(MIN)} > \frac{V_{IN(MAX)} - V_{CC(ON_MIN)}}{I_{CC(MIN)}}$$

C_{TR} は十分大きくして、上述の弛緩発振を避けます。これは、2次側回路の詳細と負荷の特性に依存するので、理論的に決定するのは困難です。実験で確かめることを推奨します。オプションのソフトスタート機能を使用する場合は、電源の立上りのタイミングが長くなり、それに応じて大きな値の C_{TR} が必要であることに注意してください。

V_{CC} の範囲内の入力電圧を利用できる場合、内部の広いヒステリシス範囲をもったUVLO機能は逆効果になります。このような場合には、利用可能な電源から直接LT3825を動作させると良いでしょう。この場合、内部 V_{CC} 低電圧ロックアウト機能

が欠けている以外はLT3825と全く同じLT3837を使ってください。これは4.5V~19Vの範囲の電源で直接動作するように設計されています。詳細はLT3837のデータシートを参照してください。

LT3825の V_{CC} の内部クランプは約19.5Vです。これにより、スイッチャがオフして(UVLOが“L”) V_{CC} ノードが“H”に引き上げられたとき、デバイスが保護されます。 R_{TR} の大きさが適切であれば、デバイスはこのクランプ電圧に決して達しません。

制御ループの補償

ループの周波数補償は、図5に示されているように、コンデンサ・ネットワークを帰還アンプの出力(V_C ピン)からグラウンドに接続することにより実現されます。帰還アンプのサンプリング動作のため、補償は従来の電流モード・スイッチャ・コントローラとは異なります。通常、 C_{VC} だけが必要です。 R_{VC} を使って「ゼロ」を追加することができますが、従来はこの追加抵抗によってなされた位相マージンの改善は、ゼロのない2次側回路インピーダンスで通常既に達成されています。 C_{VC2} を使って高周波数のポールを追加することができ、通常は C_{VC} の0.1倍の大きさにします。

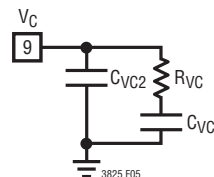


図5. V_C 補償ネットワーク

さらに従来の電流モード・スイッチャとは対照的に、 V_C ピンのリップルは一般にLT3825では問題ではありません。クランプされた帰還アンプのダイナミック特性により効果的なトラック/ホールド型応答が実現されるので、 V_C 電圧はフライバック・パルスの継続中は変化しますが、次のサイクルの「スイッチ・オン」部分の継続中は「ホールド」されます。

アプリケーション情報

この動作により、電流コンパレータの検出動作(電流モード・スイッチング)の間、 V_C 電圧は自然に安定に保たれます。

AN19では周波数補償を経験的に微調整する方法が説明されています。基本的には、この方法では負荷電流ステップを与えて応答をモニタします。

スロープ補償

このデバイスには電流スロープ補償が内蔵されています。スロープ補償は、DCが50%より大きいとき電流ループの安定性を保証するのに必要です。スイッチャ・コントローラによっては、高いデューティ・サイクルではスロープ補償により最大ピーク電流が低下します。LT3825は、スロープ補償を補償する回路を備えることによりこの問題を解決しており、最大電流センス電圧はすべてのデューティ・サイクルで一定です。

最小負荷に関する検討事項

軽負荷では、LT3825から得られるレギュレータは強制連続導通モードになります。1次側スイッチは常に $t_{ON(MIN)}$ 抵抗で設定される短い時間オンします。これによって負荷が必要とするよりも大きな電力が生じると、同期スイッチがオンしている「オフ」の間に1次側に逆流します。これにより、軽負荷での効率は低下しますが、本質的な問題が生じることはありません。

最大負荷に関する検討事項

電流モード制御では、 V_C ノードの電圧と増幅されたセンス抵抗の電圧が、電流コンパレータへの入力として使われます。増幅されたセンス電圧が V_C ノードの電圧を超えると、1次側スイッチがオフします。

通常の使用状態では、FBが内部リファレンスより低い間、ピーク・スイッチ電流が増加します。これは V_C がその2.56Vのクランプに達するまで続きます。クランプ状態では、定格98mVの V_{SENSE} レベルで1次側MOSFETがオフします。これが次のサイクルで繰り返されます。

スイッチの最小オン時間ブランキングにより、 R_{SENSE} の両端を基準にした1次側スイッチのピーク電流が最大98mV定格を超える可能性があります。最小オン時間の後、 V_{SENSE} の電圧が206mVを超えると、SFSTコンデンサが放電して、 V_C コンデンサの放電を引き起こします。これにより、次のサイクルのピーク電流が減少し、1次側スイッチの全体的ストレスを減らします。

短絡状態

出力の短絡など特定の条件では電流制限が失われることがあります。最小オン時間で表されるデューティ・サイクルが(1次側を基準にした)2次側巻線電圧を入力電圧で割った比率よりも大きい場合、ピーク電流は公称値に制御されません。サイクル毎に高いレベルへと一刻みずつ上昇します。数式で表すと、短絡制御を維持するのに必要な条件は次のようになります。

$$DC_{MIN} = t_{ON(MIN)} \cdot f_{OSC} < \frac{I_{SC} \cdot (R_{SEC} + R_{DS(ON)})}{V_{IN} \cdot N_{SP}}$$

ここで、

$t_{ON(MIN)}$ = 1次側スイッチの最小オン時間

I_{SC} = 短絡出力電流

N_{SP} = 2次対1次の巻数比 (N_{SEC}/N_{PRI})

前に定義された他の変数

障害は一般に入力電圧に2次対1次の巻数比を掛けた積が比較的大きいアプリケーションや、最小スイッチ・オン時間が比較的長いアプリケーションでだけ発生します。さらに、トランスの漏れインダクタンス、AC巻線損失、出力スイッチの電圧降下などいくつかの実装時の影響が組み合わさると、この単純な理論上の計算は控えめな予測となります。慎重な設計では、スイッチャの短絡保護を評価し、損傷を防ぐ何らかの回路を追加します。

アプリケーション情報

出力電圧の誤差源

LT3825の帰還センスにより追加の誤差源が生じます。以下、要点を列挙します。

内部バンドギャップ電圧リファレンスは帰還アンプの基準電圧を設定します。その変化は仕様に詳細に示されています。

外部帰還抵抗分割器はその比に比例して安定化電圧に直接影響します。1%部品を使ってください。

トランスの2次側の漏れインダクタンスは、2次対帰還の実効巻数比(N_S/N_F)を理想値から下げます。これにより、同様の比率で出力電圧の目標値が増加します。2次側漏れインダクタンスは部品間で(許容誤差の範囲で)一定なので、帰還抵抗比を調節して補償します。

トランスの2次電流は巻線抵抗、同期MOSFETの $R_{DS(ON)}$ および出力コンデンサのESRのインピーダンスを通して流れます。導通するのはコンバータの「オフ」時間の間だけなので、これらの誤差のDC等価電流は負荷電流より高くなります。したがって、負荷電流を(1-DC)で割ります。

出力負荷電流が比較的一定であれば、帰還抵抗分割器を使ってこれらの損失を補償します。そうでなければ、LT3825の負荷補償回路を使います(「負荷補償」を参照)。

複数の出力巻線が使われる場合、フライバック巻線にはこれらの巻線インピーダンスのすべてを合わせたものを表す信号が現れます。電圧を微調整するとき、ワーストケースの負荷条件を調べるように注意してください。

パワーMOSFETの選択

パワーMOSFETは、主にオン抵抗 $R_{DS(ON)}$ 、入力容量、ドレインソースのブレークダウン電圧(BV_{DSS})、最大ゲート電圧(V_{GS})および最大ドレイン電流($I_{D(MAX)}$)に基づいて選択されます。

1次側パワーMOSFETの場合、ピーク電流は次のようになります。

$$I_{PK(PRI)} = \frac{P_{IN}}{V_{IN(MIN)} \cdot DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

ここで、 X_{MIN} は前に定義されたピーク・トゥ・ピーク電流比です。

2次側の各パワーMOSFETのピーク電流は次のようになります。

$$I_{PK(SEC)} = \frac{I_{OUT}}{1 - DC_{MAX}} \cdot \left(1 + \frac{X_{MIN}}{2}\right)$$

BV_{DSS} が次の値より大きな1次側パワーMOSFETを選択します。

$$BV_{DSS} \geq I_{PK} \sqrt{\frac{L_{LKG}}{C_P}} + V_{IN(MAX)} + \frac{V_{OUT(MAX)}}{N_{SP}}$$

ここで、 N_{SP} はその2次対1次の巻数比を表します。 L_{LKG} は1次側漏れインダクタンス、 C_P は(ほとんどが1次側パワーMOSFETの C_{OSS} からの)1次側容量です。前に説明したように、漏れインダクタンスを減らすため、スナバを追加することができます。

2次側の各パワーMOSFETの場合、 BV_{DSS} は次の値より大きくなります。

$$BV_{DSS} \geq V_{OUT} + V_{IN(MAX)} \cdot N_{SP}$$

1次側MOSFETの $R_{DS(ON)}$ は公称ゲート・ドライブ電圧(7.5V)で選択します。2次側MOSFETのゲート・ドライブ電圧はゲート・ドライブの方法に依存します。

1次側パワーMOSFETのRMS電流は次式で与えられます。

$$I_{RMS(PRI)} = \frac{P_{IN}}{V_{IN(MIN)} \sqrt{DC_{MAX}}}$$

2次側の各パワーMOSFETのRMS電流は次式で与えられます。

$$I_{RMS(SEC)} = \frac{I_{OUT}}{\sqrt{1 - DC_{MAX}}}$$

次にMOSFETの電力消費を計算します。1次側MOSFETは高い V_{DS} で動作しますので、精確さを期すため遷移電力損失の項を含めます。 C_{MILLER} は遷移損失の項を決める最重要パラメータですが、データシートで直接規定されてはいません。

アプリケーション情報

C_{MILLER} はほとんどのMOSFETのデータシートに含まれているゲート電荷曲線から計算します(図6)。

曲線の平坦な部分は、ドレイン電圧が低下するときのミラー(ゲート-ドレイン)容量の結果です。ミラー容量は次のように計算されます。

$$C_{MILLER} = \frac{Q_B - Q_A}{V_{DS}}$$

与えられた V_{DS} に対して曲線を描きます。異なった V_{DS} 電圧に対するミラー容量は、計算された C_{MILLER} に、アプリケーションの V_{DS} と曲線で規定された V_{DS} の比を掛けて推算します。

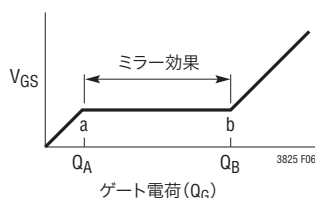


図6. ゲート電荷曲線

C_{MILLER} が決まると、1次側パワーMOSFETの電力消費を計算します。

$$P_{DPRI} = I_{RMS(PRI)}^2 \cdot R_{DS(ON)} (1 + \delta) + V_{IN(MAX)} \cdot \frac{P_{IN(MAX)}}{DC_{MIN}} \cdot R_{DR} \cdot \frac{C_{MILLER}}{V_{GATE(MAX)} - V_{TH}} \cdot f_{OSC}$$

ここで、

R_{DR} はゲート・ドライブ抵抗(約10Ω)

V_{TH} はMOSFETのゲート・スレッショルド電圧

f_{OSC} は動作周波数

$V_{GATE(MAX)} = 7.5V$ (このデバイスの場合)

$(1 + \delta)$ は、あるMOSFETに対して、一般に正規化された $R_{DS(ON)}$ と温度の曲線の形式で与えられます。曲線が与えられていなければ、低電圧MOSFETの場合は $\delta = 0.005/^\circ C \cdot \Delta T$ を使います。

2次側パワーMOSFETは一般にはるかに低い V_{DS} で動作しますので、遷移損失を無視することができます。電力消費は次式で計算します。

$$P_D(SEC) = I_{RMS(SEC)}^2 \cdot R_{DS(ON)} (1 + \delta)$$

電力消費が得られたら、MOSFETの接合部温度が次式から得られます。

$$T_J = T_A + P_D \cdot \theta_{JA}$$

ここで、 T_A は周囲温度、 θ_{JA} はMOSFETの接合部から周囲までの熱抵抗です。

T_J が得られたら、 δ と電力消費を再計算して、収束するまで反復計算します。

ゲート・ドライブ・ノードに関する検討事項

PGとSGのゲート・ドライブは強力なドライブで、ゲート・ドライブの立上り時間と立下り時間を最小に抑えます。これは効率を改善しますが、これらの信号の高周波成分が問題を生じることがあります。トレースは長さを短く幅を広くして、寄生インダクタンスを下げます。

寄生インダクタンスはMOSFETのゲート容量と結合してLCタンクを形成します。理想的とは言えないレイアウトでは、5Ω以上の直列抵抗がリングングを減衰するのに有効ですが、代償として立上り時間と立下り時間がわずかに遅くなり、効率が低下します。

LT3825のゲート・ドライブは最大ゲート電圧を約7.4Vにクランプしますので、最大 V_{GS} が10V以上のMOSFETを安全に使うことができます。

同期ゲート・ドライブ

同期ゲートMOSFETをドライブするいくつかの異なる方法があります。コンバータを完全に絶縁するには同期ゲート・ドライブを絶縁する必要があります。これは通常パルス・トランスによって実現することができます。このデータシートの表紙のアプリケーションに示されているように、通常はパルス・ドライブを使って2次側のバッファをドライブします。

ただし、他の方式も可能です。バッファ機能や他の機能を備えたゲート・ドライブおよび2次側同期コントローラを利用することができます。

アプリケーション情報

コンデンサの選択

フライバック・コンバータでは、入力と出力の電流はパルス状に流れますので、入力と出力のフィルタ・コンデンサに厳しい要求が課されます。入力と出力のフィルタ・コンデンサはRMS電流定格とリップル電圧に基づいて選択します。

リップル電流定格が次の値より大きな入力コンデンサを選択します。

$$I_{RMS} = \frac{P_{IN}}{V_{IN(MIN)}} \sqrt{\frac{1-DC_{MAX}}{DC_{MAX}}}$$

この例では次のようになります。

$$I_{RMS} = \frac{44.4W}{36V} \sqrt{\frac{1-52.6\%}{52.6\%}} = 1.17A$$

入力コンデンサの直列抵抗 (ESR) とインダクタンス (ESL) は電磁干渉の抑止に影響しますので、小さく保ちます。場合によっては、フライバック・コンバータは負の入力抵抗特性を示しますので、ESRが高いと安定性の問題も生じることがあります。詳細については、「アプリケーションノート19」を参照してください。

出力コンデンサは、リップル電流を扱うことができ、出力電圧リップルを許容できる大きさに保証するようにサイズを決めます。出力コンデンサのRMS電流定格は次の値より大きくします。

$$I_{RMS} = I_{OUT} \sqrt{\frac{DC_{MAX}}{1-DC_{MAX}}}$$

この例では次のようになります。

$$I_{RMS} = 8A \sqrt{\frac{52.6\%}{1-52.6\%}} = 8.43A$$

これは多巻線のアプリケーションの各出力について計算します。

バルク容量とともに、ESRとESLは出力電圧リップルに直接影響を与えます。標準的フライバック・コンバータの波形を図7に示します。

(出力電圧のパーセンテージとして表された) 最大許容リップル電圧を使って、コンデンサの値の出発点を設定します。簡単化のため、最大出力リップルとして2%を選択し、ESRステップと充放電 ΔV の間で等分します。このパーセント・リップルは、アプリケーションの必要条件に依存して変化します。以下の式は修正することができます。

全リップル電圧に1%寄与する場合、出力コンデンサのESRは次のように決めることができます。

$$ESR_{COUT} \leq 1\% \cdot \frac{V_{OUT} \cdot (1-DC_{MAX})}{I_{OUT}}$$

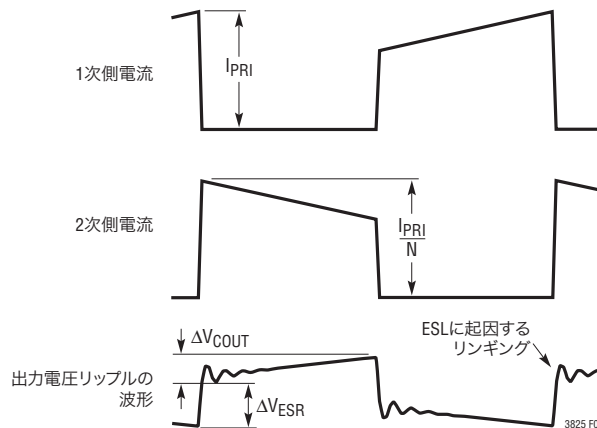


図7. 標準的フライバック・コンバータの波形

アプリケーション情報

他の1%はバルクC部品によるので、次式を使います。

$$C_{OUT} \geq \frac{I_{OUT}}{1\% \cdot V_{OUT} \cdot f_{OSC}}$$

多くのアプリケーションでは、望みの電圧リップル、信頼性およびコスト目標を実現するため、出力コンデンサを複数のコンデンサで構成します。たとえば、低ESRのセラミック・コンデンサはESRステップを最小に抑えることができますが、電解コンデンサは必要なバルクCを与えます。

この例では、出力コンデンサは以下の条件を満たす必要があります。

$$ESR_{C_{OUT}} \leq 1\% \cdot \frac{5V \cdot (1 - 49\%)}{8A} = 3m\Omega$$

$$C_{OUT} \geq \frac{8A}{1\% \cdot 5 \cdot 200kHz} = 800\mu F$$

これらの電気的特性を実現するには、低ESRのコンデンサを(おそらく数種類混ぜて)複数個並列に使う必要があります。

ほとんどのコンデンサのリップル電流定格は2000時間の寿命をベースにしています。このため、コンデンサをデレーティングする、つまり要求条件よりも高い温度定格のコンデンサを選択することを推奨します。

コストを削減し、出力リップルを改善する1つの方法として、簡単なLCフィルタを使用します。フィルタの例を図8に示します。

フィルタの設計はこのデータシートの範囲を超えています。ただし、出発点として、以下の一般的ガイドラインを使います。フィルタ無しのソリューションの1/4のサイズのC_{OUT}から出発します。C1をC_{OUT}の1/4にして、C_{OUT}に依存しない2番目のフィルタ・ポールを作ります。C1には複数のセラミック・コンデンサを使うと最良の結果が得られます。L1はトランスの出力インダクタンスより小さくします。一般に、0.1μHのフィルタ・インダクタで十分です。V_{OUT}の高周波ノイズのために、小さなセラミック・コンデンサ(C_{OUT2})を追加します。詳細に関して関心のある方は、Switching Power Magazineの2000年7月号のP8

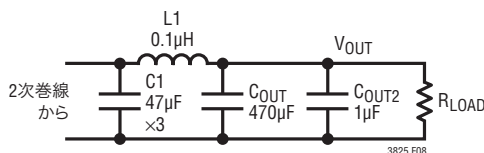


図8

～P10に掲載されているSecond-Stage LC Filter Design(著者Ridley)を参照してください。

回路シミュレーションは出力容量とフィルタを最適化する1つの方法ですが、必ず部品の寄生要素も含めてください。リニアテクノロジー社のSwitcherCAD™は無償の回路シミュレーション・ツールで、www.linear.comから入手できます。出力リップルの最終的最適化は専用のPCボードでおこなう必要があります。良くないレイアウトに起因する寄生インダクタンスはリップルに大きく影響することがあります。詳細については「PCボードのレイアウト」のセクションを参照してください。

デバイスの熱に関する検討事項

LT3825の接合部温度が125°Cを超えないように注意してください。電力は平均電源電流、つまり消費電流(仕様の中のI_{CC})とゲート・ドライブ電流の和から計算されます。

1次側ゲート・ドライブ電流は次のように計算します。

$$f_{OSC} \cdot Q_G$$

ここで、Q_Gは(ゲート電荷曲線から得られる)最大V_{GS}での全ゲート電荷、fはスイッチング周波数です。

同期ドライバは通常容量性負荷をドライブしますので、同期ゲート・ドライブの電力消費は次のようになります。

$$f_{OSC} \cdot C_S \cdot V_{SGMAX}$$

ここで、C_SはSGの容量性負荷、V_{SGMAX}はSGピンの最大電圧です。

デバイスの全電力消費は次のように計算します。

$$P_D(TOTAL) = V_{CC} \cdot (I_{CC} + f_{OSC} \cdot (Q_{GPRI} + C_S \cdot V_{SGMAX}))$$

V_{CC}はLT3825のワーストケースの電源電圧です。

接合部温度は次のように計算します。

$$T_J = T_A + P_D \cdot \theta_{JA}$$

ここで、

T_Aは周囲温度

θ_{JA}はFE16パッケージの接合部から周囲までの熱抵抗です(40°C/W)。

アプリケーション情報

PCボードのレイアウトに関する検討事項

スイッチング・ノイズを最小に抑え、出力負荷レギュレーションを改善するため、LT3825のGNDピンをV_{CC}デカップリング・コンデンサのグラウンド端子、電流センス抵抗の下側端子、入力コンデンサのグラウンド端子、およびグラウンド・プレーン(複数のビア)に直接接続します。V_{CC}コンデンサはデバイスのパッケージのV_{CC}ピンとGNDピンにすぐ隣接して配置します。このコンデンサはdi/dtの高いMOSFETゲート・ドライブ電流を担います。低ESRのセラミック・コンデンサを使います。

PCBレイアウトでは、高スイッチング電流が流れるトレースは長さを短くし、幅を広くし、全体的ループ面積を最小に抑えるよう注意します。これらは一般にスイッチに関係したトレースです。こうすると、寄生インダクタンスが減り、電磁放射も最小に抑えられます。重要な経路を図9に示します。

トレースの長さや面積を最小にして(浮遊容量を低くして)、電界放射を低く抑えます。1次側MOSFETのドレインはこの点で最悪の箇所です。スイッチャ回路の下には常にグラウンド・プレーンを使ってPCBプレーン間のカップリングを防ぎます。

誘導性リングがMOSFETの最大BV_{DSS}定格を超えないことを確認します。これはMOSFETノードの電圧をオシロスコープで観察しておこないます。ブレークダウンが生じているなら、もっと高い電圧のデバイスを選択するか、スナバを追加するか、またはアバランシェ定格のMOSFETを指定します。

小信号部品は高周波数のスイッチング・ノードから離して配置します。このため、信号グラウンドに擬似ケルビン接続を使うことができ、di/dtが高いゲート・ドライブ電流はICのグラウンド・ピンから一方方向に(V_{CC}のデカップリング・コンデンサのボトム・プレートに向かって)流れ、小信号電流は他の方向に流れます。

帰還分圧器のタップからFBピンへのトレースを短くし、予期せぬピックアップを減らします。

複数のスイッチング・パワー・コンバータが同じ入力電源に接続されているアプリケーションでは、LT3825の入力フィルタ・コンデンサが他のコンバータと共有されていないことを確認してください。別のコンバータからのAC入力電流により、大きな入力電圧リップルが生じ、これがLT3825の動作に干渉することがあります。電流共有の問題を防ぐには、LT3825のC_{IN}と実際にソースとなっているV_{IN}の間に数インチのPCトレースまたはワイヤ(L ≅ 100nH)を置けば十分です。

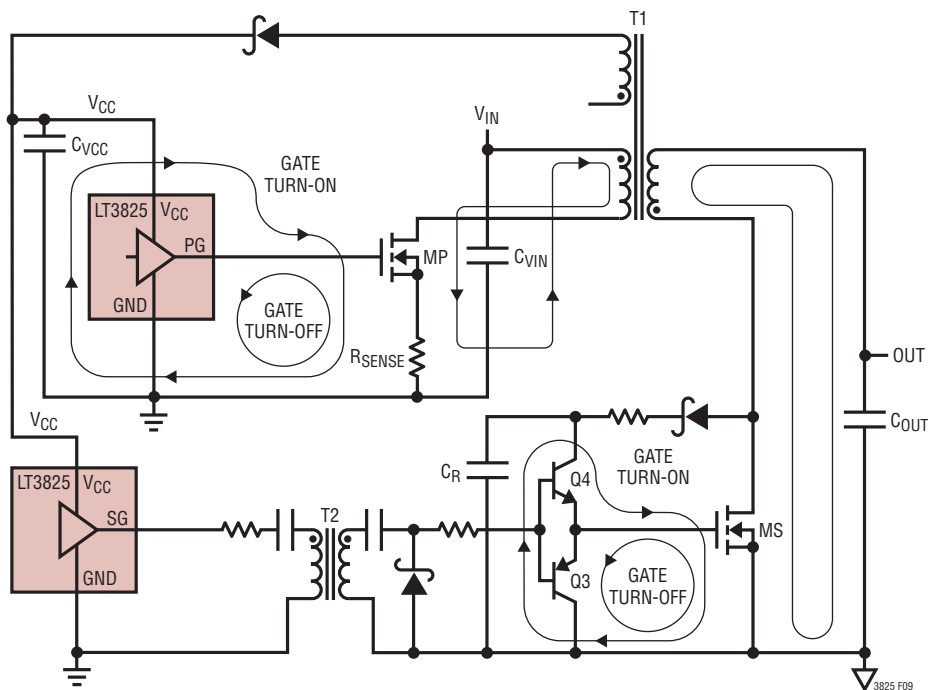
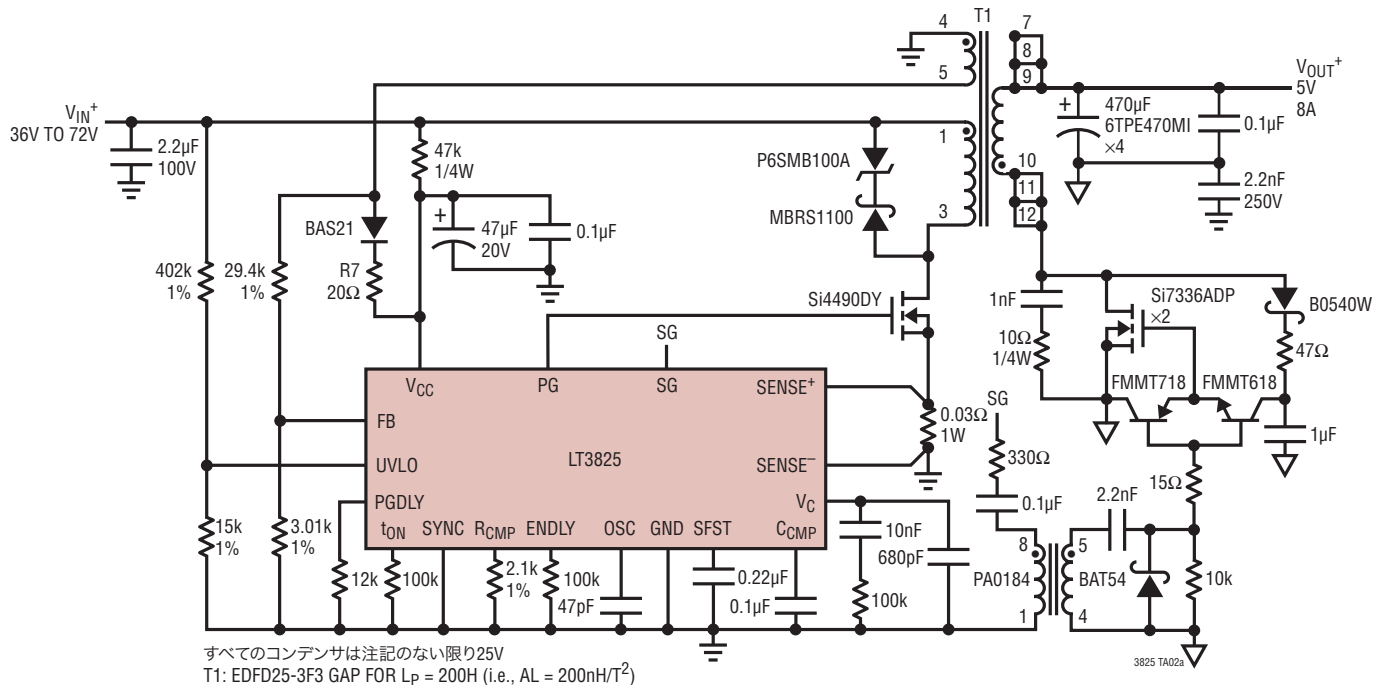


図9. 高電流経路

標準的応用例

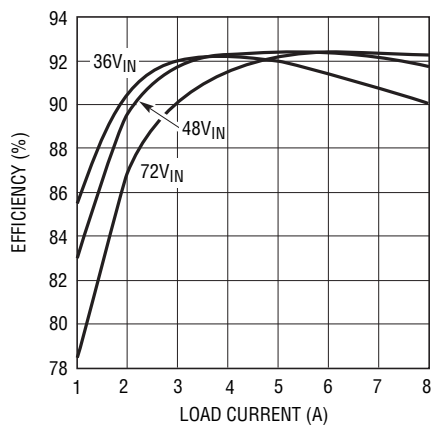
48Vから5V/8Aの絶縁型電源



PINS 1 TO 3, 32T OF 2 × 32AWG
 PINS 4 TO 5, 11T OF 1 × 32AWG
 PINS 1 TO 3, 32T OF 2 × 32AWG
 PINS 10, 11, 12 TO PINS 7, 8, 9, 4T OF 5 MIL COPPER FOIL
 PINS 1 TO 3, 32T OF 2 × 32AWG

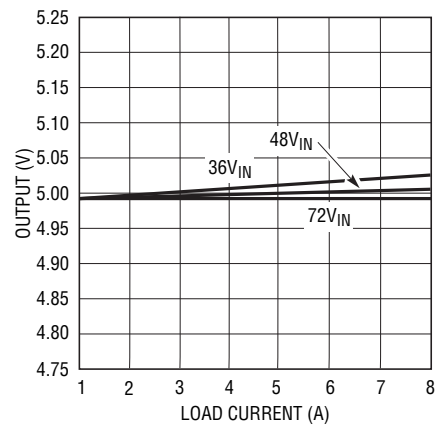
2ミルの
ポリエステル・
フィルム

効率と負荷電流



3825 TA02b

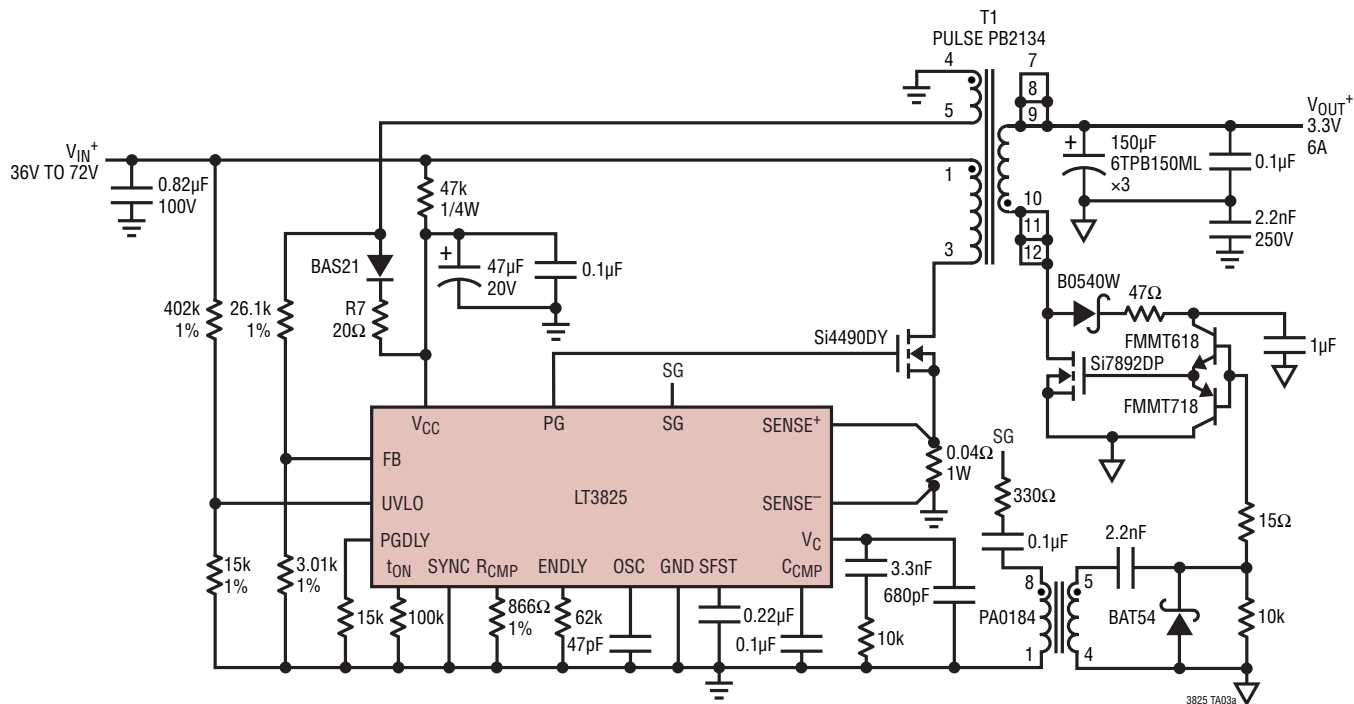
出力レギュレーションと負荷電流



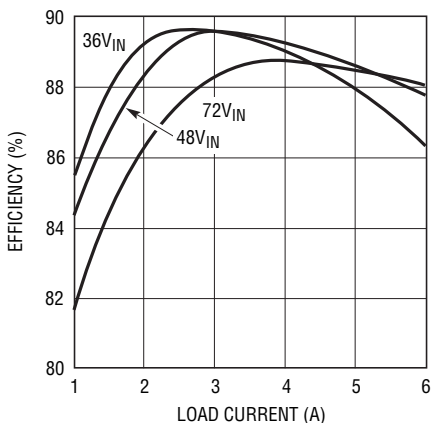
3825 TA02c

標準的応用例

48Vから3.3V/6Aの絶縁型電源

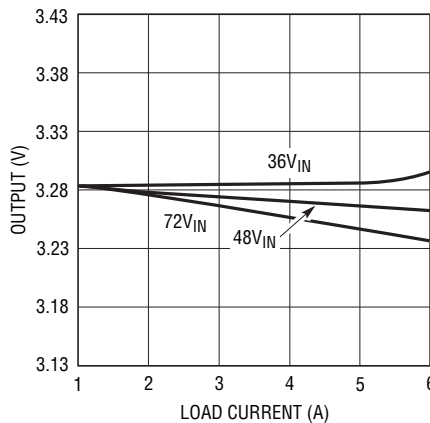


効率と負荷電流



3825 TA03b

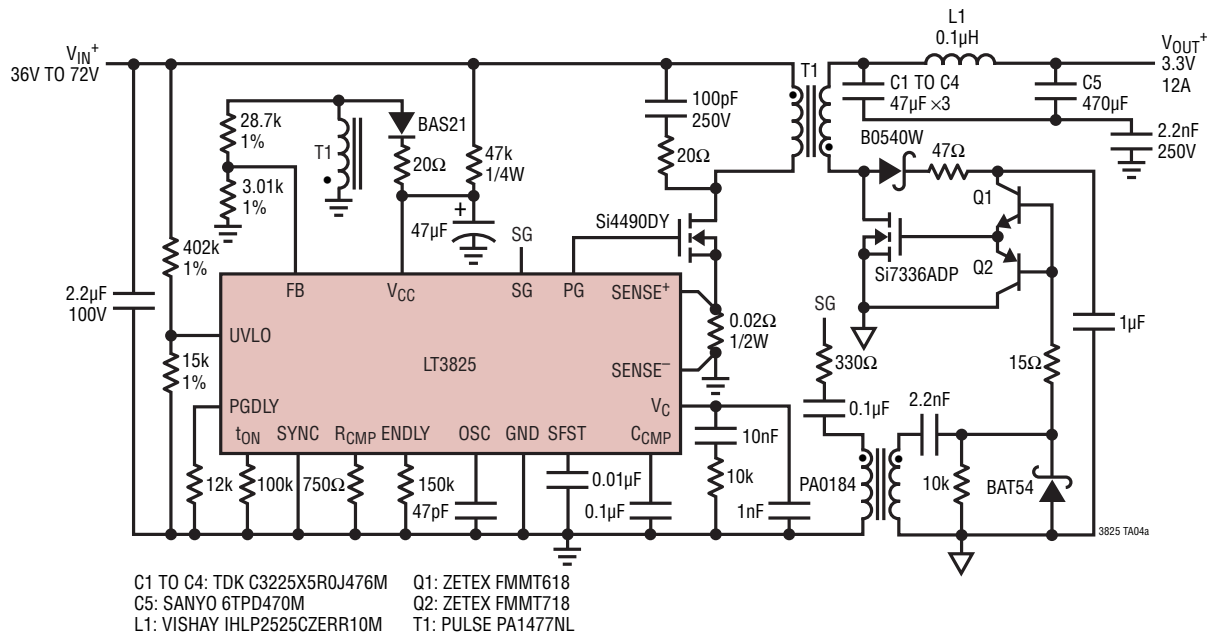
出力レギュレーションと負荷電流



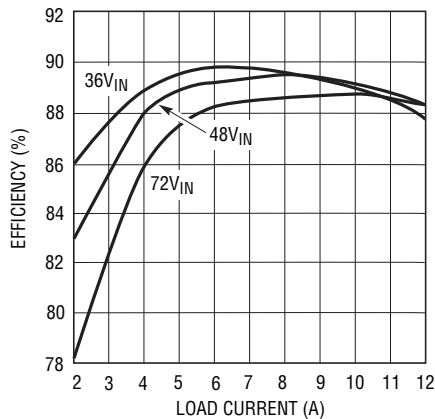
3825 TA03c

標準的応用例

48Vから3.3V/12Aの絶縁型電源

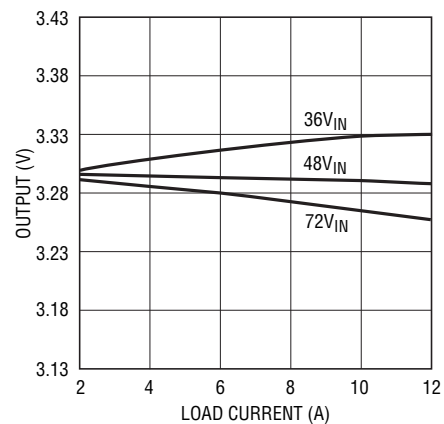


効率と負荷電流



3825 TA04b

出力レギュレーションと負荷電流

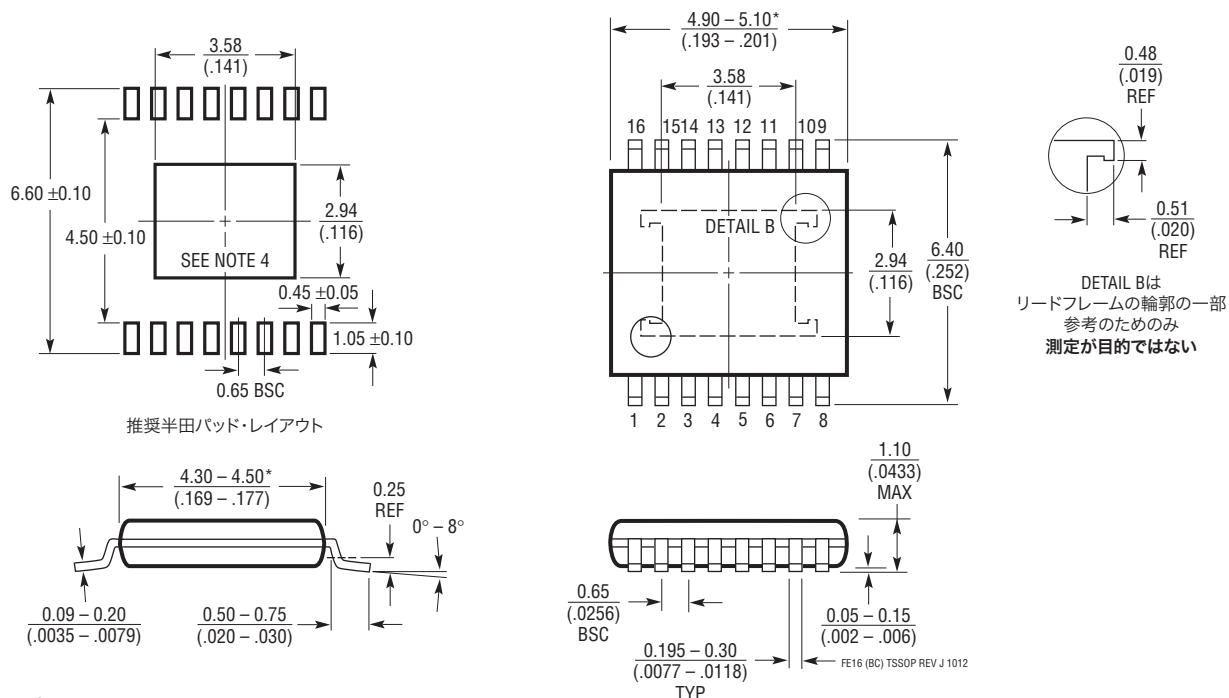


3825 TA04c

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

FEパッケージ
16ピン・プラスチックTSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1663 Rev J)
露出パッドのバリエーションBC



- NOTE:
1. 準寸法: ミリメートル
 2. 寸法は $\frac{\text{ミリメートル}}{\text{インチ}}$
 3. 図は実寸とは異なる
 4. 露出パッド接着のための推奨最小PCBメタルサイズ
 寸法にはモールドのバリを含まない。モールドのバリは各サイドで 0.150mm (0.006^)を超えないこと

DETAIL Bは
 リードフレームの輪郭の一部
 参考のためのみ
 測定が目的ではない

改訂履歴 (Rev Bよりスタート)

REV	日付	修正内容	頁番号
B	12/09	絶対最大定格の変更	2
		電気的特性の変更	2、3
		ピン機能の変更	6
		ブロック図の変更	8
		フライバック帰還アンプの変更	9
		アプリケーション情報の文章変更	23
		標準的応用例の変更	30
		関連製品の変更	32
C	01/10	$T_A = 25^\circ\text{C}$ を $T_J = 25^\circ\text{C}$ に変更	2、3
		Note 3に追加	3
D	11/12	標準的応用例回路図の定格を変更	1
		Note 3の温度グレードを明確化	3
E	12/12	G21のグラフを更新	6
		パッケージを更新	30

LT3825

関連製品

製品番号	説明	注釈
LT3748	100V絶縁型フライバック・コントローラ	$5V \leq V_{IN} \leq 100V$ 、オプトカプラ不要、高電圧ピン間の間隔を広げたMSOP-16パッケージ
LT3758	昇圧、フライバック、SEPICおよび反転コントローラ	$5.5V \leq V_{IN} \leq 100V$ 、電流モード制御、100kHz～1MHzに設定可能な動作周波数、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LT3958	80V、フライバック/昇圧コンバータ	3.3Aスイッチを内蔵したモノリシック・コンバータ
LT3837	オプトアイソレータ不要の絶縁型同期整流式フライバック・コントローラ	外付け部品により制限される4.5V～36Vの入力電圧に最適、消費電力:最大60W、電流モード制御
LT3798	オプトカプラ不要、アクティブPFC機能を備えたオフライン絶縁型フライバックコントローラ	外付け部品によってのみ制限される V_{IN} と V_{OUT}
LT3799	アクティブPFC機能を備えたオフライン絶縁型フライバックLEDコントローラ	外付け部品によってのみ制限される V_{IN} と V_{OUT}
LTC [®] 3803/LTC3803-3/ LTC3803-5	200kHz フライバックDC/DCコントローラ	外付け部品によってのみ制限される V_{IN} と V_{OUT} 、SOT-23パッケージ
LTC3873/LTC3873-5	No R _{SENSE} 固定周波数フライバック、昇圧およびSEPICコントローラ	外付け部品によってのみ制限される V_{IN} と V_{OUT} 、ThinSOT™またはDFNパッケージ
LTC3805/LTC3805-5	固定動作周波数を70kHz～700kHzに調節可能なフライバックコントローラ	外付け部品によってのみ制限される V_{IN} と V_{OUT} 、3mm×3mm DFN-10、MSOP-10Eパッケージ