

高効率の 2次側同期整流式 フォワード・コントローラ

特長

- Direct Flux Limit™により、飽和しないことを保証
- 高速および高精度の平均電流制限
- 出力がプリバイアスされていてもクリーンな起動が可能
- 2次側制御により、高速過渡応答が可能
- シンプルなセルフスタート・アーキテクチャ
- 同期MOSFETの逆電流制限
- PolyPhase®動作により、高電力設計を簡素化
- 真のリモートセンス差動アンプ
- リモートセンスの逆電圧保護
- 高電圧リニア・レギュレータ・コントローラ
- 内部LDOがV_{OUT}からゲートドライブに電力を供給
- 過温度/過電圧保護
- 高さの低い4mm×5mm QFNパッケージと細型28ピンSSOPパッケージ

アプリケーション

- 絶縁型48Vテレコム・システム
- 絶縁型バッテリー・チャージャ
- 車載システムと軍用システム
- 産業用機器、アビオニクス機器および重機

LT、LT、LTC、LTM、PolyPhase、Linear Technology、およびLinearのロゴはリニアテクノロジー社の登録商標です。Direct Flux Limitはリニアテクノロジー社の商標です。他の全ての商標はそれぞれの所有者に所有権があります。7200014および6144194を含む米国特許によって保護されています。その他特許出願中。

概要

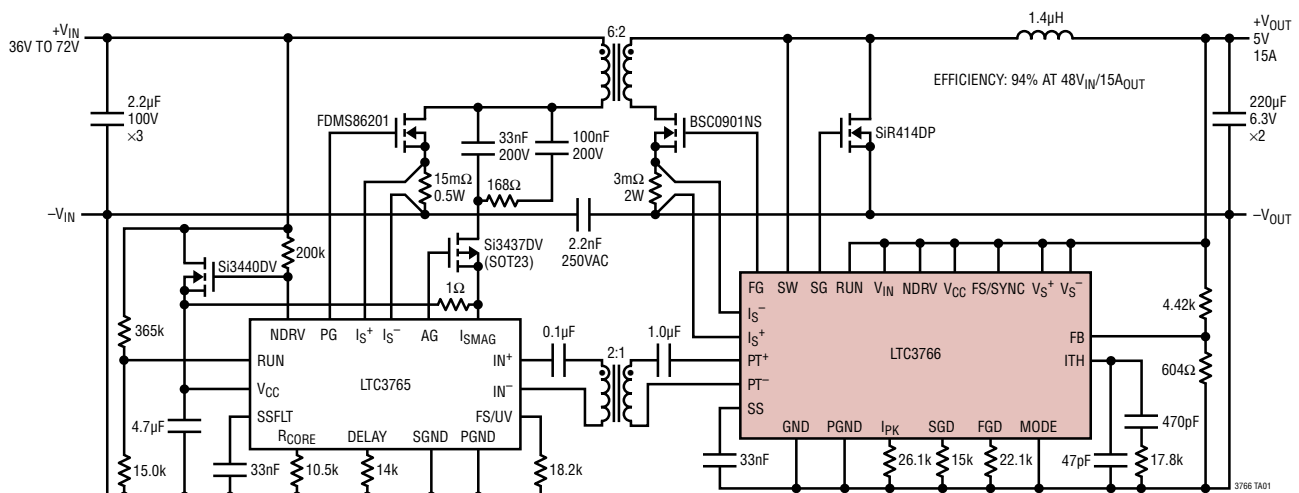
LTC®3766 は、同期整流式フォワード・コンバータ向けのPolyPhaseが可能な2次側コントローラです。このデバイスはLTC3765 アクティブ・クランプ・フォワード・コントローラおよびゲート・ドライバと共に使用することで、マルチフェーズ動作の電力と2次側制御の速度を組み合わせた絶縁電源を構成します。

LTC3766は、アクティブ・クランプ・フォワード・コンバータの設計を簡素化するために設計されました。このデバイスはLTC3765と共に使用することにより、2次側制御アプリケーションで通常使用される個別のバイアス・レギュレータが不要となる堅牢なセルフスタート・コンバータを構成します。また、高精度の電流制限機能を備え、負荷がプリバイアスされていてもクリーンな起動が可能なので、高電力バッテリー・チャージャ・アプリケーションに最適です。

LTC3766は広範なりモートセンス機能と出力保護機能を備えており、同時にDirect Flux Limitによって、過渡応答を遅らせることなくトランスの飽和を防ぎます。また、リニア・レギュレータ・コントローラとバイパスLDOを内蔵しているので、2次側バイアス電圧を容易に生成できます。

標準的応用例

36V～72Vから5V/15Aのアクティブ・クランプ絶縁型フォワード・コンバータ



3766fa

LTC3766

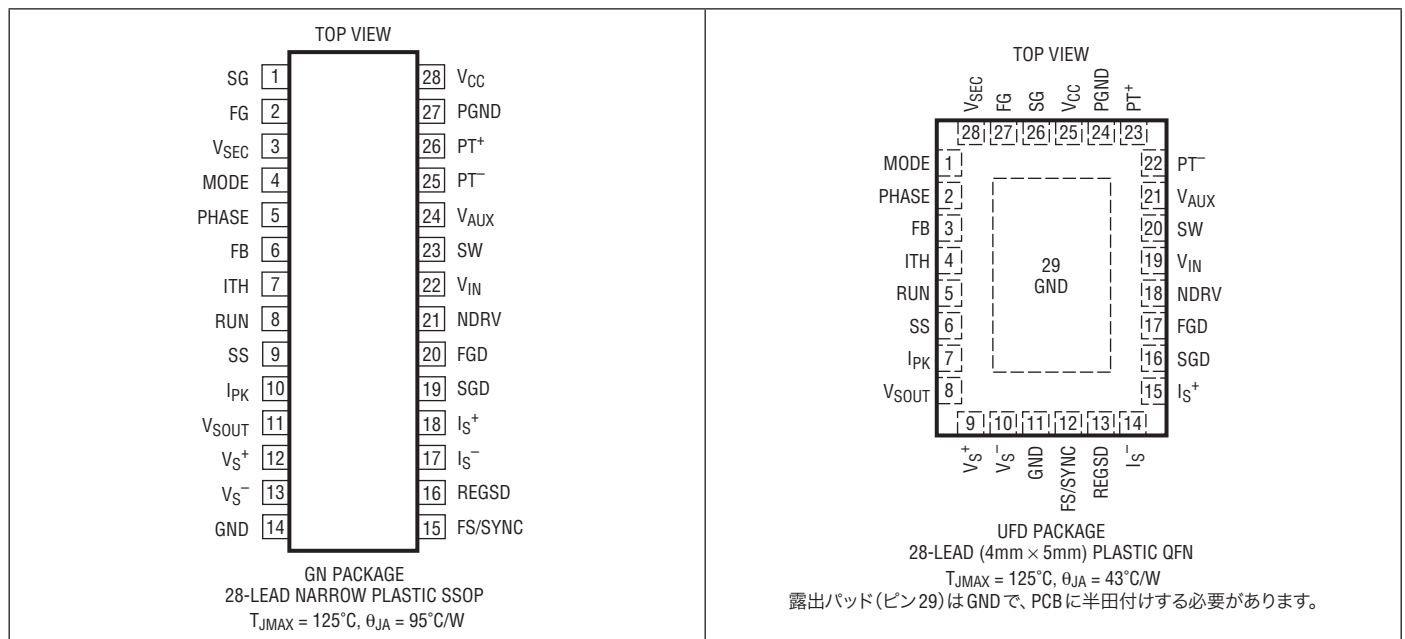
絶対最大定格 (Note 1)

V_{CC} 電圧	-0.3V ~ 12V
V_{IN} 電圧	-0.3V ~ 33V
RUN の電圧	-0.3V ~ 33V
SW	
低インピーダンス・ソース	-5V ~ 40V
供給される電流 ... 2mA DC または 0.2A (<1 μ s)、ピンへ流れ込む *	
V_{AUX} 、 V_S^+ 、 V_S^- 、 V_{SOUT} 、NDRV の電圧	-0.3V ~ 16V
ITH、 I_S^+ 、REGSD の電圧	-0.3V ~ 6V
PHASE の電圧	-0.3V ~ 6V
I_S^- 、SGD、FGD の電圧	-0.3V ~ 12V
FS/SYNC、FB、MODE の電圧	-0.3V ~ 12V

V_{SEC} 電圧	-0.3V ~ 3V
I_{PK} 、SS の電圧	-0.3V ~ 4V
動作接合部温度範囲 (Note 2、3)	
LTC3766E、LTC3766I	-40°C ~ 125°C
LTC3766H	-40°C ~ 150°C
LTC3766MP	-55°C ~ 150°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け、10 秒)	
GN パッケージ	300°C

* LTC3766 は 50V のクランプを内蔵しており、SW ピンの電圧を制限します。

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC3766EGN#PBF	LTC3766EGN#TRPBF	LTC3766GN	28-Lead Narrow Plastic SSOP	-40°C to 125°C
LTC3766IGN#PBF	LTC3766IGN#TRPBF	LTC3766GN	28-Lead Narrow Plastic SSOP	-40°C to 125°C
LTC3766HGN#PBF	LTC3766HGN#TRPBF	LTC3766GN	28-Lead Narrow Plastic SSOP	-40°C to 150°C
LTC3766MPGN#PBF	LTC3766MPGN#TRPBF	LTC3766GN	28-Lead Narrow Plastic SSOP	-55°C to 150°C
LTC3766EUF#PBF	LTC3766EUF#TRPBF	3766	28-Lead (4mm × 5mm) Plastic QFN	-40°C to 125°C
LTC3766IUF#PBF	LTC3766IUF#TRPBF	3766	28-Lead (4mm × 5mm) Plastic QFN	-40°C to 125°C
LTC3766HUF#PBF	LTC3766HUF#TRPBF	3766	28-Lead (4mm × 5mm) Plastic QFN	-40°C to 150°C
LTC3766MPUF#PBF	LTC3766MPUF#TRPBF	3766	28-Lead (4mm × 5mm) Plastic QFN	-55°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 15\text{V}$ 、 $GND = PGND = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
メイン制御ループ							
V _{FB}	Regulated Feedback Voltage	(Note 4) I _{TH} = 1.2V	●	0.592	0.600	0.608	V
I _{FB}	Feedback Input Current	(Note 4)			2	50	nA
ΔV _{FB} (LINREG)	Feedback Voltage Line Regulation	V _{IN} = 5V to 32V, I _{TH} = 1.2V			0.001		%/V
ΔV _{FB} (LOADREG)	Feedback Voltage Load Regulation	Measured in Servo Loop, I _{TH} = 0.5V to 2V	●		−0.01	−0.1	%
V _{ISAVG}	Average Current Sense Threshold	Resistor Sense (RS) Mode Current Transformer (CT) Mode		47 0.66	55 0.73	63 0.80	mV V
V _{ISADJ}	Current Sense Ripple Compensation	RS Mode CT Mode V _{SW} = 10V, V _S ⁺ = 5V, FS/SYNC = V _{CC} , R _{IPK} = 23.7k			10 140		mV mV
V _{ISOC}	Overcurrent Shutdown Threshold	RS Mode:V _{IS} [−] = 0V CT Mode:V _{IS} [−] = V _{CC}		86 1.22	100 1.33	113 1.44	mV V
I _{SIN}	I _S ⁺ and I _S [−] Input Current				280	500	nA
g _m	Error Amplifier g _m			2.2	2.7	3.2	mS
R _{EA}	Error Amplifier Output Resistance	(Note 7)			5		MΩ
I _{SOFT} (C)	Soft-Start Charge Current	V _{SS} = 2V		4	5	6	μA
I _{SOFT} (D)	Soft-Start Discharge Current	V _{SS} = 2V			3		μA
V _{RUNR}	RUN Pin On Threshold	V _{RUN} Rising	●	1.18	1.22	1.26	V
V _{RUNF}	RUN Pin Off Threshold	V _{RUN} Falling	●	1.13	1.17	1.21	V
I _{RUN}	RUN Pin Hysteresis Current	V _{RUN} = 0.5V		2.2	3.0	3.6	μA
t _{ON} (MIN)	Minimum Controllable On Time				200		ns
D _{MAX}	Maximum Duty Cycle	FGD = SGD = GND		77	79	81	%
ΔV _{SEC} (TH)	Volt-Second Limit Threshold Accuracy	2V ≤ V _{SW} < 5V 5V ≤ V _{SW} ≤ 40V		−6 −4		6 4	% %
R _{VSDN}	Volt-Second Discharge Resistance				75		Ω
V _{SWCL}	SW Clamp Voltage	I _{SW} = 1mA		43	51	60	V
ΔV _{FB} (OV)	Output Overvoltage Threshold	V _{FB} Rising		15	17	19	%

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 15\text{V}$ 、 $\text{GND} = \text{PGND} = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ドライバおよび制御回路						
FG, SG R _{UP}	FG, SG Driver Pull-Up On-Resistance			1.5		Ω
FG, SG R _{DOWN}	FG, SG Driver Pull-Down On-Resistance			1.0		Ω
PT ⁺ , PT ⁻ R _{UP}	PT ⁺ , PT ⁻ Driver Pull-Up Resistance			1.5		Ω
PT ⁺ , PT ⁻ R _{DOWN}	PT ⁺ , PT ⁻ Driver Pull-Down Resistance			1.5		Ω
t _{FGD}	FGD Delay	R _{FGD} = 10k Ω R _{FGD} = 100k Ω	50 436	65 545	80 654	ns ns
t _{SGD}	SGD Delay	R _{SGD} = 15k Ω R _{SGD} = 50k Ω	60 195	75 230	90 265	ns ns
V _{SW(REV)}	SG Reverse Overcurrent SW Threshold	LV MODE HV MODE	66 140	73 148	79 156	mV mV
I _{SW(REV)}	SG Reverse Overcurrent Adjust Current	LV MODE HV MODE	-86 -34.5	-103 -42	-120 -49	μA μA

V_{CC} 電源

V _{CCOP}	V _{CC} Operating Voltage Range			5	10	V	
I _{CC}	Supply Current Normal Mode Shutdown	V _{FS} /SYNC = V _{CC} = 7V (Note 5) V _{RUN} = GND		5 210		mA μA	
V _{UVLOR}	UV Lockout Rising	V _{CC} Rising, LV MODE V _{CC} Rising, HV MODE	● ●	4.6 7.7	4.7 7.9	4.8 8.1	V V
V _{UVLOF}	UV Lockout Falling	V _{CC} Falling, LV MODE V _{CC} Falling, HV MODE	● ●	3.8 6.7	3.9 6.9	4.0 7.1	V V
V _{REGSD}	REGSD Threshold Voltage	V _{REGSD} Rising		1.21		V	
I _{REGSD(C)}	REGSD Charge Current	V _{REGSD} = 0.7V		13		μA	
I _{REGSD(D)}	REGSD Discharge Current	V _{REGSD} = 0.7V		3		μA	

V_{AUX} 電源

V _{AUXOP}	V _{AUX} Operating Voltage Range		5		15	V
V _{CCVAUX}	Regulated V _{CC} Output Voltage	V _{AUX} = 15V, LV MODE V _{AUX} = 15V, HV MODE	6.7 8.1	7.0 8.5	7.3 8.9	V V
V _{AUXLR}	V _{CC} Load Regulation	I _{CC} = 0mA to 120mA, V _{AUX} = 8V, LV MODE		0.8	2	%
V _{AUXSWP}	V _{AUX} Switchover Voltage Rising	V _{AUX} Ramping Positive, LV MODE V _{AUX} Ramping Positive, HV MODE	4.50 7.65	4.70 8.00	4.88 8.35	V V
V _{AUXSWN}	V _{AUX} Switchover Voltage Falling	V _{AUX} Ramping Negative, LV MODE V _{AUX} Ramping Negative, HV MODE	4.30 7.35	4.50 7.70	4.70 8.05	V V
R _{AUX}	V _{AUX} Dropout Resistance	I _{CC} = 120mA, V _{AUX} = 4.9V		1.7	2.5	Ω
R _{PSL}	V _{AUX} Pre-Switchover Load	V _{AUX} = 4V		920		Ω

V_{IN} 電源

V _{INOP}	V _{IN} Operating Voltage Range		5		32	V
V _{INCL}	V _{IN} Clamp Voltage	I _{VIN} = 2mA, V _{RUN} = GND	28	30	32	V
I _{CLMAX}	V _{IN} Clamp Current Limit	V _{IN} = 33V, V _{RUN} = GND	3.8	5.5	7.2	mA
V _{CCVIN}	Regulated V _{CC} Output Voltage	LV MODE (Note 6) HV MODE (Note 6)	6.7 8.1	7.2 8.5	7.3 8.9	V V
I _{IN}	Supply Current Operating Shutdown	V _{FS} /SYNC = V _{CC} V _{RUN} = GND		900 450	1200	μA μA
V _{INUVLO}	V _{IN} Undervoltage Lockout	V _{IN} Rising	2.6	3.2	3.8	V

電気的特性 ●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 15\text{V}$ 、 $GND = PGND = 0\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
発振器とフェーズロック・ループ						
$I_{FS/SYNC}$	FS/SYNC Pin Sourcing Current			20		μA
f_{HIGH}	Oscillator High Frequency Set Point	$V_{FS/SYNC} = V_{CC}$	234	275	316	kHz
$\Delta f (R_{FS/SYNC})$	Oscillator Resistor Set Accuracy	$18.75\text{k}\Omega < R_{FS/SYNC} < 125\text{k}\Omega$	● -12		12	%
$f_{PLL(RANGE)}$	PLL Sync Frequency Range		100		500	kHz
差動アンプ						
A_{DA}	Gain	$1.5\text{V} \leq V_{SOUT} \leq 15\text{V}$, $V_{IN} = 20\text{V}$	0.99	1	1.01	V/V
$CMRR_{DA}$	Common Mode Rejection Ratio	$V_{IN} = 20\text{V}$		75		dB
R_{INP}	V_S^+ Input Resistance	$V_{IN} = 20\text{V}$		120		$\text{k}\Omega$
R_{INM}	V_S^- Input Resistance	$V_{IN} = 20\text{V}$		160		$\text{k}\Omega$
I_{OH}	Output Sourcing Current	$V_{IN} = 20\text{V}$, $V_S^+ = 5\text{V}$, $V_{SOUT} = 2.5\text{V}$	● 0.8	3.0		mA
$V_{IN-V_{OHST}}$	Output High Fault Threshold	V_S^+ Rising		1.2	1.5	V

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: LTC3766E は $0^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTC3766I は $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で保証されており、LTC3766H は $-40^\circ\text{C} \sim 150^\circ\text{C}$ の動作接合部温度範囲で保証されており、LTC3766MP は $-55^\circ\text{C} \sim 150^\circ\text{C}$ の動作接合部温度範囲でテストされ、保証されている。接合部温度が高いと動作寿命が短くなる。 125°C を超える接合部温度では動作寿命はデレーティングされる。これらの仕様が満たされる最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、および他の環境要因と関連した特定の動作条件によって決まることに注意。

Note 3: T_J は周囲温度 (T_A) および電力損失 (P_D) から次式に従って計算される。

$$T_J = T_A + (P_D \cdot \theta_{JA})^\circ\text{C/W}$$

ここで、 θ_{JA} は SSOP の場合 95°C/W 、QFN パッケージの場合 43°C/W である。

Note 4: LTC3766 は、規定 ITH 電圧 ($V_{ITH} = 1.2\text{V}$) を得るように、 V_{FB} を内部 0.6V リファレンス電圧に近い電圧にサーボ制御する帰還ループでテストされる。

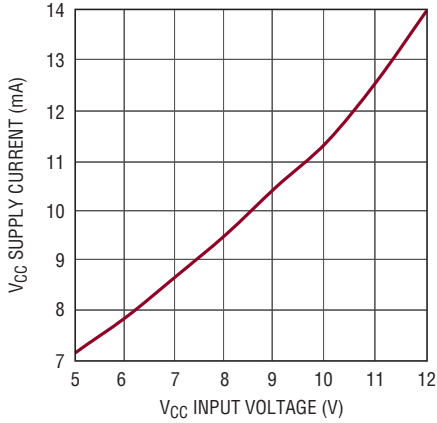
Note 5: 動作電源電流はテストモードで測定される。動作時消費電流はスイッチング周波数で供給される内部ゲート電荷により増加する。「標準的性能特性」を参照。

Note 6: V_{IN} レギュレータは、安定化された V_{CC} 出力電圧を発生するのに外部パス・デバイスを採用している。LTC3766 は、外部パス・デバイスとして 2N3904 NPN を使ってテストされている。

Note 7: 設計により保証されている。

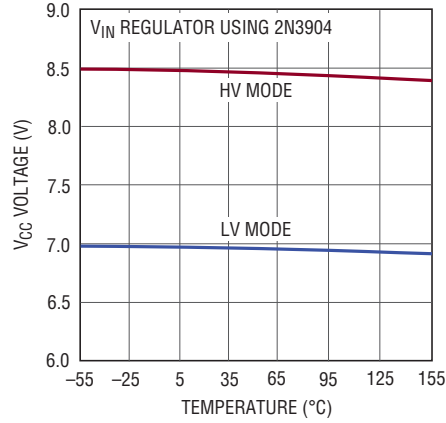
標準的性能特性

V_{CC} の消費電流と V_{CC} 電圧



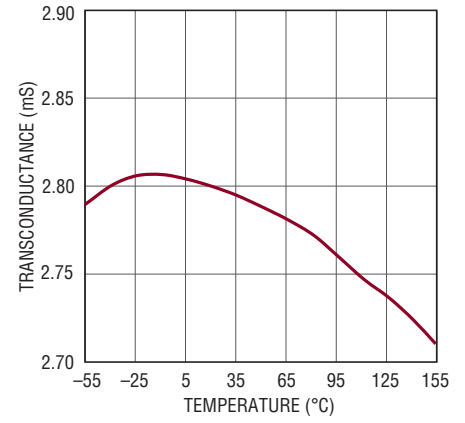
3766 G01

V_{CC} レギュレータの
出力電圧と温度



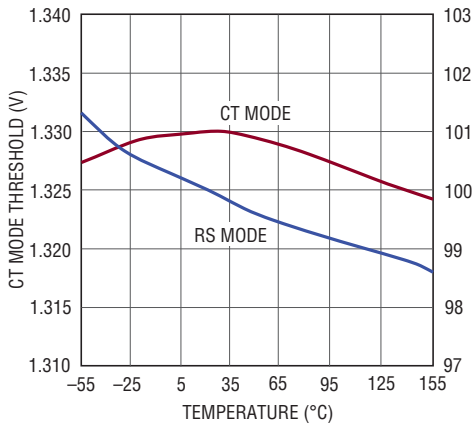
3766 G02

エラーアンプの
相互コンダクタンスと温度



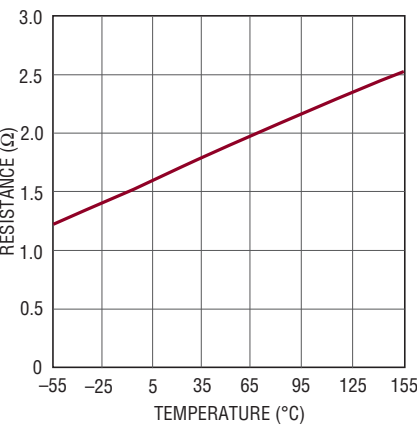
3766 G03

過電流シャットダウン・
スレッシュホールドと温度



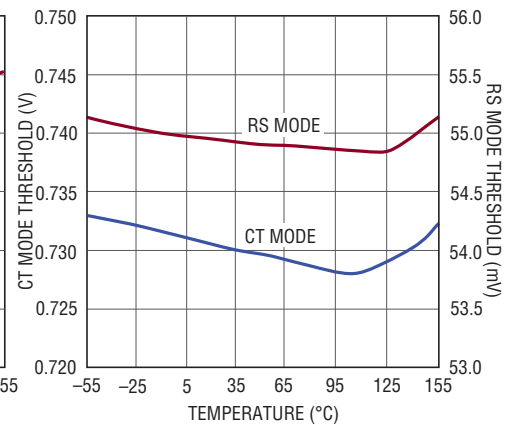
3766 G04

V_{AUX} のドロップ抵抗と温度



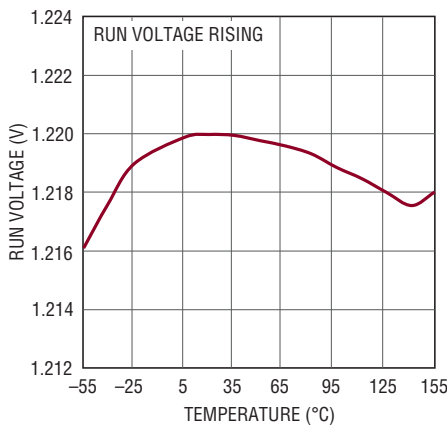
3766 G05

平均電流検出スレッシュホールドと
温度



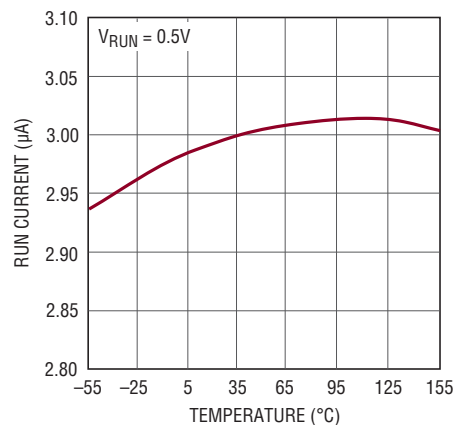
3766 G04

RUN のスレッシュホールドと温度



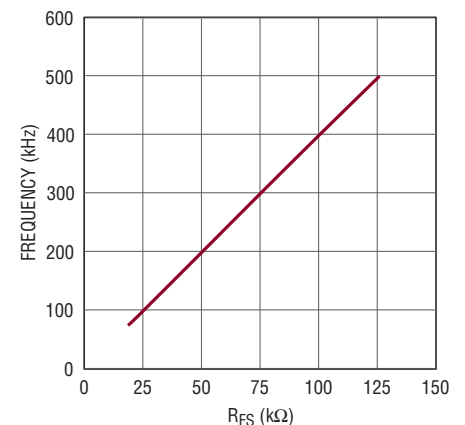
3766 G07

RUN のヒステリシス電流と温度



3766 G08

発振器周波数と R_{FS}

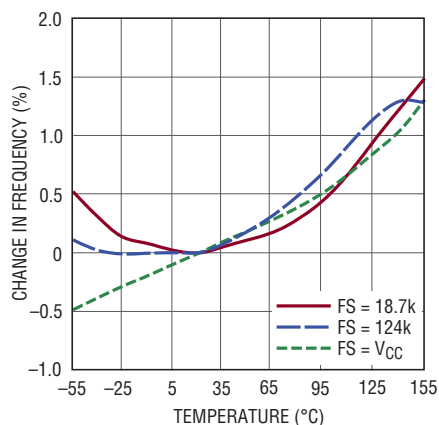


3766 G09

3766fa

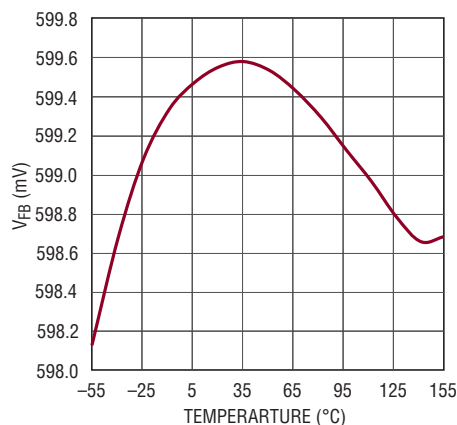
標準的性能特性

発振器周波数と温度



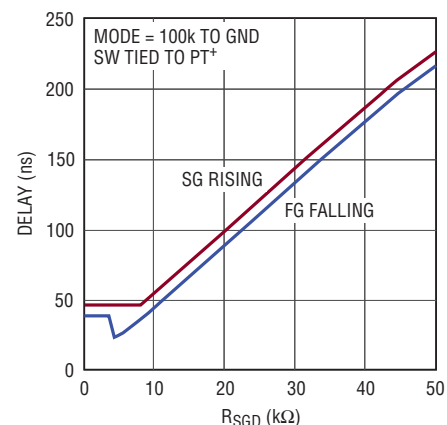
3766 G10

FB 電圧と温度



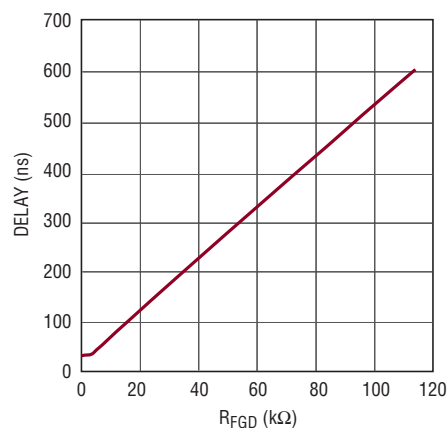
3766 G11

SGD の遅延と抵抗



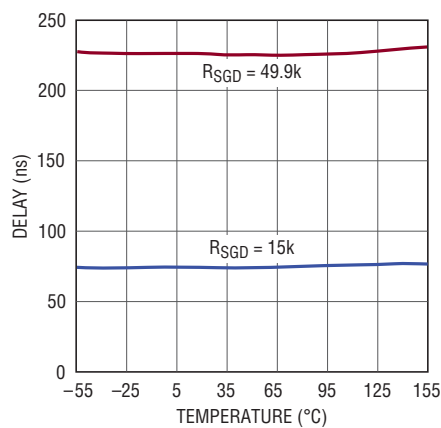
3766 G12

FGD の遅延と抵抗



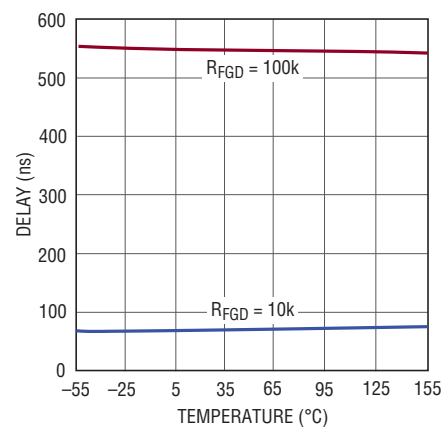
3766 G13

SGD の遅延と温度

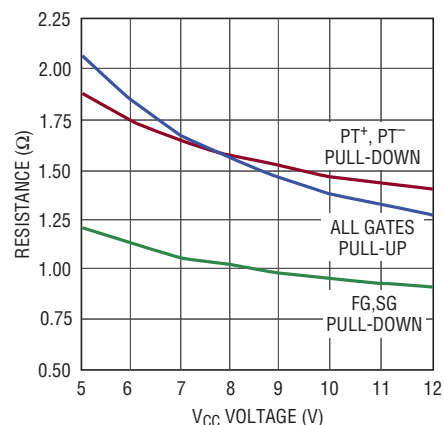


3766 G14

FGD の遅延と温度

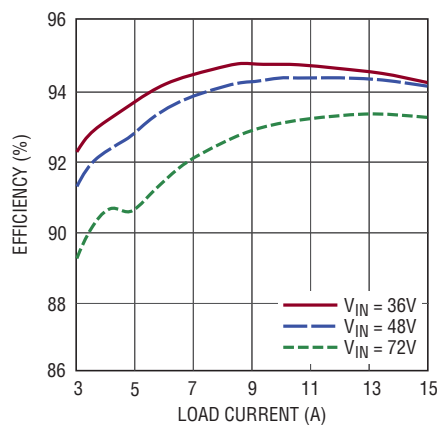


3766 G15

ゲート・ドライバの
オン抵抗とVCC 電圧

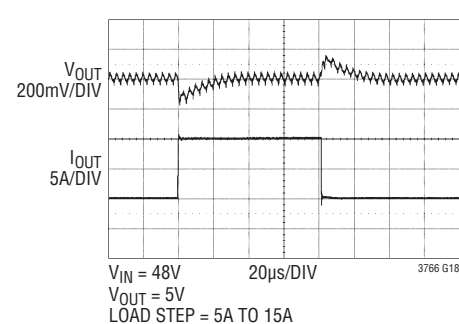
3766 G16

効率(図 39 の回路)



3766 G17

負荷ステップ(図 39 の回路)



3766 G18

ピン機能 (SSOP/QFN)

SG (ピン1/ピン26) :同期 MOSFET のゲート・ドライブ。

FG (ピン2/ピン27) :フォワード MOSFET のゲート・ドライブ。

V_{SEC} (ピン3/ピン28) :ボルト秒の制限。抵抗を SW から V_{SEC} に接続し、コンデンサを V_{SEC} から GND に接続して、メイン・パワートランスに与えられる最大ボルト秒積を設定します。PWM のオン時間は、V_{SEC} 電圧が内部で生成されるスレッシュホールドを超えると終了します。使用しない場合、GND に接続します。

MODE (ピン4/ピン1) :LTC3765 を使った通常の絶縁型アプリケーションでは、GND または V_{CC} に接続して、(同期 MOSFET とフォワード MOSFET のゲートをドライブする必要に応じて)動作電圧をそれぞれ低電圧モードまたは高電圧モードに設定します。非絶縁型アプリケーションでは、100k または 50k の抵抗を介してグラウンドに接続し、(それぞれ低電圧動作または高電圧動作の)スタンドアロン・モードを有効にします。このモードでは、PT⁺ピンを1次側 MOSFET のゲートに直接接続することができ、リファレンス・クロック信号が PT⁻ピンに生成されます。スタンドアロン・モードでは、FGDピンは無視され、関連した遅延は適応設定されます。

PHASE (ピン5/ピン2) :フェーズ・セクタへの制御入力。このピンは、FS/SYNCピンの同期信号を基準にした内部コントローラの CLK のフェーズを決めます。

FB (ピン6/ピン3) :メイン・ループのエラーアンプの反転入力。PolyPhase アプリケーションのスレープ・モードをイネーブルするには V_{CC} に接続します。

ITH (ピン7/ピン4) :メイン・ループのエラーアンプの出力。ITHピンと GND の間に補償部品を配置します。

RUN (ピン8/ピン5) :実行制御入力。このピンを 1.22V より下に保持すると、IC をシャットダウンし、ソフトスタート・ピンと REGSDピンを 0V にリセットします。

SS (ピン9/ピン6) :ソフトスタート入力。このピンとグラウンドの間に接続したコンデンサにより、出力電圧のランプ時間が設定されます。

IPK (ピン10/ピン7) :ピーク電流制限とインダクタのリップルのキャンセル。このピンは、インダクタの電流リップルの大きさに基づいてピーク電流制限を調整するのに使われ、それによって電流制限時に一定の平均出力電流を供給します。メイン出力インダクタに比例する抵抗を GND に接続します。ピーク電流制限を固定する場合、このピンをフロート状態のままにします。このピンの寄生容量を最小に抑えます。

V_{SOUT}、V_S⁺、V_S⁻ (ピン11、12、13/ピン8、9、10) :V_{SOUT}は、高精度ユニティゲイン差動アンプの出力です。V_S⁺と V_S⁻をメイン DC/DC コンバータの出力に接続して、真のリモート差動検出を行います。V_S⁺は、インダクタのリップル・キャンセルのための出力電圧の直接検出にも使用されます。詳細については「アプリケーション情報」のセクションを参照してください。

GND (ピン14/ピン11、露出パッドのピン29) :信号グラウンドおよび SG の逆過電流の4端子検出。同期 MOSFET のソースのところでパワーグラウンドに接続します。定格熱性能を得るには露出パッドを PCB のグラウンドに半田付けする必要があります。

FS/SYNC (ピン15/ピン12) :周波数設定と SYNC の組み合わせピン。275kHz で動作させるには V_{CC} に接続します。このピンからグラウンドに抵抗を接続して、75kHz ~ 500kHz の周波数を設定します。同期させるには、このピンをクロック信号でドライブして、100kHz ~ 500kHz の PLL による同期を行います。20μA の電流をソースします。

REGSD (ピン16/ピン13) :レギュレータ・シャットダウン・タイマ。コンデンサをグラウンドに接続して、高電圧リニア・レギュレータ・コントローラが動作する時間を制限します。REGSD 電圧が 1.21V を超えると、リニア・レギュレータはシャットダウンします。このピンは、リニア・レギュレータがアクティブなとき 13μA の電流をソースします。

I_S⁻ (ピン17/ピン14) :電流検出回路への負入力。下側の電流検出抵抗の負端に接続します。電流検出トランスを使用する場合、I_S⁺を、高い最大トリップ・レベルで、シングルエンドで検出するには、このピンを V_{CC} に接続します。

I_S⁺ (ピン18/ピン15) :電流検出回路への正入力。下側電流検出抵抗の正端または電流検出トランスの出力に接続します。

SGD (ピン19/ピン16) :同期ゲートの立ち上がりエッジの遅延。GND への抵抗が、1次側ゲートのターンオフ (PT⁺の立ち下がり) から SG の立ち上がり (および FG の立ち下がり) までの遅延を設定します。この遅延を使って、1次側 MOSFET のターンオフと SG のターンオンの間のデッドタイムを最適化します。この遅延を、SW ピンの電圧の立ち下がりエッジに基づいて、適応設定するには、SGD を GND に接続します。「アプリケーション情報」のセクションの「ゲート・ドライブの遅延の設定」を参照してください。

ピン機能 (SSOP/QFN)

FGD (ピン 20/ピン 17) : フォワード・ゲートの立ち上がりエッジの遅延。GND に接続した抵抗が、PT⁺ の立ち上がりから FG の立ち上がり (および SG の立ち下がり) までの遅延を設定します。この遅延を使って、SG のターンオフと 1 次側 MOSFET のターンオン間のデッドタイムを最適化します。スタンドアロン・モードでは (MODE に 100k または 50k の抵抗)、このデッドタイムは適応設定され、FGD ピンは接地することができます。「アプリケーション情報」のセクションの「ゲート・ドライバの遅延の設定」を参照してください。

NDRV (ピン 21/ピン 18) : 高電圧リニア・レギュレータ・コントローラの外部パス・デバイスのドライブ出力。外部 N タイプ・デバイスのベース (NPN) またはゲート (MOSFET) に接続します。内部 LDO (V_{AUX} ピン) しか使用しない場合、V_{CC} ピンに接続します。

V_{IN} (ピン 22/ピン 19) : リニア・レギュレータ・コントローラを使用するとき、電圧の高い方のバイアス電源に接続します。V_{IN} ピンは、内部スタンバイ回路とモニタ回路、リニア・レギュレータ・コントローラ、および差動アンプにバイアスを供給します。内部 LDO しか使用しない場合、V_{AUX} ピンに接続します。

SW (ピン 23/ピン 20) : 同期 MOSFET のドレインに (4 端子) 接続します。この入力、適応型シュートスルー防止およびリーディングエッジ・ブランキング、高レベル SW ノード電圧のモニタ、および SG の逆電流保護に使われます。SW が “H” のとき、このピンの電圧は内部で測定され、インダクタ・リップル・キャンセル回路およびボルト秒制限回路に使われます。SW が “L” で SG が “H” のとき、このピンは小電流をソースし、SG の逆過電流保護に使われます。SW ピンと同期 MOSFET のドレインの間に抵抗を接続して、SG の逆過電流スレッシュホールドを調整することができます。SW ピンは内部で 50V にクランプされています。

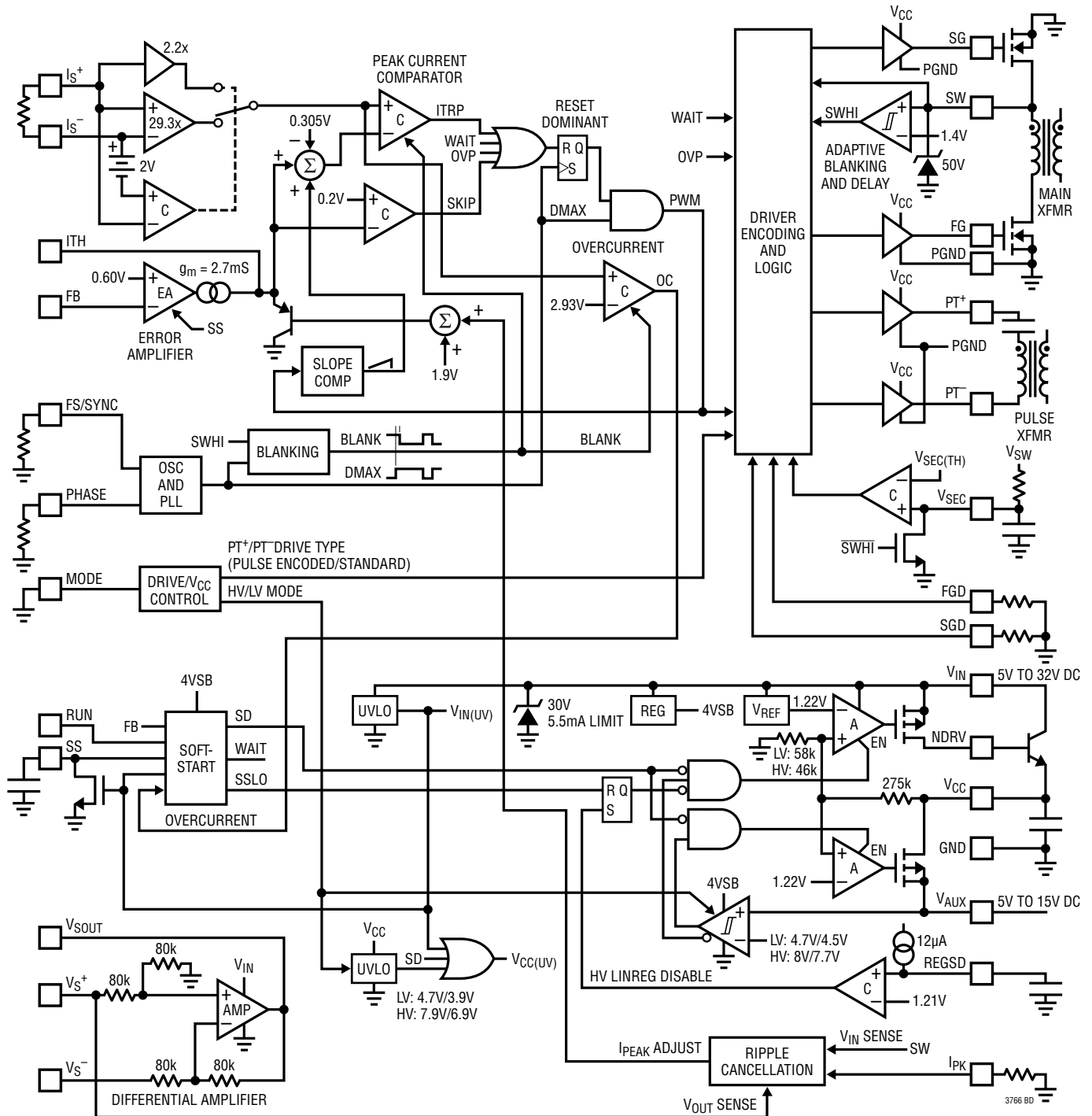
V_{AUX} (ピン 24/ピン 21) : 補助電源入力。これは、V_{CC} に接続されている内部 LDO への電源入力です。この LDO は、V_{AUX} が 4.7V (または、高電圧モードでは 8V) より大きいと、V_{IN} から給電されるメイン・リニア・レギュレータをバイパスして、V_{CC} に電力を供給します。「アプリケーション情報」セクションの「V_{AUX} の接続」を参照してください。V_{AUX} ピンは 16V を超えないようにしてください。

PT⁻, PT⁺ (ピン 25、26/ピン 22、23) : パルストランス・ドライバの出力。ほとんどのアプリケーションでは、これらを直列 DC ブロッキング・コンデンサを介してパルストランスに接続します。PWM 情報は DC 電力と多重化され、パルストランスを介して 1 次側に送られます。PWM 信号は次に、LTC3765 のアクティブ・クランプ・フォワード・コントローラとゲート・ドライバによってデコードされます。スタンドアロン・モードでは (MODE に 100k または 50k の抵抗)、PT⁺ ピンには標準的 PWM 信号があり、1 次側 MOSFET のゲートに直接接続することができ、他方、リファレンス・クロック信号は PT⁻ ピンに生成されます。

PGND (ピン 27/ピン 24) : ゲート・ドライバのグランド・ピン。同期 MOSFET のソースのところでパワーグランドに接続します。

V_{CC} (ピン 28/ピン 25) : 全てのドライバおよび制御回路のメイン V_{CC} 入力。

ブロック図



タイミング図

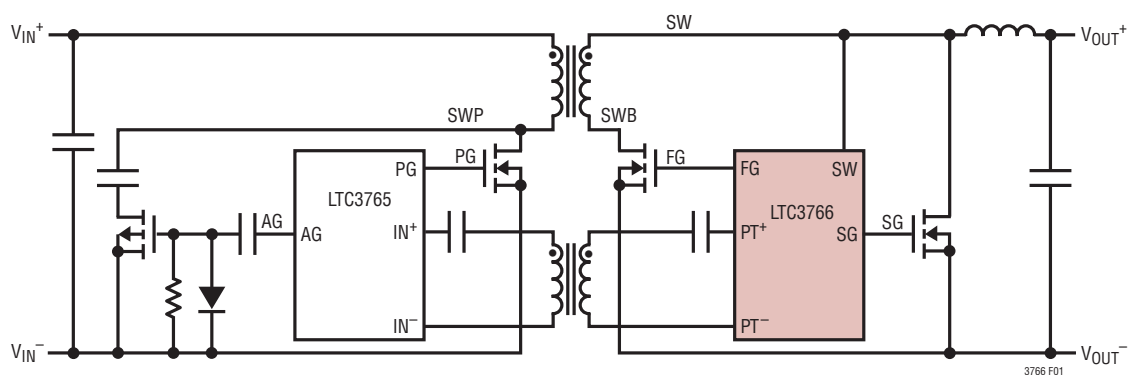
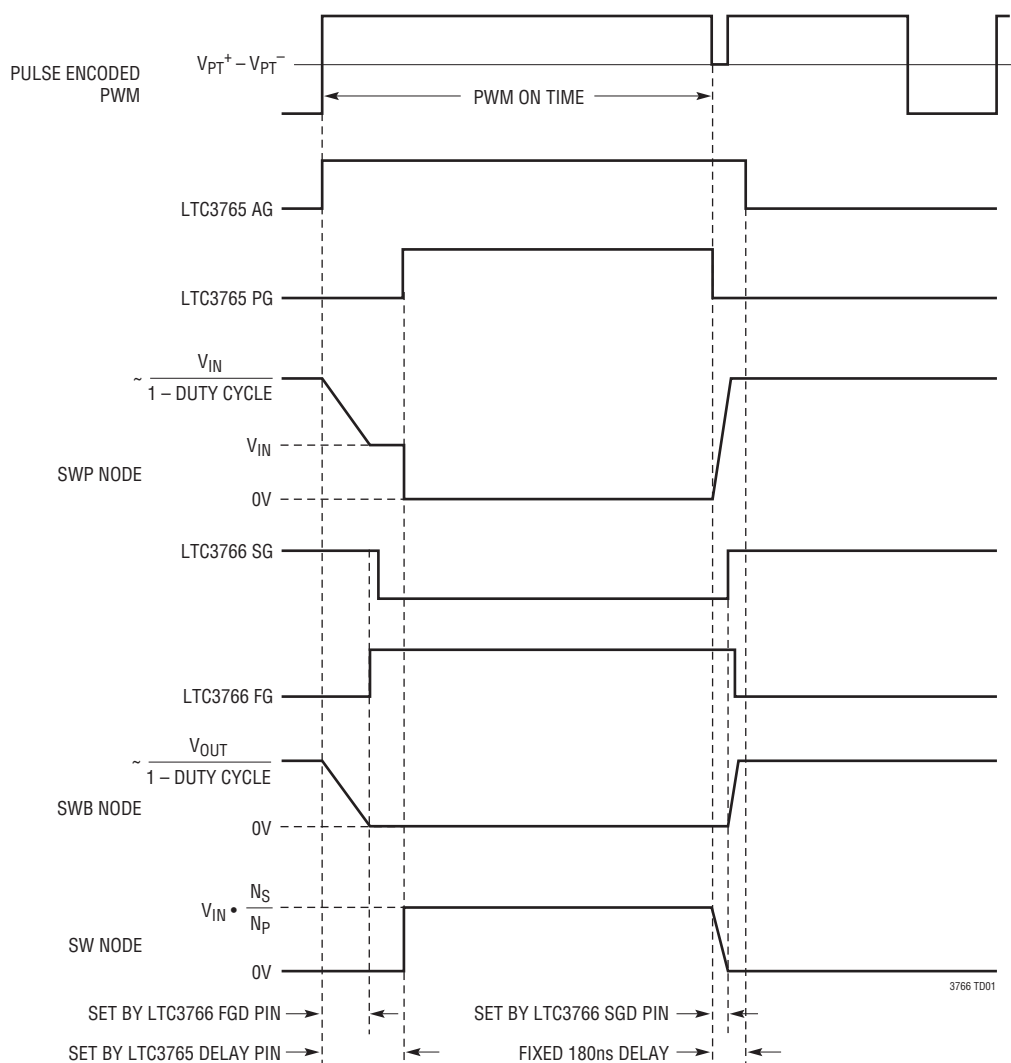


図1. タイミング図の参照回路図

動作

LTC3766は、フォワード・コンバータに使用するように設計された2次側PWMコントローラで、アクティブ・クランプ・リセットと同期整流機能を備えています。LTC3765アクティブ・クランプ・フォワード・コントローラおよびゲート・ドライバと組み合わせると、最少の外部部品で、高効率で堅牢な絶縁型電源を構成します。LTC3766は、2次側制御アーキテクチャを利用することにより、負荷を直接モニタしながら並外れた過渡応答を実現して、出力電圧と出力電流の両方を精密に制御することができます。このアーキテクチャは優れた性能を実現し、非常にシンプルで、高電力バッテリー・チャージャのアプリケーションに特に適しています。

自己起動

ほとんどのアプリケーションで、LTC3766はLTC3765と組み合わせ、2次側制御の、自己起動するフォワード・コンバータを構成します。2次側には最初利用できるバイアス電圧がないので、LTC3765は1次側が開ループ状態で起動する必要があります。1次側に最初に電力が与えられると、LTC3765は自己の内部発振器を使って、開ループのソフトスタートを開始します。1次側メインMOSFETをスイッチングすることにより、電力が2次側に供給されます。スイッチングのデューティサイクルは、SSFLTピンの電圧の上昇速度によって制御されつつ、0%から70%に徐々に増加します。2次側では、ピーク充電回路や適切な他の方法を使って、バイアス電圧をメイン・トランスから直接発生することができます。LTC3766は、その起動要件を満たす適切な電圧が与えられていると、図2に示すように、パルス・トランスを通してデューティサイクルの情報を伝えます。LTC3765はこの信号を検出すると、ゲート・ドライバの制御をLTC3766に引き渡し、LTC3766が出力電圧のソフトスタートを引き継ぎます。この1次側から2次側への制御の引き渡しは、一般に、出力電圧がその最終レベルの半分以下のとき行われます。LTC3765は次にリニア・レギュレータをオフし、この信号から(内蔵整流器を通して)1次側MOSFETのバイアス電力を引き出します。

リニア・レギュレータ

2次側で発生させたバイアス電圧は、一般に、フォワードMOSFETおよび同期MOSFETの動作に望ましいレベルより高くなります。したがって、LTC3766は、内部PMOSを備えた15V V_{AUX} バイパス・レギュレータとともに高電圧リニア・レギュレータ・コントローラを搭載しており、どちらも V_{CC} ピンの電圧

を安定化するのに使うことができます。リニア・レギュレータ・コントローラは、NDRVピンを外部のNタイプ・パス・デバイスのベースまたはゲートに接続して使用します。LTC3766の V_{IN} ピンは、内部のスタンバイ回路やモニタ回路とともにリニア・レギュレータ・コントローラにバイアスを供給します。 V_{AUX} ピンで適切な電圧が検出されると、 V_{AUX} バイパス・レギュレータがアクティブになり、高電圧リニア・レギュレータ・コントローラがシャットダウンして電力損失を減らします。代わりに、 V_{AUX} レギュレータだけが必要なら、NDRVピンを V_{CC} に接続し、 V_{IN} を V_{AUX} に接続することができます。2つのリニア・レギュレータをこのように柔軟に組み合わせることにより、広範なアプリケーションの V_{CC} バイアス電圧を手軽に効率よく発生させることができます。

MODEピンを使って、両方のリニア・レギュレータの出力電圧を、(フォワードMOSFETと同期MOSFETのゲートをドライブするのに必要なレベルに基づいて)7Vまたは8.5Vに設定することができます。低電圧ロックアウト(UVLO)の設定ポイントと V_{AUX} の切り替えレベルが、 V_{CC} の安定化レベルに伴って調整されることに注意してください。これにより、適切なゲート・ドライブ電圧が与えられているときだけMOSFETはスイッチングします。

実行制御とソフトスタート

LTC3766のメイン・オン/オフ制御はRUNピンで行われます。このピンは、内部ヒステリシスと外部で調整可能なヒステリシスの両方を備えた精密スレッショルドを備えています。このピンを使って、2次側バイアス電圧またはメイン出力電圧をモニタして、1次側から2次側へのハンドオフ(制御の引き渡し)が生じるポイントを制御することができます。代わりに、制御信号で直接それをドライブすることができます。LTC3766をスタンドアロンで使用する非絶縁型アプリケーションでは、主電源の入力電圧をモニタすることにより、このピンを低電圧ロックアウトとして使うことができます。詳細については、「アプリケーション情報」のセクションの「非絶縁型アプリケーション」を参照してください。

LTC3766は、RUNピンが“H”になり、適切な電圧が V_{IN} ピンと V_{CC} ピンの両方に与えられており、SWピンのスイッチングが検出されると、ソフトスタートのシーケンスを開始します。LTC3765が制御を引き渡す用意ができていることを確認するため、LTC3766はソフトスタート・シーケンスを開始する前に、SWピンのスイッチングを検出する必要があることに注意

動作

してください。ソフトスタートのシーケンスは、最初にFBピンの電圧を測定し、ソフトスタート・コンデンサの電圧を出力電圧(V_{OUT})に対応するレベルまで予め素早く設定して開始されます。これは、1次側から2次側に制御が移るとき出力電圧が滑らかにランプするように、また、不必要な起動時の遅延を避けるために行われます。ソフトスタート・コンデンサが適切なレベルに予め設定されたら、LTC3766はパルス幅を介して短いパルス・シーケンスを送り、LTC3766とLTC3765の間の通信をロックします。このポイントで、LTC3766は1次側のMOSFETの制御を引き受け、5 μ Aの定電流でソフトスタート・コンデンサの充電を開始し、メイン出力電圧のソフトスタートを継続します。エラーアンプのリファレンスの実効レベルを制限するのにソフトスタート電圧が使われることに注意してください。この手法により、2次側のソフトスタート期間に出力電圧の閉ループ制御が維持されます。

ゲート・ドライブ・エンコーディング

LTC3766 コントローラは絶縁バリアの2次側に通常置かれるので、1次側ゲート・ドライバとの通信は小さなパルス幅を介して行う必要があります。ゲート・ドライブ(PWM)情報を伝える一般的な方式では、短いパルスを利用し、パワーMOSFETがオンすべきかオフすべきかを「覚えておく」レシーバ・ラッチを使います。ただし、このシステムは誤った状態に落ち込みやすく、有効なゼロ・デューティサイクル信号と信号の欠落を見分けることが困難です。これらの弱点を補うため、LTC3766は独自のゲート・ドライブ・エンコーディング方式を使い、遅れることなく、高い信頼性で、絶縁バリアを越えて常時通信を維持します。

LTC3766はエンコードしたPWM情報をPT⁺出力とPT⁻出力に生成します。これらの出力はDCブロッキング・コンデンサを介して小さなパルス幅に接続されます。これらの出力は79%の一定のデューティサイクルの相補形式でドライブされます。これによりボルト秒のバランスが安定するので、パルス幅によって伝達される信号の振幅が一定になります。図2に示すように、($V_{PT^+} - V_{PT^-}$)が正である期間の開始点が1次側メインMOSFETのターンオンにはほぼ一致します。同様に、($V_{PT^+} - V_{PT^-}$)が負である期間の開始点が、最大デューティサイクル(1次側メインMOSFETの強制ターンオフ)に一致します。正の期間の適切な時点に、パルス幅の両端にゼロボルト差を短時間与えることにより、「オン」時間の終点(PWMが“L”になる)が知らされます。ゼロのデューティサイクルの信号を送る必要がある場

合、正の期間の開始点でゼロの電圧差を与えます。このようにして、0%から最大79%までの任意のデューティサイクルを、遅延なしに、パルス幅を越えて送ることができます。このエンコーディング方式の動作を図2に示します。

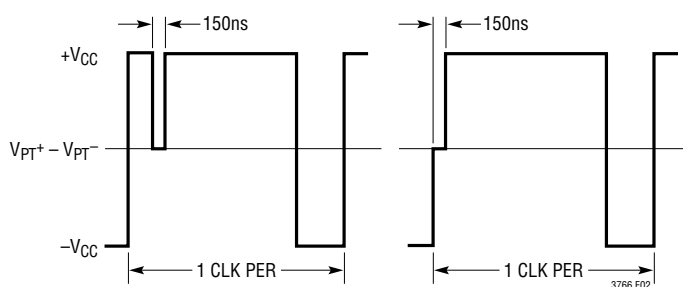


図2. ゲート・ドライブのエンコード方式
(MODE = GND または MODE = VCC)

1次側では、LTC3765がDC復元コンデンサを介してパルス幅から信号を受け取ります。2つのデバイスの間の通信がロックされた後、LTC3765はクロックとデューティサイクル情報を信号から抽出し、それを使ってゲート・ドライバの出力を制御します。微小なパルスを除き、この方式は常にパルス幅の両端に差電圧を与えることに注意してください。したがって、LTC3765はほとんど瞬時に信号の欠損を検出してパワーMOSFETをオフすることができます。

フォワード・コンバータとメイン・ループの動作

LTC3766とLTC3765の間の通信がロックされると、LTC3766は1次側MOSFETのスイッチングを制御することができます。通常動作の間、2次側のフォワードMOSFETのいくらか後に、(LTC3765のPGに接続された)1次側メインMOSFETがオンします。これにより、入力電圧がトランスの両端に加わり、2次側のSWノードが上昇します。SWノードの電圧は出力電圧より高いので、インダクタ電流が上方にランプします。インダクタ電流がITHピンの電圧によって定まるピーク値までランプアップすると、電流検出コンパレータがトリップし、1次側MOSFETをオフします。短い遅延の後、フォワードMOSFETがオフし、同期MOSFETが再度オンするので、インダクタ電流が下方にランプダウンします。LTC3766の内部クロックの次の立ち上がりエッジで、同期MOSFETがオフし、フォワードMOSFETと1次側のメインMOSFETが再度オンして、サイク

動作

ルが繰り返されます。LTC3766のエラーアンプがメイン出力電圧を検出し、ITH電圧を調整して、出力電圧を望みのレギュレーション・レベルに保つのに必要なピーク・インダクタ電流を得ます。

アプリケーションによっては、メイン出力電圧と負荷の間かなりの抵抗性電圧降下が生じることがあります。これを解決するため、LTC3766は高精度差動アンプを搭載しており、それを使って15Vまでの負荷電圧をリモートで検出することができます。

電流検出、スロープ補償、およびブランキング

LTC3766は、電流検出抵抗または絶縁された電流トランスのいずれを使った電流検出もサポートします。電流検出抵抗を使う場合、 I_S^+ ピンと I_S^- ピンは差動で動作し、最大ピーク電流スレッショルドは約75mVです。電流検出抵抗は通常フォワードMOSFETのソースに接続し、電力損失を最少に抑えます。電流トランスを使って1次側スイッチ電流を検出する場合、 I_S^- 入力を V_{CC} に接続し、 I_S^+ ピンを電流トランスの出力に接続します。これにより、内部電流検出アンプの利得が減少するので、最大ピーク電流スレッショルドは約1Vに増加します。

固定周波数ピーク電流制御を使うどんなPWMコントローラでもそうであるように、電流ループを安定させ、ノイズマージンを改善するには、スロープ補償が必要です。LTC3766は固定スロープ補償を内蔵しています。スロープの大きさは、広範なアプリケーションに適するように選択されています。スロープ補償の使用は通常、電流制限の精度に悪い影響を与えますが、LTC3766は独自の回路を使って、電流制限性能に対するスロープ補償の影響をなくしています。

LTC3766の電流ループはスイッチ電流を検出するので、MOSFETのターンオン電流スパイクによる電流コンパレータの誤作動を防止するため、リーディングエッジのブランキングが必要です。LTC3766は、(同期MOSFETのドレインに接続した)SWピンの電圧を使って、約180nsの適応型リーディングエッジ・ブランキングを行います。電流コンパレータのブランキングは、SWの電圧が1.4Vを超えた後初めて開始されます。この適応型ブランキングが不可欠なのは、 PT^+ が立ち上がる時から、SWノードが立ち上がり、出力インダクタ内で電流がランプアップを開始するまでの遅延が潜在的に長いからです。また、このブランキングは外部フィルタの必要性を最小にします。

ゲート・ドライバの遅延の調整

全てのフォワード・コンバータの場合と同様、バランスのとれた電圧時間積を維持して飽和を防ぐため、メイン・トランスのコアを適切にリセットする必要があります。この作業は、アクティブ・クランプ・ゲート・ドライバを備えたLTC3765によって1次側で行われます。アクティブ・クランプMOSFETはコンデンサと一緒に動作して、メイン・トランスの最適リセット電圧を発生します。この最適リセット電圧は1次側のメインMOSFETの電圧ストレスを最小に抑え、磁束密度の変化を減らすことにより、パワートランスのコアの利用率を最大にします。

一般に、アクティブ・クランプMOSFETは、1次側メインMOSFETに対して相補的にスイッチングします。アクティブ・クランプMOSFETはPMOSなので、アクティブ・クランプ・ゲート・ドライバ(AG)と1次側メイン・ゲート・ドライバ(PG)の電圧は「同位相」になり、オーバーラップ時間はプログラミング可能で、LTC3765のDELAYピンによって設定されます。

アクティブ・クランプPMOSのターンオフと1次側スイッチNMOSのターンオン間の遅延時間は効率の最適化にとって非常に重要です。アクティブ・クランプがオンのとき、1次側NMOSのドレイン(つまり1次側スイッチ・ノード(SWP))は、メイン・トランスによって約 $V_{IN} \cdot (1-D)$ の電圧にドライブされます。アクティブ・クランプがオフするとき、トランスの磁化インダクタンスの電流により、この電圧は直線的に V_{IN} までランプダウンします。SWPの電圧が最小のとき、1次側スイッチをオンすることにより、電力損失が最小になります。LTC3765のDELAYピンからグラウンドに接続した抵抗により、PGのターンオンの固定遅延時間が設定されます。

1次側スイッチのターンオフとアクティブ・クランプのターンオン間の遅延時間は、それほど重要ではありません。1次側スイッチがオフすると、トランスを介して反射したインダクタのピーク電流によって、メイン・トランスの漏れインダクタンスがバイアスされます。この電流がアクティブ・クランプPMOS両端の電圧を短時間に0Vにドライブします。この遷移後にPMOSをオンすると、スイッチングによる電力損失が小さくなります。LTC3765のアクティブ・クランプのターンオン遅延は内部で180nsに固定されており、通常はアクティブ・クランプPMOSはゼロ電圧でスイッチングします。

動作

2次側では、フォワード・ゲート(FG)と同期ゲート(SG)のMOSFETのターンオン遅延は、それぞれFGDピンとSGDピンによって調整されます。これらの遅延は、1次側MOSFETのシュートスルーを防ぎながら、(負荷電流がMOSFETのボディ・ダイオードを通して流れているときの)デッドタイムを最小にするように、GNDへの抵抗を使って設定します。PGゲートとSGゲート、またはAGゲートとFGゲートのどちらでも同時に“H”になると、シュートスルー状態になります。SGのMOSFETのターンオン遅延には最小リミットがあり、SWノードの立ち下がりエッジによって定まることに注意してください。SGピンは、SWが0.5Vを下回るまで“H”になりません。詳細については、「アプリケーション情報」のセクションの「遅延抵抗の選択」を参照してください。スタンダアロン・モードでは(MODEに100kまたは50kの抵抗)、シュートスルーを防ぐように、PGとSGの間のデッドタイムを適応設定します。

周波数設定と同期

LTC3766は1つのピンを使って動作周波数を設定するか、または内蔵フェーズロック・ループ(PLL)を使って内部発振器を基準クロックに同期させます。FS/SYNCピンは20μAの電流をソースします。このピンをV_{CC}に接続して固定275kHz動作にするか、または1個の抵抗をGNDに接続して、スイッチング周波数を $f_{SW} = 4R_{FS}$ に設定することができます。クロック信号(>2V)がFSピンで検出されると、LTC3766は内部のPLLを使って、この信号の立ち下がりエッジに自動的に同期します。

電流制限とインダクタのリップルのキャンセル

LTC3766はピーク電流制御を利用するので、負荷電流需要が電流制限の設定ポイントを超えて増加すると、ピーク・インダクタ電流が制限されます。ピーク電流制限は、ITH電圧の最大レベルの内部クランプによって定まります。ただし、平均電流は、インダクタ・リップル電流の半分に等しい量だけピーク電流を下回ります。電流制限の間、このリップル電流は、V_{IN}、V_{OUT}、およびスイッチング周波数の変化に伴って大きく変化します。インダクタ・リップルがキャンセルされないと、この

リップル電流の変化により、(ピーク電流が一定値に保持されたとしても)平均出力電流の大きな変化も生じます。

平均電流を電流制限の間ほぼ一定に保つため、LTC3766は、ピーク電流制限(つまり、ITHクランプ・レベル)をインダクタ・リップル電流の大きさに比例させて調整することにより、リップル電流の影響をキャンセルします。これは、サイクルごとに、インダクタ電流のランプを真似た内部ランプを発生し、この内部ランプの振幅をITHクランプ電圧に追加することによって達成されます。オン時間の間、インダクタ電流のスロープは次式で与えられます。

$$\frac{dI_L}{dt} = \frac{V_{SW} - V_S^+}{L}$$

LTC3766は $(V_{SW} - V_S^+)/15$ の電圧をI_{PK}ピンに発生します。これはSWが“H”のときのオン時間の間の出力インダクタ両端の電圧の1/15です。出力インダクタに比例する抵抗R_{IPK}を選択すると(R_{IPK} = KL)、R_{IPK}を流れる電流はインダクタ電流の勾配に比例します。

$$I_{RIPK} = \frac{V_{SW} - V_S^+}{15R_{IPK}} = \frac{V_{SW} - V_S^+}{15KL}$$

SWが“H”の間、LTC3766は、R_{IPK}の電流を使って内蔵コンデンサC_{RIP}を充電することにより、内部ランプを発生します。この内部ランプ電圧の勾配は次式で与えられます。

$$\frac{dV_{RAMP}}{dt} = \frac{I_{RIPK}}{C_{RIP}} = \frac{V_{SW} - V_S^+}{15KLC_{RIP}}$$

この内部ランプの振幅がITHのクランプ・レベルに動的に追加されます。したがって、R_{IPK}の適切な値を選択することにより、電流制限時の平均電流はリップル電流の変化に基本的に依存しなくなります。

固定周波数動作を維持する全てのDC/DCコンバータの場合と同様、サイクルごとの電流制限は、制御可能な最小オン時間よりオン時間が大きなデューティサイクルでだけ効果があり

動作

ます。たとえば、短絡状態では、LTC3766は別の過電流コンパレータを使って電流を制限します。この過電流コンパレータがトリップすると、LTC3766はフォールトを発生し、続いてソフトスタートをリトライします。このヒックアップ・モード過電流保護は、短絡状態で電力損失を最小に抑えるのに非常に効果があります。

Direct Flux Limit (直接磁束制限)

アクティブ・クランプ・フォワード・コンバータでは、負荷の過渡変動の間または出力が予めバイアスされた状態で起動するときにはコアの飽和を防ぐため、トランスの磁束密度を精密に制限することが不可欠です。アクティブ・クランプの手法は、定常動作の間適切にリセット電圧を与えますが、負荷ステップに応答して生じるデューティサイクルの急激な増加により、トランスの磁束の増加ないし「walk」が生じることがあり、飽和するおそれがあります。これが生じるのは、アクティブ・クランプ・コンデンサのリセット電圧が、急速に変化するデューティサイクルに追いつけないからです。この影響は、低い入力電圧で顕著に現れます。なぜなら、低い入力電圧では、出力インダクタの電流をランプアップするのに使える電圧が低いため、電圧ループがデューティサイクルの増加を要求するからです。

従来は、コンバータの最大デューティサイクルを制限することにより、または、ループを遅くしてデューティサイクルが変化する速度を制限することにより、トランスのコアの飽和を防いでいました。低入力では、最大デューティサイクルの制限によりデューティサイクルの最大値がクランプされるので、負荷ステップに対してコンバータの飽和を防ぎます。ただし、高い入力電圧では最大デューティサイクルのクランプは効果的ではなく、トランスは簡単に飽和してしまいます。アクティブ・クランプ・コンデンサがデューティサイクルの変化に十分追従できるように、デューティサイクルの変化の速度を制限することも、多くの状況で飽和を防ぐのに役立ちますが、過渡応答が非常に悪くなります。これらの従来の手法はどれも、全ての状況でトランスが飽和するのを防ぐことを保証はしません。たとえば、出力が予めバイアスされた状態で起動するとき、デューティサイクルは急速に0%から75%に変化するので、これらの従来の手法を使うと簡単に飽和状態になります。さらに、これらの従来の手法はどれも、デューティサイクルの急な減少によって生じることもある負方向の変化で飽和を防ぐことができません。

LTC3765とLTC3766は、トランスのコア内の磁束の増加をモニタして直接制限する新しい独自システムを実装しています。アクティブ・クランプPMOSがオンしているリセット・サイクルの間、PMOSのソースに直列に接続されたセンス抵抗によって磁化電流を直接測定し、制限します。これにより、負方向の飽和を防ぎます。PMOSがオフし、メインNMOSスイッチがオンすると、LTC3765のRUNピンで検出される入力電圧と、(LTC3765のR_{CORE}ピンからグランドに接続された抵抗によって特定のコアに対してカスタム化された)トランスのコアのパラメータに基づいて、LTC3765は磁化電流を内部で正確に近似します。この正確な内部近似により、磁化電流がオン時間の間制限されます。前の方法とは異なり、直接磁束制限は、磁束の増加を直接測定し、モニタして、出力が予めバイアスされた状態で起動するときでも、トランスがどちらの方向でも飽和しないことを保証します。この手法は、非常に高いデューティサイクルを一時的に許し、絶対的に必要なときだけデューティサイクルを制限するので、可能な限り最良の過渡応答も与えます。さらに、この手法は、(多くのアクティブ・クランプ・フォワード・コンバータの設計で潜在的に重大な弱点である)過電流によるアクティブ・クランプPMOSへの損傷を防ぎます。

その他の保護機能

LTC3766は広範な保護機能を搭載しており、異常状態が持続するときDC/DCコンバータを保護します。一般に、保護機能はフォールトまたは制限によって分類されます。フォールトが検出されると、全てのスイッチングが停止し、LTC3766はソフトスタートのリトライを開始します。この種のフォールトには、過電流、過温度、差動アンプの誤配線、および通信のロックのフォールトが含まれます。

電流制限時にピーク電流がその正常値の約133%を超えると、過電流フォールトが生じます。インダクタ・リップル・キャンセルが使用されるとき、電流制限時のピーク電流がインダクタの電流リップルに伴って変化することに注意してください。過温度フォールトは165°Cに設定されており、20°Cのヒステリシスがあります。これは、外部デバイスの不具合や他の異常状態が生じたとき、DC/DCコンバータの温度を制限するのに役立ちます。差動アンプの配線フォールトは、差動アンプの入力が逆になるか、または、必要なV_{SOUT}電圧をサポートするのに十分な電圧がV_{IN}ピンに与えられていないと生じます。これは、

動作

出力の過電圧状態を防ぐのに重要です。最後に、LTC3766がLTC3765と常に通信状態にあることが不可欠なので、通信のロックが失われた場合もフォールトが発生します。SWノードの電圧をモニタし、それが、1次側に送られてくるPWM信号にตอบสนองして上昇と下降の両方を行っていることを確認することによって、通信のロック状態を検出します。SWノードの電圧が適切なし方で上昇および下降を行っていないと、ロック・フォールトが発生します。

フォールトが発生する4つの保護機能の他に、フォールトが発生せずにクランプまたは制限を行う4つの保護機能もあります。まず、LTC3766は高精度ボルト・秒クランプを備えています。この機能は、LTC3766を（直接磁束制限機能を内蔵している）LTC3765と一緒に使うときは不要です。ただし、LTC3766をスタンドアロンで使う場合、抵抗をSWノードからV_{SEC}ピンに接続し、コンデンサをV_{SEC}からGNDに接続することにより、ボルト秒制限機能を使うことができます。SWノードが“L”のとき、コンデンサは内蔵NMOSによって放電します。SWノードが“H”のとき、V_{SEC}のコンデンサが充電されます。コンデンサの電圧が内部で発生させたスレッショルドを超えると、1次側メイン・スイッチがオフするので、メイン・トランスに与えられる電圧時間積が制限されます。RC充電回路の指数関数的性質を補償するため、LTC3766はボルト秒コンパレータのスレッショルドを次式にしたがって調整します。

$$V_{\text{SEC(TH)}} = 0.6 - \frac{0.16}{V_{\text{SW(HI)}}}$$

ここで、V_{SW (HI)}は1次側スイッチのオン時間の間のSWピンの電圧です。これにより、2V～40VのSWノードの電圧に対して、ボルト秒のリミットが基本的に一定に保たれます。

2番目に、メイン出力電圧がその安定化の目標値を17%以上超えると、LTC3766は過電圧状態を検出します。これが起きると、LTC3766は直ちに1次側メインMOSFETをオフし、同期MOSFETをオンします。これは、出力電圧をブルダウンする効果があり、負荷を潜在的損傷から保護します。過電圧保護はラッチされず、出力電圧がその安定化レベルの15%以内に下がると通常動作に戻ります。

3番目に、LTC3766は調整可能な同期MOSFETの逆過電流保護を備えています。これは、同期MOSFETがオンのとき(SGピンが“H”)、SW電圧をモニタすることにより達成されます。SWの電圧が予め定められたスレッショルドを超えると、同期MOSFETがオフし、損傷を与える可能性のある電流レベルからそれを保護します。逆過電流検出のこのSWスレッショルドは、(SGピンが“H”のとき電流をソースする)SWピンに直列に抵抗を接続することにより下げることができます。SGの逆過電流スレッショルドとSWピンのソース電流は、MODEピンの状態に基づいて調整されることに注意してください。これは、高電圧MOSFETまたは低電圧MOSFETの使用に対応するために行われます。これらのMOSFETのオン抵抗は通常大きく異なります。過電圧状態では、SGの逆過電流は過電圧保護をオーバーライドし、SGを“L”に強制して、過電圧状態が持続する間SGの逆MOSFET電流を基本的に高いレベルに安定化します。ただし、SGの逆過電流はLTC3766が通信をロックした後で初めてアクティブになります。

最後に、REGSDピンを使って、高電圧リニア・レギュレータ・コントローラがアクティブになる時間の長さを制限することができます。これは、LTC3766が非絶縁型フォワード・コンバータにスタンドアロンで使用されるとき特に役立ちます。このアプリケーションでは、リニア・レギュレータ・コントローラのパス・デバイスがかなりの電力を消費することがあります。リニア・レギュレータ・コントローラがアクティブなとき、REGSDピンは13μAの電流をソースします。REGSDからGNDに接続したコンデンサが1.21Vより高い電圧に充電されると、リニア・レギュレータ・コントローラはデイスエーブルされます。

ゲート・ドライバのモード制御

LTC3765と一緒に使用する他に、LTC3766は、非絶縁型フォワード・コンバータのアプリケーションで、スタンドアロンで使用することもできます。この場合、MODEピンを使って、100k抵抗(V_{CC} = 7Vの動作の場合)または50k抵抗(V_{CC} = 8.5Vの動作の場合)を介してMODEをGNDに接続することにより、ゲート・ドライブのエンコーディングをデイスエーブルすることができます。これにより、正常なPWM信号がPT⁺に現れ、リファレンス・クロックがPT⁻に現れます。

アプリケーション情報

2次側バイアスと起動

ほとんどのアプリケーションでは、LTC3766はそのバイアス電圧を2次側で発生させた電源から受け取ります。2次側バイアスを発生する方法は、出力電圧およびDC/DCコンバータの入力電圧の変化に依存します。ただし、全てのアプリケーションで、2次側バイアスは常に、出力が安定化レベルに達する前に立ち上がる必要があります。これは、最初の起動は開ループ状態で1次側から行われるので、出力の過電圧状態を防ぐために不可欠です。詳細については、「2次側バイアスの発生」を参照してください。

LTC3766は、RUNピンが“H”になり、適切な電圧がVINピンとVCCピンの両方に与えられ、SWピンのスイッチングが検出されるまでは、ソフトスタートのシーケンスを開始せず、スイッチングを開始しないことに注意してください。LTC3766はSWピンのスイッチングをモニタして、LTC3766がアクティブであり、制御の引き渡しの用意ができていることを確認します。スイッチングを検出するには、SWノードの波形に50kHz～700kHzの少なくとも8個の連続したパルスが必要です。SWノードの波形には1.4Vより高いピークと、0.5Vより低い谷も必要です。LTC3766は、スタンダアロン・モードでは、SWピンでスイッチング波形が検出されるのを待つことなく、ソフトスタート・シーケンスを開始します。

リニア・レギュレータの動作

LTC3766は2つのレギュレータを備えており、それらを使って、利用可能なバイアス電圧を、MOSFETをドライブするのに適したレベルに安定化します。バイアス電源の電圧が15Vより高い場合、高電圧リニア・レギュレータ・コントローラを使うことができます。この場合、Nタイプの外部パス・デバイスを利用します。0.22μF以上のコンデンサをVINに、1μF以上のコンデンサをVCCに接続します。VINピンに接続したバイアス電源の出力インピーダンスが比較的高い場合、VINに大きなコンデンサを使用して、VCCのコンデンサの充電中にVINピンの電圧が下がるのを防ぐ必要があるかもしれません。リニア・レギュレータの起動時のVCCの充電速度は、LTC3766によって約0.5V/μsに設定されるので、 $(0.5 \cdot 10^6) C_{VCC}$ の充電電流が発生します。この充電電流がNタイプのパス・デバイスのSOAを超えないように、特に高いVIN電圧で動作するとき注意します。VCCの安定化レベルは、MODEピンを使って、7Vまたは

8.5Vのどちらか望む方に設定することができます。詳細については、「VCCとドライブ・モードの選択」のセクションを参照してください。

LTC3766は15VのバイパスLDOも内蔵しています。VAUXピンの電圧がVAUX切り替えスレッシュホールドを超えると、高電圧リニア・レギュレータはディスエーブルされ、内部PMOSパスLDOがVAUXを使ってVCCに電力を供給します。これにより、最初の起動には高電圧リニア・レギュレータを使い、通常動作では高効率のバイパスLDOを使うことができます。両方のリニア・レギュレータを使うこのような構成方法を図3に示します。

VAUXピンの電圧が切り替えスレッシュホールドより低いと、VAUXピンには約920Ωの抵抗性負荷が内部で与えられます。この内部負荷は、バイパス・レギュレータが起動する前に、VAUX電源が十分安定するように使用され、VAUXレギュレータがイネーブルされた後取り去られます。

場合によっては、外部パス・デバイスの温度上昇を制限するため、高電圧リニア・レギュレータを起動時に短時間だけ使用するのが望ましいでしょう。これを実現するには、REGSDピンからグラウンドに次のようなコンデンサを接続します。

$$C_{RSD} = \frac{t_{HVREG}(13\mu A)}{1.21V}$$

ここで、t_{HVREG}は高電圧レギュレータが動作する時間です。高電圧レギュレータが動作しているとき、13μAの電流がREGSDピンからソースされ、それがシャットダウンすると（たとえば、バイパス・レギュレータがアクティブ）、3μAの電流がREGSDピンにシンクされます。REGSD電圧が1.21Vを超えると、高電圧レギュレータはディスエーブルされます。通常の起動時間より長いt_{HVREG}時間を選択してください。起動後、VAUXピンの電圧が低下すると、高電圧リニア・レギュレータが限られた時間だけ再度アクティブになります。

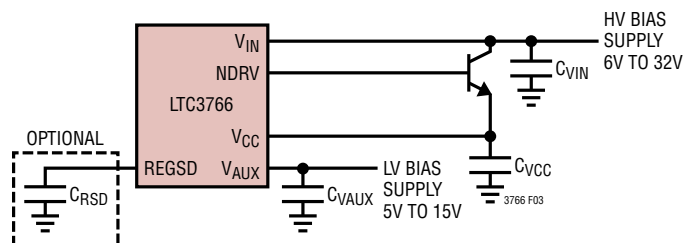


図3. リニア・レギュレータの標準的接続方法

アプリケーション情報

5V～10Vのバイアス電源と一緒に使う場合、図4aに示すとおり、V_{CC}ピンをバイアス電源に直接接続することができます。内部回路を適切に動作させるには、V_{IN}ピンとNDRVピンもバイアス電源に接続する必要があることに注意してください。6V～15Vのバイアス電源を利用できるとき、図4bに示すように、V_{AUX}バイパス・リニア・レギュレータをスタンドアロンで使うことができます。この場合、NDRVピンをV_{CC}ピンに接続することにより、適切な起動を確実に行うことができます。ただし、NDRVに外部パス・デバイスがないので、実効UVLOレベルは、V_{CC}のUVLOスレッショルドの代わりに、V_{AUX}の切り替えスレッショルドによって支配されます。V_{AUX}のスレッショルドに頼るのではなく、起動レベルとシャットダウン・レベルは通常、図4bに示すように、RUNピンを使ってバイアス電源電圧をモニタすることにより設定されます。詳細については、「RUNピンの動作」のセクションを参照してください。

利用できるバイアス電源が30Vを超えているアプリケーションでは、LTC3766はV_{IN}ピンに電流制限された30V クランプも備えています。このクランプは最大3.5mAをシンクすることができるので、V_{IN}ピンをシャント・レギュレータとして使うことができます。これは、LTC3766がスタンドアロンで使われる非絶縁型アプリケーションで特に有用です。詳細については、「非絶縁型アプリケーション」のセクションを参照してください。

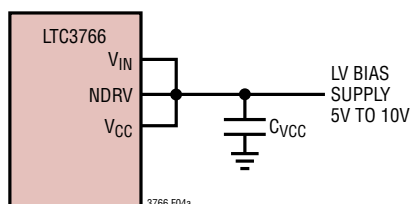


図4a. リニア・レギュレータを使用しない

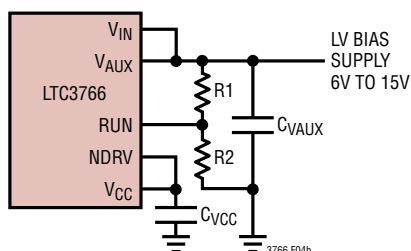


図4b. スタンドアロンでV_{AUX}レギュレータを使用

RUNピンの動作

RUNの電圧がその1.22Vのスレッショルドを超えると、通常動作がイネーブルされます。図5に示すように、外部の抵抗分割器と一緒にRUNピンを使って、検出されたV_Xの電圧に基づいてLTC3766の動作をイネーブルすることができます。自己起動するアプリケーションでは、V_Xは通常コンバータの出力電圧(V_{OUT})またはバイアス電圧のいずれかです。非絶縁型アプリケーションでは、V_Xは通常コンバータの入力電圧(V_{IN})です。非絶縁型アプリケーションでのRUNピンの使い方の詳細については、「非絶縁型アプリケーション」を参照してください。

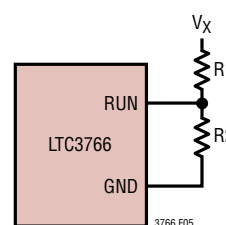


図5. RUNピンを使った起動の検出

RUNピンがそのスレッショルドより低いとき3μAの電流がRUNピンに流れ込み、R1の選択値と組み合わされて、ヒステリシスを内部の4%より大きくします。このように使用するとき、R1とR2の値は、必要な上昇時および下降時のV_Xのスレッショルドに基づき、以下の式に従って計算することができます。

$$R1 = \frac{V_{X(RISING)} - 1.043 \cdot V_{X(FALLING)}}{3\mu A}$$

$$R2 = \frac{1.17 \cdot R1}{V_{X(FALLING)} - 1.17}$$

LTC3765が開ループでソフトスタートを行う自己起動アプリケーションでは、電圧V_XをコンバータのV_{OUT}に接続して(V_X = V_{OUT})、出力電圧が与えられたレベルを超えるまで、LTC3766の起動を禁じることができます。これにより、ソフトスタートの制御を1次側から2次側に引き渡す正確な出力電圧が設定されます。この引き渡し出力電圧は、LTC3766が最初に制御を受け取るときパルス・スキップ動作を防ぐのに十分なだけ高く設定します。ピーク充電回路を使ってバイアス電圧を発生するアプリケーションで過度のパルス・スキップが発生す

アプリケーション情報

ると、バイアス電源が下がり、適切な起動を妨げます。この可能性をなくすには、RUNピンを使って、出力電圧が少なくとも次の値になるまでLTC3766の起動を禁じます。

$$V_{OUT(ON)} > 300ns \frac{N_s f_{SW} V_{IN(MAX)}}{N_p}$$

自己起動アプリケーションでは、LTC3765を使って、1次側だけでRUN/STOPの直接制御を行うことに注意してください。LTC3765がディスエーブルされると、1次側がスイッチングを停止したことをLTC3766が検出して、自動的にシャットダウンします。出力の過電圧の可能性をなくすため、LTC3765をマニュアルでディスエーブルしてから、LTC3766をマニュアルでディスエーブルしてください。

RUNピンの機能が不要であれば、このピンをV_{IN}ピンに直接接続することができます。

スイッチング周波数の設定と同期

LTC3766のスイッチング周波数はFS/SYNCピンを使って設定します。このピンは20μAの電流をソースし、このピンからグラウンドへ接続した抵抗がスイッチング周波数を次式に等しい値に設定します。

$$f_{SW} = 4R_{FS}$$

代わりに、FS/SYNCピンをV_{CC}に接続して、スイッチング周波数を275kHzの固定値に設定することができます。一般に、スイッチング周波数が高いほど、インダクタとトランスのサイズが小さくなりますが、その代わり効率が低下します。LTC3766は75kHz～500kHzで動作可能ですが、フォワード・コンバータの効率とサイズの間の最良のバランスは、150kHz～350kHzで動作するとき得られます。

クロック信号(>2V)がFSピンで検出されると、LTC3766はこの信号の立ち上がりエッジに自動的に同期します。FS/SYNCピンの動作を表1にまとめておきます。

表1

FS/SYNCピン	スイッチング周波数
V _{CC}	275kHz
R _{FS} to GND	f _{SW} = 4R _{FS}
Reference Clock	f _{SW} = f _{REF} (100kHz to 500kHz)

PolyPhaseアプリケーションでは、マスタのPT⁻ピンを各スレーブのFS/SYNCピンに接続することにより、同期させることができます。各スレーブの相対的位相遅れはPHASEピンを使って設定します。表2に示されている、予め設定された5つの値の中の1つをどれでも選択することができます。PT⁻の立ち上がりエッジはPWMサイクルの始まりに対応するので、位相遅れはFS/SYNCピンに入ってくるリファレンス・クロックの立ち上がりエッジを基準にしていることに注意してください。

表2

PHASEピン	位相遅れ	アプリケーション
GND	180°	2-Phase and 4-Phase
25k to GND	240°	3-Phase
50k to GND	120°	3-Phase
100k to GND	90°	4-Phase
100k to V _{CC}	270°	4-Phase

アプリケーションによっては、特定の周波数でスイッチングを開始し、その後、クロック・リファレンス信号に同期するのが望ましいことがあります。これは図6に示されている回路を使って実現することができます。

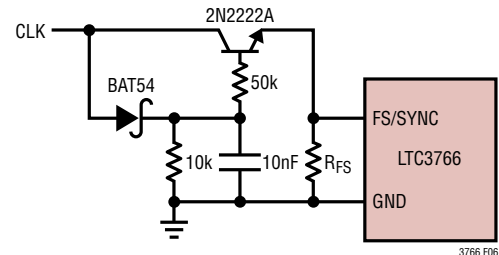


図6. 自走後に同期

LTC3766が一旦同期したら、LTC3766もシャットダウンするのでない限り、外部同期クロックを取り去らないでください。同期した後外部クロックを取り去ると、一定期間低い周波数の動作になり、そのため外部部品に非常に大きな電流が流れることがあります。

出力電圧の設定

LTC3766の出力電圧は、図7に示されているように、出力に接続した外付け帰還抵抗分割器によって設定されます。安定化出力電圧は次式から求められます。

$$V_{OUT} = 0.6V \cdot \left(1 + \frac{R_B}{R_A} \right)$$

アプリケーション情報

これらの分圧器抵抗をFBピンのすぐ近くに置いて、敏感なFB信号のトレース長を短くし、ノイズピックアップを最小に抑えるよう注意します。出力電圧の分圧器に低抵抗(<2k)を使っても、FBピンのノイズを最小にします。リモート・センスアンプを使う場合、分圧器はV_{SOUT}ピンとGNDの間に接続します。詳細については、「リモートセンス」のセクションを参照してください。

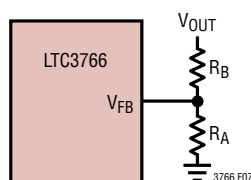


図7. 出力電圧の設定

メイン・トランスの選択

フォワード・コンバータのトランスの役割は、1次側と2次側の間を絶縁しながら、電圧を上げたり、下げたりすることです。理想的には、このトランスは(その磁化インダクタンスが無限で)エネルギーを全く保存しません。この目標はフライバック・コンバータに使用されるトランスの目標と大きく異なることに注意してください。フライバック・コンバータに使用されるトランスは実際は結合されたインダクタであり、その目的は、1次側のオン時間の間にエネルギーを保存し、オフ時間の間にそれを2次側に供給することです。対照的に、フォワード・コンバータでは1次側のオン時間の間に電力が送られ、トランスのコアに意図せず保存された少量のエネルギーを回収するのにオフ時間が使われます。

ほとんど全てのアプリケーションで、市販のトランスを選択することができます。平面巻きの手法を使ったトランスは広く供給されており、漏れインダクタンスと部品の高さを最小に抑えるのに最適です。市販のトランスの適切なファミリーを選択するとき考慮すべき2つの基本事項があります。1) 絶縁要件と、2) 電力レベルの要件です。アプリケーション回路に特定の絶縁要件がある場合、絶縁レベルがその要件を満たすトランス・ファミリーを選択します。絶縁電圧定格の他に、アプリケーションが特定の機関で認証されたトランスを必要とするか、または特定の種類の絶縁(たとえば、基礎絶縁や機能絶縁)を必要とすることがあります。電力レベルに関しては、必要な出

力電力レベルを超える定格電力レベルのトランス・ファミリーを選択します。多くの電子装置は開発中に電力要件が増える傾向があるので、「成長」の余地を残すように注意します。

トランス・ファミリーを選択したら、次のステップはそのファミリーの中から最適のトランスを選択することです。これは主に、適正な1次巻数と2次巻数(N_PとN_S)を選択することからなります。N_Sの値は次式から計算できます。

$$N_S = \frac{10^8 V_{OUT}}{f_{SW} A_C B_M}$$

ここで、A_Cはcm²で表した(通常トランスのデータシートに記載されている)コアの断面積、B_Mは望みの最大AC磁束密度です。「標準的応用例」のセクションで使用されているPulseのPA08xxシリーズのパワートランスの場合、A_C = 0.59cm²です。PulseのPA09xxシリーズのパワートランスの場合、A_C = 0.81cm²です。最も高い周波数向けのトランスにはフェライトのコア材が使用されます。したがって、スイッチング周波数が150kHz～350kHzである限り、最大AC磁束密度が2000ガウスのものを出発点として選択するのが良いでしょう。B_Mのこの値は、過渡変動の間に余裕を与え、過度のコア損失を防ぎます。スイッチング周波数とともにB_Mの選択により、特定のトランスのコア損失の大きさが定まることに注意してください。トランスのデータシートを調べて、発生するコア損失と温度上昇を評価してください。場合によっては、B_Mとそれに関連した温度上昇を下げるため、N_Sをいくらか増やす必要があるかもしれません。全ての場合に、トランスのコアの飽和磁束密度より十分下に留まることを確認してください。

N_Sの値を選択したら、トランスの必要な巻数比を次式から計算することができます。

$$\frac{N_P}{N_S} = \frac{D_{MAX} V_{IN(MIN)}}{V_{OUT}}$$

ここで、V_{IN(MIN)}は最小入力電圧、D_{MAX}は最大デューティサイクルです。LTC3766の最大デューティサイクルは79%ですが(D_{MAX} = 0.79)、通常は上式でD_{MAX}のもっと低い値を選択して、最小入力電圧で動作するとき負荷の過渡変動に適應するためのデューティサイクルの余裕を確保します。ほとんどのアプリケーションで、0.65～0.70のD_{MAX}の値が適切です。

アプリケーション情報

特定のトランスを選択したら、トランスの巻線の銅損失を計算します。これらの損失は、最大デューティサイクルかつ最大負荷で動作するとき最高になります。ただし、50%のデューティサイクルの公称動作ポイントでの銅損失を評価する方が良く、そこでの損失はおおよそ次のようになります。

$$P_{CU} = \frac{(I_{MAX})^2}{2} \left(R_{SEC} + \left(\frac{N_S}{N_P} \right)^2 R_{PRI} \right)$$

ここで、 R_{PRI} と R_{SEC} はそれぞれ1次巻線と2次巻線の抵抗、 I_{MAX} は最大出力電流です。トランスの最適設計では、銅損失とコア損失がうまく均衡しています。それらが大きく異なる場合、2次巻数を調整し(必要な巻数比を再度計算し)、このような均衡を実現します。

インダクタの値の計算

出力インダクタの選択は基本的に降圧コンバータの場合と同じです。与えられた入力電圧と出力電圧に対して、インダクタの値と動作周波数によってリップル電流が決まります。リップル電流 ΔI_L は V_{IN} が高いほど増加し、インダクタンスが高いほど減少します。

$$\Delta I_L = \frac{V_{OUT}}{f_{SW} L} \left(1 - \frac{V_{OUT}}{V_{IN}} \cdot \frac{N_P}{N_S} \right)$$

大きな値の ΔI_L を許容すれば、低いインダクタンスを使用できますが、出力電圧リップルが高くなりコア損失が大きくなります。リップル電流を設定するための妥当な出発点は、公称 V_{IN} で $\Delta I_L = 0.3 (I_{MAX})$ です。入力電圧が最大のときに ΔI_L が最大になります。

インダクタのコアの選択

L の値が求まったら、次にインダクタの種類を選択します。高効率コンバータは低価格の鉄粉コアに見られるコア損失は一般に許容できないので、もっと高価なフェライト・コアを使わざるをえません。インダクタ値が同じ場合、実際のコア損失は基本的にコア・サイズではなく、選択したインダクタンスによって

大きく異なります。インダクタンスが大きいほどコア損失が減少します。インダクタンスを大きくするにはワイヤの巻数を増やす必要があるため、残念ながら銅損失が増加します。

フェライトを使ったタイプはコア損失が極めて低く、高いスイッチング周波数には最適なので、設計目標を銅損失と飽和を防ぐことに集中することができます。フェライト・コアの材質は「ハードに」飽和します。つまり、最大設計ピーク電流を超えるとインダクタンスが突然低落します。その結果、インダクタのリップル電流が突然増加し、そのため出力電圧リップルが増加します。コアを飽和させないでください。

アクティブ・クランプ・コンデンサ

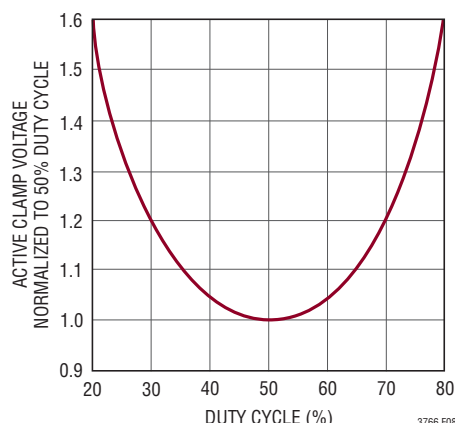
アクティブ・クランプ・コンデンサ(C_{CL})は、トランスの多サイクルにわたる平均リセット電圧を保持します。クランプ・コンデンサの電圧は、トランスのコアのリセット電流によって発生し、他のパラメータには関係なく、本質的に最適リセット電圧に調整されます。最大負荷でのコンデンサ両端の電圧はおおよそ次のように与えられます。

$$V_{CL} = \frac{V_{IN}^2}{V_{IN} - 1.15 \left(V_{OUT} \cdot \frac{N_P}{N_S} \right)}$$

N_P/N_S はメイン・トランスの巻数比です。1.15の係数は標準的な損失と遅延を考慮したものです。LTC3765のPGとAGが“L”のとき、クランプ・コンデンサの下側が接地され、リセット電圧(V_{CL})をSWPノードに与えます。PGとAGが“H”のとき、コンデンサの上側が接地され、コンデンサの下側は $-V_{CL}$ になります。したがって、コンデンサに現れる電圧は、PGのMOSFETとAGのMOSFETのドレインに現れる電圧でもあります。

図8に示すように、 V_{CL} 電圧は、コンバータが50%で動作しているとき最小になります。したがって、 V_{IN} の特定の範囲では、最小 V_{IN} と最大 V_{IN} のどちらの入力電圧でコンバータが50%のデューティサイクルから最も離れて動作するかによって、最小 V_{IN} または最大 V_{IN} のどちらかで最大クランプ電圧($V_{CL(MAX)}$)になります。最大 V_{CL} 電圧は、この式に V_{IN} の最大値または

アプリケーション情報

図8. V_{CL} 電圧とデューティサイクル

最小値を代入し、どちらか大きい方を選択することにより、決定することができます。オーバーシュートの余地を与えるため、この最大 V_{CL} 値より50%以上大きな電圧定格のコンデンサを選択します。一般に、良質の(X7R)セラミック・コンデンサは C_{CL} に最適です。また、コンデンサの電圧係数を必ず計算に入れてください。多くのセラミック・コンデンサは、その値の最大50%を定格電圧で失います。

クランプ・コンデンサの値は、コンデンサのリプル電圧を最小にして、MOSFETから見た電圧ストレスを減らすのに十分なだけ大きくします。ただし、大きなクランプ・コンデンサは結局、負荷過渡時にトランスの飽和を防ぐための過渡応答が遅くなります。Direct Flux Limitは飽和を防ぐのに必要なだけPWMのオン時間を自動的に制限しますが、大きなクランプ・コンデンサは負荷過渡にตอบสนองして充電または放電を行うのにもっと長い時間を必要とします。したがって、クランプ・コンデンサの値は、過渡応答とMOSFETの電圧ストレスの間を妥協させた値を表します。クランプ・コンデンサの妥当な値は次式を使って計算することができます。

$$C_{CL} = \frac{1}{2L_M} \cdot \left(\frac{4}{2\pi f_{SW}} \right)^2$$

メイン・トランスの磁化インダクタンス L_M とクランプ・コンデンサ C_{CL} の間に共振が生じるため、 C_{CL} に対する設計上の他の制約が生じます。この共振のQが高すぎると、負荷過渡時に1

次側MOSFETに対する電圧ストレスが増加します。また、 L_M と C_{CL} の間の共振のQが高いと、電圧ループの補償が複雑になり、特定の条件では発振する可能性があります。この共振に関連した問題を回避するには、図9に示すように、常にクランプ・コンデンサに並列にRCスナバを使用します。このRCスナバの値は次式を使って計算することができます。

$$R_{CS} = \frac{1}{1 - \left(\frac{V_0}{V_{IN(MIN)}} \cdot \frac{N_P}{N_S} \right)} \sqrt{\frac{L_M}{C_{CL}}}$$

および

$$C_{CS} = 6C_{CL}$$

アクティブ・クランプ・コンデンサとRCスナバの標準的な接続方法を図9に示します。 C_{CS} と C_{CL} の両方の電圧係数の影響を計算に入れて、 C_{CS} と C_{CL} の間の上述の関係が維持されるように注意してください。

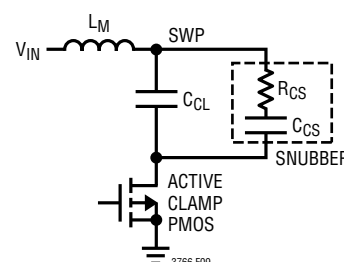


図9. アクティブ・クランプ・コンデンサとスナバ

Direct Flux Limit (直接磁束制限)

アクティブ・クランプ・フォワード・コンバータでは、負荷の過渡変動の間または出力が予めバイアスされた状態で起動するときにコアの飽和を防ぐため、トランスの磁束密度を精密に制限することが不可欠です。LTC3765とLTC3766は、トランスのコア内の磁束の増加をモニタして直接制限する新しい独自システムを実装しています。前の方法とは異なり、直接磁束制限は、磁束の増加を直接測定し、モニタして、出力が予めバイアスされた状態で起動するときでも、トランスがどちらの方向でも飽和しないことを保証します。この手法は、非常に高い

アプリケーション情報

デューティサイクルを一時的に許し、絶対的に必要なときだけデューティサイクルを制限するので、可能な限り最良の過渡応答も与えます。さらに、この手法は、(多くのアクティブ・クランプ・フォワード・コンバータの設計で潜在的に重大な弱点である)過電流によるアクティブ・クランプPMOSへの損傷を防ぎます。

直接磁束制限機能は1次側のLTC3765に実装されているので、2次側で調整すべきことは何もありません。この機能の使用の詳細に関しては、LTC3765のデータシートを参照してください。磁束の増加を制限するため、LTC3765がPGのMOSFETのオン時間を時期尚早に終了すると、LTC3766はSWノードで時期尚早の立ち下がりを検出することに注意して下さい。それに応答して、LTC3766は自動的にFGのオン時間を終了し、トランスのコアがリセットできるようにします。LTC3765が何らかの理由でシャットダウンしたときも、SWノードが時期尚早に立ち下がります。したがって、LTC3766がSWノードの連続した19の時期尚早な立ち下がりエッジをSWピンで検出すると、LTC3766はロック・フォールトを発生してシャットダウンします。

1次側パワー MOSFET の選択

1次側では、Nチャネル・メイン・スイッチとPチャネル・アクティブ・クランプ・スイッチの両方のピーク・トゥ・ピーク・ドライブ・レベルは、LTC3765のV_{CC}ピンの電圧によって決まります。この電圧は通常パルストランスによって与えられ、一般に8.5V～12Vに設定されます。1次側にロジック・レベルのMOSFETを使用できるアプリケーションであっても、適切な動作のため、LTC3765のV_{CC}電圧はこの範囲でなければならないことに注意してください。

NチャネルMOSFETの選択では、オン抵抗と寄生容量に関連した損失をバランスさせながら、ブレイクダウン電圧(BV_{DSS})と最大ドレイン電流の要件を注意深く検討します。アクティブ・クランプ・トポロジーでは、このMOSFETから見た最大ドレイン電圧はおおよそ次のようになります。

$$V_{DS(PG)} = 1.2 \cdot V_{CL(MAX)}$$

ここで、V_{CL(MAX)}は、「アクティブ・クランプ・コンデンサの選択」のセクションで与えられている最大アクティブ・クランプ電圧です。クランプ・コンデンサのリングングとリップルのマージ

ンを与えるため、1.2の係数が追加されています。効率を最大にするため、このMOSFETにはできるだけ低い電圧定格のものを選択することが重要です。アクティブ・クランプ・コンデンサのRCスナバ(図10を参照)は、動作損失を増やすことなく、1次側MOSFETに対するピーク電圧ストレスを減らすことに注意してください。また、最大負荷でのメイン・トランスの漏れインダクタンスは、アクティブ・クランプ・コンデンサに大きなリップルを生じ、1次側MOSFETから見たピーク電圧ストレスを押し上げることがあります。このリップルは、大きなアクティブ・クランプ・コンデンサと、それに比例して大きなRCスナバ・コンデンサを使用することにより、減らすことができます。詳細については、「アクティブ・クランプ・コンデンサ」のセクションを参照してください。

NチャネルMOSFETの必要なBV_{DSS}が分かったら、スイッチング・アプリケーションに最適化された(低Q_Gの)、入手できるものの中でオン抵抗(R_{DS(ON)})が最小のMOSFETを選択します。MOSFETは、ほとんどのアプリケーションで、最大定格電流よりかなり小さなドレイン電流で使用されるので、この定格は通常は検討されません。最大出力電流でのNチャネルMOSFETに関連した全損失は、次式を使って推定することができます。

$$P_{PG} = \left(\frac{N_P}{N_S} \right) \frac{V_{OUT} (I_{MAX})^2}{V_{IN}} (1 + \delta) R_{DS(ON)} + \left(\frac{N_S}{N_P} \right) \frac{V_{CL} I_{MAX} R_{DR} Q_{GD} f_{SW}}{2 V_{MILLER}} + Q_{GTOT} V_{CC} f_{SW}$$

ここで、 δ はオン抵抗の温度依存性、V_{CL}はアクティブ・クランプ電圧です(「アクティブ・クランプ・コンデンサ」のセクションを参照)。R_{DR}(LTC3765では約1.7Ω)は、MOSFETのミラー効果によるプラトー電圧(V_{MILLER})でのゲート・ドライブの出力抵抗です。Q_{DG}、Q_{GTOT}、およびV_{MILLER}の各値は、MOSFETのデータシートで普通与えられている「V_{GS}とQ_G」曲線から得ることができます。Q_{GD}は、V_{GS}電圧がほぼ一定でミラー電圧(V_{MILLER})に等しくなる領域でのゲート電荷(Q_G)の変化量です。全ゲート電荷(Q_{GTOT})は、V_{GS} = V_{CC}のときのゲート電荷です。上式の3つの部分は、それぞれ導通損失、遷移損失、およびゲート・ドライブ損失を表します。遷移損失とゲート・ドライブ損失の和と、導通損失の間のバランスがと

アプリケーション情報

れたMOSFETを選択することにより、最高効率が得られます。上の P_{PG} の式は仮定を含む近似であることに注意してください。まず、メイン・トランスの漏れインダクタンスのため、ターンオン遷移損失は比較的小さいと仮定しています。また、1次側スイッチのターンオフでこの漏れインダクタンスに貯えられたエネルギーは、アクティブ・クランプ・コンデンサによって完全に回収されると仮定しています。これらの仮定はほとんどのアプリケーションで有効であり、上式は良い近似を与えます。

アクティブ・クランプのPチャネルMOSFETの BV_{DSS} の要件は、NチャネルMOSFETの要件と同じです。PチャネルMOSFETは磁化電流を扱うだけなので、通常ははるかに小さくなります（一般にSOTパッケージ）。異常な過渡変動に適応するため、パルス・ドレイン電流定格が2A以上のPチャネルMOSFETを使います。また、NチャネルMOSFETがオフするとき、漏れインダクタンスにより、反射された負荷電流がPチャネルMOSFETのボディ・ダイオードに短時間流れることに注意してください。したがって、ボディ・ダイオードの定格が次の順方向パルス電流を扱える必要があります。

$$I_{D(MAX)} = \left(\frac{N_S}{N_P} \right) I_{MAX}$$

場合によっては、PチャネルMOSFETのボディ・ダイオードに並列に別のダイオードを追加する方が实际的です。

1次側PチャネルMOSFETは、LTC3765のAGピンのドライブ電圧を下方にシフトさせる、簡単なレベルシフト回路によってドライブすることができます。代わりに、PチャネルMOSFETのソースをLTC3765の V_{CC} ピンに戻すならば、レベルシフト回路を省くことができます。詳細については、LTC3765のデータシートを参照してください。

LTC3766をスタンドアロンで使う非絶縁型アプリケーションでは、アクティブ・クランプ・リセットの代わりに、共振リセットの手法を使う必要があります。その結果、1次側MOSFETの選択では、特殊な検討事項があります。詳細については、「非絶縁型アプリケーション」のセクションを参照してください。

2次側パワー MOSFET の選択

2次側では、NチャネルMOSFETのピーク・トゥ・ピーク・ドライブ・レベルは、LTC3766の V_{CC} ピンによって決まります。LTC3766の片方または両方のリニア・レギュレータを使用すると仮定すると、 V_{CC} の安定化電圧はMOSFETのゲートのドライブに必要な7Vまたは8.5Vのどちらかに設定することができます。

2次側MOSFETを選択する際の最初のステップとして、必要なブレークダウン電圧を決めます。同期MOSFETから見た最大電圧はおおよそ次のようになります。

$$V_{DS(SG)} = 1.2 \cdot \left(\frac{N_S}{N_P} \right) V_{IN(MAX)}$$

ここで、リングングとオーバーシュートに対応するため、1.2の係数が追加されています。これは、スナバがメイン・トランスの2次側に使われていると仮定しています（「RCスナバ」のセクションを参照）。スナバを使用しない場合、リングングとピーク・オーバーシュートがかなり高くなります。フォワードMOSFETから見た最大電圧はおおよそ次のようになります。

$$V_{DS(FG)} = \frac{1.2 \cdot V_{OUT}}{1 - \frac{V_{OUT}}{V_{IN(MIN)}} \left(\frac{N_P}{N_S} \right)}$$

ここで、リングングとオーバーシュートに対応するため、1.2の係数が再度追加されています。

フォワードMOSFETと同期MOSFETの BV_{DSS} の要件を決めたら、次のステップはオン抵抗の選択です。2次側の両方のMOSFETはゼロ電圧でスイッチされるので、 $R_{DS(ON)}$ が小さく、同期整流器として使用するように最適化されていて、できればボディ・ダイオードの逆回復が高速のMOSFETを選択します。ほとんどのアプリケーションで、公称入力電圧は約50%のデューティサイクルに相当するので、フォワードMOSFETと同期MOSFETは、 $R_{DS(ON)}$ が同じになるように選択されます。フォワードMOSFETに関連する電力損失は次式で近似することができます。

$$P_{FG} = \left(\frac{N_P}{N_S} \right) \frac{V_{OUT} (I_{MAX})^2}{V_{IN}} (1 + \delta) R_{DS(ON)} + Q_{GTOT} V_{BIAS} f_{SW}$$

ここで、 δ はオン抵抗の温度依存性、 V_{BIAS} は（もし使用されていれば）LTC3766のリニア・レギュレータへの入力です。 Q_{GTOT} の値は、MOSFETのデータシートで与えられている「 V_{GS} と Q_G 」曲線から得ることができます。 Q_{GTOT} は $V_{GS} = V_{CC}$ のときの Q_G の値です。ここで、 V_{CC} はLTC3766の V_{CC} ピ

アプリケーション情報

ンの電圧です。同期 MOSFET の場合、電力損失はおおよそ次のようになります。

$$P_{SG} = \left(1 - \frac{N_P}{N_S} \frac{V_{OUT}}{V_{IN}}\right) (I_{MAX})^2 (1 + \delta) R_{DS(ON)} + Q_{GTOT} V_{BIAS} f_{SW}$$

同期 MOSFET とフォワード MOSFET の電力損失は、一般に導通損失によって支配されます。上の電力損失の両方の式で、(MOSFET のボディ・ダイオードが導通しているときの) デッドタイムは最小化されていると仮定しています。デッドタイムの最小化の詳細については、「ゲート・ドライブ遅延の設定」のセクションを参照してください。

V_{CC} とドライブ・モードの選択

2 次側 MOSFET が必要とする様々な動作ゲート電圧に適合するため、MODE ピンを使って、LV モードまたは HV モードの動作のどちらかに LTC3766 を設定することができます。LV モードでは、両方のリニア・レギュレータのための V_{CC} の安定化レベルは 7V に設定され、V_{CC} の UVLO と V_{AUX} の切り替えの上昇時スレッシュホールドは 4.7V に調整されます。HV モードでは、V_{CC} の安定化レベルは 8.5V に設定され、V_{CC} の UVLO と V_{AUX} の切り替えの上昇時スレッシュホールドはそれぞれ 7.9V と 8V に調整されます。4V ~ 5V の動作に定格が定められている MOSFET には LV モードを使い、7V ~ 10V の動作に定格が定められている MOSFET には HV モードを使います。UVLO 電圧および切り替え電圧とともに、V_{CC} の安定化レベルは、両方のタイプの MOSFET が安全に効率よく動作するように最適化されています。一般に、V_{DS} 定格が高い MOSFET は、動作ゲート電圧定格も高くなります。その結果、出力電圧が約 12V 以上のアプリケーションは一般に、7V ~ 10V のゲート動作向けに定格が定められた MOSFET を使います。

V_{CC} の安定化レベル、UVLO と V_{AUX} 切り替えレベルの変更の他に、HV モードまたは LV モードの選択により、SG の逆過電流の振る舞いも変わります。LV モードでは、SW ピンの逆過電流のスレッシュホールドは 73mV、調整電流は 103μA です。HV モードでは、これらのレベルは 148mV と 42μA に変更され、低電圧 MOSFET のオン抵抗より高い高電圧 MOSFET のオン抵抗に適応します。詳細については、「SG の逆過電流の設定」を参照してください。

LTC3765 と一緒に LTC3766 を使うアプリケーションでは、PT⁺ ピンと PT⁻ ピンの信号には、振幅が V_{CC} 電圧に等しいエンコードされた PWM 情報が含まれています。このエンコードされたゲート・ドライブ信号は LTC3765 によって受け取られ、1 次側 MOSFET をドライブする PWM とクロック情報にデコードされます。ただし、LTC3766 は、非絶縁型フォワード・コンバータ・アプリケーションでは、スタンドアロンでも使えます。このようなアプリケーションでは、MODE ピンを使って、PT⁺ ピンと PT⁻ ピンの PWM エンコーディングをデイスエーブルすることができます。その結果、LTC3766 は通常の PWM ゲート・ドライブ信号を PT⁺ ピンに発生し、リファレンス・クロックを PT⁻ ピンに発生します。また、スタンドアロン・モードでは、FGD ピンは無視され、SG の立ち下がりりと PT⁺ の立ち上がりの間のデッドタイムは適応設定されます。

MODE ピンには可能な 4 つの状態があります。MODE を GND または V_{CC} に接続すると、それぞれ LV モードまたは HV モード動作のどちらかで、エンコードされたゲート・ドライブ信号を与えます。100k または 50k の抵抗を介して MODE を GND に接続すると、それぞれ LV モードまたは HV モード動作のどちらかで、標準的 PWM ゲート・ドライブ信号を与えます。動作電圧とゲート・ドライブ・エンコーディング・モードを設定する MODE ピンの使用法が表 3 にまとめてあり、低電圧と高電圧のゲート・ドライブの動作モードの効果が表 4 にまとめてあります。

表 3

MODE ピン	ドライブ・レベル	PT ⁺ /PT ⁻ モード	目的のアプリケーション
GND	LV	エンコードされた PWM	LTC3765 を使った V _{OUT} の低い絶縁型アプリケーション
V _{CC}	HV	エンコードされた PWM	LTC3765 を使った V _{OUT} の高い絶縁型アプリケーション
100k を GND へ	LV	標準的 PWM	V _{OUT} の低い非絶縁型アプリケーション、スタンドアロン
50k を GND へ	HV	標準的 PWM	V _{OUT} の高い非絶縁型アプリケーション、スタンドアロン

表 4

ドライブ・レベル	V _{CC}	V _{CC} の UVLO スレッシュホールド (上昇時/下降時)	V _{AUX} 切り替え スレッシュホールド (上昇時/下降時)	SG の過電流	
				V _{TH}	I _{SW}
LV	7.0V	4.7V/3.9V	4.7V/4.5V	73mV	103μA
HV	8.5V	7.9V/6.9V	8.0V/7.7V	148mV	42μA

アプリケーション情報

入力コンデンサ/フィルタの選択

低インピーダンスのソースを使ったアプリケーションや入力電圧が比較的低いアプリケーションでは、簡単な容量性入力フィルタが一般に適しています。このコンデンサのESRは非常に小さくしなければならず、ワーストケースの次のようなRMS入力電流を扱える定格でなければなりません。

$$I_{C(RMS)} = \left(\frac{N_S}{N_P} \right) \frac{I_{OUT(MAX)}}{2}$$

多くの場合、コンデンサ・メーカーはリップル電流定格をわずか2000時間の寿命時間によって規定しています。このため、コンデンサをさらにデレーティングする、つまり要求条件よりも高い温度定格のコンデンサを選択するようにしてください。サイズまたは高さの設計条件に適合させるため、複数のコンデンサを並列に接続することができます。LTC3766の動作周波数は高いので、 C_{IN} にセラミック・コンデンサを使用することもできます。疑問点については必ずメーカーに問い合わせてください。

ただし、入力電圧が高いアプリケーションでは、必要なRMS電流を扱うように定格が定められたバルク容量を使うと非常にコスト高になることがあります。また、入力フィルタとして簡単なコンデンサを使うと、電源が大きなシステムに組み込まれたとき、AC入力電流がどこを流れるか正確に知るのが難しくなります。これらの問題を避けるため、図10に示されているようにLCフィルタを電源入力に使うことができます。これは、大きなAC電流を、RMS電流定格が知られている、比較的小さくて安価なコンデンサに封じ込めます。LCフィルタを次のように選択します。

$$\frac{1}{2\pi\sqrt{L_F C_F}} < \frac{f_{SW}}{5}$$

RMS入力電流のAC成分を、約5分の1に減衰させます。これにより、バルク入力コンデンサのRMS電流要件が大幅に緩和されます。フィルタ・インダクタの飽和電流は少なくとも次のようにします。

$$I_{SAT(LF)} \geq 1.3 \cdot \frac{V_{OUT} I_{OUT(MAX)}}{V_{IN(MIN)}}$$

出力のリップル電圧を妥当なレベルに抑えるため、次式を満たす L_F と C_F の値を選択します。

$$\sqrt{\frac{L_F}{C_F}} < 2.9 \cdot \left[\left(\frac{N_S}{N_P} \right) \frac{V_{RIPPLE}}{I_{OUT(MAX)}} + \frac{R_{ESR}}{2} \right]$$

ここで、 V_{RIPPLE} は入力フィルタの出力の望みのリップル電圧、 R_{ESR} はコンデンサ C_F のESRです。 V_{RIPPLE} の妥当な目標値は公称 V_{IN} の3%です。

LC入力フィルタを使用するとき、そのLCフィルタの出力インピーダンスの大きさは、DC/DCコンバータの電力段を見込む入力インピーダンスより決して大きくてはいけません。これはループが不安定になるのを防ぐのに必要です。ほとんどのアプリケーションでは、この条件は自然に満たされます。なぜなら、バルク入力容量(C_{BULK})のESRはLC入力フィルタのQを下げるのに十分なだけ高く、それによってその出力インピーダンスのピーキングを安全なレベルに下げるからです。大きな値の C_F を使ってもQが下がりますが、 V_{IN} の高いアプリケーションでは高価につくことがあります。状況によっては、図10に示すように、直列減衰ネットワークを追加する必要があります。

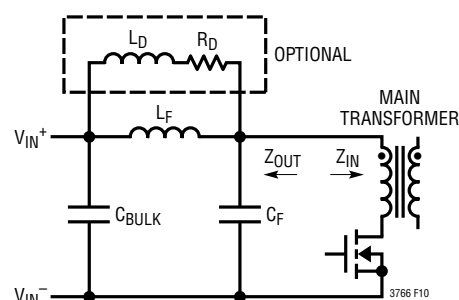


図10. オプションの減衰ネットワーク付き入力フィルタ

臨界減衰を与えるため、次式に従って L_D と R_D を選択します。

$$L_D = \frac{L_F}{5} \text{ and } R_D = 0.8 \sqrt{\frac{L_F}{C_F}}$$

アプリケーション情報

減衰インダクタ L_D は DC 入力電流を流しません。ただし、大きな過渡変動の間適切に減衰させるため、飽和電流が少なくとも次のようなインダクタを選択します。

$$I_{SAT(LD)} \geq 0.6 \left(\frac{V_{OUT} I_{OUT(MAX)}}{V_{IN(MIN)}} \right)$$

出力コンデンサの選択

C_{OUT} は、等価直列抵抗 (ESR) と、それによって生じる出力電圧リップルに基づいて選択します。一般に、ESR の要件が満たされると、その容量はフィルタ機能にとって十分です。出力リップル (ΔV_{OUT}) は次式で近似できます。

$$\Delta V_{OUT} \approx \Delta I_L \left(ESR + \frac{1}{8f_{SW} C_{OUT}} \right)$$

ここで、 f_{SW} は動作周波数、 C_{OUT} は出力容量、 ΔI_L はインダクタのリップル電流です。 ΔI_L は入力電圧に応じて増加するので、出力リップルは入力電圧が最大るとき最大になります。

電流検出と平均電流制限

LTC3766 は、電流検出抵抗または絶縁された電流トランスのいずれを使った電流検出もサポートします。電流トランスは一般にもっと効率が良く、絶縁型アプリケーションでは 1 次側で電流を検出する利点があります。これは、負荷過渡時にメイン・トランスが飽和しないように、追加の防護手段を与えるので重要です。さらに、電流トランスは、センス抵抗よりはるかに大きな電流検出信号を発生することができるので、はるかに優れた信号対雑音比になります。これにより、ノイズのピックアップに対するボードレイアウト時の懸念が緩和され、ジッタも減少します。また、LTC3766 の電流制限の精度が、電流検出モードの場合より、電流トランス・モードではかなり良くなります。

電流トランスに比べて、電流検出抵抗は安価で、使うのがいっから簡単です。アクティブ・クランプ・フォワード・コンバータの 2 次側で電流を検出する場合、トランスの飽和と 1 次側の MOSFET への損傷を防ぐため、直接磁束制限が必要です。これは、電流ループは磁化電流を検知せず、飽和に対する自己の保護手段を持たないからです。ただし、非絶縁型アプリケー

ションでは、電流検出抵抗が 1 次側スイッチに直列に接続されるので、電流ループは磁化電流をモニタすることに注意してください。

電流検出抵抗を使う場合、 I_S^+ ピンと I_S^- ピンは差動で動作し、最大ピーク電流スレッショルドは約 75mV です。電流検出抵抗は、図 11 に示されているように、通常フォワード MOSFET のソースに接続します。PCB レイアウトおよび I_S^+ ピンと I_S^- ピンに向かうトレースのシールドに依存して、図 11 に示されているように、小さなフィルタ機能を追加することが必要になることがあります。一般に、 $R_{FL} = 100\Omega$ および $C_{FL} = 200pF \sim 1nF$ が、電流ループの応答に大きな影響を与えることなく、ノイズのピックアップを適切にフィルタします。

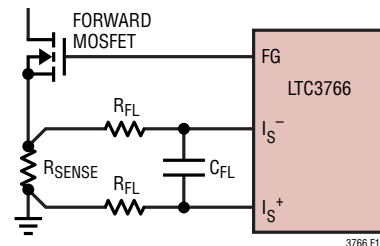


図 11. 電流検出抵抗の使い方

このフィルタは、センス抵抗の ESL (寄生インダクタンス) の影響を補正するのに役立ちます。これは $2m\Omega$ 未満の R_{SENSE} の値では重要になることがあります。次のように RC フィルタを選択すると、ESL の影響がキャンセルされます。

$$R_{FL} C_{FL} = \frac{ESL}{R_{SENSE}}$$

LTC3766 は平均電流制限アーキテクチャを実装しているので、必要な平均電流制限に基づいて R_{SENSE} の値を選択します。

$$R_{SENSE} = \frac{55mV}{I_{LIM(AVG)}}$$

代わりに、電流トランスを使って 1 次側スイッチ電流を検出するのであれば、 I_S^- ピンを V_{CC} に接続し、 I_S^+ ピンを電流トランスの出力に接続します。これにより、内部電流検出アンプの利

アプリケーション情報

得が減少するので、最大ピーク電流に相当する電圧は約1Vに増加します。電流トランスの接続方法を図12に示します。

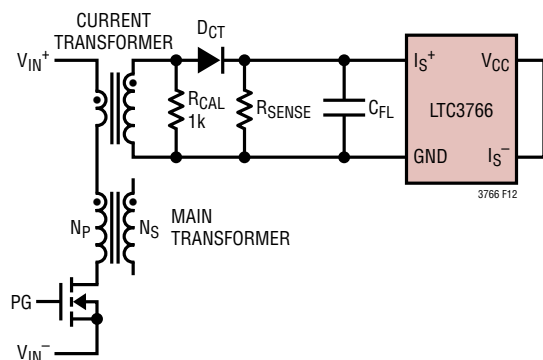


図12 電流検出トランスの使い方

一般に、電流トランスは、メイン・トランスへの電源フィードに直列に接続します。これにより、同相ノイズが減少し、一般にPCBレイアウトが簡単になります。小さなフィルタ・コンデンサ(1nF〜3.3nF)、つまり75ns未満の時定数 $R_{SENSE} \cdot C_{FL}$ を使って、高周波数ノイズを除去します。トランスのコアの適切にリセットを可能にするにはダイオード P_{CT} が必要です。

電流トランスを使用するときは、次式を使って R_{SENSE} の値を設定します。

$$R_{\text{SENSE}} = \frac{0.73\text{V}}{K_{\text{CT}} I_{\text{LIM(AVG)}}} \cdot \frac{N_P}{N_S}$$

ここで、 N_P/N_S はメイン・トランスの巻数比、 K_{CT} はトランスの電流利得、 $I_{LIM(AVG)}$ は必要な平均電流制限です。ほとんどのアプリケーションで、電流トランスの適切な巻数比は1:100です($K_{CT} = 0.01$)。

メイン・トランスと電流検出トランスの磁化電流の影響(R_{SENSE} の電圧が予想されるよりいくらか(2%~8%)高くなります)を補償するため、抵抗 R_{CAL} が追加されています。一般に、 R_{CAL} は1.5k~5kの範囲です。可能な最高の精度を得るには、 R_{CAL} の値を調整して、注意深く R_{SENSE} の電圧を測定し、それを出力インダクタ電流と比較することにより、最大負荷および公称入力電圧での電流検出を校正します。十分校正された電流検出トランス

スの例を図13に示します。R_{SENSE}の電圧は次の係数でスケール調整されています。

$$SF = \frac{N_P}{R_{SENSE} K_{CT} N_S}$$

磁化電流により、スケール調整された R_{SENSE} 電圧の勾配は、インダクタ電流の勾配に正確には一致しません。スケール調整された R_{SENSE} の電圧とインダクタ電流がピークで一致するように R_{CAL} を選びます。

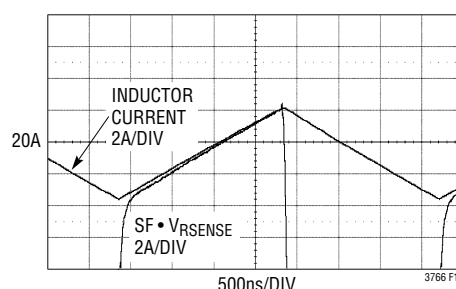


図13. 適切に較正した電流トランス

電流制限中に一定の平均電流を維持するため、LTC3766はピーク電流制限の値を自動的に調整して、インダクタ・リップル電流の影響をキャンセルします。これは、インダクタ電流リップルを真似た内部ランプを発生することにより達成されます。ランプの振幅は I_{PK} ピンの抵抗によって決まり、出力インダクタに比例するように設定する必要があります。LTC3766は $(V_{SW} - V_S^+)/15$ の電圧を I_{PK} ピンに発生します。これは SW が“H”のときのオン時間の間の出力インダクタ両端の電圧の $1/15$ です。したがって、LTC3766がインダクタの電圧を適正に検出できるように、図14または図15に示すように、 SW ピンと V_S^+ ピンを接続することが不可欠です。差動アンプが不要であれば、図14bに示されているように、 V_S^- と V_S^+ を一緒に V_{OUT} に接続します。

SWノードのプラトー電圧が40Vを上回るような、 V_{OUT} が高いアプリケーションでは、図15に示されているように、抵抗分割器をSWピンと V_S^+ ピンの両方に追加する必要があります。この分圧器はSWピンの電圧を制限し、同時に、SGの逆過電流トリップ・スレッショルドに影響を与えます。SWピンの抵抗分割器の選択の詳細については、「SGの逆過電流の設定」を参照してください。

アプリケーション情報

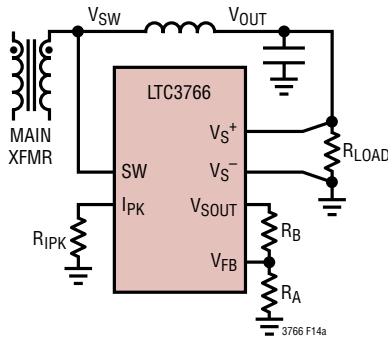


図 14a. 平均電流制限の設定 (R_{IPK})

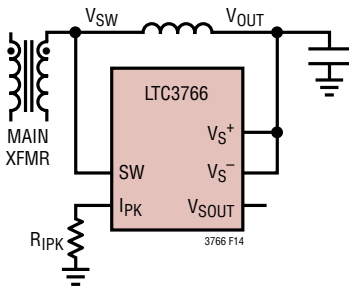


図 14b. 差動アンプなしの場合の R_{IPK} の設定

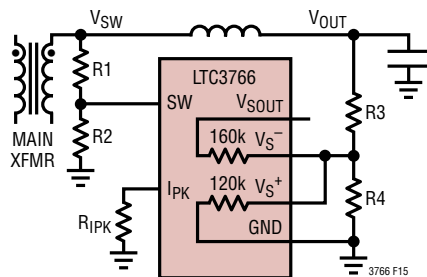


図 15. V_{OUT} の高いアプリケーションの R_{IPK} の設定

SW ピンと V_{S+} ピンの抵抗分割器の比は、トリップ・キャンセル機能が適切に動作するには、同じでなければならないことに注意してください。これには、次式が成り立つことが必要です。

$$K_R = \frac{R_2}{R_1 + R_2} = \frac{69k \cdot R_4}{69k \cdot R_4 + R_3(69k + R_4)}$$

ここで、69k は V_{S+} ピンと V_{S-} ピンの内部抵抗を計算に入れています。

抵抗検出モードでは、次式を使って選択された抵抗を I_{PK} ピンに接続します。

$$R_{IPK} = \frac{K_R L_{IPK}}{(17.6nF) R_{SENSE}}$$

ここで、 L_{IPK} は $I = I_{LIM(AVG)}$ のときの出力インダクタのインダクタンスです。SW ノードに分圧器が不要な V_{OUT} の低いアプリケーションでは、 $K_R = 1$ です。電流トランス・モードでは、次式を使います。

$$R_{IPK} = \frac{K_R L_{IPK}}{(1.32nF) K_{CT} R_{SENSE}} \cdot \frac{N_P}{N_S}$$

LTC3766 が電流制限状態にあつて出力電圧が非常に低いとき、出力電流の制御はコンバータの最小オン時間によって制限されます。この最小オン時間に達した後、電流制限状態で出力電圧がさらに低下すると、インダクタ電流が上昇を続け、過電流制限に達します。これにより、LTC3766 がシャットダウンし、再起動を試みるので、ヒカップ・モードの動作が生じます。

標準的な平均電流制限の性能を図 16 に示します。負荷に供給される平均電流は、出力電圧が低レベル（コンバータがヒカップ・モードに入るポイント）まで減少していくとき、実質的に一定に保持されることに注意してください。特定のアプリケーションによっては、2 次側のバイアス電圧の喪失 (UVLO) により、または過電流フォールトにより、ヒカップ・モードに入ります。

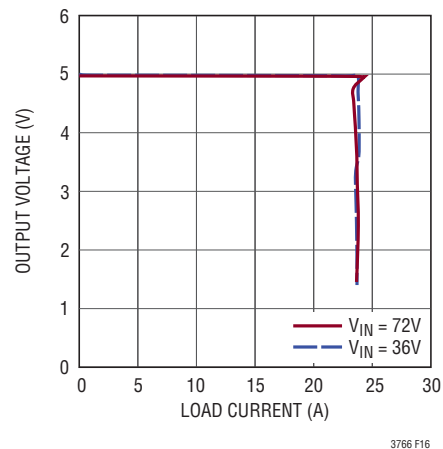


図 16. 標準的な電流制限性能

アプリケーション情報

平均電流制限の精度の推定

平均電流制限は、(寄生要素のパラメータを含む)アプリケーションの多数の回路パラメータとLTC3766の仕様に依存します。したがって、平均電流制限の精度を正確に計算するのは困難です。ただし、3つの主要な誤差源を注意深く検討することにより、この精度を推定することができます。

1. 電流検出抵抗と電流検出トランスの精度 抵抗による検出では、電流検出抵抗の精度は通常1%です。ただし、2mΩ未満の検出抵抗では、寄生インダクタンスにより、検出される電流に大きな誤差が生じることがあります。この誤差は、図11に示すようなRCフィルタを追加することにより、除去することができます。

電流トランスを使用するとき、電流トランスの2次側の検出抵抗およびトランスの巻数比(K_{CT} と N_p/N_s の両方)の精度は一般に1%より良い精度です。ただし、電流検出トランスがどこに置かれるかに依存して、メイン・トランスと電流検出トランスの両方の磁化電流により、1%~4%の誤差が追加されることがあります。一般に、この誤差は比較的一定のオフセットの形をとり、特定の設計の公称入力電圧と最大負荷電流に対して調整して取り除くことができます。磁化電流の影響のばらつきによる許容誤差は一般に2%未満なので、電流トランスによる検出全体の精度は約3%です。

2. 平均電流検出スレッシュホールド $V_{IS(AVG)}$ の精度。LTC3766の電流検出スレッシュホールドの精度は「電気的特性」の表に与えられており、選択された電流検出モードに依存します。電流トランス・モードは10%の精度を与え、抵抗検出モードの15%より精確です。
3. インダクタ・リップル電流補償の精度 インダクタ・リップル補償の精度は、 V_{ITH} の内部調整および出力インダクタ自体の許容誤差の両方に依存します。ほとんどのアプリケーション回路では、リップル補償の精度は、電流トランス・モードでは25%より良く、抵抗検出モードでは35%より良くなります。インダクタ電流リップルは一般に平均電流制限の30%から60%であり、このピーク・トゥ・ピーク・リップルの半分だけが

補償されます。その結果、リップル補償の精度の平均電流制限に対する影響は次の係数だけ減少します。

$$F_R = \frac{R}{R+2}$$

ここで、 R は平均電流制限に対するピーク・トゥ・ピーク・インダクタ・リップル電流の比です。たとえば、30%~60%のリップルの場合、 F_R の値は0.13~0.23で変化します。

上の各要素を考慮して、平均電流制限のワーストケースの許容誤差は次のように推定することができます。

$$\Delta I_{AVG} = 3\% + 10\% + 0.23(25\%) = 18.5\%$$

これは電流トランス・モードの場合です。

$$\Delta I_{AVG} = 1\% + 15\% + 0.23(35\%) = 24\%$$

これは抵抗検出モードの場合です。3つの誤差源は統計的に独立しているので、電流トランス・モードと抵抗検出モードの電流制限許容誤差は、RSS法を使って、それぞれ約12%および17%と計算することができます。

ゲート・ドライブ遅延の設定

フォワード・スイッチのゲート・ドライバ(FG)と同期スイッチのゲート・ドライバ(SG)は、FGの立ち上がりエッジのメイク・ビフォア・ブレイク・タイミング、およびSGの立ち上がりエッジの同時タイミングで動作します。1次側MOSFETのスイッチングを基準にしたこれらの遷移の遅延は、効率の最適化にとって非常に重要であり、SGDピンとFGDピンを使って独立に設定することができます。

SGの立ち上がり遅延を調整して、スイッチ・ノード(SW)のボディ・ダイオードの導通を最小にします。最大負荷では、ボディ・ダイオードでの電力損失が大きく、SGの立ち上がり遅延が効率に大きな影響を与えることがあります。PGの立ち下がりとはSGの立ち上がりの間のデッドタイムを(シュートスルーを防ぎつつ)最小にすることにより、この電力損失も最小にします。同様に、(FGの立ち上がり遅延によって設定される)SGの立ち下がりとはPGの立ち上がりの間のデッドタイムも最小にします。

アプリケーション情報

FGの立ち上がり遅延は、SGの立ち下がりやPGの立ち上がりとの間のデッドタイムを最小にするために設定するだけでなく、(フォワード・スイッチ(SWB)がオンするときそのドレインが0Vに近くなるようにして)スイッチング損失を最小にするためにも調整します。LTC3765のアクティブ・クランプ・スイッチがオフすると、1次側スイッチ(SWP)のドレイン電圧が $V_{IN}/(1-D)$ から V_{IN} に直線的に下がります(ここで、Dはデューティサイクルです)。トランスの2次側では、SWBが $V_{OUT}/(1-D)$ から0Vにランプします。スイッチング電力損失は、FGとPGのMOSFETがそれらの最小ドレイン・ソース電圧でスイッチするとき、最小になります。FGとPGの立ち上がり遅延を調整して、スイッチがオンするとき確実にSWBノードとSWPノードが最小になるようにします。

遅延を設定するとき、以下の関係に配慮します(「タイミング図」と図1を参照)。

1. フォワード・ゲート(FG)は常に、同期ゲート(SG)を基準にして、メイク・ビフォア・ブレイクのタイミングでオンします。これにより、負のインダクタ電流が同期スイッチのドレインに過度の電圧を発生することはありません。
2. 同期ゲート(SG)とLTC3765の1次側ゲート(PG)が同時に“H”のとき、または、フォワード・ゲート(FG)が“H”で、LTC3765のアクティブ・ゲート(AG)が“L”のとき、シュートスルーが生じます。メイン・トランスの漏れインダクタンスは、数十ナノ秒のシュートスルーによる大きな電力損失を防ぎます。ただし、PGゲートとSGゲートまたはFGゲートとAGゲートが長い時間同時にオンすると、シュートスルーが電力損失や過度の熱を生じ、短時間でデバイスを取り替えることになります。
3. AGまたはPGの1次側のターンオフは、FGスイッチとSGスイッチの前に起きるようにし、1次側のターンオンはFGスイッチとSGスイッチの後に起きるようにします。たとえば、特定のサイクルで、AGがまず“H”になり(PMOSをオフ)、次にFGが“H”になり、次にSGが“L”になり、次にPGが“H”になります。PGをオフするエッジでは、PGがまず“L”になり、次にFGが“L”になり、SGが“H”になり、次にAGが“L”になります(PMOSをオンします)。

遅延抵抗の選択 PGのターンオフ遷移

一般に、PGのターンオフ遅延の設定は、PGのターンオン遅延に比べて比較的簡単で、それほど重要ではありません。PWMのオン時間の終点で、LTC3766がPT⁺ピンの立ち下がリエッジをアサートし、それにより、LTC3765が直ちにPGのMOSFETをオフします。180nsの固定遅延の後、LTC3765がAGのMOSFETをオンします。したがって、この遷移でなすべき唯一の遅延調整は、LTC3766のSGDピンを使って2次側で行います。このピンは、PT⁺の立ち下がりからFGの立ち下がり/SGの立ち上がりまでの遅延を設定するのに使われ、これはPGのターンオフ後、AGのターンオン前に起きる必要があります。

SGDの遅延を設定する際、PGとSGの間のデッドタイムを減らすことを最初に考慮します。このデッドタイムの間、同期MOSFETのボディ・ダイオードが負荷電流を流します。PGのターンオフ後、2次側のSWノードが、SGのMOSFETのボディ・ダイオードによってクランプされるまで、急速に降下します。その目的は、SWノードが0Vを横切るとき、SGのMOSFETをオンすることです。LTC3766は、これを達成するのを容易にするため、SWノードを直接検出し、SWが0.5Vを下回るまでSGのターンオンを禁止します。つまり、SGDの遅延をPT⁺の立ち下がりからSWが0Vを下回るまでの遅延時間以下の値に設定することにより、PGとSGの間のデッドタイムを最小にすることができます。一般に、この遅延時間は50ns～100nsの範囲です。SGDからグラウンドに接続して特定の遅延 t_{SGD} を与える抵抗は、次式を使って計算することができます。

$$R_{SGD} = (t_{SGD} - 12\text{ns}) \cdot \frac{1\text{k}\Omega}{4.3\text{ns}}$$

SGDからグラウンドに接続した10k抵抗は、FGの立ち下がり/SGの立ち上がりの遅延を約50nsに設定します。これは一般に妥当な出発点です。FGのMOSFETとAGのMOSFETの間の損傷を与える交差導通を防ぐため、SGDの遅延は、AGのMOSFETの180nsの固定ターンオン遅延より長く設定しないでください。SGDの遅延を選択するときは、常に小さい値から始めます。こうしても、適応型の制限によってSGの時期尚早のターンオンは禁じられているので、安全です。

アプリケーション情報

SGDの遅延を設定する際の別の重要な検討事項は、FGの過度のターンオフ遅延によるSWPの急落の防止です。PGのターンオフ後、トランスのリークにより、SWPノードは短時間で“H”にドライブされ、約 $V_{IN}/(1-D)$ のレベルに達します。理想的には、このノードは、FGがオフし、SGがオンし、次いでAGがオンする間、この電圧に留まるようにします。ただし、FGがオフするまでの遅延が長すぎると、SWPの電圧は短時間 V_{IN} に向かって下降し、AGのターンオンによって“H”に強制されるまで再度上昇することはありません。SWPノードのこの低落は図17に示されており、負荷が軽いほど顕著です。

これは、SWPノードがサイクルごとに充放電するので効率をかなり下げる可能性があります。SGDの遅延をさらに短くすることにより簡単に防ぐことができます。LTC3766は $SW < 0.5V$ となるまでSGのターンオンを禁じますが、これはFGのターンオフまでの遅延については当てはまりません。PT⁺の立ち下がりからFGのターンオフまでの遅延はSGのターンオンの適応型の制限を超えて短くすることができるので、FGとSG

のエッジは、それらの間の小さなデッドタイムによって分離することができます。これは、回路の寄生要素に基づいて、FGのターンオフを別個に最適化可能にするのに重要です。ほとんどのアプリケーションでは、SWPの低落がないように、またFGのターンオフとSGのターンオンの間に小さなデッドタイムがあるようにSGDの遅延が設定されるとき、最大負荷での効率がピークになります。

効率がそれほど重要ではないアプリケーションでは、SGDをGNDに接続することにより、この遅延を適応させつつ設定することができます。この場合、FGの立ち下がりやSGの立ち上がりは両方とも、 $SW < 0.5V$ となるまで禁じられます。固定遅延モードでは、常に8k以上の抵抗をSGDピンに使用して、適応型遅延モードが起動するのを防ぎます。

遅延抵抗の選択 PGのターンオン遷移

PGのターンオン遷移に関連した遅延は、LTC3765のDELAYピンとLTC3766のFGDピンによって設定されます。LTC3766はPWMのオン時間の始点でPT⁺を“H”にアサートし、次に、FGDピンの抵抗で設定された遅延の後、FGをオンし、SGをオフします。1次側では、PT⁺の立ち上がりに対応して、LTC3765が直ちにAGのMOSFETをオフし、次に、LTC3765のDELAYピンの抵抗で決まる遅延の後、PGのMOSFETをオンします。2次側のFGD遅延の抵抗は、1次側の遅延と注意深く関連させて選択する必要があります。したがって、LTC3765とLTC3766の両方の部品の選択手順の概要を次に説明します。

まず、PGのターンオン遅延を設定する目的は、最小のドレイン電圧でPGとFGのMOSFETをオンすることにより、スイッチング損失を最小にすることです。AGのMOSFETがオフした後、PGとFGのドレイン電圧(SWPとSWB)は、それぞれ約 V_{IN} と0Vまで自然にランプダウンします。これらの電圧は低下するのに、メイン・トランスの磁化インダクタンスやMOSFETのドレインの寄生容量に依存して、100ns～500nsまたはそれより長くなります。遅延設定を正しく選択すると、MOSFETのスイッチングによる電力損失に大きく影響を与えることができます。

特定の設計で最も効果的な手順は、結果として生じるSWPとSWBの波形に基づいて、PGとFGの遅延を設定することです。これらの波形を評価するため、最初は長い遅延を選択します。ただし、損傷を与えるおそれのあるPG/SGの交差導通を防ぐ

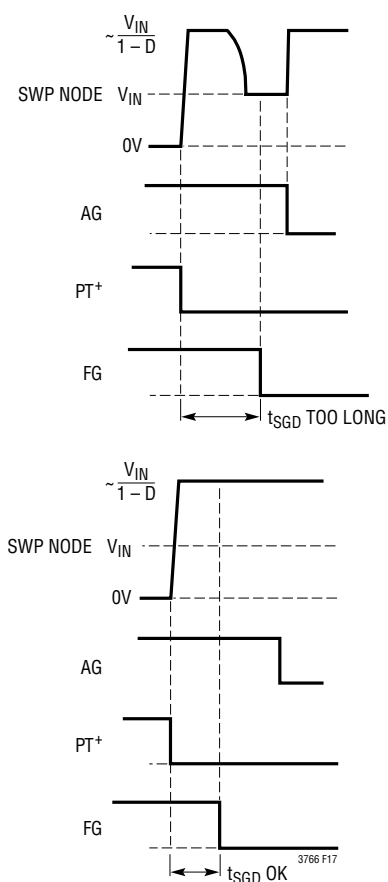


図17. 長い遅延によるSWPの急落の防止

アプリケーション情報

ため、FGの遅延をPGの遅延より小さくする必要があります。最初は、415nsの遅延のため75kの抵抗をFGDからグランドに使い、622nsの遅延のため60kの抵抗をDELAYからグランドに使います。SWPとSWBの波形は図18のように見えます。

SWBとSWPのランプレートは、1次近似ではデューティサイクルに依存しませんが、ランプの開始点はデューティサイクルの関数です。したがって、 V_{IN} が最小のときの高いデューティサイクルで遅延時間が最長になります。入力電圧の全範囲でスイッチング損失を最小にするには、 V_{IN} が最小動作電圧のときの波形に基づいて遅延を選択します。

FGDピンからグランドへ接続する抵抗の値を最初を選択します。これは、 PT^+ の立ち上がりからSWBが約0Vにランプダウンするまでの時間に等しい遅延を与えるように選択します。FGDの抵抗の値は次式から求めることができます。

$$R_{FGD} = (t_{FGD} - 18ns) \cdot \frac{1k\Omega}{5.1ns}$$

SWPとSWBの電圧がそれらの最小値に自然に低下する前にFGがオンすると、それらはFGのMOSFETのターンオンによって直ちにそれらの最小値にプルダウンされることに注意してください。このため、SWBが0Vにランプした後FGがオンす

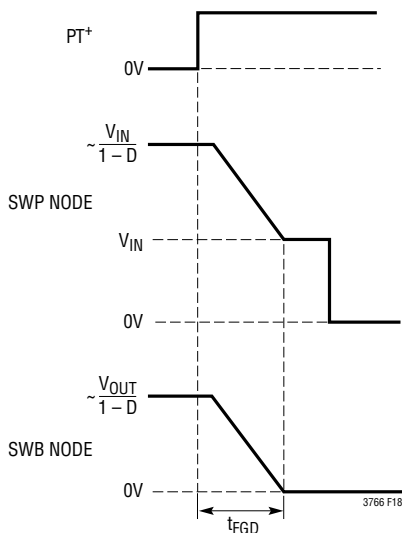


図18. SWPとSWBの波形

るように見えることがありますが、実際には時期尚早です。FGを時期尚早にオンすると、スイッチング損失の増加により効率がわずかに下がりますが、SWPとSWBの立ち下がり時間が600nsの最大FGD遅延を超える場合は、低い入力電圧でFGが時期尚早にオンしても問題はありません。一般に、高い V_{IN} では遅延は適切であり、完全なランプダウンを可能にします。

稀な例として、LTC3765とLTC3766は、最小 V_{IN} 電圧で動作しているとき、遅延フェーズアウト・モードになります。これは、遅延を測定すると、どちらかまたは両方のデバイスのプログラムされた遅延より短くなるのですぐ判ります。この機能により、LTC3765とLTC3766は、プログラムされた遅延を短縮しなければ最大デューティサイクルが制限されるであろうとき、プログラムされた遅延を短縮することにより、最大79%までのデューティサイクルで動作することができます。このモードになることが前もって明らかであれば、遅延フェーズアウトがもはやアクティブではなくなるまで V_{IN} を上げてから、FGDの遅延を上述のように設定します。

FGDの遅延を設定して低電圧のスイッチングを最適化したら、次にPGの遅延を選択してSGのターンオフとPGのターンオンの間のデッドタイムを最小にします。1次側のゲートの遅延は、設定された遅延の許容誤差と立ち上がり/立ち下がり時間を考慮して決めることができます。LTC3766のFGの遅延の設定とLTC3765のPGの遅延の設定は両方とも、抵抗値の範囲で15%以内です。この精度を前提すると、LTC3765の遅延時間の妥当な選択として、PGの遅延時間を $1.22 \cdot t_{FGD}$ に設定します。

SGの立ち下がり時間とPGの立ち上がり時間を無視できないことに注意してください。たとえば、入力容量が大きいMOSFETをSGがドライブしており、入力容量が小さいMOSFETをPGがドライブしていると、SGは低速で降下し、PGは高速で上昇します。これにより、シュートスルーの可能性が高くなります。さらに、FGがオンするまでSGはオフしないので(メイク・ビフォア・ブレイク)、FGの立ち上がり時間も関係します。最後の検討事項は、パルストランスによる PT^+ の立ち上がりの遅延のLTC3765に対する影響です。これら全ての検討事項は、次式により、遅延抵抗の選択で計算に入れることができます。この式で、 $t_D(PT)$ はLTC3765の PT^+ の立ち上がりから IN^+ の立ち上がりまでの遅延時間、 $t_R(FG)$ は2VまでのFGの立ち上がり時間、 $t_F(SG)$ は1VまでのSGの立ち下がり時

アプリケーション情報

間、 $t_R(PG)$ は1VまでのPGの立ち上がり時間です。次に、遅延時間をこのように選択することができます。

$$t_{PGD} = 1.22 \cdot t_{FGD} + t_R(FG) + t_R(SG) - t_R(PG) - t_D(PT)$$

次式を使って、LTC3765のDELAYピンからグラウンドに接続する抵抗を選択して、この遅延を与えることができます。

$$R_{DELAY} = (t_{PGD} - 45ns) \cdot \frac{1k\Omega}{9.5ns}$$

実際には、LTC3765のPGのターンオン遅延は、PGとSGの波形をモニタすることによって最適化します。控えめな手法として、PGの遅延を設定して、これらの遅延の許容誤差(標準で合計遅延の22%)に対応したデッドタイムを、SGの立ち上がり時間とPGの立ち上がりの間に与えます。もっと積極的な手法では、トランスの漏れインダクタンスにより、PGのターンオンの効果(つまり、SWノードの立ち上がり)が最大負荷では75ns～150nsまたはそれ以上遅れる事実を計算に入れます。また、トランスの漏れインダクタンスは、トランス電流の立ち上がり時間を遅くすることにより、少量のシュートスルーの影響を和らげます。最大負荷での効率、PGのターンオンをSGのターンオフに近づけて設定することによって高くすることができます。さらに、PGのターンオンでのデッドタイムを短くすると、スイッチ・ノードのオーバーシュートとリングングを減らすことができ、それによって、必要なRCスナバのサイズを小さくし、関連した電力損失を減らすことができます。

PGのターンオン時のデッドタイムを短くすると最大負荷での性能を改善できますが、無負荷時のワーストケースのシュートスルーが安全限界内に十分収まるように注意する必要があります。

最大デューティサイクルと遅延のフェーズアウト

PGのターンオン遅延時間はターンオンのスイッチング損失を減らすのに重要ですが、この遅延時間の間は入力電源から出力負荷へ電力が送られません。ほとんどのフォワード・コンバータ・システムでは、利用できる最大デューティサイクルはこの遅延により人為的に制限され、最適遅延時間と利用できる最大デューティサイクルの間にトレードオフを強制します。LTC3765とLTC3766はユニークな遅延フェーズアウト機能を実装しており、要求されるデューティサイクルが79%の最大値に近づくにつれ、PGとFGのターンオン遅延が徐々に減少します。この機能により、公称入力電圧では最適遅延で、低い入力電圧では最大デューティサイクルに近づくようにフォワード・コンバータを設計することができるので、電力トランスを有効に利用できます。

2次側バイアスの生成

絶縁型アプリケーションでLTC3766のバイアスを生成する最良の方法を決めるとき、検討すべき5つの事項があります。

1. 必要な動作電流。これには、1次側と2次側の両方のMOSFETのゲート・ドライブ電流、およびLTC3765とLTC3766の両方の動作消費電流が含まれます。
2. MOSFETのゲートに必要な動作電圧。ロジック・レベルMOSFETまたは標準スレッショルドMOSFETのどちらが使用されているかに従って、 V_{CC} 動作電圧レベルと低電圧ロックアウト(UVLO)レベルを、MODEピンを使って設定することができます。バイアス電源は、LTC3766の V_{CC} ピンをそのUVLOレベルより上に保ち、全体の電源がピーク効率で動作し続けるように適切な電圧を供給する必要があります。
3. 低出力電圧での電流制限動作。通常の動作 V_{OUT} を基準にした電流制限時に必要な最小 V_{OUT} は、バイアス電源の設計に大きな影響を与えます。バイアス電源は V_{OUT} 電圧のこの範囲にわたって適切な電圧を供給する必要があります。
4. 入力電圧の変動。最小入力電圧では、バイアス電源は適切な動作のために依然として十分な電圧を供給する必要があります。最大電圧では、バイアス電源は最大定格を超えてはならず、そうでないと過度の電力を消費します。
5. 1次側から2次側への制御の素早い引き渡しの潜在的必要性。PolyPhaseアプリケーションでは、最大負荷電流が出力に現れる前に電流分担と適切なフェージングを確立できるように、起動時に制御を2次側に素早く引き渡すことが重要です。対照的に、アプリケーションによっては、出力が安定化の値に達する直前まで、制御を2次側に引き渡す必要がないことがあります。**ただし、全てのアプリケーションで、2次側バイアスは常に、出力が安定化レベルに達する前に立ち上がり、制御が引き渡される必要があります。**

2次側バイアス電源によって供給される必要がある電流は、次式を使って推定することができます。

$$I_{VCC} \approx (Q_{GPRIFSW} + 3mA)N_{PT} + Q_{GSECFSW} + 18mA$$

アプリケーション情報

ここで、 Q_{GPRI} は全ての1次側MOSFETの合計ゲート電荷、 Q_{GSEC} は全ての2次側MOSFETの合計ゲート電荷、 N_{PT} はパルスストロンスの巻数比です。1次側電流は、パルスストロンスの巻数比によってスケールが定められることに注意してください。上式の18mAの定数には、ゲート・ドライブの標準的スイッチング電流およびパルスストロンスに関連した損失が含まれます。

2次側バイアスへの V_{OUT} の直接利用

2次側バイアスを生成する最も簡単な方法は、コンバータの出力を直接使うことです。これは、 V_{OUT} が5V～15Vの範囲のときだけ实际的です。 V_{OUT} が5V～10Vの範囲のときは、図4aに示すように、直接 V_{CC} に接続することができます。 V_{OUT} が6V～15Vの範囲のときは、図4bに示すように、 V_{AUX} レギュレータのバイアス入力として使うことができます。15Vより高い出力電圧では電力損失が大きいので、この方法は一般に实际的ではありません。また、この簡単な方法では、低い出力電圧では定電流制限動作になりません。2次側への引き渡しも速くなく、PolyPhaseアプリケーションには推奨しません。

2次側バイアスのためのピーク充電回路の使用

2次側のバイアス電圧を生成する普通の方法では、図19に示すように、トランスの2次側に接続したピーク充電回路を使用します。この回路は、デバイスの V_{IN} ピンに直接接続し、高電圧リニア・レギュレータへの入力として使える安定化されていないバイアス電圧を発生するのに使えます。

ピーク充電回路は低い出力電圧でもバイアスを供給できるので、広い V_{OUT} 範囲で定電流制限動作が必要な場合最適です。コンバータが小さなデューティサイクルで動作しているときでも、バイアス電圧を供給するので、2次側への素早い引き渡しが必要なPolyPhaseアプリケーションにもピーク充電は最

適です。ただし、ピーク充電回路の出力はコンバータの入力電圧の変化に直接従うので、入力電圧が2:1以下で変化するアプリケーションでだけ使用します。28Vを超える V_{IN} ピンのバイアス電圧では、内部の30Vクランプに3.5mA～7mAが流れます。これにより、LTC3766の電力損失が100mW～200mW増加します。ピーク充電回路からの最初の充電電流を制限するには、 1Ω ～ 4Ω の直列抵抗 R_{PK} を使います。ピーク・サージ電流定格が5A以上のショットキー・ダイオード D_{PK} も使い、パス・トランジスタ $Q1$ はベータが少なくとも200のものにします。コンデンサ C_{PK} は、容量が2.2 μ F以上のセラミック・コンデンサにします。

開ループ起動の間、ピーク充電バイアスが起動し、出力の過電圧が生じる前に制御が2次側に移されることが不可欠です。ピーク充電回路はコンバータの出力電圧に直接結合されてはいないので、2次側のピーク充電バイアスの立ち上がり時間に比べて、1次側のソフトスタートが速過ぎないように注意する必要があります。ピーク充電バイアス電圧が、2次側に制御を引き渡せるようになるレベルまで上昇するのに必要な時間は、次式を使って近似することができます。

$$t_{BIAS} \approx 10^3 \cdot \sqrt{R_{EQ} C_{PK} C_{SSP}} + 150 \mu s$$

ここで、 R_{EQ} は R_{PK} とダイオード D_{PK} の直列抵抗の和、 C_{SSP} はLTC3765のソフトスタート・コンデンサです。

開ループのソフトスタートの間、コンバータの出力電圧が、与えられたレベル V_{HO} に達するのに必要な時間は、次式を使って近似することができます。

$$t_{OUT} \approx 10^4 \cdot \left(\frac{C_{SSP}^2 (V_{HO})^2 L C_{OUT} f_{SW}}{\left(V_{IN(MIN)} \cdot \frac{N_S}{N_P} \right)^2} \right)^{1/3}$$

上式は、負荷電流がないと仮定しています。これは出力電圧の上昇にとってワーストケースです。 t_{OUT} を計算するとき、制御の引き渡しの目標出力電圧(一般に、通常の安定化レベルの半分以下)に対応する V_{HO} の値を使います。 t_{OUT} が t_{BIAS}

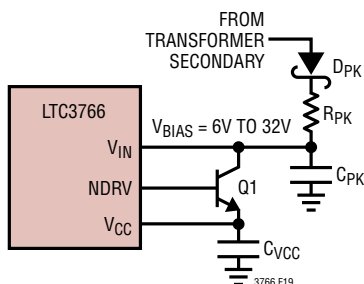


図19. 2次側バイアスのためのピーク充電回路

アプリケーション情報

より短かければ、LTC3765のソフトスタート・コンデンサの値を大きくします。これらの式は近似であり、実際の時間は回路パラメータによっていくらか変化することに注意してください。

ピーク充電バイアスの構成

SWノードのピーク電圧が7V～32Vのとき、図20に示されているように、ピーク充電はSWノードから直接とられます。実際には、この条件は、コンバータの出力電圧が約5Vのときだけ当てはまります。

ほとんどのアプリケーションでは、適切なバイアス電圧を発生するのに使用するため、2次側に補助巻線を追加する必要があります。V_{OUT}の低いアプリケーションでは(V_{OUT} < 5V)、こ

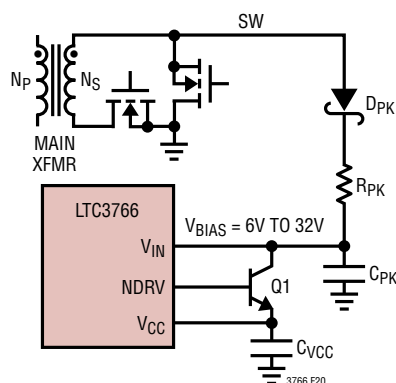


図20. SWから直接ピーク充電 (V_{OUT} ≈ 5V)

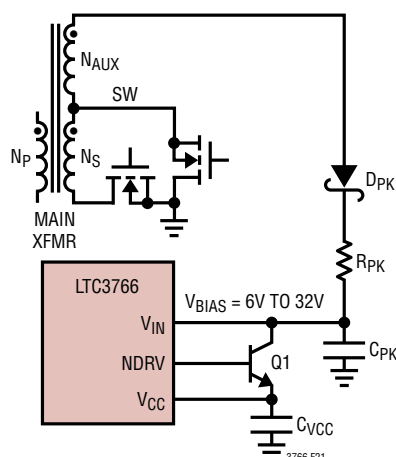


図21. V_{OUT}が低いアプリケーションのピーク充電

の巻線は図21に示されているように構成して、バイアス生成のために高い電圧を供給することができます。

この構成は、最小の追加巻数でトランスの2次側に高い電圧を発生するので、有利です。この構成の補助巻線の巻数はおおよそ次のようにします。

$$N_{AUX} \approx N_S \left(\frac{V_{B(MIN)} D_{MAX}}{V_{OUT}} - 1 \right)$$

ここで、D_{MAX}は最大動作デューティサイクル(標準で0.65～0.70)、V_{B(MIN)}は低電圧では7V、高電圧ドライブ・モード動作では10Vです。V_{B(MIN)}のこれらの値はLTC3766のUVLOレベルより約2V高く、ピーク充電回路の低下を許容します。一例として、V_{OUT}=1.5V、D_{MAX}=0.65V、N_S=1巻きの場合、低電圧ドライブ・モードを仮定して、N_{AUX}=2巻きを使います。

V_{OUT}の高いアプリケーションでは(V_{OUT} > 6V)、この巻線は図22に示されているように構成して、バイアス生成のために低くした電圧を供給することができます。この場合、次の巻数の補助巻線を選択します。

$$N_{AUX} \approx N_S \left(\frac{V_{B(MIN)} D_{MAX}}{V_{OUT}} \right)$$

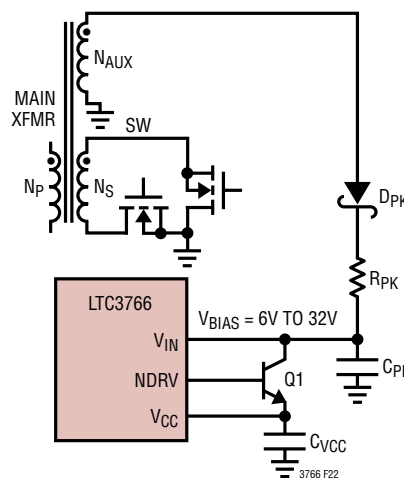


図22. V_{OUT}が高いアプリケーションのピーク充電

アプリケーション情報

最大 V_{IN} では、リニア・レギュレータのパス・デバイス Q1 でかなりの電力損失が生じることがあります。この電力は次式を使って計算できます。

$$P_{Q1} = (V_{BIAS} - V_{CC})I_{VCC}$$

ピーク充電と高電圧リニア・レギュレータが連続して動作する必要があるアプリケーションでは、トランジスタ Q1 は、過度の温度上昇なしに、この電力を消費する必要があります。このようなアプリケーションでは、適切なパッケージ (SOT89) のトランジスタを使い、トランジスタのサーマルタブを PCB の適当な大きさの銅アイランドに接続します。

高効率の2次側バイアスの手法

ピーク充電回路を使って2次側のバイアスを生成する方法に対する高効率の代替方法として、降圧出力をトランスの2次側に接続します。この降圧出力は、図23と図24に示すように、通常はピーク充電回路と組み合わせます。この降圧出力からのバイアス電圧は、V_{AUX}ピンに直接供給することができます。この構成では、高速起動とピーク充電回路の柔軟性を、降圧バイアス電源の高い動作効率と組み合わせます。

図23では、降圧バイアス電源の出力電圧は次式で与えられます。

$$V_{\text{BUCK}} = V_{\text{OUT}} \left(1 + \frac{N_{\text{AUX}}}{N_{\text{S}}} \right) - 0.5$$

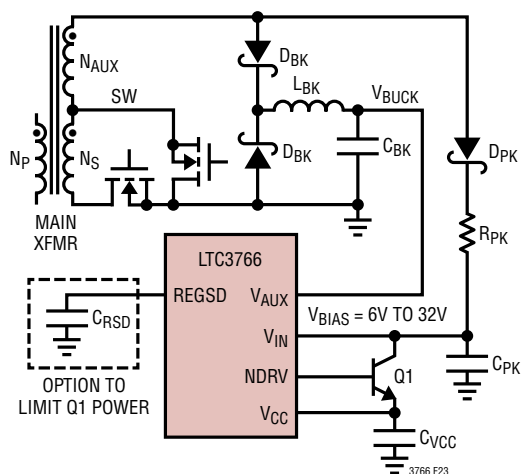


図23. V_{OUT} が低いアプリケーションの降圧バイアス電源

図24では、出力は次式で与えられます。

$$V_{\text{BUCK}} = V_{\text{OUT}} \frac{N_{\text{AUX}}}{N_{\text{S}}} - 0.5$$

降圧バイアス電源では、インダクタ L_{BK} は、必要な V_{CC} バイアス電流を流せる定格でなければならず、必要なバイアス電流負荷の1/4以下で連続電流動作を行うインダクタンス値のものにします。次式に従って L_{RK} を選択します。

$$L_{BK} > \frac{V_{CC}}{I_{CC} f_{sw}}$$

ほとんどのアプリケーションでは1mHの L_{BK} で十分です。

降圧バイパス電源の出力電圧(V_{BUCK})を設定して、通常動作時の効率を最適化します。これには、ピーク充電出力に理想的な巻数よりいくらか大きな補助巻数が一般に必要です。その結果、降圧電源とピーク充電回路は別個の補助巻線からドライブされることがあります。また、ピーク充電回路の出力電圧は、 V_{AUX} バイパス・レギュレータが起動し、高電圧リニア・レギュレータがディスエーブルされているとき、いくらか高くなることに注意してください。LTC3766の V_{IN} ピンの最大電圧定格を超えないように注意が必要です。

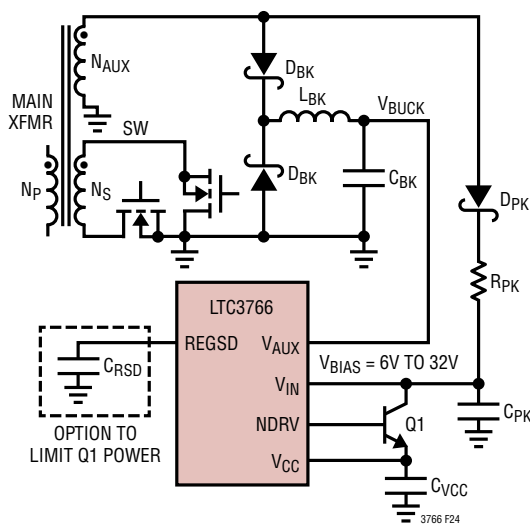


図24. V_{OUT} が高いアプリケーションの降圧バイアス電源

アプリケーション情報

図25に示されているように、ピーク充電電源なしに、降圧バイアス巻線をスタンドアロンで使うこともできます。これは、ピーク充電回路が実際的でないアプリケーションで、 V_{IN} 電圧の範囲が広いとき、ときどき採用されます。

降圧バイアス電源をスタンドアロンで使用する時、バイアス出力がメイン出力より速く立ち上がり、制御の引き渡し後直ちに適切なバイアス電圧が確実に与えられるように特に注意する必要があります。これは、起動時に V_{CC} ピンにいくらかの負荷があり、他方メイン出力には負荷がないことがあると、さらに困難になります。一般に、スタンドアロンの降圧バイアス電源を使ったクリーンな起動は、以下のガイドランを守ることにより実現することができます。1) 動作時の V_{AUX} が V_{CC} の上昇時 UVLO 電圧より少なくとも 3V 上になるように、補助巻線の巻数比を設定し、2) L_{BK} に小さな値（一般に、上式で計算された値の 1/2）だが、通常動作時の L_{BK} の連続電流に十分なだけ大きな値を使います。3) 高電圧リニア・レギュレータを使って、起動時に V_{CC} の負荷を最小にし、4) RUN ピンを使ってバイアス電圧をモニタし、1.5V のヒステリシスを伴う V_{CC} の上昇時 UVLO 電圧の 2V 上に起動電圧を設定し、5) できれば 10ms より短いソフトスタート時間を使い、6) 小さな V_{CC} コンデンサ（一般に $C_{VCC} = 0.22\mu F$ ）と、次式で与えられるコンデンサ C_{BK} を使います。

$$C_{BK} = \frac{20[(Q_{GPR1}f_{SW} + 3mA)N_{PT} + 18mA]}{f_{SW}V_{HYST}}$$

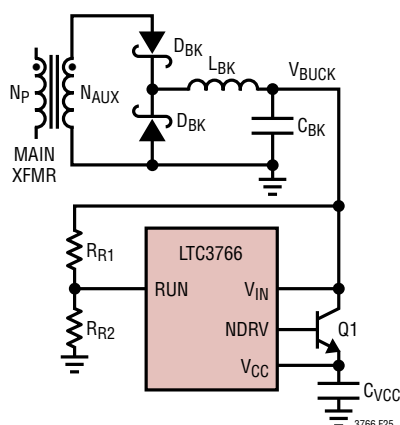


図25. 降圧バイアス電源のスタンドアロンでの使い方

ここで、 V_{HYST} は RUN ピンによって設定されるヒステリシスです (1.5V)。 C_{BK} のこの値は、 V_{BUCK} が速く立ち上がるようにできるだけ小さくしてありますが、制御が2次側に引き渡され、デューティサイクルが増加するまで、バイアス電流をサポートするのに十分なだけ大きいことに注意してください。制御が引き渡されたら、降圧電源とメイン・コンバータの両方とも、それらの出力がトラッキングするように連続電流モードで動作します。

バイアスを生成するための別の高効率オプションとして、図26に示されているように、インダクタの超過巻線を利用します。この電源は、メイン出力インダクタに補助巻線を追加して構築します。

同期 MOSFET のオン時間の間、 V_{OUT} の電圧はスケール調整されて、ダイオード D_{OW} を介してコンデンサ C_{OW} に結合され、その結果得られるバイアス電圧は次のようになります。

$$V_{OW} = V_{OUT} \frac{N_{L2}}{N_{L1}} - 0.5$$

これは、降圧電源に似て、効率がよく、ある程度安定化されます。ただし、こちらの方が、バイアス電圧を生成するのに追加のインダクタを使う必要がない点で、もっと簡単です。この手法の別の利点として、バイアス電圧が常に V_{OUT} をトラッキングするので、バイアス電圧が起動時に出力電圧に遅れをとる可能性について心配する必要がありません。降圧バイアス電源同様、インダクタの超過巻線（図26に示されているように）スタンドアロンで、またはピーク充電バイアス電源と一緒に使うことができます。ピーク・サージ電流定格が 5A 以上のショットキー・ダイオード D_{OW} を使います。コンデンサ C_{OW} は、容量が 2.2 μF 以上のセラミック・コンデンサにします。

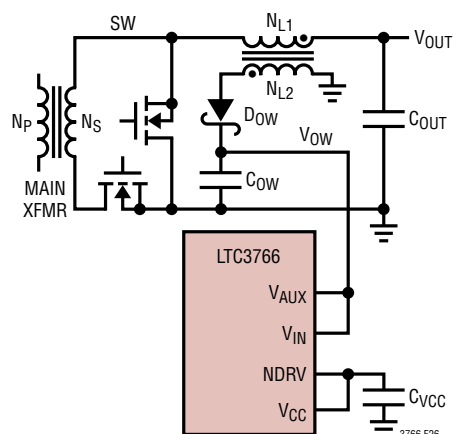


図26. インダクタの超過巻線によるバイアス電源

アプリケーション情報

インダクタの超過巻線によるバイアス電源の有用な変種を図27に示します。この場合、メイン・インダクタ L_F の追加巻線の代わりに、単体のトランス T_{OW} が使われています。これは、標準デバイスをいつでも使えるので、多くの場合さらに便利です。

図27の回路では、2番目のダイオードD_{OW2}が追加されており、DCバイアス電流がトランスT_{OW}を流れるのを防ぎます。このトランスはゲート・ドライブ・タイプまたはフライバック・タイプのどちらでもよく、様々な巻数比で広く入手可能です。トランスT_{OW}は機能的絶縁だけ必要としており、物理的に非常に小さくすることができることに注意してください。この回路は次式で与えられるバイアス電圧を生成します。

$$V_{OW} = (V_{OUT} - 0.5) \frac{N_{L2}}{N_{L1}} - 0.5$$

出力の過負荷状態の間、降圧電源またはインダクタの超過巻線による電源のどちらかによって生成した電圧は、コンバータの出力電圧が減少するにつれて低下します。これが生じ、ピーク充電バイアス電源がないと、LTC3766はUVLOフォールトを生じ、LTC3765とLTC3766の両方がシャットダウンし、再スタートを試みます。ピーク充電電源が降圧電源またはインダクタの超過巻線による電源と一緒に使われている場合、LTC3766は、V_{AUX} ピンが低くなりすぎるとき、高電圧リニア・レギュレータを自動的に再度アクティブにします。ピーク充電や高電圧レギュレータの連続動作が必要であれば、REGSD ピンを使って、このレギュレータが動作可能な合計時間を制限することができます(図23と図24にオプションとして示され

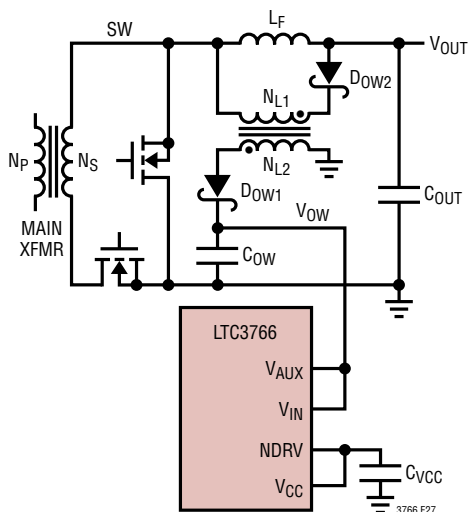


図27. 標準デバイスを使用したインダクタの超過巻線

ています)。これにより、低消費電力のパス・トランジスタを使用することができます。REGSD機能の使い方の詳細については、「リニア・レギュレータの動作」を参照してください。

ソフトスタートのランプ時間と制御の引き渡し

LTC3766のソフトスタートのランプ時間は、SSピンとGNDの間にコンデンサを接続して設定します。この2次側のソフトスタート・コンデンサは、制御が引き渡された後に出力電圧のランプを制御するだけです。したがって、その出力電圧の起動全体に対する影響は、特定のアプリケーションでの1次側から2次側への制御の引き渡し時の電圧に依存します。次式を使ってソフトスタート・コンデンサを選択します。

$$C_{SS} = \frac{(5\mu A)t_{SS}}{1.83(0.6 - V_{FB(HO)})}$$

ここで、 t_{SS} は2次側への制御の引き渡し後のソフトスタート時間、 $V_{FB(HO)}$ は制御の引き渡し時のFBピンの電圧です。全ソフトスタート時間は、 t_{SS} と、LTC3765によって設定される制御引き渡し前の開ループ・ソフトスタート時間の和になります。開ループ・ソフトスタート時間の間、同期MOSFETはイネーブルされておらず、コンバータは不連続電流モードで動作している可能性があるため、出力電圧のランプは負荷に伴って大きく変化することに注意してください。ソフトスタート時間の精密な制御を望む場合、可能な最低の出力電圧で制御の引き渡しを行う2次側バイアス方式を使ってください。2次側バイアスの生成の詳細については、先行するセクションを参照してください。

LTC3766は、制御の引き渡しの直前にソフトスタート・コンデンサを素早くプリセットするので、内部ソフトスタート電圧が $V_{FB(HO)}$ に等しくなり、1次側から2次側への滑らかな移行を確実にします。ただし、ソフトスタート・コンデンサの誘電吸収により、ソフトスタート・コンデンサの電圧が、最初のプリセットの後いくらか低下することがあります。これにより、制御の引き渡し後、出力電圧のランプに小さなステップダウンが生じ、それに関連した負の電流過渡変動がインダクタに生じることがあります。この影響を最小に抑えるため、NPOセラミック・コンデンサのような、誘電吸収の小さいソフトスタート・コンデンサを使ってください。

パルストランスの選択

LTC3766のPT⁺/PT⁻出力をLTC3765のIN⁺/IN⁻入力に接続するパルストランスは、図28に示されているように、2次側コン

アプリケーション情報

トローラと1次側ゲート・ドライバの間の通信リンクとして機能します。さらに、LTC3765は、バイアス電力をパルストランスから引き出すブリッジ整流器を内蔵しており、この電力を1次側MOSFETのゲートをドライブするのに使います。

トランスの巻数比が以下のように設定されるように、これらのデバイスの設計が調整されています。

$$N_{PT} = N_{LTC3765} : N_{LTC3766} = 2:1$$

これはLTC3766の低電圧モード動作の場合です($V_{CC} = 7V$)。

$$N_{PT} = N_{LTC3765} : N_{LTC3766} = 1.5:1$$

これはLTC3766の高電圧モード動作の場合です($V_{CC} = 8.5V$)。その結果得られるLTC3765の V_{CC} 電圧はおおよそ次のようになります。

$$V_{CC(3765)} = V_{CC(3766)} N_{PT} - 1.3$$

上の巻数比を使うと、LTC3765が1次側MOSFETのゲートをドライブするための約12Vの1次側 V_{CC} 電圧を与えます。また、パルストランスによって与えられる1次側 V_{CC} 電圧は、適切な動作のため、LTC3765のUVLOスレッシュホールドより大きくなければならないことに注意してください。LTC3765の V_{CC} ピンの最大電圧定格を超えないようにすることにも注意を払ってください。

パルストランスの定格は、 PT^+/PT^- の79%のデューティサイクル信号と最低動作周波数によって要求される最小ボルト秒も満たす必要があります。必要なボルト秒定格は、最小周波数から次のように計算することができます。

$$\text{Volt-Sec} = 0.33 \cdot \frac{V_{CC}}{f_{SW(MIN)}}$$

パルストランスはPWM情報とバイアス電力を送るのに使用されるので、漏れインダクタンスが1 μH 以下のパルストランスを

選択します。これにより、PWM情報のリングングと歪みが減り、堅牢な通信リンクが常に維持されます。

LTC3766の低電圧(7V)モードの場合、上の要件を満たすトランスには、Pulse EngineeringのPA2008やCoilcraftのDA2320などがあります。LTC3766の高電圧モード(8.5V)の場合、上の要件を満たすトランスには、Pulse EngineeringのPA3290などがあります。

図28のパルストランスに直列な1 μF と0.1 μF のコンデンサは、信号のDCレベルのブロッキングと復元のためです。LTC3765の IN^+/IN^- 入力に示されている220pF/100 Ω のRCスナバは、パルストランスの漏れインダクタンスによるリングングを最小に抑えるのに必要です。これら4つの部品のそれぞれに示されている値は、LTC3765/LTC3766のほとんど全てのアプリケーションに適切です。

電圧ループの補償

LTC3766の電圧ループは、標準的降圧コンバータの場合とほぼ同様に(ITHピンに補償ネットワークを接続して)補償されます。ただし、電圧ループの速度と安定性は、ITHの補償の設計と無関係ないくつかの要因に大きく依存することに注意することが重要です。たとえば、よくあるPCBレイアウトの誤りは、多くの場合安定性の問題として現れます。例として、遠くに置かれた入力デカップリング・コンデンサ、大きなスイッチング電流が流れるグラウンド・トラックへのITH部品の接続、ノイズを拾うほど長い距離にわたるFB信号の配線などがあります。詳細については、「PCBのチェックリスト」のセクションを参照してください。電圧ループに影響を与える別の要素は、出力コンデンサの選択です。容量が小さすぎると、またはESRが大きすぎると、最適ループ性能を達成することはできません。ループ応答を妨げる可能性のある3番目の要素は、電力段の減衰不足の共振です。例として、減衰不足のLC入力フィルタ、またはメイン・トランスの磁化インダクタンスと共振するアクティブ・クランプ・コンデンサなどがあります。これらのLC共振の適切な減衰方法の詳細については、「入力コンデンサ/フィルタの選択」および「アクティブ・クランプ・コンデンサ」のセクションを参照してください。ループ応答を最適化しようとする前に、上記の要素を注意深く検討してください。なぜなら、ITHの部品をどんなに微調整しても、これらの要素の影響をキャンセルすることはできないからです。また、ループ応答のどんな理論

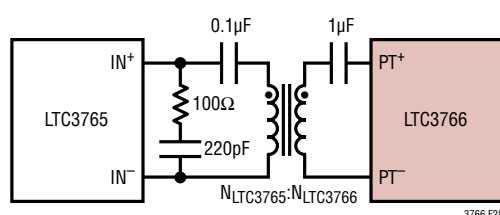


図28. パルストランスの接続方法

アプリケーション情報

的解析も、非理想的な部品の1次動作しか考慮しません。したがって、量産用のレイアウトと部品を使って安定性の最終チェックを行うことが重要です。

LTC3766の電圧ループの安定化は、エラーアンプを使って、(ITHからV_{OUT}への出力利得の制御を補償する) V_{OUT}からITHへの利得を与えることにより、実現されます。ITHからV_{OUT}への利得のDC成分はおおよそ次のようになります。

$$A_{DC1} = \frac{1}{29.3R_{SENSE}} \cdot \frac{2Lf_{SW}R_{OUT}}{2Lf_{SW} + R_{OUT}}$$

これは抵抗検出モードの場合です。

$$A_{DC1} = \frac{N_p}{2.2K_{CT}N_sR_{SENSE}} \cdot \frac{2Lf_{SW}R_{OUT}}{2Lf_{SW} + R_{OUT}}$$

これは電流トランス・モードの場合です。LTC3766は電流モード制御を利用するので、ITHからV_{OUT}の伝達関数は基本的に1つのポールと1つのゼロによって特性を表すことができます。ポールはおおよそ次のように与えられます。

$$f_p = \frac{1}{2\pi R_{OUT}C} + \frac{1}{\pi f_{SW}LC}$$

ゼロは次式で与えられます。

$$f_z = \frac{1}{2\pi R_{ESR}C}$$

ここで、R_{ESR}は出力容量CのESRです。このゼロの周波数は、選択するコンデンサのタイプに依存して大きく変化することに注意してください。

LTC3766は内部スロープ補償を使って、電流ループを安定化します。実効的に電流検出(I_S⁺)入力に現れるスロープの大きさは次のようになります。

$$S_R = Kf_{SW}(26mV)$$

これは抵抗モードの場合です。

$$S_R = Kf_{SW}(0.35V)$$

これは電流トランス・モードの場合です。ここで、50%未満のデューティサイクルではK = 1、50%を超えるデューティサイクルではK = 2です。ほとんどのアプリケーションでは、この内

部スロープはインダクタのダウンスロープのオーダーで、クロスオーバー周波数で過度の位相シフトを生じることなく、適切な電流ループの安定性を与えます。位相マージンの計算では、スイッチング周波数の1/2のところに2つのポールが存在すると仮定します。異常に高い値のインダクタを使用すると、スロープ補償による追加の位相シフトが生じ、電圧ループのクロスオーバー周波数を低く強制して安定性を確保します。過小または過大なスロープ補償を避けるため、インダクタが以下の不等式を満たすことを確認します。

$$\frac{2V_{OUT}R_{SENSE}}{3S_{R@K=2}} < L < \frac{3V_{OUT}R_{SENSE}}{S_{R@K=1}}$$

これは抵抗検出モードの場合です。

$$\frac{2V_{OUT}R_{SENSE}K_{CT}N_s}{3S_{R@K=2}N_p} < L < \frac{3V_{OUT}R_{SENSE}K_{CT}N_s}{S_{R@K=1}N_p}$$

これは電流トランス・モードの場合です。

場合によっては、LTC3766とLTC3765は、低い入力電圧では遅延フェーズアウト・モードになります。このサイクルごとのPGとFGのターンオン遅延の短縮は、スロープ補償の大きさを約20%～40%減らす効果があります。したがって、遅延フェーズアウト・モードでの動作時に電流ループの安定性を維持するため、高い値のインダクタンスが必要になることがあります。

補償ネットワークは、一般に図29に示されているように構成されます。このネットワークの目的は、優れた負荷レギュレーションのためにDC利得を増やし、他方、できるだけ高いクロスオーバー周波数で電圧ループの位相マージンを十分与えることです。これは通常、支配的ポールを非常に低い周波数に追加し、ゼロをクロスオーバー周波数より十分前に追加して、

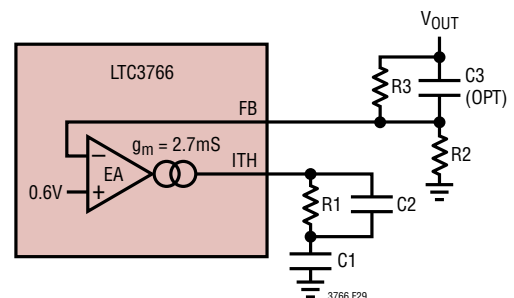


図29. ITH補償ネットワーク

アプリケーション情報

支配的ポールに関連したほとんどの位相を取り去ることによって達成されます。高い周波数のポールも追加され、ノイズを減らし、出力電圧リップルを減衰させます。この補償ネットワークのスイッチング周波数での利得が大きいと、不安定になることがあるので注意してください。

図 29 のネットワークの DC 利得は次のようになります。

$$A_{DC2} = \frac{R2}{R2+R3} g_m R_{EA}$$

ここで、 $R_{EA} = 5M\Omega$ はエラーアンプの出力抵抗、 $g_m = 2.7mS$ はトランスコンダクタンスです。低い周波数のポールとゼロは以下のように与えられます。

$$f_{P1} = \frac{1}{2\pi R_{EA} C3} \text{ and } f_{Z1} = \frac{1}{2\pi R1 C1}$$

高い周波数のポールは次式で与えられます。

$$f_{P2} = \frac{1}{2\pi R1 C2}$$

電圧ループの 0dB クロスオーバー周波数の良い目標は、スイッチング周波数の 1/10 ~ 1/5 および 60° 以上の位相マージンです。出力コンデンサの ESR によって生じるゼロは、クロスオーバーに近い周波数で正の位相シフトを与えることにより、ループの安定化に役立つことに注意してください。これは、電流ループの高周波数のポールに関連した負の位相シフトをキャンセルする傾向があります。ただし、出力コンデンサが純粋にセラミックであると、ループ応答全体の位相リードに寄与するには、ESR によるゼロは周波数が高すぎることがあります。この場合、図 29 に示すように、オプションの位相リード・コンデンサ C3 を追加すると役立つことがあります。これは次の周波数にゼロを生じます。

$$f_{Z2} = \frac{1}{2\pi R3 C3}$$

このゼロをクロスオーバー周波数の近くに置いて、追加の位相ブーストを与えます。

電圧ループを最適化するとき、大信号ステップ応答は、クロスオーバー周波数以外の要因によって制限される場合があることを考慮してください。たとえば、入力電圧が低い場合、負荷

の急増にตอบสนองするループの能力が、79% の最大デューティサイクル制限によって妨げられます。また、非常に大きな負荷ステップ (たとえば、ゼロから最大負荷) にตอบสนองして、ループが、メイン・トランスの飽和を生じるほどのデューティサイクルを要求することがあります。1 次側で電流を検出すると、あるいはボルト秒クランプを使うと、ハードな飽和は防がれますが、メイン・トランスで利用できる余剰ボルト秒によって、大信号ステップ応答が制限されます。

SG の逆過電流の設定

LTC3766 は注意深く設計されており、必要に応じて SG の MOSFET をオフして、起動時、シャットダウンおよび通常動作時の過電流を防ぎます。にもかかわらず、LTC3766 は、追加の保護機能として、ユーザーが調整可能な SG の逆過電流保護回路も内蔵しています。この機能は、SG の逆電流を特定の値に制限することが望ましい特殊なアプリケーションでも役立ちます。SG の逆過電流保護回路は、SG が “H” のとき SW ピンの電圧をモニタし、SW 電圧が内部スレッシュホールドを超えると、SG のオン時間をそのスイッチング・サイクルの持続時間の間停止します。SG に過電流が生じて LTC3766 がゼロのデューティサイクルで動作していると、SG がオフする前に FG の MOSFET が強制的にオンし、電流を 1 次側に振り向けて、アバランシェが生じるのを防ぎます。調整されていないと、SG の内部過電流スレッシュホールドは十分高く設定されているので、通常のアプリケーションの動作に干渉しません。**SW と GND から SG の MOSFET のドレインとソースに 4 端子接続をするように注意してください。**

さらに、SW ピンの内部固定スレッシュホールドに加えて、SW ピンから電流がソースされるので、必要なら、抵抗を接続して過電流スレッシュホールドを下げるができます。高電圧 MOSFET の高いオン抵抗に適應するため、LTC3766 が HV モードまたは LV モードのどちらで動作しているかに基づいて、SW ピンのスレッシュホールドと調整電流の両方が変化します。SW ノードのプラトー電圧が 40V 未満 ($V_{IN} \cdot N_S/N_P \leq 40$) のアプリケーションでは、1 個の抵抗を使って、SG の過電流スレッシュホールドを設定することができます (図 30)。その結果生じる過電流に対応する SG の MOSFET の V_{DS} は、次式によって与えられます。

$$V_{OC} = V_{REV} - I_{REV} R_{SW}$$

アプリケーション情報

SGの過電流のトリップ・レベルは、通常動作時のSGのMOSFETの最大 V_{DS} の2倍を通常目標にします。これは次式を使って推定することができます。

$$V_{OC} = \frac{R_{DS(MAX)} V_{OUT}}{f_{SW} L} \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}} \cdot \frac{N_p}{N_s} \right)$$

ここで、 $R_{DS(MAX)}$ はSGのMOSFETの全温度範囲での最大 $R_{DS(ON)}$ です。この式は、無負荷時のインダクタ電流のために通常生じる逆SG電流の2倍を許容します。SGの過電流トリップの%誤差は次式を使って推定することができます。

$$\Delta V_{OC} = \frac{100}{V_{OC}} \sqrt{\left(\frac{I_{REV} R_{SW}}{15} \right)^2 + \left(\frac{V_{REV}}{15} \right)^2}$$

上の誤差が30%より大きいと、それによって V_{OC} のスレッシュホールドを上げる必要があるかもしれません。SGの過電流トリップより前にインダクタが飽和しないようにするため、インダクタの飽和電流が次のようになるようにします。

$$I_{LSAT} > \frac{V_{OC(MAX)}}{R_{DS(MIN)}}$$

ここで、 $V_{OC(MAX)}$ は上の誤差に基づく最大過電流トリップ、 $R_{DS(MIN)}$ はSGのMOSFETの全温度範囲での最小 $R_{DS(ON)}$ です。

SWノードのプラトー電圧が40V以下のときは常に図30の回路を使うことができますが、オーバーシュートやリングングのため、SWピンの50Vクランプに流れ込む電流を制限するように注意する必要があります。SWノードの標準的波形を図31に示します。

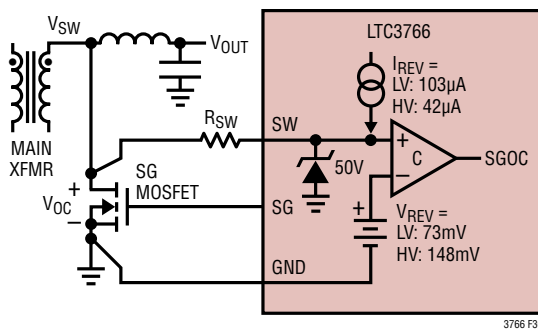


図30. V_{OUT} の低いアプリケーションのSGの過電流

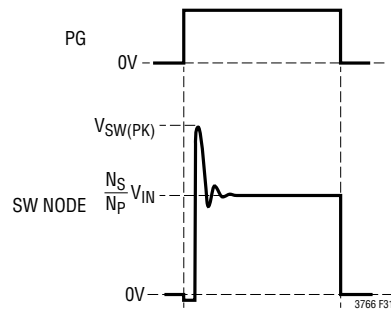


図31. SWノードの標準的波形

SWノードのオーバーシュートやリングングはメイン・トランスの漏れインダクタンスによるものであり、最大負荷および最大 V_{IN} ではさらに悪化します。SWノードのピーク電圧($V_{SW(PK)}$)は、SWノードに一般に使われるRCスナバとゲート・ドライブのタイミングに大きく依存します。詳細については、「遅延抵抗の選択: PGのターンオンの遷移とRCスナバ」のセクションを参照してください。SWノードのピーク電圧がSWピンに流れ込む0.2Aを超える電流を生じさせないように確認してください。

$$\frac{V_{SW(PK)} - 50V}{R_{SW}} < 0.2A$$

上の条件は通常、 R_{SW} の妥当な値と、 $V_{SW(PK)}$ を制限するRCスナバの使用によって満たされます。

SWノードのプラトー電圧が40Vを上回るアプリケーションでは、図32に示されているように、分圧器を追加する必要があります。

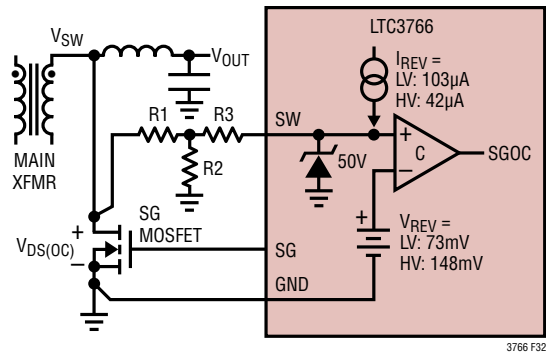


図32. V_{OUT} の高いアプリケーションのSGの過電流

アプリケーション情報

図32の回路では、SGのMOSFETの過電流による V_{DS} は、次式によって与えられます。

$$V_{OC} = V_{REV} \left(\frac{R1+R2}{R2} \right) - I_{REV} \left[R1 + R3 \left(\frac{R1+R2}{R2} \right) \right]$$

必要な V_{OC} スレッシュホールドの生成に加えて、同時に満たす必要がある、抵抗 $R1$ 、 $R2$ 、および $R3$ の選択に関する3つの制約があります。1) $R1$ と $R2$ は最大 V_{SW} プラトー電圧を40V以下に分圧する必要がある、2) SWピンのインピーダンスをできるだけ低く保って V_{SW} 電圧の検出の遅延を減らす必要がある、さらに、3) $R1$ と $R2$ の電力損失を問題ない程度に低く抑える必要があります。最後の2つの制約は、最大電力(P_R)が $R1$ と $R2$ の和で消費される電力になるように選択することにより、満たすことができます。一般に、 $P_R = 0.25W$ の設定は妥当な妥協であり、コンバータの効率に影響を与えずに時定数を低く保ちます。

以下の手順に従って $R1$ 、 $R2$ 、および $R3$ を選択します。

1. 最大電力($P_R = 0.25W$)に基づいて $R1$ と $R2$ 、およびSWピンに正確に最大40Vを生成する分圧比を計算します。

$$R1 = \frac{N_S}{N_P} \left(\frac{V_{OUT} V_{IN(MAX)}}{P_R} \right) - \frac{40V_{OUT}}{P_R}$$

$$R2 = \frac{40 \cdot R1}{\frac{N_S}{N_P} V_{IN} - 40}$$

2. ステップ1)からの $R1$ と $R2$ を使って計算した V_{OC} の値が V_{OC} の目標値より大きい場合、 $I_{REV} \cdot R3 (R1 + R2) / R2$ が V_{OC} の計算値と目標値の差に等しくなるように、 $R3$ を選択します。
3. ステップ1)からの $R1$ と $R2$ を使って計算した V_{OC} の値が目標値より小さい場合、 $R3 = 0$ です。最大電力($P_R = 0.25W$)と望みの V_{OC} の目標値に基づいて $R1$ と $R2$ を再計算します。

$$R1 = \frac{BI_{REV} - AV_{OC} + \sqrt{(AV_{OC} + BI_{REV})^2 - 4ABV_{REV}I_{REV}}}{2AI_{REV}}$$

$$R2 = \frac{B - AR1}{A}$$

ここで、 $A = P_R (N_P / N_S)$ 、 $B = V_{OUT} V_{IN(MAX)}$ です。

図32の回路では、SGの過電流トリップの%誤差は次式を使って推定することができます。

$$\Delta V_{OC} = \frac{100}{V_{OC}} \sqrt{\left(\frac{I_{REV} (R1 + K \cdot R3)}{6} \right)^2 + \left[K \frac{V_{REV}}{14} \right]^2}$$

ここで、 $K = (R1 + R2) / R2$ です。

RC スナバ

ほとんどのアプリケーションでは、図33に示されているように、RCスナバを利用して、SWピンやSWBピンのオーバーシュートやリングングを減らします。スナバ・コンデンサを選択して、メイン・トランスの漏れインダクタンスのエネルギーを吸収し、SWまたはSWBのピーク電圧オーバーシュートを制限します。次にスナバ抵抗を選択して、リングングを最小に抑えるように最適減衰を行います。スナバ・コンデンサが大きいくほどオーバーシュートは減りますが、スナバ抵抗内の電力損失は増えます。一般に、SWBノードのスナバの吸収するエネルギーははるかに小さいので、SWノードのスナバより小さくすることができます。場合によっては、SWBのスナバは取り去ることができます。

RCスナバに必要な正確な値は、各アプリケーションの具体的な条件に依存し、ラボで最適化します。 C_{S1} と C_{S2} の標準的値の範囲は1nF～4.7nFであり、 R_{S1} と R_{S2} は一般に1Ω～50Ωです。RCスナバには、電力定格の高い(1/4W～1/2W)高品質のセラミック(X7R)コンデンサと抵抗を常に使います。

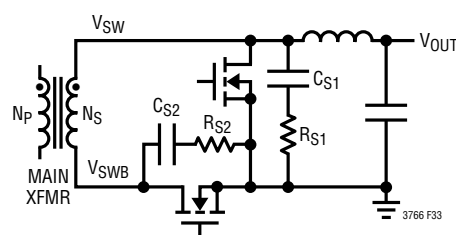


図33. RC スナバの使い方

アプリケーション情報

リモートセンス

LTC3766はリモートセンス・アプリケーションに使う高精度差動アンプを内蔵しています。これは、図14aに示すように、電源の出力電圧を遠く離れた負荷にバス接続するときの電圧降下を除くのに便利です。差動アンプはLTC3766の V_{IN} ピンから給電され、出力電圧(V_{SOUT})より1.5V高い V_{IN} の余裕が必要であることに注意してください。 V_{IN} ピンの電圧が V_{SOUT} 電圧をサポートするのに適切でないと、LTC3766はフォールトを発生します。これは、コンバータのメイン出力の過電圧を防ぐのに必要です。さらに、LTC3766は、 V_S^+ ピンと V_S^- ピンの極性が約0.3V以上反転すると、フォールトを発生します。

稀なアプリケーションでは、これが、 V_S^+ と V_S^- 入力の同相電圧を上げるのに役立つことがあります。そうするとき、差動アンプの入力段の飽和を防ぐため、 $V_S^+ < 2(V_{IN} - 2V)$ である

ことを常に確認してください。入力段が飽和すると、LTC3766は V_{SOUT} ピンを0Vに強制します。差動アンプが不要なアプリケーションでは、図14bまたは図15に示されているように、入力を接続します。

自己起動PolyPhaseアプリケーション

LTC3765とLTC3766のPolyPhase接続を図34に示します。1次側では、LTC3765の1フェーズの設計を最適化してから、単にSSFLTピンを一緒に接続することにより、最多4回まで複製することができます。共通SSFLTピンは、全てのフェーズで V_{CC} 電源とRUNピンの電圧が適切なレベルになるまで、“L”に保たれます。これにより、全てのフェーズが起動要件を満たすまで、どのフェーズもスイッチングできません。起動条件が満たされたら、SSFLTピンがリリースされ、全てのフェーズが1回スイッチを行うまで素早く充電されます。SSFLTピンの電

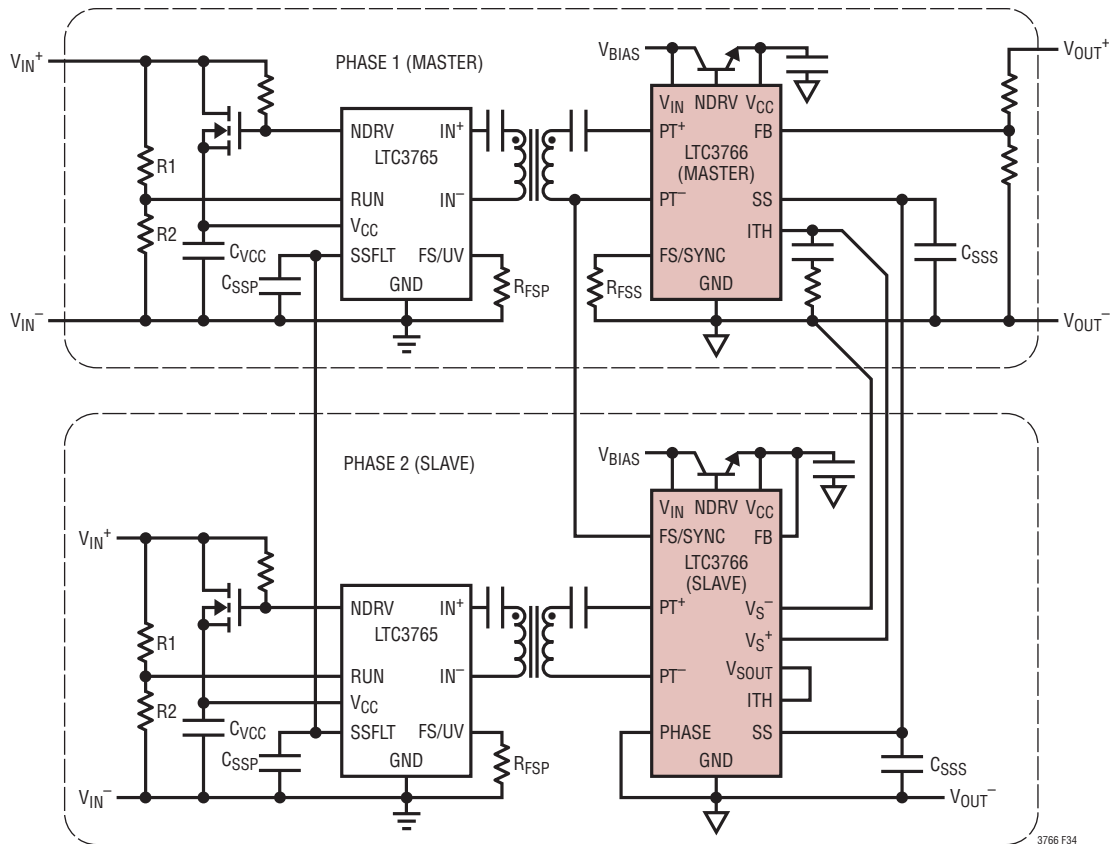


図34. PolyPhaseの接続方法

3766 F34

アプリケーション情報

流はその公称値に減少します。これにより、全てのフェーズが、非同期で開ループの起動をほとんど同時に開始します。

2次側では、全てのフェーズのSSピンも相互接続されます。これにより、全てのフェーズが適切なバイアス電圧を与えられ、それらのそれぞれのSWピンでスイッチングが検出されるまで、どの1つのフェーズも起動しません。この条件が満たされると、マスタはソフトスタート電圧を上昇させてコンバータの V_{OUT} を一致させ、全てのフェーズで2次側のスイッチングが開始されます。短いロック・シーケンスの後、全てのフェーズが制御を2次側に引き渡します。ITHピンは、マスタ(これはITHピンを制御して V_{OUT} を安定化します)とスレーブの間で電流が均等に分担されるように、フェーズ間で相互接続します。

LTC3765のSSFLT接続はフォールトを知らせるのにも使われます。1つのフェーズに1次側のフォールト(低電圧、過電流、過温度、または通信途絶)が生じると、そのフェーズは直ちにスイッチングを停止し、SSFLTを直ちに6Vにします。他のフェーズはSSFLTが5Vより高いことを検出し、スイッチングを停止します。2次側では、スイッチングが停止したことをLTC3766が検出し、フォールトを発生し、共通SS接続を介して全てのフェーズに知らせます。1次側SSFLTノードの電圧がゆっくり減少し、再スタートします。同様に、2次側のあるフェーズでフォールトが発生すると、他のLTC3766に伝えられ、全てのフェーズがスイッチングを停止します。これにより、1次側で通信フォールトが発生し、続いて再スタートが試みられます。

1次側のLTC3765では、1フェーズの設計に基づいて部品を選択します。1フェーズを必要なフェーズ数だけ(最多4フェーズ)複製して、以下の修正を行います。

1. 全てのSSFLTピンを一緒に接続する 複数のコンデンサをSSFLTノードからグラウンドに接続する代わりに、値が $N \cdot C_{SSFLT}$ の1個のコンデンサにまとめます。ここで、 N はフェーズ数です。
2. 必要なら、複数のフェーズが1つのフェーズのリニア・レギュレータを共用できるように、それらの V_{CC} ピンとNDRVピンをリニア・レギュレータの出力に短絡します。ただし、リニア・レギュレータのパス・デバイスの電力損失が増え、大きくて熱をよく伝えるパッケージが必要になることがあります。各

フェーズに個別にリニア・レギュレータを使うと、一般に設計とPCBのレイアウトが簡素化されます。

2次側は同様の手順に従います。ただし、マスタ・フェーズとスレーブ・フェーズの間にはもっと大きな差異があります。マスタの場合、上の設計式に基づいて部品を選択します。各フェーズには個別にリニア・レギュレータのパス・デバイスを配置して、電力損失を分散するように注意します。以下を例外として、各スレーブの接続を複製します。

1. 全てのSSピンを一緒に接続する。SSノードからグラウンドに複数のコンデンサを接続する代わりに、それらを1個のコンデンサにまとめることができます。マスタだけがソフトスタート・コンデンサを充放電することに注意してください。
2. スレーブのFBピンを V_{CC} に接続します。この接続により、LTC3766はスレーブ・モードになります。このモードでは、ITHピンは高インピーダンス入力になり、SSピンはフォールトの伝達にだけ使用されます。LTC3766のスレーブはソフトスタート・コンデンサのプリセットを行わず、その充放電も行いません。スレーブはSSピンを“H”に強制してフォールトを表示することができるだけであり、さらにSSピンをモニタして、別のフェーズのフォールトに応答します。
3. 各スレーブでは、マスタのITHピンの電圧を検出するのに、ユニティゲインの内蔵差動アンプが使われます。各スレーブの V_{S+}/V_{S-} 入力を、マスタのITHピンと信号GNDピンの間に接続します。各スレーブの V_{SOUT} ピンをそれ自体のITHピンに接続します。
4. 各スレーブのFS/SYNCピンをマスタのPT⁻ピンに接続します。マスタのPT⁻ピンは、スレーブとマスタを一緒に同期させるのに使うクロック信号を含んでいます。

各スレーブでは、PHASEピンを使って相対的位相を設定します。入力コンデンサのリップル電流は、位相をずらせてコントローラを動作させることにより、最小に抑えられることに注意してください。2フェーズ・システムでは、スレーブを180°に設定します。3フェーズ・システムでは、スレーブを120°と240°に設定します。4フェーズ・システムでは、スレーブを90°、180°、および270°に設定します。PHASEピンの設定の詳細については、「スイッチング周波数の設定と同期」を参照してください。

アプリケーション情報

ボルト秒のクランプ

LTC3766を使ったアプリケーションで直接磁束制限を使用すると、メイン・トランスは飽和しません。したがって、直接磁束制限機能を備えたアプリケーションでは、ボルト秒クランプを使用する必要はありません。ただし、LTC3766をスタンドアロンで使用するアプリケーションでは、ボルト秒クランプをフェールセーフとして使って、PWMのオン時間の間に過度のボルト秒がメイン・トランスに加わるのを防ぐことができます。ボルト秒クランプの使用法を図35に示します。図35に示されているように、SWの電圧を使って、メイン・トランスに加わる電圧をモニタします。PWMのオン時間の間、 C_{VS} コンデンサは R_{VS} 抵抗を介してSWノードにより充電されます。

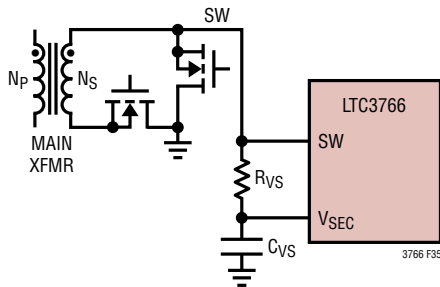


図35. ボルト秒クランプの使い方

PWMのオン時間は、予め決められたスレッシュホールドに達すると終了します。これにより、加わるボルト秒が次のように制限されます。

$$(V \cdot S)_{LIM} = 0.605 R_{VS} C_{VS}$$

上式は、 V_{OUT} が低いアプリケーションの場合のように、SWノードのピーク電圧が比較的低く、充電が非線形のと看でさえ正確です。これが可能なのは、LTC3766はSWピンの電圧を検出し、内部のボルト秒コンパレータのリファレンスを調整して、SWの電圧に関係なく一定のボルト秒を維持するからです。したがって、この電圧を適切に検出するには、LTC3766のSWピンを2次側のSWノードに接続することが重要です。

ボルト秒制限は通常、動作時のボルト秒の要件の約10%上に設定します。これを実現するには、次式を使って R_{VS} を計算します。

$$R_{VS} = 1.10 \frac{V_{OUT}}{0.605 f_{SW} C_{VS}}$$

コンデンサ C_{VS} には、精度が重要なので、5%より優れたNPOタイプのセラミック・コンデンサを使います。一般に1nFが適しています。同様に、 R_{VS} には1%抵抗を使用します。

SWノードを分圧する必要がある出力電圧が高いアプリケーションでは、図36の回路を使ってボルト秒クランプを設定します。

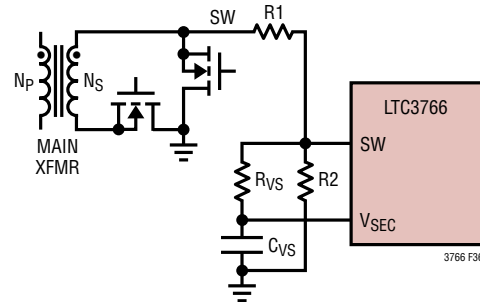


図36. V_{OUT} の高いアプリケーションのボルト秒クランプ

この場合、 $R_{VS} \gg R1 \parallel R2$ を仮定すると、 R_{VS} は次式を使って計算することができます。

$$R_{VS} = 1.10 \frac{V_{OUT}}{0.605 f_{SW} C_{VS}} \left(\frac{R2}{R1 + R2} \right)$$

非絶縁型アプリケーション

絶縁型アプリケーションでLTC3766と一緒に使用する他に、図37に示されているように、LTC3766をスタンドアロンで使って、共振リセットの非絶縁型フォワード・コンバータを構成することもできます。このアプリケーションでは、1次側MOSFETをPT⁺ピンによって直接ドライブし、MODEピンを100kまたは

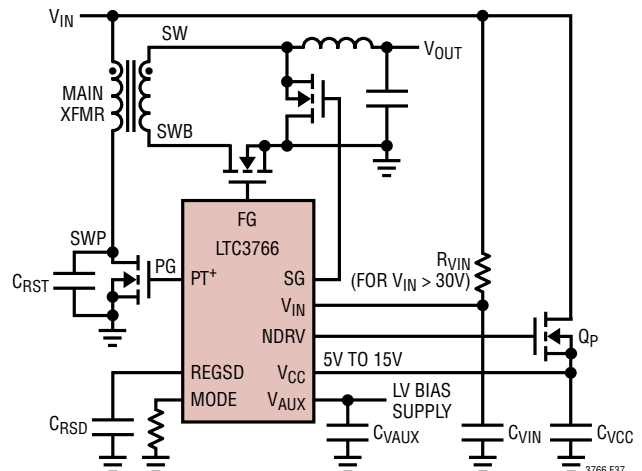


図37. 非絶縁型共振リセット・アプリケーション

3766fa

アプリケーション情報

は50kの抵抗を介してGNDに接続してLVまたはHVの動作モードを選択します。

V_{IN} ピンのバイアスは通常はコンバータの入力電圧から直接とられます。LTC3766には電流制限した30Vのシャントが内蔵されており、 $V_{IN} > 30V$ のアプリケーションが簡素化されます。このようなアプリケーションでは、次式を使って計算した電流制限抵抗を V_{IN} に直列に接続します。

$$R_{VIN} = \frac{V_{IN(MAX)} - 30V}{3.5mA}$$

低い V_{IN} では、 V_{IN} ピンの動作電流により、 R_{VIN} 両端に $(1.2mA) \cdot (R_{VIN})$ に等しい最大電圧降下が生じることに注意してください。適切な動作のため、低い入力電圧での V_{IN} ピンの電圧は、 V_{CC} の上昇時UVLOより、少なくとも Q_P のスレッシュホールド電圧だけ高くする必要があります。NPNの代わりに Q_P のMOSFETを使うと、そうしない場合に V_{IN} の動作電流に追加されるであろうベース電流が除去されます。 V_{IN} が低い動作でマージンを増やす必要があれば、 Q_P の別のオプションとしてダーリントン・トランジスタがあります。

Q_P の電力損失を減らすには、低電圧バイアス電源を V_{AUX} ピンに与えて、バイパスLDOに給電します。このバイアス電源は、補助降圧電源またはインダクタの超過巻線による電源を使って、メイン・トランスの1次側または2次側で生成することができます。出力の過負荷状態の間、低電圧バイアス電源が急落し、高電圧リニア・レギュレータ・コントローラが再作動します。この状態で過度の電力損失を防ぐため、コンデンサをREGSDピンに接続して、高電圧リニア・レギュレータの動作時間を制限します。

コンバータの入力電圧の低電圧ロックアウト(UVLO)として、RUNピンを使うことができます。図38に示されているように、小さなNMOSをRUNピンに使用して、RUN/STOPを直接制御することができます。

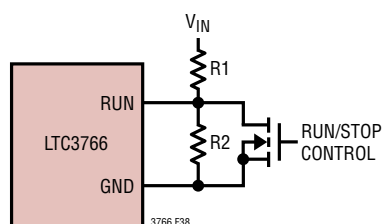


図38. スタンドアロン・アプリケーションのRUN/STOP制御

共振リセット・コンデンサ(C_{RST})は、1次側MOSFETのオフ時間の間にSWPノードに電圧を発生し、サイクルごとにトランスの磁束をリセットします。このコンデンサは通常次式のように大きさを決めて、最小 V_{IN} のときオフ時間の終点でSWPの電圧が正確に V_{IN} まで共振するようにします。

$$C_{RST} \approx \frac{1}{L_M} \left[\frac{1}{\pi f_{SW}} \left(1 - \frac{V_{OUT}}{V_{IN(MIN)}} \frac{N_P}{N_S} \right) \right]^2 - C_{PAR}$$

ここで、 L_M はメイン・トランスの磁化インダクタンス、 C_{PAR} はSWPの全寄生容量です。

$$C_{PAR} = C_{OSS(PG)} + \left(\frac{N_S}{N_P} \right)^2 (C_{OSS(FG)} + C_{SNUB})$$

C_{PAR} には、PGとFGの両方のMOSFETのドレイン容量と、SWBノードのスナバの容量が含まれます。実際には、漏れインダクタンスがあるので、そうでない場合に比べてSWPノードははるかに速く上昇します。その結果、 C_{RST} の最適値は上式による計算値より40%～60%高くなることがあります。1次側MOSFETとフォワードMOSFETの定常状態ピーク電圧は次式によって与えられます。

$$V_{DS(PG)} = V_{IN(MAX)} + \frac{V_{OUT}}{2f_{SW}} \frac{N_P}{N_S} \sqrt{\frac{1}{L_M(C_{RST} + C_{PAR})}}$$

$$V_{DS(FG)} = \frac{V_{OUT}}{2f_{SW}} \sqrt{\frac{1}{L_M(C_{RST} + C_{PAR})}}$$

大きな値の C_{RST} を使うと、ピーク電圧ストレスを下げるができるので、 BV_{DSS} 定格が低いMOSFETを使用できる可能性があります。ただし、 C_{RST} が大きいと、低い V_{IN} でSWPの電圧が V_{IN} まで共振して戻る時間がないため、ターンオン・スイッチング損失が増加します。実際には、低い V_{IN} でのリセット波形のいくつかの欠損は、コンバータ全体の効率を最大にするために多くの場合許容されます。過渡時のピークMOSFET電圧ストレスはかなり高くなることがあるので、これらの計算された電圧より上に少なくとも30%のマージンを与えることにも注意してください。ポルト秒クランプを使って、負荷過渡変動によるピーク電圧ストレスを減らすことができます。

アプリケーション情報

共振リセット・コンバータのゲート・ドライブのタイミング設定は、LTC3766が備えている適応遅延によって簡素化されます。スタンドアロン・モードがアクティブなとき (MODEに100kまたは50k)、FGDピンは無視され、SGのターンオフとPGのターンオンの間のデッドタイムは適応制御されます。このモードでは、LTC3766は、SGピンが約0.5Vを下回るまで、PGのターンオンを遅らせます。PGのターンオフ遷移の間、デッドタイムを最小にし、SWPノードの急落を防ぐ (つまり、できればSWPの電圧をそのピークで捕捉する) ように、SGD抵抗を選択します。SWPの電圧をそのピークの近くで捕捉するようにFGのターンオフを設定すると、効率が改善され、大きな共振リセット・コンデンサを使うことができるので、MOSFETへのピーク電圧ストレスが減少することに注意してください。このエッジの適応遅延制限により、SWが下がるまでSGは“H”にならないので、シュートスルーは心配いりません。

非絶縁型アプリケーションでは通常、インダクタ電流は、 (一般にセンス抵抗を使って) パワートランスの入力側で検出されます。この状況では、センス抵抗 (R_{SENSE}) と I_{PK} 抵抗 (R_{IPK}) の値は、上式を使って計算してから、NP/NSの係数でスケールを調整することに注意してください。ただし、電圧を上げるようにトランスを構成したアプリケーションでは、パワートランスの出力側で電流を検出する方が効率が良くなることがあります。この場合、共振リセット・コンデンサをできるだけ小さくし、ボルト秒クランプを利用して、トランスの飽和を防ぐよう注意します。

同相ノイズ

同相ノイズは、メイン・トランスの1次側と2次側の巻線間の寄生容量により、絶縁型コンバータ・アプリケーションで生じます。1次側MOSFETのドレインの電圧が高速で変化するとき、巻線間の容量を介して電流が注入されます。これにより、2次側のグラウンドが1次側を基準にして急にジャンプします。その結果、パルストランスの巻線間容量を介して電流が1次側に注入され、その結果生じる同相電圧がLTC3765の IN^+ 入力と IN^- 入力に現れることがあります。LTC3765はこの同相電圧を

除去するように注意深く設計されていますが、1次側グラウンドと2次側グラウンドの間に直接接続した同相フィルタ・コンデンサを常に使用してください。このコンデンサは同相ノイズをシャントして除去します。一般に2.2nFが適切です。250VAC動作定格の、または、特定のアプリケーションの絶縁および安全性の要件で必要とされる他の電圧定格の高品質セラミックYコンデンサを使ってください。

熱に関する検討事項

出力電力が50W以上のフォワード・コンバータの設計では、設計とレイアウトの熱に関する問題に特に注意を払う必要があります。一般に、複数の要素を並列に使い、電力損失を分散して温度上昇を減らすのが得策です。全てのパワーMOSFETの下には、複数レイヤの上にサーマルビアと銅アイランドを使って冷却します。過度の温度上昇が生じる場合、LTC3765とLTC3766の両方とも過温度シャットダウン回路を搭載しており、熱的損傷を防ぐのに役立ちます。両方の過温度シャットダウンとも約165°Cの温度上昇に設定されており、20°Cのヒステリシスがあります。

PCBのチェックリスト

LTC3766は高速でスイッチングし (数ナノ秒)、大きなAC電流 (数アンペア) を流すので、 V_{CC} 電源を適切にバイパスする必要があります。不注意な部品配置やPCBトレースの配線を行うと、過度なリンギングやアンダーシュート/オーバーシュートを生じる可能性があります。

LTC3766から最適な性能を得るには以下のようにします。

1. 低インダクタンス、低インピーダンスのグラウンド・プレーンを使用し、グラウンドによる電圧降下や浮遊容量を低減します。LTC3766は2Aを超えるピーク電流でスイッチングし、パワーMOSFETは50A以上流すことがあることに注意してください。グラウンドによる大きな電圧降下は信号の完全性を劣化させます。

アプリケーション情報

2. 電源/グランド配線を注意深く設計します。大きな負荷のスイッチング電流がどこからどこに流れるかを把握します。できれば、信号グランド(GNDピン)、パワーグランド(PGNDピン)、および電力段グランドの3つの別個のプレーンを用意します。パワーグランド・プレーンは1つのビアを使ってSGのMOSFETのソースに接続します。信号グランド・プレーンは、精確に V_{DS} を検出するため、1つのビアを使ってSGのMOSFETのソースに接続します。 I_S^+ と I_S^- に抵抗による電流検出が使われる場合、センス抵抗とSGのMOSFETのソースの間のプレーンのインダクタンスを最小に抑えるように注意してください。
3. バイパス・コンデンサを V_{CC} ピンとパワーグランド・プレーンの間にできるだけ近づけて配置します。
4. ドライバの出力ピンとMOSFETの間の銅トレースは、短く幅を広くします。
5. 1次側と2次側の両方の高電流スイッチング経路は、複数のレイヤを並列に使うことでできるだけ短くし、寄生インダクタンスをさらに減らします。
6. 抵抗による検出モードを使う場合、 I_S^+ ピンと I_S^- ピンはセンス抵抗に4端子接続する必要があります。センス抵抗へのトレースは隣り合わせに配線し、両側を信号グランドでシールドする必要があります。
7. スwitchング・ノード(SW、PT⁺、PT⁻、FG、SG)をノイズに敏感なノード(特に、FB、ITH、 I_S^+ および I_S^-)から離します。
8. 出力の分圧器は、電源の出力端子のところで、負荷にできるだけ近づけて接続します。分圧器の下端は信号グランド・プレーンに接続します。差動アンプを使って負荷電圧を検出し、配電による電圧降下を除去します。



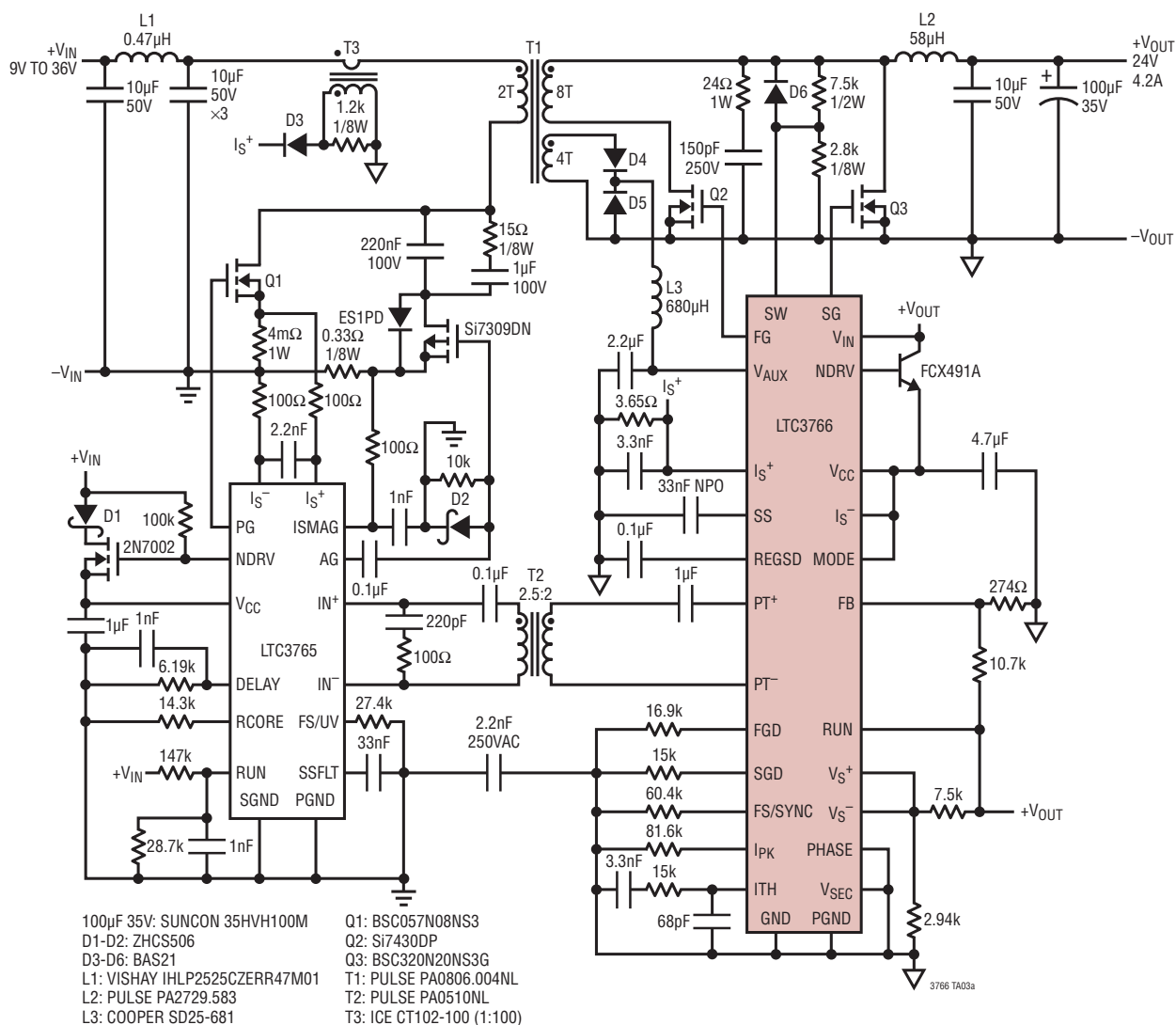
3766 E39b

3766 F39c

3766fa

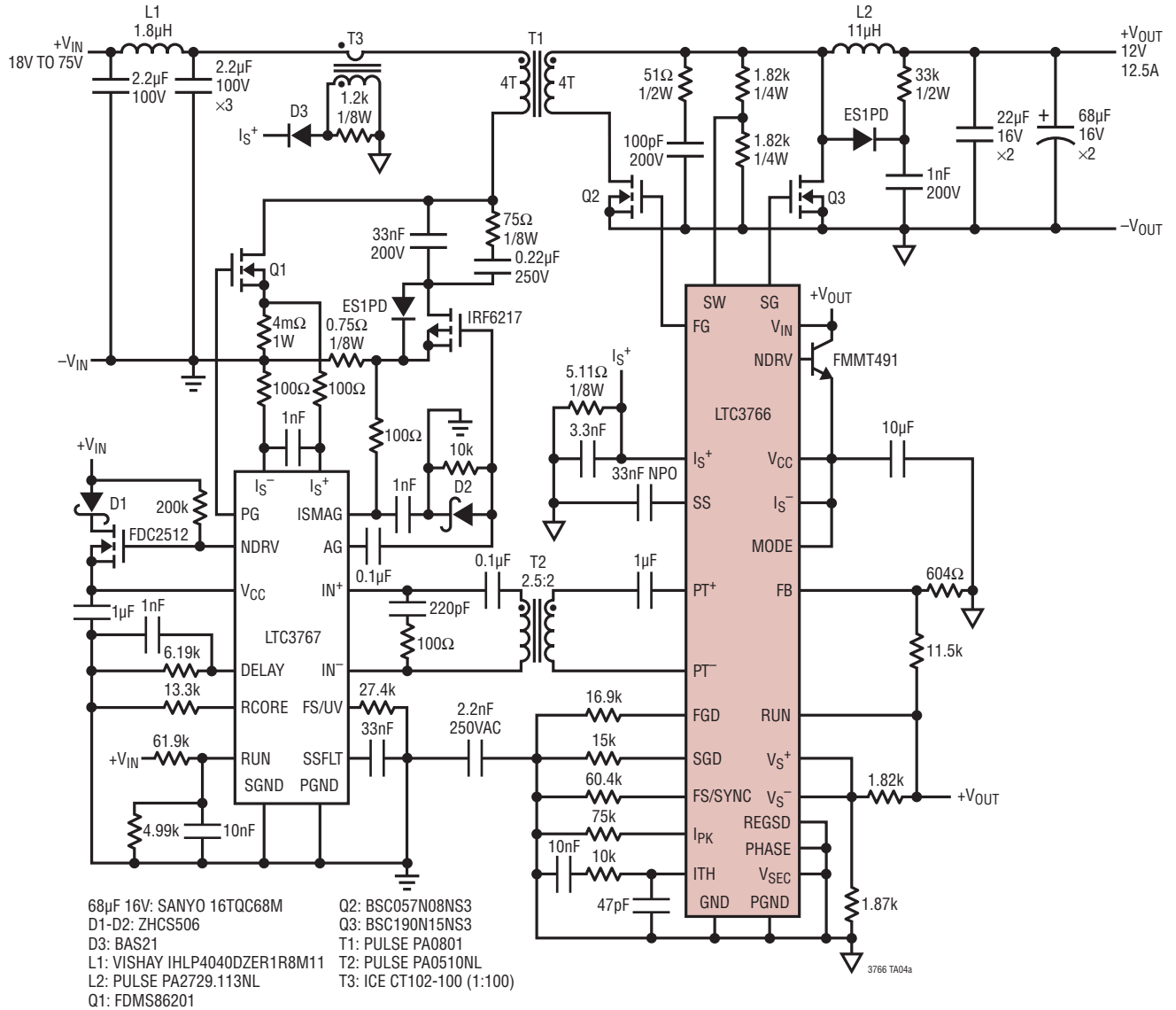
標準的応用例

9V ~ 36V から 24V/4.2A のアクティブ・クランプ絶縁型フォワード・コンバータ

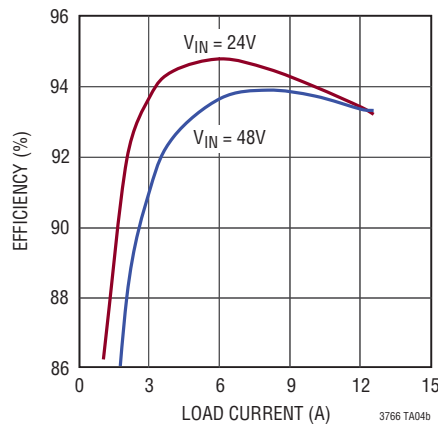


標準的応用例

18V ~ 75Vから12V/12.5Aのアクティブ・クランプ絶縁型フォワード・コンバータ

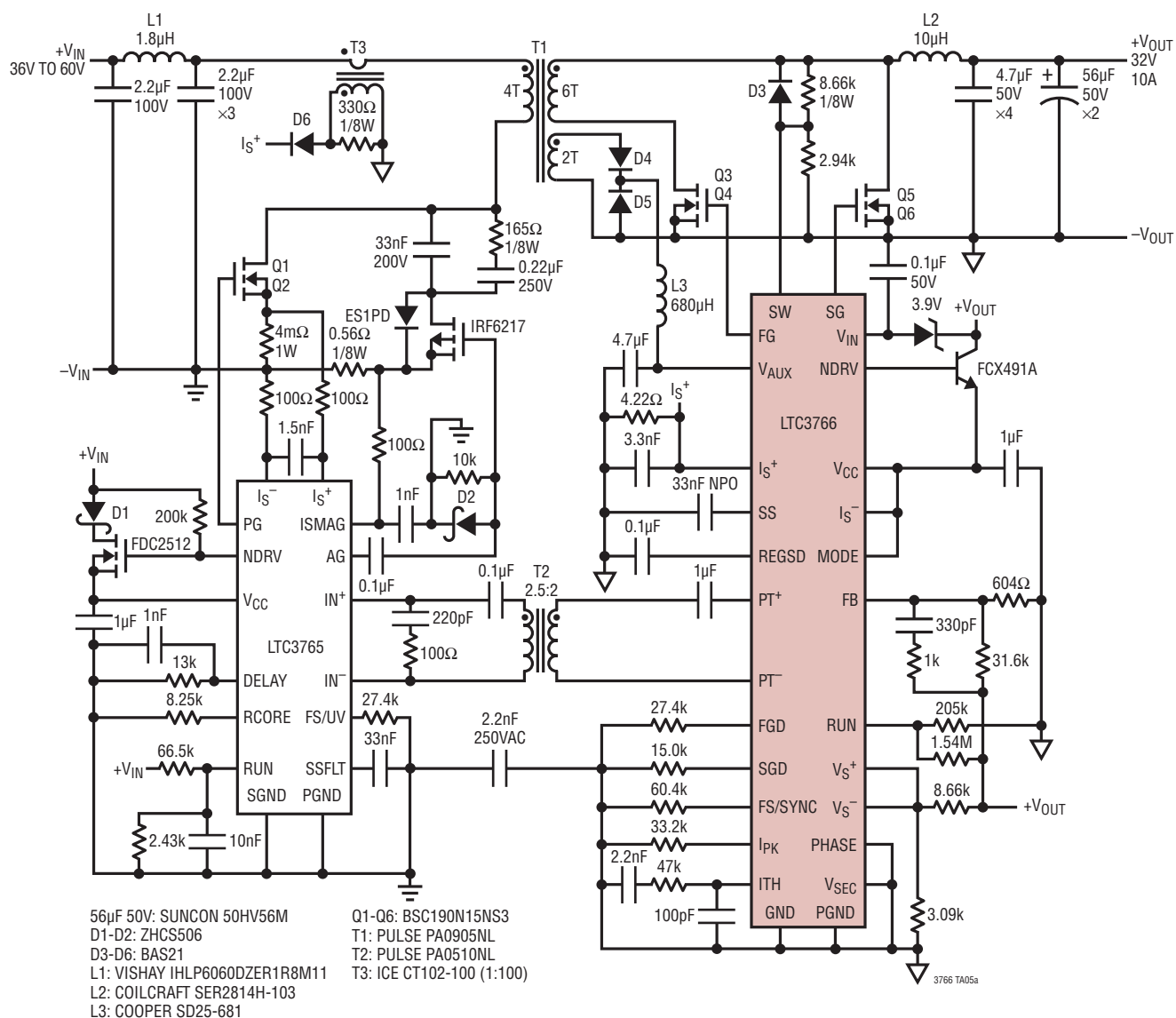


効率と負荷電流

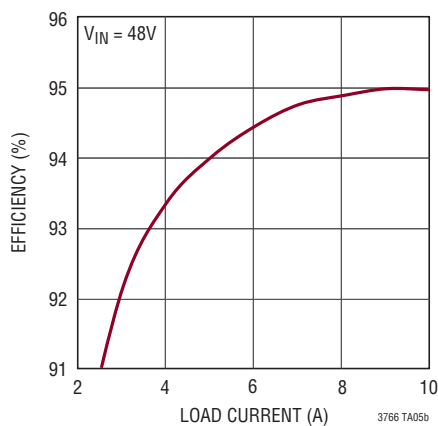


標準的応用例

36V ~ 60V から 32V/10A の 320W 絶縁型 P/A 電源



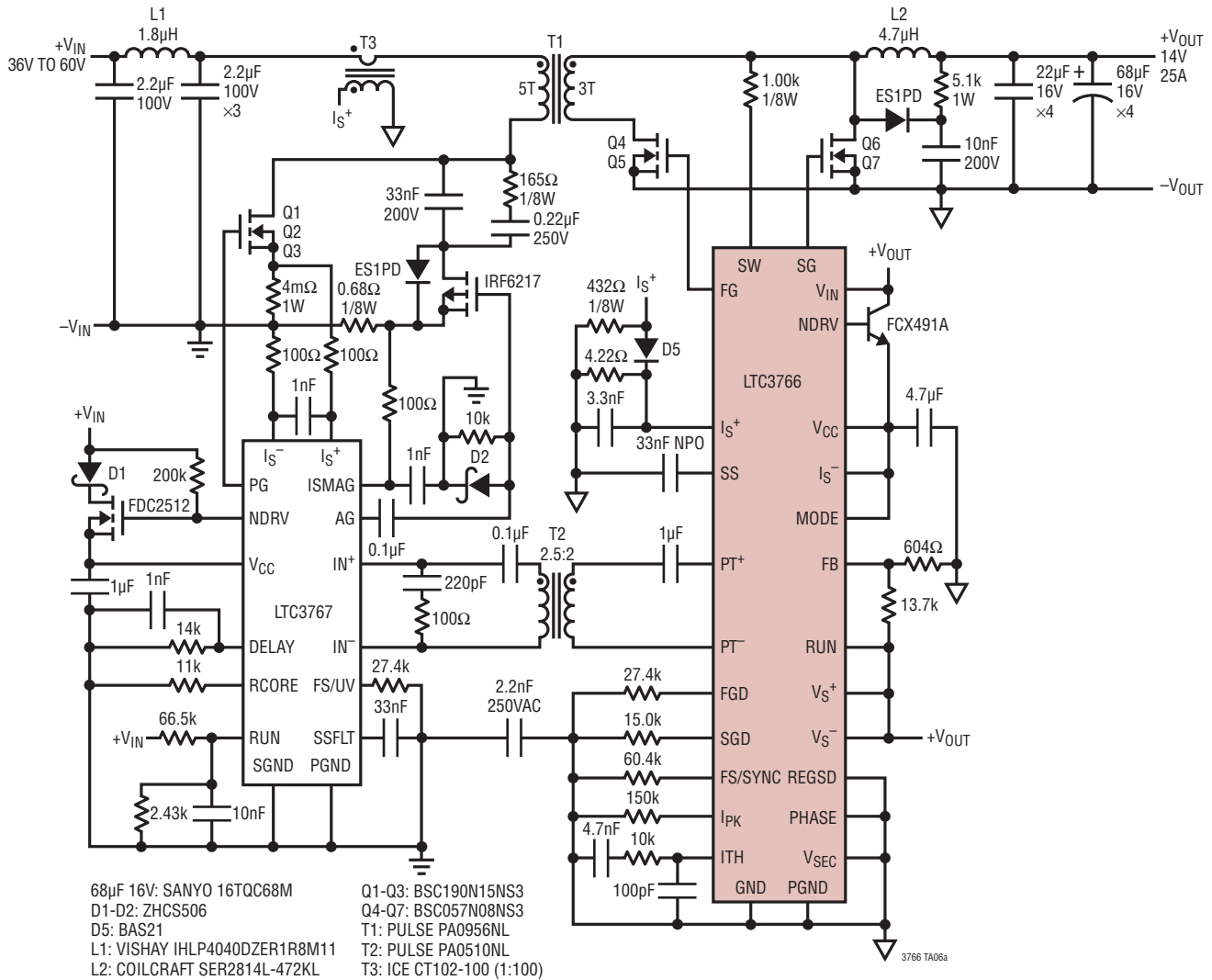
効率と負荷電流



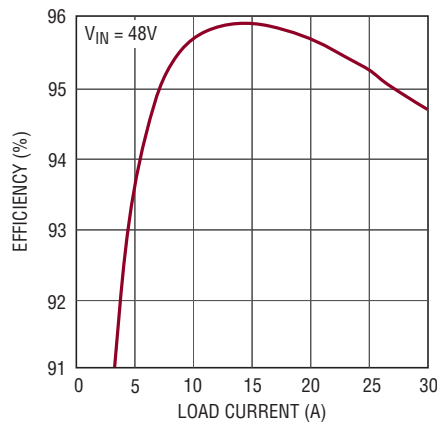
3766fa

標準的応用例

36V～60Vから14V/25Aの350W絶縁型バス・コンバータ



効率と負荷電流



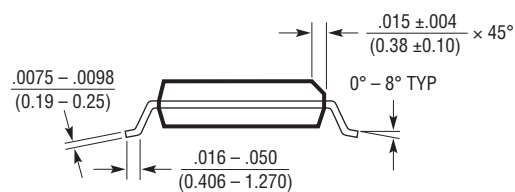
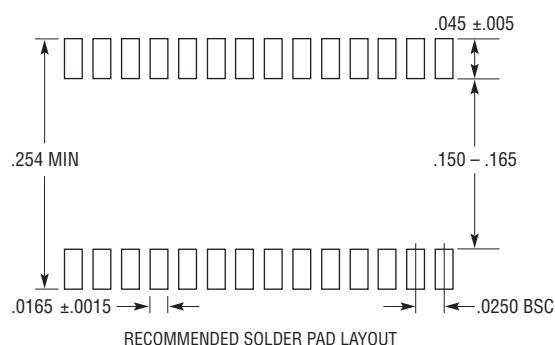
3766 TA06b

3766fa

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

GN Package
28-Lead Plastic SSOP (Narrow .150 Inch)
 (Reference LTC DWG # 05-08-1641 Rev B)

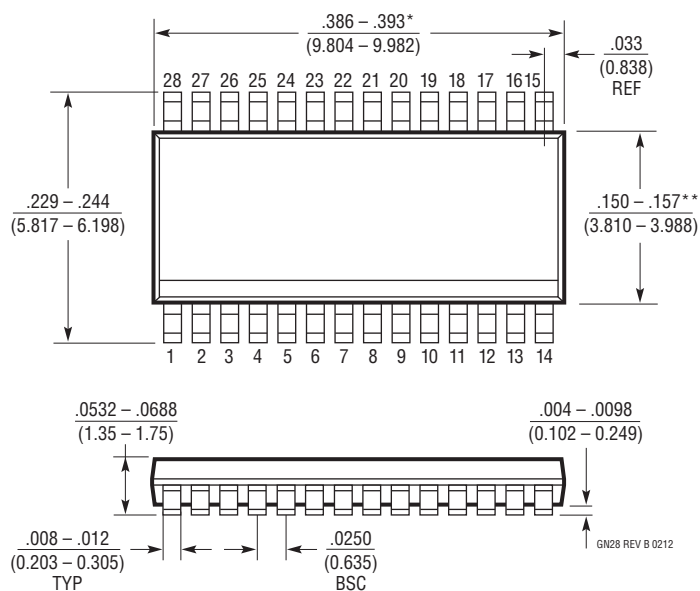


NOTE:

1. 標準寸法：インチ
2. 寸法は $\frac{\text{インチ}}{1000}$ (ミリメートル)
3. 図は実寸とは異なる
4. ピン 1 は斜めのエッジかへこみのいずれか

* 寸法にはモールドのバリを含まない。
 モールドのバリは各サイドで 0.006 (0.152mm) を超えないこと

** 寸法にはリード間のバリを含まない。
 リード間のバリは各サイドで 0.010 (0.254mm) を超えないこと

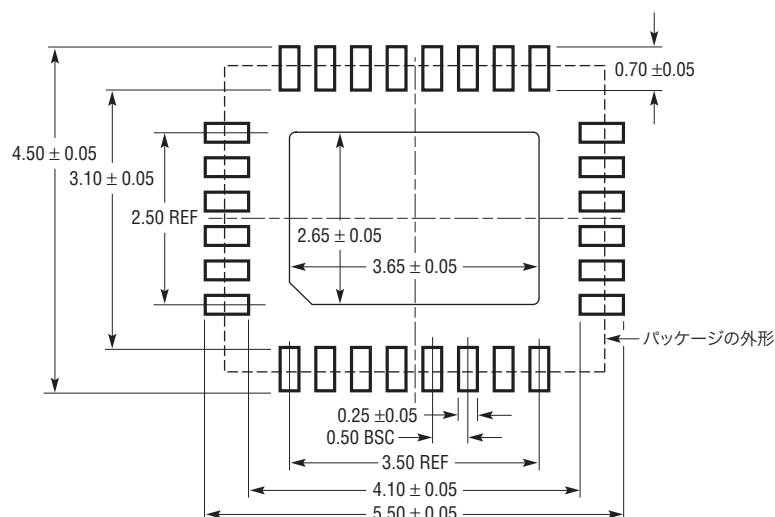


GN28 REV B 0212

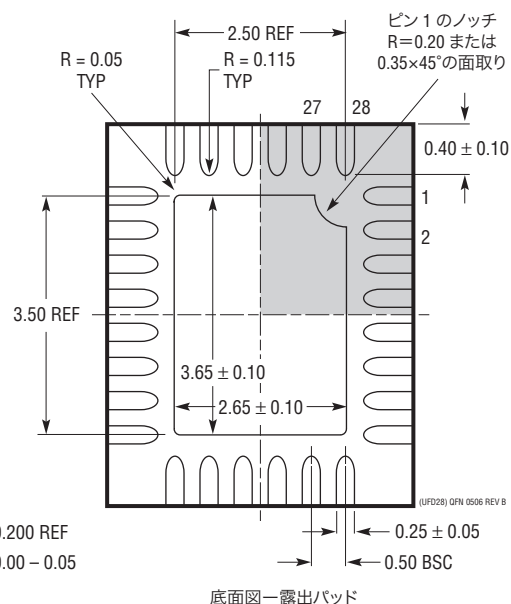
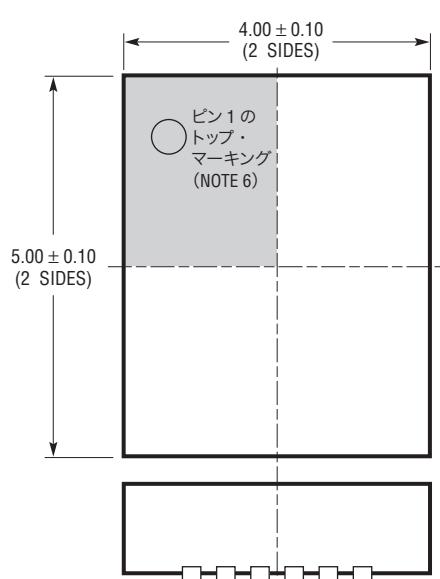
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

UFD Package 28-Lead Plastic QFN (4mm × 5mm) (Reference LTC DWG # 05-08-1712 Rev B)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する



NOTE:

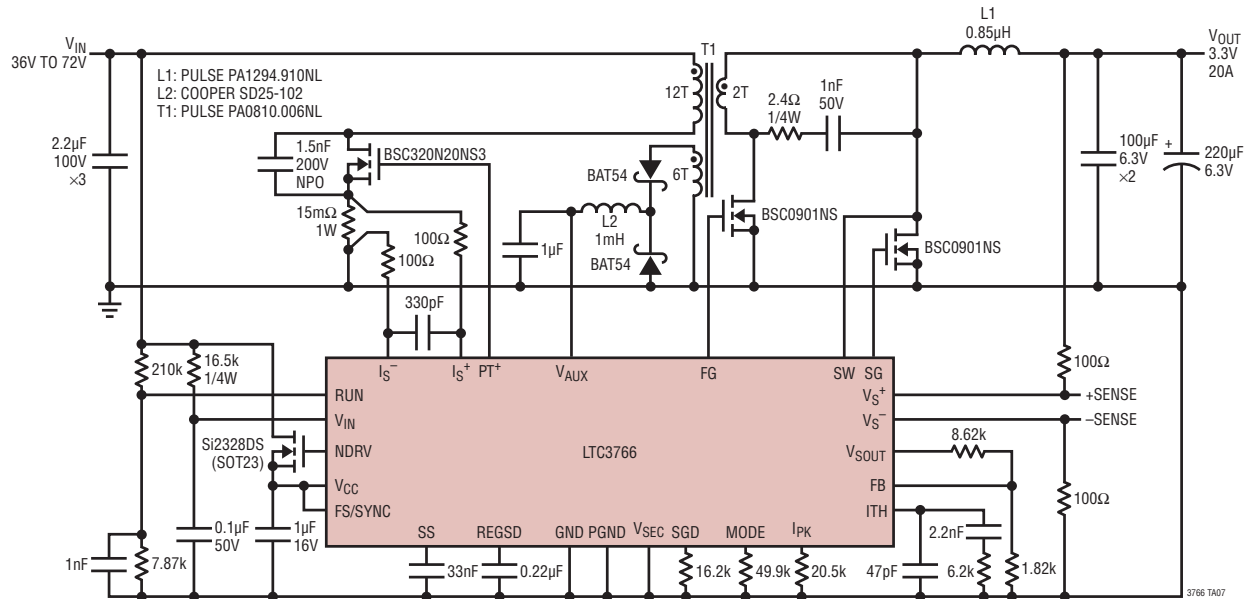
- 図は JEDEC パッケージ外形 M0-220 のバリエーション (WXXX-X) にするよう提案されている
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

改訂履歴

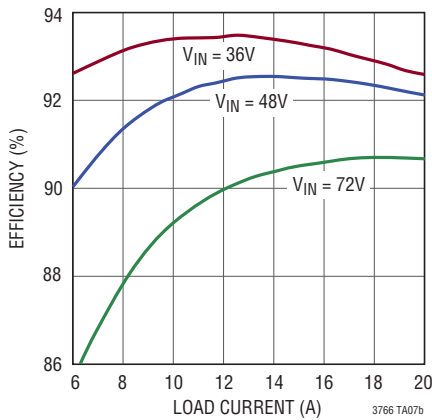
REV	日付	概要	ページ番号
A	6/13	図 11 の I_S^+ と I_S^- の極性を入れ替え。	28

標準的応用例

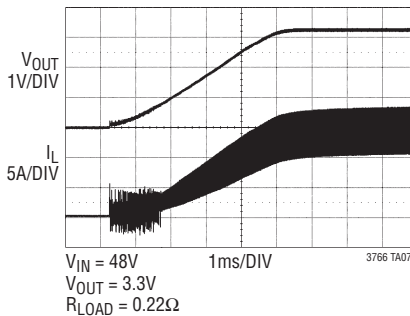
36V～72Vから3.3V/20Aの非絶縁型共振リセット・フォワード・コンバータ



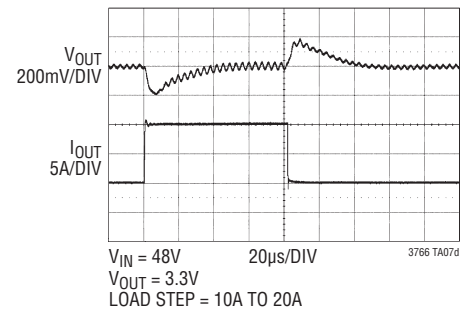
効率と負荷電流



起動



負荷ステップ



関連製品

製品番号	説明	注釈
LTC3765	アクティブ・クランプ・フォワード・コントローラおよびゲート・ドライバ	Direct Flux Limit、自己起動2次側フォワード制御をサポート、LTC3766と連携して動作
LTC3705/LTC3726	2スイッチ同期整流式フォワードNo Opto絶縁型コントローラ・チップセット	自己起動アーキテクチャにより、1次側バイアス電圧が不要
LT®1952/LT1952-1	絶縁型同期整流式フォワード・アクティブ・クランプ・コントローラ	中電力の12V、24V、および48V入力のアプリケーションに最適、同期整流のタイミングを調整可能
LTC3723/LTC3723-2	同期整流式プッシュプルおよびフルブリッジ・コントローラ	内蔵MOSFETドライバにより高効率、同期整流のタイミングを調整可能
LTC3721-1/LTC3721-2	非同期整流式プッシュプルおよびフルブリッジ・コントローラ	最少の外部部品、内蔵MOSFETドライバ
LTC3722/LTC3722-2	同期整流式絶縁型フルブリッジ・コントローラ	ゼロ電圧スイッチングの適応型またはマニュアルの遅延制御、同期整流のタイミングを調整可能

3766fa