アクティブ電圧ポジショニング付き、インテルVRM9/VRM10向け3フェーズ降圧コントローラ

特長

- **MOSFETドライバ搭載の3フェーズ・コントローラ**
- **真の電流センスによりアクティブ電圧ポジショニング(AVP)をプログラム可能**
- **外部熱検出または内部熱検知をプログラム可能**
- **高精度の出力電流マッチングにより、熱性能とソリューション・サイズを最適化**
- **プリチャージされた出力(V_{OUT})の起動をサポート**
- 差動アンプがV_{OUT}を高精度でセンス
- PWM、パルススキップ、およびステージシェッディング動作
- 同期可能
- フェーズあたり210kHz～530kHzの固定周波数
- 適応型ブランキング付き出力パワーグッド・インジケータ
- 調整可能なソフトスタート電流ランプ
- 無効化オプション付きの短絡シャットダウン・タイマ
- OPTI-LOOP®補償により、C_{OUT}を最小化
- 38ピン(5mm×7mm)QFNパッケージ

アプリケーション

- 高性能ノートブック・コンピュータ
- サーバ、デスクトップ・コンピュータ、ワークステーション

米国特許番号:5481178、5994885、5929620、6177787、6144194、6580258、6462525、6593724、6674274、6100678(AVP技術に関する特許出願中)。

概要

LTC®3738はフェーズロック可能な固定周波数アーキテクチャで、全Nチャネル外付けパワーMOSFET段をドライブする、3フェーズ同期整流式降圧スイッチング・レギュレータ・コントローラです。3フェーズ技法により、基本周波数を実効的に3倍し、過渡応答を改善すると同時に、効率と熱設計の簡素化に対して最適化された周波数で各コントローラを動作させることができます。また、出力ステージシェッディングとパルススキップ・モードのいずれかを選択することにより、軽負荷時の効率を最適化できます。

LTC3738では、ユーザが1本の抵抗を介して負荷スロープをプログラムできるので、AVP制御が可能です。また、熱検出器とコンパレータを搭載しているので、外部熱検知と内部熱検知の両方が可能です。

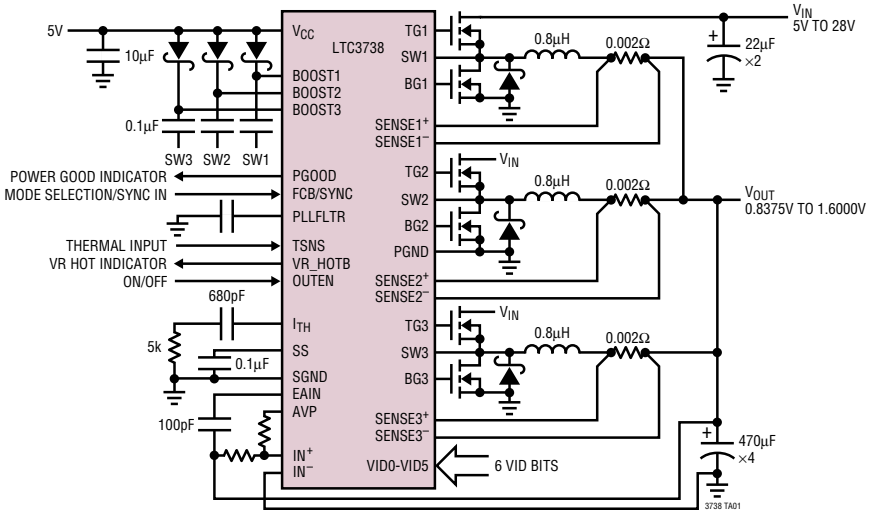
差動アンプは出力電圧のハイサイドとローサイドをセンスします。

ソフトスタートと無効化可能な時限短絡シャットダウンにより、MOSFETと負荷を保護します。また、フォールドバック電流回路によって、短絡時や過負荷時に外付けMOSFETを保護します。すべてのVIDビットが“1”であることが検出されると、1μsのタイムアウト後にレギュレータがオフになります。

LT、LTCはリニアテクノロジー社の登録商標です。OPTI-LOOPはリニアテクノロジー社の登録商標です。Stage Sheddingはリニアテクノロジーの商標です。

標準的応用例

VRM10降圧コントローラ

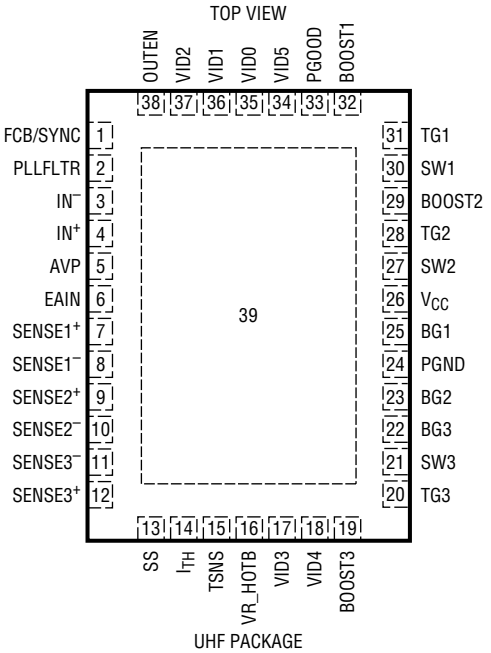


絶対最大定格

(Note 1)

トップサイド・ドライバ電圧($BOOST_N$) ..... 38V～–0.3V
スイッチ電圧(SW_N) ..... 32V～–5V
昇圧されたドライバ電圧($BOOST_N$－SW_N) ..... 7V～–0.3V
ピーク出力電流＜1ms(TG_N、BG_N) 5A
電源電圧(V_{CC})、PGOOD、VR_HOTBピン電圧 ..... 7V～–0.3V
OUTEN、SS、PLLFLTR、FCB/SYNC電圧 ..... V_{CC}～–0.3V
I_{TH}電圧 ..... 2.4V～–0.3V
IN^+、IN^-、VIDO-VID5、TSNS ..... 5V～0V
AVP、$SENSE^+$、$SENSE^-$ ..... 1.9V～0V
動作周囲温度範囲 ..... 0°C～85°C
接合部温度(Note 2) ..... 125°C
保存温度範囲 ..... –65°C～125°C

パッケージ/発注情報



UHF PACKAGE
38-LEAD (7mm × 5mm) PLASTIC QFN
T_{JMAX} = 125°C, θ_{JA} = 34°C/W
EXPOSED PAD (PIN 39) IS SGND MUST BE SOLDERED TO PCB

ORDER PART NUMBER	UHF PART MARKING
LTC3738CUHF	3738

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。注記がない限り、V_{CC}＝V_{OUTEN}＝V_{SS}= 5V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Main Control Loop							
$V_{REGULATED}$	Regulated Voltage at IN^+	(Note 3); VID Code = 110101, V_{ITH} = 1.2V		1.166	1.175	1.184	V
			●	1.163	1.175	1.187	V
$V_{SENSEMAX}$	Maximum Current Sense Threshold	V_{EAIN} = 0.5V, V_{ITH} Open,		65	75	85	mV
		$V_{SENSE1-}$, $V_{SENSE2-}$, $V_{SENSE3-}$ = 0.8V, 1.85V	●	62	75	88	mV
I_{MATCH}	Current Match	Worst-Case Error at $V_{SENSE(MAX)}$		–5		5	%
$V_{LOADREG}$	Output Voltage Load Regulation	(Note 3)					
		Measured in Servo Loop, ΔI_{TH} Voltage = 1.2V to 0.7V	●		0.1	0.5	%
		Measured in Servo Loop, ΔI_{TH} Voltage = 1.2V to 2V	●		–0.1	–0.5	%
$V_{REFLNREG}$	Output Voltage Line Regulation	V_{CC} = 4.5V to 7V			0.03		%/V
g_m	Transconductance Amplifier g_m	I_{TH} = 1.2V, Sink/Source 25μA (Note 3)			3.05		mmho
g_{mOL}	Transconductance Amplifier GBW	I_{TH} = 1.2V, (g_m • Z_L, Z_L = Series 1k-100kΩ-1nF)			1.5		MHz
V_{FCB}	Forced Continuous Threshold		●	0.58	0.60	0.62	V
I_{FCB}	FCB Bias Current	V_{FCB} = 0.65V			0.2	0.7	μA

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25℃での値。注記がない限り、V_{CC}＝V_{OUTEN}＝V_{SS}= 5V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{PSTH}	Pulse Skip Threshold	Measured at FCB pin		V_{CC} – 1.5	V_{CC} – 0.7	V_{CC} – 0.3	V
UVR	Undervoltage SS Reset	V_{CC} Lowered Until the SS Pin is Pulled Low		3.3	3.8	4.5	V
I_Q	Input DC Supply Current	(Note 4)					
	Normal Mode	V_{CC} = 5V			2.5		mA
	Shutdown	V_{OUTEN} = 0V			20	100	μA
V_{OUTEN}	OUTEN Pin ON Threshold	V_{OUTEN}, Ramping Positive		0.4	0.6	0.8	V
I_{SS}	Soft-Start Charge Current	V_{SS} = 1.9V		–0.8	–1.5	–2.5	μA
V_{SSARM}	SS Pin Arming Threshold	V_{SS}, Ramping Positive Until Short-Circuit Latch-Off is Armed			3.8	4.5	V
V_{SSLO}	SS Pin Latch-Off Threshold	V_{SS}, Ramping Negative			3.3		V
I_{SCL}	SS Discharge Current	Soft-Short Condition V_{EAIN} = 0.3V, V_{SS} = 4.5V		–5	–1.5		μA
I_{SDLHO}	Shutdown Latch Disable Current	V_{EAIN} = 0.3V, V_{SS} = 4.5V			1.5	5	μA
I_{SENSE}	Total SENSE Pins Source Current	SENSE1$^+$, SENSE1$^-$, SENSE2$^+$, SENSE2$^-$, SENSE3$^+$, SENSE3$^-$ All Equal 1.2V			90	120	μA
DF_{MAX}	Maximum Duty Factor	In Dropout		95	98.5		%
TG t_R, t_F	Top Gate Rise Time	C_{LOAD} = 3300pF			30	90	ns
	Top Gate Fall Time	C_{LOAD} = 3300pF			40	90	ns
BG t_R, t_F	Bottom Gate Rise Time	C_{LOAD} = 3300pF			30	90	ns
	Bottom Gate Fall Time	C_{LOAD} = 3300pF			20	90	ns
TG/BG t_{1D}	Top Gate Off to Bottom Gate On Delay Synchronous Switch-On Delay Time	All Controllers, C_{LOAD} = 3300pF Each Driver			60		ns
BG/TG t_{2D}	Bottom Gate Off to Top Gate On Delay Top Switch-On Delay Time	All Controllers, C_{LOAD} = 3300pF Each Driver			60		ns
$t_{ON(MIN)}$	Minimum On-Time	Tested with a Square Wave (Note 5)			120		ns
VID Parameters							
VID_{IL}	Maximum Low Level Input Voltage					0.4	V
VID_{IH}	Minimum High Level Input Voltage			0.8			V
VID9/VID10	VRM9 Enable Threshold at VID5			3.5	V_{CC} – 1	4.5	V
$ATTEN_{ERR}$	VID0 to VID4	(Note 6)	●	–0.25		0.25	%
Power Good Output Indication							
V_{PGL}	PGOOD Voltage Output Low	I_{PGOOD} = 2mA			0.1	0.3	V
I_{PGOOD}	PGOOD Output Leakage	V_{PGOOD} = 5V				±1	μA
	PGOOD Trip Thesholds	$V_{DIFFOUT}$ with Respect to Set Output Voltage,					
$V_{PGTHNEG}$	$V_{DIFFOUT}$ Ramping Negative	VID Code = 110101		–7	–10	–14	%
$V_{PGTHPOS}$	$V_{DIFFOUT}$ Ramping Positive	PGOOD Goes Low After V_{UVDLY} Delay		7	10	14	%
t_{PGBLNK}	Power Good Blanking	After VID Changes Outside PGOOD Window			100		μs

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25℃での値。注記がない限り、V_{CC}＝V_{OUTEN}＝V_{SS}= 5V。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Oscillator and Phase-Locked Loop							
f_{NOM}	Nominal Frequency	$V_{PLLFLTR}$ = 1.2V		325	365	415	kHz
f_{LOW}	Lowest Frequency	$V_{PLLFLTR}$ = 0V		190	220	250	kHz
f_{HIGH}	Highest Frequency	$V_{PLLFLTR}$ = 2.4V		480	550	630	kHz
R_{FCB}	FCB Clock Input Threshold				1.2		V
$I_{PLL\ LPF}$	Phase Detector Output Current						
	Sinking Capability	$f_{PLLIN} < f_{OSC}$			20		μA
	Sourcing Capability	$f_{PLLIN} > f_{OSC}$			20		μA
R_{RELPHS}	Controller 2-Controller 1 Phase				120		Deg
	Controller 3-Controller 1 Phase				240		Deg
No_CPU Detection							
t_{NOCPU}	No-CPU Shutdown Latency	After All VID Bits = “1”		0.5	1		μs
Differential Amplifier							
A_V	Differential Gain				1.000		V/V
V_{OS}	Input Offset Voltage	$IN^+ = IN^- = 1.2V$, Input Referred			0.5		mV
CM	Common Mode Input Voltage Range			0		5	V
CMRR	Common Mode Rejection Ratio	$0V < IN^+ = IN^- < 5V$, Input Referred			70		dB
GBP	Gain Bandwidth Product				2		MHz
$V_{O(MAX)}$	Maximum High Output Voltage				$V_{CC} - 0.8$		V
R_{IN}	Input Resistance	Measured at IN^+ Pin			160		kΩ
Active Voltage Positioning							
I_{SINK}	Sinking Current Ability of AVP Pin	$IN^+ = 1.2V$			0.250		mA
I_{SOURCE}	Sourcing Current Ability of AVP Pin	$IN^+ = 1.2V$			1.4		mA
$V_{AVP} - V_{O(MAX)}$	Max Voltage Drops V_{AVP} to VO	$IN^+ = 1.2V$, V_{IN} = 60mV			180		mV
Thermal Detection							
V_{INT}	Thermal Comparator Trip Threshold				1.67		V
V_{INT_HYS}	Hysteresis				0.21		V
V_{TH_TH}	Internal Detection Enable Threshold			3.4	$V_{CC} - 1$		V

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: T_Jは、周囲温度T_Aおよび消費電力P_Dから次式に従って計算される。

$T_J = T_A + (P_D \times 34^\circ C/W)$

Note 3: LTC3738は、VID DACをエラーアンプにドライブし、結果として得られる電圧をエラーアンプの標準点（V_{ITH}=1.2V）にサーボ制御する差動アンプを含む帰還ループでテストされる。

Note 4: スイッチング周波数で供給されるゲート電荷により、動作時消費電流は増加する。「アプリケーション情報」を参照。

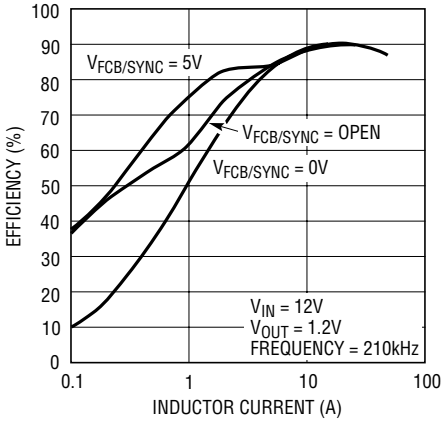
Note 5: 最小オン時間条件は、I_{MAX}の40%以上のインダクタのピーク-ピーク間リップル電流に対応する（「アプリケーション情報」セクションの「最小オン時間に関する検討事項」を参照）。

Note 6: $ATTEN_{ERR}$の規格値は、VIDコード110101で規定される出力電圧精度に加えられる。

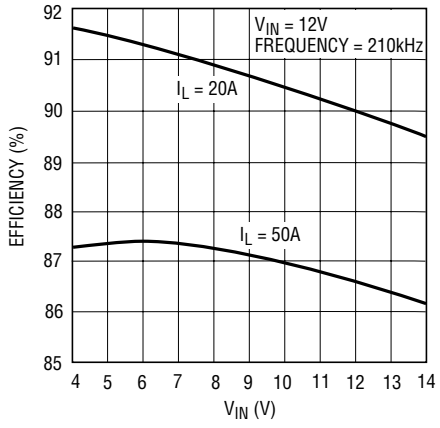
Note 7: このデバイスは短時間の過負荷状態のあいだデバイスを保護するための高温保護機能が備えている。高温保護機能がアクティブなとき接合部温度は125℃を超える。規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

標準的性能特性　注記がない限り、T_A = 25℃。

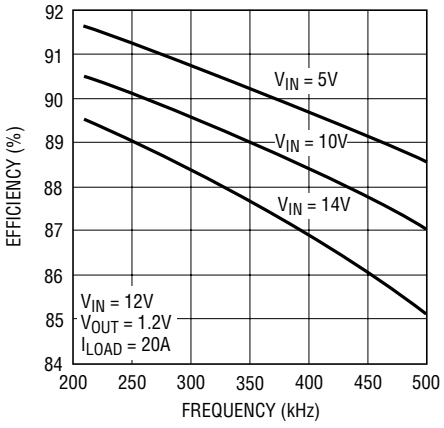
効率とI_{OUT}



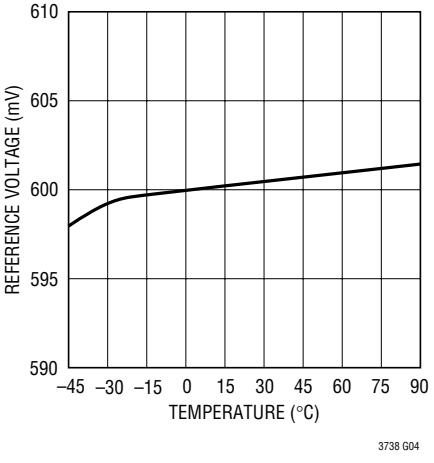
効率とV_{IN}



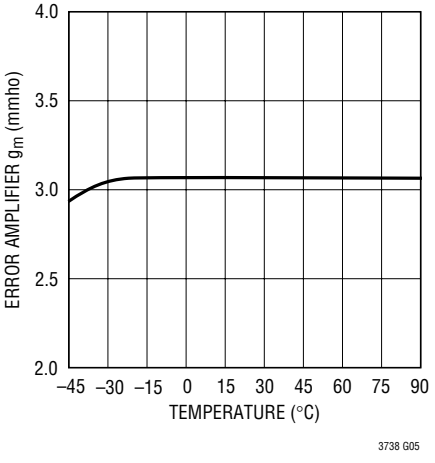
効率と周波数



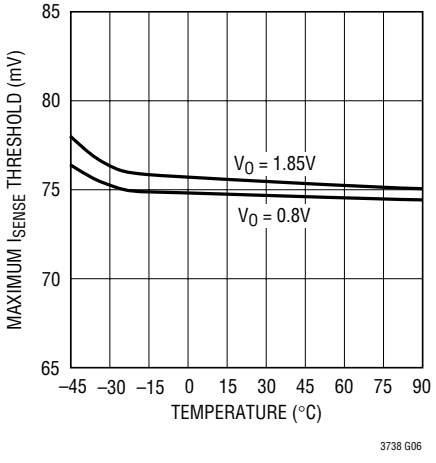
リファレンス電圧と温度



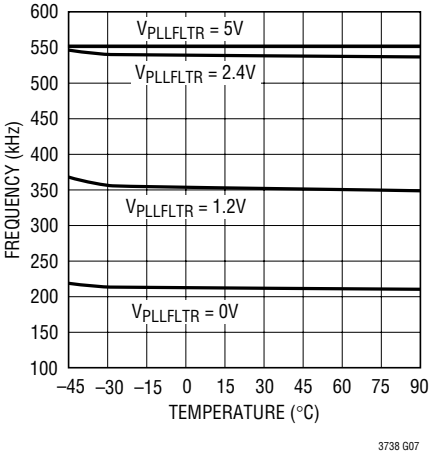
エラーアンプg_mと温度



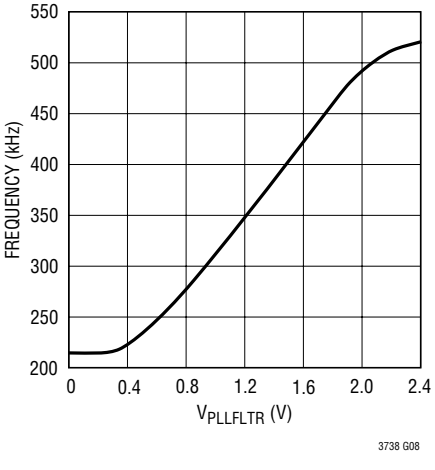
最大I_{SENSE}スレッショルドと温度



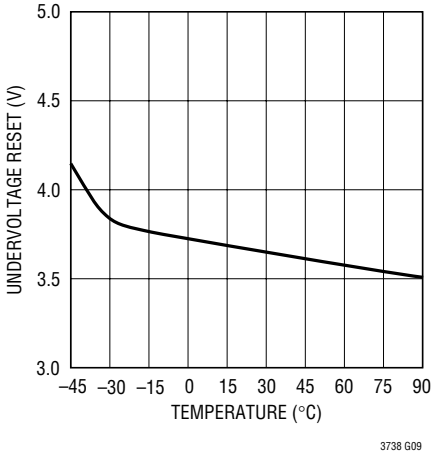
発振周波数と温度



発振周波数と$V_{PLLFLTR}$

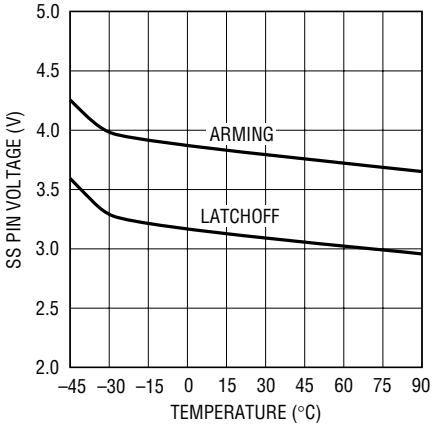


低電圧リセット電圧と温度

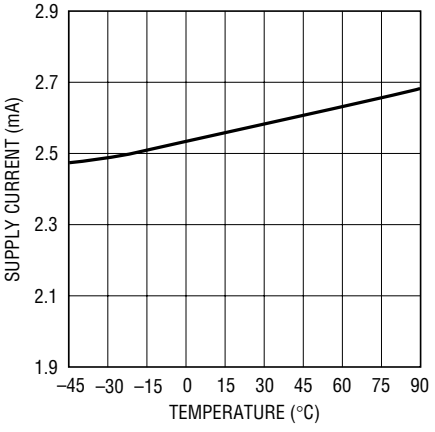


標準的性能特性　注記がない限り、T_A = 25℃。

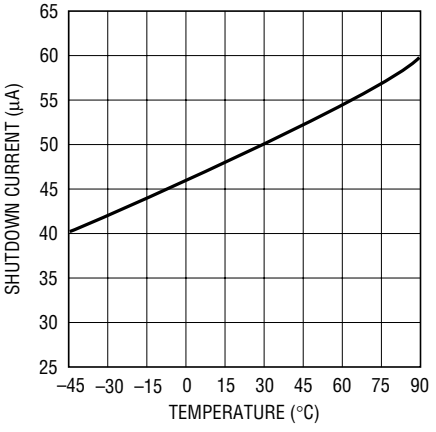
短絡アーミングおよびラッチオフと温度



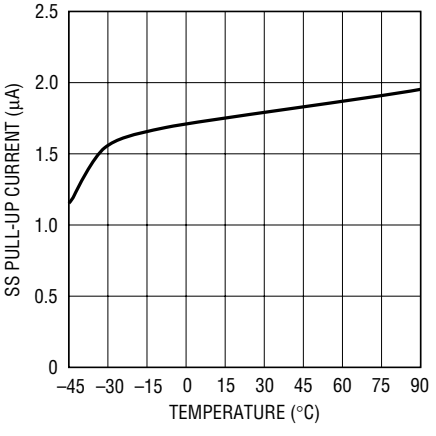
消費電流と温度



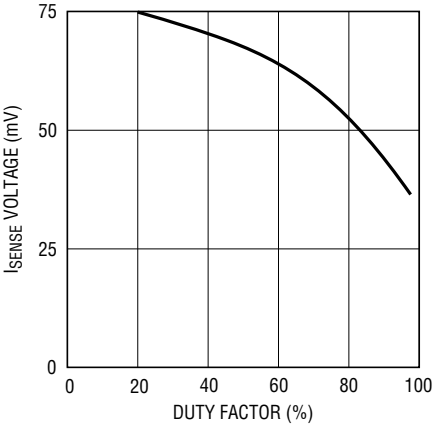
シャットダウン電流と温度



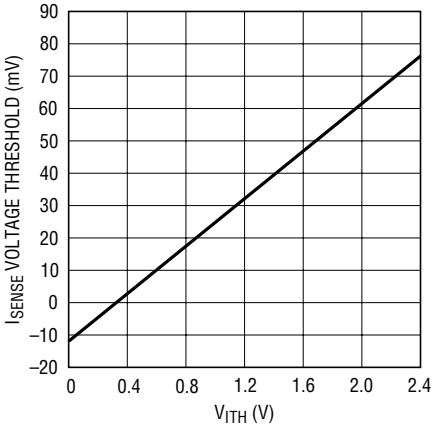
SSプルアップ電流と温度



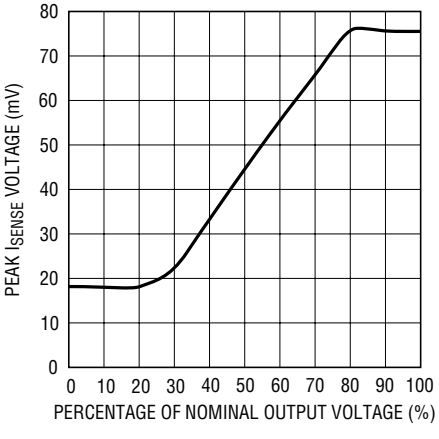
最大電流センス・スレッショルドとデューティ・ファクタ



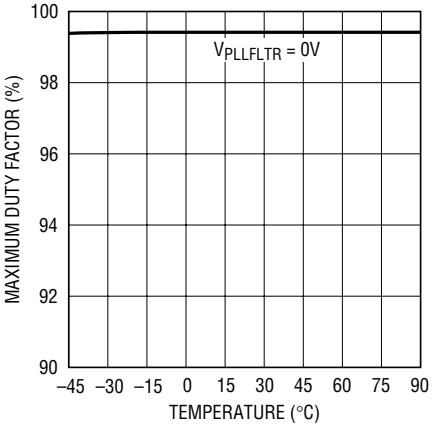
ピーク電流スレッショルドとV_{ITH}



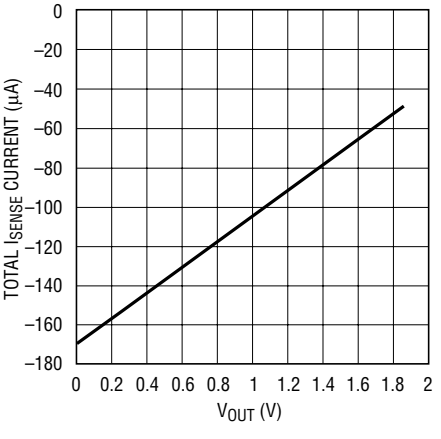
公称出力のパーセンテージとピークI_{SENSE}（フォールドバック）



最大デューティ・ファクタと温度

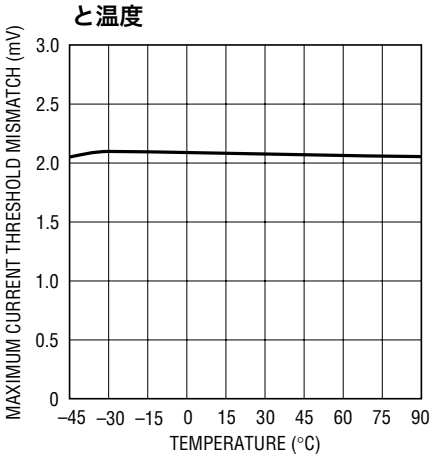


総I_{SENSE}電流とV_{OUT}

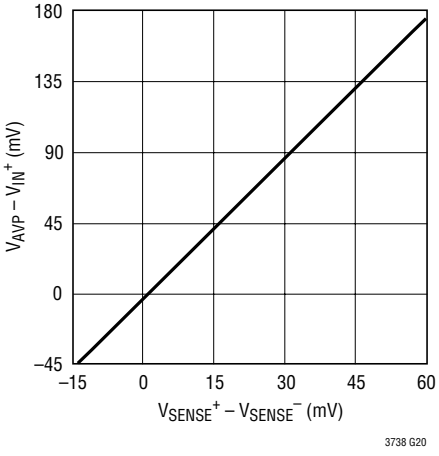


標準的性能特性　注記がない限り、T_A = 25℃。

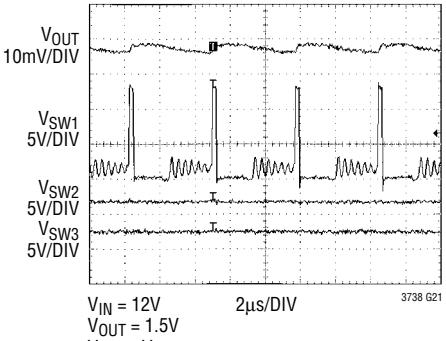
最大電流スレッショルド不整合と温度



(V_{AVP} − V_{IN}^+) と (V_{SENSE}^+ − V_{SENSE}^-)

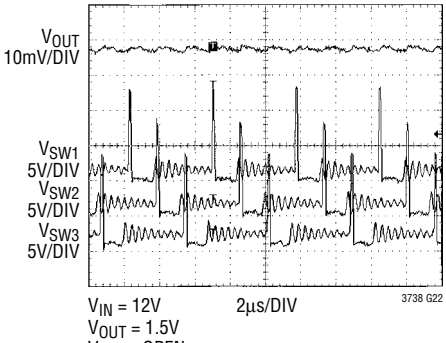


1Aでのシェッディング・モード、軽負荷電流



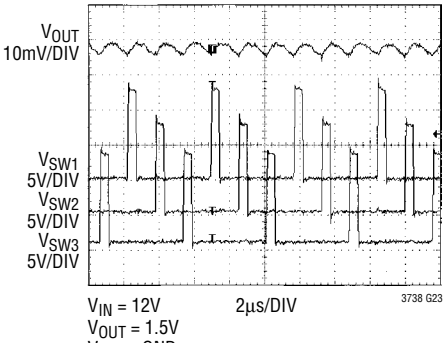
V_{IN} = 12V　2μs/DIV
V_{OUT} = 1.5V
V_{FCB} = V_{CC}
FREQUENCY = 210kHz

1Aでのパルススキップ・モード、軽負荷電流



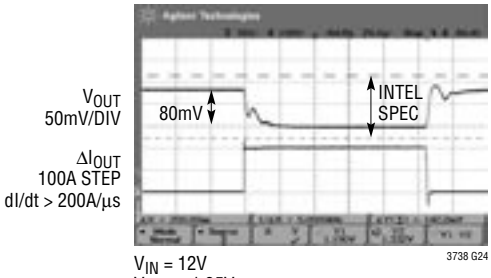
V_{IN} = 12V　2μs/DIV
V_{OUT} = 1.5V
V_{FCB} = OPEN
FREQUENCY = 210kHz

1Aでの連続モード、軽負荷電流



V_{IN} = 12V　2μs/DIV
V_{OUT} = 1.5V
V_{FCB} = GND
FREQUENCY = 210kHz

AVP使用時の負荷過渡



V_{IN} = 12V
V_{OUT} = 1.35V
C_{OUT} = 10 × 330μF/2.5V
SANYO TPE POSCAP
+ 18 × 22μF/X5R CERAMIC

ピン機能

FCB/SYNC(ピン1):強制連続制御入力。このピンに印加される電圧により、コントローラの動作モードが設定されます。印加電圧が0.6Vより低いと、強制連続電流モードが有効になります。このピンをフロートさせるとパルススキップ・モードが有効に、V_{CC}ピンに接続するとステージシェッディング・モードが有効になります。外部クロックがある場合、コントローラは外部クロックに同期し、内部で強制連続モードが選択されます。(V_{CC}ピンに電圧を印加する前に、このピンに電圧を印加してはなりません。)

PLLFLTR(ピン2):フェーズロック・ループのローパス・フィルタをこのピンに接続します。代わりに、このピンを外部のACまたはDCの電圧源を使ってドライブして、内部発振器の周波数を変更することもできます。(V_{CC}ピンに電圧を印加する前に、このピンに電圧を印加してはなりません。)

IN^+、IN^-(ピン4、3):内部高精度抵抗付き高精度ユニティゲイン差動アンプへの入力。これにより、高精度な出力電圧制御のために正負両方の負荷端子の真のリモート・センスを行います。

AVP(ピン5):アクティブ電圧ポジショニングの負荷スロープのプログラミング・ピン。このピンとIN^+の間に1本の抵抗を接続することによって負荷スロープが設定されます。

EAIN(ピン6):このピンは、VIDで分割された帰還電圧を内部の0.6Vリファレンス電圧と比較するエラーアンプの入力です。

$SENSE1^+$、$SENSE2^+$、$SENSE3^+$、$SENSE1^-$、$SENSE2^-$、$SENSE3^-$(ピン7〜12):各差動電流コンパレータの入力。I_{TH}ピンの電圧および、R_{SENSE}と連係した$SENSE^-$ピンと$SENSE^+$ピン間の内蔵オフセットによって、電流トリップ・スレッショルド・レベルが設定されます。

SS(ピン13):ソフトスタートと短絡検出タイマの組み合わせ。このピンからグランドに接続したコンデンサによって、最大出力電流に達するまでのランプ時間および、出力電圧が短絡シャットダウンするまでの遅延時間が設定されます。

I_{TH}(ピン14):エラーアンプの出力およびスイッチング・レギュレータの補償ポイント。3つの電流コンパレータのスレッショルドはすべて、この制御電圧に応じて上昇します。

TSNS(ピン15):このピンにより、外部熱検知または内部熱検知を選択します。V_{CC}に接続すると内部熱検知器がイネーブルされます。このピンの電圧が(V_{CC} – 1.6V)以下になると内部熱検知器がディスエーブルされ、このピンはV_{CC}/3を基準とした内部コンパレータへの入力として機能します。

VR_HOTB(ピン16):このオープンコレクタ出力は、TSNSピンの電圧がV_{CC}/3以下になると“L”になります。TSNSがV_{CC}に接続されている場合、このピンは内部熱検知器がトリップされたとき“L”になります。

PGND(ピン24):ドライバの電源グランド。このピンは、外付けボトムNチャネルMOSFETのソースとC_{IN}の(–)端子に接続します。

BG1、BG2、BG3(ピン25、23、22):ボトムNチャネルMOSFETの高電流ゲート・ドライブ。これらのピンの電圧振幅はグランドからV_{CC}までです。

V_{CC}(ピン26):メイン電源ピン。このピンは、コントローラ回路の電源および外付けMOSFETのゲートをドライブする高電力パルスを供給します。このため、このピンは非常に注意してデバイスのPGNDピンの近くでデカップリングする必要があります。

ピン機能

SW1、SW2、SW3（ピン30、27、21）：インダクタへのスイッチ・ノード接続ピン。これらのピンの電圧振幅は、グランドより（外付け）ショットキー・ダイオードの電圧降下分だけ低い電圧からV_{IN}までです（ただし、V_{IN}は外付けMOSFETの電源レール）。

TG1、TG2、TG3（ピン31、28、20）：トップNチャネルMOSFETの高電流ゲート・ドライブ。これらは、スイッチ・ノード電圧SWに重畳されたブースト電圧源に等しい電圧振幅を持つフローティング・ドライバの出力です。

BOOST1、BOOST2、BOOST3（ピン32、29、19）：トップサイド・フローティング・ドライバへの正電源ピン。外付けショットキー・ダイオードとブースト電圧源により充電されたブートストラップ・コンデンサがBOOSTピンとSWピン間に接続されます。BOOSTピンの電圧振幅はブースト電圧源（通常、V_{CC}）からこのブースト電圧源＋V_{IN}までです（ただし、V_{IN}は外付けMOSFETの電源レール）。

PGOOD（ピン33）：このオープンドレイン出力は、出力電圧がPGOODの許容誤差範囲から外れると“L”になります。PGOODは、VIDの遷移中に約100μsの間ブランキングされます。

VID0、VID1、VID2、VID3、VID4、VID5（ピン35、36、37、17、18、34）：出力電圧のプログラム入力ピン。VID5をV_{CC}に接続すると、Intel VRM9のVIDテーブルが選択されます。VID5の電圧が（V_{CC} – 2V）より低いと、VID5はVRM10の5番目のVIDビットとして機能します。

OUTEN（ピン38）：コントローラのオン/オフ制御。

SGND（ピン39、露出パッド）：信号グランド。このピンはグランド・プレーンに半田付けしてください。

機能図

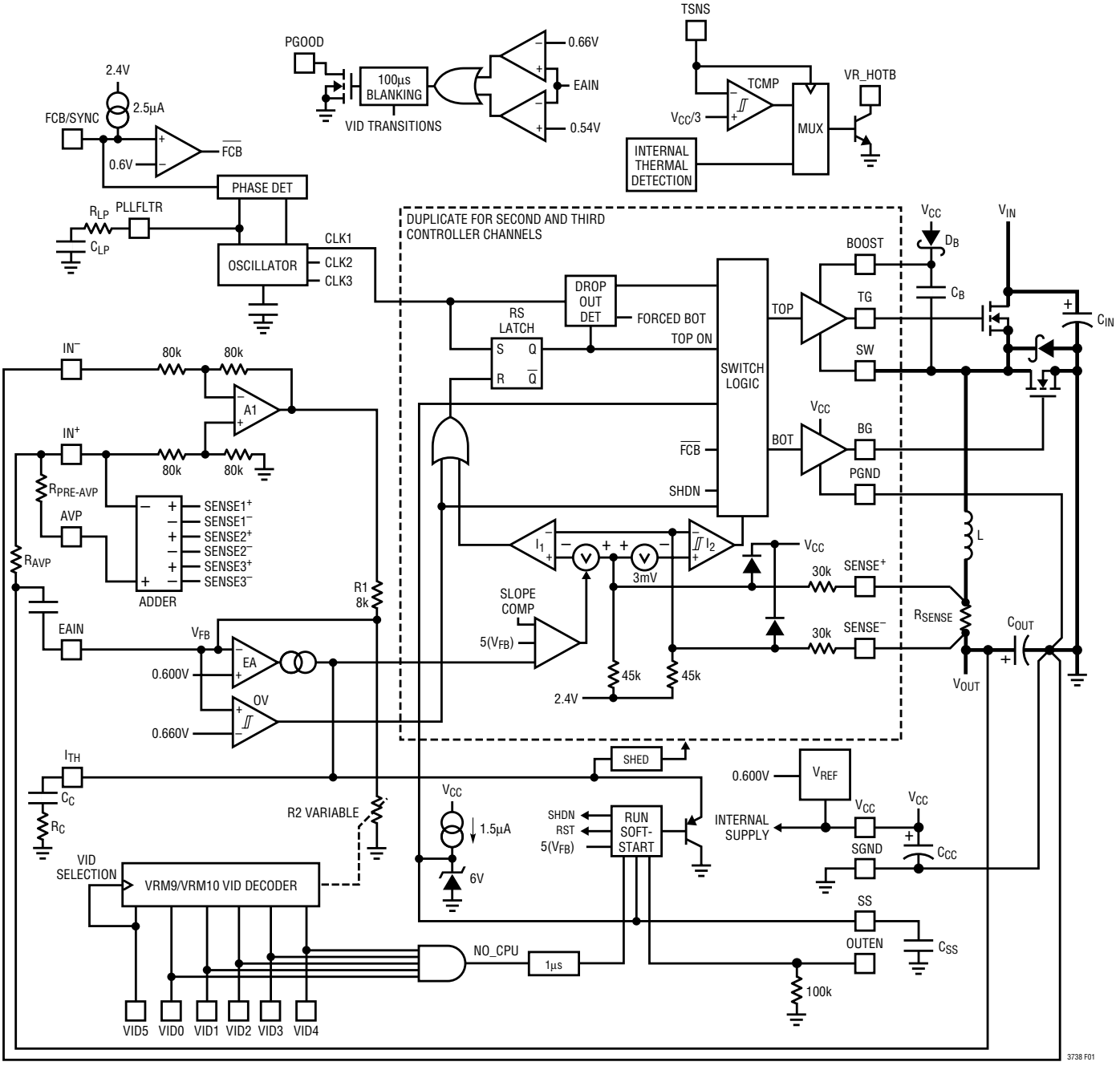

PGOOD
100µs BLANKING
VID TRANSITIONS
0.66V
EAIN
0.54V
TSNS
TCMP
VR_HOTB
VCC/3
MUX
INTERNAL THERMAL DETECTION
2.4V
2.5µA
FCB/SYNC
FCB
0.6V
PHASE DET
RLP
PLLFLTR
CLP
OSCILLATOR
CLK1
CLK2
CLK3
DUPLICATE FOR SECOND AND THIRD CONTROLLER CHANNELS
DROP OUT DET
FORCED BOT
TOP ON
RS LATCH
S
Q
R
Q
SWITCH LOGIC
TOP
BOT
BOOST
TG
SW
BG
PGND
VCC
DB
CB
VIN
CIN
IN−
IN+
80k
A1
RPRE-AVP
AVP
RAVP
SENSE1+
SENSE1−
SENSE2+
SENSE2−
SENSE3+
SENSE3−
ADDER
R1 8k
EAIN
VFB
EA
0.600V
OV
0.660V
I1
I2
3mV
SLOPE COMP
5(VFB)
45k
2.4V
30k
SENSE+
SENSE−
RSENSE
COUT
VOUT
L
ITH
CC
RC
R2 VARIABLE
SHED
0.600V
VREF
INTERNAL SUPPLY
1.5µA
6V
SHDN
RST
RUN SOFT-START
SGND
CCC
VID SELECTION
VRM9/VRM10 VID DECODER
SS
OUTEN
CSS
NO_CPU
1µs
100k
VID5
VID0
VID1
VID2
VID3
VID4
3738 F01

図1

動作 （機能図を参照）

メイン制御ループ

このデバイスは固定周波数、電流モード降圧アーキテクチャを採用しています。通常動作時には、発振器がRSラッチをセットするとサイクルごとに各トップMOSFETがオンし、メイン電流コンパレータI_1が各RSラッチをリセットするとオフします。I_1がRSラッチをリセットするピーク・インダクタ電流はI_{TH}ピンの電圧によって制御されます。この電圧はエラーアンプEAの出力です。EAINピンは差動アンプから内部VID DACを通して電圧帰還信号の一部を受け取り、これを内部リファレンス電圧と比較します。負荷電流が増加すると、0.6Vリファレンスに対してEAINピンの電圧がわずかに減少し、それによって各インダクタの平均電流が新しい負荷電流の3分の1と等しくなるまでI_{TH}電圧が上昇します（3つの電流センス抵抗値は等しいと仮定）。パルススキップ・モードおよびステージシェッディング・モードでは、各トップMOSFETがオフした後、インダクタ電流が逆流し始めて電流コンパレータI_2がそれを検出するまで、あるいは次のサイクルが始まるまでボトムMOSFETがオンします。

トップMOSFETドライバはフローティング・ブートストラップ・コンデンサC_Bからバイアスされます。このコンデンサは、通常、外付けショットキー・ダイオードを通して各オフ・サイクル中に再充電されます。ただし、V_{IN}がV_{OUT}に近い電圧にまで低下するとループがドロップアウト状態になり、トップMOSFETを連続してオンしようとすることがあります。ドロップアウト検出器は、ボトムMOSFETがオフ状態を維持している発振サイクル数をカウントし、周期的に短時間オンさせてC_Bの再充電を可能にします。

メイン制御ループはOUTENピンを“L”にするとシャットダウンします。OUTENをプルアップすると、内部1.5μA電流源がSSピンのソフトスタート・コンデンサC_{SS}を充電することができます。内部I_{TH}電圧はSS電圧にクランプされ、C_{SS}は徐々に充電されます。この「ソフトスタート」クランプにより、入力電源からの急激な電流を防止します。OUTENピンが“L”の場合、すべての機能は制御された状態を維持します。

低電流動作

FCB/SYNCピンは多機能ピンです。1)3つの動作モードを選択するロジック入力、および、2)同期用の外部クロック入力ピンになります。

FCB/SYNCピンの電圧が0.6Vより低い場合、このコントローラは連続PWM電流モード同期整流式スイッチング・レギュレータとして機能します。トップMOSFETおよびボトムMOSFETは、出力電圧を維持するためにインダクタ電流の方向に関係なく交互にオンします。

FCB/SYNCピンの電圧が（V_{CC} – 1.5V）より低く0.6Vより高い場合、このコントローラはパルススキップ・モードのスイッチング・レギュレータとして機能します。パルススキップ・モードでは、インダクタ電流が負になると同期MOSFETをオフします。出力負荷電流が最大設計負荷電流の3%を下回ると、出力電圧を維持するためにスイッチング・サイクルがスキップされます。パルススキップ動作により、軽負荷状態で低ノイズ固定周波数動作が可能になります。

FCB/SYNCピンをV_{CC}ピンに接続すると、ステージシェッディング・モードがイネーブルされます。このモードでは、可能な限り広い出力電流範囲で固定周波数の不連続電流動作が実行されます。最大設計負荷電流の約10%になると、2番目と3番目の出力段がシャットオフされ、1番目のコントローラのみが不連続電流モードで有効になります。この「ステージシェッディング」は、他の2つの出力段のゲート電荷損失とスイッチング損失を除去することにより効率を最適化します。出力負荷電流が最大設計負荷電流の1%を下回ると、出力電圧を維持するためにそれ以降のサイクルがスキップされます。この固定周波数動作は、負荷が非常に軽い条件ではパルススキップ・モードよりも効率的です。

動作 （機能図を参照）

FCB/SYNCピンをグランドに接続すると、連続電流動作が強制されます。これは最も低効率の動作モードですが、アプリケーションによっては適している場合があります。このモードでは、出力は電流をソースまたはシンク可能です。強制連続動作中に電流をシンクすると、この電流がメイン電源に戻され、入力電源が危険な電圧レベルに上昇する可能性があります。

FCB/SYNCピンにクロック信号を入力すると、LTC3738を外部クロックに同期させることができます。詳しくは「周波数同期または設定」を参照してください。

周波数同期または設定

フェーズロック・ループにより、内部発振器をFCB/SYNCピンを使用して外部ソースに同期させることができます。PLLFLTRピンの位相検出器の出力は発振器のDC周波数制御入力でもあり、発振器は0V～2.4Vの電圧入力に対応して210kHz～530kHzの範囲で動作します。ロックすると、PLLはトップMOSFETのオンを同期信号の立ち上がりエッジに揃え、強制連続モードが内部で設定されます。FCB/SYNCピンに周波数情報が入力されないとPLLFLTRは“L”になり、発振器は最小周波数に強制されます。PLLFLTRピンにDC電源を印加して、必要な動作周波数を外部設定することが可能です。

差動アンプ

このアンプは、真の差動出力電圧センスを行います。V_{OUT}^{+}とV_{OUT}^{-}の両方をセンスすることにより、高電流アプリケーションや電気的相互接続損失のあるアプリケーションの安定化に役立ちます。また、このセンス方法は信号グランドからパワー・グランドを物理的に絶縁することによってPCレイアウト上に「グランド・ループ」の問題が発生する可能性を排除し、ボード間の相互接続による電圧誤差を防止するので、特にVRM設計には有効です。

パワーグッド

PGOODピンは内部MOSFETのドレインに接続されています。このMOSFETは、出力電圧がPGOODの±10%の許容誤差範囲を超えるとオンします。PGOOD信号は、VIDの遷移中に約100μsの間ブランキングされます。前のブランキング期間が終了する前に新たなVIDの遷移が発生すると、タイマがリセットされます。

短絡検出

SSコンデンサは最初、入力電源からの突入電流を制限するために使用されます。SSピンのコンデンサによって決まる時間がコントローラに与えられ、出力コンデンサが充電されて全負荷電流を供給するようになると、SSコンデンサは短絡タイムアウト回路として使用されます。出力電圧が公称出力電圧の62.5%を下回ると、出力は極度の過電流または短絡状態にあるとみなされ、SSコンデンサが放電を開始します。この状態が（SSコンデンサのサイズによって決まる）十分長い時間続くと、OUTENピンの電圧が再サイクルされるまでコントローラがシャットダウンします。この内蔵ラッチオフは、4Vで5μAを超える電流をSSピンに供給することによって無効にすることができます。この電流によってソフトスタート時間が短縮されますが、極度な過電流または短絡時のSSコンデンサの正味放電が防止されます。出力電圧が公称レベルの62.5%を下回ると、短絡ラッチオフ回路がイネーブルされていてもいなくても、フォールドバック電流制限が有効になります。フォールドバック電流制限は、たとえ実際の出力電圧が低くても、0.6Vの62.5%つまり0.375Vを超える電圧を維持するようにEAINピンをクランプすることにより、無効にすることができます。

入力電圧（V_{CC}）が約4Vを下回ると、SSコンデンサはリセットされます。このピンのコンデンサは、短絡アーミング・ラッチが解除されるまで放電されます。V_{CC}電源が4Vを超すと、SSコンデンサは通常のソフトスタート・ランプアップを実行しようとします。この回路は、入力電源スイッチングがブレークビフォアメーク状態になった場合に電源がラッチオフするのを防止します。

動作 （機能図を参照）

起動

LTC3738の起動は、SSピンの電圧の上昇により制御されます。短絡アーミング・ラッチがイネーブルされるまで、起動は完了しません。起動時、フォールドバック電流制限が一時的に無効になると同時に、逆インダクタ電流が禁止されます。これは、コントローラがイネーブルされる前に出力電圧が任意の電圧であらかじめバイアスされている状況で有用です。これにより起動時に電流が低下するのを防止します。これがない場合にはあらかじめバイアスされた出力から電流を引き込むことになります。

VIDテーブルとNO_CPU検出

LTC3738は、VRM9およびVRM10と互換性のあるVIDブロックを備えています。VID5をV_{CC}に接続するとVRM9のテーブルが選択されます。VID5の電圧が（V_{CC} −1.5V）より低いとVRM10のテーブルが選択され、このピンはVRM10のVID5ビットとして機能します。VRM10のVIDテーブル用に−25mVの出力オフセットが、VRM9のVIDテーブル用に−12.5mVの出力オフセットが備わっています。

LTC3738は、VIDビットをモニタすることによりCPUの有無を検出します。VID0～VID4がすべて「1」の状態が検出されると、コントローラはNO_CPUフォールトをアクノリッジします。このフォールト状態が1μs以上続くと、SSピンが“L”になってコントローラがシャットダウンします。LTC3738は、NO_CPUフォールトが解除されると通常の起動を試みます。

熱検知

LTC3738には高精度コンパレータと熱検知器が搭載されており、外部熱検知または内部熱検知が可能です。TSNSをV_{CC}に接続すると、内部熱検知器がイネーブルされます。この検知器は10℃のヒステリシスを持ち、120℃以上でサーマル・イベントを発生します。TSNSの電圧がV_{CC} – 1.6Vより低いと内部熱検知器がディスエーブルされます。この場合、TSNSピンはV_{CC}/3を基準としてV_{CC}/24のヒステリシスを持つ高精度コンパレータの入力として機能します。TSNSの電圧がV_{CC}/3を下回ると、サーマル・イベントが発生します。オープンコレクタ出力ピンのVR_HOTBは、サーマル・イベントが発生すると“L”になります。

アクティブ電圧ポジショニング

負荷スロープは、外付け抵抗によりLTC3738内でプログラム可能です。3つのチャネルすべてのインダクタ電流情報がセンスされ合成されて、最終的にAVPとIN^+間の電圧降下として出力されます。この電圧降下はIN^+に接続された2本の外付け抵抗により値が決められ、負荷スロープの補償分として出力電圧に加えられます。最終的な負荷スロープは、インダクタ電流センス抵抗と前述の2本の外付け抵抗により決定されます。

アプリケーション情報

基本的なアプリケーション回路を、このデータシートの最初のページに示します。外付け部品の選択は負荷要件に基づいて行い、一般に、必要な動作周波数、インダクタ電流、および出力電圧リップル要件に基づいてインダクタ値の選択から始めます。インダクタと動作周波数が選択されると、電流センス抵抗を算出できます。次に、パワーMOSFETとショットキー・ダイオードを選択します。最後に、電圧リップル要件に従ってC_{IN}とC_{OUT}を選択します。このデータシートの最初のページに示す回路は、最大28V（外付けMOSFETによって制限される）のMOSFET電源電圧で動作するように構成することができます。

動作周波数

このデバイスは固定周波数アーキテクチャを採用しており、周波数は内部コンデンサによって決定されます。このコンデンサは、固定された電流とPLLFLTRピンに印加された電圧に比例する電流を加算した電流で充電されます。詳細については、「フェーズロック・ループと周波数同期」「周波数同期または設定」のセクションを参照してください。

PLLFLTRピンに印加された電圧と周波数のグラフを図2に示します。動作周波数が高くなると、ゲート電荷損失が増えて効率が下がります（「効率に関する検討事項」を参照）。最大スイッチング周波数は約530kHzです。

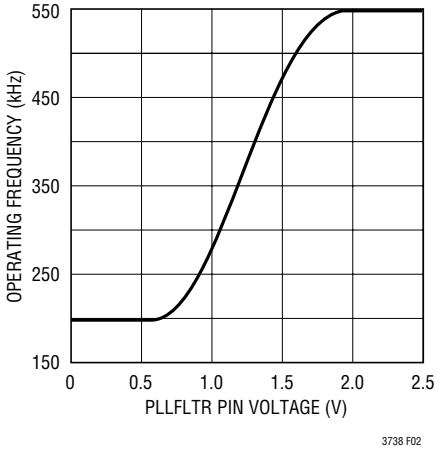


図2. 動作周波数と$V_{PLLFLTR}$

インダクタ値の計算と出力リップル電流

動作周波数とインダクタの選択には相互関係があり、高い動作周波数では小さな値のインダクタとコンデンサが使用できます。では、何のために大きな部品を使用して低い周波数で動かすことを選ぶのでしょうか？答えは効率です。一般に、周波数が高いとMOSFETゲート電荷損失と遷移損失によって効率が低下します。この基本的なトレードオフに加えて、リップル電流と低電流動作におけるインダクタ値の影響も考慮しなければなりません。PolyPhase手法は、入力および出力両方のリップル電流を低減し、個々の出力段をより低い基本周波数で動作するように最適化することによって効率を向上させます。

インダクタ値はリップル電流に直接影響を与えます。個々のセクションN当たりのインダクタ・リップル電流ΔI_Lは、インダクタンスまたは周波数が高いほど減少し、V_{IN}またはV_{OUT}が高いほど増加します。

$$\Delta I_L = \frac{V_{OUT}}{fL}\left(1-\frac{V_{OUT}}{V_{IN}}\right)$$

ここで、fは個々の出力段の動作周波数です。

PolyPhaseコンバータでは、出力コンデンサから見た正味リップル電流は、リップル・キャンセレーションにより個々のインダクタ・リップル電流よりもはるかに少なくなります。正味出力リップル電流の計算方法の詳細は、「アプリケーション・ノート77」に記載してあります。

図3は、異なるフェーズ構成での出力コンデンサから見た正味リップル電流を示します。出力電圧を固定し、デューティ・ファクタがX軸上で10%～90%で変動するときの出力リップル電流がプロットされています。出力リップル電流は、デューティ・ファクタがゼロのときのインダクタ・リップル電流に対して正規化されています。このグラフは面倒な計算の代わりに使用できます。図3に示すように、ゼロ出力リップル電流は次の場合に得られます。

$$\frac{V_{OUT}}{V_{IN}} = \frac{k}{N} \quad \text{ここで、} k=1,2,\ldots,N-1$$

アプリケーション情報

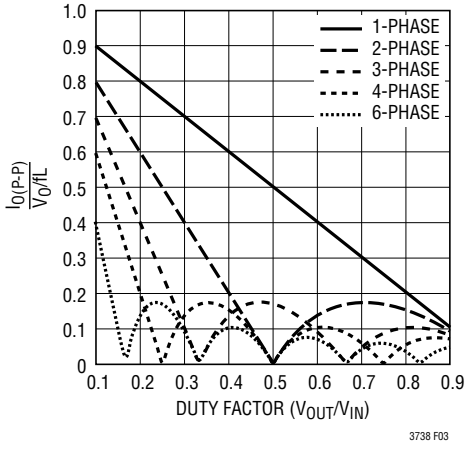


図3. 正規化されたピーク出力電流とデューティ・ファクタ[$I_{RMS} = 0.3(I_{O(P-P)}$]

こうして、使用する位相(フェーズ)の数を選択して出力リップル電流を最小におさえ、これによって所定の入力および出力電圧での出力リップル電圧を最小に抑えることができます。入力電圧が大幅に変動するアプリケーションでは、位相を追加すれば最良の結果が得られます。

大きなΔI_Lの値を許容できれば低いインダクタンスを使用できますが、出力電圧リップルが高くなります。リップル電流を設定する妥当な出発点は、$\Delta I_L = 0.4(I_{OUT})/N$です。ここで、Nはチャネル数、$I_{OUT}$は総負荷電流です。最大の$\Delta I_L$は最大入力電圧で生じることを忘れないでください。個々のインダクタ・リップル電流は一定で、インダクタおよび入出力電圧で決まります。

インダクタ・コアの選択

インダクタの値が分かったら、インダクタの種類を選択する必要があります。高効率コンバータは一般に、低価格の鉄粉コアに見られるコア損失を許容できないので、フェライト、Molypermalloy、またはKool Mμ®コアを使用せざるをえません。インダクタの値が同じ場合、実際のコア損失は、コア・サイズではなく、選択したインダクタンスに大きく依存します。インダクタンスが増加するとコア損失が低下します。残念ながら、インダクタンスを増加するにはワイヤの巻数を増やす必要があるため、銅損が増加します。

フェライトを使用した設計はコア損失が極めて低く、高スイッチング周波数に適しているため、設計目標を銅損と飽和を防ぐことに集中することができます。フェライト・コアの材料は極度に飽和します。つまり、ピーク設計電流を超えるとインダクタンスが急激に消滅します。この結果、インダクタのリップル電流が急増し、続いて出力電圧リップルが増加します。コアを飽和させないようにしてください。

パワーMOSFETとショットキー・ダイオードの選択

3つの出力部のそれぞれに、少なくとも2個の外付けパワーMOSFETを選択する必要があります。トップ(メイン)スイッチ用に1個のNチャネルMOSFET、ボトム(同期)スイッチ用に1個以上のNチャネルMOSFETです。選択するすべてのMOSFETの個数、種類、および「オン」抵抗は、電圧の降圧比とともにMOSFETが使用される実際の場所(メインまたは同期)を考慮します。出力電圧が入力電圧の3分の1以下のアプリケーションでは、非常に小型で入力容量が小さいMOSFETをトップMOSFETとして使用する必要があります。$V_{IN} >> V_{OUT}$のアプリケーションの場合、300kHzを超える動作周波数では、トップMOSFETの「オン」抵抗は、全体的な効率にとって、一般にその入力容量ほど重要ではありません。MOSFETメーカーでは、スイッチング・レギュレータのアプリケーションのメイン・スイッチ用に、「オン」抵抗が適度に低く、入力容量を大幅に下げた特殊用途デバイスを設計しています。

ピーク-ピーク間のMOSFETゲート・ドライブ・レベルは電圧V_{CC}により設定されるので、ほとんどのアプリケーションではロジックレベル・スレッショルドMOSFETを使用する必要があります。MOSFETのBV_{DSS}仕様にも十分注意を払ってください。ロジックレベルMOSFETの多くは30V以下に制限されています。

パワーMOSFETの選択基準には、「オン」抵抗$R_{DS(ON)}$、入力容量、入力電圧、最大出力電流などがあります。

MOSFETの入力容量は複数の要素が組み合わされたものですが、ほとんどのデータシートに含まれている標準「ゲート電荷」曲線(図4)から求めることができます。

Kool Mμ is a registered trademark of Magnetics, Inc.

アプリケーション情報

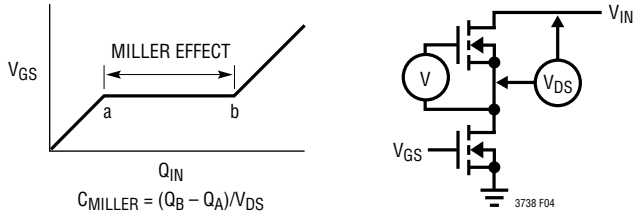


図4. ゲート電荷特性

この曲線は、コモン・ソースの電流源負荷段のゲートに一定の入力電流を強制し、時間に対してゲート電圧をプロットして作成されたものです。最初のスロープは、ゲート-ソース間およびゲート-ドレイン間容量の影響によるものです。この曲線の平坦な部分は、ドレインが電流源負荷両端の電圧を低下させるときのドレイン-ソース間容量のミラー効果によるものです。上側のスロープは、ドレイン-ゲート間蓄積容量とゲート-ソース間容量によるものです。ミラー電荷(曲線が平坦なaからbの水平軸のクーロン値の増加分)は特定のV_{DS}ドレイン電圧に対して規定されていますが、曲線で規定されるV_{DS}値に対するアプリケーションのV_{DS}の比を掛けることにより、異なったV_{DS}電圧に対して補正することができます。C_{MILLER}項を推定する方法の1つに、メーカーのデータシートでa点からb点までのゲート電荷の変化を求め、規定されたV_{DS}電圧で割る方法があります。C_{MILLER}はトップMOSFETの過渡損失項を決める最も重要な選択基準ですが、MOSFETのデータシートで直接規定されてはいません。C_{RSS}とC_{OS}は規定されていることがありますが、これらのパラメータの定義は記載されていません。

コントローラが連続モードで動作している場合、トップMOSFETとボトムMOSFETのデューティ・サイクルは次式で求められます。

$$\text{メインスイッチのデューティ・サイクル} = \frac{V_{OUT}}{V_{IN}}$$

$$\text{同期スイッチのデューティ・サイクル} = \left(\frac{V_{IN} - V_{OUT}}{V_{IN}}\right)$$

最大出力電流でのメインMOSFETと同期MOSFETの消費電力は次式で求められます。

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}}\left(\frac{I_{MAX}}{N}\right)^2(1+\delta)R_{DS(ON)} + V_{IN}^2\frac{I_{MAX}}{2N}(R_{DR})(C_{MILLER})\bullet\left[\frac{1}{V_{CC}-V_{TH(MIN)}}+\frac{1}{V_{TH(MIN)}}\right](f)$$

$$P_{SYNC} = \frac{V_{IN}-V_{OUT}}{V_{IN}}\left(\frac{I_{MAX}}{N}\right)^2(1+\delta)R_{DS(ON)}$$

ここで、Nは出力段の数、δは$R_{DS(ON)}$の温度依存度、R_{DR}はトップ・ドライバの実効抵抗($V_{GS} = V_{MILLER}$で約2Ω)、V_{IN}はドレイン電位および特定のアプリケーションでのドレイン電位の変化です。$V_{TH(MIN)}$は、パワーMOSFETのデータシートで規定された標準ゲート・スレッショルド電圧です。C_{MILLER}は、MOSFETのデータのゲート電荷曲線と前述の手法を使って算出された容量です。

両方のMOSFETにI^2R損失の項がありますが、トップサイドNチャネルの式には遷移損失の項が追加されています。これは入力電圧が最大のとき最も大きくなります。$V_{IN} < 12V$では、高電流での効率は一般に大型のMOSFETを使用すると向上しますが、$V_{IN} > 12V$では遷移損失が急激に上昇し、C_{RSS}が小さく$R_{DS(ON)}$が大きいデバイスを使用する方が実際には効率が高くなるポイントにまで達します。同期MOSFETの損失は、トップ・スイッチのデューティ・ファクタが低い高入力電圧時、または同期スイッチが周期の100%近い期間オンになる短絡時に最も大きくなります。

MOSFETに対する(1＋δ)の項は、一般に正規化$R_{DS(ON)}$対温度曲線から得られますが、低電圧MOSFETに対しては概算値としてδ = 0.005/°Cを使用できます。

アプリケーション情報

このデータシートの最初のページにある「標準的応用例」に示すショットキー・ダイオードは、2つの大型パワーMOSFETの導通期間のデッドタイム中に導通します。これによって、ボトムMOSFETのボディ・ダイオードがデッドタイムの間オンして電荷を蓄積するのを防止し、効率を数%低下させる逆回復時間を不要にします。2A～8Aのショットキー・ダイオードは平均電流が比較的小さいため、両方の動作領域にとって一般に妥当な選択といえます。これより大きなダイオードは接合容量が大きくなるため、遷移損失が増加します。

C_{IN}とC_{OUT}の選択

マルチフェーズ・アーキテクチャでは、入力コンデンサからのピーク電流が使用される位相(フェーズ)の数に実質的に分割されるので、入力容量のESR要件と効率損失が大幅に低減され、電力損失はRMS電流の二乗に比例します。3段の単一出力電圧構成にすることにより、入力経路の電力損失を90%低減できます。

連続モードでは、各トップNチャネルMOSFETのソース電流は、デューティ・サイクルがV_{OUT}/V_{IN}の方形波になります。最大RMS電流に対応できる容量の低ESR入力コンデンサを使用しなければなりません。厳密な式の詳細については、「アプリケーション・ノート77」に記載されています。出力電圧を固定して入力電圧を変化させた場合の異なる位相構成の入力コンデンサのリップル電流を図５に示します。入力リップル電流はDC出力電流に対して正規化されています。面倒な計算の代わりにこのグラフを使用することができます。最小入力リップル電流は、位相数と出力電圧の積$N(V_{OUT})$が入力電圧V_{IN}とほぼ等しいとき、つまり次式のときに達成できます。

$$\frac{V_{OUT}}{V_{IN}} = \frac{k}{N} \quad \text{ここで、} k=1,2,\ldots,N-1$$

したがって、所定の入出力電圧に対して入力コンデンサのサイズを最小にするように位相数を選択できます。

図5のグラフにおいて、次の場合に局所的な最大入力RMSコンデンサ電流に達します。

$$\frac{V_{OUT}}{V_{IN}} = \frac{2k-1}{N} \quad \text{ここで、} k=1,2,\ldots,N-1$$

大きく変化させてもそれほど状況が改善されないため、一般にはこれらのワーストケース条件が設計に使用されます。コンデンサ・メーカーのリップル電流定格は多くの場合わずか2000時間の寿命に基づいて規定されていることに注意してください。このため、コンデンサをさらにディレーティングする、つまり要件よりも高い温度定格のコンデンサを選択することを推奨します。サイズまたは高さの設計要件を満たすため、複数のコンデンサを並列に接続することもできます。疑問点については必ずコンデンサの製造元に問い合わせてください。

図5のグラフでは、ピークRMS入力電流が直線的に低下し、使用する段数Nに反比例しています。効率損失が入力RMS電流の二乗に比例するので、3段の実装では1フェーズの設計と比べて電力損失が90%減少することに注意することが重要です。PolyPhaseシステムでは入力リップル電流が減少するため、バッテリ/入力保護ヒューズの抵抗(使用されている場合)やPCボードのトレースとコネクタの抵抗による損失も減少します。必要な入力容量は、電流パルスの周波数が実質的に増加するので、さらに係数Nだけ減少します。

小型設計ではセラミック・コンデンサが広く普及してきていますが、いくつかの注意点を守る必要があります。「X7R」、「X5R」、および「Y5V」は、誘電体層として使用されるいくつかのセラミック材料の例です。これら種類の異なる誘電体は、適用される電圧や温度の条件によって容量値に及ぼす影響が大きく異なります。

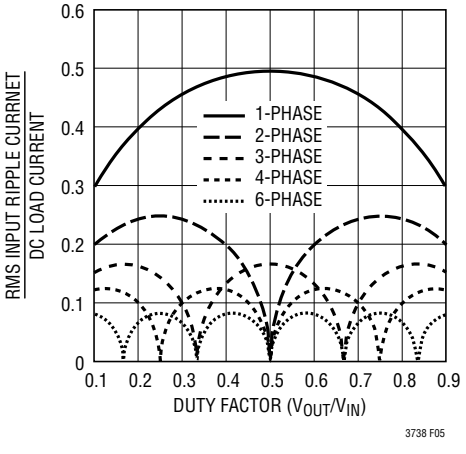


図5.正規化された入力RMSリップル電流と1～6出力段のデューティ・ファクタ

アプリケーション情報

物理的には、印加される電圧の変化により容量値が変化すると圧電効果が付随し、音を生じます。可聴レートで変化する電流を流す負荷の場合、セラミック・コンデンサの入力電圧が付随的に変化し、可聴信号を発生することがあります。二次的な問題は、電荷の増加に伴って容量値が減少しつつあるセラミック・コンデンサへ逆流するエネルギーに関係するものです。電圧が上昇するにつれて容量値が減少するため、供給されている定電流よりもかなり高いレートで電圧が上昇することがあります。ただし、セラミック・コンデンサはESRが極めて低いので、適切なものを選択して使用すると、全体の損失を最小限に抑えることができます。

C_{OUT}は必要な等価直列抵抗(ESR)に基づいて選択されます。一般に、ESR要件が満たされると、容量はフィルタリングを行うのに十分なものになります。定常状態の出力リップル(ΔV_{OUT})は、次式で決定されます。

$$\Delta V_{OUT} \approx \Delta I_{RIPPLE}\left(ESR + \frac{1}{8NfC_{OUT}}\right)$$

ここで、f = 各段の動作周波数、Nは出力段の数、C_{OUT} = 出力容量、ΔI_L = 各インダクタのリップル電流です。ΔI_L は入力電圧に応じて増加するので、出力リップルは入力電圧が最大のとき最大になります。以下のことを仮定すると、$\Delta I_L = 0.4I_{OUT(MAX)}$のとき出力リップルは最大$V_{IN}$で50mVより小さくなります。

C_{OUT}に要求されるESR＜$N \bullet R_{SENSE}$

および

$C_{OUT} > 1/(8Nf)(R_{SENSE})$

小型表面実装パッケージの低ESRコンデンサの登場により、物理的に非常に小さな実装が可能になりました。I_{TH}ピンを使用してスイッチング・レギュレータ・ループを外部補償できるので、出力コンデンサの種類をより広い範囲で選択できます。各種類のコンデンサのインピーダンス特性は、理想的なコンデンサとはかなり異なっているので、設計時に正確なモデリングまたはベンチ評価が必要です。

高性能スルーホール・コンデンサについては、ニチコン、United Chemicon、三洋電機などのメーカーが検討対象になります。三洋電機製OS-CON半導体誘電体コンデンサやパナソニック製SP表面実装型コンデンサは、ESRとサイズの積が良好な値を示します。一般に、C_{OUT}のESR要件が満たされれば、RMS電流定格は$I_{RIPPLE(P-P)}$要件をはるかに上回ります。AVX、太陽誘電、村田製作所、およびトーキンのセラミック・コンデンサは、大容量でESRが非常に低いため、出力電圧の低いアプリケーションに特に適しています。

表面実装のアプリケーションでは、アプリケーションのESRまたはRMS電流処理要件を満たすため、複数のコンデンサの並列接続が必要になることがあります。アルミニウム電解コンデンサと乾式タンタル・コンデンサの両方とも表面実装タイプが提供されています。新しい特殊ポリマ表面実装コンデンサもESRが非常に低いのですが、体積あたりの容量密度がはるかに低くなっています。タンタル・コンデンサの場合、スイッチング電源に使用するためのサージ試験が実施されていることが不可欠です。適切な選択としては、AVX TPS、AVX TPSV、KEMET T510シリーズの表面実装タンタル・コンデンサまたはパナソニックSPシリーズの特殊ポリマ表面実装コンデンサなどがあり、高さ2mm～4mmのケースで供給されます。その他のコンデンサとしては、三洋電機のPOS-CAP、OS-CON、ニチコンのPLシリーズ、そしてSprague の595Dシリーズがあります。他の特定な推奨品については、メーカーにお問い合わせください。

出力電流に対応したR_{SENSE}の選択

周波数とインダクタを選択すると、必要なピーク・インダクタ電流に基づいてR_{SENSE1}、R_{SENSE2}、R_{SENSE3}が決定されます。電流コンパレータの最大スレッショルドは75mV/R_{SENSE}、同相入力範囲はSGND～(1.1)・V_{CC}です。電流コンパレータのスレッショルドによってインダクタ電流のピーク値が設定され、このピーク値からピーク-ピーク間リップル電流ΔI_Lの半分を差し引いた値に等しい最大平均出力電流I_{MAX}が得られます。

デバイスと外付け部品の値のばらつきに余裕をもたせると次式のようになります。

$$R_{SENSE} = N\frac{50mV}{I_{MAX}}$$

このデバイスは、R_{SENSE}の値が0.001Ω～0.02Ωのとき良好に動作します。

アプリケーション情報

V_{CC}デカップリング

V_{CC}ピンは、コントローラの内部回路だけでなくトップおよびボトムゲート・ドライバに電力を供給します。そのため、非常に大きな瞬時電流が流れるので、(動作温度環境に応じて)少なくとも1μFのX7RまたはX5Rタイプのセラミック・コンデンサをデバイスに隣接させ、できれば追加の10μFコンデンサをデバイスに近接させて、非常に注意深くこのピンをグランドにバイパスする必要があります。総容量は、セラミック・コンデンサの電圧係数を考慮すると、ドライブされるすべてのMOSFETの総結合ゲート電荷容量の100倍は必要です。電流コンパレータの微小信号、高帯域幅を乱さないように5V電源を十分に安定させながら、MOSFETゲート・ドライバに必要な大きい過渡電流を供給するには、デバイスの近くで十分なバイパスをする必要があります。

トップサイドMOSFETドライバ電源(C_B、D_B)

BOOSTピンに接続された外付けブートストラップ・コンデンサC_Bは、トップサイドMOSFETにゲート・ドライブ電圧を供給します。SWピンが“L”のとき、「機能図」のコンデンサC_BはV_{CC}からダイオードD_Bを通して充電されます。トップサイドMOSFETの1つをオンさせるとき、ドライバはそのMOSFETのゲート-ソース間にC_B電圧を印加します。これによってMOSFETが導通し、トップサイド・スイッチがオンになります。スイッチ・ノード電圧SWがV_{IN}まで上昇し、次にBOOSTピンが続いて上昇します。トップサイドMOSFETがオンの場合、ブースト電圧は入力電源より高くなります($V_{BOOST} = V_{CC} + V_{IN}$)。ブースト・コンデンサ$C_B$の値は、トップサイドMOSFETの総入力容量の30～100倍が必要です。D_Bの逆ブレークダウン電圧は$V_{IN(MAX)}$より大きくなければなりません。

差動アンプ

このデバイスは真のリモート電圧センス能力を備えています。センス接続は、緊密に結合した一対の共通PCトレースを介して、負荷から差動アンプの入力に戻さなければなりません。差動アンプは、帰還PCトレースに容量的または誘導的に放射される同相信号やグランド・ループ干渉を排除します。差動アンプの出力信号はVID DACにより分割され、エラーアンプによって内部の高精度0.6V電圧リファレンスと比較されます。

このアンプの入力同相範囲は0V～V_{CC}、出力振幅範囲は0V～(V_{CC} – 1.2V)です。出力に、160kΩの帰還抵抗をもつNPNエミッタ・フォロワを使用しています。

出力電圧

VRM9またはVRM10のVIDテーブルの選択は、VID5ピンにより行います。VID5をV_{CC}に接続するとVRM9のVIDテーブルが選択されます。

VRM9のVIDテーブルが選択される(表1)と、出力電圧は25mVステップで1.1Vから1.85Vまで上昇します。出力電圧には、–12.5mVのDCオフセットが備わっています。

VRM10のVIDテーブルが選択される(表2)と、出力電圧は12.5mVステップで0.8375Vから1.6Vまで上昇します。出力電圧には、–25mVのDCオフセットが備わっています。

アクティブ電圧ポジショニング制御

LTC3738は、3つのチャネルすべてのセンス抵抗R_{SENSE}の電圧降下をモニタすることにより、インダクタ電流情報をセンスします。これらの電圧降下は加算され、抵抗$V_{RPRE-AVP}$の両端にそれぞれ接続されたAVPピンとIN^+ピン間に$V_{PRE-AVP}$として印加されます。次に、$V_{PRE-AVP}$はR_{AVP}により値が決められ、負荷の電圧降下の補償分として出力電圧に加算されます。まとめると、負荷スロープは次のようになります。

$$\left(R_{SENSE} \bullet \frac{R_{AVP}}{R_{PRE-AVP}}\right) V/A$$

R_{AVP}の推奨値は90Ω～100Ωです。

アプリケーション情報

表1. VRM9のVIDテーブル

PROCESSOR PINS (0 = LOW, 1 = HIGH)					$V_{CC(CORE)}$
VID4	VID3	VID2	VID1	VID0	(V_{DC})
1	1	1	1	1	Output Off
1	1	1	1	0	1.100
1	1	1	0	1	1.125
1	1	1	0	0	1.150
1	1	0	1	1	1.175
1	1	0	1	0	1.200
1	1	0	0	1	1.225
1	1	0	0	0	1.250
1	0	1	1	1	1.275
1	0	1	1	0	1.300
1	0	1	0	1	1.325
1	0	1	0	0	1.350
1	0	0	1	1	1.375
1	0	0	1	0	1.400
1	0	0	0	1	1.425
1	0	0	0	0	1.450
0	1	1	1	1	1.475
0	1	1	1	0	1.500
0	1	1	0	1	1.525
0	1	1	0	0	1.550
0	1	0	1	1	1.575
0	1	0	1	0	1.600
0	1	0	0	1	1.625
0	1	0	0	0	1.650
0	0	1	1	1	1.675
0	0	1	1	0	1.700
0	0	1	0	1	1.725
0	0	1	0	0	1.750
0	0	0	1	1	1.775
0	0	0	1	0	1.800
0	0	0	0	1	1.825
0	0	0	0	0	1.850

熱制御

外部熱検出がイネーブルされている場合、TSNSピンはV_{CC}/3を基準としてV_{CC}/24のヒステリシスを持つ高精度コンパレータの入力として機能します。TSNSの電圧がV_{CC}/3以下になるとVR_HOTBが“L”になります。この場合、TSNSの入力はアナログ信号です。必要に応じ、ローパス・フィルタを通した信号をこのピンに入力することによって、熱トリップの誤動作を防止します。

VR_HOTBが通知されると、LTC3738は自己保護用の別の熱センサを内蔵していても、動作に影響を受けなくなります。LTC3738は、デバイスの温度が約140℃になるとシャットダウンし、この高温状態が解消されるまでは再起動しません。この自己シャットダウン機能はテストされませんが、設計により保証されています。

オン/オフ制御

OUTENピンにより、LTC3738のシンプルなオン/オフ制御が可能になります。OUTENピンを0.8V以上にするとコントローラの動作を開始できます。OUTENを0.4V以下にすると、LTC3738は低電流シャットダウン・モード($I_Q \approx$ 50μA)になります。

ソフトスタート機能

SSピンは、1)ソフトスタート、および2)無効化可能な短絡ラッチオフ・タイマの2つの機能を備えています。ソフトスタートは、コントローラの(内部でバッファされクランプされたV_{ITH}に比例する)電流制限を徐々に増加させることによって、入力電源のサージ電流を低減します。ラッチオフ・タイマは、非常に短い極端な負荷過渡によって過電流ラッチがトリップするのを防止します。SSピンに供給される小さなプルアップ電流(>5μA)は、過電流ラッチが動作するのを防止します。この機能の動作について以下に説明します。

内部の1.5μA電流源がコンデンサC_{SS}を充電します。

表2. VRM10のVIDテーブル

PROCESSOR PINS (0 = LOW, 1 = HIGH)						V_{OUT}	PROCESSOR PINS (0 = LOW, 1 = HIGH)						V_{OUT}
VID4	VID3	VID2	VID1	VID0	VID5	(V)	VID4	VID3	VID2	VID1	VID0	VID5	(V)
0	1	0	1	0	0	0.8375	1	1	0	1	0	0	1.2125
0	1	0	0	1	1	0.8500	1	1	0	0	1	1	1.2250
0	1	0	0	1	0	0.8625	1	1	0	0	1	0	1.2375
0	1	0	0	0	1	0.8750	1	1	0	0	0	1	1.2500
0	1	0	0	0	0	0.8875	1	1	0	0	0	0	1.2625
0	0	1	1	1	1	0.9000	1	0	1	1	1	1	1.2750
0	0	1	1	1	0	0.9125	1	0	1	1	1	0	1.2875
0	0	1	1	0	1	0.9250	1	0	1	1	0	1	1.3000
0	0	1	1	0	0	0.9375	1	0	1	1	0	0	1.3125
0	0	1	0	1	1	0.9500	1	0	1	0	1	1	1.3250
0	0	1	0	1	0	0.9625	1	0	1	0	1	0	1.3375
0	0	1	0	0	1	0.9750	1	0	1	0	0	1	1.3500
0	0	1	0	0	0	0.9875	1	0	1	0	0	0	1.3625
0	0	0	1	1	1	1.0000	1	0	0	1	1	1	1.3750
0	0	0	1	1	0	1.0125	1	0	0	1	1	0	1.3875
0	0	0	1	0	1	1.0250	1	0	0	1	0	1	1.4000
0	0	0	1	0	0	1.0375	1	0	0	1	0	0	1.4125
0	0	0	0	1	1	1.0500	1	0	0	0	1	1	1.4250
0	0	0	0	1	0	1.0625	1	0	0	0	1	0	1.4375
0	0	0	0	0	1	1.0750	1	0	0	0	0	1	1.4500
0	0	0	0	0	0	1.0875	1	0	0	0	0	0	1.4625
1	1	1	1	1	1	Off*	0	1	1	1	1	1	1.4750
1	1	1	1	1	0	Off*	0	1	1	1	1	0	1.4875
1	1	1	1	0	1	1.1000	0	1	1	1	0	1	1.5000
1	1	1	1	0	0	1.1125	0	1	1	1	0	0	1.5125
1	1	1	0	1	1	1.1250	0	1	1	0	1	1	1.5250
1	1	1	0	1	0	1.1375	0	1	1	0	1	0	1.5375
1	1	1	0	0	1	1.1500	0	1	1	0	0	1	1.5500
1	1	1	0	0	0	1.1625	0	1	1	0	0	0	1.5625
1	1	0	1	1	1	1.1750	0	1	0	1	1	1	1.5750
1	1	0	1	1	0	1.1875	0	1	0	1	1	0	1.5875
1	1	0	1	0	1	1.2000	0	1	0	1	0	1	1.6000

＊出力がディスエーブル―出力イネーブル入力の行使しない状態と同じ

SSの電圧が0Vから2.4Vに上昇すると、内部電流制限は0V/R_{SENSE}から75mV/R_{SENSE}に上昇します。出力電流制限はゆっくり上昇し、1.6s/μFを要して最大電流に達します。出力電流がこのようにゆっくり上昇するので、入力電源から供給する必要のある起動サージ電流を排除します。

$$t_{IRAMP} = \frac{2.4V - 0V}{1.5\mu A} C_{SS} = (1.6s/\mu F) C_{SS}$$

SSピンには6Vのツェナー・クランプが内蔵されています(「機能図」を参照)。

フォールト状態:過電流ラッチオフ

SSピンには、過電流状態が検出されるとコントローラをラッチオフする機能もあります。SSコンデンサは最初は3つの出力段すべての突入電流を制限するために使用されます。

アプリケーション情報

コントローラが出力コンデンサを充電するのに十分な時間が経過し、全負荷電流が供給されるようになると、SSコンデンサは短絡タイマとして使用されます。出力電圧が公称値の62.5%を下回ると、出力は過電流状態であるとみなされ、SSコンデンサが放電を開始します。この状態が(SSコンデンサのサイズによって決まる)十分長い期間続くと、RUNピンの電圧が再サイクルされるまでコントローラがシャットダウンします。起動時に過負荷状態が発生した場合、この時間は次式で概算できます。

$$t_{LO1} >> (C_{SS} \bullet 0.6V)/(1.5\mu A) = 4 \bullet 10^5 (C_{SS})$$

起動後に過負荷状態が発生した場合、SSコンデンサの電圧は充電を続け、ラッチオフするまでにさらに時間がかかります。

$$t_{LO2} >> (C_{SS} \bullet 3V)/(1.5\mu A) = 2 \bullet 10^6 (C_{SS})$$

図6に示すとおり、この内蔵過電流ラッチオフは、V_{CC}からSSピンにプルアップ抵抗を接続して無効にすることができます。V_{CC}が5Vの場合、200kの抵抗によって過電流状態でのSSコンデンサの放電を防止するほか、ソフトスタート期間を短縮するので、より大きなSSコンデンサ値が必要になります。

なぜ過電流ラッチオフを無効にする必要があるのでしょうか？設計の試作段階では、ノイズの混入やレイアウトの不備による問題が生じることがあり、そのため保護回路がコントローラをラッチオフする可能性があります。この機能を無効にすると、回路やPCレイアウトのトラブルシューティングを行うことができます。内部のフォールドバック電流制限は有効のままなので、電源システムを障害から保護します。フォールドバック電流制限だけに頼るか、またはプルアップ抵抗を除去してラッチオフ機能をイネーブルするかどうかは、設計が完了した後で決定することができます。

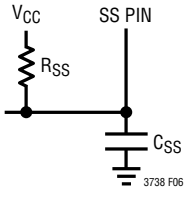


図6. 過電流ラッチオフを無効にする回路

ソフトスタート・コンデンサC_{SS}の値は、出力電流、出力容量、および負荷電流特性に応じて変更する必要があるかもしれません。最小ソフトスタート容量は次式で求められます。

$$C_{SS} > (C_{OUT})(V_{OUT})(10^{-4})(R_{SENSE})$$

ほとんどのアプリケーションでは、C_{SS} = 0.1μFの最小推奨ソフトスタート・コンデンサで十分です。

電流のフォールドバック

アプリケーションによっては、内部電流フォールドバック機能を無効にする方が望ましい場合があります。スイッチング・レギュレータに電源を供給するときには、負のインピーダンスが生じます。つまり、入力電流はV_{IN}が低くなると増加し、V_{IN}が高くなると減少します。電流フォールドバックは、電圧の上昇に従い電流が増加する通常の抵抗性負荷に対応するように設計されています。デバイスがピーク電流レベルを「フォールドバック」するのを防ぐため、EAINピンを公称動作レベル0.6Vより62.5%(つまり0.375V)上に意図的に維持する必要があります。推奨回路を図7に示します。

V_{OUT}が存在しないとき、Q1のエミッタはEAINピンを内部検知回路がピーク出力電流を減らすのを防ぐ電圧に保ちます。この方法でフォールドバック電流機能を除去すると、外付けMOSFETの短絡状態での保護機能が無効になります。また、この手法は短絡ラッチオフ機能が短絡発生時にデバイスをオフするのを防ぎ、出力電流はN • 75mV/R_{SENSE}に制限されるだけです。

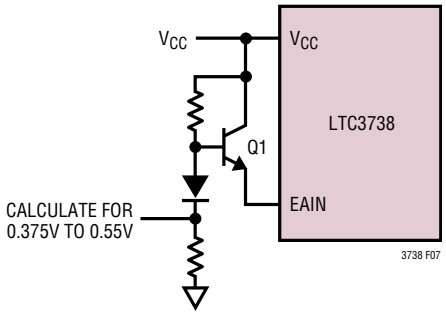


図7. フォールドバック電流除去

アプリケーション情報

低電圧リセット

デバイスの入力電源(V_{CC})が4Vを下回ると、SSコンデンサがグランドに放電し、コントローラがシャットダウンします。V_{CC}が4Vを超えると、SSコンデンサが再充電可能になり、新たなソフトスタート・ターンオンの試行を開始します。この機能は、ダイオード接続されていない2つの電源を切り換えるアプリケーションには有用かもしれませんが、結果として生じる安定化出力の中断を補うことはできないことに注意してください。

フェーズロック・ループと周波数同期

このデバイスは、電圧制御発振器と位相検出器で構成されるフェーズロック・ループを内蔵しています。これにより、出力段1のトップMOSFETのターンオンを、外部ソースの立ち上がりエッジにロックすることができます。電圧制御発振器の周波数範囲は中心周波数f_Oの±50%です。PLLFLTRピンに印加される1.2Vの電圧は約350kHzの周波数に相当します。このデバイスの公称動作周波数範囲は210kHz～530kHzです。

使用されている位相検出器はエッジに反応するデジタル・タイプで、外部発振器と内部発振器の位相のずれをゼロ度にします。このタイプの位相検出器は、内部発振器を入力周波数の高調波にはロックしません。PLLのホールドイン範囲(Δf_H)はキャプチャ範囲(Δf_C)と等しくなります。

$$\Delta f_H = \Delta f_C = \pm 0.5\ f_O$$

位相検出器の出力は、PLLFLTRピンに接続された外付けフィルタ部品を充放電する1対の相補型電流源です。簡略化したブロック図を図8に示します。

外部周波数(f_{PLLIN})が発振周波数f_{OSC}より高いと、電流が連続的にソースされ、PLLFLTRピンがプルアップされます。外部周波数がf_{OSC}より低いときは、電流が連続的にシンクされ、PLLFLTRピンがプルダウンされます。外部周波数と内部周波数が同じでも位相が異なると、位相差に対応した時間だけ電流源がオンします。このように、PLLFLTRピンの電圧は外部発振器と内部発振器の位相と周波数が等しくなるまで調整されます。この安定した動作点では位相コンパレータの出力はオープンになり、

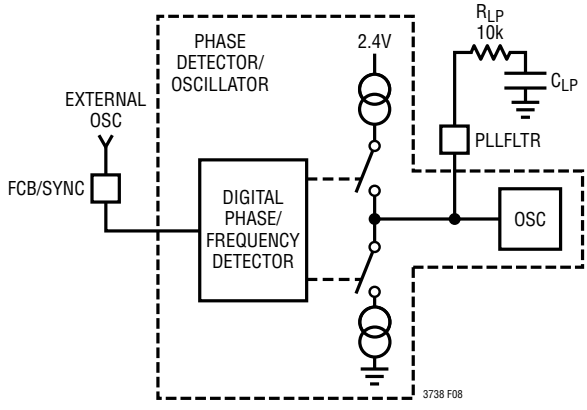


図8. フェーズロック・ループのブロック図

フィルタ・コンデンサC_{LP}がその電圧を保持します。このデバイスのFCB/SYNCピンは、ピンの近くに配置されたロジック・ゲートなどの低インピーダンスのソースからドライブする必要があります。フェーズロック・システムに複数のデバイスを使用するときには、スレーブ発振器がマスタ発振器の周波数に確実にロックできる電圧でマスタ発振器のPLLFLTRピンをバイアスしなければなりません。この要件を満たすため、1.7V以下の電圧をマスタ発振器のPLLFLTRピンに印加することを推奨します。1.7Vを印加したときの動作周波数は約500kHzになります。

ループ・フィルタ部品(C_{LP}、R_{LP})により位相検出器からの電流パルスが平滑され、電圧制御発振器に安定した入力が供給されます。フィルタ部品のC_{LP}とR_{LP}によって、ループがロックする速度が決定されます。一般に、R_{LP} =10k、C_{LP}の範囲は0.01μF～0.1μFです。

最小オン時間に関する検討事項

最小オン時間$t_{ON(MIN)}$は、デバイスがトップMOSFETをオンすることができる最小時間です。これは内部タイミング遅延とトップMOSFETのゲート電荷の量によって決まります。デューティ・サイクルが低いアプリケーションでは、この最小オン時間の制限値に接近する可能性があるので、次の条件を満たすように注意が必要です。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN}(f)}$$

アプリケーション情報

デューティ・サイクルが最小オン時間で対応可能な値を下回ると、デバイスは1サイクルおきのスキップを開始するので、動作周波数が半分になります。出力電圧は引き続き安定化されますが、リップル電流とリップル電圧は上昇します。

このデバイスの最小オン時間は標準で約120nsです。ただし、ピーク・センス電圧が低下するにつれて、最小オン時間は徐々に増加します。これは、軽負荷でリップル電流が小さい強制連続アプリケーションでは特に懸念される点です。この状況でデューティ・サイクルが最小オン時間の制限値を下回ると、相応する大きな電流および電圧リップルを伴う過大なサイクル・スキップが発生するおそれがあります。

アプリケーションが最小オン時間の制限値付近で動作する可能性がある場合、最小オン時間の要件を満たすのに十分なリップル振幅を実現できる低い値のインダクタを選択しなければなりません。原則として、インダクタ・リップル電流は、$V_{IN(MAX)}$で$I_{OUT(MAX)}$の30%以上を保持してください。

効率に関する検討事項

スイッチング・レギュレータのパーセント効率は、出力電力÷入力電力×100%に等しくなります。

個々の損失を解析して、効率を制限する要素がどれであり、また何が変化すれば最も効率が改善されるかを判断できる場合がよくあります。効率のパーセント値は次式で表すことができます。

$$\%効率 = 100\% - (L1 + L2 + L3 + ...)$$

ここで、L1、L2などは入力電力に対するパーセンテージで表される個々の損失です。

過渡応答のチェック

レギュレータのループ応答は、負荷過渡応答を見てチェックすることができます。スイッチング・レギュレータは、DC(抵抗性)負荷電流のステップに応答するのに数サイクルを要します。負荷ステップが発生すると、V_{OUT}が$\Delta I_{LOAD} \bullet ESR$に等しい量だけシフトします。ここで、ESRは$C_{OUT}$の等価直列抵抗です。また、$\Delta I_{LOAD}$により$C_{OUT}$の充放電が始まって帰還誤差信号を発生し、レギュレータを電流変化に適応させてV_{OUT}を定常値に回復させます。この回復期間に、安定性に問題があることを示す過度のオーバーシュートやリンギングが発生しないか、V_{OUT}をモニタして確認することができます。**I_{TH}ピンにより制御ループ動作を最適化できるだけでなく、DC結合およびACフィルタされた閉ループ応答テスト・ポイントも提供されます。このテスト・ポイントでのDCステップ、立ち上がり時間、およびセトリングは、真に閉ループ応答を反映するものです。**2次特性が支配的なシステムを想定すれば、位相マージンや減衰係数はこのピンで見られるオーバーシュートのパーセンテージを使って推定することができます。このピンの立ち上がり時間を調べることにより、帯域幅も推定できます。図1の回路に示すI_{TH}ピンの外付け部品は、ほとんどのアプリケーションにおいて妥当な出発点となります。

I_{TH}の直列R_C-C_Cフィルタにより、支配的なポールゼロ・ループ補償が設定されます。これらの値は、プリント基板の最終的なレイアウトを完了し、特定の出力コンデンサの種類と容量値を決定した後で、過渡応答を最大にするために多少は(推奨値の0.2～5倍)変更することができます。出力コンデンサのさまざまな種類と値によってループの帰還係数の利得と位相が決まるので、まず出力コンデンサを決定する必要があります。立ち上がり時間が2μsより短い全負荷電流の20%～80%の出力電流パルスによって出力電圧波形とI_{TH}ピンの波形を発生し、それにより、帰還ループを開くことなく全体的なループの安定性を判断することができます。出力電流のステップ変化によって生じる初期出力電圧ステップは帰還ループの帯域幅内にない場合があるため、位相マージンを決定するのにこの信号を使用することはできません。帰還ループにあり、フィルタされ補償された制御ループ応答であるI_{TH}ピン信号を調べる方が良いのは、このためです。ループの利得はR_Cを大きくすると増加し、ループの帯域幅はC_Cを小さくすると拡大します。C_Cを減少させるのと同じ比率でR_Cを増加させるとゼロ周波数は変化しないので、帰還ループの最も重要な周波数範囲で同位相に保たれます。出力電圧のセトリング動作は閉ループ・システムの安定性に関係し、電源の実際の全体的性能を表します。

次に、大容量(>1μF)の電源バイパス・コンデンサを備えた負荷でスイッチングすると、さらに激しい過渡が発生します。放電したバイパス・コンデンサが実質的にC_{OUT}と並列になるため、V_{OUT}の電圧が急速に降下します。

アプリケーション情報

負荷のスイッチ抵抗が小さく、しかも瞬間的にドライブされると、どんなレギュレータでもこの出力電圧の急激なステップ変化を防止できるほど素早く電流供給を変えることはできません。C_{LOAD}がC_{OUT}の2%より大きい場合は、スイッチの立ち上がり時間を制御して、負荷の立ち上がり時間を約1000 • R_{SENSE} • C_{LOAD}に制限しなければなりません。したがって、250μFのコンデンサと2mΩのR_{SENSE}抵抗では500μsの立ち上がり時間が必要となり、充電電流は約1Aに制限されます。

設計例(3フェーズを使用)

設計例として、V_{IN} = 12V(公称)、V_{IN} = 20V(最大)、V_{OUT} = 1.3V、I_{MAX} = 45A、f = 400kHz、そして、AVPスロープを1mV/Aと仮定します。まず、30%のリップル電流を仮定し、これに基づいてインダクタンス値を選択します。各出力段のリップル電流の最大値は最大入力電圧で発生します。

$$L = \frac{V_{OUT}}{f(\Delta I)}\left(1-\frac{V_{OUT}}{V_{IN}}\right) = \frac{1.3V}{(400kHz)(30\%)(15A)}\left(1-\frac{1.3V}{20V}\right) \geq 0.68\mu H$$

一般に使用可能な値であるL = 0.6μHを使用すると、34%のリップル電流が得られます。3つの段が並列に動作する場合のワーストケース出力リップルは、ピーク出力電流の11%以下になります。

R_{SENSE1}、R_{SENSE2}、R_{SENSE3}は、65mVという控えめな最大センス電流スレッショルドを使用し、リップル電流の半分を考慮して計算することができます。

$$R_{SENSE} = \frac{65mV}{15A\left(1+\frac{34\%}{2}\right)} = 0.0037\Omega$$

一般に使用可能な0.003Ωセンス抵抗を使用してください。

R_{AVP}に推奨値100Ωを選択すると、R_{PREAVP}は次のようになります。

$$R_{PREAVP} = 0.003\Omega\frac{100\Omega}{1mV/A} = 300\Omega$$

次に、最小オン時間に違反していないことを確認します。最小オン時間は、次式のように最大V_{CC}時に発生します。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN(MAX)}(f)} = \frac{1.3V}{20V(400kHz)} = 162ns$$

出力電圧は表1のVIDコードにより設定されます。

トップサイドMOSFETの消費電力は概算できます。例えばSiliconixのSi7390DPを使用すると、$R_{DS(ON)}$ = 13.5mΩ、C_{MILLER} = 2.1nC/15V = 140pFになります。T(概算) = 50°Cのときの最大入力電圧では、次のようになります。

$$P_{MAIN} \approx \frac{1.3V}{20V}(15)^2\left[1+(0.005)(50°C-25°C)\right] 0.0135\Omega + (20)^2\left(\frac{45A}{(2)(3)}\right)(2\Omega)(140pF) \left(\frac{1}{5V-1.8V}+\frac{1}{1.8V}\right)(400kHz) = 0.51W$$

ボトムサイドMOSFETにSiliconixのSi7356DPを使用しています。

高い周囲温度および推定50°Cの接合部温度上昇時の通常動作条件での同期MOSFETのワーストケースの消費電力は次のようになります。

$$P_{SYNC} = \frac{20V-1.3V}{20V}(15A)^2(1.25)(0.004\Omega) = 1.05W$$

グランドへの短絡によって、次のようなフォールドバック電流が流れます。

$$I_{SC} \approx \frac{25mV}{(2+3)m\Omega} + \frac{1}{2}\left(\frac{150ns(20V)}{0.6\mu H}\right) = 7.5A$$

ここで、$R_{DS(ON)}$は標準値、またd = (0.005/°C)(50°C) = 0.25です。ボトムMOSFETでの電力消費は次のようになります。

$$P_{SYNC} = (7.5A)^2(1.25)(0.004\Omega) \approx 0.28W$$

これは、通常の全負荷状態での値の3分の1以下です。なお、負荷はこれ以上電力を消費しないので、システム全体の電力は90%以上減少します。したがって、短絡時でもシステムは実際にはかなり温度が下がります。

アプリケーション情報

PCボード・レイアウトのチェックリスト

PCボードをレイアウトするときは、以下のチェックリストを使用してデバイスが正しく動作するようにします。これらの項目は図9のレイアウト図にもイラストで示してあります。PCボードのレイアウトでは以下の項目をチェックしてください。

1)信号グランドの経路とパワー・グランドの経路が分離されていますか？SGNDをプリント回路の経路の一端に保つことにより、MOSFETの電流がデバイスの下を流れるのを防止します。デバイスの信号グランドピンを使用してデバイスの片側にすべての制御回路を接続し、銅をSGNDを通して配線し、パッケージの影にあたる部分をカバーするデバイスの下を通し、PGNDピンに接続してから、C_{IN}とC_{OUT}の(−)プレートまで伸ばします。V_{CC}のデカップリング・コンデンサをデバイスに隣接させてV_{CC}ピンとPGNDピンの間に配置します。X7RまたはX5Rタイプの1μFセラミック・コンデンサは十分小さいのでデバイスにぴったりと合い、ボトムMOSFETをドライブする大きな電流パルスの悪影響を最小限に抑えます。デバイス内部の電源を安定化させておくため、5μF〜10μFのセラミック、タンタル、またはその他のESRが極めて低いコンデンサを追加することを推奨します。ボトムNチャネルMOSFETのソース、ショットキー・ダイオードのアノード、およびC_{IN}の(−)プレートに戻る電源グランドは、リードをできるだけ短くする必要があります。

2)デバイスのIN^+ピンは、C_{OUT}の(＋)プレートに接続されていますか？DIFFOUTピンとEAINピン間の30pF〜300pFのフィードフォワード・コンデンサは、デバイスにできるだけ近づけて配置する必要があります。

3)各チャネルの$SENSE^-$と$SENSE^+$のプリント回路トレースは、最小のPCトレース間隔で一緒に配線されていますか？各チャネルの$SENSE^-$と$SENSE^+$間のフィルタ・コンデンサは、デバイスのピンにできるだけ近づけて配置する必要があります。図10に示すように、$SENSE^-$ピンと$SENSE^+$ピンはセンス抵抗のパッドに接続してください。

4)C_{IN}の(＋)プレートはトップサイドMOSFETのドレインにできるだけ近づけて接続されていますか？このコンデンサはMOSFETにパルス電流を供給します。

5)スイッチング・ノードであるSWITCH、BOOST、およびTGは敏感な小信号ノードから遠ざけてください。理想的には、SWITCH、BOOST、およびTGのプリント回路トレースはデバイスおよびデバイスの「静かな」側から離して配線する必要があります。

6)I_{TH}ピンとSGNDピン間のフィルタ・コンデンサは、デバイスのピンにできるだけ近づけて配置する必要があります。

3フェーズ・スイッチング・レギュレータの全分岐電流を図9に示します。大きなスイッチング電流の経路を物理的に小さなサイズに保つことが重要な理由は、電流波形を調べれば非常に明確になります。強い電磁界が、まさに無線局が信号を送信するようにこれらの「ループ」から放射されます。出力コンデンサのグランドは入力コンデンサの負端子に戻り、どのスイッチ電流経路とも共通グランド経路を共有しないようにします。回路の左半分は、スイッチング・レギュレータによって生成される「ノイズ」の発生源になります。非常に大きなスイッチ電流が存在するので、同期MOSFETとショットキー・ダイオードのグランド終端は、絶縁された短いPCトレースを使って入力コンデンサのボトム・プレートに戻します。デバイスの電源グランド・ピン(PGND)での接続には、入力コンデンサと出力コンデンサのボトム・プレートから分離・絶縁された経路を使用します。この手法により、大電流パルスによって生成される本来の信号は、スイッチング・レギュレータの全周期で有限のインピーダンスを持つ別の電流経路を取り続けます。外部OPTI-LOOP補償は最適化されていないPCレイアウトには過補償となり、この設計手順は推奨できません。

3フェーズ・コントローラが入力と出力両方のRMSリップル電流を低減する方法の簡単な視覚的説明

マルチフェーズ電源設計には、入力および出力コンデンサ両方のリップル電流の量を大幅に低減する効果があります。RMS入力リップル電流は使用される位相数で除算され、実効リップル周波数は使用される位相数で乗算されます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。出力リップル振幅も使用される位相数だけ減少し、実効リップル周波数も使用される位相数だけ増加します。図11にこの原理を示します。

アプリケーション情報

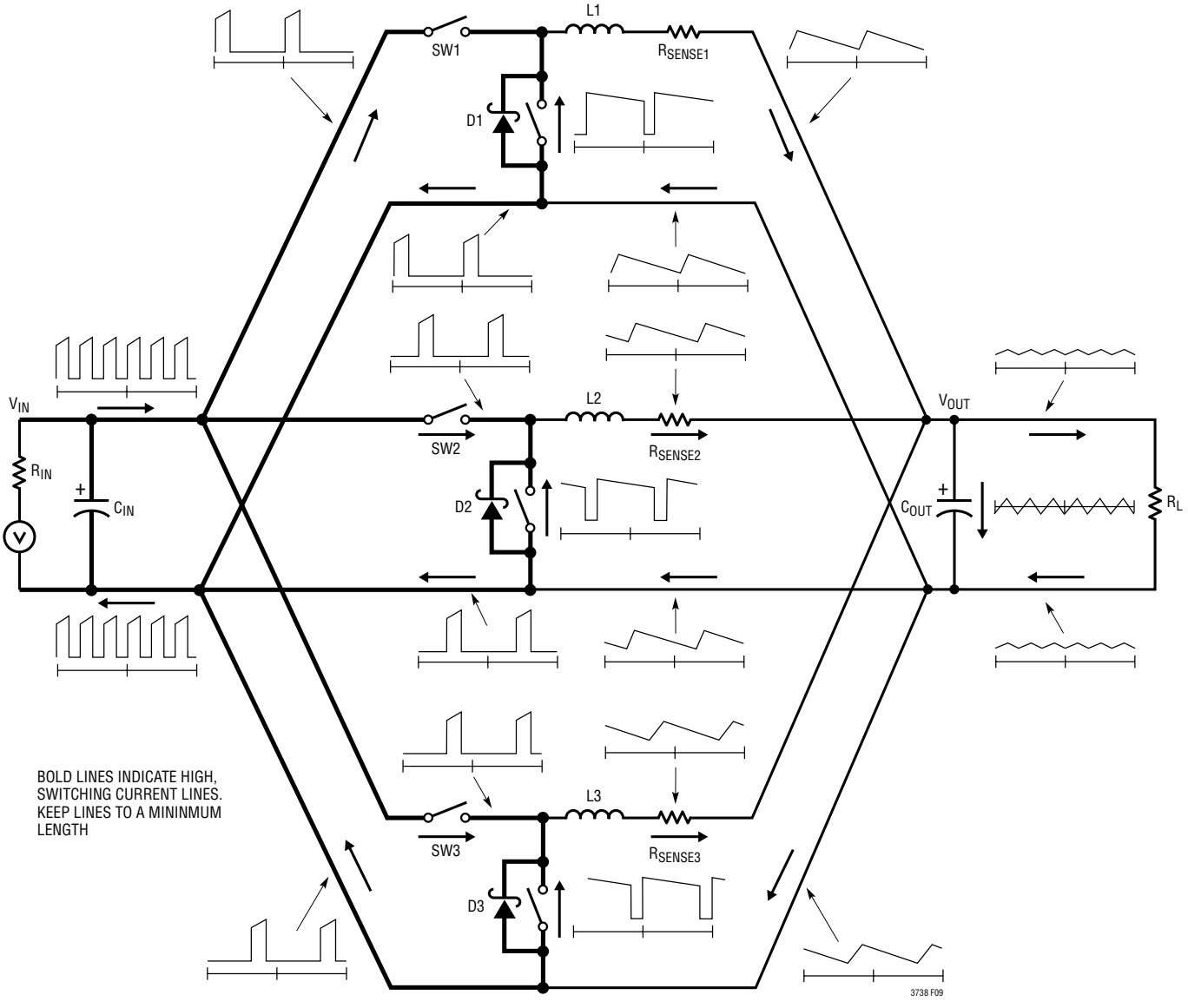


図9. 分岐電流波形

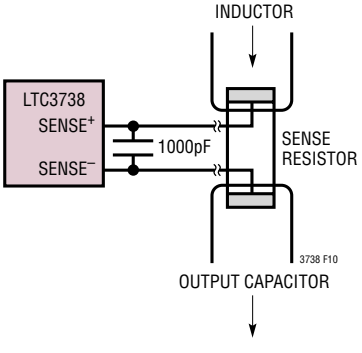


図10. ケルビン・センスR_{SENSE}

アプリケーション情報

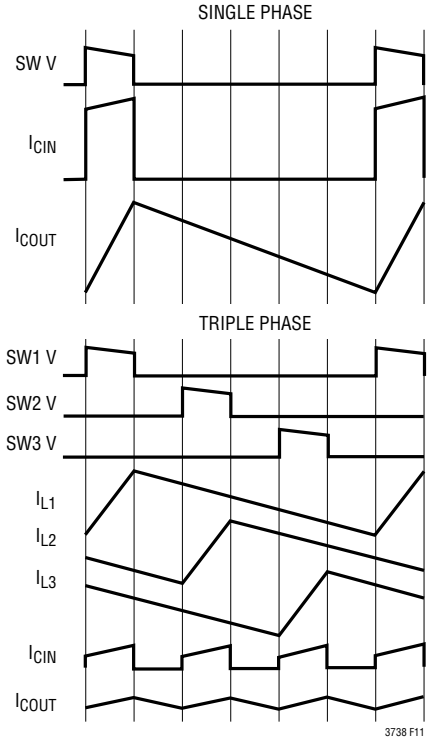


図11. 1フェーズとPolyphaseの電流波形

1段の設計におけるワーストケースの入力RMSリップル電流は、出力電圧の2倍の電圧でピークに達します。2段の設計におけるワーストケースの入力RMSリップル電流は、入力電圧の1/4と3/4の電圧でピークに達します。また、3段の設計におけるワーストケースの入力RMSリップル電流は、入力電圧の1/6、1/2、および5/6の電圧でピークに達します。ただし、ピークは位相数が増すに従いさらにレベルが低下します。各段での電流が平衡している限りデューティ・ファクタが「増加」し、より高い実効デューティ・ファクタが得られます。1段のスイッチング・レギュレータのRMS電流の計算方法の詳しい説明については、AN19を参照してください。

入力コンデンサから流れるRMS入力電流と、入出力の電圧比で決まるデューティ・サイクルを図5に示します。1フェーズ・システムのピーク入力RMS電流レベルは、3フェーズ方式では電流が3段の間で分けられるので、3分の2だけ減少します。

出力リップル電流は、同じインダクタンス値を使用した1フェーズ・ソリューションと比べて大幅に低減されます。これは、トップMOSFETがオンしている段の $(V_{CC} - V_{OUT})/L$ の充電電流から、ボトムMOSFETがオンしている段の V_{OUT}/L の放電電流の項が差し引かれるためです。3フェーズ設計の出力リップル電流は次のようになります。

$$I_{P-P} = \frac{V_{OUT}}{(f)(L)}(1-3DC) \quad V_{IN} > 3V_{OUT}$$

図3に示すように、リップル周波数も3倍に増加し、$V_{CC} < 3V_{OUT}$ のとき必要な出力容量がさらに低減されます。

効率の計算

効率を推定するのに、DC損失の項として、入出力コンデンサのESR、各MOSFETの $R_{DS(ON)}$、インダクタ抵抗 R_L、センス抵抗 R_{SENSE}、および動作出力電流と温度でのショットキー整流器の順方向電圧降下が含まれます。このデータシートで前述した設計例の標準値は以下のとおりです。

メインMOSFETの $R_{DS(ON)}$ = 13.5mΩ（90℃で18mΩ）

同期MOSFETの $R_{DS(ON)}$ = 4mΩ（90℃で5.3mΩ）

C_{INESR} = 20mΩ

C_{OUTESR} = 3mΩ

R_L = 2mΩ

R_{SENSE} = 3mΩ

$V_{SCHOTTKY}$ = 15Aで0.8V (90℃で0.7V)

V_{OUT} = 1.3V

V_{IN} = 12V

I_{MAX} = 45A

δ = 0.5%°C

N = 3

f = 400kHz

デューティ・ファクタが V_{OUT}/V_{IN} のあいだメインMOSFETがオンし、残りの時間、つまり $(1 - V_{OUT}/V_{IN})$ のあいだ同期MOSFETがオンします。リップル電流が小さい場合、高品質のインダクタを選択すると、インダクタのAC損失を小さくできます。計算を簡単にするため、平均電流 I_{OUT} を使用します。

アプリケーション情報

以下の式は正確ではありませんが、選択部品を比較するには十分な手法で、最終適用値の10%～20%以内の結果が得られます。標準的な性能に不慣れな場合、MOSFETのダイ温度を求めるのに反復計算が必要になることがあります。信頼性の高いアプリケーションでは、MOSFETの最大動作接合部温度が90℃～100℃であることを推奨します。

共通出力経路のDC損失は次のようになります。

$$P_{COMPATH} \approx N\left(\frac{I_{MAX}}{N}\right)^2 (R_L + R_{SENSE}) + C_{OUTESR}\ Loss$$

これにより、損失の合計は3.375W＋C_{OUTESR} Lossになります。

3つのメインMOSFETすべてのDC損失の合計は次のようになります。

$$P_{MAIN} = N\left(\frac{V_{OUT}}{V_{IN}}\right)\left(\frac{I_{MAX}}{N}\right)^2 (1+\delta)R_{DS(ON)} + C_{INESR}\ Loss$$

これにより、損失の合計は1.3W＋C_{INESR} Lossになります。

3つの同期MOSFETすべてのDC損失の合計は次のようになります。

$$P_{SYNC} = N\left(1-\frac{V_{OUT}}{V_{IN}}\right)\left(\frac{I_{MAX}}{N}\right)^2 (1+\delta)R_{DS(ON)}$$

この合計は3.2Wになります。

3つのメインMOSFETすべてのAC損失の合計は次のようになります。

$$P_{MAIN} \approx 3(V_{IN})^2 \frac{45A}{(2)(3)}(2\Omega)(140pF)$$
$$\left(\frac{1}{5V-1.8V}+\frac{1}{1.8V}\right)(400kHz) = 6.3W$$

この合計はV_{IN} = 8Vで0.14W、V_{IN} = 12Vで0.315W、そしてV_{IN} = 20Vで0.875Wになります。

3つの同期MOSFETすべてのAC損失の合計は次のようになります。

$$(3)Q_G \frac{V_{IN}}{V_{DSSPEC}}(f) = (3)(16nC)\frac{V_{IN}}{V_{DSSPEC}}(400kHz)$$

この合計はV_{IN} = 8Vで0.085W、V_{IN} = 12Vで0.128W、そしてV_{IN} = 20Vで0.213Wになります。ボトム・スイッチはそのドレインがグランドに近いときにオンするので、メイン・スイッチに生じるミラー容量損失の問題はボトムMOSFETには生じません。

オーバーラップしない時間を50nsと仮定すると、ショットキー整流器の損失は次のようになります。

$$2 \bullet 3(0.7V)(15A)(50ns)(400kHz)$$

この合計は1.26Wになります。

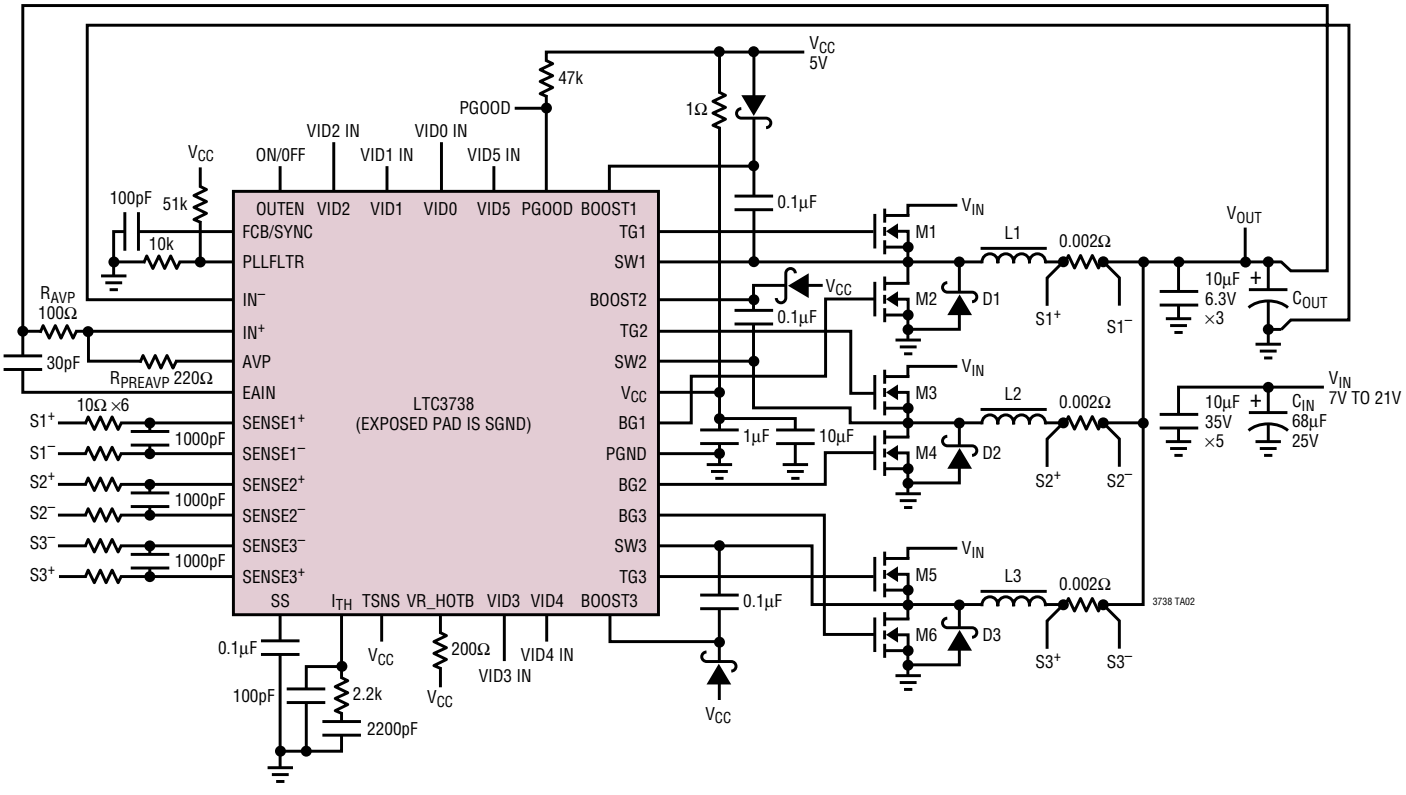
合計出力電力は(1.3V)(45A) = 58.5W、合計入力電力は約67Wとなり、各部品の%損失は以下のとおりです。

メイン・スイッチのAC損失	0.315W	0.47%
メイン・スイッチのDC損失	1.3W	1.9%
同期スイッチのAC損失	0.128W	0.2%
同期スイッチのDC損失	3.2W	4.8%
電力経路の損失	3.375W	5.05%

上の数字はV_{IN} = 12Vでの値を表します。

標準的応用例

VRM10用65A電源

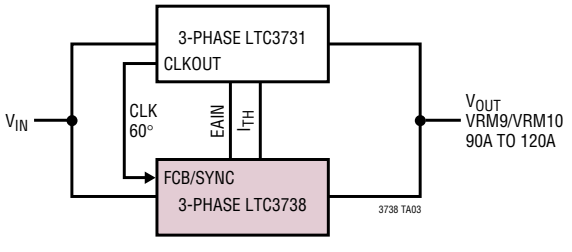


V_{IN}: 7V TO 21V
V_{OUT}: 0.8V TO 1.55V, 65A
SWITCHING FREQUENCY: 300kHz

C_{IN}: SANYO OS-CON 25SP68M
C_{OUT}: 330µF/2.5V ×10 SANYO POSCAP 2R5TPE330M9
D1 TO D3: MBRS340T3

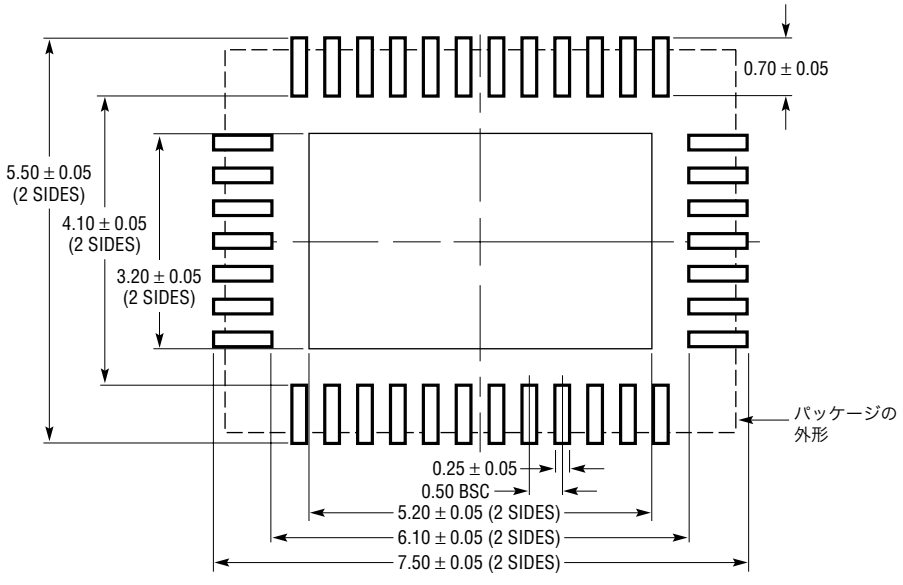
L1 TO L3: 0.6µH PULSE PG0006.601 OR TOKO FDA1055 0.56µH
M1, M3, M5: Si7390DP ×1 OR HAT2168H ×1
M2, M4, M6: Si7356DP ×2 OR HAT2165H ×2

ブロック図—6フェーズLTC3731/LTC3738電源

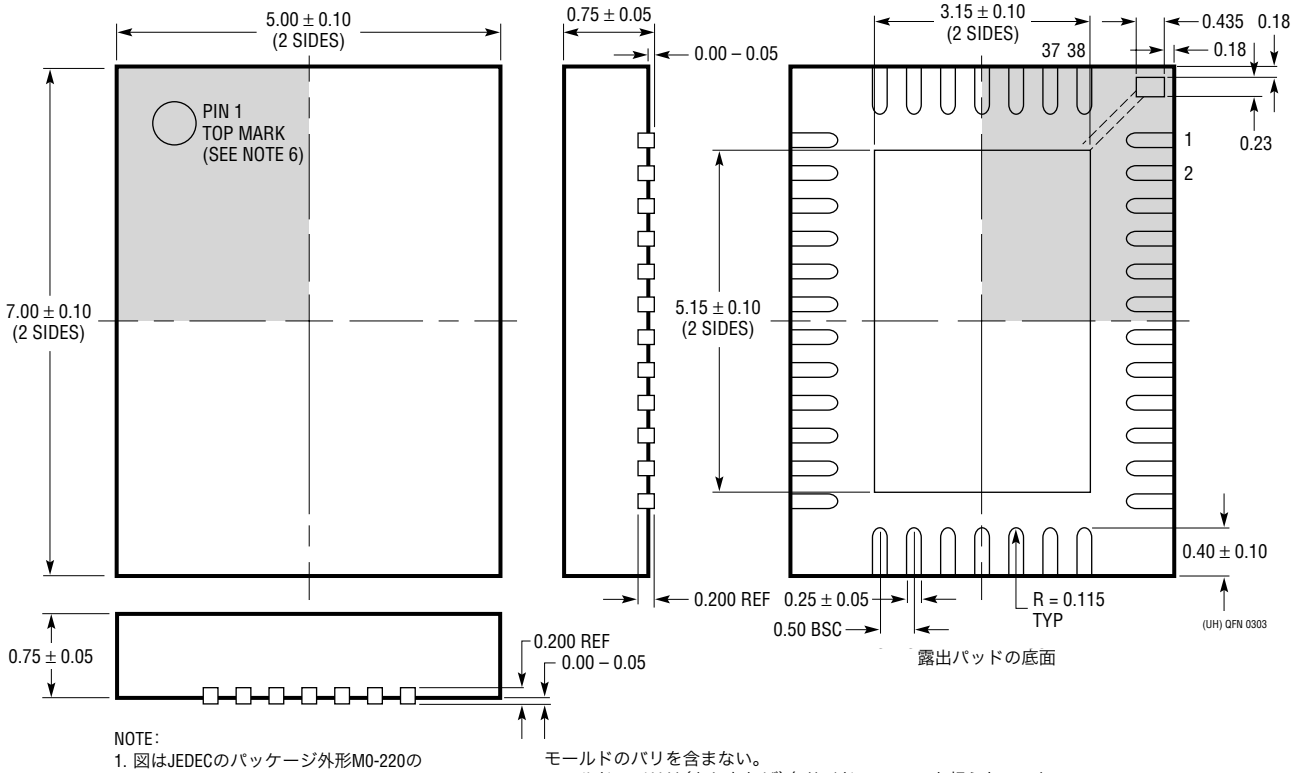


パッケージ寸法

UHFパッケージ
38ピン・プラスチックQFN（7mm×5mm）
(Reference LTC DWG # 05-08-1701)



推奨する半田パッド・レイアウト



NOTE:
1. 図はJEDECのパッケージ外形M0-220のバリエーションWHKDに適合
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

LINEAR TECHNOLOGY
リニアテクノロジー・コーポレーションがここで提供する情報は正確かつ信頼できるものと考えておりますが、その使用に関する責務は一切負いません。また、ここに記載された回路結線と既存特許とのいかなる関連についても一切関知いたしません。なお、日本語の資料はあくまでも参考資料です。訂正、変更、改版に追従していない場合があります。最終的な確認は必ず最新の英語版データシートでお願いいたします。

関連製品

製品番号	説明	注釈
LTC1628/LTC1628-PG/ LTC1628-SYNC	2フェーズ、デュアル出力同期整流式降圧DC/DCコントローラ	C_{IN}とC_{OUT}を低減、パワーグッド出力信号、同期可能、$3.5V \le V_{IN} \le 36V$、I_{OUT}：最大20A、$0.8V \le V_{OUT} \le 5V$
LTC1629/ LTC1629-PG	20A～200AのPolyPhase同期整流式コントローラ	2フェーズから12フェーズまで拡張可能、すべて表面実装型部品を使用可能、ヒートシンク不要、V_{IN}：最大36V
LTC1702	No R_{SENSE}™ 2フェーズ、デュアル同期整流式降圧コントローラ	550kHz、センス抵抗が不要
LTC1703	5ビット・モバイルVID制御付きNo R_{SENSE} 2フェーズ、デュアル同期整流式降圧コントローラ	Mobile Pentium®IIIプロセッサ、550kHz、$V_{IN} \le 7V$
LTC1708-PG	モバイル VID付き2フェーズ、デュアル同期整流式コントローラ	$3.5V \le V_{IN} \le 36V$、VIDによりV_{OUT1}を設定、PGOOD
LT®1709/LT1709-8	5ビットVID付き、高効率2フェーズ同期整流式降圧スイッチング・レギュレータ	$1.3V \le V_{OUT} \le 3.5V$、電流モードにより正確な電流分担を保証、$3.5V \le V_{IN} \le 36V$
LTC1735	高効率同期整流式降圧スイッチング・レギュレータ	出力フォールト保護、16ピンSSOP
LTC1736	5ビットMobile VID制御付き高効率同期整流式コントローラ	出力フォールト保護、24ピンSSOP、$3.5V \le V_{IN} \le 36V$
LTC1778	No R_{SENSE}電流モード同期整流式降圧コントローラ	最大97%の効率、$4V \le V_{IN} \le 36V$、$0.8V \le V_{OUT} \le (0.9)(V_{IN})$、$I_{OUT}$：最大20A
LTC1929/ LTC1929-PG	2フェーズ同期整流式コントローラ	最大42A、すべて表面実装型部品を使用可能、ヒートシンク不要、$3.5V \le V_{IN} \le 36V$
LTC3708	出力トラッキング付き2フェーズ、デュアルDC/DC同期整流式降圧コントローラ	2つ以上の電源をトラッキング、高速過渡応答、No R_{SENSE}
LTC3711	デジタル5ビット・インタフェース付きNo R_{SENSE}電流モード同期整流式降圧コントローラ	効率：最大97%、Pentium IIIプロセッサに最適、$0.925V \le V_{OUT} \le 2V$、$4V \le V_{IN} \le 36V$、$I_{OUT}$：最大20A
LTC3717	DDR/QDRメモリ終端レギュレータ	$V_{OUT}=0.5V_{IN}$、±20A、V_{OUT}精度：±0.65%
LTC3719	2フェーズ、5ビットVID電流モード、高効率同期整流式降圧コントローラ	AMD Hammer-K8プロセッサ、広いV_{IN}範囲：4V～36V動作
LTC3729	20A～200A、550kHz PolyPhase同期整流式コントローラ	2フェーズから12フェーズまで拡張可能、すべて表面実装型部品を使用可能、V_{IN}：最大36V
LTC3731	3フェーズ600kHz同期整流式降圧スイッチング・レギュレータ・コントローラ	3フェーズから12フェーズまで拡張可能、すべて表面実装型部品を使用可能、V_{IN}：最大36V
LTC3732	3フェーズ、5ビットVID、600kHz同期整流式降圧スイッチング・レギュレータ・コントローラ	VRM9.0およびVRM9.1（VID=1.1V～1.85V）
LTC3733	3フェーズ、5ビットVID、600kHz同期整流式降圧スイッチング・レギュレータ・コントローラ	AMD Opteron™（VID=0.8V～1.55V）
LTC3734	Intel IMVP-4準拠プロセッサ向け1フェーズDC/DCコントローラ	6ビットIMVP-4 VID：$0.7V \le V_{OUT} \le 1.708V$、$4V \le V_{IN} \le 30V$、$I_{OUT} \le 25A$、損失のない電圧ポジショニング
LTC3735	Pentium (Centrino) プロセッサ向け2フェーズDC/DCコントローラ	40A、$0.7V \le V_{OUT} \le 1.708V$、$4V \le V_{IN} \le 30V$

No R_{SENSE}はリニアテクノロジー社の商標です。PentiumはIntel Corporationの登録商標です。OpteronはAMDの商標です。

リニアテクノロジー株式会社
〒102-0094 東京都千代田区紀尾井町3-6秀和紀尾井町パークビル8F
TEL 03-5226-7291• FAX 03-5226-0268 • www.linear-tech.co.jp

0604 • PRINTED IN JAPAN
© LINEAR TECHNOLOGY CORPORATION 2004