

# 同期整流式デュアル・モード 位相変調 フルブリッジ・コントローラ

## 特長

- ゼロ電圧スイッチング動作を適応型  
またはマニュアルで遅延制御
- 同期整流タイミングを調整可能なので、最大効率を達成
- 最大ZVS遅延を調整可能
- システム低電圧ロックアウトとヒステリシスを調整可能
- プログラム可能な立ち上がりエッジ・ブランキング
- 非常に低い起動電流と消費電流
- 電流モード(LTC3722-1)と電圧モード(LTC3722-2)動作
- プログラム可能なスロープ補償
- V<sub>CC</sub> UVLOと25mAシャント・レギュレータ
- 50mAの出カドライバ
- ソフトスタート、サイクル毎の電流制限、  
Hiccupモード短絡保護
- 5V/15mA低損失レギュレータ
- 24ピン表面実装GNパッケージ

## アプリケーション

- テレコム、インフラストラクチャ電源システム
- 配電アーキテクチャ
- サーバ電源

## 概要

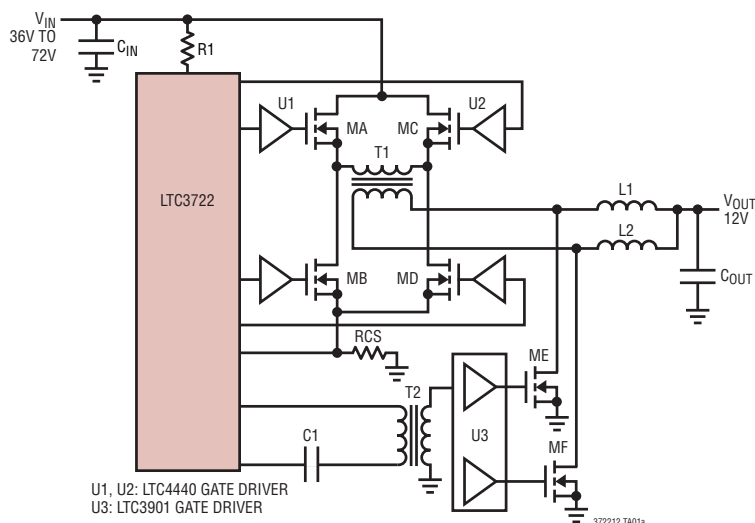
LTC<sup>®</sup>3722-1/LTC3722-2は、高効率のゼロ電圧スイッチ(ZVS)フルブリッジ・パワー・コンバータを実現するために必要なすべての制御および保護機能を提供する、位相シフトPWMコントローラです。適応型ZVS回路は、内部および外部部品の許容誤差に関係なく各MOSFETに対してターンオン信号を遅延させます。マニュアル遅延設定モードでは、スイッチ・ターンオン遅延の2次側制御または直接制御が可能です。

LTC3722-1/LTC3722-2は同期整流タイミングを調整できるので、効率を最適化できます。UVLOプログラム入力は正確なシステム・ターンオンおよびターンオフ電圧を供給します。LTC3722-1は、スロープ補償とリーディングエッジ・ブランキングをプログラム可能なピーク電流モード制御を特長としています。LTC3722-2は電圧モード制御を採用しています。

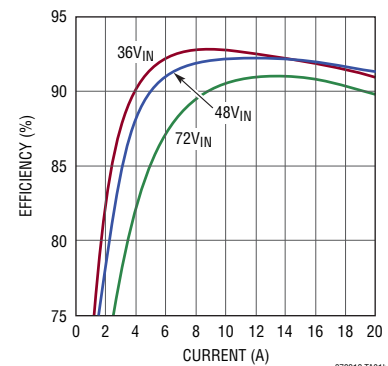
LTC3722-1/LTC3722-2は非常に少ない動作電流と起動電流を特長としています。どちらのデバイスもあらゆる保護機能を備えており、24ピン表面実装GNパッケージで供給されます。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。DirectSenseはリニアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。

## 標準的応用例



12V<sub>OUT</sub>、240Wコンバータの効率



372212fb

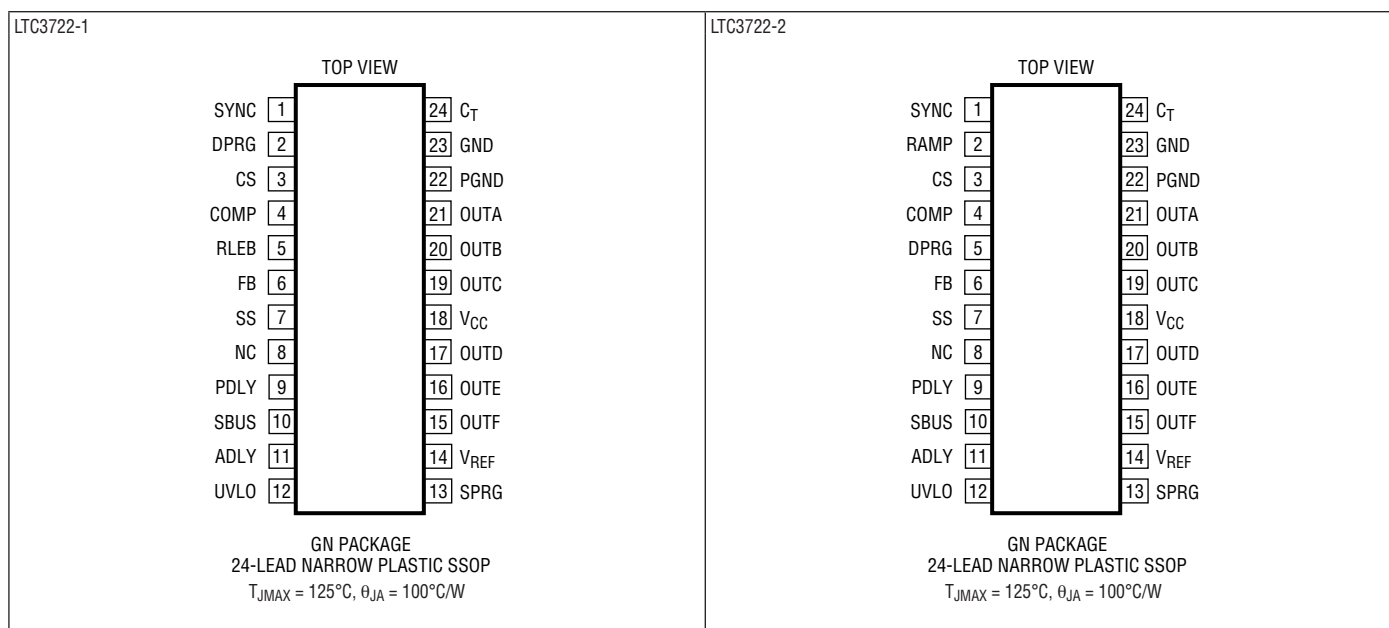
# LTC3722-1/LTC3722-2

## 絶対最大定格 (Note 1)

GNDに対するV<sub>CC</sub> (低インピーダンス・ソース) ..... -0.3~10V  
 (デバイスは10.3Vに自己安定化)  
 GNDに対するUVLO ..... -0.3~V<sub>CC</sub>  
 GNDに対する他のすべてのピン  
 (低インピーダンス・ソース) ..... -0.3~5.5V  
 V<sub>CC</sub> (供給される電流) ..... 25mA

V<sub>REF</sub>出力電流 ..... 自己安定化  
 出力 (A、B、C、D、E、F) 電流 ..... ±100mA  
 動作接合部温度範囲 (Note 6) ..... -40°C~150°C  
 保存温度範囲 ..... -65°C~150°C  
 リード温度 (半田付け、10秒) ..... 300°C

## ピン配置



## 発注情報

無鉛仕上げ	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC3722EGN-1#PBF	LTC3722EGN-1#TRPBF	LTC3722EGN-1	24-Lead Plastic SSOP	-40°C to 85°C
LTC3722EGN-2#PBF	LTC3722EGN-2#TRPBF	LTC3722EGN-2	24-Lead Plastic SSOP	-40°C to 85°C
LTC3722IGN-1#PBF	LTC3722IGN-1#TRPBF	LTC3722IGN-1	24-Lead Plastic SSOP	-40°C to 85°C
LTC3722IGN-2#PBF	LTC3722IGN-2#TRPBF	LTC3722IGN-2	24-Lead Plastic SSOP	-40°C to 85°C
LTC3722HGN-1#PBF	LTC3722HGN-1#TRPBF	LTC3722HGN-1	24-Lead Plastic SSOP	-40°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。  
 非標準の鉛仕上げの詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。  
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

## 電気的特性

●は全規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 9.5\text{V}$ 、 $C_T = 270\text{pF}$ 、 $R_{DPRG} = 60.4\text{k}$ 、 $R_{SPRG} = 100\text{k}$  (Note 6)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>Input Supply</b>							
$V_{CCUV}$	$V_{CC}$ Under Voltage Lockout	Measured on $V_{CC}$		10.25	10.5	V	
$V_{CCHY}$	$V_{CC}$ UVLO Hysteresis	Measured on $V_{CC}$	3.8	4.2		V	
$I_{CCST}$	Start-Up Current	$V_{CC} = V_{UVLO} - 0.3\text{V}$ LTC3722E-1/LTC3722I-1/LTC3722E-2/LTC3722I-2 LTC3722H-1	● ●	145 145	230 250	$\mu\text{A}$ $\mu\text{A}$	
$I_{CCRN}$	Operating Current	No Load on Outputs		5	8	mA	
$V_{SHUNT}$	Shunt Regulator Voltage	Current into $V_{CC} = 10\text{mA}$		10.3	10.8	V	
$R_{SHUNT}$	Shunt Resistance	Current into $V_{CC} = 10\text{mA}$ to $17\text{mA}$		1.1	3.5	$\Omega$	
$S_{UVLO}$	System UVLO Threshold	Measured on UVLO Pin, $10\text{mA}$ into $V_{CC}$	4.8	5.0	5.2	V	
$S_{HYST}$	System UVLO Hysteresis Current	Current Flows Out of UVLO Pin	8.5	10	11.5	$\mu\text{A}$	
<b>Delay Blocks</b>							
$D_{THR}$	Delay Pin Threshold ADLY and PDLY	SBUS = 1.5V SBUS = 2.25V	● ●	1.4 2.1	1.5 2.25	1.6 2.4	V V
$D_{HYS}$	Delay Hysteresis Current ADLY and PDLY	SBUS = 1.5V, ADLY/PDLY = 1.7V			1.3		mA
$D_{TMO}$	Delay Timeout	$R_{DPRG} = 60.4\text{k}$			100		ns
$D_{FXT}$	Fixed Delay Threshold	Measured on SBUS			4		V
$D_{FTM}$	Fixed Delay Time	SBUS = $V_{REF}$ , ADLY, PDLY = 1V			70		ns
<b>Phase Modulator</b>							
$I_{CS}$	CS Discharge Current	CS = 1V, COMP = 0V, $C_T = 4\text{V}$ , LTC3722-1 Only			50		mA
$I_{SLP}$	Slope Compensation Current	Measured on CS, $C_T = 1\text{V}$ $C_T = 2.25\text{V}$			30 68		$\mu\text{A}$ $\mu\text{A}$
$DC_{MAX}$	Maximum Phase Shift	COMP = 4.5V	●	95	98.5		%
$DC_{MIN}$	Minimum Phase Shift	COMP = 0V	●		0	0.5	%
<b>Oscillator</b>							
$OSCI$	Initial Accuracy	$T_A = 25^\circ\text{C}$ , $C_T = 270\text{pF}$		225	250	275	kHz
$OSCT$	Total Variation	$V_{CC} = 6.5\text{V}$ to $9.5\text{V}$	●	215	250	285	kHz
$OSCV$	$C_T$ Ramp Amplitude	Measured on $C_T$			2.2		V
$OSYT$	SYNC Threshold	Measured on SYNC		1.6	1.9	2.2	V
$OSYW$	Minimum SYNC Pulse Width	Measured at Outputs (Note 2)			100		ns
$OSYR$	SYNC Frequency Range	Measured at Outputs (Note 2)			1000		kHz
<b>Error Amplifier</b>							
$V_{FB}$	FB Input Voltage	COMP = 2.5V (Note 4)		1.172	1.204	1.236	V
$FBI$	FB Input Range	Measured on FB (Note 5)		-0.3		2.5	V
$A_{VOL}$	Open-Loop Gain	COMP = 1V to 3V (Note 4)		70	90		dB
$I_{IB}$	Input Bias Current	COMP = 2.5V (Note 4)			5	20	nA
$V_{OH}$	Output High	Load on COMP = $-100\mu\text{A}$		4.7	4.92		V
$V_{OL}$	Output Low	Load on COMP = $100\mu\text{A}$			0.18	0.4	V
$I_{SOURCE}$	Output Source Current	COMP = 2.5V		400	800		$\mu\text{A}$
$I_{SINK}$	Output Sink Current	COMP = 2.5V		2	5		mA

# LTC3722-1/LTC3722-2

## 電気的特性

●は全規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 9.5\text{V}$ 、 $C_T = 270\text{pF}$ 、 $R_{DPRG} = 60.4\text{k}$ 、 $R_{SPRG} = 100\text{k}$  (Note 6)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>Reference</b>						
$V_{REF}$	Initial Accuracy	$T_A = 25^\circ\text{C}$ , Measured on $V_{REF}$	4.925	5.00	5.075	V
REFLD	Load Regulation	Load on $V_{REF} = 100\mu\text{A}$ to $5\text{mA}$		2	15	mV
REFLN	Line Regulation	$V_{CC} = 6.5\text{V}$ to $9.5\text{V}$		0.9	10	mV
REFTV	Total Variation	Line, Load	● 4.900	5.000	5.100	V
REFSC	Short-Circuit Current	$V_{REF}$ Shorted to GND	18	30	45	mA

## Outputs

OUTH(x)	Output High Voltage	$I_{OUT(x)} = -50\text{mA}$	7.9	8.4		V
OUTL(x)	Output Low Voltage	$I_{OUT(x)} = 50\text{mA}$		0.6	1	V
$R_{HI(x)}$	Pull-Up Resistance	$I_{OUT(x)} = -50\text{mA}$ to $-10\text{mA}$		22	30	$\Omega$
$R_{LO(x)}$	Pull-Down Resistance	$I_{OUT(x)} = -50\text{mA}$ to $-10\text{mA}$		12	20	$\Omega$
$t_r(x)$	Rise Time	$C_{OUT(x)} = 50\text{pF}$ (Note 8)		5	15	ns
$t_f(x)$	Fall Time	$C_{OUT(x)} = 50\text{pF}$ (Note 8)		5	15	ns
SDEL	SYNC Driver Turn-Off Delay	$R_{SPRG} = 100\text{k}$		180		ns

## Current Limit and Shutdown

CLPP	Pulse by Pulse Current Limit Threshold	Measured on CS LTC3722E-1/LTC3722I-1/LTC3722E-2/LTC3722I-2 LTC3722H-1	270 270	300 300	330 340	mV mV
CLSD	Shutdown Current Limit Threshold	Measured on CS	0.55	0.65	0.73	V
CLDEL	Current Limit Delay to Output	100mV Overdrive on CS (Notes 3, 7)		80		ns
SSI	Soft-Start Current	SS = 2.5V	7	12	17	$\mu\text{A}$
SSR	Soft-Start Reset Threshold	Measured on SS	0.7	0.4	0.1	V
FLT	Fault Reset Threshold	Measured on SS	4.5	3.9	3.5	V

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** 同期振幅 =  $5V_{p-p}$ 、パルス幅 = 50ns。出力(A~F)周波数が同期周波数の1/2であることを確認してください。

**Note 3:** リーディングエッジ・ブランキング遅延を含む ( $R_{LEB} = 20\text{k}$ )。

**Note 4:** これらのテストでは、サーボループ・アンプを使用してFBをドライブし、 $V_{COMP}$ を制御する。

**Note 5:** FBを-0.3V、2.5Vに設定して、COMPが位相反転しないことを確実にしてください。

**Note 6:** LTC3722は $T_J$ が $T_A$ にほぼ等しいパルス負荷条件でテストされる。LTC3722E-1/LTC3722E-2は、 $0^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計的なプロセス・コントロールとの相関で確認されている。LTC3722I-1/LTC3722I-2は $-40^\circ\text{C} \sim 85^\circ\text{C}$ の全動作接合部温度範囲で性能仕様に適合することが保証されている。LTC3722H-1は $-40^\circ\text{C} \sim 150^\circ\text{C}$ の全動作接合部温度範囲で性能仕様に適合することが保証されている。

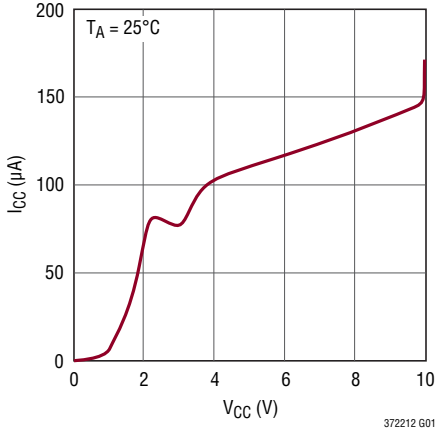
高い接合部温度は動作寿命に悪影響を及ぼす。接合部温度が $125^\circ\text{C}$ を超えると、動作寿命は短くなる。これらの仕様と調和する最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。

**Note 7:** 設計によって保証されており、製造時のテストは行われず。

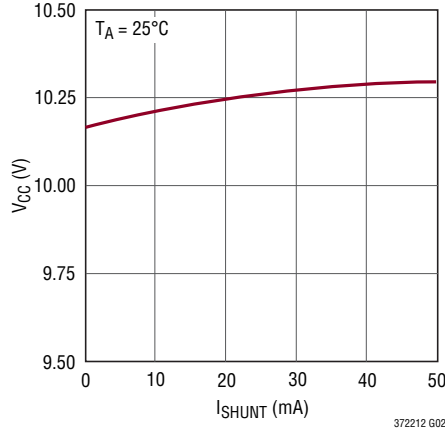
**Note 8:** 立ち上がり時間は、ドライバ出力信号の立ち上がりエッジの10%~90%のポイントで測定される。立ち下がり時間は、ドライバ出力信号の立ち下がりエッジの90%~10%のポイントで測定される。

標準的性能特性

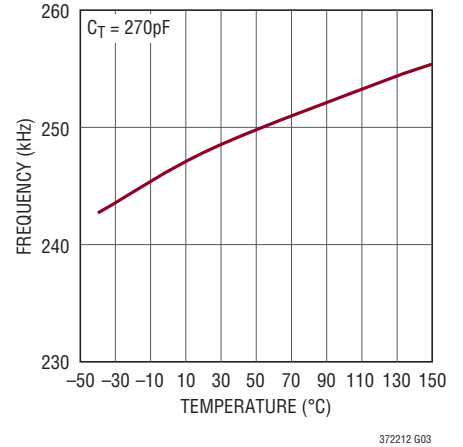
起動時 $I_{CC}$ と $V_{CC}$



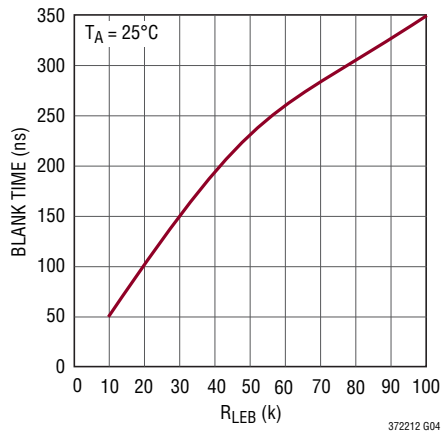
$V_{CC}$ と $I_{SHUNT}$



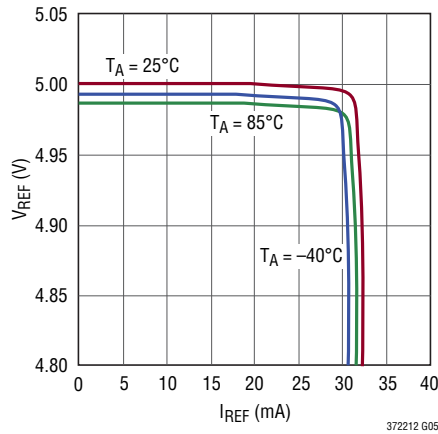
発振周波数と温度



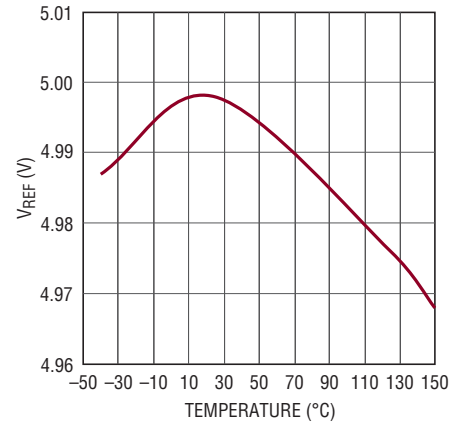
リーディングエッジ・  
ブランキング時間と $R_{LEB}$



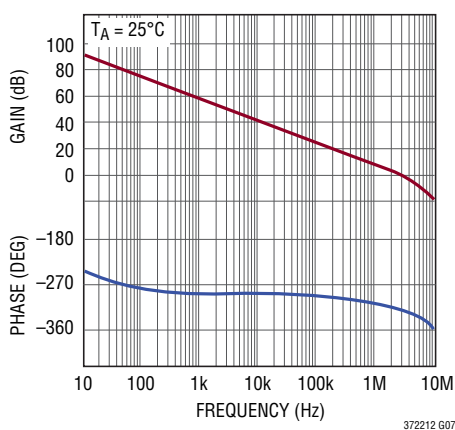
$V_{REF}$ と $I_{REF}$



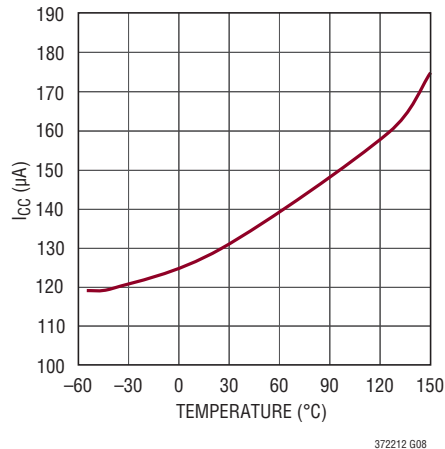
$V_{REF}$ と温度



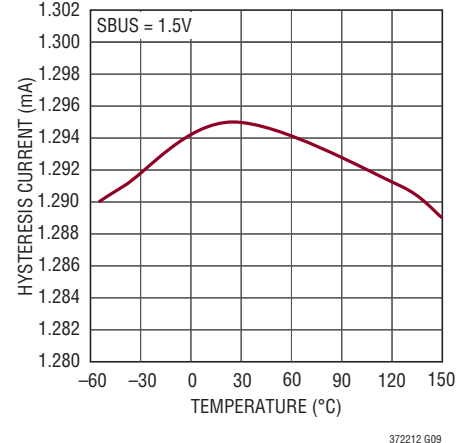
エラーアンプの利得/位相



起動時 $I_{CC}$ と温度

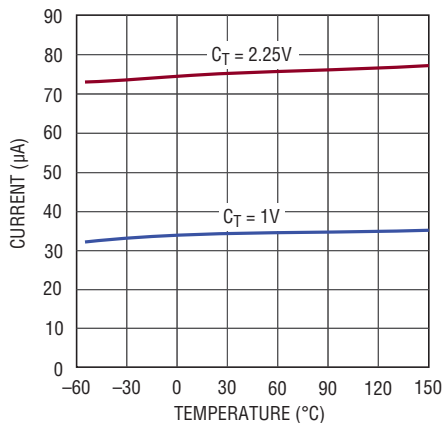


遅延ヒステリシス電流と温度



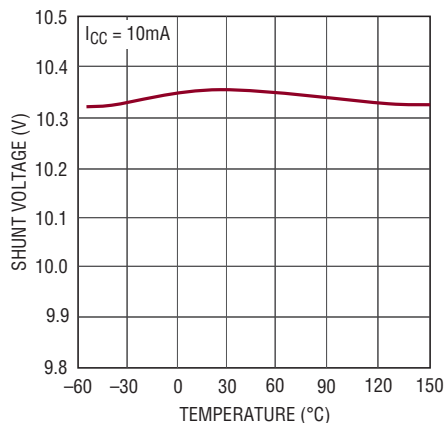
## 標準的性能特性

スローブ電流と温度



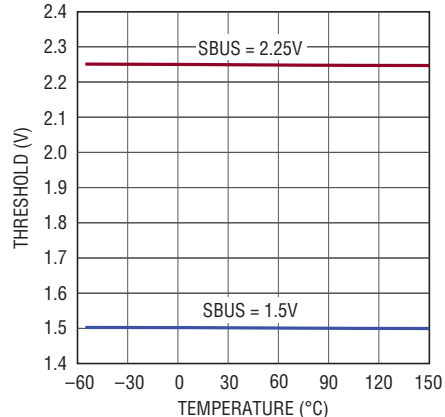
372212 G10

V<sub>CC</sub>シャント電圧と温度



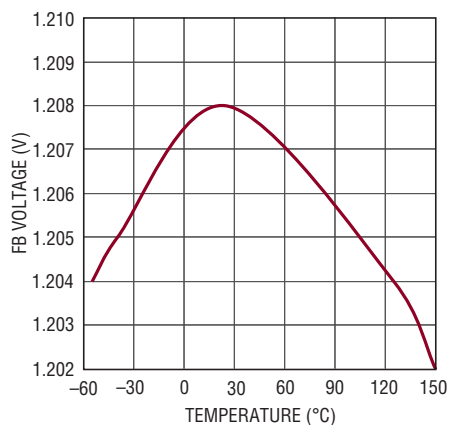
372212 G11

遅延ピンのスレッシュホールドと温度



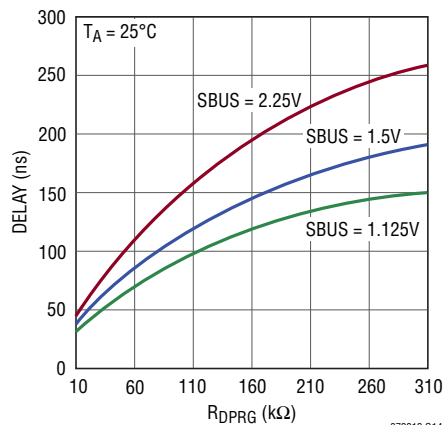
372212 G12

FB入力電圧と温度



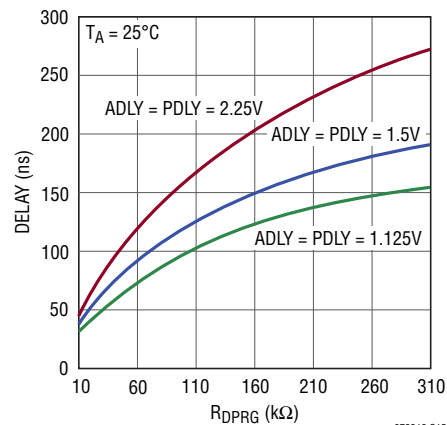
372212 G13

遅延タイムアウトとR<sub>DPRG</sub>



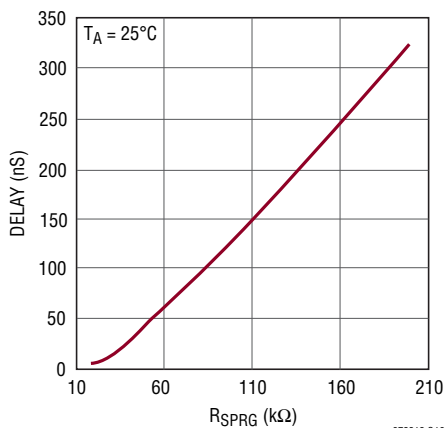
372212 G14

固定モードのZVS遅延、SBUS = 5V



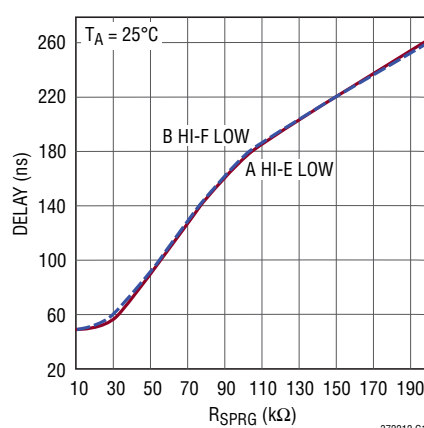
372212 G15

固定モードの同期ドライバの  
ターンオフ遅延



372212 G16

適応モードの同期ドライバの  
ターンオフ遅延、SBUS = 1.5V



372212 G17

## ピン機能 (LTC3722-1/LTC3722-2)

**SYNC (ピン1/ピン1)**: 発振器の同期入出力。SYNCの入力スレッシュホールドは約1.9Vなので、CMOSロジックとTTLロジックの両方と互換性があります。SYNCを5.1kの抵抗でGNDに終端してください。

**DPRG (ピン2/ピン5)**: デフォルト・ゼロ電圧遷移 (ZVS) 遅延のプログラム入力。DPRGから $V_{REF}$ までの間に抵抗を接続して、出力A、B、C、Dの最大ターンオン遅延を設定します。DPRGの公称電圧は2Vです。

**RAMP (NA/ピン2)**: 位相変調器コンパレータの入力 (LTC3722-2のみ)。RAMPの電圧は、内部で650mVだけレベル・シフトされます。

**CS (ピン3/ピン3)**: LTC3722-1の位相変調器入力。パルス単位電流制限コンパレータおよび過負荷電流制限コンパレータの入力、スロープ補償回路の出力。パルス単位コンパレータのスレッシュホールドは公称300mV、過負荷コンパレータのスレッシュホールドは公称650mVです。

**COMP (ピン4/ピン4)**: エラーアンプ出力、位相変調器の反転入力。

**$R_{LEB}$  (ピン5/NA)**: リーディングエッジ・ブランキングのタイミング抵抗。LTC3722-1では、10k~100kの抵抗を使用して、CSの電流センス信号のリーディングエッジ・ブランキングを40ns~310nsに設定してください。許容誤差 $\pm 1\%$ の抵抗を推奨します。LTC3722-2の固定ブランキング時間は約80nsです。

**FB (ピン6/ピン6)**: エラーアンプの反転入力。これは、LTC3722の電圧帰還入力です。FBの公称レギュレーション電圧は1.204Vです。

**SS (ピン7/ピン7)**: ソフトスタート/リスタート遅延回路のタイミング・コンデンサ。SSからGNDまでの間にコンデンサを接続すると、電流コマンド (LTC3722-1)、またはデューティ・サイクル (LTC3722-2) のランプ制御が行われます。過負荷状態の間、SSはグラウンドに放電され、ソフトスタート・サイクルが開始されます。

**NC (ピン8/ピン8)**: NC。このピンはGNDに接続してください。

**PDLY (ピン9/ピン9)**: パッシブ・レグの遅延回路入力。適応型ZVSモードでは、PDLYは電圧分割器を介してブリッジの左側レグに接続されます。固定ZVSモードでは、PDLYの0Vから2.5Vまでの電圧によってパッシブ・レグ遷移の固定ZVS遅延時間を設定します。

**SBUS (ピン10/ピン10)**: ライン電圧センス入力。適応型ZVS制御を行う場合、SBUSは抵抗電圧分割器を介してメインDC電圧源に接続されます。この電圧分割器は、公称 $V_{IN}$ でSBUSに1.5Vを生成するように設計されています。SBUSを $V_{REF}$ に接続すると、LTC3722-1/LTC3722-2は固定モードのZVS制御に設定されます。

**ADLY (ピン11/ピン11)**: アクティブ・レグの遅延回路入力。適応型ZVSモードでは、ADLYは電圧分割器を介してブリッジの右側レグに接続されます。固定ZVSモードでは、ADLYの0Vから2.5Vまでの電圧によってアクティブ・レグ遷移の固定ZVS遅延時間を設定します。

**UVLO (ピン12/ピン12)**: システムのターンオン電圧とターンオフ電圧のプログラム入力。UVLOコンパレータの公称スレッシュホールドは5Vです。UVLOは、抵抗分割器を介してメインDCシステム電源に接続されます。UVLOスレッシュホールドを超えると、LTC3722-1/LTC3722-2はソフトスタート・サイクルを開始し、UVLOから10 $\mu$ A (公称) の電流が流れ出して、必要な量のシステム・ヒステリシスを設定することができます。ヒステリシスのレベルは、分割器の抵抗を変えることによって調整することができます。

**SPRG (ピン13/ピン13)**: SPRGとGNDの間に抵抗を接続して、同期整流器のドライバ出力 (OUTEおよびOUTF) のターンオフ遅延を設定します。SPRGの公称電圧は2Vです。

**$V_{REF}$  (ピン14/ピン14)**: 5Vリファレンスの出力。 $V_{REF}$ は外部回路に最大18mAまで供給することができます。 $V_{REF}$ は、1 $\mu$ Fのセラミック・コンデンサでGNDにデカップリングする必要があります。

**OUTF (ピン15/ピン15)**: OUTBおよびOUTCに対応する同期整流器の50mAドライバ。

**OUTE (ピン16/ピン16)**: OUTAおよびOUTDに対応する同期整流器の50mAドライバ。

**OUTD (ピン17/ピン17)**: フルブリッジ・アクティブ・レグのローサイドの50mAドライバ。

**$V_{CC}$  (ピン18/ピン18)**: LTC3722-1/LTC3722-2および10.25Vシャント・レギュレータの電源電圧入力。 $V_{CC}$ が十分に上昇して $V_{CC}$ シャント・レギュレータに電流が流れ、UVLOコンパレータのスレッシュホールドを超えると、デバイスがイネーブルされます。 $V_{CC}$ シャント・レギュレータがオンすると、 $V_{CC}$ を6V (標準) まで下げても動作を維持することができます。

# LTC3722-1/LTC3722-2

## ピン機能 (LTC3722-1/LTC3722-2)

**OUTC (ピン19/ピン19)** :フルブリッジ・アクティブ・レグのハイサイドの50mAドライバ。

**OUTB (ピン20/ピン20)** :フルブリッジ・パッシブ・レグのローサイドの50mAドライバ。

**OUTA (ピン21/ピン21)** :フルブリッジ・パッシブ・レグのハイサイドの50mAドライバ。

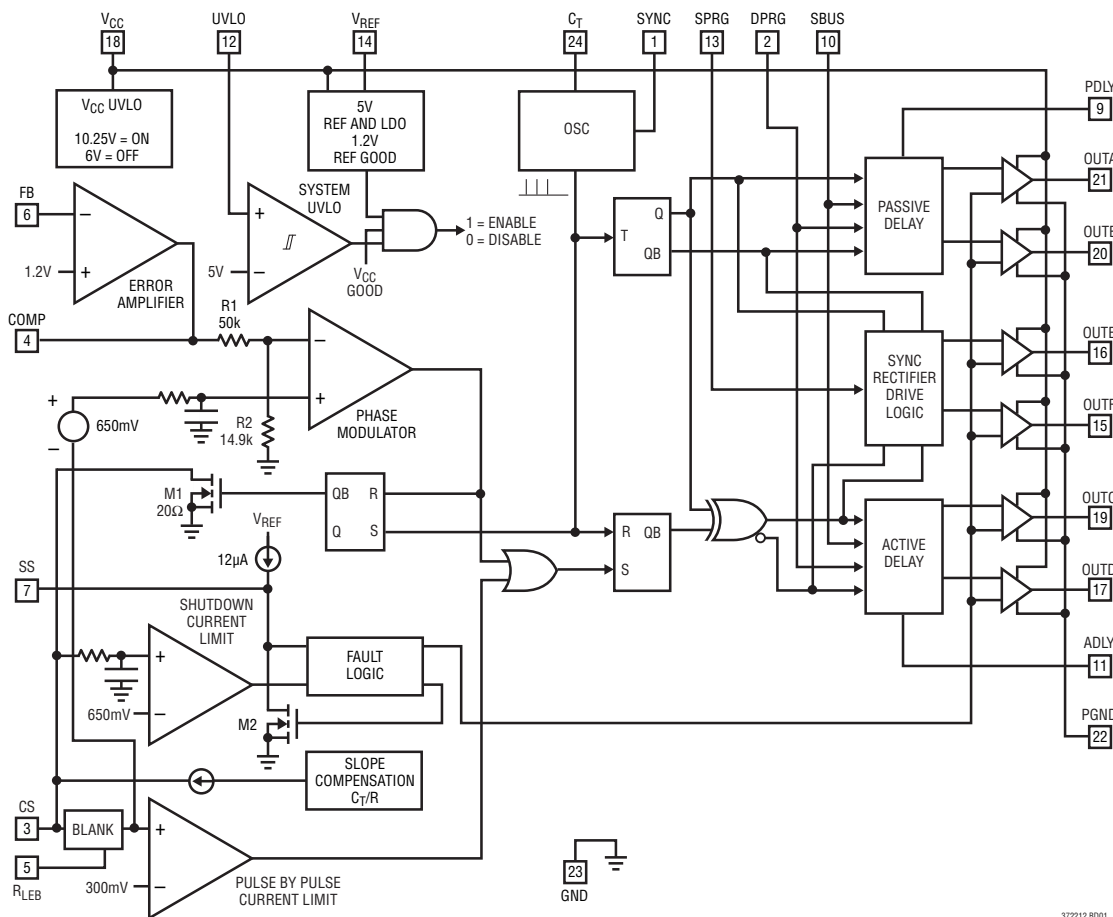
**PGND (ピン22/ピン22)** :LTC3722の電源グランド。LTC3722の出力ドライバはPGNDを基準にしています。セラミックの $V_{CC}$ バイパス・コンデンサをPGNDに直接接続してください。

**GND (ピン23/ピン23)** :LTC3722では、出力ドライバを除くすべての回路がGNDを基準にしています。グランド・プレーンを使用することを推奨しますが、不可欠ではありません。

**$C_T$  (ピン24/ピン24)** :発振器のタイミング・コンデンサ。最良の結果を得るためには、 $\pm 5\%$ 以内の低ESRセラミック・コンデンサを使用してください。

## ブロック図

LTC3722-1の電流モード同期位相シフトPWM

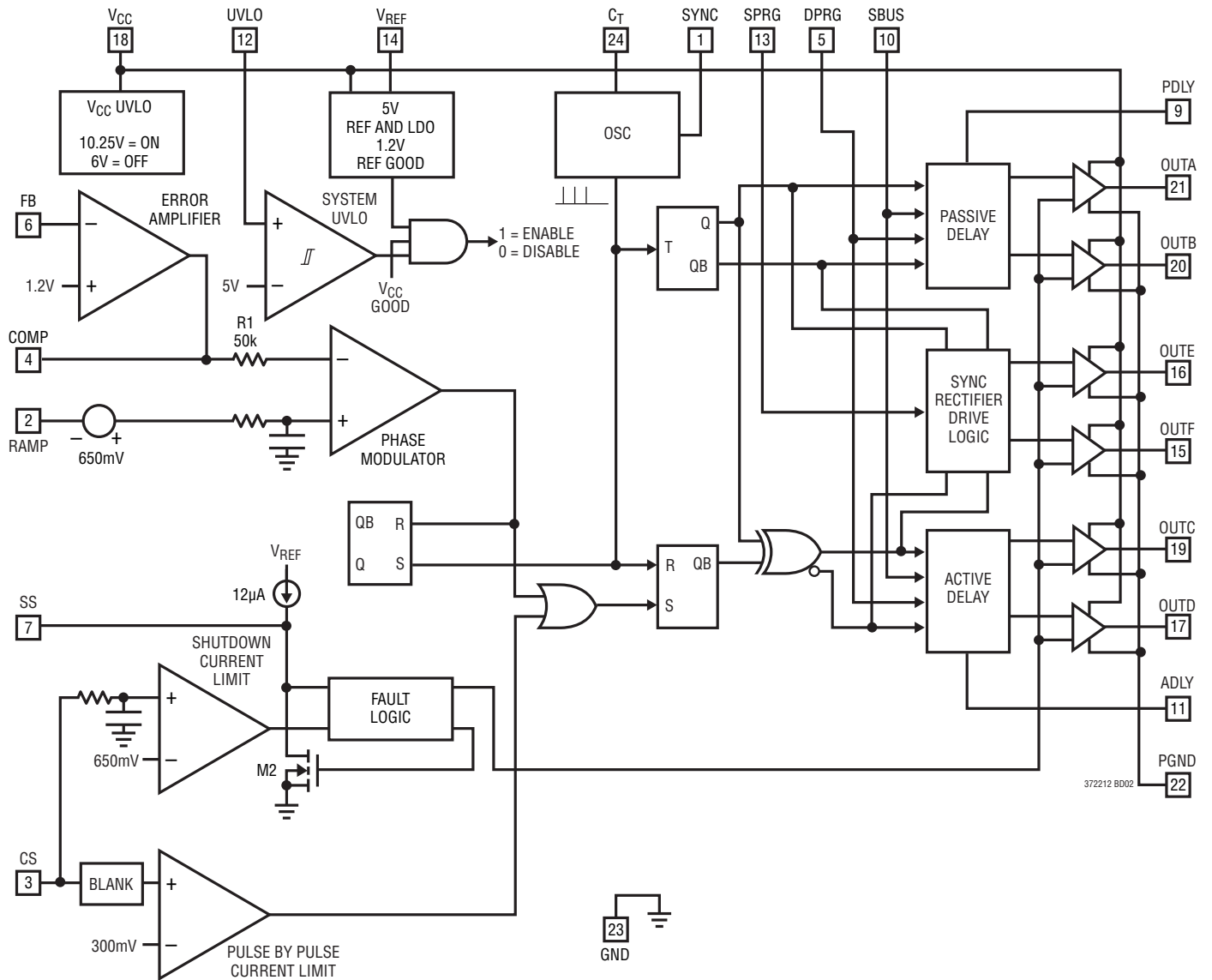


372212 B001

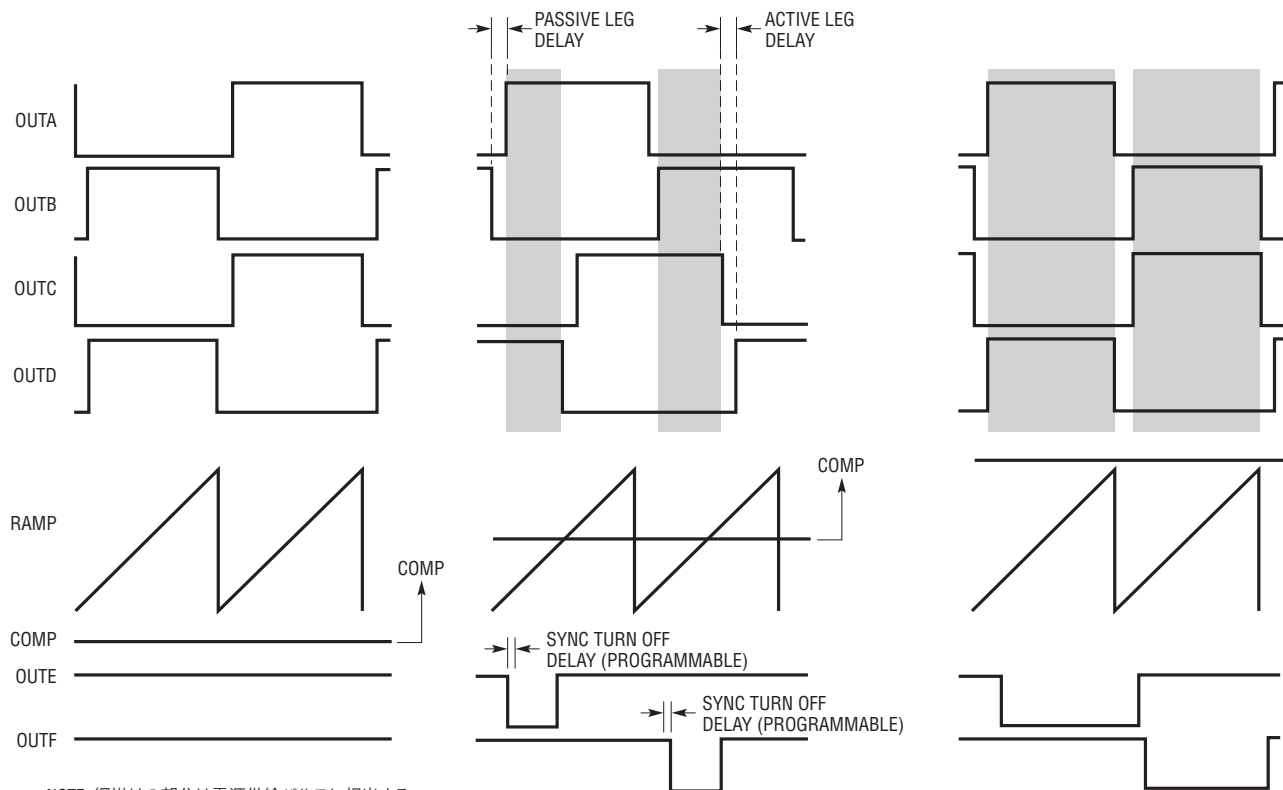


ブロック図

LTC3722-2の電圧モード同期位相シフトPWM



## タイミング図



NOTE: 網掛けの部分は電源供給パルスに相当する。

372212 TD01

## 動作

### 位相シフト・フルブリッジPWM

従来のフルブリッジ・スイッチング電源のトポロジーは、高出力コンバータ、絶縁DC/DCコンバータやオフライン・コンバータによく利用されています。これらはさらに2つのスイッチング要素を必要としますが、一定のトランス・サイズでは、より一般的なシングルエンド・フォワード・コンバータやフライバック・コンバータに比べてかなり大きな出力と高い効率が得られます。これらの改善が実現する理由は、フルブリッジ・コンバータがスイッチング・サイクルの両方の部分で出力を供給するので、トランスのコア損失が減少し、電圧ストレスと電流ストレスが低下するからです。また、フルブリッジ・コンバータには固有の自動トランス磁束リセットと双方向ドライブ構成によるバランス機能があります。その結果、最大デューティ・サイクルの範囲が拡大し、効率がさらに改善されます。フルブリッジ・トポロジーにおける様々なソフト・スイッチングが提案されており、その性能が改善され利用範囲が広がっています。これらのゼロ電圧スイッチング (ZVS) 技法では、電力段に存在する通常では望ま

しくない寄生要素を利用します。この寄生要素を利用して、すべての外部パワーMOSFETで損失がほとんどないスイッチング遷移を実現します。

LTC3722-1/LTC3722-2の位相シフトPWMコントローラによって、ZVS位相シフト・フルブリッジ・コンバータに必要な性能が向上し、設計が容易になります。現在利用可能なソリューションと比較したLTC3722-1/LTC3722-2のおもな特性を以下に示します。

1. プログラム可能なタイムアウトを備えた真に適応型で高精度の (DirectSense™テクノロジー) ZVS。  
利点: 高効率、より高いデューティ・サイクルが可能、外部微調整不要。
2. 固定ZVS機能。  
利点: 2次側の制御が可能で、外部回路を簡素化。

372212fb

## 動作

3. 電流ダブラ同期整流器のターンオフをプログラム可能な、内部で生成されるドライブ信号。

利点: 外付けロジック、ドライバが不要、最大効率のための最適なタイミング。

4. (1本の抵抗で)プログラム可能なリーディングエッジ・ブランピング。

利点: スプリアス動作の防止、CSに必要な外付けフィルタの削減。

5. (1本の抵抗で)プログラム可能なスロープ補償。

利点: 外付け回路が不要。

6. 最適化された電流モード制御アーキテクチャ。

利点: 外付け回路が不要、起動時のオーバーシュートの低減、システム・フォールトからの早い回復。

7. プログラム可能なシステム低電圧ロックアウトおよびヒステリシス。

利点: 電源の高精度ターンオン電圧の供給および外部回路の削減。

このため、LTC3722-1/LTC3722-2では、低電力レベルでのアプリケーションを含む様々なアプリケーションにZVSトポロジーを使用することが可能です。

LTC3722-1/LTC3722-2は、フルブリッジ構成の4つの外部パワー・スイッチを制御します。ブリッジの負荷はパワー・トランスの1次巻線です。ブリッジの対角のスイッチは、発振サイクル毎に入力電圧とグランド間の1次巻線を接続します。導通するスイッチ・ペアは、LTC3722-1/LTC3722-2の内部フリップフロップによって交番します。したがって、1次側に印加される電圧はスイッチング・サイクル毎に極性が反転し、各出力ドライブ信号は発振器の半分の周波数になります。各ドライブ信号のオン時間は50%を多少下回ります。対角のスイッチ・ペアのオン時間の重複は、LTC3722-1/LTC3722-2の位相変調回路によって制御されます(「ブロック図」と「タイミング図」を参照)。この重複によって、コンバータのおおよそのデューティ・サイクルが設定されます。LTC3722-1/LTC3722-2のドライブ出力信号(OUTA~OUTF)は、外部のゲート・ドライバICやバッファとのインターフェイスをとるために最適化されます。外付けパ

ワーMOSFET AおよびCはハイサイドのドライバ回路を必要とします。一方、MOSFET BおよびDはグランドを基準にします。MOSFET EおよびFもグランドを基準にしますが、絶縁バリアの2次側にあります。これらの素子の駆動方法は、このデータシートで詳しく説明しています。トランスの2次側電圧は、1次側電圧をトランスの巻数比で割ったものです。降圧コンバータと同様に、2次側の方形波が出力フィルタ用のインダクタとコンデンサに印加されて、十分に安定化されたDC出力電圧が生成されます。

### スイッチング遷移

位相シフト・フルブリッジは、おもに4つの動作状態を使用して説明することができます。ZVSが生じる仕組みを理解する手がかりは、これらの状態を詳しく調べることによって明らかになります。トランスの各フルサイクルには、出力に電力が供給される2つの異なる期間と、2つの「フリーホイール」期間があります。外部ブリッジの両側は基本的に動作特性が異なりますが、このことが広い負荷電流範囲でZVSを設計する際に重要になります。左側のブリッジ・レグは「パッシブ」レグと呼ばれ、右側のレグは「アクティブ」レグと呼ばれています。以下の説明によって、これらの違いが存在する理由が分かります。

### 状態1(パワー・パルス1)

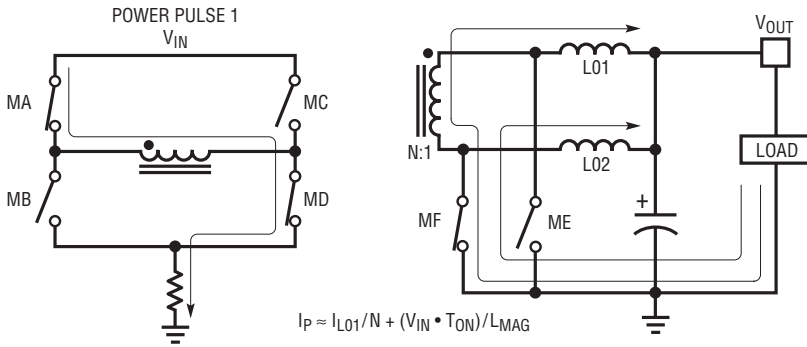
図1に示すように、状態1は、MA、MD、およびMFが「オン」、そして、MB、MC、およびMEが「オフ」で開始されます。MAとMDが同時に導通している間、トランスの1次巻線の両端に全入力電圧が印加されると、ドット・コンベンションに従って、 $V_{IN}/N$ がLO1の左側に印加され、LO1の電流が増加します。この期間の1次電流は、出力インダクタ電流(LO1)をトランスの巻数比で割った値にトランスの磁化電流( $(V_{IN} \cdot t_{ON}) / (L_{MAG} \cdot 2)$ )を足した値とほぼ等しくなります。状態1の最後にMDがオンしMEがオフします。

### 状態2(アクティブ遷移とフリーホイールの間隔)

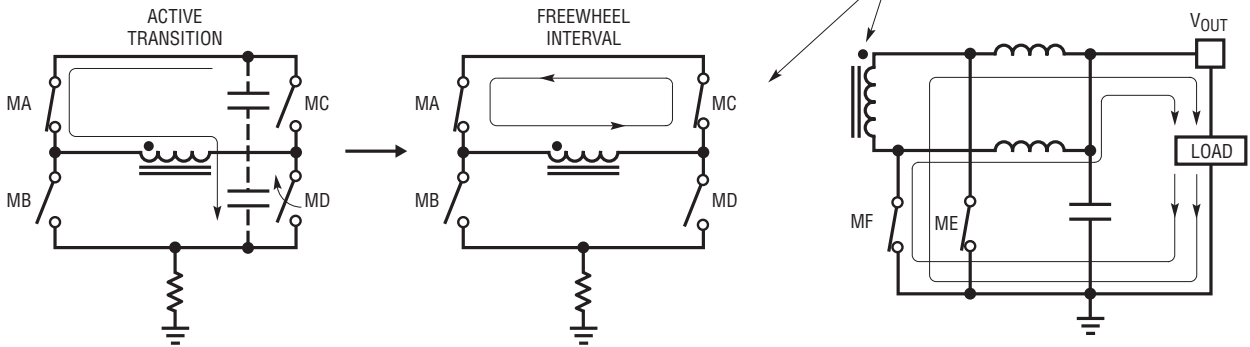
位相変調器のコンバータが遷移するとMDがオフします。この瞬間に、MD/MC接合部の電圧が印加された入力電圧( $V_{IN}$ )に向かって上昇し始めます。トランスの磁化電流と反射出力インダクタ電流によってこの動作が促進されます。MOSFET MCとMOSFET MDの出力容量( $C_{OSS}$ )、スナバ容量、およびトランスの巻線間容量によって、スルーレートが制限されます。トランスの磁化インダクタンスとリーク・インダクタ

## 動作

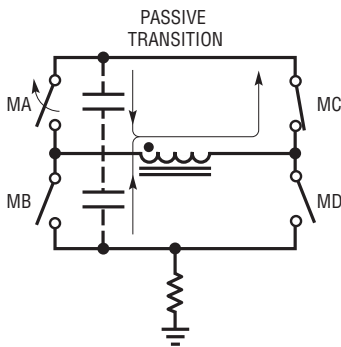
状態1



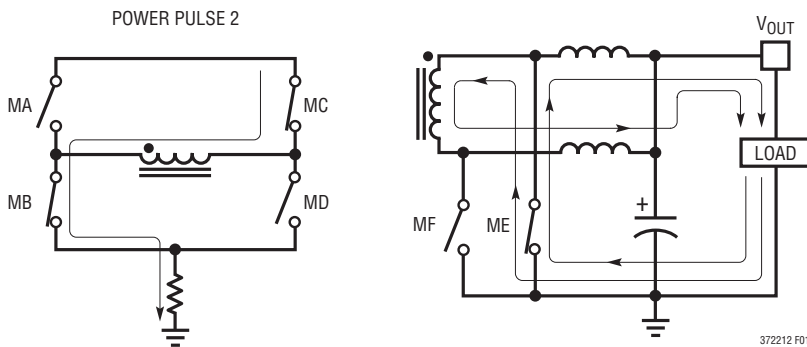
状態2



状態3



状態4



372212 F01

## 動作

ンスのエネルギーが容量性のエネルギーよりも大きい限り、グラウンドのリファレンス・ポイントから $V_{IN}$ へのアクティブ・レグの電圧遷移は、負荷電流に関係なく常に生じます。つまり、 $1/2 \cdot (L_M + L_I) \cdot I_M^2 > 1/2 \cdot 2 \cdot C_{OSS} \cdot V_{IN}^2$  — 負荷電流がゼロのときに最悪のケースになります。この状態は通常よく起こります。“L”から“H”への遷移の間、磁化インダクタンスの両端に正の電圧が印加されるので、この遷移の間の磁化電流は事実上一定です。レグはこの「電流ソース」によってアクティブにドライブされるので、アクティブ遷移またはリニア遷移と呼ばれています。アクティブ・レグの電圧が $V_{IN}$ まで上昇すると、ZVS回路によってMOSFET MCがオンします。次に、2つのハイサイドMOSFET (MAおよびMC)を介して1次電流が流れます。MEとMFが両方とも「オン」になるので、この時点でトランスの2次巻線は電氣的に短絡されます。LO1とLO2に流れる電流が正である限り、トランスの1次(磁化)インダクタンスも通常のトランス動作によって短絡されます。状態2の最後にMAとMFがオフします。

### 状態3(パッシブ遷移)

発振器のタイミング周期が終了すると、MAがオフします。つまり、クロック・パルスによって内部フリップフロップが切り替わります。MAがオフする瞬間に、MA/MB接続部の電圧がより低い電源(GND)に向かって低下し始めます。この遷移を行うのに利用できるエネルギーは、1次リーク・インダクタンスと初めに $(I_{MAG} + I_{OUT}/2N)$ が流れる追加の転流インダクタンスに制限されます。磁化インダクタおよび出力インダクタは、前述のように事実上短絡されるので、エネルギーを供給しません。そのため、利用できるエネルギーは大幅に減少します。これは、アクティブ遷移とパッシブ遷移の大きな相違点です。リーク・インダクタンスおよび転流インダクタンスに蓄積されるエネルギーが容量性エネルギーよりも大きいと、遷移は正常に完了します。遷移の間、リーク・インダクタンスおよび転流インダクタンスに印加される逆電圧が上昇することによって、総1次電流が減少します。誘導性エネルギーはこのように共振的に容量性素子に転送されるので、この期間はパッシブつまり共振遷移です。ブリッジ・レグをGNDにするのに十分な誘導性エネルギーがある場合、必要な時間は

$$\frac{\pi}{2} \sqrt{LC}$$

にほぼ等しくなります。

パッシブ・レグの電圧がGNDに近づくと、MOSFET MBはZVS回路によって「オン」に設定されます。リーク・インダクタンスや外付けの直列インダクタンスでは電流が増加し続けますが、その極性は反射される出力インダクタ電流とは逆です。この電流が反射される出力電流と同じ大きさになると、1次電流の方向が反転して反対側の2次巻線が順方向にバイアスされるようになり、新たなパワー・パルスが発生します。電流の反転に要する時間によって実効最大デューティ・サイクルが低下するので、パワー・トランスの巻数比を計算する際は、この時間を考慮する必要があります。負荷の全範囲でZVSが必要な場合は、1次巻線と直列に小さな転流インダクタを追加してパッシブ・レグ遷移を補助します。この理由は通常リークインダクタンスのみでは不十分で全負荷範囲でZVSが保証されることが、十分に予測できるからです。

### 状態4(パワー・パルス2)

パワー・パルス2の間、1次巻線にパワー・パルス1同様に反対方向の電流が生じます。1次電流は、反射出力インダクタ電流と1次磁化インダクタンスによって生じる電流から成ります。状態4の最後に、MOSFET MCがオフしてアクティブ遷移が行われます。アクティブ遷移は基本的に状態2と同じですが、方向が逆(“H”から“L”)です。

### ゼロ電圧スイッチング(ZVS)

損失のないスイッチング遷移を行うには、ドレイン・ソース間の電圧がゼロになる瞬間に、各フルブリッジMOSFETを「オン」状態にスイッチする必要があります。ターンオンが遅れると、低抵抗のチャネルではなく、1次側のMOSFETのボディ・ダイオードを流れる循環電流によって効率が低下します。ターンオンが早すぎると、MOSFETがスイッチングし難くなり、ノイズと電力消費が増加します。

### LTC3722-1/LTC3722-2の適応型遅延回路

LTC3722-1/LTC3722-2は入力電源と瞬時ブリッジ・レグ電圧の両方をモニタし、予測されるゼロ電圧状態に達すると、スイッチング遷移を実行します。DirectSense技術によって、入力電圧、出力負荷や部品の許容差に関係なく、最適なターンオン遅延タイミングが得られます。DirectSense技法で必要になるのは、簡単な電圧分割器のセンス・ネットワークを実装することだけです。ブリッジ・レグをZVS状態まで完全に転流するだけの十分なエネルギーがない場合、LTC3722-1/LTC3722-2

## 動作

は自動的にDirectSense回路を無効にして遷移を強制します。無効つまりデフォルト遅延時間は、DPRGからV<sub>REF</sub>までの間に抵抗を接続することによってプログラムされます。

### 適応モード

LTC3722-1/LTC3722-2は3つのピン、ADLY、PDLY、およびSBUSによって適応型遅延センスに設定されます。図2に示すようにADLYおよびPDLYは、電圧分割器ネットワークを使用して、それぞれアクティブ遅延レグおよびパッシブ遅延レグをセンスします。

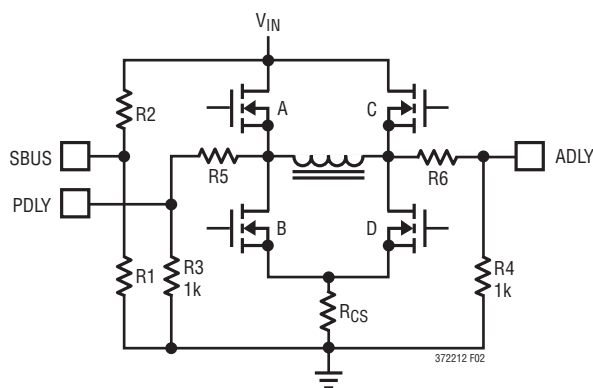


図2. 適応モード

PDLYおよびADLYの立ち上がり遷移と立ち下り遷移のスレッシュホールド電圧は、SBUSの電圧によって設定されます。このバッファされた電圧は、内部DirectSense回路のスレッシュホールド・レベルとして使用されます。公称V<sub>IN</sub>では、SBUSの電圧はV<sub>IN</sub>とGNDの間の外付け電圧分割器によって1.5Vに設定されるので、この電圧はV<sub>IN</sub>に正比例します。LTC3722-1/LTC3722-2のDirectSense回路ではこの特性を使用して、入力電圧に関係なく、すべての外部パワーMOSFETのゼロ電圧スイッチングを行います。

ADLYおよびPDLYはそれぞれ、電圧分割器を介してアクティブ・ブリッジ・レグおよびパッシブ・ブリッジ・レグに接続されます。分割器の下側の抵抗は1kに設定されます。分割器の上側の抵抗は、必要な正方向の遷移トリップのスレッシュホールドに設定されます。

ADLY抵抗およびPDLY抵抗を設定するには、まず、MOSFETをオンさせるドレイン-ソース間電圧の値を決定します。

MOSFETのターンオン遅延と外部ドライブ回路の遅延によって、LTC3722-1/LTC3722-2コントローラの出力遷移からパワーMOSFETのスイッチ・オンまでには限られた遅延時間があります。理想的には、両端の電圧がゼロ・ボルトになる瞬間にパワーMOSFETをスイッチさせる必要があります。ADLYおよびPDLYのスレッシュホールド電圧をMOSFET両端の数ボルトに相当する値に設定することによって、LTC3722-1/LTC3722-2はゼロ電圧のVDSを「予想」でき、外部ドライバに信号を送りスイッチをオンさせます。予想値の大きさは、上側の分割抵抗を変更することによってすべてのアプリケーションに適用できます。LTC3722-1/LTC3722-2のDirectSense回路は、“L”レベルから“H”レベルへの遷移が生じると、PDLYおよびADLYから微調整された電流(SBUSに比例)をソースします。これによって、PDLYおよびADLYの回路のヒステリシスとノイズ耐性が得られるので、ADLYまたはPDLYの“H”から“L”へのスレッシュホールドが“L”から“H”へのスレッシュホールドとほぼ同じ値に設定されます。したがって、上側と下側のMOSFET VDSスイッチ・ポイントは、V<sub>IN</sub>とは関係なく実質的に等しくなります。

例: V<sub>IN</sub> = 公称 48V (36V ~ 72V)

1. SBUSの設定: V<sub>IN</sub> = 48VではSBUSは1.5Vを必要とします。分割器の電流を100μAに設定します。

$$R1 = \frac{1.5V}{100\mu A} = 15k$$

$$R2 = \frac{48V - 1.5V}{100\mu A} = 465k$$

オプションの小容量コンデンサ(0.001μF)をR1の両端に追加して、この入力からノイズをデカップリングすることができます。

2. ADLYとPDLYの設定: この回路では、外部MOSFETドライバとゲート・ドライブ部品の遅延に相当する7Vの「予想値」が必要になります。

R3, R4 = 1k、スレッシュホールドでのドライバ・チェーンで公称1.5mAを設定します。

$$R5, R6 = \frac{(48V - 7V - 1.5V)}{1.5mA} = 26.3k,$$

(2)を使用すると13kのセグメントと等しくなります。

## 動作

### 固定遅延モード

LTC3722-1/LTC3722-2では、SBUSピンを使用してDirectSense遅延回路のディスエーブルと固定ZVS遅延のイネーブルを柔軟に行うことができます。固定ZVS遅延のレベルは、PDLYピンとADLYピンの電圧分割器を使用してプログラムされた電圧に比例します。詳細については図3を参照してください。

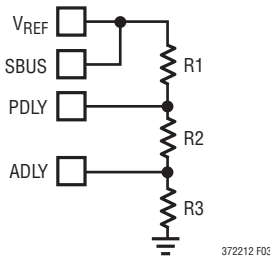


図3. 固定ZVS遅延の設定

### 適応型遅延タイムアウトのプログラム

LTC3722-1/LTC3722-2には、ブリッジ・スイッチ・ターンオン・コマンドが呼び出される前に最大遅延時間をプログラムする機能があります。ブリッジ・レグを反対側の電源レールに転流するのに十分なエネルギーがない場合にこの機能が実行されるので、適応型遅延回路がバイパスされます。遅延時間は、DPRGとVREFの間の外付け抵抗によって設定することができます(図4を参照)。DPRGの公称安定化電圧は2Vです。外付け抵抗によって、DPRGに流れ込む電流がプログラムされます。遅延時間は抵抗値に応じて、約35ns~300nsに調整することができます。DPRGを開放状態にすると、遅延時間は約400nsになります。遅延量は、DPRGに電流を供給する外部電流ソースに基づいて調整することもできます。DPRGに供給される電流が350μA以下になるように注意してください。

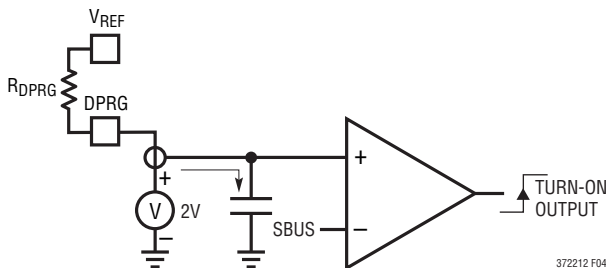


図4. 遅延タイムアウト回路

### LTC3722-1/LTC3722-2への電源供給

LTC3722-1/LTC3722-2は、内蔵VCCシャント・レギュレータを使用して、VCCに印加される電圧を制限する機能と、デバイスのバイアス電圧がスイッチング動作を開始するのに十分な状態(低電圧ロックアウト)を知らせる機能を果たします。LTC3722-1/LTC3722-2には、標準10.2Vのターンオン電圧と4.2VのUVLOヒステリシスがあるので、トランスの補助巻線などのあまり制御されていない入力ソースを許容します。VCCシャントは外部から供給される最大25mAの電流をシンクすることができます。UVLOターンオン・スレッシュホールドおよびUVLOターンオフ・スレッシュホールドは内部で微調整されるリファレンスから生成されるので、非常に正確です。さらに、LTC3722-1/LTC3722-2の起動電流は非常に小さい(145μA標準)ので、1/8W~1/4Wのトリクル充電の起動抵抗を使用することができます。

トリクル充電抵抗は次のように選択します。

$$R_{\text{START(MAX)}} = \frac{V_{\text{IN(MIN)}} - 10.7\text{V}}{250\mu\text{A}}$$

多少の安全マージンを追加して標準値を選択すると、以下のようになります。

用途	V <sub>IN</sub> 範囲	R <sub>START</sub>
DC/DC	36V TO 72V	100k
Off-Line	85V to 270V <sub>RMS</sub>	430k
PFC Preregulator	390V <sub>DC</sub>	1.4M

VCCを0.1μF~1μFの積層セラミック・コンデンサでバイパスして出力ドライバが必要とする高速過渡電流をデカップリングし、バルクのタンタルまたは電解コンデンサによってブートストラップ巻線の前でVCCを保持する必要があります。そうしないと補助のレギュレータ回路に切り替わります。

$$C_{\text{HOLDUP}} = (I_{\text{CC}} + I_{\text{DRIVE}}) \cdot \frac{t_{\text{DELAY}}}{3.8\text{V}}$$

(最小UVLOヒステリシス)

## 動作

最低7Vの安定化されたバイアス電源をLTC3722-1/LTC3722-2のバイアスに使用することができます。図5に異なるバイアス電源の構成を示します。

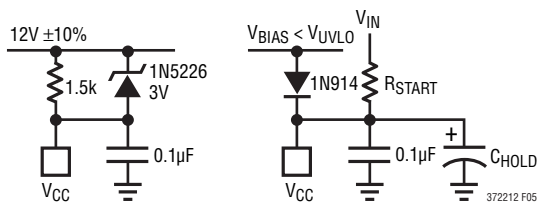


図5. バイアス構成

## 低電圧ロックアウトのプログラム

LTC3722-1/LTC3722-2には、前のセクションで説明したVCC UVLO機能の他に、パワー・コンバータの入力DC電源の低電圧ロックアウト (UVLO) 制御機能があります。入力DC電源のUVLOはUVLOピンを使用して実行します。UVLOのコンパレータは、分割された入力DC電源電圧を5V高精度リファレンスと比較します。UVLOのレベルが5Vを超えると、SSピンが開放されて出力スイッチングが開始されます。同時に、10µAの電流がイネーブルされ、UVLOからUVLOに接続された電圧分割器に流れ込みます。この電流によって生成されるDC電源のヒステリシスの大きさは、 $10\mu\text{A} \cdot R_{\text{TOP}}$ です (図6を参照)。システムUVLOのスレッシュホールドは、 $5\text{V} \cdot \{(R_{\text{TOP}} + R_{\text{BOTTOM}}) / R_{\text{BOTTOM}}\}$ です。VCC UVLO回路が起動する前にUVLOに電圧が印加され、かつ5Vよりも大きいと、内部UVLOロジック

によって以下の3つの条件が満たされるまで、出力スイッチングが阻止されます。(1) VCC UVLOがイネーブルされる、(2) VREFが安定化されている、(3) UVLOピンが5Vを上回る。

UVLOは、パワー・コンバータのイネーブルとディスエーブルに使用することもできます。図6に示すように、UVLOに接続されたオープンドレイン・トランジスタによってこの機能が実現されます。

## オフライン・バイアス電源の生成

LTC3722-1/LTC3722-2および補助回路にVCC電圧を供給するのに安定化されたバイアス電源を使用できない場合、バイアス電源を生成する必要があります。電源要件は約1Wと小さく、安定化は不可欠ではないので、簡単なオープンループ手法が通常、最も簡単で低コストの手法になります。効果的な方法のひとつはメインのパワー・トランスに巻線を追加して、その後出力される方形波をL-Cフィルタを使用して安定化することです (図7aを参照)。この手法の利点は、電源電圧が変動しても良好な安定化を維持することと、トランスの入力巻線から十分に安全な絶縁をする必要がないことです。製造元のなかには、標準製品にもこの目的のための1次巻線を備えているところもあります。別の手法は、出力インダクタに巻線を追加して、方形波信号のピーク検出とフィルタリングを行うことです (図7bを参照)。この巻線の極性は、出力インダクタがフリーホイーリングしている間に正の方形波が生成されるように設計されています。以前の技法に対するこの技法の利点は、個別のフィルタ・インダクタを必要としないことです。また、電圧が十分に

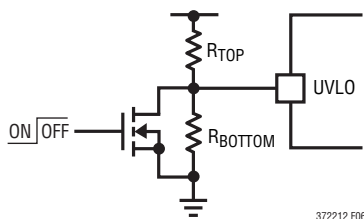


図6. システムUVLOの設定

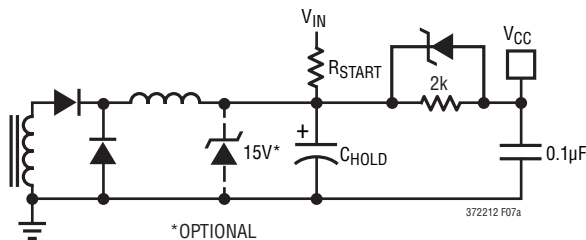


図7a. 補助巻線のバイアス電源

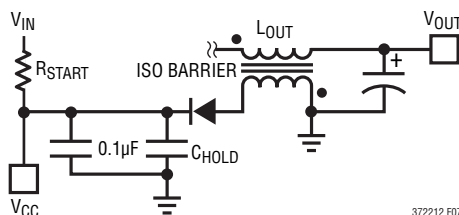


図7b. 出力インダクタのバイアス電源



## 動作

安定化された出力電圧から得られるので、この電圧も十分に制御されています。ひとつの欠点は、この巻線にメイントランスが必要とするのと同じ安全な絶縁を必要とすることです。もうひとつの欠点は、出力が最初に起動するときや短絡状態のときに電圧を発生しないので、非常に大きなV<sub>CC</sub>フィルタ・コンデンサが必要なことです。

### LTC3722-1/LTC3722-2の発振器のプログラム

LTC3722-1/LTC3722-2の高精度発振回路には、スイッチング周波数のプログラム、スロープ補償、および最小の外付け部品による同期といった柔軟な機能があります。LTC3722-1/LTC3722-2の発振回路では、C<sub>T</sub>にピーク-ピーク間2.2Vのランプ波形を出力し、SYNCに別のPWMデバイスとの同期に使用できる狭いパルスを出力します。標準最大デューティ・サイクルは、300kHzで98.5%、1MHzで96%が得られます。補償スロープ電流は発振器のランプ波形から得られ、CSから出力されません。

スロープ補償の必要な大きさは、1本の外付け抵抗を使用して選択します。C<sub>T</sub>からGNDに接続したコンデンサによって、スイッチング周波数がプログラムされます。C<sub>T</sub>のランプ放電電流は内部で大きな値(>10mA)に設定されます。専用のSYNC I/Oピンでは同期化が容易です。LTC3722-1/LTC3722-2では他のPWMデバイスの同期をとる、または別のデバイスや外部クロック・ソースに同期させるように設定することができます。LTC3722-1/LTC3722-2はSYNCスレッシュホールドが1.8Vなので、3V~5Vのすべての標準ロジック・ファミリに直接同期させることができます。

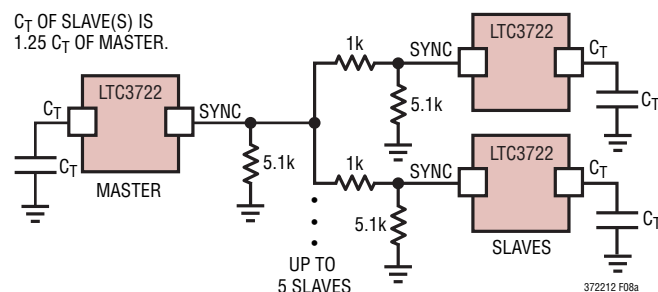


図8a. SYNC出力(マスタ・モード)

### 設計手順:

1. 必要な発振周波数に合ったC<sub>T</sub>を選択します。選択するスイッチング周波数は、高電力磁気部品および出力電力レベルと整合が取れている必要があります。一般に、最大デューティ・サイクルはトランスのコア・リセットおよびZVSによって制限されるので、スイッチング周波数が増加すると、達成可能な最大出力電力は低下します。トランスの周波数は発振周波数の1/2であることに注意してください。

$$C_T = \frac{1}{(13.4k \cdot f_{osc})}$$

例: 必要なf<sub>osc</sub> = 330kHz

C<sub>T</sub> = 1/(13.4k · f<sub>osc</sub>) = 226pF、標準値220pFに最も近い値を選択します。最良の性能を得るためには、5%より高精度の積層NPOコンデンサまたはX7Rセラミック・コンデンサを推奨します。

2. LTC3722-1/LTC3722-2は、他のPWMデバイスの同期をとる、または外部周波数ソースやPWMデバイスに同期させることができます。詳細については図8を参照してください。

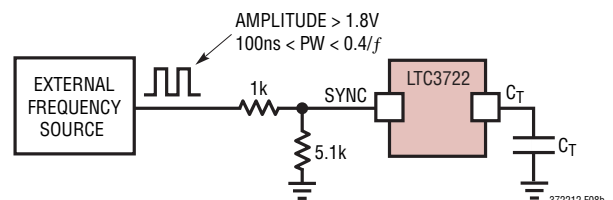


図8b. 外部ソースからSYNCへの入力

## 動作

3. ほとんどのピーク電流モード・コントローラでは、電流制御ループの低調波発振を防ぐために、スロープ補償を必要とします。一般に、固定周波数の連続電流モード・コンバータのシステム・デューティ・サイクルが50%を超えると、電流制御ループ内で不安定な状態が生じます。電流信号のすべての変動がPWM変調器によって増幅されるので、不安定な状態になります。これに共通する状態には、交番パルスの不均一やパルス幅ジッタなどがあります。幸い、電流センス信号に補正スロープを加えるかまたは電流コマンド信号（エラーアンプ出力）から同じスロープを差し引くことによって、これに対処することができます。出力インダクタのデューティ・サイクルが50%に近づいただけなので、理論上、電流ダブラの出力構成にはスロープ補償は必要ありません。ただし、過渡状態によって一時的に高デューティ・サイクルになるので、動作が不安定になる可能性があります。

LTC3722-1/LTC3722-2に1本の外付け抵抗を追加することによって、必要なスロープ補償の正確な値を容易にプログラムすることができます（図9を参照）。LTC3722-1/LTC3722-2は、 $C_T$ の瞬時電圧（ $33\mu\text{A}/V(C_T)$ ）に比例する電流を生成します。したがって、 $C_T$ のピークでは、この電流は約 $74\mu\text{A}$ であり、CSピンから出力されます。必要な大きさのスロープ補償では、CSと外付け電流センス抵抗の間の抵抗が加算されます。この抵抗の値は、最小の $V_{IN}$ 、 $V_{OUT}$ 、スイッチング周波数、電流センス抵抗値、出力インダクタ値など、いくつかの要素によって異なります。電流ダブラの2次側のための設計式を使用して説明した例を以下に示します。

例:

$$V_{IN} = 36\text{V} \sim 72\text{V}$$

$$V_{OUT} = 3.3\text{V}$$

$$I_{OUT} = 40\text{A}$$

$$L = 2.2\mu\text{H}$$

トランスの巻数比(N) =

$$V_{IN(MIN)} \cdot \frac{DC_{MAX}}{(2 \cdot V_{OUT})} = 5$$

$$R_{CS} = 0.05\Omega$$

$f_{SW} = 300\text{kHz}$ 、つまり、トランスの $f =$

$$\frac{f_{SW}}{2} = 150\text{kHz}$$

$$R_{SLOPE} = V_O \cdot \frac{R_{CS}}{(2 \cdot L \cdot f_{SW} \cdot 74\mu\text{A} \cdot N)}$$

$$= 3.3\text{V} \cdot \frac{0.05}{2 \cdot 2.2\mu\text{H} \cdot 300\text{k} \cdot 74\mu\text{A} \cdot 5}$$

$R_{SLOPE} = 338\Omega$ 、次に大きな標準値を選択して $I_{SLOPE}$ 、 $R_{CS}$ 、 $N$ 、および $L$ の許容度を明確にします。

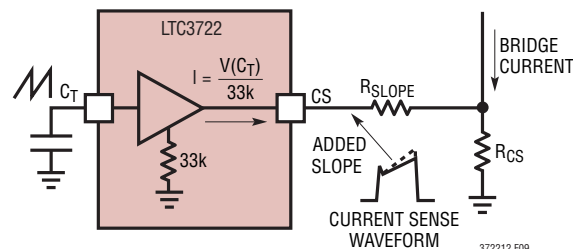


図9. スロープ補償回路

## 動作

### 電流センスと過電流保護

電流センス機能によって、電流モード制御ループの帰還および過負荷状態からの保護が可能になります。LTC3722-1/LTC3722-2は、抵抗センス手法または電流トランス手法と互換性があります。LTC3722-1/LTC3722-2の内部でCSピンに接続された2つのコンパレータには、それぞれパルス単位のシャットダウン機能と過電流シャットダウン機能があります(図10を参照)。

パルス単位のコンパレータの公称スレッショルドは300mVです。300mVのスレッショルドを超えると、PWMサイクルが終了します。過電流コンパレータは、パルス単位のレベルの約2倍に設定されます。電流信号がこのレベルを超えると、PWMサイクルが終了し、ソフトスタート・コンデンサが即座に放電してソフトスタート・サイクルが開始されます。過電流状態が継続すると、LTC3722-1/LTC3722-2はPWM動作を停止し、リトライが可能になるまで、ソフトスタート・コンデンサが約4Vまで充電されるのを待ちます。ソフトスタート・コンデンサは、内部の12 $\mu$ A電流ソースによって充電されます。ソフトスタートが4Vに達したときにフォールト状態がクリアされない場合、ソフトスタート・ピンは再度放電され、新しいサイクルが開始されます。これは、hiccupモード動作と呼ばれます。通常動作およびほとんどの異常動作では、パルス単位のコンパレータは十分高速なので、hiccupモード動作が防止されます。ただし、高入力電

圧、非常に低い $R_{DS(ON)}$ のMOSFETや出力の短絡、または磁気飽和による厳しい状況では、過電流コンパレータがパワー・コンバータを保護する手段になります。

### リーディングエッジ・ブランキング

LTC3722-1/LTC3722-2ではリーディングエッジ・ブランキングのプログラムが可能で、電流センス回路の厄介なトリップを防止します。リーディングエッジ・ブランキングによってCSピンのフィルタ要件が軽減されるので、実際の過電流状態への応答が大幅に改善されます。また、グランドを基準にした電流センス抵抗やトランスが使用できるので、設計がより簡単になります。 $R_{LEB}$ からGNDまでの間に10k~100kの1本の抵抗を接続することによって、約40ns~320nsのブランキング時間がプログラムされます。必要でない場合には、 $R_{LEB}$ を $V_{REF}$ に接続することができます。リーディングエッジ・ブランキングをディスエーブルすることができます。リーディングエッジ・ブランキングが位相変調回路の最小限の直線的な制御範囲を設定するために使用するものであることに注意してください。

### 抵抗センス

共通入力とMBとMDのソースの間に1本の抵抗を接続するのが、フルブリッジ・コンバータの電流センスの最も簡単な方法です。これは、低電力レベルから中電力レベルでよく使用される方法です。最小予測 $V_{IN}$ でコンバータに最大定格出力電流

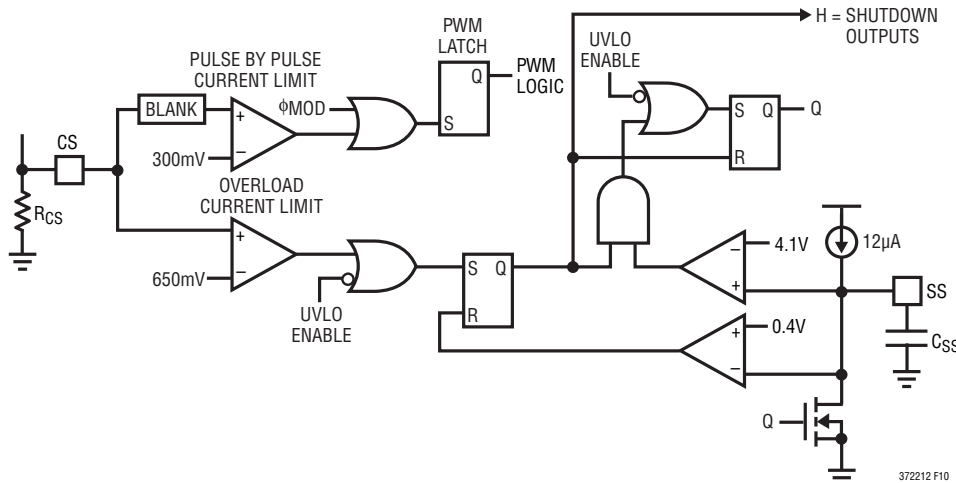


図10. 電流センス/フォールト回路の詳細

## 動作

を供給できるように、センス抵抗を選択する必要があります。次式を使用して、 $R_{CS}$ の最適値を計算します。電流ダブラの2次側に有効な $I_p$ 設計式です。

LTC3722-1:

$$R_{CS} = \frac{300\text{mV} - (82.5\mu\text{A} \cdot R_{SLOPE})}{I_p(\text{PEAK})}$$

$$I_p(\text{PEAK}) = \frac{I_{O(\text{MAX})}}{2 \cdot N \cdot \text{EFF}} + \frac{V_{IN(\text{MAX})} \cdot D_{\text{MIN}}}{L_{\text{MAG}} \cdot f_{\text{CLK}} \cdot 2} + \frac{V_O(1 - D_{\text{MIN}})}{L_{\text{OUT}} \cdot f_{\text{CLK}} \cdot N}$$

ここで、 $N$  = トランスの巻数比 =  $\frac{N_p}{N_s}$

LTC3722-2:

$$R_{CS} = \frac{300\text{mV}}{I_p(\text{PEAK})}$$

### 電流トランス・センス

LTC3722-1/LTC3722-2では、抵抗センスの代わりに電流センス・トランスを使用することができます。電流センス・トランスは、数社の製造元から多くの種類を入手することができます。このアプリケーションの標準的なセンス・トランスは1:50の巻数比( $N$ )を使用しているため、センス抵抗の値は抵抗センスの場合に比べて $N$ 倍に、2次電流は $1/N$ になります。したがって、トランス方式ではトランスのコア損失と銅損失を無視すると、センス抵抗の電力損失は約 $1/N$ になります。この手法の不利な点は、高コストで複雑、低精度、コア・リセット/最大デューティ・サイクル制限、低速度などです。それでも、この手法は非常に高電力のアプリケーションには適しています。センス・トランスの1次側は、グランドを基準にしたセンス抵抗と同じ場所、または上側MOSFET(MA, MC)のドレインと $V_{IN}$ の間に配置します。

ハイサイド位置の利点は、ゲート充電電流と反射される整流器の回復電流が大幅に削減されるので、リーディングエッジのノイズ・スパイクへの耐性が大きくなることです。標準的な電流センス・トランスを使用したセンス手法を図11に示します。この場合の $R_S$ は抵抗センスの場合と同様に計算され、その値は単にセンス・トランスの巻数比に従って増加します。高デューティ・サイクルでは、電流トランスのリセットは困難または不可能になることがあります。これは、必要なトランス・リセット電圧がリセットの有効時間が減少するのに従って増加し、印加される値(ボルト秒)と等しくなるからです。巻線間の容量および電流センス・トランスの2次側インダクタンスによって、CSトランスの2次側の $dV/dT$ を制限する共振回路が形成されます。これによって、CSトランスの達成可能な最大デューティ・サイクルも同様に制限されます。この制限を超えて動作させようとすると、トランスのコアが「ウォーク」して最終的に飽和し、電流帰還ループが開始されます。

この制限に対処する一般的な方法を以下に示します。

1. パワー・トランスの巻数比を減らすことによって、最大デューティ・サイクルを小さくする。
2. コンバータのスイッチング周波数を低下させる。
3. 外付けのアクティブ・リセット回路を使用する。
4. 2つのCSトランスを結合して使用する。
5. 高周波数のアプリケーション用に最適化されたCSトランスを選択する。

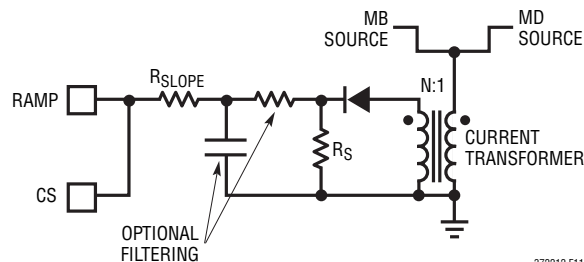


図11. 電流トランスのセンス回路

## 動作

### 位相変調器 (LTC3722-1)

LTC3722-1の位相変調制御回路は、位相変調コンパレータおよびロジック、エラーアンプ、ソフトスタート・アンプから構成されます(図12を参照)。これらの要素はともに、出力電圧の安定化を維持するのに必要な位相の重複(デューティ・サイクル)を作り出します。絶縁アプリケーションでは、オプトカップラとシャントリファレンス/エラーアンプ(LT<sup>®</sup>1431)の組み合わせによって、センスされた出力電圧の誤差信号が入力-出力間の絶縁バリアを介してCOMPにフィードバックされます。FBピンをGNDに接続して、COMPを“H”に強制します。オプトアイソレータのコレクタはCOMPに直接接続されます。COMPの電圧は、LTC3722-1によって内部で減衰されます。減衰されたCOMP電圧は、位相変調コンパレータの一方の入力に供給されます。これが電流コマンドです。位相変調コンパレータの他方の入力は、約650mVだけレベル・シフトされたRAMP電圧です。これが電流ループ帰還です。すべてのスイッチング・サイクルの間、対角のスイッチ(MA-MDまたはMB-MC)が交互に導通し、出力インダクタの電流を増加させます。パワー・トランスの1次側で見られる電流は、巻数比で割られています。電流

センス抵抗がGNDと2つのボトム・ブリッジ・トランジスタの間に接続されているので、 $R_{SENSE}$ の両端に出力インダクタ電流に比例した電圧が見られます。 $R_{SENSE}$ のハイサイドも、通常、小さな抵抗( $R_{SLOPE}$ )を介してCSに接続されます。CSの電圧が $(COMP/4.3) - 650mV$ 、または300mVを超えると、重複導通期間が終了します。通常動作時には、減衰されたCOMP電圧によってCSのトリップ・ポイントが決定されます。起動時、または大きな負荷ステップに続くスルー状態では、COMPが“H”になり、減衰された値が300mVのスレッシュホールドを超えるので、300mVのCSスレッシュホールドによってサイクルが終了します。極端な状態では、CSの650mVのスレッシュホールドを超え、ソフトスタート/リスタート・サイクルを実行します。

### 電力段部品の選択

コンバータの設計全体で最も重要な部分は、おそらく、パワーMOSFET、トランス、インダクタ、フィルタ・コンデンサを選択することです。位相シフト・フルブリッジ・トポロジーでは、いくつかの簡単なガイドラインに従っている限り、効率、過渡特性、およびすべての動作において大幅な改善が得られます。

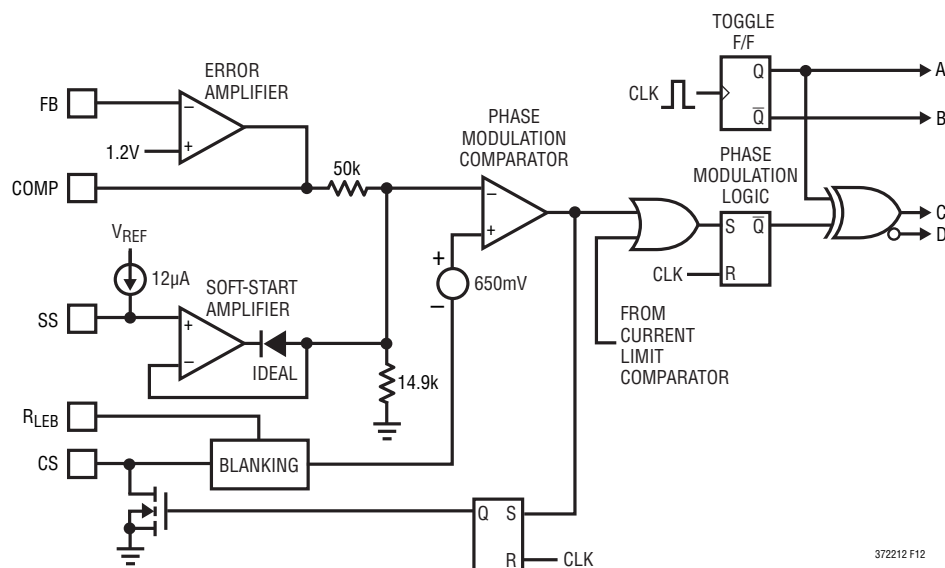


図12. 位相変調回路 (LTC3722-1)

## 動作

### パワー・トランス

トランスの選択では、スイッチング周波数、コア材料の特性、直列抵抗、入力/出力電圧のすべてが重要な役割を果たします。リーク・インダクタンスや磁化インダクタンスは、コンバータが良好にZVSを実現するのに重要な役割を果たすので、これらにもよく注意する必要があります。平面磁石は、これらのパラメータを絶妙に制御するので、これらのアプリケーションに非常に適しています。

### 巻数比

電流ダブラの2次側に必要な巻数比は以下のように求められます。選択した磁石に応じて、この値は多少減らす必要があるかもしれません。

巻数比の式:

$$N = \frac{V_{IN(MIN)} \cdot D_{MAX}}{2 \cdot V_{OUT}}$$

ここで、

$V_{IN(MIN)}$  = 動作の最小 $V_{IN}$

$D_{MAX}$  = コントローラの最大デューティ・サイクル( $D_{C_{MAX}}$ )

### 出力コンデンサ

出力コンデンサの選択は、リップル電圧、過渡に対するダイナミック応答、および安定性に大きく影響します。コンデンサのESRと出力インダクタ・リップル電流により、出力のピーク・ピーク間電圧リップルが決まります。電流ダブラを構成すると、固有のリップル電流低減を行うので有利です。デュアル出力インダクタは、位相を $180^\circ$ ずらして出力コンデンサに電流を供給するので、事実上、お互いのリップル電流を部分的に相殺します。この低減量は、高デューティ・サイクルで最大になり、デューティ・サイクルが低下すると減少します。これは、電流ダブラ・コンバータが従来のコンバータと同じ性能を得るのに必要な出力容量が小さいことを意味します。コンバータの最小デューティ・サイクルを決定することによって、以下の式から悪化した $V_{OUT}$ リップルが求められます。

$$V_{ORIPPLE} = I_{RIPPLE} \cdot ESR = \frac{V_0 \cdot ESR}{L_0 \cdot 2 \cdot f_{SW}} (1-D)(1-2D)$$

ここで、

$D$  = 最小デューティ・サイクル

$f_{SW}$  = 発振周波数

$L_0$  = 出力インダクタンス

$ESR$  = 出力コンデンサの直列抵抗

必要なバルク容量は、通常、システムに依存しますが、出力インダクタンス値、スイッチング周波数、負荷電力、ダイナミック負荷特性にある程度関係します。ポリマ電解コンデンサは、低ESR、小型、および高信頼性を兼ね備えているので推奨します。要求が厳しくないアプリケーションや、サイズに制約されないアプリケーションでは、一般に、アルミニウム電解コンデンサが使用されます。100kHz~300kHzの範囲の多くのDC/DCコンバータでは、出力電力1ワットあたり $20\mu F \sim 25\mu F$ のバルク容量を使用します。高い周波数でスイッチングするコンバータでは、通常、小さなバルク容量を使用することができます。ダイナミック応答が重要なシステムでは、セラミックなどの高周波コンデンサを追加すると、電圧過渡を大幅に低減することができます。

### パワー・MOSFET

$R_{DS(ON)}$ および $BV_{DSS}$ 定格のため、フルブリッジ・パワーMOSFETを選択する必要があります。一定の入力電圧範囲で少なくとも20%の電圧マージンを残すことができる、 $BV_{DSS}$ 定格が最も低いMOSFETを選択してください。導通損失は $R_{DS(ON)}$ に正比例します。ほとんどの場合、フルブリッジにはパワー・パス内に2つのMOSFETがあるので、導通損失は以下の値とほぼ等しくなります。

$$2 \cdot R_{DS(ON)} \cdot I^2, \text{ここで } I = \frac{I_0}{2N}$$

MOSFETのスイッチング損失は、ゲートを充電するのに必要な電力とターンオンおよびターンオフ損失によって左右されます。電力レベルが大きい場合には、ゲート充電電力が効率低下に大きく影響することはあまりありません。ZVS動作はターンオン損失を実質的に除去します。ドレイン・ソース間の外付けスナバコンデンサや抵抗が非常に小さいターンオフ・ドライバを使用することによって、ターンオフ損失は低減されます。2次側に同期整流MOSFETを使用する場合には、同様の一般

## 動作

的なガイドラインを適用します。ただし、これらに必要な $BV_{DSS}$ 定格は、2次側のスナバの効果によって、 $V_{IN(MAX)}/N$ よりも大きくなる可能性があることに注意してください。スナバがない場合には、2次側の電圧が、2次側のリーク・インダクタンスと同期整流MOSFETの $C_{OSS}$ （出力容量）の間に形成される共振タンク回路によって予測される値をはるかに超えたレベルになる可能性があります。

### スイッチング周波数の選択

他のシステム要件に制約されない限り、パワー・コンバータのスイッチング周波数は、通常、所望の目標効率を保ちながら、可能な限り高く設定することができます。スイッチング周波数が高いと、小型化、軽量化、バルク容量の低減化など、多くの利点があります。フルブリッジ位相シフト・コンバータでは、これらの原理は、一般に、ゼロ電圧遷移の維持を複雑にしたものと同じであり、そのため、効率が向上します。ZVSは、スイッチング・サイクル中の限られた時間に実現されます。ZVSの間、出力に電力が供給されないため、ZVSの実行によって、利用できる最大デューティ・サイクルが低下します。ZVS時間を増加させる寄生容量要素（MOSFET）が電力レベルの増加に従って大きくなるので、この低下量は最大出力電力に比例します。これは、出力電力レベルとスイッチング周波数には逆の関係があることを意味します。30V/75V入力、3.3V/5V出力コンバータの、推奨する最大スイッチング周波数と電力レベルを表1に示します。入力電圧範囲が制限されていると、高いスイッチング周波数を使用することができるので、出力電圧を低くするか効率低下を許容できます。

表1. スwitchング周波数と電力レベル

<50W	600kHz
<100W	450kHz
<200W	300kHz
<500W	200kHz
<1kW	150kHz
<2kW	100kHz

### 帰還ループを閉じる

フルブリッジ・コンバータで帰還ループを閉じるには、電力段および他のシステムのポール/ゼロの位置を特定してから、コンバータのエラーアンプ周辺の補償ネットワークを設計し、十分な位相マージンと過渡応答を補償する周波数応答を形成します。帰還応答を変える恐れのあるコンバータ内の寄生要

素に対処するために、別の変更が必要になることもあります。補償ネットワークは、負荷電流範囲や使用する出力コンデンサの種類によって異なります。絶縁アプリケーションでは、補償ネットワークは、一般に電源の2次側の、オプトカプラ・ドライバのエラーアンプ（通常LT1431または相当品）周辺に配置されます。非絶縁システムでは、補償ネットワークはLTC3722-1/LTC3722-2のエラーアンプ周辺に配置されます。

電流モード制御では、支配的システム・ポールは負荷抵抗（ $V_O/I_O$ ）と出力コンデンサの $1/(2\pi \cdot R_O \cdot C_O)$ によって決定されます。出力コンデンサのESR  $1/(2\pi \cdot ESR \cdot C_O)$ はゼロになります。DCでループ利得が高いと、優れたDCラインおよびロードレギュレーションが得られます。このためには、エラーアンプ周辺に積分型の補償回路が必要になります。必要な補償部品を得るための1つの手順を示します。必要であれば、さらに複雑なタイプの補償ネットワークを使用して、大きな帯域幅を得ることができます。

ステップ1. 最小と最大の出力ポールの位置を計算する。

$$F_{P1(MIN)} = \frac{1}{(2\pi \cdot R_{O(MAX)} \cdot C_O)}$$

$$F_{P1(MAX)} = \frac{1}{(2\pi \cdot R_{O(MIN)} \cdot C_O)}$$

ステップ2. ESRゼロの位置を計算する。

$$F_{Z1} = \frac{1}{(2\pi \cdot R_{ESR} \cdot C_O)}$$

ステップ3. 帰還分割器の利得を計算する。

$$\frac{R_B}{(R_B + R_T)} \quad \text{または} \quad \frac{V_{REF}}{V_{OUT}}$$

ポリマ電解出力コンデンサを使用すると、ループ補償全体でESRゼロを用いることができるので、最適な帯域幅を得ることができます。アルミニウム電解コンデンサを使用すると、ループをESRゼロ周波数より前にロールオフさせる必要があるため、ループ応答が遅くなります。制御ループの線形化SPICEマクロモデルは、様々な補償ネットワークの周波数応答を即座に評価するのに非常に便利なツールです。

## 動作

**ポリマ電解出力コンデンサ** (図13を参照)  $1/(2\pi C_C R_I)$  によって低周波数のポールが設定され、 $1/(2\pi C_C R_F)$  によって低周波数のゼロが設定されます。ゼロ周波数は、ワーストケースの最も低い出力ポール周波数に一致する必要があります。ポール周波数と中間周波数利得 ( $R_F/R_I$ ) は、ループが  $(f_{sw}/8)$  より低い周波数で-1のスロープでゼロdBのクロスオーバーをするように設定する必要があります。ボードプロットを使用して周波数応答を図示してください。CP2および $R_F$ によって設定されたオプションの高周波数のポールは、スイッチング周波数ノイズを低減するのに使用されます。

**アルミニウム電解コンデンサ** (図13参照) この補償の終点は、出力の最小ポール周波数をクロスオーバーさせることです。 $C_C$ および $R_{IN}$ を使用して、低周波数ポールを、出力ポールの最小値Fでループをクロスオーバーさせる周波数に設定し、 $C_C$ および $R_F$ によって形成されるゼロを出力ポールFに設定してください。

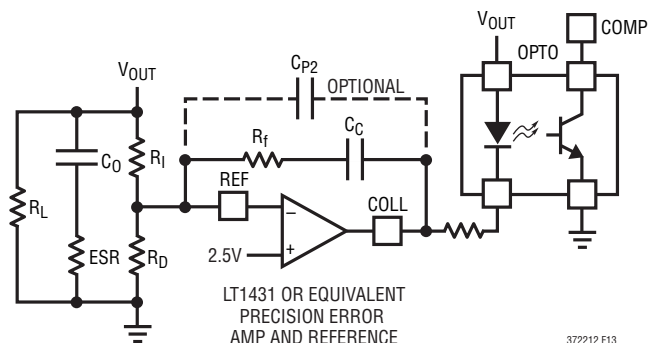


図13. ポリマ電解コンデンサの補償

## 同期整流

LTC3722-1/LTC3722-2は、OUTEおよびOUTFの電流ダブラの2次側同期MOSFETの制御に必要な高精度タイミング信号を生成します。電源の2次側では、ショットキー・ダイオードやシリコン・ダイオードの代わりに同期整流器が使用されます。MOSFETのスイッチング時間が最適であれば、MOSFETの $R_{DS(ON)}$ のレベルが低下し続けると、同期整流によって大幅な効率改善を実現することができます。同期整流器で実現されるもう1つの利点は、バイポーラ出力電流が可能なことです。これらの特性によって、過渡応答(特にオーバーシュート)、ならびに軽負荷でのZVS機能が改善されます。

## 同期整流器のターンオフ遅延のプログラム

LTC3722-1/LTC3722-2コントローラには、2次側同期整流MOSFETのターンオフエッジを、1次側の新しい電力供給パルスの開始を基準にしてプログラムする機能があります。この機能によって同期MOSFETのタイミングが最適化され、効率が改善されます。負荷電流が大きいと、トランスのコアがリセットされて新しい電力パルスが始まるまで同期整流器のターンオフが遅延させることはさらに有利になります。これによって、2次側のフリーホイーリング電流が、ボディー・ダイオードではなく同期MOSFETのチャネルを通して流れます。

ターンオフ遅延は、SPRGからGNDまでの間に接続された1本の抵抗によってプログラムすることができます(図14を参照)。SPRGの公称安定化電圧は2Vです。外付け抵抗によって、SPRGから流れ出す電流がプログラムされます。遅延時間は抵抗値10k~200kを使用して、約20ns~200nsに調整することができます。SPRGはフロート状態にしないでください。遅延量は、SPRGから電流をシンクする外部電流ソースに基づいて調整することもできます。SPRGから出力される電流が350 $\mu$ A以下になるように注意してください。

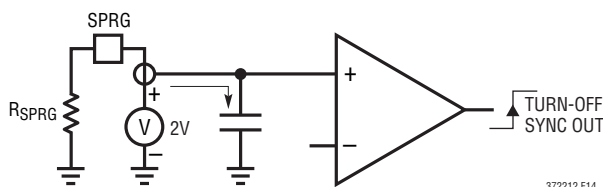


図14. 同期遅延回路

## 電流ダブラ

電流ダブラの2次側では、出力負荷電流を均等に分担する2つの出力インダクタを使用しています。トランスの2次側にはセンタータップがありません。この構成では、同じサイズのシングル出力インダクタ・モジュールと比べて2倍の出力電流を供給できるので、この名前が付いています。各出力インダクタのインダクタンス値は、同等のシングル・インダクタ構成の2倍であり、トランスの巻数比は、シングル・インダクタの2次側の1/2です。インダクタは位相を180°ずらしてドライブされるので、出力コンデンサのリップル電流が部分的に相殺されます。コンデンサのリップル電流が減少することにより出力電圧リップルが低減するので、コンデンサの信頼性が向上します。相殺される



## 動作

リップルの量はデューティ・サイクルと関係があります(図15を参照)。電流ダブラには1つのインダクタを追加する必要がありますが、このインダクタ・コアの体積は $LI^2$ に比例するので、サイズにはあまり影響しません。トランスの構造は簡素化されていて、巻線にはセンタータップがなく、巻数比が従来の全波整流構成と比べて半分に低減されています。

電流ダブラの2次側の同期整流では、グランドを基準にした2つのNチャネルMOSFETが必要になります。LTC3722-1/LTC3722-2のドライブ信号のタイミングを「タイミング図」に示します。

### フルブリッジ・ゲート・ドライブ

フルブリッジ・コンバータでは、グランドを基準にした2つのスイッチとハイサイドを基準にした2つのスイッチのための高電流ゲート・ドライバ回路が必要です。ゲート・ドライバ・デバイスやバッファからゲートとソースのリードへのトレースが短くてまっすぐであれば、グランドを基準にしたスイッチをドライブすることはあまり難しくはありません。すべてのスイッチはゼ

ロVDSでオンするので、「ミラー」効果が除去され、ドライブ要件はさらに緩和されます。ただし、ターンオンでは問題にならなかった同じミラー効果によって過度のターンオフ損失が生じるのを防止するために、ターンオフ抵抗を低くすることが重要です。LTC3722-1/LTC3722-2では、ハイサイドとローサイドのドライブ回路の伝播遅延を、DirectSense ZVS回路に従って正確に合わせる必要はありません。その結果、LTC3722-1/LTC3722-2は単純なNPN-PNPバッファやLTC1693-1などのゲート・ドライバ・デバイスをドライブしてローサイド・ゲート・ドライブを提供することができます。MOSFETのゲートは入力電源を超えてドライブする必要があるため、ハイサイドのドライブを行うにはさらなる課題が生じます。1個のLTC1693-1を使用した簡単な回路(図17)では、安価な信号トランスと数個のディスクリート部品によって両方のハイサイド・ゲート・ドライブ(AとC)を確実に実現します。

LTC4440のハイサイド・ドライバを使用することもできます。LTC4440では信号トランスが必要ないので、 $V_{IN}$ が80V(最大)以下のアプリケーションに適しています。

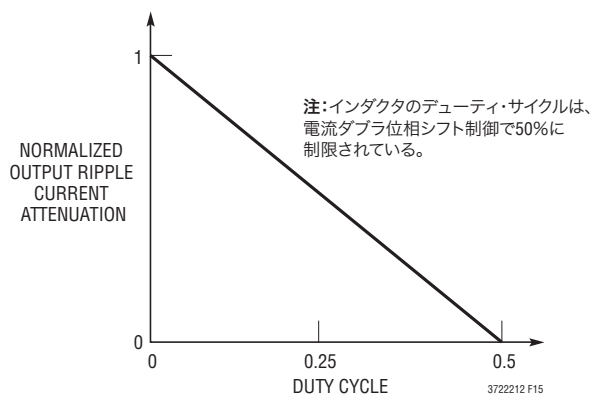


図15. リップル電流の相殺とデューティ・サイクル

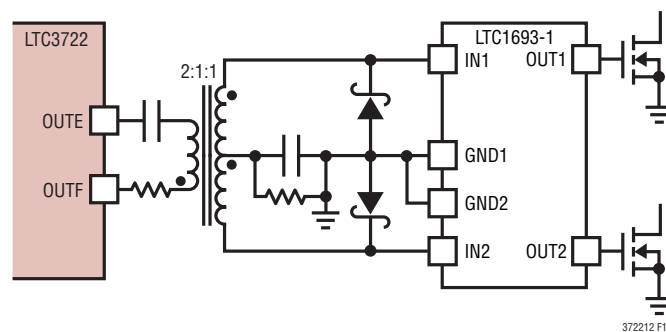


図16. 絶縁ドライブ回路

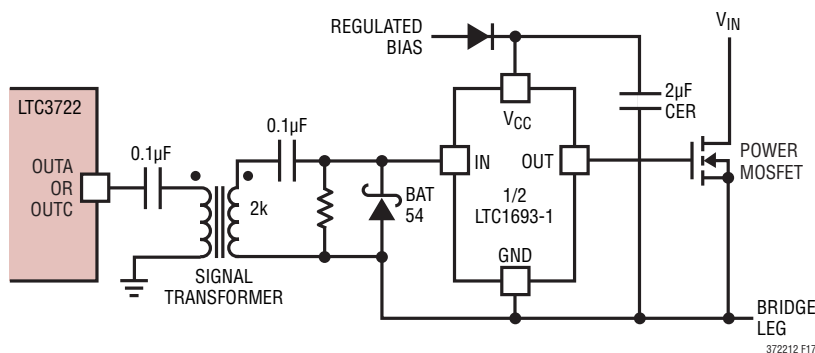


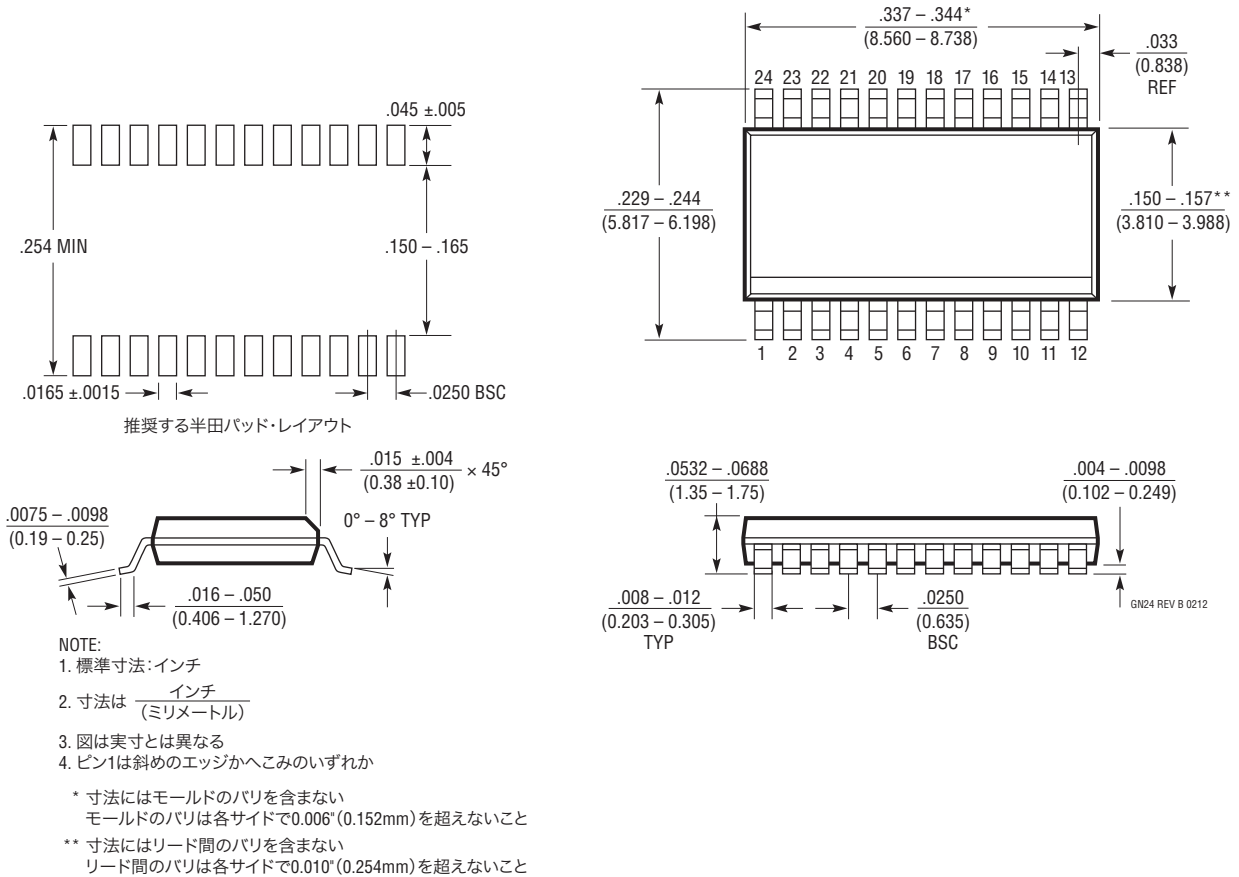
図17. ハイサイド・ゲート・ドライバ回路

# LTC3722-1/LTC3722-2

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

### GNパッケージ 24ピン・プラスチックSSOP (細型0.150インチ) (Reference LTC DWG # 05-08-1641 Rev B)



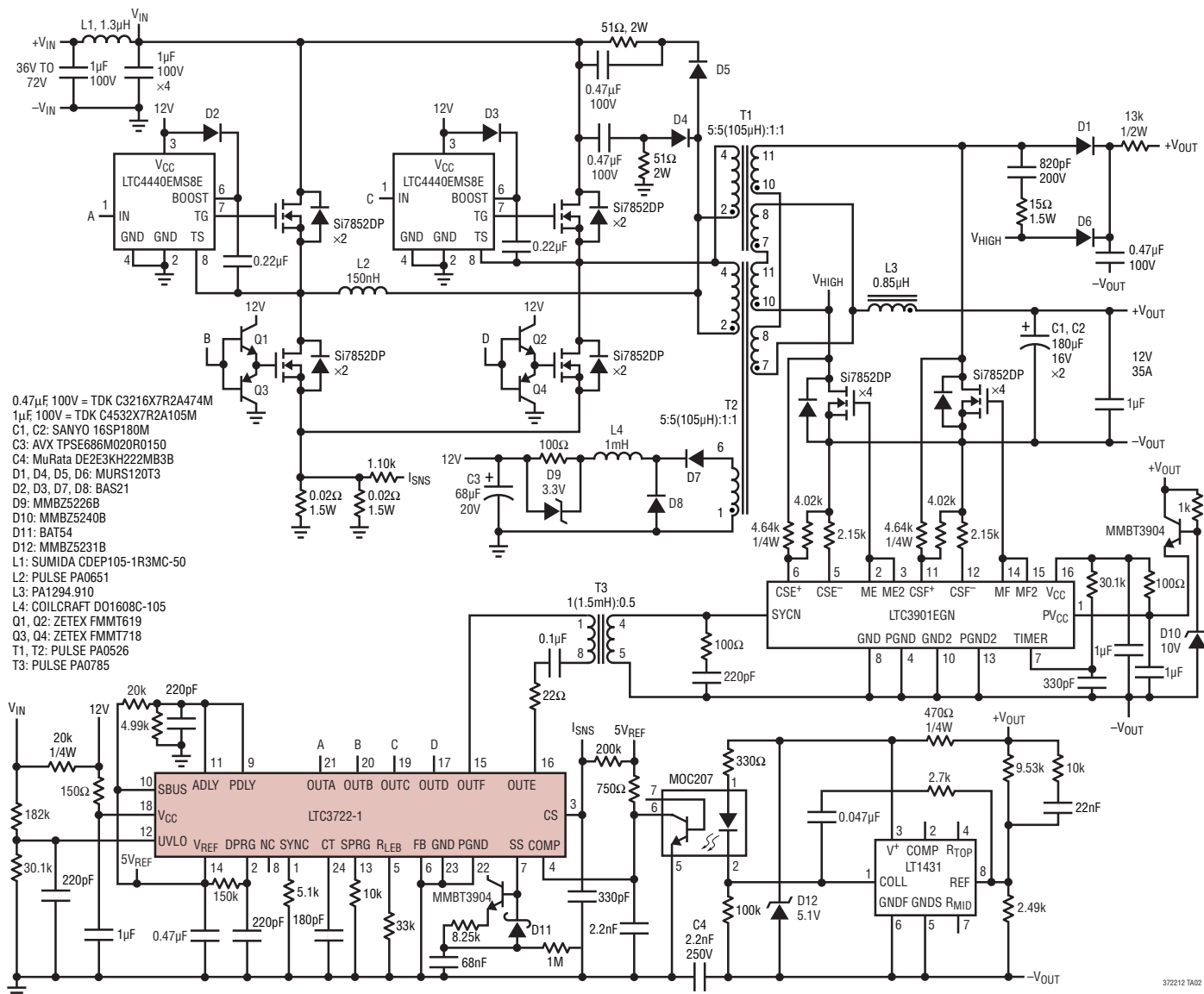
## 改訂履歴 (Rev Aよりスタート)

REV	日付	概要	ページ番号
A	03/10	Iグレードを追加、データシート全体に反映	1~28
B	02/13	Hグレード・デバイスを追加、データシート全体に反映	1~28

# LTC3722-1/LTC3722-2

## 標準的応用例

LTC3722/LTC4440を使用した420W、36V~72V入力、12V/35A出力、絶縁フルブリッジ電源



## 関連製品

製品番号	説明	注釈
<a href="#">LTC3723-1/LTC3723-2</a>	同期整流式プッシュプルおよびフルブリッジ・コントローラ	高効率、MOSFETドライバを内蔵
<a href="#">LTC3721-1</a>	非同期整流式プッシュプルおよびフルブリッジ・コントローラ	最小限の外付け部品、MOSFETドライバを内蔵
<a href="#">LTC3765/LTC3766</a>	絶縁型同期整流式フォワード・コントローラ・チップ・セット	24Vまたは48Vの高入力電圧アプリケーションに最適
<a href="#">LT1952/LT1952-1</a>	絶縁型同期整流式フォワード・コントローラ	24Vまたは48Vの高入力電圧アプリケーションに最適
<a href="#">LTC3901</a>	プッシュプルおよびフルブリッジ・コンバータ用の2次側同期ドライバ	プログラム可能なタイムアウト、逆インダクタ電流の検出
<a href="#">LTC4440</a>	高電圧ハイサイドMOSFETドライバ	100V、2.4Aプルアップ、16Ωプルダウン、SOT-23、MSOP-8

372212fb