

特徴

- 入出力コンデンサ要求および電源誘導ノイズを軽減する出力段のアンチ・フェーズ動作
- デュアル入力電源機能による負荷分配
- 5ビット携帯用VIDコード： $V_{OUT}=0.6V \sim 1.75V$
- $\pm 1\%$ の出力電圧精度
- 真のリモート検出用差動アンプ
- パワーグッド出力電圧モニタ
- アクティブ電圧ポジショニングをサポート
- 電流分配を保証する電流モード制御
- OPTI-LOOP™補償による C_{OUT} の最小化
- 三つの動作モード：PWM、バースト、およびサイクル・スキップ
- プログラム可能な固定周波数：150kHz～300kHz
- 広い V_{IN} 範囲：4V～36V動作
- 調整可能なソフトスタート電流ランプ
- 内部の電流フォールドバックと短絡保護
- 過電圧ソフトラッチにより不具合動作への移行を除去
- 36ピン細型SSOPパッケージで供給

アプリケーション

- 携帯コンピュータ用CPU電源

LT、LTC、LTはリアテクノロジー社の登録商標です。
 OPTI-LOOP、Burst Modeはリアテクノロジー社の商標です。

概要

LTC®3716は、2フェーズでVIDがプログラム可能な同期式降圧スイッチング・レギュレータ・コントローラで、固定周波数方式で2個の外部Nチャンネル・パワーMOSFET段を駆動します。2フェーズ・コントローラは、入出力コンデンサ双方のRMSリップル電流を最小化するために、300kHzまでの周波数で出力段を逆相駆動します。2フェーズ技術が効果的に基本周波数を2倍し、効率の上で最適な周波数で各チャンネルを駆動しながら、過度応答を改善します。熱設計も簡略化できます。

動作モード選択ピン(FCB)により、2次巻線をレギュレーションしたり、高効率のBurst Mode™動作を含む三つのモードから選択したり出来ます。内部の差動アンプにより、大電流用途で必要なレギュレーション電源の正出力および負出力端子の、真のリモート検出ができます。

RUN/SSピンにより、ソフトスタートおよび付加的なタイム付き短絡保護が得られます。電流フォールドバックにより、過電流ラッチオフが無効で短絡状態の間、MOSFETの電力損失が制限されます。OPTI-LOOP補償により、広範囲の出力コンデンサとESR値に対して過渡応答が最適化できます。

標準的応用例

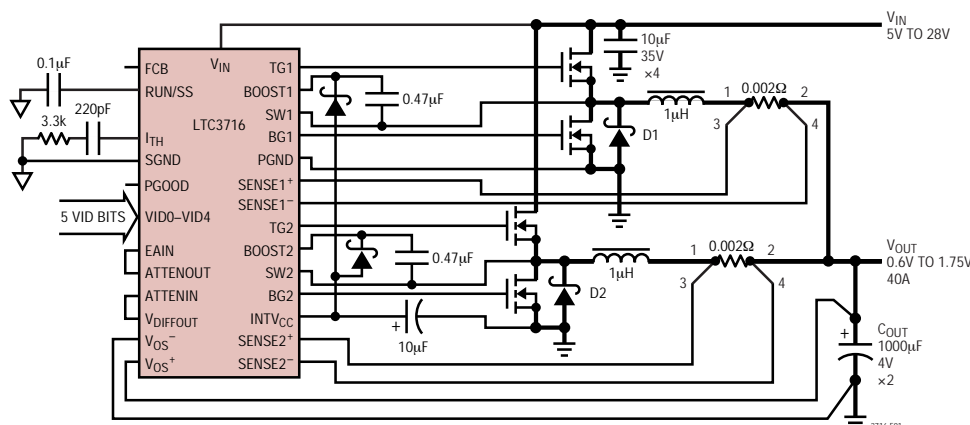


図1．大電流、2フェーズ、降圧コンバータ

絶対最大定格

(Note1)

入力電源電圧(V_{IN})	36V ~ - 0.3V
上側ドライバ電圧(BOOST1、2)	42V ~ - 0.3V
スイッチ電圧(SW1、2)	36V ~ - 5V
SENSE1 ⁺ 、SENSE2 ⁺ 、SENSE1 ⁻ 、 SENSE2 ⁻ 電圧	(1.1)INTV _{CC} ~ - 0.3V
EAIN、 V_{OS}^+ 、 V_{OS}^- 、EXTV _{CC} 、INTV _{CC} 、RUN/SS、 V_{BIAS} 、ATTENIN、ATTENOUT、PGOOD、AMPMD、 VID0-VID4電圧	7V ~ - 0.3V
ブースト・ドライバ電圧(BOOST-SW)	7V ~ - 0.3V
PLLFLTR、PLLIN、 $V_{DIFFOUT}$ 、 FCB電圧	INTV _{CC} ~ - 0.3V
I_{TH} 電圧	2.7V ~ - 0.3V
ピーク出力電流<1 μ s(TG1、2、BG1、2)	3A
INTV _{CC} RMS出力電流	50mA
動作雰囲気温度範囲(Note2)	- 40 ~ 85
接合部温度(Note3)	125
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒)	300

パッケージ/発注情報

TOP VIEW		ORDER PART NUMBER
RUN/SS [1]	[36] PGOOD	LTC3716EG
SENSE1 ⁺ [2]	[35] TG1	
SENSE1 ⁻ [3]	[34] SW1	
EAIN [4]	[33] BOOST1	
PLLFLTR [5]	[32] V_{IN}	
PLLIN [6]	[31] BG1	
FCB [7]	[30] EXTV _{CC}	
I_{TH} [8]	[29] INTV _{CC}	
SGND [9]	[28] PGND	
$V_{DIFFOUT}$ [10]	[27] BG2	
V_{OS}^- [11]	[26] BOOST2	
V_{OS}^+ [12]	[25] SW2	
SENSE2 ⁻ [13]	[24] TG2	
SENSE2 ⁺ [14]	[23] AMPMD	
ATTENOUT [15]	[22] V_{BIAS}	
ATTENIN [16]	[21] VID4	
VID0 [17]	[20] VID3	
VID1 [18]	[19] VID2	
G PACKAGE 36-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 85^{\circ}\text{C/W}$		

より広い動作温度範囲で規定されたデバイスはお問い合わせください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。特記がない限り、 $V_{IN}=15\text{V}$ 、 $V_{BIAS}=5\text{V}$ 、 $V_{RUNN/SS}=5\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Main Control Loop							
V_{EAIN}	Regulated Feedback Voltage	I_{TH} Voltage = 1.2V; Measured at V_{EAIN} (Note 4)	● 0.594	0.600	0.606	V	
$V_{SENSEMAX}$	Maximum Current Sense Threshold		● 62	75	88	mV	
I_{INEAIN}	Feedback Current	(Note 4)		-5	-50	nA	
$V_{LOADREG}$	Output Voltage Load Regulation	(Note 4)					
		Measured in Servo Loop, ΔI_{TH} Voltage: 1.2V to 0.7V	●	0.1	0.5	%	
		Measured in Servo Loop, ΔI_{TH} Voltage: 1.2V to 2V	●	-0.1	-0.5	%	
$V_{REFLNREG}$	Reference Voltage Line Regulation	$V_{IN} = 3.6\text{V}$ to 30V (Note 4)		0.002	0.02	%/V	
V_{FCB}	Forced Continuous Threshold		● 0.57	0.6	0.63	V	
I_{FCB}	Forced Continuous Current			-0.17	-1	μA	
$V_{BINHIBIT}$	Burst Inhibit (Constant Frequency) Threshold	Measured at FCB pin		4.3	4.8	V	
V_{OVL}	Output Overvoltage Threshold	Measured at V_{EAIN}	● 0.64	0.66	0.68	V	
UVLO	Undervoltage Lockout	V_{IN} Ramping Down		3	3.33	4	V
g_m	Transconductance Amplifier g_m	$I_{TH} = 1.2\text{V}$, Sink/Source 5 μA (Note 4)		3		mmho	
g_{mOL}	Transconductance Amplifier Gain	$I_{TH} = 1.2\text{V}$, ($g_m \cdot Z_L$: No Ext Load) (Note 4)		1.5		V/mV	

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。特記がない限り、 $V_{IN}=15V$ 、 $V_{BIAS}=5V$ 、 $V_{RUN/SS}=5V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_Q	Input DC Supply Current Normal Mode Shutdown	(Note 5) $V_{RUN/SS} = 0V$		1.2 20	40	mA μA
$I_{RUN/SS}$	Soft-Start Charge Current	$V_{RUN/SS} = 1.9V$	-0.5	-1.2		μA
$V_{RUN/SS}$	RUN/SS Pin ON Threshold	$V_{RUN/SS}$ Rising	1.0	1.5	1.9	V
$V_{RUN/SSLO}$	RUN/SS Pin Latchoff Arming	$V_{RUN/SS}$ Rising from 3V		4.1	4.5	V
I_{SCL}	RUN/SS Discharge Current	Soft Short Condition $V_{EAIN} = 0.5V$, $V_{RUN/SS} = 4.5V$	0.5	2	4	μA
I_{SDLHO}	Shutdown Latch Disable Current	$V_{EAIN} = 0.5V$		1.6	5	μA
I_{SENSE}	Total Sense Pins Source Current	Each Channel: $V_{SENSE1-, 2-} = V_{SENSE1+, 2+} = 0V$	-85	-60		μA
DF_{MAX}	Maximum Duty Factor	In Dropout	98	99.5		%
$TG1, 2 t_r$ $TG1, 2 t_f$	Top Gate Transition Time: Rise Time Fall Time	(Note 6) $C_{LOAD} = 3300pF$ $C_{LOAD} = 3300pF$		30 40	90 90	ns ns
$BG1, 2 t_r$ $BG1, 2 t_f$	Bottom Gate Transition Time: Rise Time Fall Time	(Note 6) $C_{LOAD} = 3300pF$ $C_{LOAD} = 3300pF$		30 20	90 90	ns ns
$TG/BG t_{1D}$	Top Gate Off to Bottom Gate On Delay Synchronous Switch-On Delay Time	$C_{LOAD} = 3300pF$ Each Driver (Note 6)		90		ns
$BG/TG t_{2D}$	Bottom Gate Off to Top Gate On Delay Top Switch-On Delay Time	$C_{LOAD} = 3300pF$ Each Driver (Note 6)		90		ns
$t_{ON(MIN)}$	Minimum On-Time	Tested with a Square Wave (Note 7)		180		ns

Internal V_{CC} Regulator

V_{INTVCC}	Internal V_{CC} Voltage	$6V < V_{IN} < 30V$, $V_{EXTVCC} = 4V$	4.8	5.0	5.2	V
$V_{LDO INT}$	INTV _{CC} Load Regulation	$I_{CC} = 0$ to 20mA, $V_{EXTVCC} = 4V$		0.2	1.0	%
$V_{LDO EXT}$	EXTV _{CC} Voltage Drop	$I_{CC} = 20mA$, $V_{EXTVCC} = 5V$		80	160	mV
V_{EXTVCC}	EXTV _{CC} Switchover Voltage	$I_{CC} = 20mA$, EXTV _{CC} Ramping Positive	● 4.5	4.7		V
V_{LDOHYS}	EXTV _{CC} Switchover Hysteresis	$I_{CC} = 20mA$, EXTV _{CC} Ramping Negative		0.2		V

VID Parameters

V_{BIAS}	Operating Supply Voltage Range		2.7		5.5	V
R_{ATTEN}	Resistance Between ATTENIN and ATTENOUT Pins			10		k Ω
$ATTEN_{ERR}$	Resistive Divider Error		● -0.25		0.25	%
R_{PULLUP}	VID0 to VID4 Pull-Up Resistance	(Note 8)		40		k Ω
VID_{THLOW}	VID0 to VID4 Logic Threshold Low				0.4	V
VID_{THHIGH}	VID0 to VID4 Logic Threshold High		1.6			V
VID_{LEAK}	VID0 to VID4 Leakage	$V_{BIAS} < VID0-VID4 < 7V$			± 1	μA

Oscillator and Phase-Locked Loop

f_{NOM}	Nominal Frequency	$V_{PLLFLTR} = 1.2V$	190	220	250	kHz
f_{LOW}	Lowest Frequency	$V_{PLLFLTR} = 0V$	120	140	160	kHz
f_{HIGH}	Highest Frequency	$V_{PLLFLTR} \geq 2.4V$	280	310	360	kHz
R_{PLLIN}	PLLIN Input Resistance			50		k Ω
$I_{PLLFLTR}$	Phase Detector Output Current Sinking Capability Sourcing Capability	$f_{PLLIN} < f_{OSC}$ $f_{PLLIN} > f_{OSC}$		-15 15		μA μA
R_{RELPHS}	Controller 2-Controller 1 Phase			180		Deg

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25$ での値。特記がない限り、 $V_{IN}=15V$ 、 $V_{BIAS}=5V$ 、 $V_{RUNN/SS}=5V$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PGOOD Output						
V_{PGL}	PGOOD Voltage Low	$I_{PGOOD} = 2mA$		0.1	0.3	V
I_{PGOOD}	PGOOD Leakage Current	$V_{PGOOD} = 5V$			± 1	μA
V_{PG}	PGOOD Trip Level, Either Controller	V_{EAIN} with Respect to Set Output Voltage V_{EAIN} Ramping Negative V_{EAIN} Ramping Positive	-8 8	-10 10	-12 12	% %
Differential Amplifier/Op Amp Gain Block						
A_{DA}	Differential Amplifier Gain	$V_{AMPMD} = 0V$	0.995	1	1.005	V/V
$CMRR_{DA}$	Common Mode Rejection Ratio	$0V < V_{CM} < 5V$; $V_{AMPMD} = 0V$	46	55		dB
R_{IN}	Input Resistance	Measured at V_{OS+} Input; $V_{AMPMD} = 0V$		80		k Ω
V_{OS}	Input Offset Voltage	Op Amp Mode; $V_{CM} = 2.5V$, $V_{AMPMD} = 5V$ $V_{DIFFOUT} = 5V$; $I_{DIFFOUT} = 1mA$			6	mV
I_B	Input Bias Current	Op Amp Mode; $V_{AMPMD} = 5V$		30	200	nA
A_{OL}	Open-Loop DC Gain	Op Amp Mode; $0.7V \leq V_{DIFFOUT} < 10V$, $V_{AMPMD} = 5V$		5000		V/mV
V_{CM}	Common Mode Input Voltage Range	Op Amp Mode; $V_{AMPMD} = 5V$	0		3	V
$CMRR_{OA}$	Common Mode Rejection Ratio	Op Amp Mode; $0V < V_{CM} < 3V$, $V_{AMPMD} = 5V$	70	90		dB
$PSRR_{OA}$	Power Supply Rejection Ratio	Op Amp Mode; $6V < V_{IN} < 30V$, $V_{AMPMD} = 5V$	70	90		dB
I_{CL}	Maximum Output Current	Op Amp Mode; $V_{DIFFOUT} = 0V$, $V_{AMPMD} = 5V$	10	35		mA
V_{OMAX}	Maximum Output Voltage	Op Amp Mode; $I_{DIFFOUT} = 1mA$, $V_{AMPMD} = 5V$	10	11		V
GBW	Gain-Bandwidth Product	Op Amp Mode; $I_{DIFFOUT} = 1mA$, $V_{AMPMD} = 5V$		2		MHz
SR	Slew Rate	Op Amp Mode; $R_L = 2k$, $V_{AMPMD} = 5V$		5		V/ μs

Note1: 絶対最大定格はそれを超えるとデバイスの寿命を損なう可能性がある値。

Note2: LTC3716は、0 ~ 70 で規定された動作が保証されます。これらは、-40 ~ 85 でも規定された動作がするように、設計、特性付け、および統計的プロセス制御に基づく相関によって保証されます。

Note3: T_J は雰囲気温度 T_A と電力損失 P_D から次式によって計算されます。

$$LTC3716EG: T_J = T_A + (P_D \cdot 85^\circ C/W)$$

Note4: LTC3716は、特定の電圧に V_{ITH} をサーボ制御する帰還ループでテストされ、その結果の V_{EAIN} を測定します。

Note5: 動的電源電流は、ゲート電荷がスイッチング周波数で移動されるので、更に大きくなります。アプリケーション情報を参照してください。

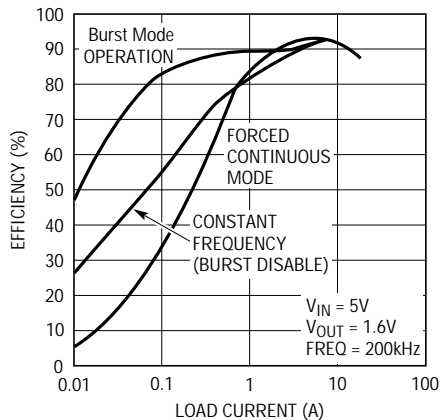
Note6: 立ち上がり/立ち下り時間は、10%および90%のレベルで測定します。遅延時間は50%レベルで測定します。

Note7: 最小オン時間の条件は、 I_{MAX} の40%以上であるオン時のインダクタ・ピーク・トゥ・ピーク・リップル電流に相当します。(アプリケーション情報の項の最小オン時間の考察を参照してください。)

Note8: VID入力に接続されている各内蔵プルアップ抵抗には直列ダイオードもあり、破損やクランプすることなく、入力電圧が $VIDV_{CC}$ よりも高くなることができます。(アプリケーション情報の項を参照してください。)

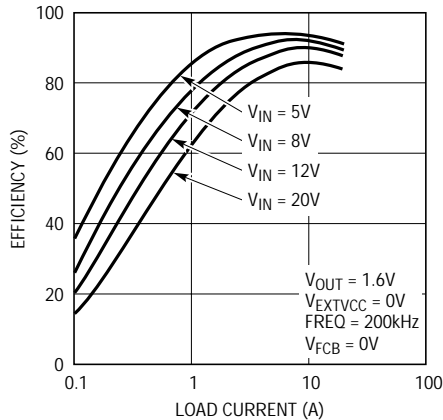
標準的性能特性

効率対負荷電流
(三つの動作モード)(図13)



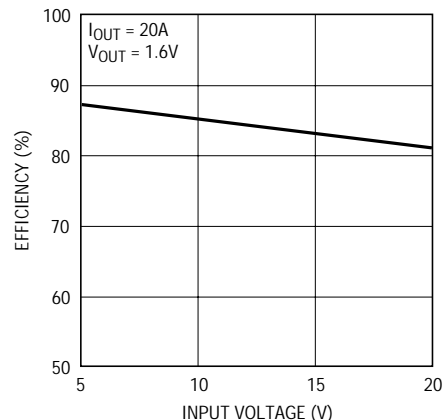
3716 G01

効率対負荷電流(図13)



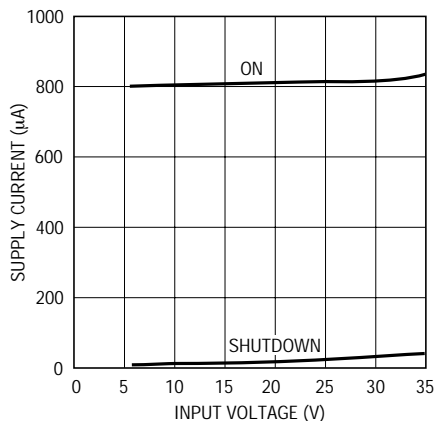
3716 G02

効率対入力電圧(図13)



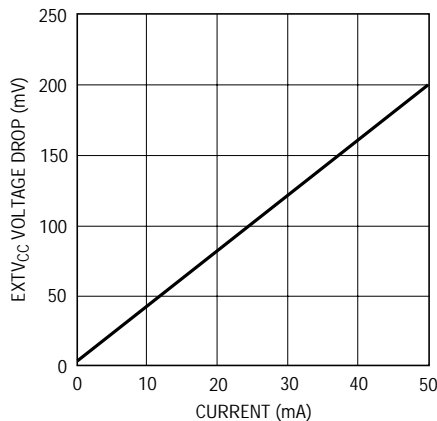
3716 G03

電源電流対入力電圧とモード



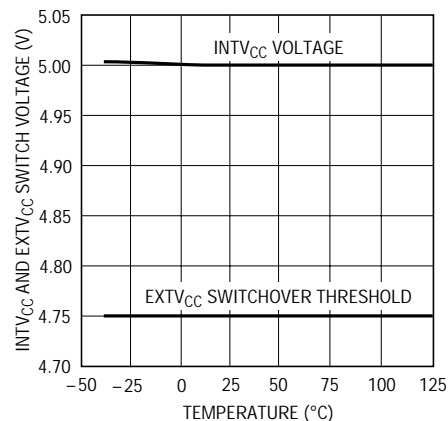
3716 G04

EXTV_{CC} 電圧降下



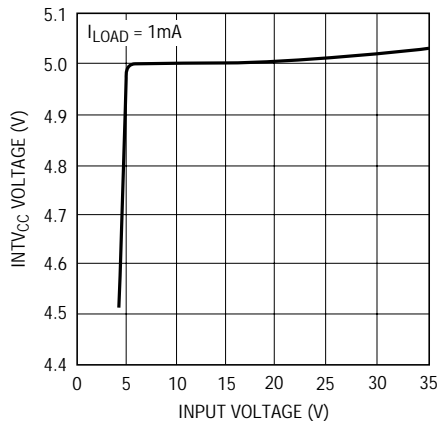
3716 G05

INTV_{CC}とEXTV_{CC}スイッチ電圧
対温度



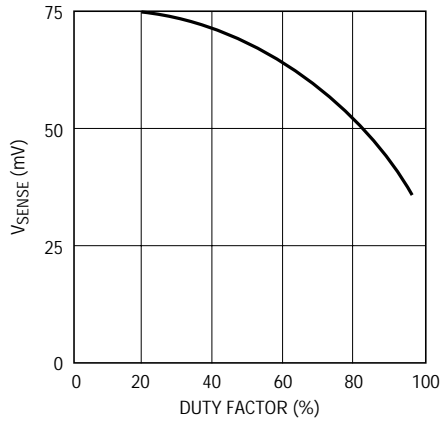
3716 G06

内部5V LDOの
ライン・レギュレーション



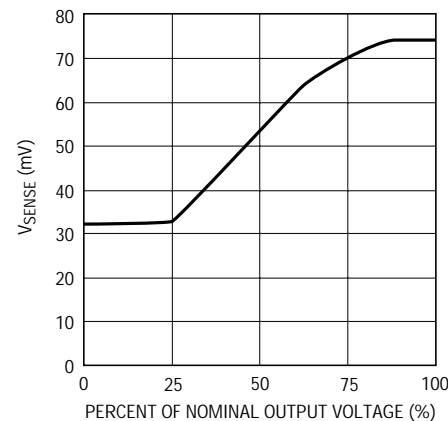
3716 G07

最大電流検出スレッシュホールド対
デューティファクター



3716 G08

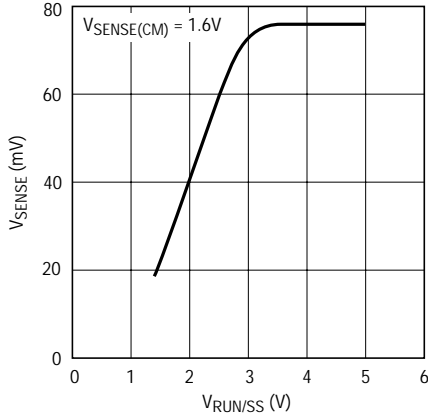
最大電流検出スレッシュホールド対
公称出力電圧のパーセント
(フォールドバック)



3716 G09

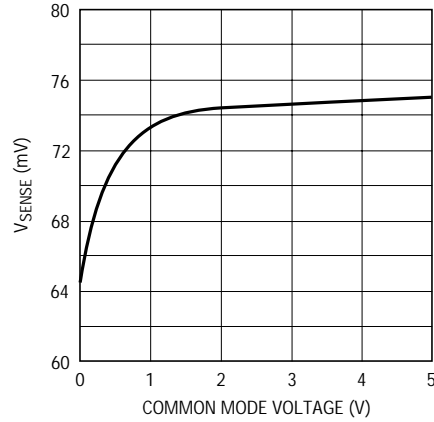
標準的性能特性

最大電流検出スレッシュホールド対
 $V_{RUN/SS}$ (ソフトスタート)



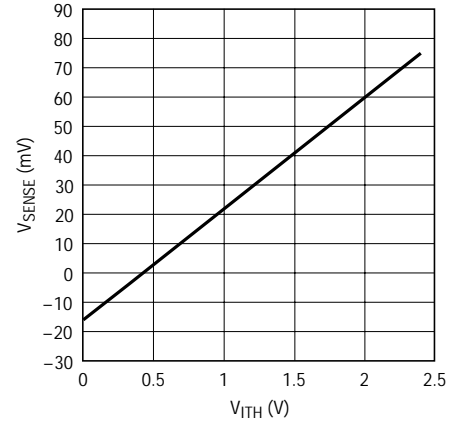
3716 G10

最大電流検出スレッシュホールド対
検出コモンモード電圧



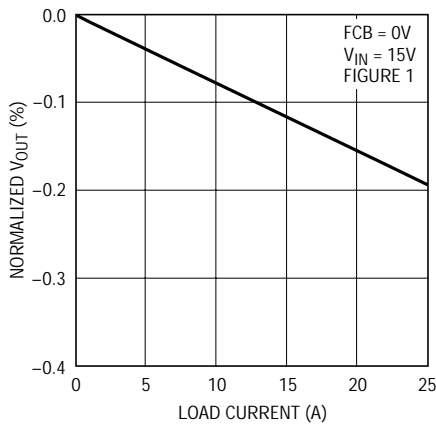
3716 G11

電流検出スレッシュホールド対
 I_{TH} 電圧



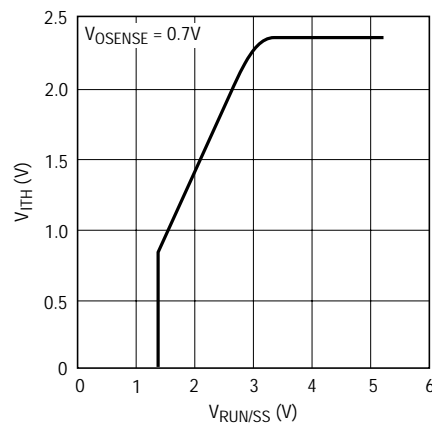
3716 G12

負荷レギュレーション



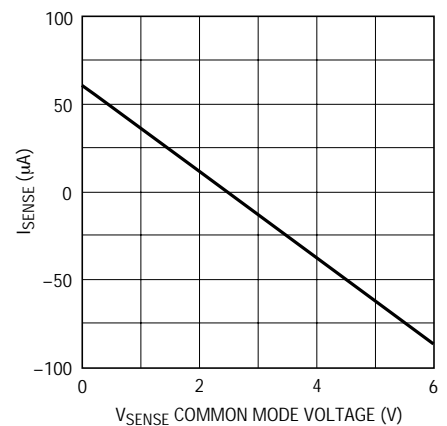
3716 G13

$V_{I TH}$ 対 $V_{RUN/SS}$ (ソフトスタート)



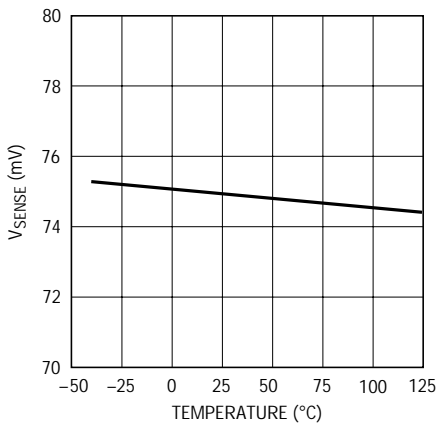
3716 G14

SENSEピンの全ソース電流



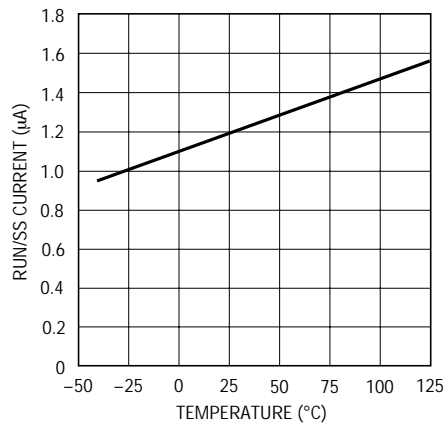
3716 G15

最大電流検出スレッシュホールド対
温度



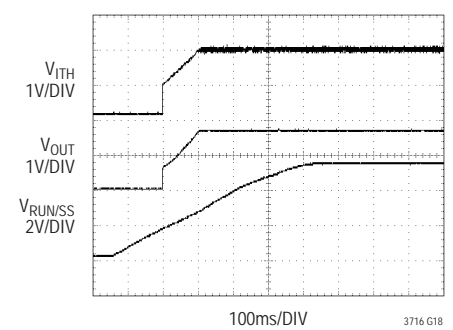
3716 G16

RUN/SS電流対温度



3716 G17

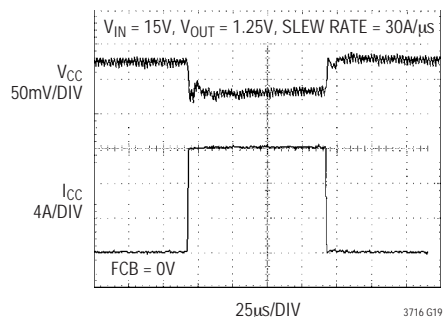
ソフトスタート(図13)



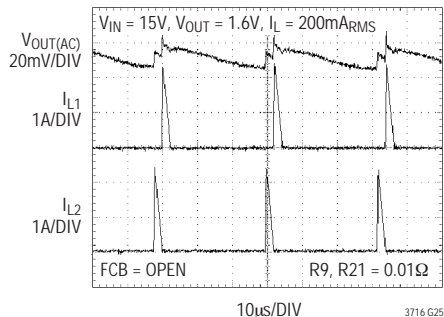
3716 G18

標準的性能特性

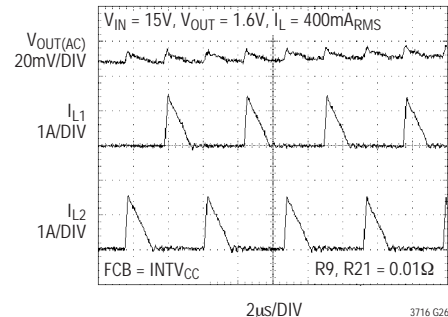
負荷ステップ(図13)



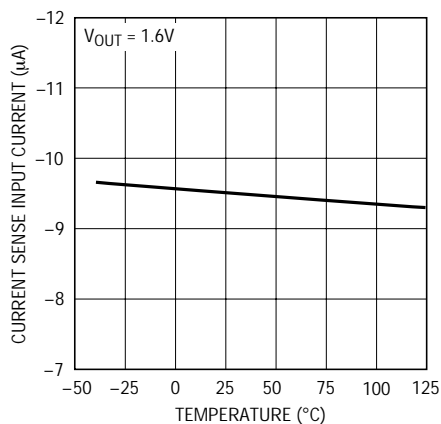
バーストモード動作(図13)



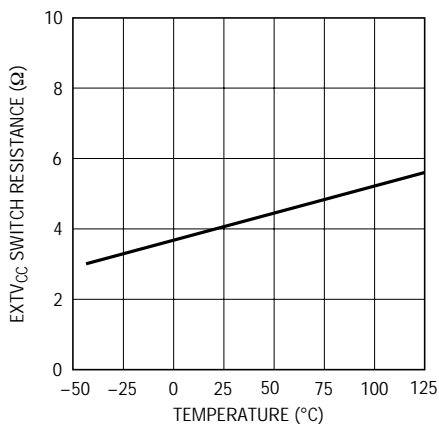
固定周波数モード(図13)



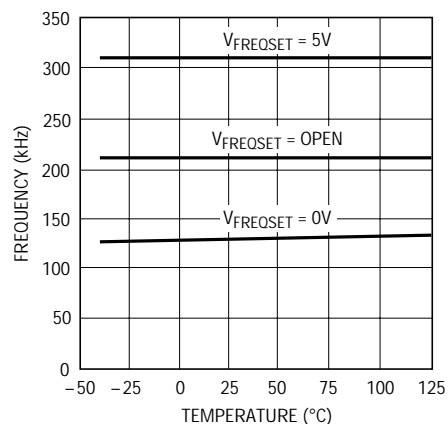
電流検出ピンの入力電流対温度



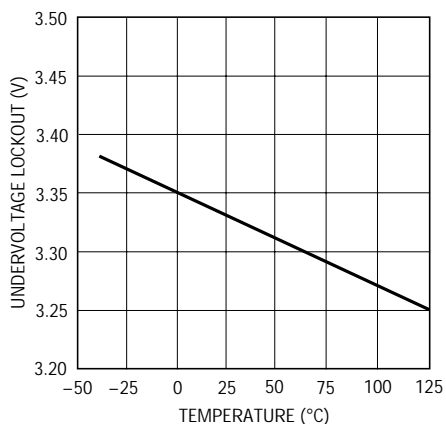
EXTVCCスイッチの抵抗対温度



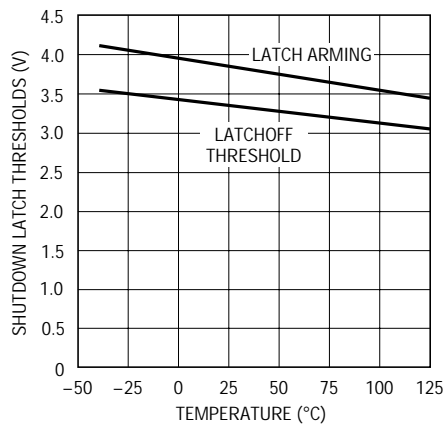
発振器周波数対温度



低電圧ロックアウト対温度



V_{RUN/SS}シャットダウンのラッチ・スレッシュホールド対温度



ピン機能

RUN/SS(ピン1): ソフトスタート、RUN制御入力、および短絡検出タイマの組み合わせ。このピンからグラウンドへのコンデンサが、最大電流出力までの立ち上がり時間を設定します。このピンを0.8V以下にすると、デバイスの全ての内部回路がシャットダウンします。シャットダウンでは全ての機能が無効です。

SENSE1⁺、SENSE2⁺(ピン2、14): 各差動電流コンパレータの+入力。I_{TH}ピンの電圧と、R_{SENSE}と連携するSENSE⁻ピンとSENSE⁺ピンの間の内蔵オフセットが、電流のトリップスレッシュホールドを設定します。

SENSE1⁻、SENSE2⁻(ピン3、13): 差動電流コンパレータの-入力。

EAIN(ピン4): 帰還電圧を内部0.6Vリファレンス電圧と比較する誤差アンプの入力。このピンは通常、差動アンプの出力(DIFFOUT)からの抵抗分割器に接続します。

PLLFLTR(ピン5): このピンにはPLLのローパス・フィルタが接続されます。択一的に、内部発振器の周波数を変えるためにこのピンをACまたはDC電圧源で駆動することができます。V_{IN}投入前にこのピンに電圧を加えないで下さい。

PLLIN(ピン6): 位相検波器の外部同期入力。このピンは内部で、50kΩでグラウンドに終端されています。PLLは、コントローラ1の上側ゲートの立ち上がり信号がPLLIN信号の立ち上がりエッジと同期するようにします。

FCB(ピン7): 強制連続制御入力。この入力は出力段としても動作し、2次巻線をレギュレーションするために使用できます。このピンを0.6V以下にすると、連続同期動作になります。デカップリング・コンデンサをつけずに、このピンをオープンのままにしないで下さい。

I_{TH}(ピン8): 誤差アンプ出力およびスイッチング・レギュレータの補償点。双方の電流コンパレータのスレッシュホールドは、この制御電圧で増加します。このピンの通常の電圧範囲は0V ~ 2.4Vです。

SGND(ピン9): 信号グラウンド。このピンは双方のコントローラに共通です。個別にPGNDピンへつないでください。

V_{DIFFOUT}(ピン10): 差動アンプの出力。このピンにより、真のリモート出力電圧検出ができます。V_{DIFFOUT}は通常、出力電圧を設定する外部抵抗分割器を駆動します。

V_{OS⁻}、V_{OS⁺}(ピン11、12): オペアンプへの入力。内部の高精度抵抗がそれを、出力がV_{DIFFOUT}である差動アンプとして構成します。

ATTENOUT(ピン15): VIDプログラム・コードに従って抵抗分割される電圧帰還信号。

ATTENIN(ピン16): VID制御される抵抗分割器への入力。

VID0-VID4(ピン17、18、19、20、21): VID制御ロジック入力ピン。

V_{BIAS}(ピン22): VID制御回路の電源ピン。

AMPMD(ピン23): このロジック入力ピンによって内部高精度抵抗の接続が制御され、オペアンプをユニティ・ゲインの差動アンプとして構成します。

TG2、TG1(ピン24、35): 上側NチャネルMOSFETの大電流ゲート駆動。これらは、スイッチ・ノード電圧SWにINTV_{CC}を重ねたものに等しい電圧振幅をもつフローティング・ドライバの出力です。

SW2、SW1(ピン25、34): インダクタとのスイッチ・ノード接続。これらのピンの電圧振幅は、(外部)ショットキ・ダイオードの電圧降下分だけグラウンドよりも低いところからV_{IN}までです。

BOOST2、BOOST1(ピン26、33): 上側フローティング・ドライバへのブートストラップ電源。BOOSTとSWピンの間に外部コンデンサを接続し、BOOSTとINTV_{CC}ピンの間にショットキ・ダイオードを接続します。

BG2、BG1(ピン27、31): 下側NチャネルMOSFETの大電流ゲート駆動。これらのピンの電圧振幅は、グラウンドからINTV_{CC}までです。

PGND(ピン28): ドライバのパワー・グラウンド。下側NチャネルMOSFETのソースおよびC_{IN}の-端子を接続してください。

INTV_{CC}(ピン29): 内部の5Vリニア低飽和レギュレータとEXTV_{CC}スイッチの出力。ドライバと制御回路はこの電圧源から電源供給されます。デバイス近傍に直接配置した1μFセラミック・コンデンサと、最低4.7μFの追加のタンタルまたは他の低ESRコンデンサで、パワー・グラウンドにデカップリングしてください。

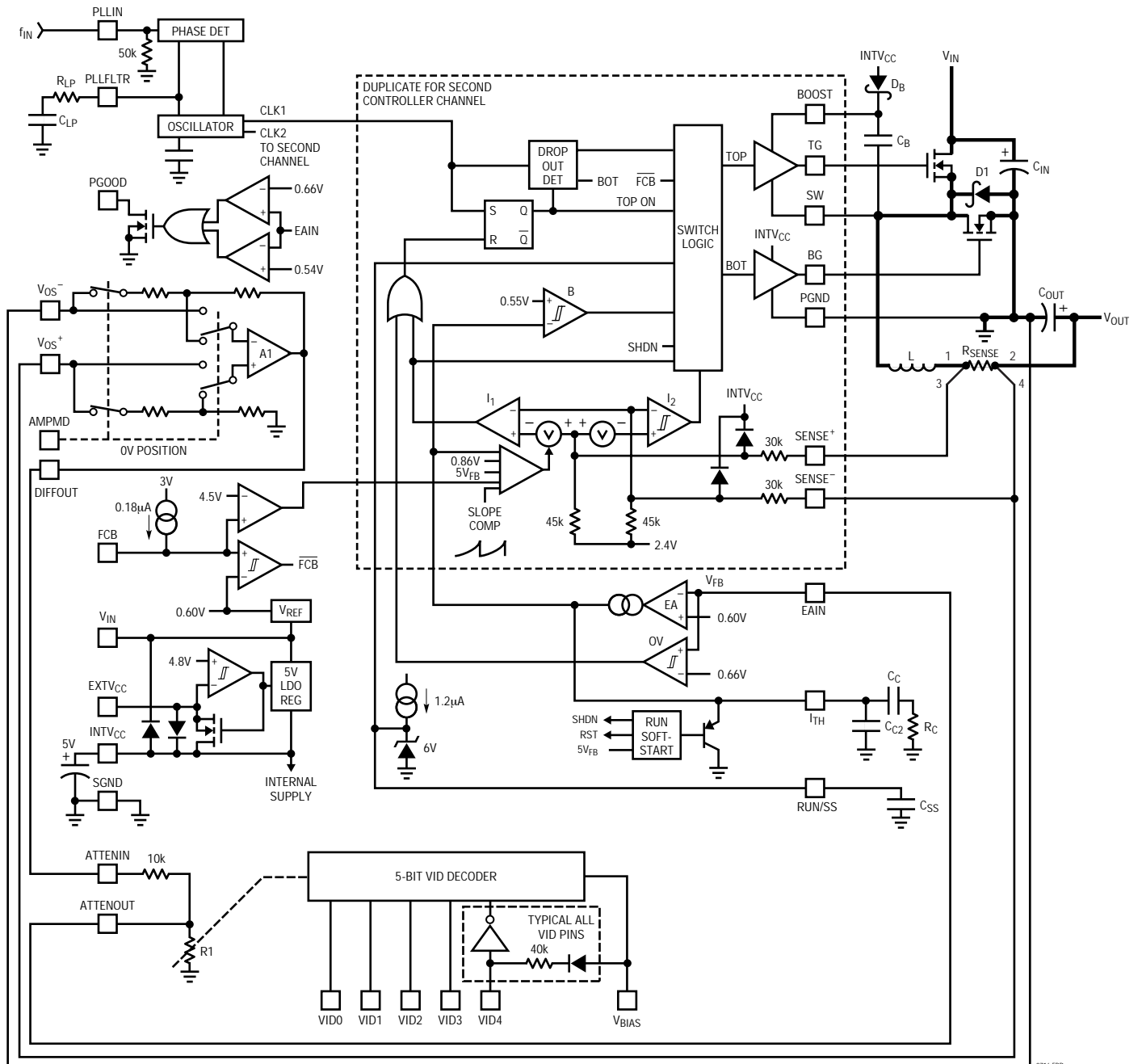
EXTV_{CC}(ピン30): 内部スイッチへの外部電源入力。EXTV_{CC}が4.7Vよりも高いと、内部の低飽和レギュレータを迂回し、スイッチを閉じてINTV_{CC}を供給します。アプリケーション情報のEXTV_{CC}接続の項を参照してください。このピンは7Vを超えないようにし、V_{EXTVCC} ≤ V_{INTVCC}であることを確かめてください。

ピン機能

V_{IN} (ピン32): 主電源ピン。デバイスの信号グラウンド・ピンにしっかりとデカップリングしてください。

PGOOD(ピン36): オープンドレインのロジック出力。EAINピンの電圧が設定点の $\pm 10\%$ 以内でなくなると、PGOODはグラウンドになります。

機能図



3716 FBD

動作 (機能図を参照してください。)

主制御ループ

LTC3716は、固定周波数、電流モードの降圧方式を使用し、180度の位相差を持って二つの出力段が動作します。通常動作の間、各チャネルのクロックがRSラッチをセットする時に各々の上側MOSFETがオンし、主電流コンパレータ I_1 がRSラッチをリセットする時にオフします。 I_1 がRSラッチをリセットする時のピーク・インダクタ電流は、誤差アンプEAの出力である I_{TH} ピンの電圧で制御されます。EAINピンが電圧帰還信号を受けて、EAで内部リファレンス電圧と比較されます。負荷電流が増加すると、0.6Vリファレンスと比較する V_{EAIN} がわずかに減少し、平均インダクタ電流が新しい負荷電流に一致するまで今度は I_{TH} 電圧を増加します。上側MOSFETがオフされた後、電流コンパレータ I_2 で示されるインダクタ電流が逆流し始めるか、または次のサイクルの開始まで、下側MOSFETがオンします。

上側MOSFETドライバはフローティング・ブートストラップ・コンデンサ C_B でバイアスされ、通常は上側MOSFETがオフするオフサイクルの間に外部ダイオードを介して再充電されます。 V_{IN} が V_{OUT} に近い電圧まで減少すると、ループはドロップアウト動作になり、上側MOSFETを連続してオンしようとしています。ドロップアウト検出器がこれを検出し、 C_B が再充電できるように10サイクル毎に約500nsの間、上側MOSFETをオフします。

RUN/SSピンをローにすると、主制御ループはシャットダウンします。RUN/SSをリリースすると、内部の1.2 μ A電流源がソフトスタート・コンデンサ C_{SS} を充電できます。 C_{SS} が1.5Vに達すると、主制御ループは最大値の約30%にクランプされた I_{TH} 電圧でイネーブルされます。 C_{SS} が充電し続けると、 I_{TH} ピンの電圧は次第にリリースされ、通常的全電流動作が可能となります。

低電流動作

FCBピンは多機能ピンであり、二つの機能を提供します。1) . 双方のコントローラを一時的に連続PWM動作にして2次巻線をレギュレーションする。2) . 低電流動作の二つのモードから選択するFCBピンの電圧が0.6V以下の場合、コントローラは連続PWM電流モード動作に

なります。このモードでは、上側と下側のMOSFETは交互にオンし、インダクタ電流の方向に無関係な出力電圧を維持します。FCBピンが $V_{INTVCC} - 2V$ 以下で、且つ0.6Vより大きい場合、コントローラはバースト・モード動作になります。バースト・モード動作は、上側スイッチを抑制する前に最小出力電流レベルを設定し、インダクタ電流が負になる時に同期MOSFETオフします。この組み合わせの要求が、低電流時に I_{TH} ピンを出力電圧が降下するまで双方の出力MOSFETがオンすることを一時的に抑制する電圧スレッシュホールド以下にします。 I_{TH} ピンに接続されたバースト・コンパレータBには60mVのヒステリシスがあります。このヒステリシスにより、数サイクルの間、MOSFETをオンする出力信号を生成し、負荷電流に依存して変動する“休止”期間が続きます。結果の出力電圧リップルは、誤差アンプ利得ブロック後段のヒステリシスを持つコンパレータにより、非常に小さな値に保たれます。

固定周波数動作

FCBピンが $INTV_{CC}$ に接続される場合、バースト・モード動作は無効となり、最小ピーク出力電流に強制される要求は解除されます。これにより、可能な出力電流が最も広範囲にわたる固定周波数、不連続(反転インダクタ電流を防ぐ)電流動作が得られます。この固定周波数動作はバースト・モード動作のような高効率ではなく、代わりに低ノイズと、設計された最大出力電流の約1%まで下げられる固定周波数動作モードが得られます。

連続電流(PWM)動作

FCBピンをグランドに接続すると、連続電流動作になります。これは最も低効率の動作モードですが、特定の用途では必要とされます。出力はこのモードで電流をシンク/ソースできます。強制連続動作時に電流をシンクする場合、電流は潜在的に入力電源を危険な電圧レベルに昇圧する主電源に戻されます。 - 注意!

動作 (機能図を参照してください。)

周波数同期

PLLにより、内部発振器はPLLINピンを介して外部クロックに同期できます。位相検波器出力のPLLFLTRピンは発振器の周波数制御DC入力でもあり、0V~2.4VのDC電圧入力に相当する140kHz~310kHzの範囲で動作します。ロックすると、PLLが同期信号の立ち上がりエッジに上側MOSFETのオンを合わせます。PLLINが開放の時、PLLFLTRピンはローになり、発振器は最小周波数になります。

入力コンデンサから流れるピーク電流は効率的に2分割され、電力損失はRMS電流の二乗に比例するので、入力コンデンサのESR要求および効率損失は大幅に低減されます。2段構成、単一出力の実現により、入力経路電力損失を75%まで軽減でき、入力コンデンサのRMS電流定格を根本的に減らします。

INTV_{CC}/EXTV_{CC}電源

上側/下側MOSFETドライバおよびデバイスのほとんどの回路の電源はINTV_{CC}から供給されます。EXTV_{CC}が開放の場合には、内部の5V低飽和レギュレータがINTV_{CC}電源を供給します。EXTV_{CC}ピンが4.8Vより大きい場合、その5Vレギュレータはオフし、EXTV_{CC}をINTV_{CC}に接続するために内部スイッチがオンします。アプリケーション情報の項に記載されているように、これにより、レギュレータ自身の出力または2次巻線のような高効率外部電源からINTV_{CC}電源を取り込むことができます。規定されているINTV_{CC}電流よりも大きく必要な用途では、電圧降下を最小にするためにEXTV_{CC}からINTV_{CC}に外部ショットキ・ダイオードを接続できます。ゲート駆動能力を上げるためにEXTV_{CC}に7Vまでの電圧を印加できます。

差動アンプ

このアンプにより、真の差動出力電圧検出が得られます。V_{OUT+}およびV_{OUT-}の双方を検出することで、大電流用途または電氣的相互干渉の損失がある用途でのレギュレーションに役立ちます。AMPMDピンにより、高いコモンモード除去の差動用途向けに内部高精度帰還抵抗を選択、または他の用途向けに内部帰還抵抗を使用せずに実際のアンプ入力へ直接接続ができます。

AMPMDピンは、ユニティ・ゲインの差動用途では内部高精度抵抗に接続するためにグランドにし、内部抵抗をバイパスしてアンプ入力を直接有効にするためにはINTV_{CC}にします。アンプはユニティ・ゲインで安定で、2MHzの利得帯域幅積をもち、120dB以上のオープンループ利得の設計です。アンプには5V/μsの出力スルーレートがあり、一般に25mAまでのRMS出力電流で容量性負荷を駆動する能力があります。アンプには電流をシンクする能力は無く、それを行うには抵抗性負荷を接続する必要があります。

出力過電圧保護

過電圧コンパレータOVは、出力に過電圧が生じる他の更に厳しい条件と同様に、10%を超える過渡オーバーシュートを監視します。この場合、過電圧条件がなくなるまで、上側MOSFETはオフし、下側MOSFETはオンします。

パワーグッド(PGOOD)

PGOODピンは、内部MOSFETのドレインに接続されています。出力電圧が帰還分割器で設定された公称の出力レベルの±10%以内でなくなると、MOSFETがオンします。出力が公称値の±10%以内になるとMOSFETは10μs以内でオフするので、PGOODピンは外部抵抗で7Vまでの電源に接続してください。

短絡検出

RUN/SSコンデンサは、入力電源からの突入電流を制限するために最初に使用されます。出力コンデンサを充電して全負荷電流を供給するために、まずコントローラにはRUN/SSピンのコンデンサで決められるような時間が与えられ、次にRUN/SSコンデンサは短絡タイムアウト回路として使われます。出力電圧がその公称出力電圧の70%以下に下がると、RUN/SSコンデンサは出力が厳しい過電流または短絡状態になったと見なし放電し始めます。その条件がRUN/SSコンデンサの大きさで決められた十分に長い期間続くと、RUN/SSピンの電圧が再生されるまでコントローラはシャットダウンします。この内蔵ラッチオフは、RUN/SSピンに5Vから5μAより大きな電流を供給して無効になります。

動作 (機能図を参照してください。)

この電流はソフトスタート期間を短くしますが、厳しい過電流または短絡状態の間、RUN/SSコンデンサの純放電も防ぎます。短絡ラッチオフ回路がイネーブルかどうかにかかわらず、出力電圧がその公称レベルの70%以下に下がると、フォールドバック電流制限が起動します。

かにかかわらず、出力電圧がその公称レベルの70%以下に下がると、フォールドバック電流制限が起動します。

アプリケーション情報

基本的なLTC3716の応用回路を最初の頁の図1に示します。外部部品の選択は、リップル電流要求を基本としたインダクタの選定に始まり、算出したピーク・インダクタ電流または最大電流制限を使用した電流検出抵抗に続きます。次に、パワーMOSFET、D1、およびD2を選択します。動作周波数とインダクタは、主にリップル電流量を基に選びます。最後に、入力リップル電流(PolyPhase™動作が最小化)を処理する能力で C_{IN} を選び、出力リップル電圧と負荷ステップ仕様(またPolyPhaseで最小化)に合うように十分低いESRで C_{OUT} を選びます。電流モード方式により、出力段の間で共有する固有の電流が得られます。図1に示す回路は、28Vまでの入力電圧で動作するように構成されています(外部MOSFETで制限)。電流モード制御により、2つの出力段を2つの異なる入力電源レールに接続することができます。出力負荷が重い場合には、 R_{SENSE} 抵抗の選択に応じて各入力電源から電力を取ることができます。

出力電流のための R_{SENSE} の選択

$R_{SENSE1,2}$ は、必要なピーク出力電流を基に選びます。LTC3716の電流コンパレータには $75mV/R_{SENSE}$ の最大スレッシュホールドおよび $SGND \sim 1.1(INTV_{CC})$ の入力共通モード範囲があります。電流コンパレータのスレッシュホールドがピーク・インダクタ電流を設定し、ピーク・トゥ・ピーク・リップル電流 ΔI_L の半分以下のピーク値に等しい最大平均出力電流 I_{MAX} を生じます。

各出力段に共通入力電源を想定し、LTC3716と外部部品での変動マージンを容認すると次式が得られます。

$$R_{SENSE} = 2(50mV/I_{MAX})$$

PolyPhaseはリアテクノロジー社の登録商標です。

動作周波数

LTC3716は、内部コンデンサで決まる周波数による固定周波数のPLL方式を採用しています。このコンデンサは、PLLFLTRピンに印加される電圧に比例する付加的な電流と固定電流で充電されます。補足情報として、PLLと周波数同期を参照してください。

図2にPLLFLTRピンへの印加電圧対周波数のグラフを示します。動作周波数が増加すると、ゲート充電損失も高くなり、効率は低下します(効率の考察を参照してください)。最大スイッチング周波数はおおよそ310kHzです。

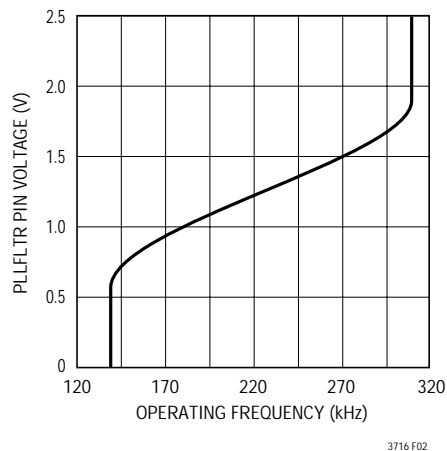


図2. 動作周波数対 $V_{PLLFLTR}$

インダクタ値の算出と出力リップル電流

動作周波数とインダクタの選択には相互関係があり、高い動作周波数では小さな値のインダクタとコンデンサが使用できます。では、何のために大きな部品を使用して低い周波数で動かすことを選びますか？答えは効率です。周波数で直接、MOSFETゲート充電および過渡損失が増加するので、一般に高い周波数は効率を低くします。

アプリケーション情報

この基本的なトレードオフに加えて、リップル電流でのインダクタ値の効果および低電流動作もまた考慮されなければいけません。PolyPhaseの方法により、低い基本周波数で動作するために個別の出力段を最適化しながら効率を高め、入出力双方のリップル電流を減らします。

インダクタ値はリップル電流に直接的に影響があります。個々の部分N当たりのインダクタ・リップル電流 ΔI_L は高いインダクタンスまたは周波数で減少し、高い V_{IN} または V_{OUT} で増加します。

$$\Delta I_L = \frac{V_{OUT}}{fL} \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

ここで、fは個々の出力段動作周波数です。

2フェーズのコンバータでは、出力コンデンサで見られる純リップル電流は、リップル・キャンセルのために個々のインダクタ・リップル電流よりもっと小さくなります。いかにして純出力リップル電流をキャンセルするかの詳細は、アプリケーション・ノート77に記載してあります。

1フェーズおよび2フェーズ構成の時に出力コンデンサで見られる純リップル電流を図3に示します。X軸上でデューティファクターが10%~90%で変動する時の固定出力電圧に対する出力リップル電流がプロットされています。出力リップル電流は、デューティファクターがゼロの時のインダクタ・リップル電流で正規化してあります。グラフは面倒な計算の代わりに使用でき、設計工程を簡略化します。

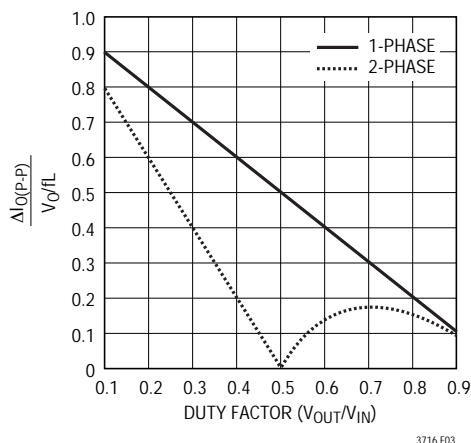


図3．正規化出力リップル電流対
デューティファクター [$I_{RMS} \approx 0.3(\Delta I_{O(P-P)})$]

Kool M μ はマグネティクス社の登録商標です。

大きな ΔI_L 値を許容すれば低インダクタンスが使用できますが、大きな出力電圧リップルを生じます。リップル電流を設定する際の妥当な出発点は、 $\Delta I_L = 0.4(I_{OUT})/2$ です。ここで、 I_{OUT} は全負荷電流です。最大の ΔI_L は最大入力電圧で生じることを忘れないで下さい。個々のインダクタ・リップル電流は、インダクタおよび入出力電圧で決まります。

インダクタ・コアの選択

L1およびL2の値が分かった後はインダクタの種類を選択します。高効率コンバータは一般に、安価な鉄粉コアに見られるコア損失を許容できる余裕は無く、高価なフェライト、Molypermalloy、またはKool M μ ®コアを使用する必要があります。実際のコア損失は、固定のインダクタ値に対してコアの大きさには依存しませんが、選択したインダクタの種類には大きく依存します。インダクタンスが増加すると、コア損失は減少します。残念ながら、インダクタンスを増やすと多くの巻き線数が必要となり、従って銅損が増加します。

フェライト構造はコア損失が非常に低いので高いスイッチング周波数に好ましく、従って、設計の目的を銅損および飽和の防止に専念できます。フェライト・コア材は“激しく”飽和し、それは設計したピーク電流を超えると突然にインダクタンスが失われることを意味します。これにより、インダクタ・リップル電流が急激に増加し、続いて出力電圧リップルが増加を生じます。コアを飽和させないでください！

Molypermalloy(マグネティクス社製)は非常に良い、トロイドとしては低損失のコア材ですが、フェライトよりも高価です。同じ製造業者からの妥当な代替案はKool M μ です。トロイドはスペースが非常に効率的であり、何層かの巻き線を使用できる場合には特にです。それにはボビンがないので、実装は少々困難です。しかし、高さを大きく増やさない表面実装構造は入手できます。

パワーMOSFET、D1、およびD2の選択

LTC3716では、各出力段毎に二つの外部パワーMOSFETを選択しなければいけません。一つは上側(主)スイッチ用のNチャネルMOSFETで、もう一つは下側(同期)スイッチ用のNチャネルMOSFETです。

ピーク・トゥ・ピーク駆動レベルはINTV $_{CC}$ 電圧によって設定されます。起動の間、この電圧は一般に5Vです(EXTV $_{CC}$ ピン接続を参照してください)。

アプリケーション情報

その結果、ほとんどのアプリケーションにおいてロジック・レベルのスレッシュホールドをもつMOSFETを使用する必要があります。唯一の例外は、低入力電圧が予想される場合です($V_{IN} < 5V$)。つまり、サブロジック・レベルのスレッシュホールドをもつMOSFET($V_{GS(TH)} < 1V$)が使われます。同様に、MOSFETの BV_{DSS} 仕様にも十分な注意を払ってください。ロジック・レベルMOSFETのほとんどは30V以下に制限されています。

パワーMOSFET選択条件には、オン抵抗 $R_{DS(ON)}$ 、逆伝達容量 C_{RSS} 、入力電圧、および最大出力電流を含みます。LTC3716が連続モードで動作している時、各出力段の上側/下側MOSFETのデューティファクターは次の式で計算されます。

$$\text{Main Switch Duty Cycle} = \frac{V_{OUT}}{V_{IN}}$$

$$\text{Synchronous Switch Duty Cycle} = \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right)$$

最大出力電流時のMOSFETの電力損失は次の式で計算できます。

$$P_{MAIN} = \frac{V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)} + k(V_{IN})^2 \left(\frac{I_{MAX}}{2} \right) (C_{RSS})(f)$$

$$P_{SYNC} = \frac{V_{IN} - V_{OUT}}{V_{IN}} \left(\frac{I_{MAX}}{2} \right)^2 (1 + \delta) R_{DS(ON)}$$

ここで、 δ は $R_{DS(ON)}$ の温度依存性、 k はゲート駆動電流に逆数で関連する定数です。

双方のMOSFETには I^2R 損失がありますが、上側Nチャンネルの式には過渡損失に関する付加的な項も含み、それは最大入力電圧でピークとなります。 $V_{IN} < 20V$ の場合には、大電流時の効率是一般に大きなMOSFETで改善されますが、 $V_{IN} > 20V$ の場合には、 C_{RSS} が低く、 $R_{DS(ON)}$ が高いデバイスを使用した方が実際に高効率となる点まで過渡損失が急激に増加します。上側スイッチのデューティファクターが低い時、または同期スイッチが周期の100%近くオンしている短絡の間、同期MOSFET損失は

高い入力電圧で最大となります。

(1+)の項は一般に、正規化 $R_{DS(ON)}$ 対温度曲線の形でMOSFETに与えられていますが、低電圧MOSFETに対しては概算値として $\approx 0.005/$ が使用できます。 C_{RSS} は通常、MOSFET特性で規定されています。主スイッチ損失の式の二つの項の寄与を概算するために、定数 $k=1.7$ が使用できます。

図1に示されるショットキ・ダイオードD1およびD2は、二つの大きなパワーMOSFETが導通する間の不感期間に導通します。これにより、下側MOSFETのボディ・ダイオードがオンして不感期間に電荷を蓄え、効率を下げる逆りカバリ期間を必要とすることを防ぐ手助けをします。比較的に小さな平均電流のため、双方の動作領域に対して1A~3Aのショットキ・ダイオード(出力電流による)が一般に妥当なところです。大きすぎるダイオードは、その大きな接合容量のために付加的な過渡損失を生じます。

C_{IN} および C_{OUT} の選択

連続モードでは、各上側NチャンネルMOSFETのソース電流はデューティ・サイクル V_{OUT}/V_{IN} の方形波です。最大RMS電流に合った低ESRの入力コンデンサを使用してください。綿密な式の詳細は、アプリケーション・ノート77に記載されています。出力電圧固定および入力電圧可変の場合の、2フェーズ構成に対する入力コンデンサ・リップル電流を図4に示します。入力リップル電流はDC出力電流に対して正規化されています。面倒な計算の代わりにグラフが使用できます。入力電圧が出力電圧の2倍の時に最小入力リップル電流となります。

図4のグラフでは、2フェーズの部分的なRMS入力コンデンサ電流は次式の時に最大となります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{2k - 1}{4}$$

ここで、 $k=1, 2$ 。

大きな変更でも十分な改善ができるわけではないので、設計には一般に最悪条件を使用します。

アプリケーション情報

よくコンデンサ製造業者のリプル電流定格は、寿命2000時間だけを基本としていることに気をつけてください。このため、コンデンサの定格を更に下げて考えるか、または必要以上に高い電圧で定格されたコンデンサを選ぶことが賢明です。また設計上のサイズや高さの要求に合わせるため、幾つかのコンデンサを並列に接続することもあります。疑問がある場合には、必ずコンデンサ製造業者に相談してください。

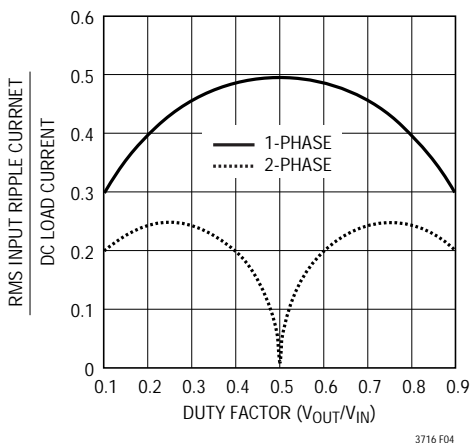


図4．1出力段および2出力段の正規化RMS入力リプル電流対デューティファクター

効率損失は入力RMS電流の二乗に比例し、従って2フェーズの実現は1フェーズの設計に比べて電力損失を75%低くできることに注意するのが大切です。バッテリー/入力保護ヒューズ(使用する場合)、PCBの配線、およびコネクタの抵抗損失もまた、2フェーズ・システムの入力リプル電流の低減で減らせます。電流パルスの周波数を効果的に増加するため、更に入力コンデンサの必要な量も半分に減らせます。

C_{OUT} の選択は、必要な実効直列抵抗(ESR)で行われます。一般に、一度ESR要求が満たされると、RMS電流定格は通常、 $I_{RIPPLE(P-P)}$ の要求を大きく越えます。定常状態の出力リプル(ΔV_{OUT})は次の式で決まります。

$$\Delta V_{OUT} \approx \Delta I_{RIPPLE} \left(ESR + \frac{1}{16fC_{OUT}} \right)$$

ここで、 f =各段の動作周波数、 C_{OUT} =出力コンデンサ、および ΔI_{RIPPLE} =組み合わせられたインダクタ・リプル電流。

ΔI_L は入力電圧の関数なので、出力リプルは入力電圧で変動します。出力リプルは $\Delta I_L = 0.4I_{OUT(MAX)}/2$ で V_{IN} が最大の時に50mV未満で、以下を仮定しています。

$$C_{OUT} \text{ required ESR} < 4(R_{SENSE}) \text{ and}$$

$$C_{OUT} > 1/(16f)(R_{SENSE})$$

小型、表面実装パッケージで非常に低いESRのコンデンサの出現により、物理的に小さな実現が可能になりました。 I_{TH} ピンを使用してスイッチング・レギュレータのループを外部で補償(OPTI-LOOP補償)する能力により、幅広い出力コンデンサの種類が選べるようになりました。OPTI-LOOP補償が出力コンデンサのESRの拘束を取り除きます。各種のコンデンサのインピーダンス特性は理想コンデンサからは大きく異なり、従って、設計の間、正確なモデル化またはベンチでの評価が必要です。

高性能スルーホール・コンデンサには、ニチコン、ユナイテッド・ケミコン、および三洋のような製造業者が考えられます。三洋から入手可能なOS-CON有機半導体コンデンサおよびパナソニックのSP面実装タイプは少々高価ですが、他のどのアルミ電解よりも低い(ESR)(サイズ)積をもっています。誘導効果を軽減するために、OS-CONタイプのコンデンサと並列にセラミック・コンデンサを付加することをお勧めします。

表面実装の用途では、アプリケーションのESRまたはRMS電流を処理する要求を満足するために、複数のコンデンサを並列接続する必要があるかもしれません。アルミ電解または固体タンタル・コンデンサの両方とも、表面実装構造で入手可能です。新しい特殊な高分子型表面実装コンデンサもまた非常に低いESRを提供しますが、単位体積当たりの容量密度が低くなります。タンタルの場合、スイッチング電源で使用するためにはコンデンサがサージ試験されていることが重要です。賢明な選択としてはAVX TPS、AVX TPSV、またはKEMET T510シリーズの表面実装タンタルなどがあり、2mm~4mmの高さの範囲で入手可能です。他にも三洋のOS-CON、POSCAP、パナソニックのSPキャップ、ニチコンのPLシリーズ、およびスプレグの595Dシリーズなどのコンデンサがあります。その他の特殊な助言に関しては、製造業者に相談してください。コンデンサを組み合わせることで、しばしば最大の性能が得られ、全体のコストと大きさを最小化することができます。

アプリケーション情報

INTV_{CC}レギュレータ

内部のPチャネル低飽和レギュレータがV_{IN}電源ピンからINTV_{CC}ピンに5Vを生成します。そのINTV_{CC}レギュレータは、LTC3716のドライバおよび内部回路に電源を供給します。INTV_{CC}ピンのレギュレータはピークで50mAまで供給でき、最低でも4.7μFのタンタルまたは電解コンデンサでパワー・グラウンドにバイパスしてください。MOSFETゲート・ドライバが極端に大きな瞬時電流を必要とするため、デバイス近傍に1μFのセラミック・コンデンサを加えることをお勧めします。

大きなMOSFETが高周波で駆動されているような高入力電圧用途では、LTC3716の接合部温度最大定格を超えるかもしれません。電源電流は、差動アンプ出力から流れる電流に加えて、ゲート充電電源電流で支配されます。ゲート充電は、効率の考察の項で論議した動作周波数に依存します。電源電流は内部5Vレギュレータか、EXTV_{CC}ピンから供給されます。EXTV_{CC}ピンに印加される電圧が4.7V未満の場合、全てのINTV_{CC}負荷電流は内部5Vリニア・レギュレータから供給されます。この場合のデバイスの電力損失は(I_{IN})(V_{IN} - INTV_{CC})と高く、効率は下がります。電気的特性のNote1に記載された式を使用して、接合部温度が概算できます。例えば、24V電源からのLTC3716のV_{IN}電流は24mA未満に制限されます。

$$T_J = 70^\circ\text{C} + (24\text{mA})(24\text{V})(85^\circ\text{C}/\text{W}) = 119^\circ\text{C}$$

EXTV_{CC}ピンを使用すると、接合部温度は次のように減少します。

$$T_J = 70^\circ\text{C} + (24\text{mA})(5\text{V})(85^\circ\text{C}/\text{W}) = 80.2^\circ\text{C}$$

コントローラが最大のV_{IN}で連続モードで動作している時に入力電源電流を測定し、最大接合部温度を超えないように電力損失を計算してください。

EXTV_{CC}接続

LTC3716には、EXTV_{CC}とINTV_{CC}ピンの間に接続された内部PチャネルMOSFETスイッチがあります。EXTV_{CC}に印加される電圧が4.7Vよりも高い場合、内部レギュレータがオフして内部スイッチが閉じ、EXTV_{CC}ピンをINTV_{CC}ピンに接続します。これにより、デバイス内部およびMOSFETゲート駆動電源を供給します。EXTV_{CC}に印加される電圧が4.5Vより大きい限り、その

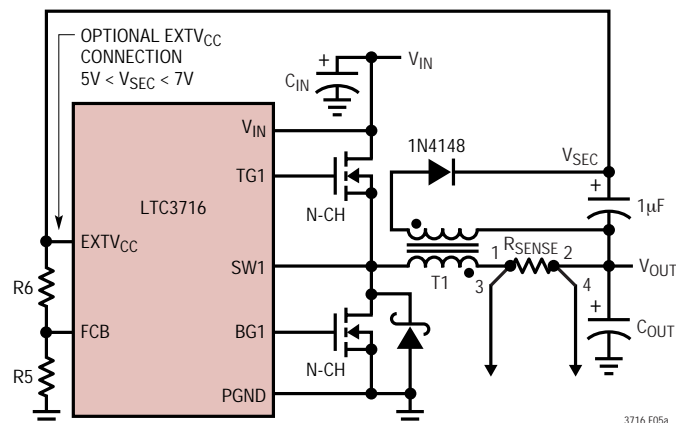
スイッチは閉じたままです。これにより、MOSFETドライバおよび制御回路の電源が通常動作(4.7V < V_{EXTV_{CC}} < 7V)の間は出力から供給され、出力がレギュレーションされていない時(起動時、短絡時)には内部レギュレータから供給できます。掲載のアプリケーション回路を使用する場合には、EXTV_{CC}ピンには7Vを超えて印加しないで、EXTV_{CC} < V_{IN} + 0.3Vであるようにしてください。V_{IN}電源がない場合に外部電圧源がEXTV_{CC}ピンに印加される場合、V_{IN}から電流が逆流しないようにLTC3716のV_{IN}ピンと直列にダイオードを、EXTV_{CC}とV_{IN}ピンの間にショットキ・ダイオードを配置します。

ドライバから生じるV_{IN}電流および制御電流は(デューティファクター)/(効率)の比で縮尺されるので、出力からINTV_{CC}に電源を供給することで大きな効率増加が実現できます。5Vレギュレータでは、これはEXTV_{CC}ピンをV_{OUT}に直接接続することを意味します。しかし、3.3Vや他の低電圧レギュレータでは、出力からINTV_{CC}電源を取るためには追加の電源回路が必要です。

四つの可能なEXTV_{CC}の接続方法を以下のリストまとめて示します。

1. EXTV_{CC}を開放(またはグラウンド接続)。これにより、INTV_{CC}は内部5Vレギュレータから供給され、高入力電圧時に大きな効率の代償が生じます。
2. EXTV_{CC}を直接V_{OUT}に接続。これは5Vレギュレータ用の通常の接続であり、最も高効率が得られます。
3. EXTV_{CC}を外部電源に接続。外部電源が5V ~ 7Vの範囲で有用な場合、EXTV_{CC}に電源を供給するために使用でき、MOSFETゲート駆動の要求との互換性が得られます。
4. EXTV_{CC}を出力派生の昇圧ネットワークに接続。3.3Vまたはその他の低電圧レギュレータでは、4.7V ~ 7Vに昇圧された出力派生の電圧にEXTV_{CC}を接続することで、なお効率の増加が実現できます。これは、図5aに示される誘導性昇圧巻き線が、または図5bに示される容量性チャージポンプによって可能です。チャージポンプには磁気回路が単純な長所があります。

アプリケーション情報

図5a . EXTV_{CC}接続がある2次出力ループ

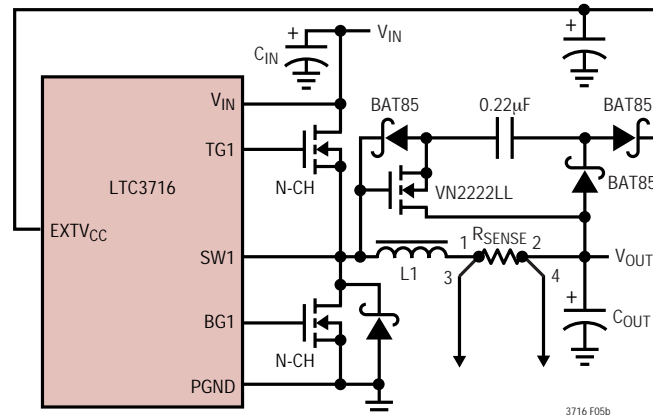
上側MOSFETドライバの電源(C_B 、 D_B) (機能図を参照してください)

BOOST1およびBOOST2ピンに接続された外部ブートストラップ・コンデンサ C_{B1} および C_{B2} が、上側MOSFETのゲート駆動電圧を供給します。SWピンがローの時、機能図のコンデンサ C_B はINTV_{CC}からダイオード D_B を介して充電されます。上側MOSFETがオンする時、ドライバは所望のMOSFETのゲート-ソース間に C_B 電圧を移します。これによってMOSFETは増進され、上側スイッチがオンします。スイッチ・ノード電圧SWは V_{IN} まで上がり、BOOSTピンは $V_{IN} + I_{NTVCC}$ まで上がります。ブースト・コンデンサ C_B の値は上側MOSFET(s)の全入力容量の30倍~100倍が必要です。 D_B の逆方向降伏は $V_{IN(MAX)}$ よりも大きくなければいけません。

最良のゲート駆動振幅レベルを決める時に最終的に判定するものは入力電源電流でしょう。充電が入力電流を減らす場合には、効率が改善されます。入力電流が充電しない場合には、効率も変化しません。

出力電圧

LTC3716には真のリモート電圧検出能力があります。検出の接続は、コモンのしっかりと結合した基板配線のペアを介して負荷から差動アンプの入力に戻してください。差動アンプは電源とグランド経路双方のDC降下を補正します。差動アンプの出力信号は分割して落とされ、誤差アンプで内部の高精度0.6V電圧リファレンスと比較されます。

図5b . EXTV_{CC}用の容量性チャージポンプ

出力電圧のプログラム

出力電圧は、VID0~VID4のロジック入力ピンを使用して、表1に定義されるようにデジタル的にプログラムされます。VIDロジック入力が高精度(0.25%)な内部帰還抵抗分割器をプログラムします。LTC3716には、25mVおよび50mVステップで0.6V~1.75Vの範囲の出力電圧があります。

ATTENOUTピンとグランドの間は可変抵抗 $R1$ で、その値は5本のVID入力ピン(VID0~VID4)で制御されます。ATTENINとATTENOUTピン間の別の抵抗 $R2$ で抵抗分割器が完成します。従って、出力電圧は $(R1+R2)$ 対 $R1$ の比で設定されます。

各VIDデジタル入力は、ダイオードと直列の40k抵抗で V_{BIAS} に接続されています。従って、デジタル的なロー入力を得るためにはグランドに接続する必要があり、デジタル的なハイ入力を得るためには開放にするか、または V_{BIAS} に接続します。デジタル入力が V_{BIAS} よりも高い電圧で駆動された時に破損やクランプしないように、直列のダイオードが使用されます。デジタル入力はCMOS電圧レベル対応です。

V_{BIAS} はVID部分の電源電圧です。一般にINTV_{CC}に接続されますが、他の電源からも駆動できます。他の電源から駆動される場合、その電源は2.7V~5.5Vの範囲で、かつLTC3716が有効になる前に立ち上がっている必要があります。

アプリケーション情報

表1. VID出力電圧プログラム

VID4	VID3	VID2	VID1	VID0	LTC3716
0	0	0	0	0	1.750V
0	0	0	0	1	1.700V
0	0	0	1	0	1.650V
0	0	0	1	1	1.600V
0	0	1	0	0	1.550V
0	0	1	0	1	1.500V
0	0	1	1	0	1.450V
0	0	1	1	1	1.400V
0	1	0	0	0	1.350V
0	1	0	0	1	1.300V
0	1	0	1	0	1.250V
0	1	0	1	1	1.200V
0	1	1	0	0	1.150V
0	1	1	0	1	1.100V
0	1	1	1	0	1.050V
0	1	1	1	1	1.000V
1	0	0	0	0	0.975V
1	0	0	0	1	0.950V
1	0	0	1	0	0.925V
1	0	0	1	1	0.900V
1	0	1	0	0	0.875V
1	0	1	0	1	0.850V
1	0	1	1	0	0.825V
1	0	1	1	1	0.800V
1	1	0	0	0	0.775V
1	1	0	0	1	0.750V
1	1	0	1	0	0.725V
1	1	0	1	1	0.700V
1	1	1	0	0	0.675V
1	1	1	0	1	0.650V
1	1	1	1	0	0.625V
1	1	1	1	1	0.600V

ソフトスタート/RUN機能

RUN/SSピンにより、三つの機能が得られます。1)動作/シャットダウン、2)ソフトスタート、および3)無効にできる短絡ラッチオフ・タイマ。ソフトスタートは、コントローラの電流制限 $I_{TH(MAX)}$ を徐々に増加することによって、入力電源のサージ電流を減らします。ラッチオ

フ・タイマは、非常に短い極端な負荷遷移が過電流ラッチを横切らないようにします。RUN/SSピンに供給される小さなプルアップ電流(>5 μ A)により、過電流ラッチが動作しないようにします。以下の説明は、その機能がどのように動作するかを記載しています。

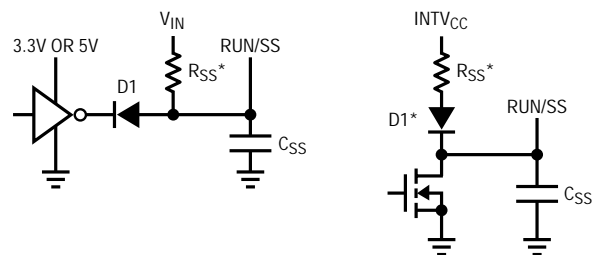
内部の1.2 μ A電流源がソフトスタート・コンデンサ C_{SS} を充電します。RUN/SSの電圧が1.5Vに達すると、コントローラは動作を開始することが許されます。RUN/SSの電圧が1.5Vから3.0Vに増加すると、内部の電流制限が25mV/ R_{SENSE} から75mV/ R_{SENSE} に増加されます。出力電流制限がゆっくりと立ち上がり、全電流に達するまで更に1.4s/ μ Fを必要とします。従って、出力電流はゆっくりと立ち上がり、入力電源から必要な起動サージ電流を減らします。RUN/SSがずっとグラウンドに接続されている場合には、起動前におおよそ以下式の遅延を生じます。

$$t_{DELAY} = \frac{1.5V}{1.2\mu A} C_{SS} = (1.25s/\mu F) C_{SS}$$

つまり、出力電流が立ち上がるための時間は次のようになります。

$$t_{IRAMP} = \frac{3V - 1.5V}{1.2\mu A} C_{SS} = (1.25s/\mu F) C_{SS}$$

RUN/SSピンを0.8V以下にすると、LTC3716は低電流シャットダウン($I_Q < 40\mu A$)になります。RUN/SSピンは図6に示すロジックで直接駆動できます。図6のダイオードD1はスタート遅延を減らしますが、 C_{SS} によってソフトスタート機能が得られ、ゆっくりと立ち上がることができます。RUN/SSピンには内部に6Vツェナー・クランプがあります(機能図を参照してください)。



*過電流ラッチオフを無効にするためのオプション

3716 F06

図6. RUN/SSピン・インタフェース

アプリケーション情報

不具合条件：過電流ラッチオフ

またRUN/SSピンにより、過電流条件が検出された時にコントローラをラッチオフする能力が得られます。始めに、双方のコントローラの突入電流を制限するためにRUN/SSコンデンサ C_{SS} が使用されます。コントローラが起動して出力コンデンサを充電するための十分な時間が経過し、全負荷電流を供給した後で、RUN/SSコンデンサは短絡保護タイマとして使用されます。 C_{SS} が4.1Vになった後に出力電圧がその公称値の70%を下回ると、出力が過電流状態になっていると仮定して C_{SS} は放電し始めます。その条件が C_{SS} の大きさで決められている十分に長い期間、持続すると、RUN/SSピンの電圧が再サイクルされるまでコントローラはシャットダウンします。起動の間に過負荷が生じる場合、その時間は次の式で概算できます。

$$t_{L01} \approx (C_{SS} \cdot 0.6V) / (1.2\mu A) = 5 \cdot 10^5 (C_{SS})$$

起動後に過負荷が生じると C_{SS} 電圧は充電し続けて、ラッチオフする前に更に時間を費やします。

$$t_{L02} \approx (C_{SS} \cdot 3V) / (1.2\mu A) = 2.5 \cdot 10^6 (C_{SS})$$

図6に示すように、プルアップ抵抗 R_{SS} をRUN/SSピンに接続することでこの内蔵過電流ラッチオフを無効にできます。この抵抗はソフトスタート期間を短くしますが、厳しい過電流や短絡状態の間、RUN/SSコンデンサが放電しないようにします。図に示すように V_{IN} から5 μA 電流をとる時、電流ラッチオフはずっと無効のままです。このプルアップ抵抗をINTV $_{CC}$ に接続するダイオードは、図6のように、シャットダウンの間の余分な電流を取り除き、一方でコントローラが起動しないようにするINTV $_{CC}$ の負荷を取り除きます。

なぜ、電流ラッチオフを無効にするべきか？設計の試作の段階では、ノイズの混入や保護回路にコントローラをラッチオフさせてしまう不十分なレイアウトの問題があります。この機能を無効にすることで、回路と基板レイアウトの問題解決が行えます。内部の短絡保護とフォールドバック電流制限は有効のままで、従って不具合から電源システムを保護します。フォールドバック電流制限だけに頼るか、またはプルアップ抵抗を外してラッチオフ機能も有効にするかは、設計が完了した後で決定することができます。

ソフトスタート・コンデンサ C_{SS} の値は、出力電圧、出力コンデンサ、および負荷電流の特性によって増減する必要があります。最小のソフトスタート・コンデンサ値は次の式で計算できます。

$$C_{SS} > (C_{OUT})(V_{OUT})(10^{-4})(R_{SENSE})$$

ほとんどの用途では、 $C_{SS}=0.1\mu F$ の推奨最小ソフトスタート・コンデンサで十分です。

PLLおよび周波数同期

LTC3716には、内部VCOと位相検波器で構成されるPLLがあります。これにより、上側MOSFETのオンは外部クロック源の立ち上がりエッジでロックすることができます。VCOの周波数範囲は、中心周波数 f_0 の $\pm 50\%$ です。PLLFLTRピンに印加される1.2Vの電圧は、おおよそ220kHzの周波数に相当します。LTC3716の公称動作周波数は140kHz～310kHzです。

使用される位相検波器はエッジ検出のデジタル・タイプで、内部と外部の発振器間でゼロ度の位相シフトが得られます。この種の位相検波器は、VCO中心周波数の高調波近くの入力周波数にはロックしません。PLLのホールド範囲 Δf_H はキャプチャ範囲 Δf_C に等しくなります。

$$\Delta f_H = \Delta f_C = \pm 0.5 f_0 \quad (150\text{kHz}-300\text{kHz})$$

位相検波器の出力は、PLLFLTRピンの外部フィルタ・ネットワークを充放電するコンプリメンタリ・ペアの電流源です。簡略化したブロック図を図7に示します。

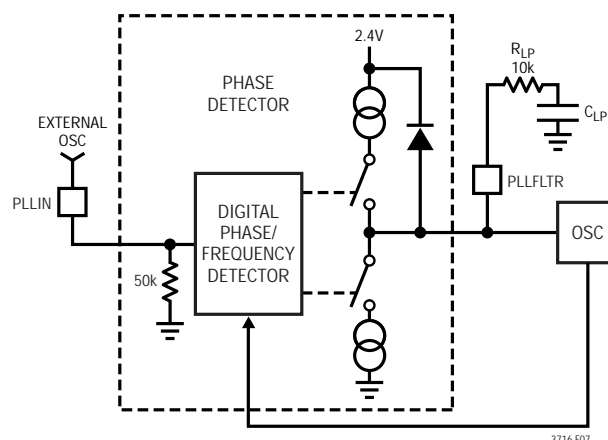


図7. PLLのブロック図

アプリケーション情報

外部周波数 f_{PLLIN} が発振器周波数 f_{OSC} よりも大きい場合、電流は連続してソースされ、PLLFLTRピンの電圧を引き上げます。外部周波数が f_{OSC} よりも低い場合、電流は連続してシンクされ、PLLFLTRピンの電圧を引き下げます。外部と内部の周波数は同じでも位相が異なる場合、電流ソースが位相差に相当する時間分だけ、オンします。従って、PLLFLTRピンの電圧は、外部と内部の発振器の周波数と位相が同じになるまで調整されます。この安定した動作点で位相コンパレータの出力は開放となり、フィルタ・コンデンサ C_{LP} が電圧を保持します。LTC3716のPLLINピンは、ピン近傍に置かれたロジック・ゲートのような低インピーダンス源で駆動してください。

ループ・フィルタ部品(C_{LP} 、 R_{LP})が位相検波器からの電流パルスを滑らかにし、安定した入力をVCOに供給します。フィルタ部品の C_{LP} および R_{LP} により、いかに早くループがロックするかが決まります。一般に、 $R_{LP}=10k\Omega$ で、 C_{LP} は $0.01\mu F \sim 0.1\mu F$ です。

最小オン時間の考察

最小オン時間 $t_{ON(MIN)}$ は、LTC3716が上側MOSFETをオンすることができる最小の時間であり、内部のタイミング遅延および上側MOSFETをオンするために必要なゲート充電で決まります。低デューティサイクルの用途ではこの最小オン時間の制限に達するかもしれませんが、以下の式を維持するように注意を払う必要があります。

$$t_{ON(MIN)} < \frac{V_{OUT}}{V_{IN}(f)}$$

デューティサイクルが最小オン時間で対応可能なものを下回ると、LTC3716はサイクルをスキップし始め、可変周波数動作が生じます。出力電圧はレギュレーションされ続けますが、リップル電流およびリップル電圧は増加します。

LTC3716の最小オン時間は一般に200ns未満です。しかし、ピーク検出電圧が減少すると、一般に最小オン時間は次第に増加します。これは、軽負荷時に低リップル電流な強制連続モードでの用途では特に心配です。この状態でデューティサイクルが最小オン時間の制限以下に落ちると、相当大きなリップル電流と電圧リップルを伴う大変な量のパルス・スキップを生じます。

アプリケーションが最小オン時間の制限近辺で動作する場合、最小オン時間の要求を満足のに十分なリップル振幅を提供するように十分に低いインダクタンスをもつインダクタを選んでください。一般に、各フェーズのインダクタ・リップル電流が $V_{IN(MAX)}$ で $I_{OUT(MAX)}$ の15%以上であるように維持してください。

FCBピンの動作

FCBピンは2次巻き線をレギュレーションするために、またはロジック・レベルの入力として使用できます。FCBピンが0.6V以下に下がると連続動作になります。連続モードの間、トランスの1次コイルに連続的に流れます。2次巻き線は下側の同期スイッチがオンの時にだけ、電流を供給します。1次負荷電流が低い場合、または V_{IN}/V_{OUT} 比が低い場合、同期スイッチは出力コンデンサから2次負荷へ電力を伝達するための十分な時間の間、オンしていないかもしれません。十分な同期スイッチのデューティ因子があるならば、強制連続動作は2次巻き線をサポートします。従って、FCB入力ピンは、補助巻き線から電力を取り出すためには電力はインダクタの1次巻き線から流れなければならない、という要求を排除します。連続モードのループでは、1次出力の負荷に関係なく、普通に補助出力に負荷を加えられます。

2次出力電圧 V_{SEC} は通常、トランスの巻き線比 N により、図5aに示すようにして設定されます。

$$V_{SEC} \approx (N + 1) V_{OUT}$$

しかし、軽い1次負荷電流のためにコントローラがバースト・モードで、かつスイッチングを休止する場合、 V_{SEC} はドループします。 V_{SEC} からFCBピンへの外部抵抗分割器が、最小電圧 $V_{SEC(MIN)}$ を設定します。

$$V_{SEC(MIN)} \approx 0.6V \left(1 + \frac{R6}{R5} \right)$$

ここで、 $R5$ および $R6$ は図5aに示されています。

V_{SEC} がこのレベル以下に下がると、再び V_{SEC} がその最小値を超えるまで、FCB電圧によって一時的な連続スイッチング動作にされます。

アプリケーション情報

FCBピンに外部接続がない場合の誤動作を防ぐため、FCBピンにはそのピンをハイにするための0.18 μ A内部電流源があります。R5およびR6の抵抗値を選ぶ場合には、この電流を加味してください。

FCBピンで利用できる可能な状態を次の表にまとめて示します。

表2

FCBピン	状態
0V ~ 0.55V	強制連続モード(電流反転が可能 - バースト・モード禁止)
0.65V < V _{FCB} < 4.3V (標準)	最小ピーク電流がバースト・モード動作を誘発、電流反転は不可
帰還抵抗	2次巻き線をレギュレーション
>4.8V	バースト・モード動作は無効、固定周波数モードはイネーブル、電流反転は不可、最小ピーク電流はなし

アクティブ電圧ポジショニング

アクティブ電圧ポジショニングは、最悪の過渡負荷条件下でのピーク・トゥ・ピーク出力電圧の逸脱を最小にするために使用できます。制御ループの開ループDC利得は最大負荷ステップ仕様によって減少します。アクティブ電圧ポジショニングは、誤差アンプの動作電圧中点または1.2Vに等しいテブナン等価電圧源をもつ抵抗分割器をI_{TH}ピンに負荷することで、容易にLTC3716に追加できます(図8を参照してください)。

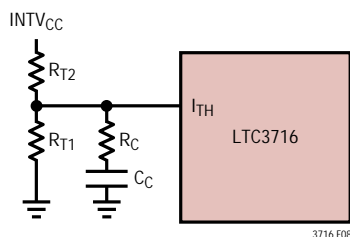


図8 . LTC3716に適用したアクティブ電圧ポジショニング

抵抗負荷がDCループ利得を減らしながら、誤差アンプのリア制御範囲を維持します。過渡的負荷による最悪のピーク・トゥ・ピーク出力電圧変動は理論的に半分に

減るか、または代わりに出力容量の量が特定の用途に対して軽減できません。説明の全ては“ Design Solution 10 ”またはLTC1736のデータシートに記載されています(www.linear-tech.co.jpを参照してください)。

効率の考察

スイッチング・レギュレータの百分率効率は、出力電力を入力電力で割って、100%を乗じたものに等しくなります。これはよく、何が効率を制限しているのか、およびどの変更が最大の改善をもたらすのかを見つけて個々の損失を解析するために有用です。百分率効率は次式で表現できます。

$$\%Efficiency = 100\% - (L1 + L2 + L3 + \dots)$$

ここで、L1、L2、他は入力電力に対する割合で表した個々の損失です。

回路の中の全ての消費要素は損失を生じますが、通常、LTC3716回路の損失のほとんどは四つの主要な要因によっています。それは、1)I²R損失、2)上側MOSFETの遷移損失、3)INTV_{CC}レギュレータ電流、および4)LTC3716のV_{IN}電流(差動アンプ出力の負荷を含みます)です。

1)I²R損失は、ヒューズ(使用する場合)、MOSFET、インダクタ、電流検出抵抗、および入出力コンデンサのESRなどのDC抵抗分から予測できます。連続モードでは、平均出力電流はLおよびR_{SENSE}を介して流れますが、上側MOSFETと同期MOSFETでは分かれます。二つのMOSFETが概ね同じR_{DS(ON)}をもつ場合、I²R損失を得るためには単にL、R_{SENSE}、およびESRの抵抗分を一つのMOSFETの抵抗分に加算します。例えば、各々R_{DS(ON)} = 10m、R_L = 10m、そしてR_{SENSE} = 5mの場合、全抵抗成分は25m です。これにより、5V出力の出力段当たりで出力電流が3Aから15Aに増加すると2% ~ 8%、3.3V出力の出力段当たりで3% ~ 12%の範囲で損失を生じます。効率は、同じ外部部品・同じ出力電力レベルに対してV_{OUT}の二乗に反比例するように変動します。高性能デジタル・システムでますます必要とされる更なる低出力電圧および大電流の相乗効果は2倍ではなく、スイッチング・レギュレータ・システムにおける損失の項目の重要性を4倍にしています!

アプリケーション情報

2) 遷移損失は上側MOSFETにのみ適用され、高い入力電圧で動作している時にのみ重要です(一般に12V以上)。遷移損失は以下の式で概算できます。

$$\text{Transition Loss} = (1.7)V_{IN}^2 \left(\frac{I_{O(MAX)}}{2} \right) C_{RSS} f$$

3) $INTV_{CC}$ 電流はMOSFETドライバおよび制御系の電流の和です。MOSFETドライバ電流はパワーMOSFETのゲート容量をスイッチングするために生じます。各周期毎にMOSFETのゲートはローからハイへ、そして再びローへスイッチされ、電荷 dQ が $INTV_{CC}$ からグランドへ移動します。その結果の dQ/dt が $INTV_{CC}$ からの電流であり、一般に制御回路の電流よりも大きくなります。連続モードでは、 $I_{GATECHG} = (Q_T + Q_B)$ です。ここで、 Q_T および Q_B は上側および下側MOSFETのゲート電荷です。

出力を得るための電源から $EXTV_{CC}$ スイッチ入力を介して $INTV_{CC}$ 電力を供給すると、ドライバと制御回路に必要な V_{IN} 電流は(デューティファクター)/(効率)の比で縮尺されます。例えば、20Vから5Vを生成する用途では、10mAの $INTV_{CC}$ 電流はおおよそ3mAの V_{IN} 電流を生じます。これにより、中間電流の損失は10%以上(ドライバが V_{IN} から直接電源供給される場合)からほんの数%に減ります。

4) V_{IN} 電流には二つの成分があります。まずは電気的性能特性の表に与えられたDC電源電流で、MOSFETドライバおよび制御系の電流は除きます。次は差動アンプ出力から流れる電流です。 V_{IN} 電流は一般に、小さな損失(<0.1%)を生じます。

携帯システムでは、銅配線およびバッテリー内部抵抗のような他の“隠れた”損失により更に5%~10%ほど、効率が劣化します。システム設計では、これらの“システム”レベルでの損失を含めることが非常に重要です。バッテリー内部抵抗や入力ヒューズの抵抗による損失は、しっかりと C_{IN} を適当な充電容量にし、またスイッチング周波数でのESRを非常に低くすれば最小にできます。50Wの電源は一般に、最大10m ~ 20m のESRをもつ最小200 μ F ~ 300 μ Fの出力コンデンサが必要です。LTC3716が採用している2フェーズ方式は一般に、競合の方式に

対して入出力コンデンサの要求を半分にします。休止時間の間のショットキ導通損失やインダクタのコア損失を含む他の損失は一般に、全体で更に2%以下の損失を生じます。

過渡応答の検証

レギュレータのループ応答は、負荷の過渡応答を見れば検証できます。スイッチング・レギュレータがステップDC(抵抗性)負荷電流にตอบสนองするためには、数サイクルを要します。負荷ステップが発生すると、 V_{OUT} は $\Delta I_{LOAD}(ESR)$ に等しい量までシフトします。ここで、ESRは C_{OUT} の実効直列抵抗です。また ΔI_{LOAD} は C_{OUT} を充放電し始め、レギュレータが電流充電に適應して V_{OUT} をその定常値に返すようにする帰還誤差信号を生成します。この復帰時間の間、 V_{OUT} には過剰なオーバershootまたはリングングが観測され、それが安定性の問題を示しています。 I_{TH} ピンの有用性は制御ループの挙動を最適化するだけでなく、DC結合され、ACフィルタリングされた閉ループ応答のテスト・ポイントも提供します。主に2次システムを仮定すると、位相余裕またはダンピング因子は、このピンに見られるオーバershootの割合を使用して概算できます。帯域幅もまた、このピンで立ち上がり時間を調べれば概算できます。図1の回路に示す I_{TH} 外部部品は、ほとんどの用途に対する適当な出発点を提供します。

I_{TH} の直列 R_C - C_C フィルタが、支配的な極-ゼロ点ループ補償を設定します。最終の基板配線が終了し、特定の出力コンデンサの種類および値が決まった後、過渡応答を最適化するためにその値はわずかに変更できます(推奨値の0.2~5倍の範囲)。出力コンデンサの様々な種類と値がループ利得および位相を決めるので、それらは最初に決めてください。立ち上がり時間が2 μ s未満で、全負荷電流の20%~80%の出力電流パルスが出力電圧および I_{TH} ピン波形を生成し、帰還ループを切ることなく、全体のループの安定性を検出できます。出力電流のステップ変化による初期の出力電圧ステップは、帰還ループの帯域幅内にないかもしれませんので、この信号は位相余裕を決めるためには使用できません。これは、帰還ループの中にあり、またフィルタリングされて補償された制御ループ応答である I_{TH} ピン信号で見ることが良い理由です。

アプリケーション情報

R_C を増加するとループ利得も増加し、 C_C を減少するとループ帯域幅は増加します。 C_C が減少するのと同じ割合で R_C が増加すると、ゼロ点周波数は同じままなので、帰還ループの最も重要な周波数範囲で同じ位相を維持します。出力電圧セトリングの挙動は閉ループシステムの安定性と関係し、実際の全体の電源性能を示します。

車載用途への考慮：シガレット・ライターへ差込みバッテリーを電源とするデバイスを車載で使用すると、動作の間にバッテリーパックを維持したり、同様に再充電したりするためにシガレット・ライターへ差し込むことに自然と興味がかかります。しかし、つなぐ前に忠告すると、それは地獄から電源へつなごうとしているようなものです。自動車の主バッテリー・ラインは、負荷のダンプ、バッテリー逆接続、および倍圧バッテリーを含む、無数のひどい電位の遷移の源です。

負荷ダンプはバッテリー・ケーブルが悪いせいです。ケーブルが接続を切る時、オルタネータの電界の崩壊により、60V程度の高さの正スパイクが生じ、それが消滅するには数100msかかります。バッテリー逆接続はまさにその名のとおりで、一方、倍圧バッテリーは、レッカー車の運転手が24V急速起動が12Vよりも冷えたエンジンを早く始動できることを見つけた結果です。

図9に示したネットワークは、車載用電源ラインの被害からDC/DCコンバータを守るための、最も直接的な方法です。直列のダイオードがバッテリー逆接続による電流が流れないようにし、一方で過渡抑制素子が負荷ダンプの間は入力電圧をクランプします。

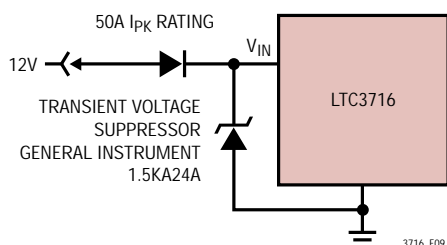


図9．車載用途での保護

倍圧バッテリー動作の間は過渡抑制素子は通電してはならず、しかしなお、入力電圧をコンバータの降伏電圧以下にクランプしなければいけないことに注意してください。LTC3716には36Vの最大入力電圧がありますが、ほとんどの用途では、MOSFETの BV_{DSS} によって30Vに制限されるでしょう。

設計例

設計例として、 $V_{IN}=5V$ (公称)、 $V_{IN}=5.5V$ (最大)、 $V_{OUT}=1.2V$ 、 $I_{MAX}=20A$ 、 $T_A=70$ 、および $f=300kHz$ を仮定します。

まず、30%リプル電流の想定でインダクタ値を選びます。リプル電流の最大値は最大入力電圧で生じます。300kHz動作のためにFREQSETピンをINTV_{CC}に接続してください。30%リプル電流に対する最小インダクタ値は次の式で計算できます。

$$\begin{aligned} L &\geq \frac{V_{OUT}}{f(\Delta L)} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \\ &\geq \frac{1.2V}{(300kHz)(30\%)(10A)} \left(1 - \frac{1.2V}{5.5V} \right) \\ &\geq 1.04\mu H \end{aligned}$$

1 μH のインダクタにより、31%のリプル電流が生じます。ピーク・インダクタ電流は、最大DC値にリプル電流の半分を加えたもので、11.5Aです。最小オン時間は最大 V_{IN} で発生します。

$$t_{ON(MIN)} = \frac{V_{OUT}}{V_{IN}f} = \frac{1.2V}{(5.5V)(300kHz)} = 0.73\mu s$$

R_{SENSE} 抵抗値は、公差のために幾分かの調節をしながら、最大電流検出電圧の仕様を使って計算できます。

$$R_{SENSE} = \frac{50mV}{11.5A} \approx 0.004\Omega$$

上側MOSFETの電力損失は容易に概算できます。例えばSiliconixのSi4420DYを使うと、 $R_{DS(ON)}=0.013$ 、 $C_{RSS}=300pF$ です。加速周囲温度で $T_J=110$ (概算)の時の最大入力電圧では、次のようになります。

アプリケーション情報

$$P_{\text{MAIN}} = \frac{1.2\text{V}}{5.5\text{V}} (10)^2 [1 + (0.005)(110^\circ\text{C} - 25^\circ\text{C})] \\ 0.013\Omega + 1.7(5.5\text{V})^2 (10\text{A})(300\text{pF}) \\ (300\text{kHz}) = 0.45\text{W}$$

加速周囲温度および50 の概算接合部温度上昇で、通常動作状態の時に同期MOSFETによって消費される電力の最悪値は次のようになります。

$$P_{\text{SYNC}} = \frac{5.5\text{V} - 1.2\text{V}}{5.5\text{V}} 2(10\text{A})^2 (1.48)(0.013\Omega) \\ = 1.5\text{W}$$

グラウンドへの短絡により、おおよそ次のようなフォールドバック電流を生じます。

$$I_{\text{SC}} = \frac{25\text{mV}}{0.004\Omega} + \frac{1}{2} \left[\frac{200\text{ns}(5.5\text{V})}{1\mu\text{H}} \right] = 6.8\text{A}$$

加速周囲温度および50 の概算接合部温度上昇で、短絡状態の時に同期MOSFETによって消費される電力の最悪値は次のようになります。

$$P_{\text{SYNC}} = \frac{5.5\text{V} - 1.2\text{V}}{5.5\text{V}} (6.8\text{A})^2 (1.48)(0.013\Omega) \\ = 696\text{mW}$$

これは、通常時の全負荷状態よりも低い値です。二次的に、短絡状態で負荷はもはや電力を消費しないので、全システム電力損失は99%以上、減少します。

この用途でのデューティファクターは次のようになります。

$$DF = \frac{V_o}{V_{\text{IN}}} = \frac{1.2\text{V}}{5\text{V}} = 0.24$$

図4を使用して、RMSリプル電流は次のようになります。

$$I_{\text{NRMS}} = (20\text{A})(0.25) = 5\text{A}_{\text{RMS}}$$

5A_{RMS}リプル電流定格の入力コンデンサが必要です。

出力コンデンサのリプル電流は、各インダクタに対して既に計算されたインダクタ・リプルを使用し、計算したデューティファクターと図3から得られるファクターを乗算して計算します。連続モードでの出力リプルは、デューティファクターが50%未満なため、最大入力電圧で最大になります。最大出力電流リプルは、次の式で計算できます。

$$\Delta I_{\text{COUT}} = \frac{V_{\text{OUT}}}{f_L} (0.5) \text{ at } 24\% \text{ DF}$$

$$\Delta I_{\text{COUTMAX}} = \frac{1.2\text{V}}{(300\text{kHz})(1.0\mu\text{H})}^{0.5} \\ = 2\text{A}_{\text{p-p}}$$

$$V_{\text{OUTRIPPLE}} = 20\text{m}\Omega(2\text{A}_{\text{p-p}}) = 40\text{mV}_{\text{p-p}}$$

PC基板レイアウトのチェックリスト

プリント配線基板をレイアウトする場合、LTC3716の適正な動作を確実にするために次のチェックリストを使用してください。

1)信号グラウンドと電源グラウンドは分離されていますか? 信号グラウンド配線はまず、ピン9に帰してください。広くまっすぐな配線を使用してピン9をピン28に接続してください。そこで、信号グラウンドはピン28の傍で電源グラウンド・プレーンにつながります。ピン28はC_{IN}の-極に帰すことをお勧めします。

2)LTC3716のV_{OS}⁺ピンは負荷のポイントに接続されていますか? LTC3716のV_{OS}⁻ピンは負荷の帰路点に接続されていますか?

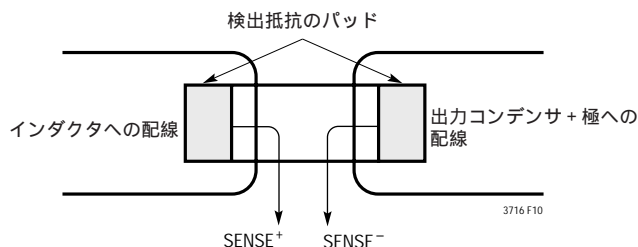


図10．適正な電流検出接続

アプリケーション情報

3) SENSE⁻ および SENSE⁺ のリードは、互いに最小のPC配線で接続されていますか? SENSE⁺ と SENSE⁻ 間のフィルタ・コンデンサは、できるだけLTC3716に近く配置してください。電流検出抵抗はケルビン接続にして、正確な電流検出を行ってください。図10を参照してください。

4) C_{IN}の+極は上側MOSFETのドレインに出来る限り近く接続されていますか? このコンデンサにより、MOSFETへのAC電流が得られます。入力コンデンサ、上側および下側MOSFET、およびショットキ・ダイオードで形成される入力電流経路は、伝導および放射EMIを最小にするためにループでPCしっかりした基板の同じ面に配線してください。

5) INTV_{CC}デカップリング用の1μFセラミック・コンデンサは、INTV_{CC}とPGNDピン間で短く接続されていますか? このコンデンサが、MOSFETドライバのピーク電流を流します。デバイスのすぐ隣に小さな値で配置してください。

6) スwitchング・ノードのSW1(およびSW2)は、敏感な小信号ノードから遠ざけてください。スイッチ・ノードは理想的には、LTC3716から最も速くに配置してください。

7) PLLINピンの駆動にはロジック・ゲートのような低インピーダンス源を使用し、リードをできるだけ短くしてください。

2フェーズ・スイッチング・レギュレータの全ての支線電流を図11に図示します。なぜスイッチング大電流経路を物理的に小さく保つことが重要かは、電流波形を調べれば非常に明確になります。強い電磁界が、まさにラジオ局の送信信号のようにこれらの“ループ”から放射されます。出力コンデンサのグラウンドは入力コンデンサの-端子に帰し、どのスイッチ電流経路とも共通グラウンド経路を共用しないでください。回路の左半分は、スイッチング・レギュレータによって生成される“ノイズ”の増加を生じます。非常に大きなスイッチ電流があるので、同期MOSFETおよびショットキ・ダイオードのグラウンド終端は、短く分離されたPC配線で入力コンデンサの-極に帰してください。

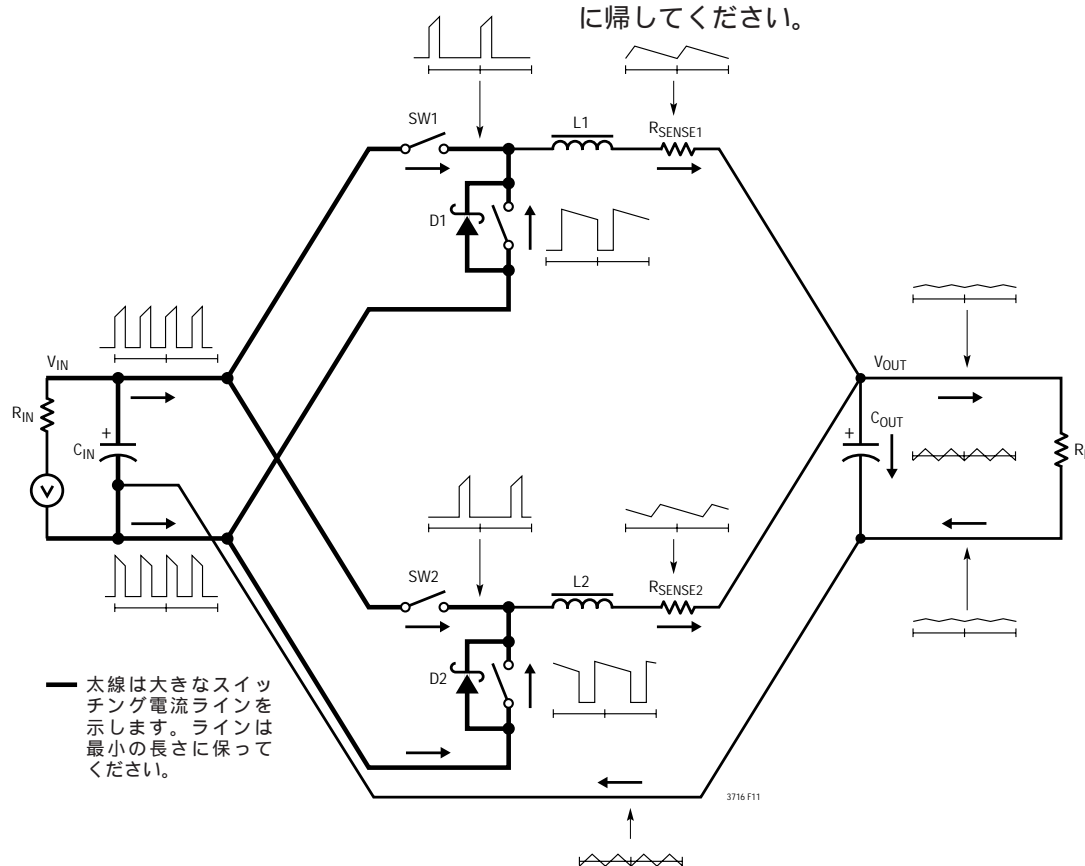


図11. マルチ・フェーズ・スイッチング・レギュレータの瞬時電流経路の流れ

アプリケーション情報

デバイスのパワー・グランド・ピン(PGND)と信号グランド・ピン(SGND)との接続には、入力コンデンサの極からの分離・絶縁された経路を使用してください。この技術は、大電流パルスにより生成される固有の信号が、スイッチング・レギュレーターの全体の期間で有限のインピーダンスをもつ交流電流経路を通ることを防ぎます。外部OPTI-LOOP補償は、最適化されていないIPC配線には過補償をしてしまい、そのような設計手順は推奨できません。

2フェーズ・コントローラがどのようにして入出力双方のRMSリプル電流を減らすかの簡略化した視覚的な説明

マルチ・フェーズ電源は、入出力双方のコンデンサのリプル電流量を大きく減らします。使用されるフェーズ数によって、RMS入力リプル電流は割られ、その実効リプル周波数は掛けられます(使用されるフェーズ数と出力電圧を掛けたものよりも入力電圧は大きいと仮定)。使用されるフェーズ数によって、出力リプル振幅も減り、実効リプル周波数は増加します。図12にその基本を図的に示します。

単出力段の設計において、RMSリプル電流の最悪状態は、入力電圧が出力電圧の2倍の時にピークとなります。

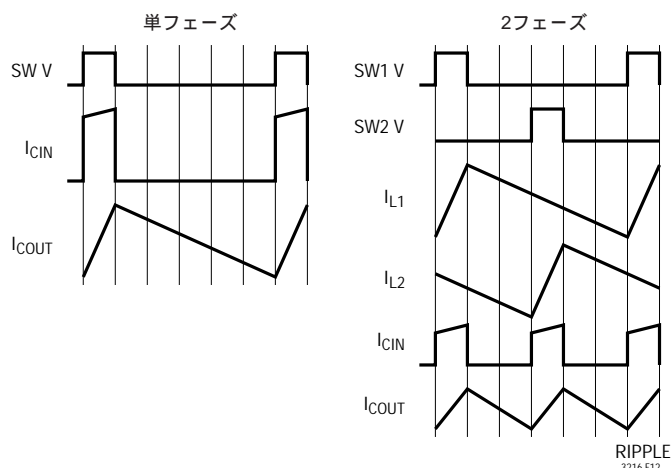


図12．単フェーズおよび2フェーズの電流波形

2出力段の設計において、RMSリプル電流の最悪状態は、入力電圧の1/4および3/4のピーク出力電圧を生じません。RMS電流を計算する時、より高い実効デューティ因子が生じ、各段の電流が平衡している限り、ピーク電流レベルは分割されます。単出力段スイッチング・レギュレータに対するRMS電流の計算方法の詳細に説明に関しては、アプリケーション・ノート19を参照してください。図3および図4は、フェーズを増やすことによって入出力電流がいかして減るかを図示しています。従って、入力容量への要求は、理論的には1/4に減らせます！低ESR特性のセラミック入力コンデンサが使用できます。

図4は、入力コンデンサから流れるRMS入力電流対入出力電圧比で決まるデューティサイクルを図示しています。単フェーズ・システムのピーク入力RMS電流レベルは、2フェーズ方式では電流が2出力段の間で分けられるので、50%まで減らされます。

2フェーズ方式で興味深い結果は、単フェーズの設計では入力コンデンサの最悪リプル電流を生じる V_{IN} ($V_{OUT}=V_{IN}/2$)が、2フェーズの設計ではゼロ入力電流リプルを生じることです。

同じインダクタ値を使用した単フェーズ方式と比較した時、出力リプル電流は大幅に軽減されます。それは、下側MOSFETがオンしている出力段の V_{OUT}/L 放電電流項が上側MOSFETがオンしている出力段に起因する $(V_{IN} - V_{OUT})/L$ 充電電流から電流を差し引くからです。出力電圧リプル電流は次のようになります。

$$\Delta I_{\text{RIPPLE}} = \frac{2V_{\text{OUT}}}{fL} \left[\frac{|1-2D|(1-D)}{|1-2D|+1} \right]$$

Dはデューティ・ファクタ

入出力のリプル周波数は使用される出力段数だけ増加し、出力容量の要求を軽減します。図3および図4に図示されるように V_{IN} がおおよそ $2(V_{OUT})$ に等しい時、非常に低い入出力リプル電流が生じます。

標準的応用例

携帯用CPUコアに電源を供給するためにLTC3716を使用した標準的な応用例を図13に示します。入力は7Vから24Vまで変動可能で、出力電圧は30Aの最大電流で0.6Vから1.75Vまでプログラムできます。この電源は、動作状態を基に異なる出力電圧オフセットを生成するために三本の入力信号を受けます。LTC3716のAMPMDピンをINTV_{CC}に接続すると、LTC3716はこのオフセットを実現するために通常のオペアンプを提供します。

GMUXSELがローの場合、出力電圧はVIDコモン電圧から-1.2%だけ、オフセットされます。オフセットは R_a/R_b に等しくなります。DPSLP#がローの時、出力電圧はおおよそ4%まで減少します。このオフセットは R_c を減らすことで増加でき、DPRSLPVR信号がハイの時に無効となります。VIDが遷移している間にPWRGOODをマスクするために、追加でフィルタ回路(Q1およびQ2)が使用されます。

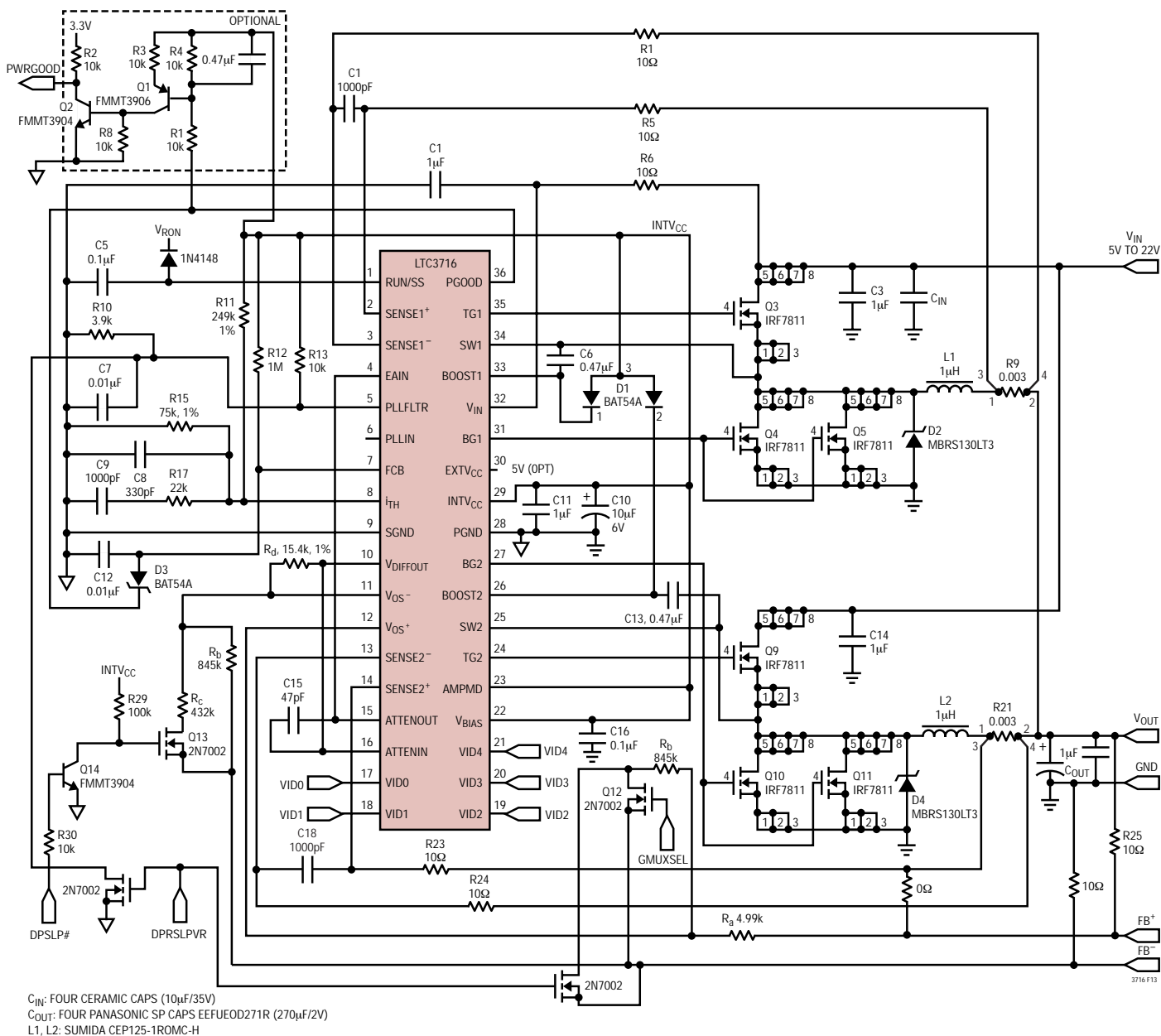
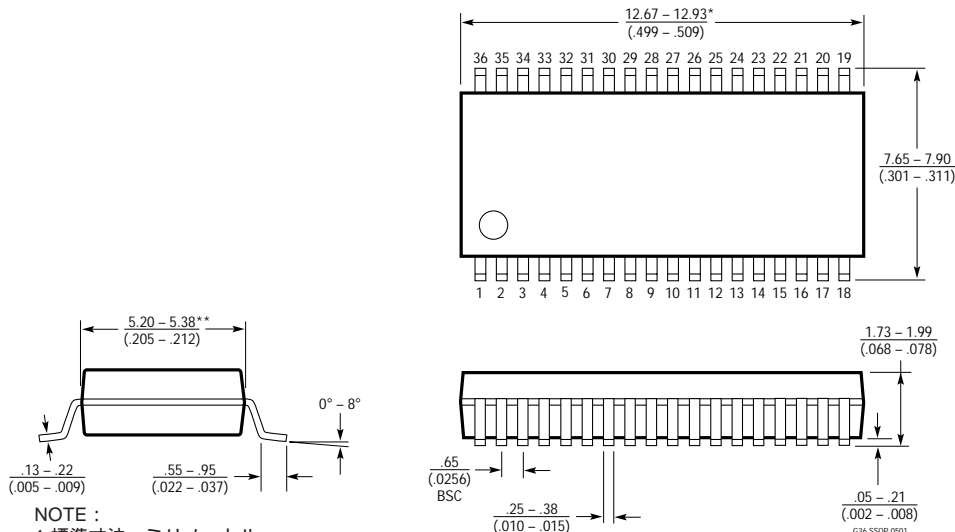


図13 . アクティブ電圧ポジショニング、5V~20V入力、0.6V~1.75V/30A出力、IMVP 準拠電源

パッケージ寸法

Gパッケージ
36ピン・プラスチックSSOP(5.3mm)
(Reference LTC DWG # 05-08-1640)



- NOTE :
- 標準寸法：ミリメートル
 - 寸法は $\frac{\text{ミリメートル}}{\text{インチ}}$
 - 図は実寸とは異なる
 - *寸法にはモールドのバリを含まない。モールドのバリは片側で0.152mm(0.006")を超えないこと。
 - **寸法にはリード間のバリを含まない。リード間のバリは片側で0.254mm(0.010")を超えないこと。

関連製品

製品番号	説明	注釈
LTC1438/LTC1439	デュアル、高効率、低ノイズ、同期式降圧スイッチング・レギュレータ	POR、補助レギュレータ
LTC1438-ADJ	デュアル、補助レギュレータ装備、同期式コントローラ	POR、外部帰還分割器
LTC1538-AUX	デュアル、高効率、低ノイズ、同期式降圧スイッチング・レギュレータ	補助レギュレータ、5Vスタンバイ
LTC1539	デュアル、高効率、低ノイズ、同期式降圧スイッチング・レギュレータ	5Vスタンバイ、POR、低バッテリー、補助レギュレータ
LTC1436A-PLL	高効率、低ノイズ、同期式降圧スイッチング・レギュレータ	Adaptive Power™モード、24ピンSSOP
LTC1628/LTC1628-PG	デュアル、高効率、2フェーズ、同期式降圧スイッチング・レギュレータ	固定周波数、スタンバイ、5Vおよび3.3V LDO
LTC1629/LTC1629-PG	PolyPhase、高効率コントローラ	12フェーズまで拡張可能、G28、120Aまで
LTC1929/LTC1929-PG	2フェーズ、高効率コントローラ	40Aまで調整可能な出力、G28
LTC1702/LTC1703	デュアル、高効率、2フェーズ、同期式降圧スイッチング・レギュレータ	500kHz、25MHz GBW
LTC1708-PG	デュアル、高効率、2フェーズ、同期式降圧スイッチング・レギュレータ 5ビットVIDおよびパワーグッド標示	1.3V ≤ V _{OUT} ≤ 3.5V、3.5V ≤ V _{IN} ≤ 36V 電流モードが正確な電流配分を維持
LTC1709-7	2フェーズ、高効率コントローラ5ビット携帯用VID およびパワーグッド標示(0.9V ≤ V _{OUT} ≤ 2V)	パーストモード動作およびサイクル・スキップ低電流モード 3.5V ≤ V _{IN} ≤ 36V
LTC1709-8/LTC1709-9	2フェーズ、高効率コントローラ、5ビットVIDおよびパワーグッド標示	VRM8.4およびVRM9.0のVID表
LTC1735	高効率、同期式降圧コントローラ	パーストモード動作、16ピン細型SSOP 不具合保護、3.5V ≤ V _{IN} ≤ 36V
LTC1736	高効率、同期式降圧コントローラ、5ビットVID	出力不具合保護、パワーグッド、GN24 3.5V ≤ V _{IN} ≤ 36V、0.925V ≤ V _{OUT} ≤ 2V
LTC1778	No R _{SENSE} ™、同期式、電流モード降圧コントローラ	検出抵抗不要、4V ≤ V _{IN} ≤ 36V、0.8V ≤ V _{IN} ≤ V _{IN} 、GN16

Adaptive PowerおよびNo R_{SENSE}はリニアテクノロジー社の登録商標です。