

フォルト保護付き 6A 昇圧 / 反転 DC/DC コンバータ

特長

- 6A、42Vの結合されたパワースイッチ
- 出力の短絡保護
- 広い入力電圧範囲: 2.5V~16Vで動作、過渡電圧は最大40V
- LT3579-1: 2フェーズが可能
- マスター/スレーブ(3.4A/2.6A)スイッチ設計
- ユーザが設定可能な低電圧ロックアウト
- 昇圧、SEPIC、反転またはフライバック・コンバータとして容易に構成可能
- 低V_{CESAT}スイッチ: 250mV/5.5A(標準)
- 外部クロックに同期可能
- 他のスイッチング・レギュレータに同期可能
- ゆっくり変化する入力信号を受容する高利得のSHDNピン
- 20ピンTSSOPおよび20ピン(4mm×5mm)QFNパッケージ

アプリケーション

- ローカル電源
- 真空蛍光ディスプレイ(VFD)のバイアス電源
- TFT-LCDのバイアス電源
- 車載エンジン制御ユニット(ECU)の電源

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。他の全ての商標はそれぞれの所有者に所有権があります。7579816 を含む米国特許によって保護されています。

概要

LT®3579は、出力の短絡状態、入力/出力の過電圧状態、および過熱状態からデバイスを保護するのに役立つフォルト保護機能を内蔵したPWM DC/DCコンバータです。このデバイスは42Vのマスター・スイッチと42Vのスレーブ・スイッチで構成されており、これらのスイッチを互いに接続することにより、電流制限値を合計6Aにすることができます。

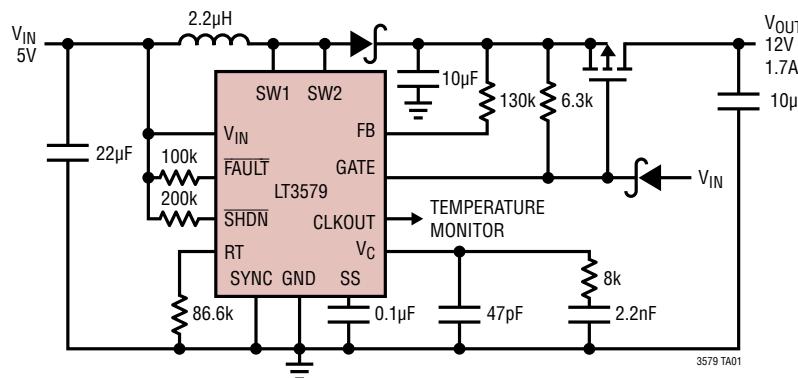
LT3579は多くのローカル電源設計に最適です。このデバイスは昇圧コンバータ、SEPICコンバータ、反転コンバータまたはフライバック・コンバータのいずれかに容易に構成可能で、5V入力から12V/1.7Aまたは-12V/1.2Aを生成可能です。さらに、LT3579はスレーブ・スイッチを備えているので、非常に効率的で従来の回路に比べて外付け部品が少なくて済む高電圧、高電力のチャージポンプ構成することができます。

LT3579のスイッチング周波数は200kHz~2.5MHzの範囲で設定できます。このデバイスは、RTピンとグランドの間に接続された抵抗によって周波数が設定される内部クロックに同期することも、外部クロックに同期することもできます。バッファされたクロック信号はCLKOUTピンからドライブされるので、これを使用して他の互換スイッチング・レギュレータICをLT3579に同期させることができます。

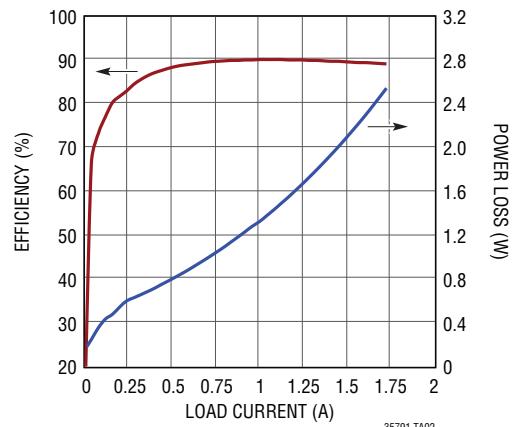
また、LT3579は、緩やかに変化する入力信号を受容する革新的なSHDNピン回路と調整可能な低電圧ロックアウトを特長としています。この他に、周波数ホールドバックやソフトスタートなどの機能も内蔵しています。LT3579は、20ピン20ピンTSSOPパッケージ4mm×5mmのQFNパッケージで供給されます。

標準的応用例

出力短絡保護付き、1MHz、5Vから12Vの昇圧コンバータ



効率と電力損失



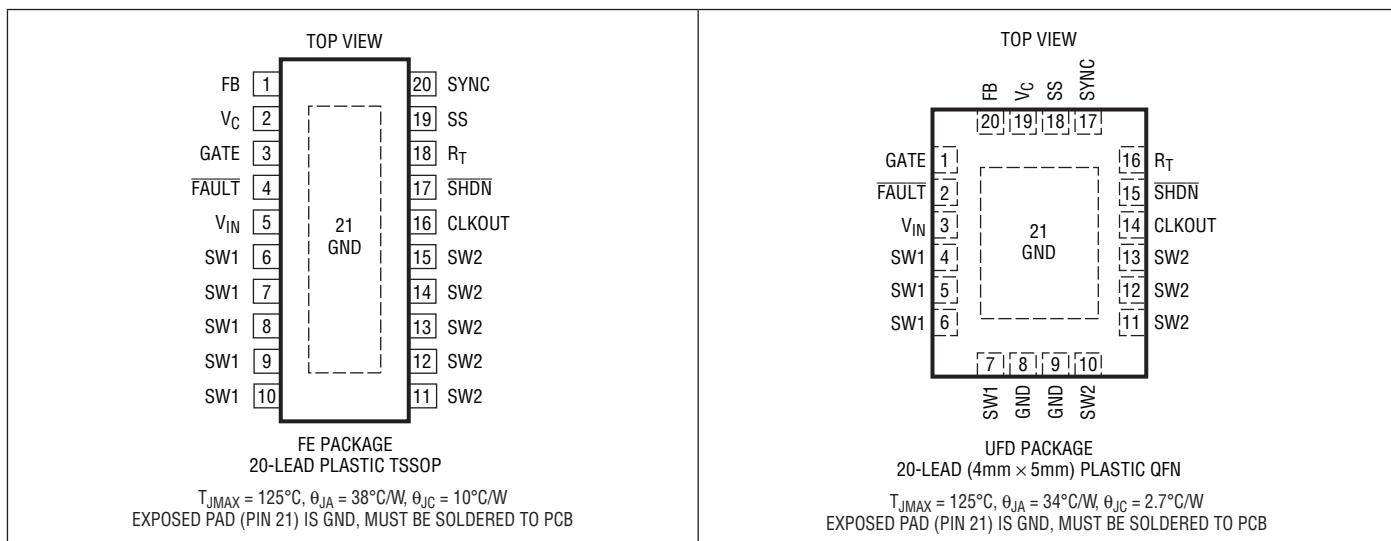
LT3579/LT3579-1

絶対最大定格

(Note 1)

V _{IN} 電圧	-0.3V~40V	FAULT	-0.3V~40V
SW1/SW2 の電圧	-0.4V~42V	FAULT の電流	±0.5mA
R _T の電圧	-0.3V~5V	CLKOUT	-0.3V~3V
SS、FB の電圧	-0.3V~2.5V	CLKOUT の電流	±1mA
V _C 電圧	-0.3V~2V	動作接合部温度範囲	
SHDN の電圧	-0.3V~40V	LT3579E (Note 2, 4)	-40°C~125°C
SYNC の電圧	-0.3V~5.5V	LT3579I (Note 2, 4)	-40°C~125°C
GATE の電圧	-0.3V~80V	保存温度範囲	-65°C~150°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング *	パッケージ	温度範囲
LT3579EFE#PBF	LT3579EFE#TRPBF	LT3579FE	20-Lead Plastic TSSOP	-40°C to 125°C
LT3579IFE#PBF	LT3579IFE#TRPBF	LT3579FE	20-Lead Plastic TSSOP	-40°C to 125°C
LT3579EUFD#PBF	LT3579EUFD#TRPBF	3579	20-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C
LT3579IUFDF#PBF	LT3579IUFDF#TRPBF	3579	20-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C
LT3579EFE-1#PBF	LT3579EFE-1#TRPBF	LT3579FE-1	20-Lead Plastic TSSOP	-40°C to 125°C
LT3579IFE-1#PBF	LT3579IFE-1#TRPBF	LT3579FE-1	20-Lead Plastic TSSOP	-40°C to 125°C
LT3579EUFD-1#PBF	LT3579EUFD-1#TRPBF	35791	20-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C
LT3579IUFDF-1#PBF	LT3579IUFDF-1#TRPBF	35791	20-Lead (4mm×5mm) Plastic QFN	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/> をご覧ください。

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 5\text{V}$ 、 $V_{SHDN} = V_{IN}$ 、 $V_{FAULT} = V_{IN}$ 。(Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Input Voltage		●	2.3	2.5	V
V_{IN} Overvoltage Lockout			16.2	18.7	21.2
Positive Feedback Voltage		●	1.195	1.215	1.230
Negative Feedback Voltage		●	3	9	16
Positive FB Pin Bias Current	V_{FB} =Positive Feedback Voltage, Current into Pin	●	80.5	83.3	85
Negative FB Pin Bias Current	V_{FB} =Negative Feedback Voltage, Current out of Pin	●	81	83.3	85.5
Error Amp Transconductance	$\Delta I = 10\mu\text{A}$			250	μmhos
Error Amp Voltage Gain				70	V/V
Quiescent Current	Not Switching			1.9	2.4
Quiescent Current in Shutdown	$V_{SHDN} = 0\text{V}$			0	1
Reference Line Regulation	$2.5\text{V} \leq V_{IN} \leq 15\text{V}$			0.01	0.05
Switching Frequency, f_{osc}	$R_T = 34\text{k}\Omega$	●	2.2	2.5	2.8
	$R_T = 432\text{k}\Omega$	●	175	200	225
Switching Frequency in Foldback	Compared to Normal f_{osc}			1/6	ratio
Switching Frequency Range	Free-Running or Synchronizing	●	200	2500	kHz
SYNC High Level for Sync		●	1.3		V
SYNC Low Level for Sync		●		0.4	V
SYNC Clock Pulse Duty Cycle	$V_{SYNC} = 0\text{V}$ to 2V		20	80	%
Recommended Minimum SYNC Ratio f_{SYNC}/f_{osc}				3/4	
Minimum Off-Time				45	nS
Minimum On-Time				55	nS
SW1 Current Limit	At All Duty Cycles (Note 3)	●	3.4	4.2	5.1
SW Current Sharing, I_{SW2}/I_{SW1}	SW1 and SW2 Tied Together			0.78	A/A
SW1 + SW2 Current Limit	$I_{SW2}/I_{SW1} = 0.78$, At All Duty Cycles (Note 3)	●	6	7.5	9.4
Switch V_{CESAT}	SW1 and SW2 Tied Together, $I_{SW1} + I_{SW2} = 5.5\text{A}$			250	mV
SW1 Leakage Current	$V_{SW1} = 5\text{V}$			0.01	1
SW2 Leakage Current	$V_{SW2} = 5\text{V}$			0.01	1

LT3579/LT3579-1

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 5\text{V}$ 、 $V_{SHDN} = V_{IN}$ 、 $V_{FAULT} = V_{IN}$ 。 (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Soft-Start Charge Current	$V_{SS} = 30\text{mV}$, Current Flows Out of SS pin	● 5.7	8.7	11.3	μA
Soft-Start Discharge Current	Part in FAULT $V_{SS} = 2.1\text{V}$, Current Flows into SS Pin	● 5.7	8.7	11.3	μA
Soft-Start High Detection Voltage	Part in FAULT	● 1.65	1.8	1.95	V
Soft-Start Low Detection Voltage	Part Exiting FAULT	● 30	50	85	mV
SHDN Minimum Input Voltage High	Active Mode, \overline{SHDN} Rising Active Mode, \overline{SHDN} Falling	● 1.27 ● 1.24	1.33 1.3	1.41 1.38	V
SHDN Input Voltage Low	Shutdown Mode	● .3	.3	.3	V
SHDN Pin Bias Current	$V_{SHDN} = 3\text{V}$ $V_{SHDN} = 1.3\text{V}$ $V_{SHDN} = 0\text{V}$	9.5	40 11.4 0	60 13.4 0.1	μA
CLKOUT Output Voltage High	$C_{CLKOUT} = 50\text{pF}$	1.9	2.1	2.3	V
CLKOUT Output Voltage Low	$C_{CLKOUT} = 50\text{pF}$	100	200	200	mV
CLKOUT Duty Cycle	LT3579, $T_J = 25^\circ\text{C}$		42		%
	LT3579-1, All T_J		50		%
CLKOUT Rise Time	$C_{CLKOUT} = 50\text{pF}$		12		ns
CLKOUT Fall Time	$C_{CLKOUT} = 50\text{pF}$		8		ns
GATE Pull Down Current	$V_{GATE} = 3\text{V}$ $V_{GATE} = 80\text{V}$	● 800 ● 800	933 933	1100 1100	μA
GATE Leakage Current	$V_{GATE} = 50\text{V}$, GATE Off		0.01	1	μA
FAULT Output Voltage Low	50 μA into FAULT Pin	● 100	300	300	mV
FAULT Leakage Current	$V_{FAULT} = 40\text{V}$, FAULT Off		0.01	1	μA
FAULT Input Voltage Low Threshold		● 700	750	800	mV
FAULT Input Voltage High Threshold		● 950	1000	1050	mV

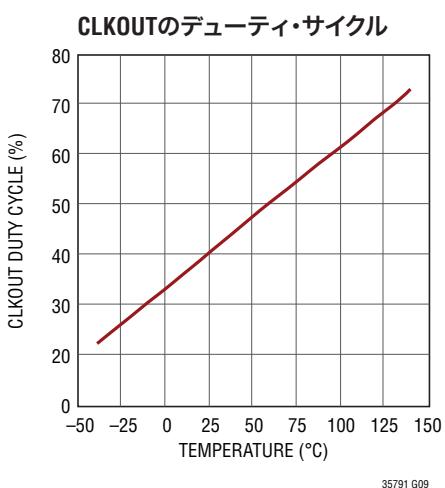
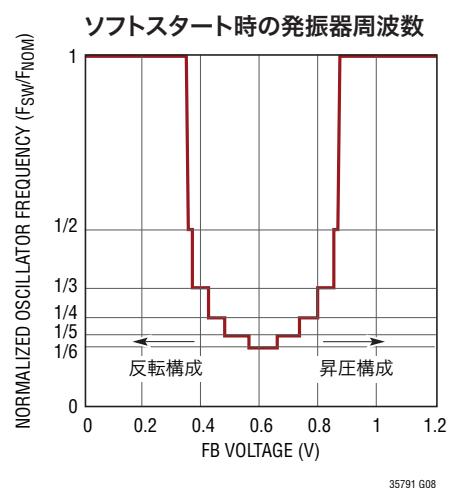
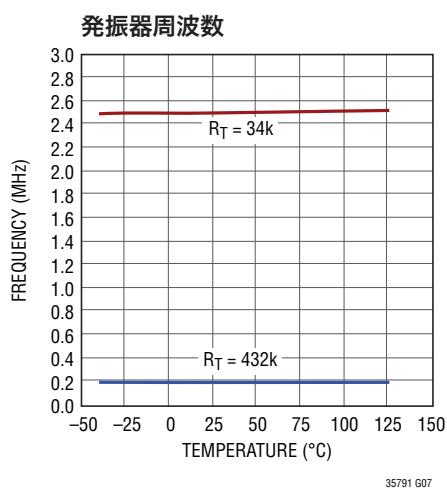
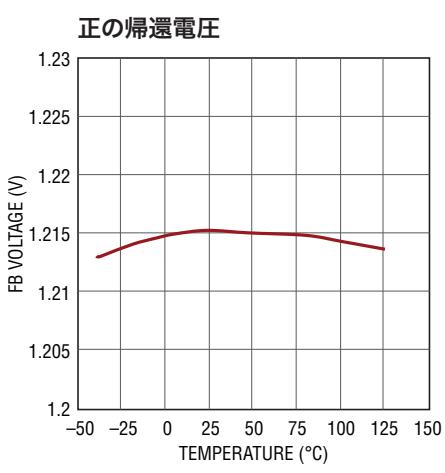
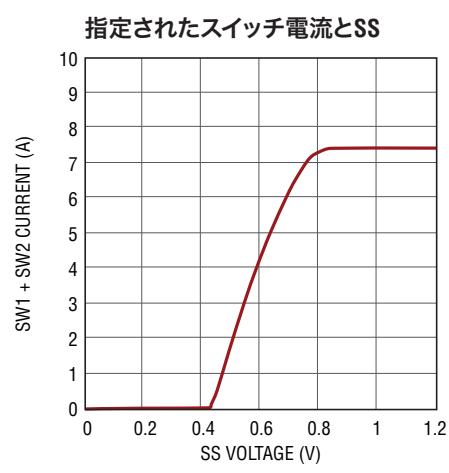
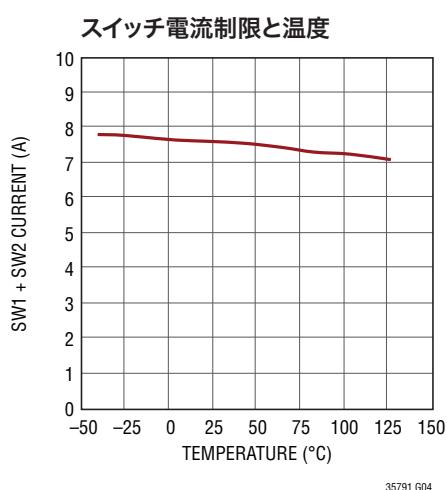
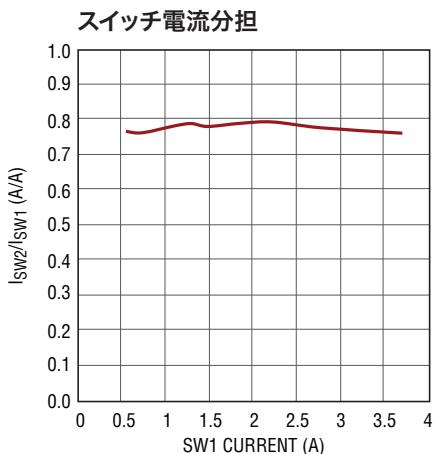
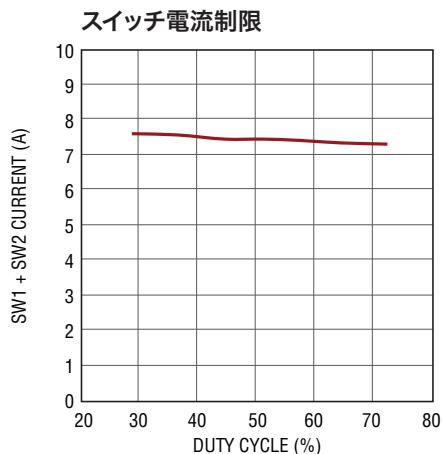
Note 1 : 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2 : LT3579E は $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3579I は $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で動作することが保証されている。

Note 3 : 電流制限は設計および静的テストとの相関によって保証されている。

Note 4 : このデバイスには短時間の過負荷状態の間デバイスを保護するための過温度保護機能が備わっている。過温度保護機能がアクティブなとき接合部温度は 125°C を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

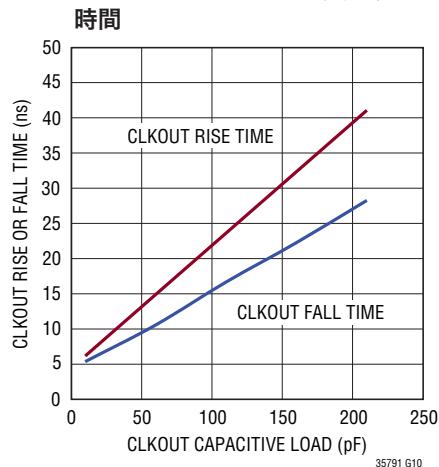
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。



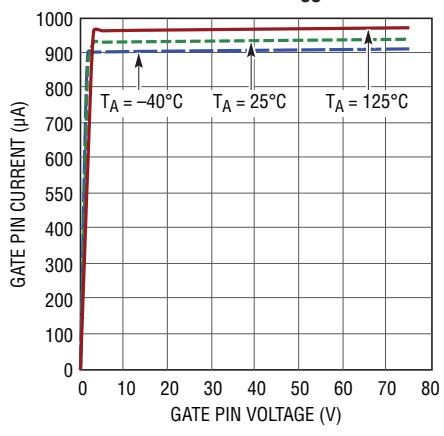
LT3579/LT3579-1

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

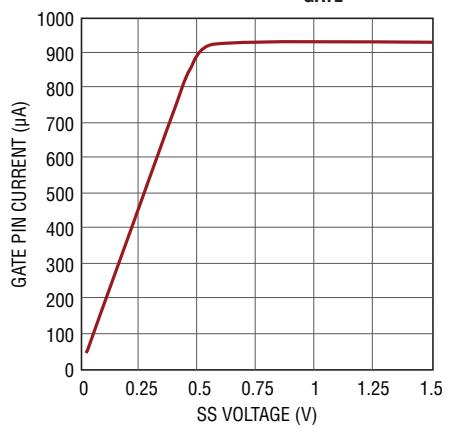
CLKOUTの1MHzでの立ち上がり時間



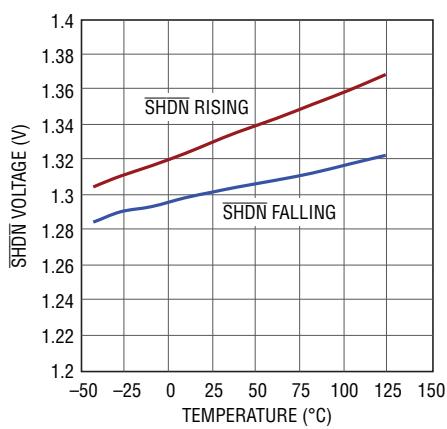
ゲート・ピンの電流 ($V_{SS} = 2.1\text{V}$)



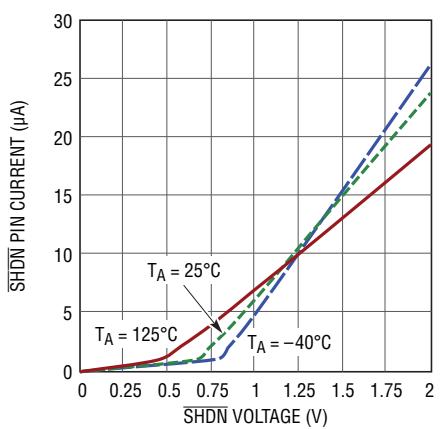
ゲート・ピンの電流 ($V_{GATE} = 5\text{V}$)



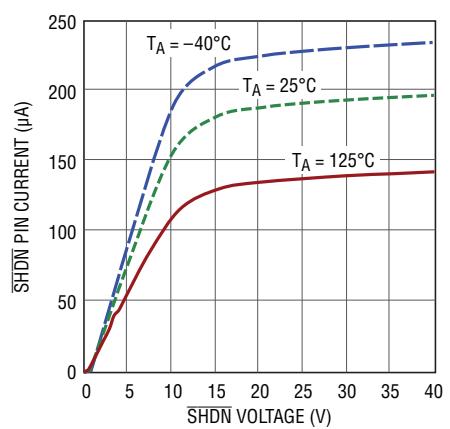
アクティブ/ロックアウト・スレッショルド



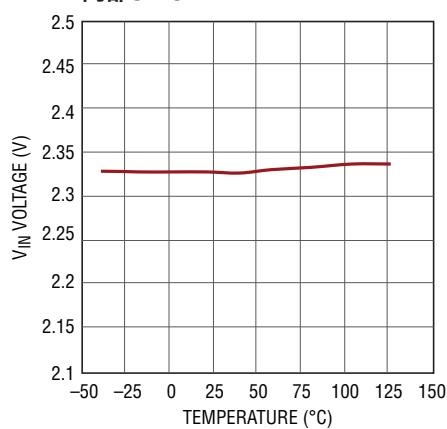
SHDNピンの電流



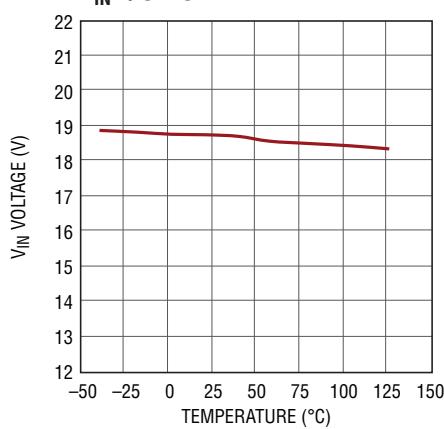
SHDN ピンの電流



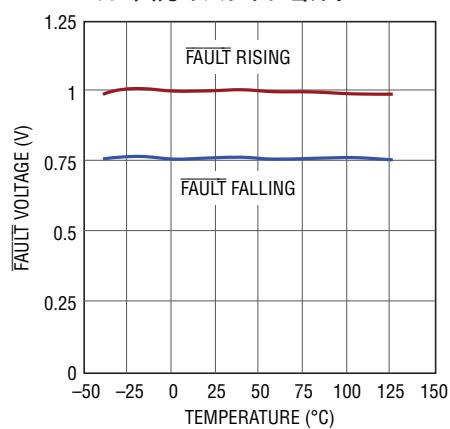
内部UVLO



V_{IN} のOVLO



Fault入力のスレッショルド



ピン機能 (QFN/TSSOP)

GATE(ピン1/ピン3) : PMOSゲート・ドライブ・ピン。GATEピンはプルダウン電流源であり、出力の短絡に対する保護または出力の切断のために外部PMOSトランジスタのゲートをドライブするのに使うことができます。GATEピンの電流はSSピンの電圧に従ってリニアに増加し、SSの電圧が500mVを超えるとプルダウン電流は最大933μAになります。SSの電圧が500mVより大きく、GATEピンの電圧が2Vより小さいと、GATEピンはグランドに接続された2kΩのインピーダンスのように見えることに注意してください。詳細については「付録」を参照してください。

FAULT(ピン2/ピン4) : フォルト表示ピン。このアクティブ“L”の双方向ピンは、フォルトを表示するために、外部ソースによって、または内部でデバイスによって“L”(750mVより下)に引き下げることができます。このピンが“L”に引き下げられると、パワースイッチがオフし、GATEピンが高インピーダンスになり、CLKOUTピンがディスエーブルされ、さらにSSピンが充電/放電のシーケンスを遂行します。このピンの電圧が1Vを超えると、フォルトの終結/不在が表示されます。フォルトが存在しないときこのピンを1Vより上にプルアップするには、このピンにプルアップ抵抗または他の何らかの形のプルアップ・ネットワークが必要です。

V_{IN}(ピン3/ピン5) : 入力電源ピン。ローカルにバイパスする必要があります。

SW1(ピン4～7/ピン6～10) : マスタ・スイッチ・ピン。これは内部のマスタNPNパワースイッチのコレクタです。SW1は3.4A(最小)のピーク・コレクタ電流を扱うように設計されています。このピンに接続されるメタル・トレースの面積を小さくしてEMIを抑えます。

GND(ピン8、9、露出パッドのピン21/露出パッドのピン21) : グランド。ローカル・グランド・プレーンに直接半田付けする必要があります。

SW2(ピン10～13/ピン11～15) : スレーブ・スイッチ・ピン。これは内部のスレーブNPNパワースイッチのコレクタです。SW2は2.6A(最小)のピーク・コレクタ電流を扱うように設計されています。このピンに接続されるメタル・トレースの面積を小さくしてEMIを抑えます。

CLKOUT(ピン14/ピン16) : クロック出力ピン。このピンを使って、1個または複数の他のICをLT3579に同期させます。このピンはデバイス内部の発振器またはSYNCピンと同じ周波数で発振します。CLKOUTピンのデューティ・サイクルはデバイスの接合部温度に従ってリニアに変化するので、CLKOUTは温度モニタとしても使うことができます。LT3579-1のCLKOUT

ピンの信号は、内部発振器またはSYNCピンから位相が180°ずれており、デューティ・サイクルが約50%に固定されています。LT3579-1はマルチフェーズ・スイッチング・レギュレータに使用するのに便利です。

SHDN(ピン15/ピン17) : シャットダウン・ピン。UVLO(低電圧ロックアウト)回路と組み合わせて、このピンを使ってデバイスをイネーブル/ディスエーブルし、ソフトスタートのシーケンスを再度開始します。デバイスをディスエーブルするには0.3Vより下にドライブします。デバイスをアクティブにしてソフトスタート・シーケンスを再度開始するには1.33V(標準)より上にドライブします。このピンはフロート状態にしないでください。

RT(ピン16/ピン18) : タイミング抵抗ピン。LT3579のスイッチング周波数を調節します。このピンからグランドに抵抗を接続して、周波数を固定自走レベルに設定します。このピンはフロート状態にしないでください。

SYNC(ピン17/ピン20) : スイッチング周波数を外部クロックに同期させるには、単にこのピンをクロックでドライブします。クロックの“H”電圧レベルは1.3Vを超えないければならず、“L”電圧レベルは0.4Vより低くなければなりません。このピンを0.4Vより下にドライブすると内部自走クロックに戻ります。詳細については「アプリケーション情報」のセクションを参照してください。

SS(ピン18/ピン19) : ソフトスタート・ピン。ソフトスタート・コンデンサをここに接続します。起動すると、SSピンは(公称)250kの抵抗を通して約2.1Vに充電されます。フォルト時、SSピンはタイムアウト・シーケンスの一部としてゆっくり充電されてから放電されます。

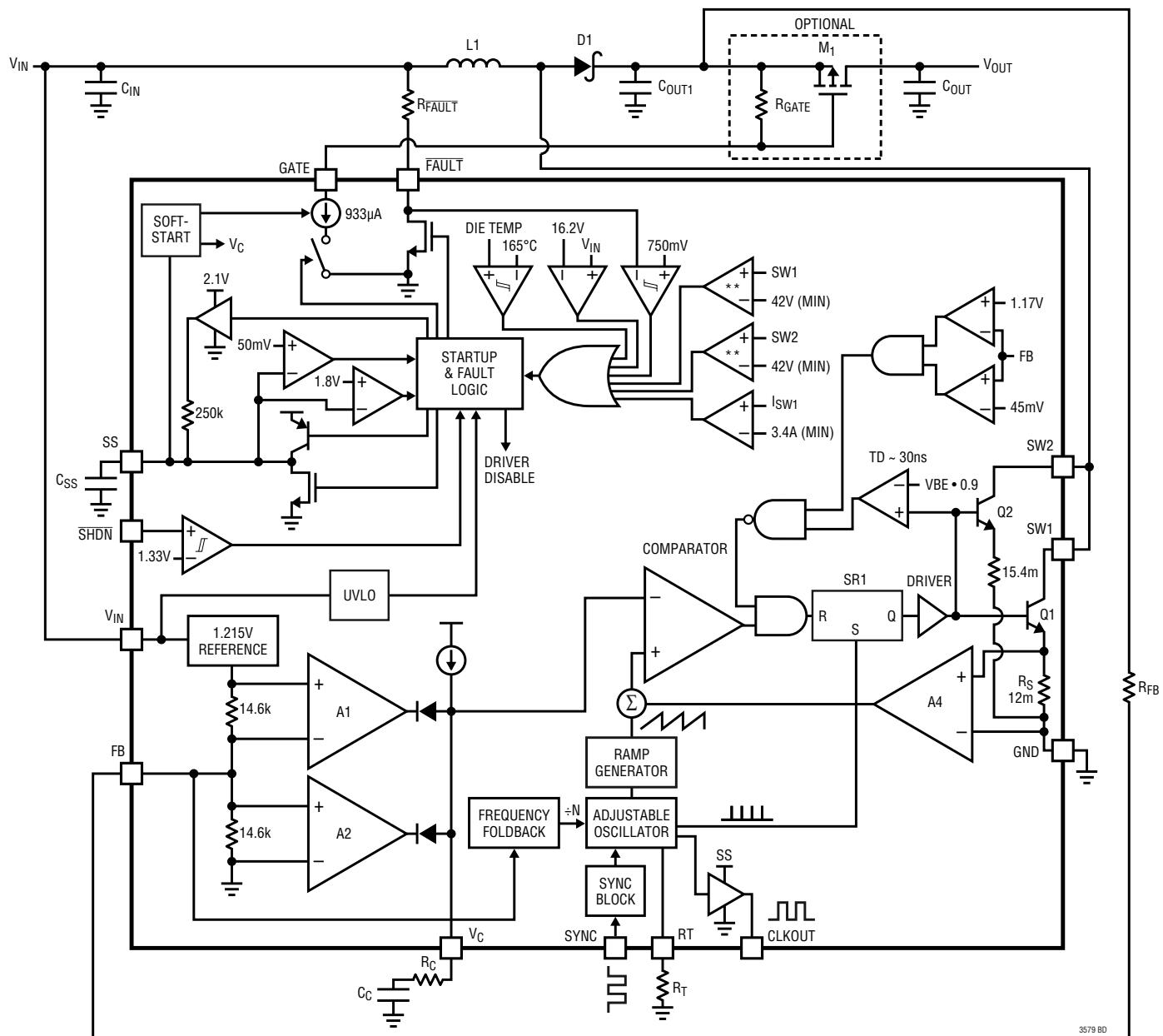
V_c(ピン19/ピン2) : エラーアンプの出力ピン。外部補償回路をこのピンに接続します。

FB(ピン20/ピン1) : 正と負の帰還ピン。昇圧または反転のコンバータでは、以下の式に従って抵抗をFBピンからV_{OUT}へ接続します。

$$R_{FB} = \left(\frac{V_{OUT} - 1.215V}{83.3\mu A} \right); \text{Boost or SEPIC Converter}$$

$$R_{FB} = \left(\frac{|V_{OUT}| + 9mV}{83.3\mu A} \right); \text{Inverting Converter}$$

ブロック図



**SWに過電圧発生時にSWの過電圧保護がLT3579/LT3579-1を保護することは保証されていない

図1. ブロック図

状態図

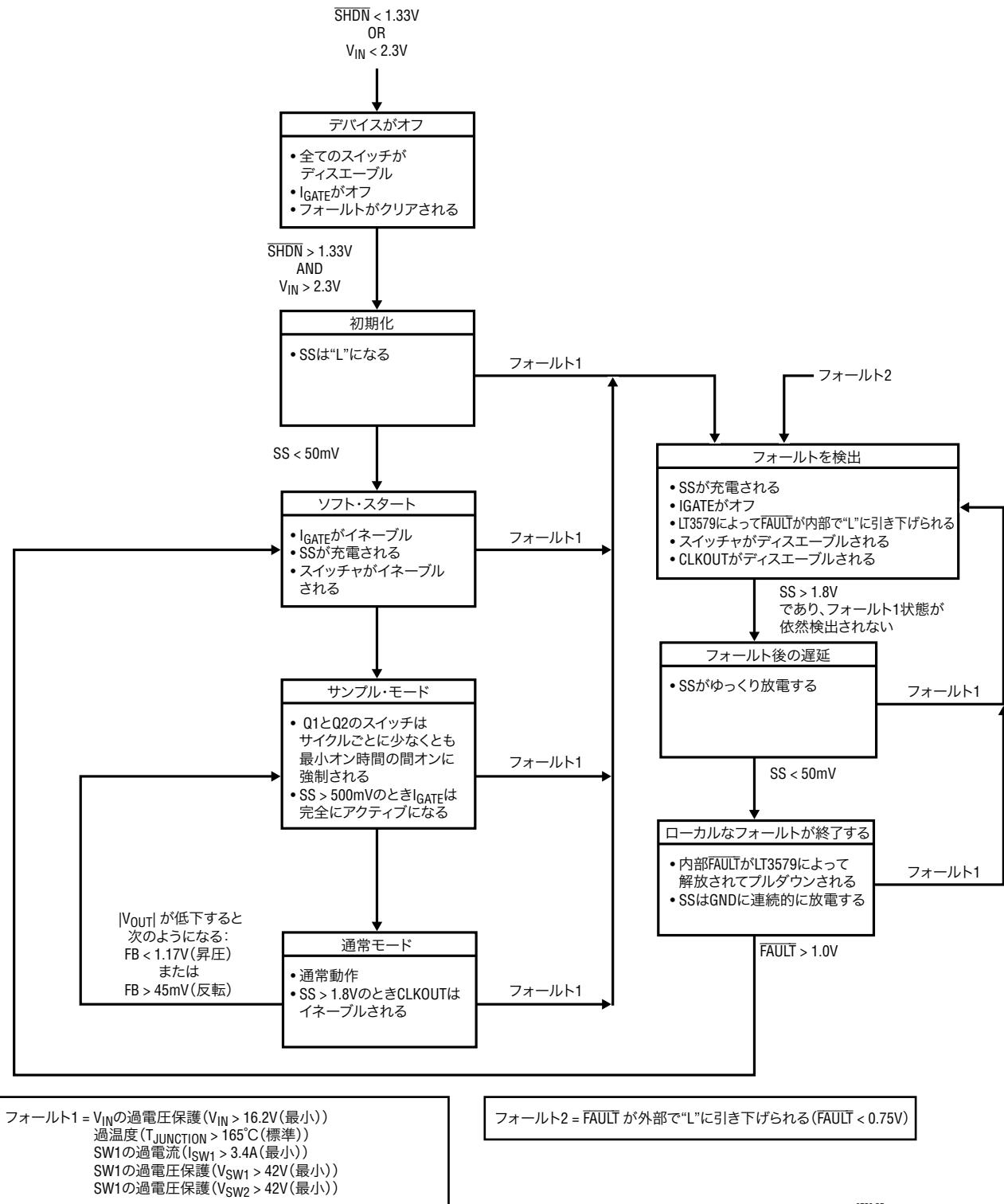


図2. 状態図

3759 SD

動作

動作 – 概要

LT3579は固定周波数の電流モード制御方式を使って、優れたライン・レギュレーションとロード・レギュレーションを実現します。デバイスの低電圧ロックアウト(UVLO)機能は、ソフトスタートおよび周波数フォールドバックとともに、スタートアップを制御する手段を与えます。LT3579にはフォルト機能が組み込まれており、出力短絡、過電圧、および過温度状態の検出に役立ちます。デバイスの動作の以下の説明に関しては、ブロック図(図1)および状態図(図2)を参照してください。

動作 – スタートアップ

LT3579の非常にクリーンな起動を可能にするため、いくつかの機能が備わっています。

精密ターンオン電圧

\overline{SHDN} ピンが内部電圧リファレンスと比較され、精密なターンオン電圧レベルが与えられます。 \overline{SHDN} ピンを1.33V(標準)より上にするとデバイスがイネーブルされます。 \overline{SHDN} ピンを0.3Vより下にするとデバイスがシャットダウンし、消費電流が非常に低くなります。 \overline{SHDN} ピンには30mVのヒステリシスがあり、グリッチと低速ランプに対して保護します。

低電圧ロックアウト (UVLO)

\overline{SHDN} ピンを使って構成可能なUVLOを構成することもできます。UVLO機能はLT3579のオン/オフを望みの入力電圧($V_{IN,UVLO}$)に設定します。どのように抵抗分割器(または1個の抵抗)を V_{IN} から \overline{SHDN} ピンに接続して $V_{IN,UVLO}$ を設定できるかを図3に示します。 R_{UVLO2} はオプションです。これは省略することができ、その場合はそれを下の式で無限大にします。精度を上げるには $R_{UVLO2} \leq 10k\Omega$ にします。 R_{UVLO1} は次のように選択します。

$$R_{UVLO1} = \frac{V_{IN,UVLO} - 1.33V}{\left(\frac{1.33V}{R_{UVLO2}}\right) + 11.6\mu A}$$

LT3579はUVLO回路も内蔵しており、 $V_{IN} < 2.3V$ (標準)のときデバイスをディスエーブルします。

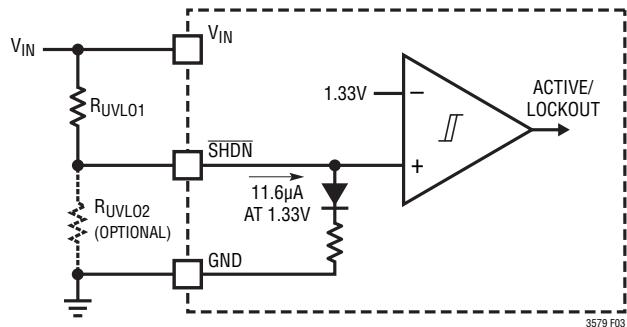


図3. 構成設定可能なUVLO

スイッチ電流のソフトスタート

ソフトスタート回路はスイッチ電流を徐々にランプアップさせます(「標準的性能特性」の「指定されたスイッチ電流とSS」を参照)。デバイスがシャットダウンから抜け出ると、外部SSコンデンサがまず放電し、それによりデバイス内のロジック回路の状態がリセットされます。SSピンの電圧のランプレートはこの250k抵抗とこのピンに接続されている外部コンデンサによって1.8Vに設定されます。SSピンが1.8Vに達すると、CLKOUTピンがイネーブルされ、内部レギュレータがこのピンを直ちに約2.1Vに引き上げます。外部のソフトスタート・コンデンサの標準値は100nF~1μFの範囲です。

外部PMOS(もし使用されていれば)のソフトスタート

また、ソフトスタート回路はGATEピンのプルダウン電流を徐々にランプアップするので、外部PMOS(「ブロック図」のM1)をゆっくりオンすることができます。GATEピンの電流はSSピンの電圧に従ってリニアに増加し、SSの電圧が500mVを超えると最大電流は933μAになります。SSの電圧が500mVを超えていても、GATEピンの電圧が2Vより下だと、GATEピンのグランドへのインピーダンスは2kΩであることに注意してください。外部PMOSのソフト・ターンオンによりスタートアップ時の突入電流が制限されるので、LT3579の活線挿入は可能であり、安全です。

動作

サンプル・モード

サンプル・モードはLT3579によって使われるメカニズムで、出力の短絡の検出に役立ちます。これは、インダクタ電流を「サンプル」するために、マスタ・スイッチとスレーブ・スイッチ(Q1とQ2)が、クロック・サイクルごとに(または周波数フォールドバックのときは数クロック・サイクルごとに)最小時間の間オンするLT3579の状態を指しています。Q1を通してサンプルされた電流が3.4A(最小)のマスタ・スイッチ電流リミットを超えると、LT3579は内部で過電流�トルトをトリガします(詳細については、「動作 - フォルト」のセクションを参照)。FBが約3.7%以上安定化状態から外れると、つまり $45mV < FB < 1.17V$ (標準)となると、サンプル・モードが有効になります。LT3579のパワースイッチは6A(最小)の合計ピーク電流を扱うように設計されています。

周波数フォールドバック

周波数フォールドバック回路は、 $350mV < FB < 900mV$ (標準)のときスイッチング周波数を下げます。この機能はデバイスが達成できる最小デューティ・サイクルを下げて、起動時のインダクタ電流をさらに良く制御できるようにします。FB電圧がこの範囲の外に出ると、スイッチング周波数は正常の値に戻ります。

スタートアップ時のピーク・インダクタ電流は、負荷プロファイル、出力容量、目標とする V_{OUT} 、 V_{IN} 、スイッチング周波数など多くの変数の関数であることに注意してください。**スタートアップ時のアプリケーションの性能をテストし、ピーク・インダクタ電流が最小電流リミットを超えないようにします。**

動作 - レギュレーション

LT3579の動作の以下の説明では、FBの電圧がその安定化の目標に十分近いので、デバイスはサンプル・モードではないと仮定しています。レギュレーション状態で動作しているLT3579の動作の以下の説明を読み進む際、ブロック図を参照してください。発振器の各サイクルの開始点で、SRラッチ(SR1)がセットされ、パワースイッチQ1とQ2をオンします。2つのスイッチのコレクタが相互に接続されているとき、マスタ・スイッチ(Q1)のコレクタ電流は、スレーブ・スイッチ(Q2)のコレクタ電流の約1.3倍です。Q1のエミッタ電流は電流検出抵抗(R_S)を通って流れ、全スイッチ電流に比例した電圧

を発生します。(A4によって増幅された)この電圧が安定化ランプへ加算され、その和がPWMコンパレータA3の正端子に与えられます。A3の正入力の電圧が負入力の電圧を超えると、SRラッチがリセットされ、マスタとスレーブのパワースイッチをオフします。A3の負入力(V_C ピン)の電圧がA1(またはA2)によって設定されます。これは単にFBピンの電圧とリファレンス電圧の差を増幅したものです(LT3579が昇圧コンバータとして構成されていると1.215V、反転コンバータとして構成されていると9mV)。このようにして、誤差アンプは正しいピーク電流レベルを設定し、出力を安定化された状態に保ちます。

デバイスが�トルト状態ではなく(「動作 - フォルト」のセクションを参照)、SSピンが1.8Vを超えており、LT3579はそのCLKOUTピンをRTピンまたはSYNCピンによって設定される周波数でドライブします。CLKOUTピンを使って、(LT3579を含む)他の適合性のあるスイッチング・レギュレータICをLT3579に同期させることができます。さらに、CLKOUTのデューティ・サイクルはデバイスの接合部温度に従ってリニアに変化するので、温度モニタとしても使うことができます。LT3579-1のCLKOUT信号は、内部発振器に対して位相が約180°ずれており、デューティ・サイクルが約50%に固定されています。

動作 - フォルト

LT3579のFAULTピンはアクティブ“L”的双向ピンで(「ブロック図」を参照)、“L”になって�トルトを表示します。以下の各イベントにより、LT3579の�トルトがトリガされます。

A. フォルト1のイベント:

1. SWの過電流
 - a. $I_{SW1} > 3.4A$ (最小)
 - b. $(I_{SW1} + I_{SW2}) > 6A$ (最小)
2. V_{IN} の電圧 $> 16.2V$ (最小)
3. SW1の電圧および/またはSW2の電圧 $> 42V$ (最小)
4. ダイ温度 $> 165^{\circ}C$

B. フォルト2のイベント

1. 外部からFAULTピンを“L”に引き下げる

LT3579/LT3579-1

動作

フォルトが検出されると、FAULTピンが内部で“L”に引き下げられるのに加えて、LT3579はそのCLKOUTピンもディスエーブルし、そのパワースイッチをオフし、GATEピンを高インピーダンスにします（「状態図」を参照）。外部RGATE抵抗によって外部PMOS（M1）のゲートがそのソースまで引き上げられると、M1がオフします（ブロック図を参照）。外部PMOSがオフするとVINからVOUTへの電力経路が遮断され、下流の電源部品を保護します。

同時に、タイムアウト・シーケンスが開始され、SSピンが1.8Vまで充電され（フォルト1のイベントがまだ持続している場合はSSピンは約2.1Vまで充電し続け、そこに保持され）、次いで50mVに放電されます。このタイムアウト時間は、SSピンの電圧ランプ・レートによって設定される最小時間の間、デバイス、PMOS、その他の下流の電源部品への電気的および熱的ストレスを緩和します。

フォルトが存在しないと、FAULTピンは外部RFAULT抵抗（標準100k）によって“H”に引き上げられます。LT3579の出力の短絡の検出に伴うイベントを図4と図5に示します。

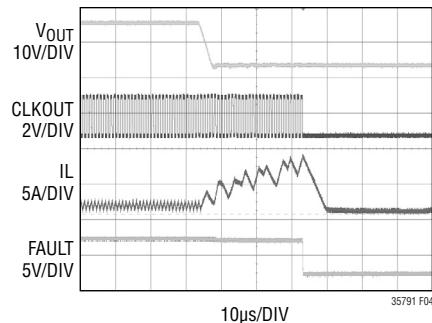


図4. LT3579の出力の短絡に対する保護

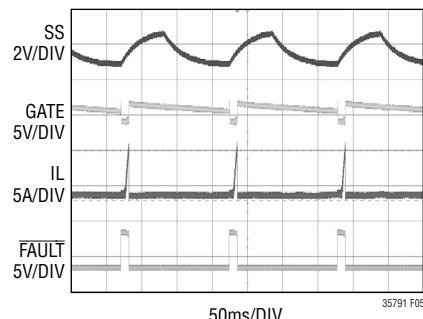


図5. FAULTタイムアウト・サイクルを示す連続出力短絡

アプリケーション情報

昇圧コンバータの部品の選択

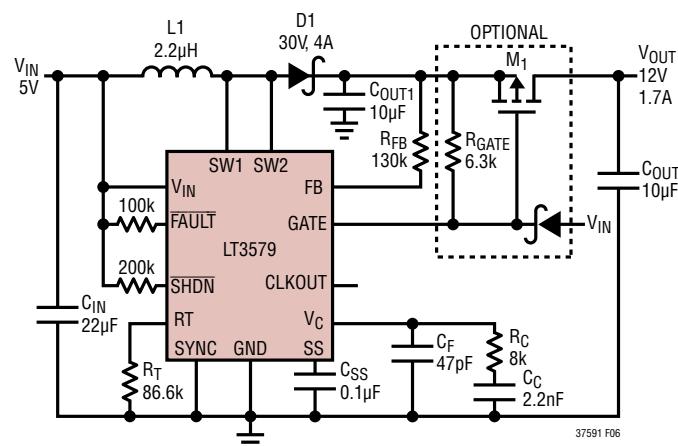


図6. 昇圧コンバータ - 与えられている部品値は、1MHz、5Vから12Vの昇圧の場合の標準値

LT3579は、図6に示されているように、昇圧コンバータとして構成することができます。このトポロジーでは、入力電圧より高い正の出力電圧が可能です。LT3579のGATEピンによってドライブされる外部PMOS(オプション)により、FAULTイベントの間入力または出力を切断することができます。1個の帰還抵抗により出力電圧が設定されます。40Vより高い出力電圧の場合、「チャージポンプを使うレギュレータ」のセクションの「チャージポンプ・トポロジー」を参照してください。

昇圧コンバータとして動作するLT3579の部品値を計算する式が、順を追って表1に示してあります。入力するパラメータは、入力電圧、出力電圧、スイッチング周波数(それぞれ V_{IN} 、 V_{OUT} 、 f_{OSC})です。表1に示されている設計式の詳細については、「付録」を参照してください。

変数の定義：

V_{IN} = 入力電圧

V_{OUT} = 出力電圧

DC = パワースイッチのデューティ・サイクル

f_{OSC} = スイッチング周波数

I_{OUT} = 最大出力電流

I_{RIPPLE} = インダクタのリップル電流

R_{DSON_PMOS} = 外部PMOSの R_{DSON} (PMOSを使わない場合は0に設定)

表1. 昇圧の設計式

	パラメータ/式
Step 1: Inputs	V_{IN}, V_{OUT}, f_{OSC} を選択して以下の式を計算する。
Step 2: DC	$DC \equiv \frac{V_{OUT} - V_{IN} + 0.5V}{V_{OUT} + 0.5V - 0.27V}$
Step 3: L_1	$L_{TYP} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 1.8A} \quad (1)$ $L_{MIN} = \frac{(V_{IN} - 0.27V) \cdot (2 \cdot DC - 1)}{4A \cdot f_{OSC} \cdot (1 - DC)} \quad (2)$ $L_{MAX} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 0.5A} \quad (3)$
	<ul style="list-style-type: none"> 式1～式3を解いてL_1の値の範囲を求める。 L_1の範囲の最小値はL_{TYP}とL_{MIN}の大きい方。 L_1の範囲の最大値はL_{MAX}。
Step 4: I_{RIPPLE}	$I_{RIPPLE} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot L_1}$
Step 5: I_{OUT}	$I_{OUT} = \left(6A - \frac{I_{RIPPLE}}{2} \right) \cdot (1 - DC)$
Step 6: D1	$V_R > V_{OUT}; I_{AVG} > I_{OUT}$
Step 7: C_{OUT}, C_{OUT1}	$C_{OUT} = C_{OUT1} = \frac{I_{OUT} \cdot DC}{f_{OSC} \cdot (0.01 \cdot V_{OUT} - 0.5 \cdot I_{OUT} \cdot R_{DSON_PMOS})}$
Step 8: C_{IN}	$C_{IN} = C_{PWR} + C_{VIN}$ $C_{IN} = \frac{I_{RIPPLE}}{8 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}} + \frac{6A \cdot DC}{40 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}}$
Step 9: R_{FB}	$R_{FB} = \frac{V_{OUT} - 1.215V}{83.3\mu A}$
Step 10: R_T	$R_T = \frac{87.6}{f_{OSC}} - 1; f_{OSC} \text{ in MHz and } R_T \text{ in k}\Omega$
Step 11: PMOS	入力または出力の切断のためにのみ必要。PMOSとバイアス抵抗(R_{GATE})の大きさの決定に関しては、「付録」の「PMOSの選択」を参照。

注記:ピーク・スイッチ電流の最大設計目標値は6Aであり、この表で使われている。特定のアプリケーションの望みの負荷過渡性能を得るために、 C_{OUT} と C_{IN} の最終値は上の式から外れてもかまわない。

LT3579/LT3579-1

アプリケーション情報

SEPICコンバータの部品の選択 – 結合された、または結合されていないインダクタ

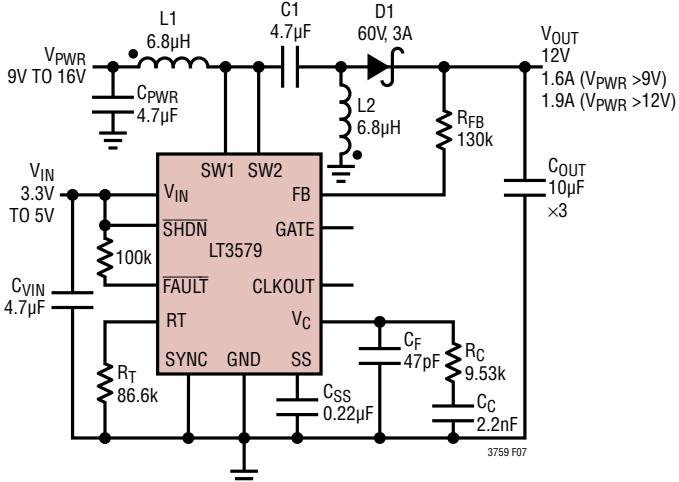


図7. SEPICコンバータ – 与えられている部品値は、結合されたインダクタを使った、1MHz、9V～16Vから12VのSEPICトポロジーの場合の標準値

LT3579は、図7のように、SEPICとして構成することもできます。このトポロジーでは、入力電圧に比べて、低い、等しい、または高い正の出力電圧が可能です。出力の切断はSEPICトポロジーに本来的に組み込まれています。つまり、コンデンサC1により、入出力間にDC経路が存在しません。これは、GATEピンによって制御されるPMOSが電力経路に不要であることを意味します。

結合されたインダクタを使ったSEPICコンバータとして動作するLT3579の部品値を計算する式が、順を追って表2に示してあります。入力するパラメータは、入力電圧、出力電圧、スイッチング周波数(それぞれ V_{IN} 、 V_{OUT} 、 f_{OSC})です。表2に示されている設計式の詳細については、「付録」を参照してください。

変数の定義：

V_{IN} = 入力電圧

V_{OUT} = 出力電圧

DC = パワースイッチのデューティ・サイクル

f_{OSC} = スイッチング周波数

I_{OUT} = 最大出力電流

I_{RIPPLE} = インダクタの

表2. SEPICの設計式

パラメータ/式	
Step 1: Inputs	V_{IN} 、 V_{OUT} 、 f_{OSC} を選択して以下の式を計算する。
Step 2: DC	$DC \equiv \frac{V_{OUT} + 0.5V}{V_{IN} + V_{OUT} + 0.5V - 0.27V}$
Step 3: L	$L_{TYP} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 1.8A} \quad (1)$ $L_{MIN} = \frac{(V_{IN} - 0.27V) \cdot (2 \cdot DC - 1)}{4A \cdot f_{OSC} \cdot (1 - DC)} \quad (2)$ $L_{MAX} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 0.5A} \quad (3)$ <ul style="list-style-type: none"> 式1～式3を解いてLの値の範囲を求める。 Lの範囲の最小値はL_{TYP}とL_{MIN}の大きい方。 Lの値の範囲の最大値はL_{MAX}。 結合されたインダクタの場合、$L = L1 = L2$を選択する。 結合されていないインダクタの場合、$L = L1 L2$を選択する。
Step 4: I_{RIPPLE}	$I_{RIPPLE} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot L}$
Step 5: I_{OUT}	$I_{OUT} = \left(6A - \frac{I_{RIPPLE}}{2} \right) \cdot (1 - DC)$
Step 6: D1	$V_R > V_{IN} + V_{OUT}; I_{AVG} > I_{OUT}$
Step 7: C1	$4.7\mu F$ (typical); $V_{RATING} > V_{IN}$
Step 8: C_{OUT}	$C_{OUT} = \frac{I_{OUT} \cdot DC}{f_{OSC} \cdot 0.005 \cdot V_{OUT}}$
Step 9: C_{PWR}	$C_{PWR} = \frac{I_{RIPPLE}}{8 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}}$
Step 10: C_{VIN}	$C_{VIN} = \frac{6A \cdot DC}{40 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}}$
Step 11: R_{FB}	$R_{FB} = \frac{V_{OUT} - 1.215V}{83.3\mu A}$
Step 12: R_T	$R_T = \frac{87.6}{f_{OSC}} - 1; f_{OSC} \text{ in MHz and } R_T \text{ in k}\Omega$

注記：ピーク・スイッチ電流の最大設計目標値は6Aであり、この表で使われている。特定のアプリケーションの望みの負荷過渡性能を得るために、 C_{OUT} 、 C_{PWR} 、および C_{VIN} の最終値は上の式から外れてもかまわない。

アプリケーション情報

デュアル・インダクタの反転コンバータの部品の選択 – 結合された、または結合されていないインダクタ

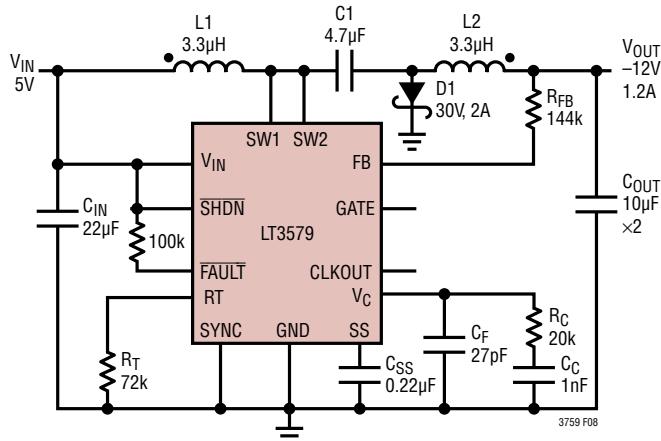


図8. デュアル・インダクタ反転コンバータ - 与えられている部品値は、1.2MHz、5Vから-12Vの、結合されたインダクタを使った反転トポロジーの場合の標準値

LT3579は、そのユニークなFBピンにより、図8に示されているようなデュアル・インダクタ反転構成で動作することができます。SEPICトポロジーのL2とショットキー・ダイオードの接続を変更すると、負の出力電圧が発生します。このソリューションにより、出力に直列に接続されたインダクタL2による出力電圧リップルが非常に低くなります。コンデンサC1により、このトポロジーには出力の切断機能が本来組み込まれています。

結合されたインダクタを使ったデュアル・インダクタ反転コンバータとして動作するLT3579の部品値を計算する式が、順を追って表3に示してあります。入力するパラメータは、入力電圧、出力電圧、スイッチング周波数(それぞれV_{IN}、V_{OUT}、f_{OSC})です。表3に示されている設計式の詳細については、「付録」を参照してください。

変数の定義：

V_{IN} = 入力電圧

V_{OUT} = 出力電圧

DC = パワースイッチのデューティ・サイクル

f_{OSC} = スイッチング周波数

I_{OUT} = 最大出力電流

I_{RIPPLE} = インダクタのリップル電流

表3. デュアル・インダクタ反転の設計式

	パラメータ/式
Step 1: Inputs	V _{IN} 、V _{OUT} 、f _{OSC} を選択して以下の式を計算する。
Step 2: DC	$DC \approx \frac{ V_{OUT} + 0.5V}{V_{IN} + V_{OUT} + 0.5V - 0.27V}$
Step 3: L	$L_{TYP} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 1.8A}$ (1) $L_{MIN} = \frac{(V_{IN} - 0.27V) \cdot (2 \cdot DC - 1)}{4A \cdot f_{OSC} \cdot (1 - DC)}$ (2) $L_{MAX} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot 0.5A}$ (3)
	<ul style="list-style-type: none"> 式1～式3を解いてLの値の範囲を求める。 Lの範囲の最小値はL_{TYP}とL_{MIN}の大きい方。 Lの値の範囲の最大値はL_{MAX}。 結合されたインダクタの場合、L = L₁ = L₂を選択する。 結合されていないインダクタの場合、L = L₁ L₂を選択する。
Step 4: I _{RIPPLE}	$I_{RIPPLE} = \frac{(V_{IN} - 0.27V) \cdot DC}{f_{OSC} \cdot L}$
Step 5: I _{OUT}	$I_{OUT} = \left(6A - \frac{I_{RIPPLE}}{2} \right) \cdot (1 - DC)$
Step 6: D1	$V_R > V_{IN} + V_{OUT} ; I_{AVG} > I_{OUT}$
Step 7: C ₁	4.7μF (typical) ; V _{RATING} > V _{IN} + V _{OUT}
Step 8: C _{OUT}	$C_{OUT} = \frac{I_{RIPPLE}}{8 \cdot f_{OSC} \cdot 0.005 \cdot V_{OUT} }$
Step 9: C _{IN}	$C_{IN} = C_{PWR} + C_{VIN}$ $C_{IN} = \frac{I_{RIPPLE}}{8 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}} + \frac{6A \cdot DC}{40 \cdot f_{OSC} \cdot 0.005 \cdot V_{IN}}$
Step 10: R _{FB}	$R_{FB} = \frac{ V_{OUT} + 9mV}{83.3\mu A}$
Step 11: R _T	$R_T = \frac{87.6}{f_{OSC}} - 1 ; f_{OSC} \text{ in MHz and } R_T \text{ in k}\Omega$

注記：ピーク・スイッチ電流の最大設計目標値は6Aであり、この表で使われている。特定のアプリケーションの望みの負荷過渡性能を得るため、C_{OUT}とC_{IN}の最終値は上の式から外れてもかまわない。

アプリケーション情報

昇圧、SEPIC、およびデュアル・インダクタ反転トポロジーのレイアウトのガイドライン

一般的なレイアウトのガイドライン

- 熱性能を最適化するには、LT3579の露出グランド・パッドをグランド・プレーンに半田付けします。多数のビアをパッドの周囲に置いて追加のグランド・プレーンに接続します。
- プレーン間のカップリングおよび全体のノイズを防ぐため、スイッチャ回路の下にグランド・プレーンを使います。
- 高速スイッチング経路(詳細については下の特定のトポロジーを参照)はできるだけ短くする必要があります。
- V_C 、FB、およびRTに関連する部品はできるだけLT3579に近づけ、スイッチ・ノードからできるだけ離して配置します。これらの部品のグランドはスイッチ電流の経路から離します。
- V_{IN} ピンのバイパス・コンデンサ(C_{VIN})はできるだけLT3579に近づけて配置します。
- インダクタのバイパス・コンデンサ(C_{PWR})はできるだけインダクタに近づけて配置します。

- インダクタの入力側をLT3579の V_{IN} ピンに近づけることができれば、バイパス・コンデンサ(C_{PWR} と C_{VIN})は単一のバイパス・コンデンサ(C_{IN})に結合することができます。
- 最良の負荷レギュレーションを得るには、負荷を出力コンデンサの正端子と負端子に直接接続します。

昇圧トポロジーに固有のレイアウトのガイドライン

- スイッチ、ダイオードD1、出力コンデンサ C_{OUT} 、およびグランド・リターンを制御するループ(高速スイッチング経路)ができるだけ短くして、スイッチングの際のスイッチ・ノードの寄生誘導性スパイクを最小に抑えます。

SEPICトポロジーに固有のレイアウトのガイドライン

- スイッチ、フライング・コンデンサC1、ダイオードD1、出力コンデンサ C_{OUT} 、およびグランド・リターンを制御するループ(高速スイッチング経路)ができるだけ短くして、スイッチングの際のスイッチ・ノードの寄生誘導性スパイクを最小に抑えます。

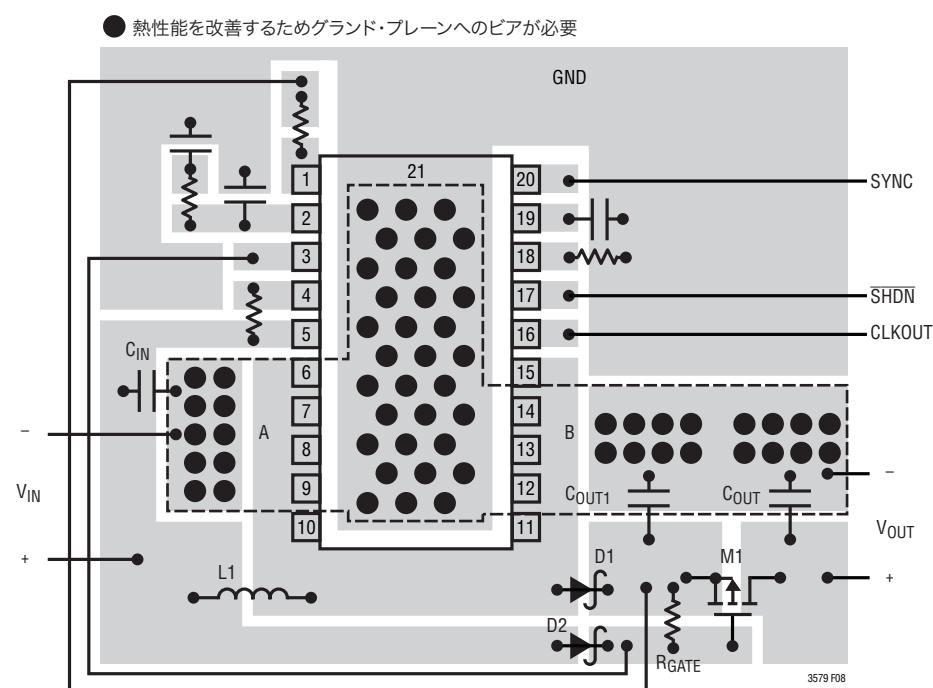


図9. FE20/パッケージの昇圧トポロジーの推奨部品配置

アプリケーション情報

反転トポロジーに固有のレイアウトのガイドライン

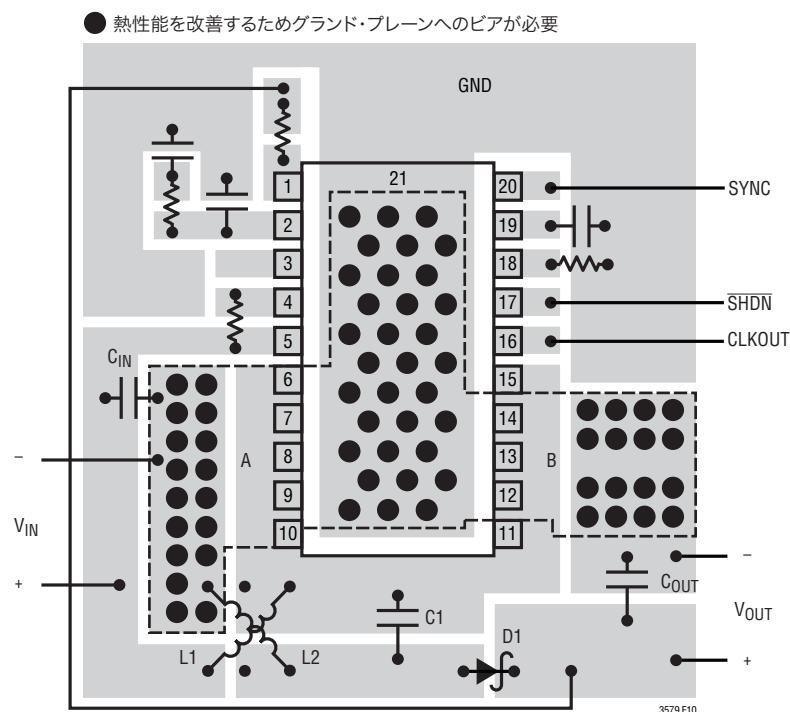
- 出力に結合するスイッチング・ノイズを最小に抑えるため、D1のカソードから(デバイスへの)グランド・リターン経路を、出力コンデンサC_{OUT}の(デバイスへの)グランド・リターン経路から離します。図11のD1のカソードの別個のグランド・リターンに注意してください。
- スイッチ、フライング・コンデンサC1、ダイオードD1、およびグランド・リターンを制御するループ(高速スイッチング経路)ができるだけ短くして、スイッチングの際のスイッチ・ノードの寄生誘導性スパイクを最小に抑えます。

熱に関する検討事項

LT3579が最大出力で電力を供給するには、パッケージ内部で発生した熱を放散するのに十分な熱経路を与えることが不可欠です。これはデバイス底部の熱パッドの利点を利用して実現することができます。プリント回路基板のビアを多数使って、できるだけ面積の大きな銅プレーンにデバイスの熱を逃がすことを推奨します。

電力と熱の計算

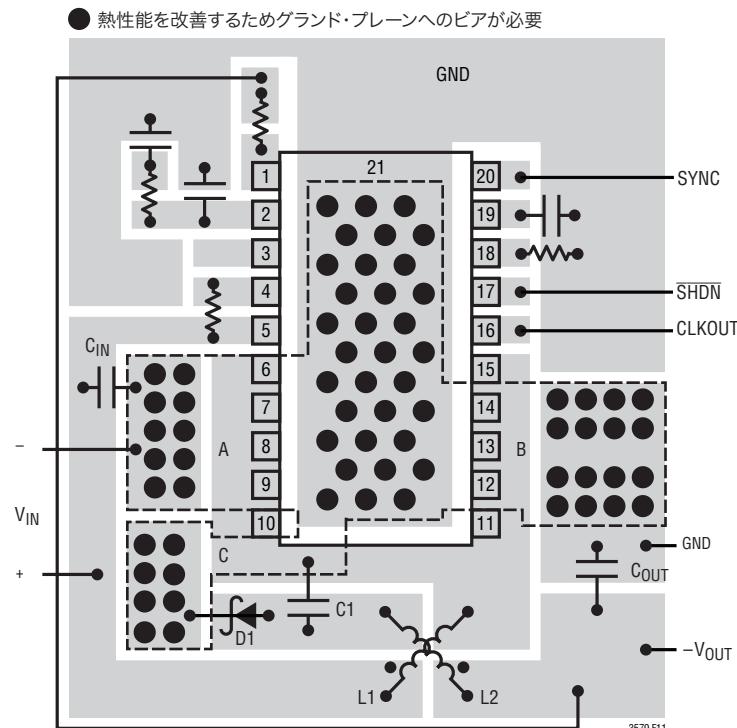
LT3579の電力損失は4つの主要因から生じます。スイッチのI²R損失、NPNのベースのドライブ損失(AC)、NPNのベースのドライブ損失(DC)、および追加のV_{IN}電流です。これらの式は連続モード動作を仮定しているので、不連続モードまたは軽負荷電流での熱損失や効率の計算には使用しません。



A- C_{IN}とL2のグランドをLT3579の露出パッド・ピン21に直接戻す。C_{IN}とL2のグランドは露出パッド以外のところでGNDに接続しないことが推奨されている。
B- C_{OUT}のグランドをLT3579の露出パッド・ピン21に直接戻す。C_{OUT}のグランドは露出パッド以外のところでGNDに接続しないことが推奨されている。
L1, L2 - ほとんどの結合されたインダクタのメーカーは、性能を改善するため、交差ピン配置を使用している。

図10. FE20パッケージのSEPICトポロジーの推奨部品配置

アプリケーション情報



A- C_{IN} のグランドをLT3579の露出パッド・ピン21に直接戻す。 C_{IN} のグランドは露出パッド以外のところでGNDに接続しないことが推奨されている。
 B- C_{OUT} のグランドをLT3579の露出パッド・ピン21に直接戻す。 C_{OUT} のグランドは露出パッド以外のところでGNDに接続しないことが推奨されている。
 C- D1のグランドをLT3579の露出パッド・ピン21に直接戻す。D1のグランドは露出パッド以外のところでGNDに接続しないことが推奨されている。
 L1, L2 - ほとんどの結合されたインダクタのメーカーは、性能を改善するため、交差ビン配置を使用している。

図11. FE20パッケージの反転トポロジーの推奨部品配置
D1のカソードの別個のグランド経路に注意

アプリケーション情報

以下の例では、特定の昇圧アプリケーションのLT3579の電力損失を計算します。

($V_{IN} = 5V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1.5A$ 、 $f_{OSC} = 1MHz$ 、 $V_D = 0.5V$ 、 $V_{CESAT} = 0.185V$)

ダイの接合部温度を計算するには、適切な熱抵抗値を使い、ワーストケースの周囲温度を加算します。

$$T_J = T_A + \theta_{JA} \cdot P_{TOTAL}$$

表4. 昇圧の電力計算の例($V_{IN} = 5V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1.5A$ 、 $f_{OSC} = 1MHz$ 、 $V_D = 0.5V$ 、 $V_{CESAT} = 0.185V$)

変数の定義	式	設計例	値
$DC = $ スイッチのデューティ・サイクル	$DC = \frac{V_{OUT} - V_{IN} + V_D}{V_{OUT} + V_D - V_{CESAT}}$	$DC = \frac{12V - 5V + 0.5V}{12V + 0.5V - 1.85V}$	$DC = 60.9\%$
$I_{IN} = $ 平均入力電流 $\eta = $ 電力変換効率 (高電流で標準90%)	$I_{IN} = \frac{V_{OUT} \cdot I_{OUT}}{V_{IN} \cdot \eta}$	$I_{IN} = \frac{12V \cdot 1.5A}{5V \cdot 0.9}$	$I_{IN} = 4A$
$P_{SW} = $ スイッチの I^2R 損失 $R_{SW} = $ スイッチ抵抗 (SW1とSW2を合わせて標準 $45m\Omega$)	$P_{SW} = DC \cdot I_{IN}^2 \cdot R_{SW}$	$P_{SW} = 0.609 \cdot (4A)^2 \cdot 45m\Omega$	$P_{SW} = 438mW$
$P_{BAC} = $ ベースのドライブ損失 (AC)	$P_{BAC} = 13ns \cdot I_{IN} \cdot V_{OUT} \cdot f_{OSC}$	$P_{BAC} = 13ns \cdot 4A \cdot 12V \cdot 1MHz$	$P_{BAC} = 624mW$
$P_{BDC} = $ ベースのドライブ損失 (DC)	$P_{BDC} = \frac{V_{IN} \cdot I_{IN} \cdot DC}{40}$	$P_{BDC} = \frac{5V \cdot 4A \cdot 0.609}{40}$	$P_{BDC} = 305mW$
$P_{INP} = $ 入力電力損失	$P_{INP} = 14mA \cdot V_{IN}$	$P_{INP} = 14mA \cdot 5V$	$P_{INP} = 70mW$
			$P_{TOTAL} = 1.437W$

アプリケーション情報

出版された(http://www.linear.com/designtools/packaging/Linear_Technology_Thermal_Resistance_Table.pdf) θ_{JA} の値は、TSSOPパッケージでは38°C/W、4mm×5mm QFNパッケージでは34°C/Wです。実際には、基板レイアウトが(基板のヒートシンク特性を考慮に入れた)適切な接地および「レイアウトのガイドライン」のセクションに示されている検討事項に従つて行われれば、 θ_{JA} の値はもっと低くなります。たとえば、基板のレイアウトが「レイアウトのガイドライン」のセクションで推奨されているように最適化されると、($V_{IN} = 5V$ 、 $V_{OUT} = 12V$ 、 $I_{OUT} = 1.7A$ 、 $f_{OSC} = 1MHz$ のとき) LT3579のTSSOPとQFNの両方のパッケージで約22°C/Wの θ_{JA} が確実に実現されます。

接合部温度の測定

LT3579のCLKOUT信号のデューティ・サイクルはダイの接合部の温度(T_J)にリニアに比例します(LT3579-1のCLKOUTのデューティ・サイクルは約50%に固定されています)。精確な測定値を得るには、CLKOUT信号のデューティ・サイクルを測定し、次式を使って接合部温度を近似します。

$$T_J = \frac{DC_{CLKOUT} - 35\%}{0.3\%}$$

ここで、 DC_{CLKOUT} はCLKOUTのデューティ・サイクル(%)、 T_J はダイの接合部温度(°C)です。絶対ダイ温度は上式から±15°C偏ることがありますが、CLKOUTのデューティ・サイクルの変化とダイ温度の変化の間の関係は十分定められています。CLKOUTのデューティ・サイクルの3%の増加は、ダイ温度の約10°Cの増加に相当します。

CLKOUTピンは最大50pFまでの容量性負荷をドライブすることだけが意図されていることに注意してください。

サーマル・ロックアウト

ダイ温度が約165°Cを超えるとフォルト状態が生じ(「動作一フォルト」のセクションを参照)、デバイスはサーマル・ロックアウト状態になります。ダイの温度が約5°C(公称)低下するとフォルト状態が解消されます。

スイッチング周波数

コンバータの動作周波数を選択する際、検討事項がいくつもあります。まず、どんなスペクトル・ノイズも許容できない敏感な周波数帯には近づけないことです。たとえば、RF通信を組み込んだ製品では、455kHzのIF周波数はどんなノイズに対しても敏感なので、600kHzを超えるスイッチングが望まれます。ある通信方式では1.1MHzに対して敏感で、この場合、1.5MHzのスイッチング・コンバータ周波数を採用することができます。2つ目の検討事項はコンバータの物理的なサイズです。動作周波数が高くなるにつれ、インダクタおよびフィルタ・コンデンサの値とサイズが小さくなります。NPNのベース電荷によるスイッチング損失(「熱に関する検討事項」を参照)、ショットキー・ダイオードの電荷、および他の容量性損失の項は周波数に比例して増加するので、トレードオフは効率です。

発振器のタイミング抵抗 (R_T)

LT3579の動作周波数は内部自走発振器によって設定することができます。SYNCピンを“L”(< 0.4V)にドライブすると、動作周波数はRTピンからグランドに接続した抵抗によって設定されます。このデバイスには内部でトリミングされたタイミング・コンデンサが内蔵されています。発振器の周波数は次式を使って計算されます。

$$f_{OSC} = \frac{87.6}{R_T + 1}$$

アプリケーション情報

ここで、 f_{OSC} はMHz、 R_T はkΩです。逆に、 R_T (kΩ)は次式を使って望みの周波数(MHz)から計算することができます。

$$R_T = \frac{87.6}{f_{OSC}} - 1$$

クロックの同期

外部ソースのデジタル・クロック信号をSYNCピンに与えることによってLT3579の動作周波数を設定することができます(R_T 抵抗は依然必要です)。LT3579はSYNCクロック周波数で動作します。SYNCピンが自走クロックの数周期の間0.4Vより下にドライブされると、LT3579は内部自走発振器のクロックに戻ります。

SYNCを長時間“H”にドライブすると、動作中のクロックを実際に停止し、ラッチSR1がセットされるのを防ぎます(「ブロック図」を参照)。その結果、LT3579のスイッチング動作が停止し、CLKOUTピンはグランドに保持されます。

SYNC信号のデューティ・サイクルは、適切に動作するためには20%～80%でなければなりません。また、SYNC信号の周波数は以下の2つの基準を満たす必要があります。

1. 自走発振器をイネーブルするためにSYNCを0.4Vより下に保つ以外は、SYNCは200kHz～2.5MHzの周波数範囲の外側でトグルすることはできません。
2. SYNC周波数は(R_T 抵抗によって設定される)自走発振器の周波数(f_{OSC})より常に高くすることができますが、 f_{OSC} の25%下より低くしてはいけません。

追加レギュレータのクロックの同期

LT3579のCLKOUTピンは、図12に示されているように、追加のスイッチング・レギュレータや追加のLT3579を同期させることができます。

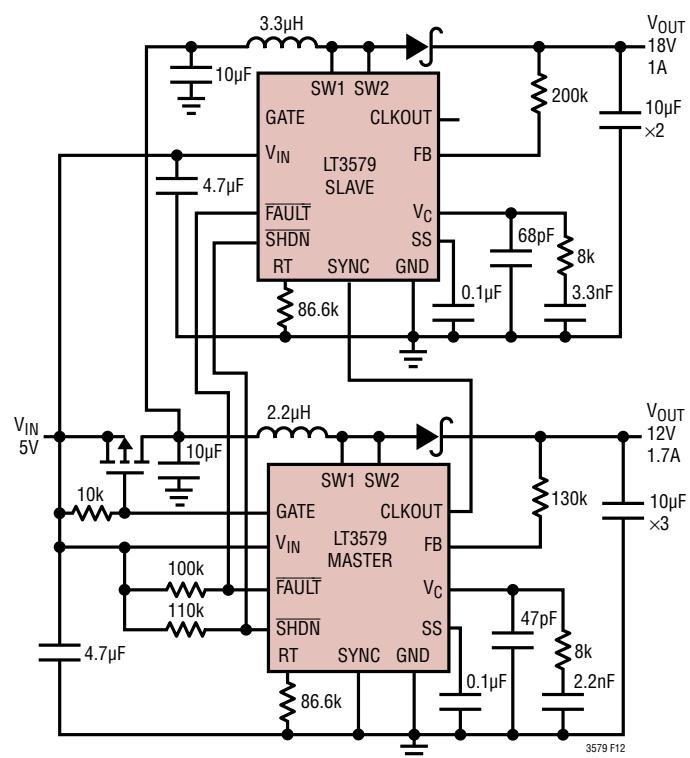


図12. 複数のLT3579の同期。外部PMOSがフォルト発生時に入力を両方の電力経路から切断する

アプリケーション情報

マスタLT3579の周波数は外部 R_T 抵抗によって設定されます。スレーブLT3579のSYNCピンはマスタLT3579のCLKOUTピンによってドライブされます。スレーブLT3579の R_T ピンには、グランドに接続した抵抗が必要であることに注意してください。CLKOUT信号が発振し始めるには数クロック・サイクルが必要で、全てのLT3579の内部自走周波数を同じにするのが望ましいことです。したがって、一般に、同期させる全てのLT3579に同じ値の R_T 抵抗を使います。

また、 $\overline{\text{FAULT}}$ ピンを相互に接続することにより、1つのLT3579がフォルト状態になると、そのフォルト状態が解消するまで、全てのLT3579をフォルト状態にすることができます。

LT3579-1を使った2フェーズ・コンバータ

LT3579-1のCLKOUTピンは、内部発振器に対して位相が約180°ずれているので、2個のLT3579-1が並列に動作して高電流、高電力を出力することができます。マルチフェーズ・コンバータの利点は、出力ノードに流れるリップル電流が、出力電圧を発生するのに使われる位相数またはICの個数で分割されることです。全てのLT3579-1の V_{IN} 、 $\overline{\text{SHDN}}$ 、 $\overline{\text{FAULT}}$ 、FB、および V_C の各ピンは相互に接続します。出力切断機能付きの、12Vから24Vへの2フェーズ昇圧の標準的応用例を図13に示します。

以下の式を使って、2フェーズ・コンバータのFB抵抗を計算します。

$$R_{FB} = \left(\frac{V_{OUT} - 1.215V}{2 \cdot 83.3\mu A} \right); \text{昇圧またはSEPICのマルチフェーズ・コンバータ}$$

$$R_{FB} = \left(\frac{|V_{OUT}| + 9mV}{2 \cdot 83.3\mu A} \right); \text{反転マルチフェーズ・コンバータ}$$

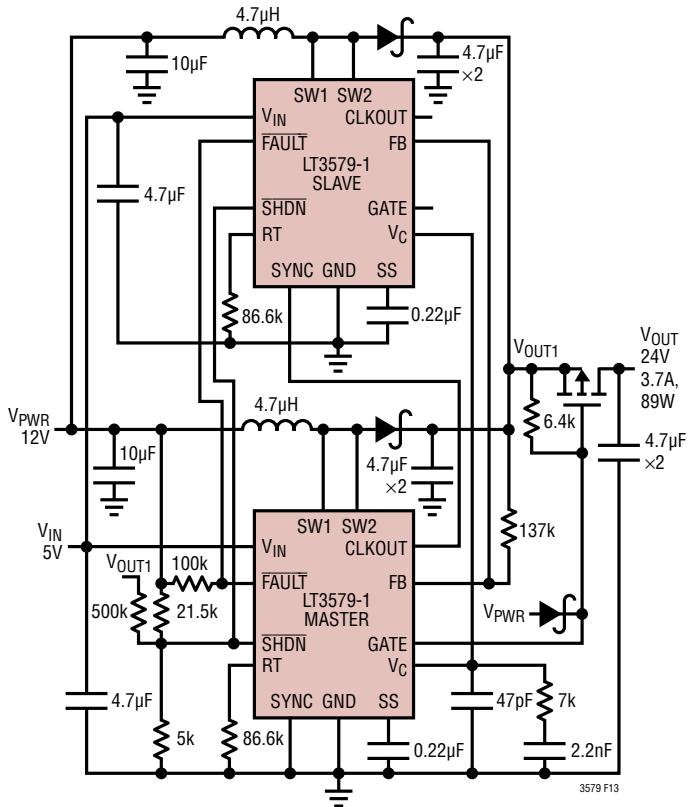


図13. LT3579-1を使った2フェーズ・コンバータ

LT3579-1のCLKOUTピンは約50%の固定デューティ・サイクルで動作することに注意してください。ダイ温度のモニタを望むなら、スレーブICをLT3579にすることができます。

LT3579-1を2フェーズより多いマルチフェーズ・コンバータに使用することができます。詳細については、弊社にお問い合わせください。

アプリケーション情報

チャージポンプを使うレギュレータ

LT3579を使ってチャージポンプを設計すると、ICのマスタ/スレーブのスイッチ構成により、従来の回路に比べて少ない部品で効率の良いソリューションを実現することができます。マスタ・スイッチ(SW1)の電流は電流コンパレータ(ブロック図のA4)によって検出されますが、スレーブ・スイッチ(SW2)の電流は検出されません。スレーブ・スイッチ(SW2)はSW1と同位相で動作することに注意してください。マスタ/スレーブ・スイッチによるこの動作方法は、チャージポンプの設計に以下のような恩恵をもたらすことができます。

- スレーブ・スイッチはマスタ・スイッチのように電流検出動作を行わないので、フライング・コンデンサが充電するとき、かなり大きな電流スパイクでも耐えることができます。この電流スパイクはSW2を流れるので、電流コンパレータ(ブロック図のA4)の動作に影響を与えません。
- マスタ・スイッチはコンデンサの電流スパイクから免れており、インダクタ電流を精確に検出することができます。
- スレーブ・スイッチは大きな電流スパイクに耐えられるので、フライング・コンデンサに電流を供給するダイオードには電流制限抵抗が不要であり、効率と熱特性が改善されます。

高いV_{OUT}のチャージポンプ・トポロジー

LT3579はチャージポンプ・トポロジー(図16を参照)を使って、誘導性の昇圧コンバータの出力を上げることができます。マスタ・スイッチ(SW1)を使って誘導性昇圧コンバータをドライブすることができ、スレーブ・スイッチ(SW2)を使って1個または複数のチャージポンプ段をドライブすることができます。このトポロジーは、VFDのバイアス電源などの高電圧アプリケーションに役立ちます。

単一インダクタ反転トポロジー

インダクタを1個だけ使ってV_{IN}より大きな負の出力電圧を発生させる必要がある場合、(図15に示されている)単一インダクタ反転トポロジーを使うことができます。マスタ・スイッチとスレーブ・スイッチは外部ショットキー・ダイオードによって絶縁されているので、C1を流れる電流スパイクはスレーブ・スイッチを流れ、そのため、電流コンパレータ(ブロック図のA4)が誤ってトリップするのが防がれます。単一インダクタ・トポロジーには出力の切断機能が本来組み込まれています。

活線挿入

V_{IN}の活線挿入に伴う高い突入電流は、外部PMOSを使って大部分除去することができます。外部PMOSをV_{IN}に直列に接続することにより、簡単な活線挿入コントローラを設計することができます。PMOSのゲートはLT3579のGATEピンでドライブします。GATEピンのプルダウン電流はSS電圧にリニアに比例し、SSの充電時間は比較的遅いので、GATEピンのプルダウン電流は徐々に増加し、外部PMOSをゆっくりオンします。このように制御されるので、V_{IN}が活線挿入されるとき、または急激にランプアップするとき、PMOSは入力電流制限として機能します。

同様に、PMOSが出力に直列に接続されていると、活線挿入時に出力コンデンサへの突入電流を制限することができます。これを説明するため、図6の回路は、大きな1500μFのコンデンサを出力に追加して構成し直されています。18Ωの抵抗負荷が使われており、2.2μFのコンデンサがSSに接続されています。この再構成された回路の活線挿入の結果を図14に示します。インダクタ電流の振る舞いは問題なく、V_{IN}が完全にセッティングするとV_{OUT}が立ち上ります。

LT3579/LT3579-1

アプリケーション情報

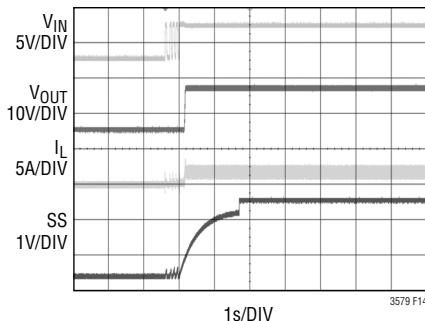


図14. V_{IN} の活線挿入制御。突入電流は十分制御されている

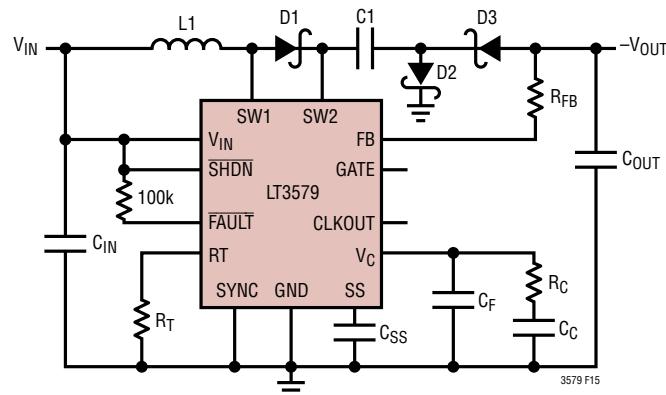


図15. 単一インダクタ反転トポロジー

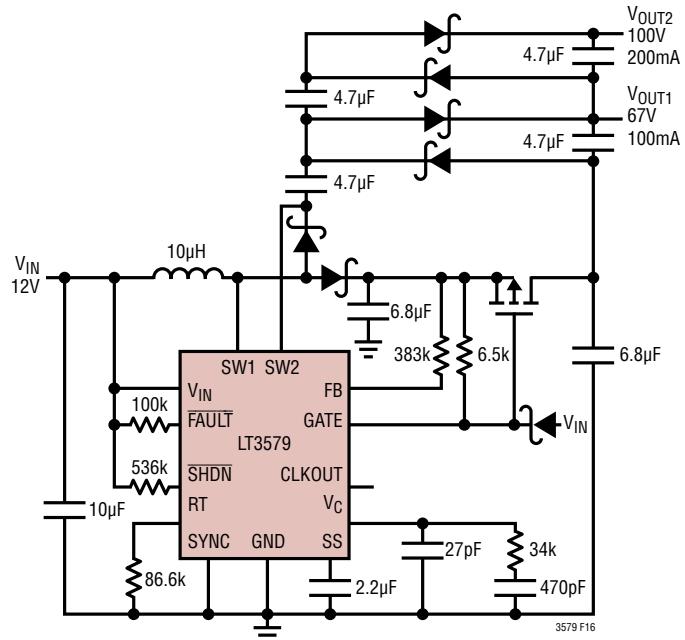


図16. 高い V_{OUT} のチャージポンプ・トポロジー

35791fa

付録

出力電圧の設定

出力電圧は抵抗(R_{FB})を V_{OUT} からFBピンに接続して設定します。 R_{FB} は次式に従って決定します。

$$R_{FB} = \frac{|V_{OUT} - V_{FB}|}{83.3\mu A}$$

ここで、非反転トポロジー(つまり、昇圧およびSEPICのレギュレータ)では V_{FB} は1.215V(標準)、反転トポロジーでは9mV(標準)です(「電気的特性」を参照)。

パワースイッチのデューティ・サイクル

ループの安定性を維持し、適切な電流を負荷に供給するため、パワーNPN(ブロック図のQ1とQ2)は各クロック・サイクルの100%の間「オン」に留まることはできません。最大許容デューティ・サイクルは次式で与えられます。

$$DC_{MAX} = \frac{(T_P - MinOffTime)}{T_P} \cdot 100\%$$

ここで、 T_P はクロックの周期、「電気的特性」に示されている)
MinOffTimeは標準45nsです。

逆に、パワーNPN(「ブロック図」のQ1とQ2)は各クロック・サイクルの100%の間「オフ」のままでいることはできず、安定化状態では最小時間(MinOnTime)の間オンします。このMinOnTimeは次式で与えられる最小許容デューティ・サイクルを支配します。

$$DC_{MIN} = \frac{(MinOnTime)}{T_P} \cdot 100\%$$

ここで、 T_P はクロックの周期、「電気的特性」に示されている)
MinOnTimeは標準55nsです。

動作デューティ・サイクルが DC_{MIN} と DC_{MAX} の間になるようにアプリケーションを設計します。

いくつかの一般的トポロジーのデューティ・サイクルの式を下に示します。ここで、 V_D はダイオードの順方向電圧降下、 V_{CESAT} はSW1とSW2の合計電流が5.5Aで標準250mVです。

昇圧トポロジーでは次のようにになります(図6を参照)。

$$DC_{BOOST} \approx \frac{V_{OUT} - V_{IN} + V_D}{V_{OUT} + V_D - V_{CESAT}}$$

SEPICトポロジーまたはデュアル・インダクタ反転トポロジーでは次のようにになります(図7と図8を参照)。

$$DC_{SEPIC_&_INVERT} \approx \frac{V_D + |V_{OUT}|}{V_{IN} + |V_D| + V_{OUT} - V_{CESAT}}$$

单一インダクタ反転トポロジーでは次のようにになります(図14を参照)。

$$DC_{SI_INVERT} \approx \frac{|V_{OUT}| - V_{IN} + V_{CESAT} + 3 \cdot V_D}{|V_{OUT}| + 3 \cdot V_D}$$

LT3579はデューティ・サイクルが DC_{MAX} より高い構成で使うことができますが、実効デューティ・サイクルが減少するよう、不連続導通モードで動作させる必要があります。

インダクタの選択

LT3579は高い周波数で動作するので小型の表面実装インダクタを使用できます。高効率を実現するには、フェライトなどの高周波用コア材のインダクタを選択して、コア損失を減らします。また、効率を改善するため、与えられたインダクタンスに対してサイズの大きなインダクタを選択します。 I^2R 損失を減らすため、インダクタはDCR(銅線抵抗)が小さく、飽和せずにピーク・インダクタ電流を流すことができるものにします。各インダクタが全スイッチ電流の半分しか流さないSEPICトポロジーのようなアプリケーションでは、インダクタに要求される処理電流は大きくないことに注意してください。多層チョークコイルやチップ・インダクタのコアの体積は一般に4A～7Aの範囲のピーク・インダクタ電流を担うのに十分ではありません。放射ノイズを抑えるには、トロイド、またはシールドされたインダクタを使用します。インダクタのメーカーについては表5を参照してください。

付録

表5. インダクタ・メーカー

Vishay	IHLB-2020BZ-01 and IHLB-2525CZ-01 Series	www.vishay.com
Coilcraft	XLP, MLC and MSS Series	www.coilcraft.com
Cooper Bussmann	DRQ125 and DRQ127 Series	www.cooperbussmann.com
Sumida	CDRH series	www.sumida.com
TDK	RLF and SLF series	www.tdk.com
Würth	WE-PD, WE-PDF, WE-HC and WE-DD Series	www.we-online.com

最小インダクタンス

効率が犠牲になる可能性があるとはいえ、小さなインダクタを選択して基板スペースを最小に抑えるのが望ましい場合がよくあります。インダクタを選択するとき、最小インダクタンスを制限する3つの条件があります。

- (1) 適切な負荷電流の供給、(2) 低調波発振の防止、および
 (3) 電流コンパレータの誤ったトリップを防ぐための最小リップル電流の供給です。

適切な負荷電流

値の小さなインダクタだとリップル電流が増加するので、(ピーク・スイッチ電流が制限されるため)負荷に供給できる平均電流が減少します。適切な負荷電流を供給するため、Lは少なくとも次のようにします。

$$L_{\text{BOOST}} > \frac{DC \cdot (V_{IN} - V_{CESAT})}{2 \cdot f_{OSC} \cdot \left(I_{PK} - \frac{V_{OUT} \cdot I_{OUT}}{V_{IN} \cdot \eta} \right)} \quad \text{昇圧トポロジー}$$

or

$$L_{\text{DUAL}} > \frac{DC \cdot (V_{IN} - V_{CESAT})}{2 \cdot f_{OSC} \cdot \left(I_{PK} - \frac{|V_{OUT}| \cdot I_{OUT}}{V_{IN} \cdot \eta} - I_{OUT} \right)} \quad \text{SEPICまたは反転トポロジー}$$

ここで、

- L_{BOOST} = 昇圧トポロジーの場合のL1(図6を参照)
- L_{DUAL} = L1 = 結合されたデュアル・インダクタ・トポロジーの場合のL2(図7と図8を参照)
- L_{DUAL} = 結合されていないデュアル・インダクタ・トポロジーの場合のL1 || L2(図7と図8を参照)
- DC = スイッチのデューティ・サイクル(「付録」の「パワースイッチのデューティ・サイクル」のセクションを参照)
- I_{PK} = 最大ピーク・スイッチ電流。6Aの結合されたSW1 + SW2電流、または3.4AのSW1電流を超えないようにする(「電気的特性」のセクションを参照)。
- η = 電力変換効率(高電流のとき昇圧トポロジーでは標準90%、デュアル・インダクタ・トポロジーでは85%)
- f_{OSC} = スイッチング周波数
- I_{OUT} = 最大出力電流

L_{BOOST}またはL_{DUAL}の負の値は、出力負荷電流(I_{OUT})がLT3579のスイッチ電流制限能力を超えていることを示しています。

低調波発振の防止

LT3579の内部スロープ補償回路は、インダクタンスが最小値を超えていれば、デューティ・サイクルが50%を超えると発生する可能性のある低調波発振を防止します。50%を超えるデューティ・サイクルで動作するアプリケーションでは、インダクタンスは少なくとも次の値でなければなりません。

$$L_{\text{MIN}} = \frac{(V_{IN} - V_{CESAT}) \cdot (2 \cdot DC - 1)}{4A \cdot f_{OSC} \cdot (1 - DC)}$$

ここで、

- L_{MIN} = 昇圧トポロジーの場合のL1(図6を参照)
- L_{MIN} = L1 = 結合されたデュアル・インダクタ・トポロジーの場合のL2(図7と図8を参照)
- L_{MIN} = 結合されていないデュアル・インダクタ・トポロジーの場合のL1 || L2(図7と図8を参照)

最大インダクタンス

付録

インダクタンスがあまりにも大きいと、電流コンパレータ(「ブロック図」のA4)が明瞭に区別するのが困難なレベルにまでリップル電流が減少し、デューティ・サイクルのジッタや安定化の機能低下が生じます。最大インダクタンスは次式で計算することができます。

$$L_{MAX} = \frac{(V_{IN} - V_{CESAT}) \cdot DC}{f_{OSC} \cdot 0.5A}$$

ここで、

L_{MAX} = 昇圧トポロジーの場合のL1(図6を参照)

L_{MAX} = L1 = 結合されたデュアル・インダクタ・トポロジーの場合のL2(図7と図8を参照)

L_{MAX} = 結合されていないデュアル・インダクタ・トポロジーの場合の $L1 \parallel L2$ (図7と図8を参照)

インダクタ電流定格

重大な動作不良と効率低下を引き起こすことのあるインダクタの飽和を防ぐため、インダクタの定格はピーク動作電流よりも大きくなければなりません。最大インダクタ電流は(スタートアップ条件および定常条件を考慮して)次式で与えられます。

$$I_{L_PEAK} = I_{LIM} + \frac{V_{IN} \cdot T_{MIN_PROP}}{L}$$

ここで、

I_{L_PEAK} = 昇圧トポロジーの場合のL1のピーク・インダクタ電流、またはデュアル・インダクタ・トポロジーの場合のL1とL2のピーク・インダクタ電流の和

I_{LIM} = ハードに飽和するインダクタの場合、SW1とSW2が一緒に結合されていると9.4A、またはSW1だけが使われていると5.1Aです。ソフトに飽和するインダクタの場合、SW1とSW2が一緒に結合されていると6A、またはSW1だけが使われていると3.4Aです。

T_{MIN_PROP} = 100ns(電流帰還ループの伝播遅延)。

これらの式は必要なインダクタ電流定格の控えめな値を与えることに注意してください。SSのコンデンサのサイズを適切に定めてスタートアップ時のインダクタ電流を制限する場合に限り、負荷が軽いアプリケーションでは電流定格を下げることができます。

ダイオードの選択

ショットキー・ダイオードは順方向電圧降下が小さく、スイッチング速度が速いので、LT3579と一緒に使うのに推奨します。寄生容量が低いショットキー・ダイオードを選択して、LT3579のパワースイッチを流れる逆電流スパイクを減らします。Diodes Inc. のMBRM360は逆電圧定格が60V、平均順方向電流が3Aであり、最適です。

出力コンデンサの選択

出力リップル電圧を下げるため、出力には低ESR(等価直列抵抗)のコンデンサを使います。多層セラミック・コンデンサはESRが非常に低く、小型パッケージのものが入手できるので最適です。X5RやX7Rのタイプは広い電圧範囲と温度範囲にわたってそれらの容量を保持するので最も好まれます。22μF～47μFの出力コンデンサはほとんどのアプリケーションに十分ですが、出力電流が低いシステムには4.7μF～22μFの出力コンデンサしか必要ないかもしれません。必ず電圧定格が十分大きなコンデンサを使ってください。ほとんどのセラミック・コンデンサ(特に0805または0603のケース・サイズ)は望みの出力電圧で容量が大きく減少します。タンタルポリマー・コンデンサまたはOS-CONコンデンサを使うことができますが、セラミック・コンデンサよりも大きなボード面積を占め、ESRが大きくなり、出力リップルが増加する可能性が高くなります。

入力コンデンサの選択

セラミック・コンデンサは入力デカップリング用コンデンサ(C_{VIN})として最適で、LT3579のV_{IN}ピンにできるだけ近づけて配置します。これにより、LT3579のV_{IN}ピンで見られる電圧はほぼ平坦なDC電圧に保たれます。ほとんどのアプリケーションでは1μF～4.7μFの入力コンデンサで十分です。

セラミック・バイパス・コンデンサ(C_{PWR})もインダクタの入力にできるだけ近づけて配置します。これにより、インダクタのリップル電流がバイパス・コンデンサから供給され、電圧コンバータの入力にほぼ平坦なDC電圧が与えられます。ほとんどのアプリケーションでは4.7μF～10μFの入力電力用コンデンサで十分です。

付録

セラミック・コンデンサのメーカーを数社表6に示します。セラミック部品の全製品の詳細についてはメーカーへお問い合わせください。

表6. セラミック・コンデンサのメーカー

TDK	www.tdk.com
Murata	www.murata.com
Taiyo Yuden	www.t-yuden.com

PMOS の選択

LT3579のGATEピンによって制御される外部PMOSを使って、入力または出力を切斷することができます。GATEピンはスタートアップ時にPMOSを徐々にオンし(「動作」のセクションの「外部PMOSのソフトスタート」を参照)、LT3579がシャットダウン状態またはフォルト状態のときPMOSをオフします。

GATEピンによって制御される外部PMOSの使用は、昇圧レギュレータの偶発的出力短絡に対処するとき特に有用です。従来の昇圧レギュレータでは、インダクタ、ショットキー・ダイオード、およびパワースイッチは、グランドへの出力短絡が発生したとき損傷を受けやすくなります。昇圧レギュレータの電力経路(V_{IN} から V_{OUT} への経路)内に、GATEピンによって制御される外部PMOSを使うと、出力がグランドに短絡したとき入力を出力から切斷して、ICおよび電力経路内の他の部品を損傷から保護するのに役立ちます。

選択されたPMOSは、そのPMOSが入力に使われているか(図12を参照)それとも出力に使われているか(図13を参照)に依存して、最大入力電流または最大出力電流を処理する能力が必要です。

PMOSが、3極動作するのに十分なだけエンハンスされるソース-ゲート電圧(V_{SG})で確実にバイアスされるようにします。PMOSをバイアスする V_{SG} 電圧が高いほど、PMOSの $R_{DS(on)}$ が低くなるので、通常動作時のデバイス内の電力損失が下がり、PMOSが使用されているアプリケーションの効率が改善されます。以下の式は、 R_{GATE} (「ブロック図」を参照)と、

PMOSがバイアスされる望みの V_{SG} との関係を示しています。

$$V_{SG} = \begin{cases} V_S \frac{R_{GATE}}{R_{GATE} + 2k\Omega} & \text{if } V_{GATE} < 2V \\ 933\mu A \cdot R_{GATE} & \text{if } V_{GATE} > 2V \end{cases}$$

PMOSを使う場合、対象となるアプリケーションを低電圧ロックアウトを実現するように構成することを推奨します(「動作」のセクションを参照)。目標として、 V_{IN} がある最小電圧に達するようにして、そこではPMOSに十分な空き高があって十分高い V_{SG} が得られ、スタートアップ時にPMOSが飽和モードの動作になるのを防ぎます。

出力に直列に接続されていて、フォルト状態の間出力を切斷するPMOSを図6に示します。 V_{IN} ピンからGATEピンに接続されたショットキー・ダイオードはオプションで、ハードな短絡発生時にPMOSを素早くオフするのに役立ちます。 V_{IN} からSHDNピンに接続された抵抗により、このアプリケーションの4VのUVLOが設定されます。

PMOSを出力に直列に接続すると、入力に直列に接続するよりも利点があります。

- 昇圧コンバータでは負荷電流が常に入力電流より少ないので、入力ではなく出力に直列に接続するとPMOSの電流定格が低下します。
- 出力に直列なPMOSは、 $V_{OUT} > V_{IN}$ なので、入力に直列に使われるPMOSより高いオーバードライブ電圧でバイアスすることができます。オーバードライブがこのように高くなるのでPMOSの $R_{DS(on)}$ が下がり、そのため、レギュレータの効率が改善されます。

対照的に、入力に接続されたPMOSは簡単な活線挿入コントローラとして機能します(詳細は「活線挿入」のセクションで説明されています)。入力に接続されたPMOSは、LT3579を他の適合性のあるICと同期させる昇圧コンバータ・アプリケーションで生じる複数の出力短絡に対して保護する低コストの手段としても機能します(図12参照)。

付録

ディスクリートPMOSのメーカーをいくつか表7に示します。PMOSデバイスの全製品についての詳細についてはメーカーへお問い合わせください。

表7. ディスクリートPMOSメーカー

Vishay	www.vishay.com
Fairchild Semiconductor	www.fairchildsemi.com
Central Semiconductor	www.centralsemi.com

補償 – 調整

LT3579の帰還ループを補償するには、1個のオプションのコンデンサに並列な直列RCネットワークをVCピンからGNDに接続する必要があります。ほとんどのアプリケーションでは、1nF～10nFの直列コンデンサを選択します。2.2nFが出発点の値として適当でしょう。オプションの並列コンデンサの値は22pF～180pFになります。47pFが出発点の値として適当でしょう。補償抵抗(R_C)は通常5k～50kの範囲です。新しいアプリケーションを補償する良い手法として、直列抵抗 R_C の代わりに100kΩのポテンショメータを使います。それぞれ2.2nFと47pFの直列コンデンサと並列コンデンサを使って、過渡応答を観察しながらポテンショメータを調節し、 R_C の最適値を見つけることができます。負荷電流を0.7Aと1.5Aの間でステップさせたときの図20の回路のこの過程を図17a～図17cに示します。 R_C が1kに等しいときの過渡応答を図17aに示します。出力電圧とインダクタ電流の過度のリンギングから明らかのように、位相マージンが良くありません。図17bでは、 R_C の値を3.5kまで増加させているので、もっと減衰した応答になっています。 R_C をさらに8kにまで大きくしたときの結果を図17cに示します。過渡応答が十分減衰し、補償の調整は完了です。

補償 – 理論

他の全ての電流モード・スイッチング・レギュレータと同様、LT3579を安定して効率よく動作させるには補償が必要です。LT3579には2個の帰還ループが使われています。補償の不要な高速電流ループと、補償の必要な低速電圧ループです。標準ボーデ図の分析方法を使って、電圧帰還ループを理解し、調節することができます。

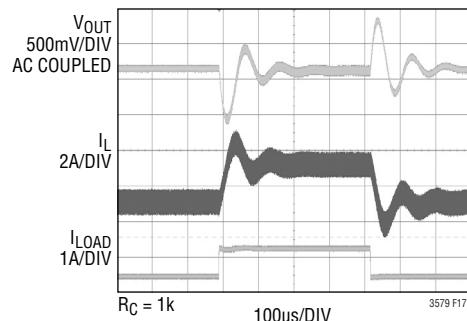


図17a. 過度のリンギングを示す過渡応答

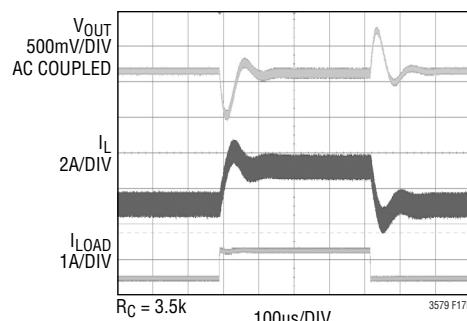


図17b. 改善された過渡応答

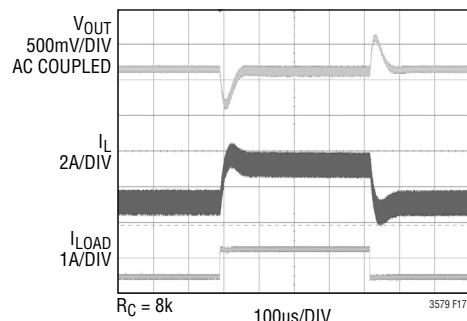
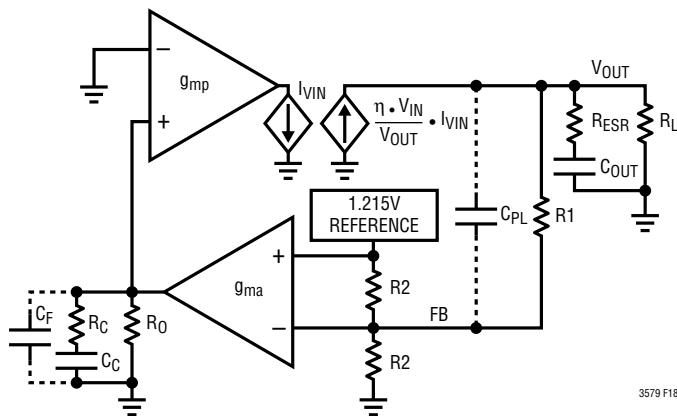


図17c. 十分減衰した過渡応答

付録

どんな帰還ループの場合でもうですが、ループ内の多様な素子が利得や位相に与える影響を知ることが決定的に重要です。昇圧コンバータの主要な等価素子を図18に示します。高速電流制御ループのため、ICの電力段、インダクタ、およびダイオードは同等のトランスコンダクタンス・アンプ g_{mp} と (I_{VIN} を $\frac{\eta \cdot V_{IN}}{V_{OUT}}$ に変換する) 電流制御電流源の組み合わせで置き換えてあります。 g_{mp} はピーク入力電流 (I_{VIN}) が V_C 電圧に比例する電流源として機能します。



C_C :補償コンデンサ
 C_{OUT} :出力コンデンサ
 C_{PL} :位相リード・コンデンサ
 C_F :高周波数フィルタ・コンデンサ
 g_{ma} :IC内のトランスコンダクタンス・アンプ
 g_{mp} :電力段のトランスコンダクタンス・アンプ
 R_C :補償抵抗
 R_L : $V_{OUT}/I_{LOADMAX}$ として定義された出力抵抗
 R_0 : g_{ma} の出力抵抗
 R_1 , R_2 :帰還抵抗分割器ネットワーク
 R_{ESR} :出力コンデンサのESR
 η :コンバータの効率(高電流では約90%)

図18. 昇圧コンバータの等価モデル

g_{mp} と g_{ma} の最大出力電流は有限であることに注意してください。 g_{mp} 段の出力は最小スイッチ電流制限によって制限されており(「電気的特性」を参照)、 g_{ma} は公称約 $\pm 12\mu A$ に制限されています。

図18から、DC利得、ポール、およびゼロは以下のように計算されます。

DC利得:

$$A_{DC} = g_{ma} \cdot R_0 \cdot g_{mp} \cdot \eta \cdot \frac{V_{IN}}{V_{OUT}} \cdot \frac{R_L}{2} \cdot \frac{0.5R_2}{R_1 + 0.5R_2}$$

$$\text{出力のポール: } P1 = \frac{2}{2 \cdot \pi \cdot R_L \cdot C_{OUT}}$$

$$\text{エラーアンプのポール: } P2 = \frac{1}{2 \cdot \pi \cdot (R_0 + R_C) \cdot C_C}$$

$$\text{エラーアンプのゼロ: } Z1 = \frac{1}{2 \cdot \pi \cdot R_C \cdot C_C}$$

$$\text{ESRのゼロ: } Z2 = \frac{1}{2 \cdot \pi \cdot R_{ESR} \cdot C_{OUT}}$$

$$\text{RHPのゼロ: } Z3 = \frac{V_{IN}^2 \cdot R_L}{2 \cdot \pi \cdot V_{OUT}^2 \cdot L}$$

$$\text{高周波数のポール: } P3 > \frac{f_S}{3}$$

$$\text{位相リードのゼロ: } Z4 = \frac{1}{2 \cdot \pi \cdot R_1 \cdot C_{PL}}$$

$$\text{位相リードのポール: } P4 = \frac{1}{2 \cdot \pi \cdot \frac{R_1 \cdot 0.5R_2}{R_1 + 0.5R_2} \cdot C_{PL}}$$

エラーアンプのフィルタのポール:

$$P5 = \frac{1}{2 \cdot \pi \cdot \frac{R_C \cdot R_0}{R_C + R_0} C_F}, C_F < \frac{C_C}{10}$$

付録

電流モードのゼロ(Z3)は右半平面のゼロで、これは帰還制御の設計では問題になることがあります。外部部品を選択して調整可能です。

図20の回路を一例として使って、図19に示されているボーディングを描くのに使われたパラメータを表8に示します。

表8. ボーディングのパラメータ

パラメータ	値	単位	説明
R _L	7	Ω	アプリケーションに固有
C _{OUT}	30	μF	アプリケーションに固有
R _{ESR}	2	mΩ	アプリケーションに固有
R _O	305	kΩ	調整不可
C _C	2200	pF	調整可
C _F	47	pF	オプション/調整可
C _{PL}	0	pF	オプション/調整可
R _C	8	kΩ	調整可
R ₁	130	kΩ	調整可
R ₂	14.6	kΩ	調整不可
V _{OUT}	12	V	アプリケーションに固有
V _{IN}	5	V	アプリケーションに固有
g _{ma}	250	μmho	調整不可
g _{mp}	28	mho	調整不可
L	2.2	μH	アプリケーションに固有
f _{osc}	1.0	MHz	調整可

図19から、利得が0dBに達するときの位相は-134°で、位相マージンが46°になります。クロスオーバー周波数は8kHzです。これはRHPのゼロであるZ3の周波数の1/3以下の値なので、適切な位相マージンを与えます。

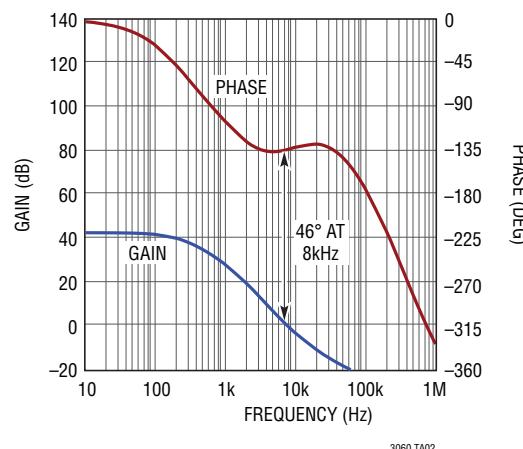


図19. 昇圧コンバータの例のボーディング

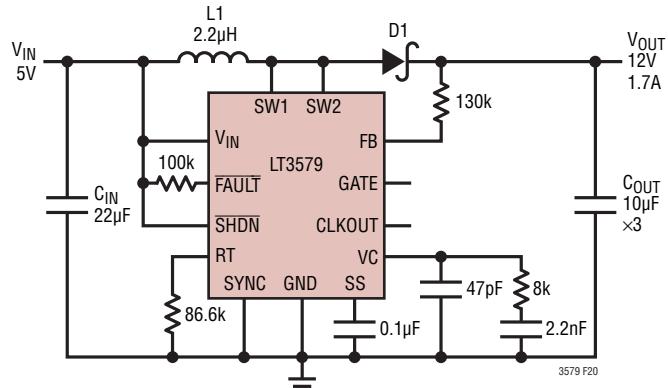
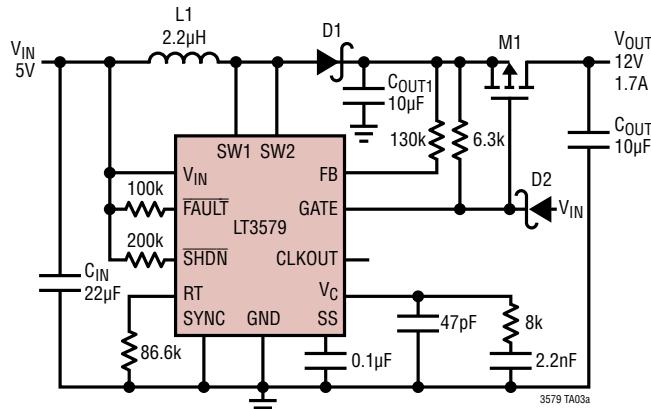


図20. 5Vから12Vの昇圧コンバータ

LT3579/LT3579-1

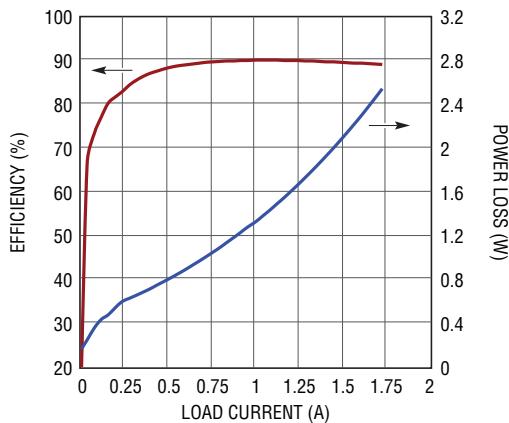
標準的応用例

出力短絡に耐えることができる、1MHz、5Vから12Vの昇圧コンバータ

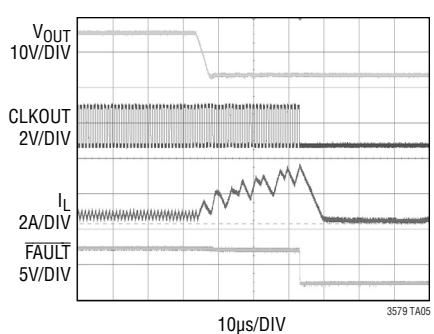


C_{IN}: 22μF, 16V, X7R, 1210
C_{OUT1}, C_{OUT}: 10μF, 25V, X7R, 1210
D1: VISHAY SSB43L
D2: CENTRAL SEMI CMDSH-3TR
L1: WÜRTH WE-PD 744771002
M1: SILICONIX SI7123DN

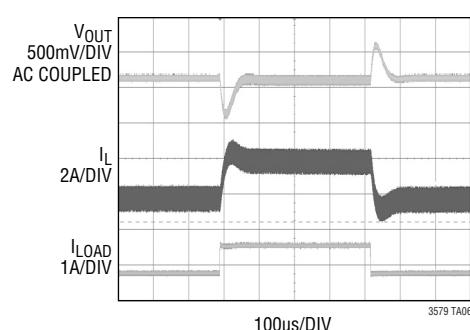
効率と電力損失



出力短絡

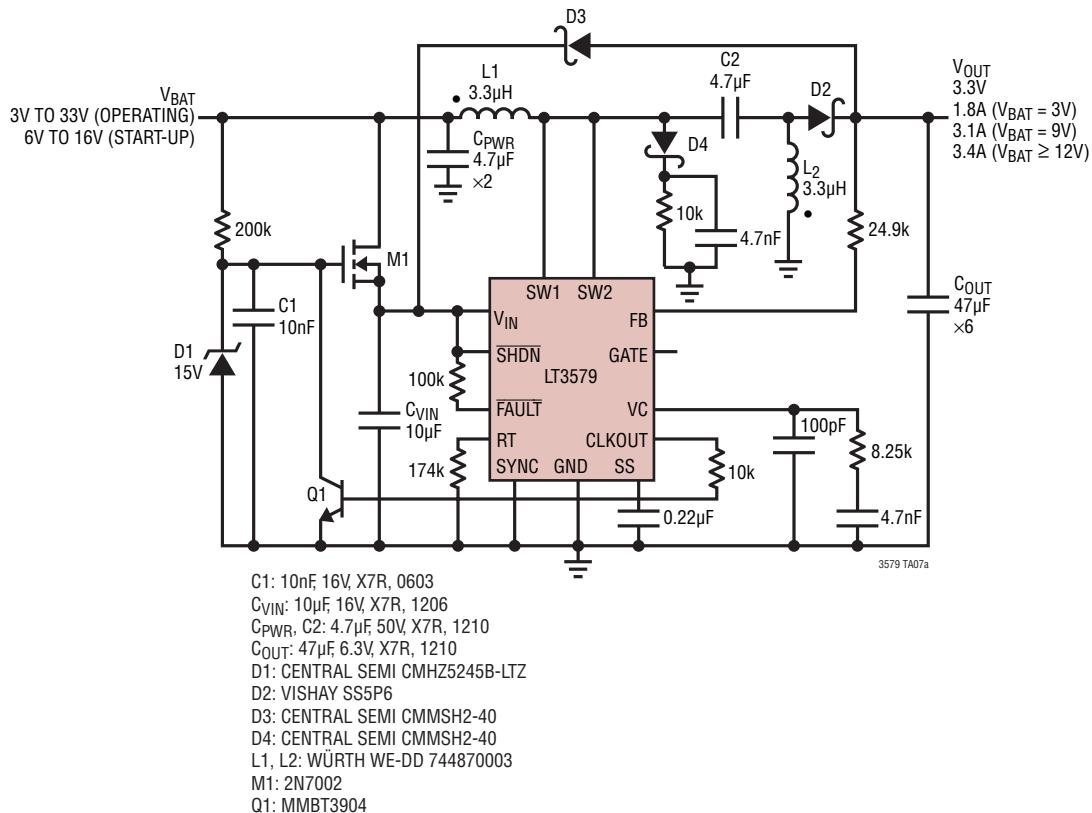


0.7Aから1.5A、さらに0.7Aへの出力負荷ステップに対する過渡応答

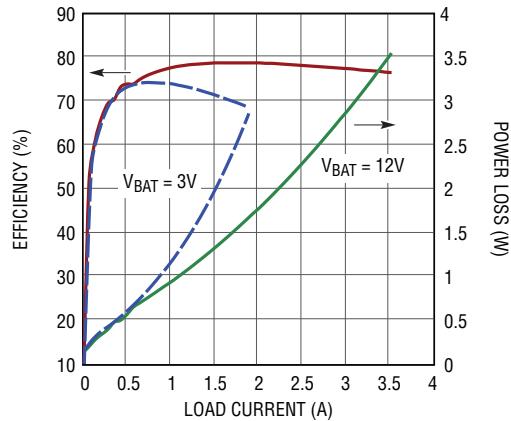
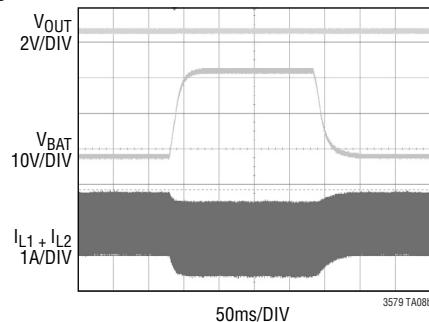


標準的応用例

3V～33Vの入力から3.3Vを発生する500kHz SEPICコンバータ



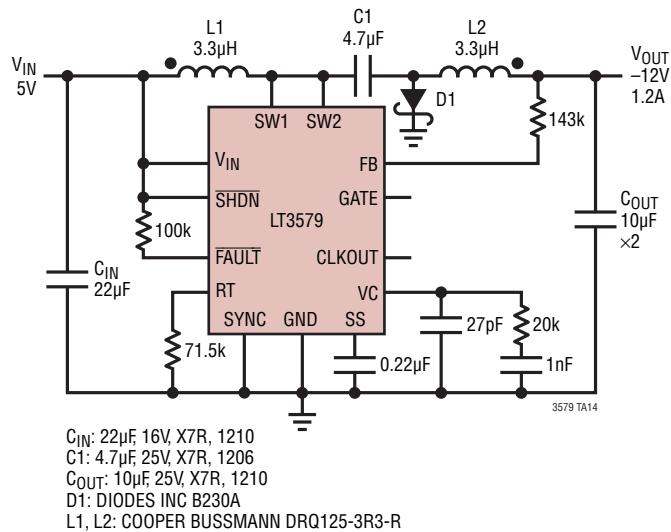
効率と電力損失

9Vから33V、さらに9Vへの V_{BAT} のグリッチに対する過渡応答
($R_{LOAD} = 1.5\Omega$)

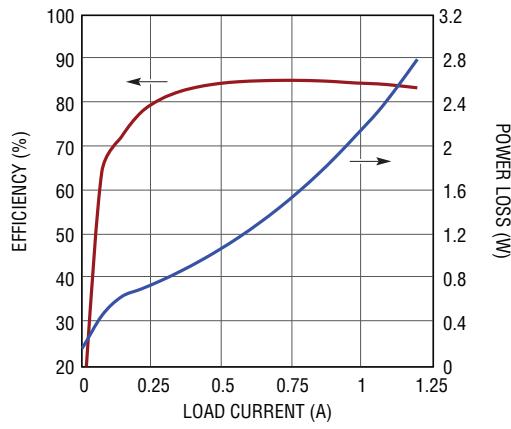
LT3579/LT3579-1

標準的応用例

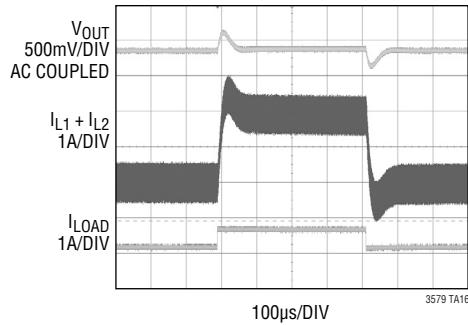
1.2MHz、5Vから-12Vへの反転コンバータ



効率と電力損失



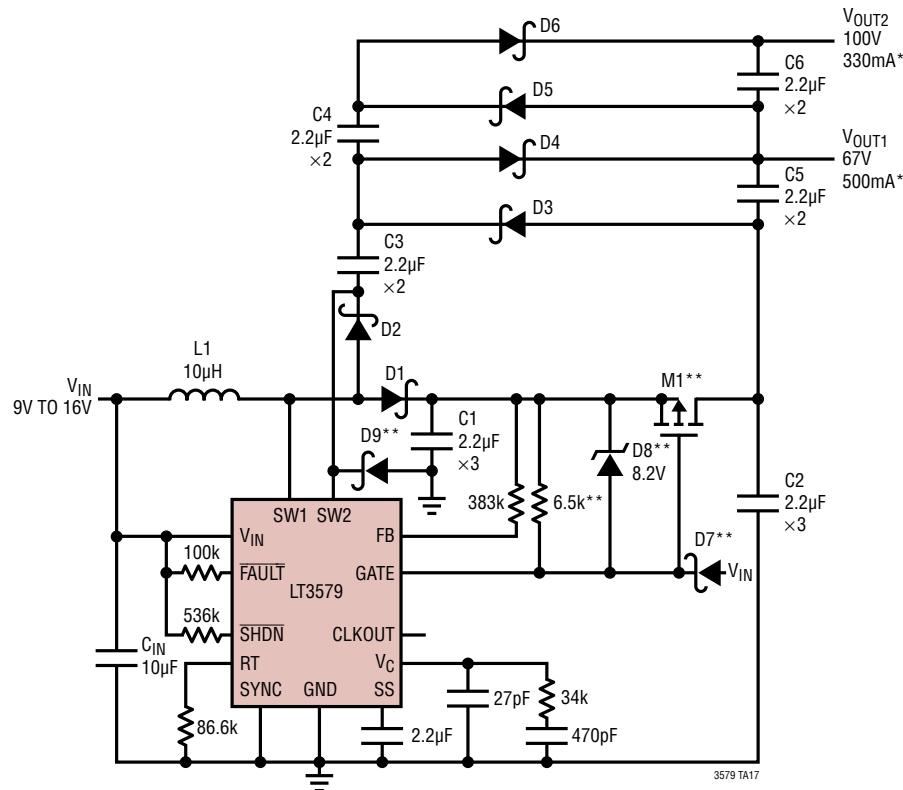
0.5Aから1A、さらに0.5Aへの出力負荷ステップに対する過渡応答



標準的応用例

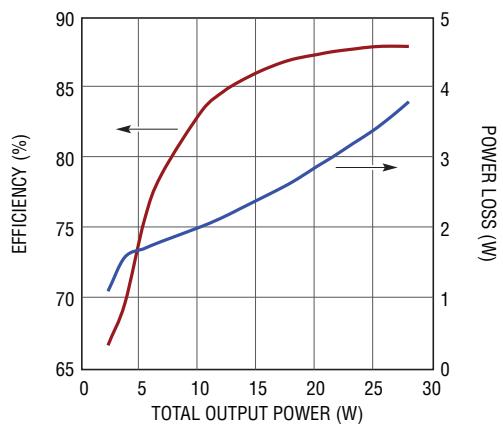
1MHzでスイッチングするVFD(蛍光管ディスプレイ)用電源

危険 高電圧! 高電圧技術者のみ操作可

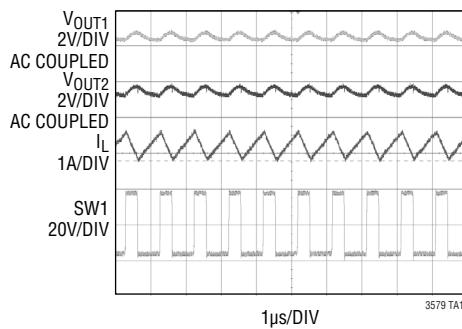


C_{IN} : 10 μ F 25V, X7R, 1210
 C1-C6: 2.2 μ F 50V, X7R, 1210
 D1-D6: DIODES INC SBR2A40P1
 D7: CENTRAL SEMI CMDSH-3TR
 D8: CENTRAL SEMI CMDZ5237B-LTZ
 D9: DIODES INC MBRM360
 L1: WÜRTH WE-PD 7447710
 M1: SILICONIX SI7461DP

*MAX TOTAL
 OUTPUT POWER
 22W (V_{IN} = 9V)
 27W (V_{IN} = 12V)
 33W (V_{IN} = 16V)
 **OPTIONAL FOR OUTPUT
 SHORT CIRCUIT PROTECTION

効率と電力損失 (V_{IN} = 12V)

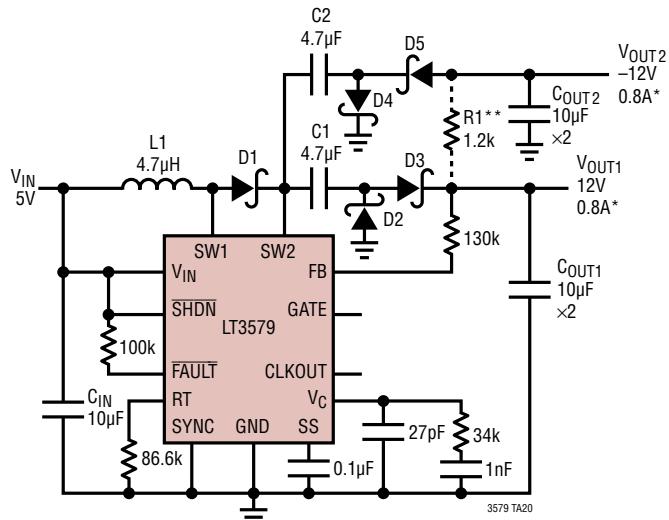
サイクルからサイクル



LT3579/LT3579-1

標準的応用例

1MHz、5Vから±12Vのコンバータ

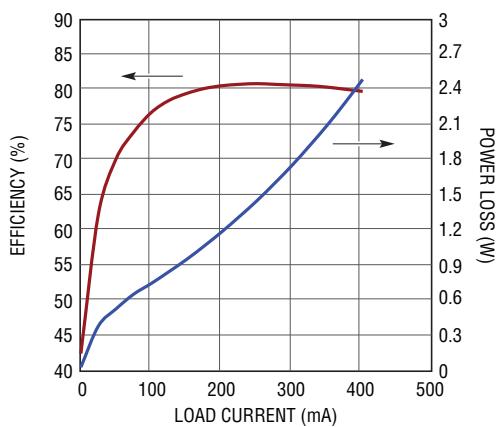


C_{IN} : 10μF 16V, X7R, 1206
 C_1, C_2 : 4.7μF 25V, X7R, 1206
 C_{OUT1}, C_{OUT2} : 10μF, 25V, X7R, 1210
D1-D5: DIODES INC SBR2A40P1
L1: VISHAY IHLP-2525CZ-01-4R7
R1: 1.2k, 2W

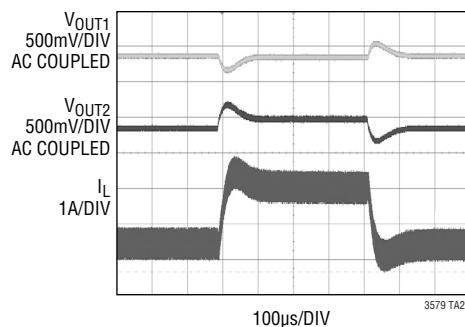
*最大合計出力電力 = 9.6W

**非対称の負荷をドライブする場合、1.2k, 2Wの抵抗を+12V出力から-12V出力に接続し、-12V出力の負荷レギュレーションを改善する。

効率と電力損失

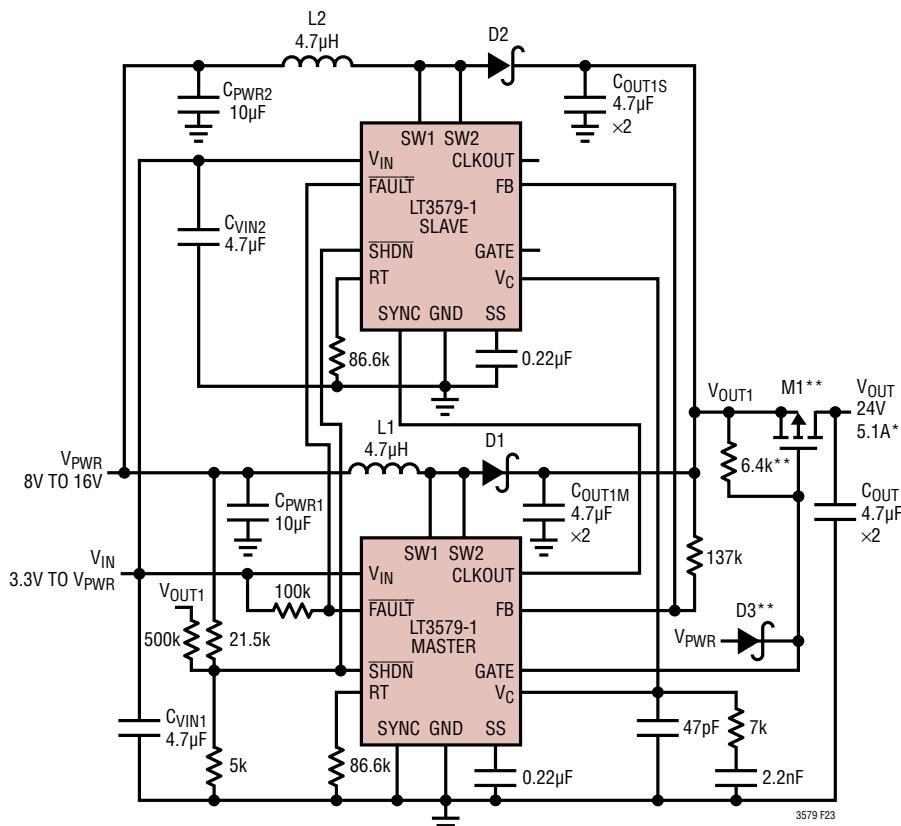


0.15Aから0.35A、さらに0.15Aへの
対称出力負荷ステップに対する過渡応答



標準的応用例

8V~16Vの入力から24Vの出力を発生し、小型部品を使用する1MHz、2フェーズ・コンバータ

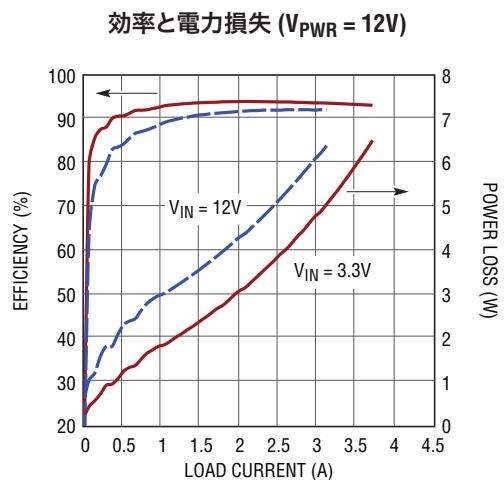
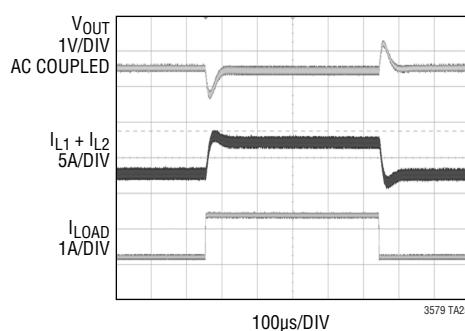


C_{PWR1}, C_{PWR2} : 10μF, 25V, X7R, 1210
 C_{VIN1}, C_{VIN2} : 4.7μF, 25V, X7R, 1206
 $C_{OUT1}, C_{OUT1S}, C_{OUT}$: 4.7μF, 50V, X5R, 1210
D1, D2: CENTRAL SEMI CTLSH5-40M833
D3: CENTRAL SEMI CTLSH1-40M563
L1, L2: VISHAY IHP-2525CZ-01-4R7
M1: SILICONIX SI7461DP

*最大出力電流

	$V_{PWR} = 8V$	$V_{PWR} = 12V$	$V_{PWR} = 16V$
$V_{IN} = 3.3V$ TO 5V	2.4A	3.7A	5.1A
$V_{IN} = V_{PWR}$	2.2A	3.1A	3.9A

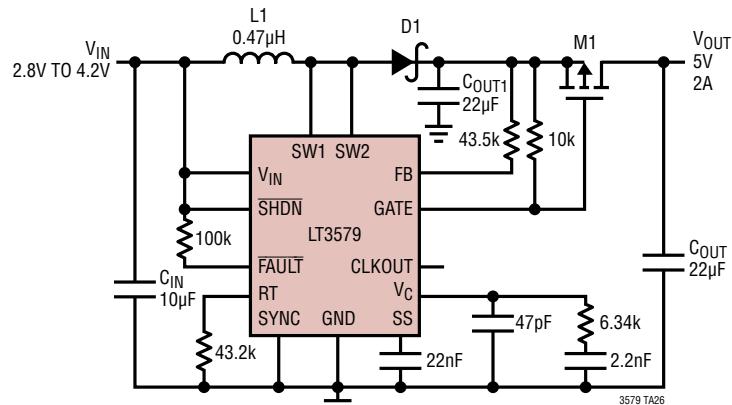
**出力短絡保護のためのオプション

1.5Aから3.25A、さらに1.5Aへの出力負荷ステップに対する過渡応答 ($V_{PWR} = 12V$ および $V_{IN} = 3.3V$)

LT3579/LT3579-1

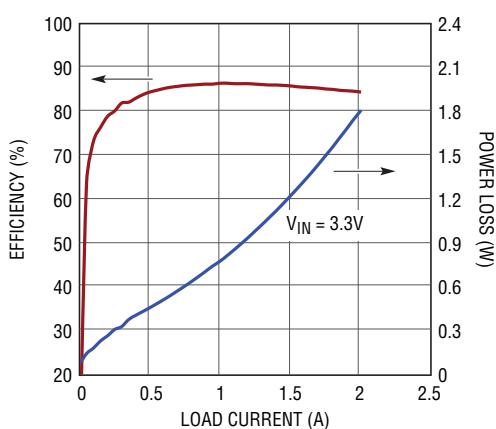
標準的応用例

2.8V～4.2Vの入力から5Vの出力を発生する、出力切断機能付き2MHz昇圧コンバータ

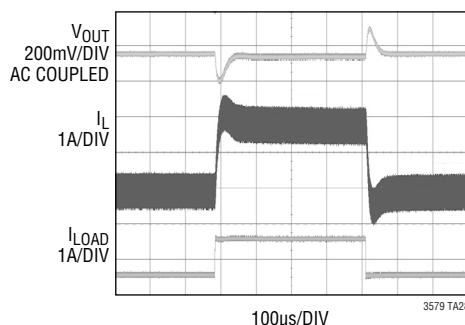


C_{IN}: 10μF, 16V, X7R, 1206
C_{OUT1}, C_{OUT}: 22μF, 16V, X7R, 1210
D1: CENTRAL SEMI CTLSH3-30M833
L1: VISHAY IHLP-2020BZ-01-R47
M1: SILICONIX SI7123DN

効率と電力損失



0.8Aから1.8A、さらに0.8Aへの出力負荷ステップに対する過渡応答(V_{IN} = 3.3V)



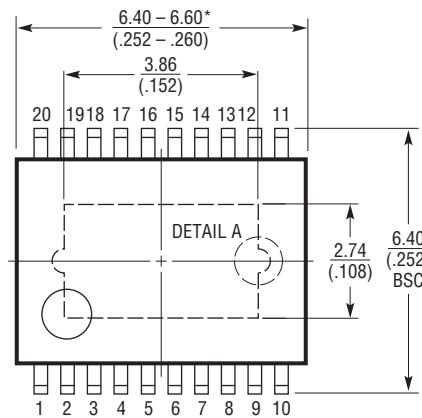
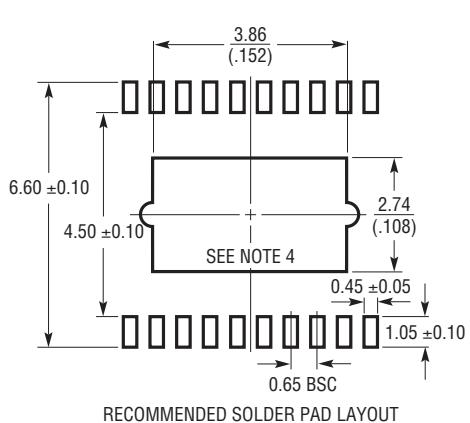
35791fa

パッケージ

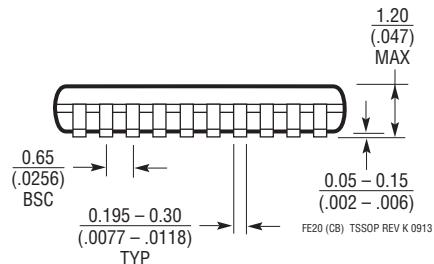
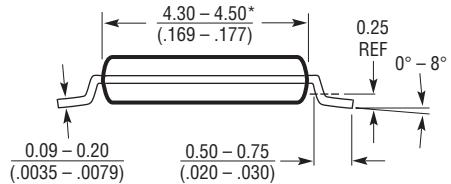
最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging>をご覧ください。

**FE Package
20-Lead Plastic TSSOP (4.4mm)**
(Reference LTC DWG # 05-08-1663 Rev K)

Exposed Pad Variation CB



DETAIL A
DETAIL A IS THE PART OF
THE LEAD FRAME FEATURE
FOR REFERENCE ONLY
NO MEASUREMENT PURPOSE



NOTE:

- 標準寸法：ミリメートル
- 寸法は ミリメートル (インチ)
- 図は実寸とは異なる

- 露出パッド接着のための推奨最小PCBメタルサイズ

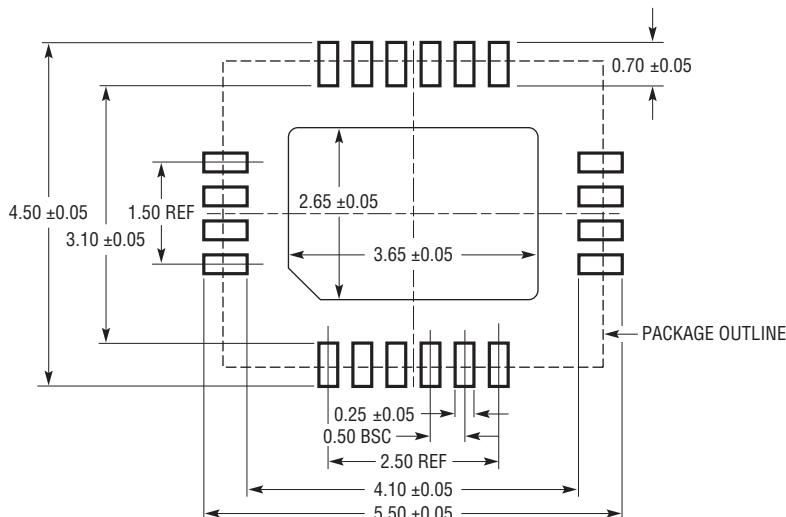
*寸法にはモールドのバリを含まない。
モールドのバリは各サイドで 0.150mm (0.006") を超えないこと

LT3579/LT3579-1

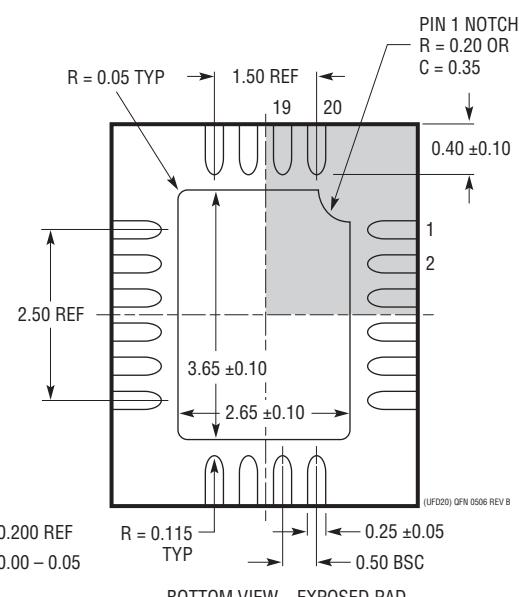
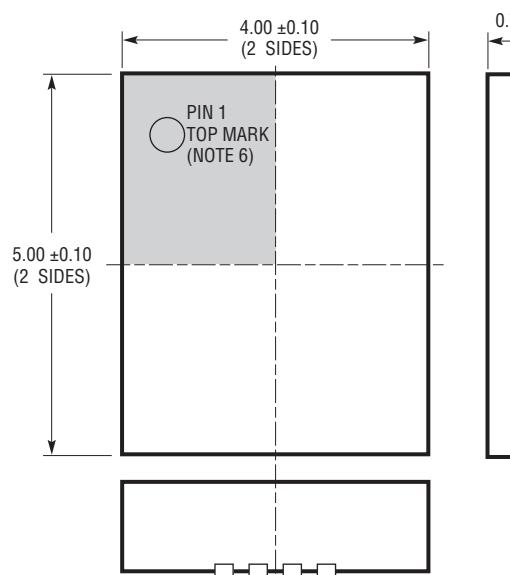
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging>をご覧ください。

**UFD Package
20-Lead Plastic QFN (4mm x 5mm)**
(Reference LTC DWG # 05-08-1711 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



BOTTOM VIEW—EXPOSED PAD

NOTE:

1. 図はJEDECパッケージ外形 MO-220 のバリエーション (WXXX-X) にするよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

改訂履歴

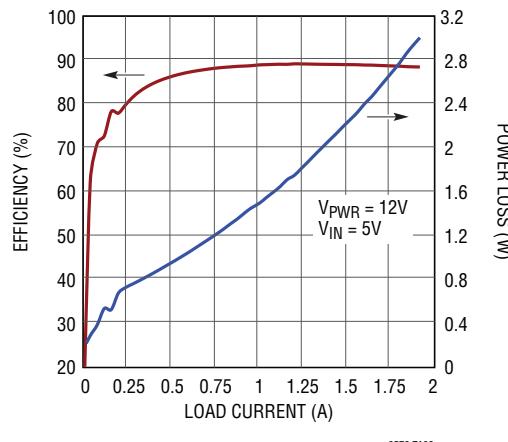
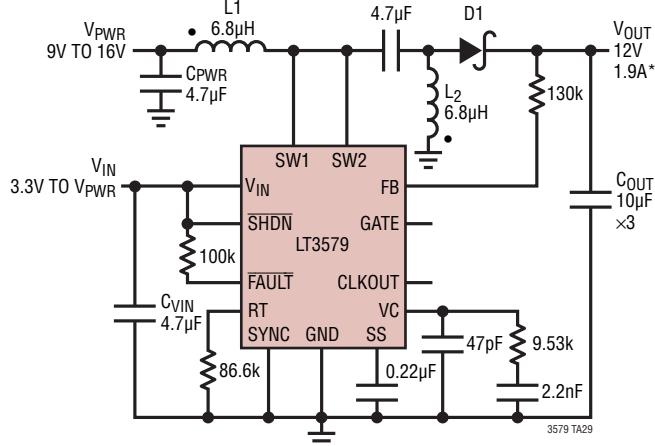
REV	日付	概要	ページ番号
A	5/14	「電気的特性」を明確化。 表1を明確化。 表2を明確化。 表3を明確化。 表8を明確化。	4 13 14 15 30

LT3579/LT3579-1

標準的応用例

9V～16Vの入力から12Vの出力を発生する1MHz SEPICコンバータ

効率と電力損失



C_{PWR}: 4.7μF 25V, X7R, 1206
C_{VIN}: 4.7μF 25V, X7R, 1206
C₁: 4.7μF 25V, X7R, 1206

C_{OUT}: 10μF 25V, X7R, 1210
D1: DIODES INC MBRM360
L1, L2: COOPER BUSSMANN DRQ125-6R8-R

*最大出力電流

	V _{PWR} = 9V	V _{PWR} = 12V
V _{IN} = 3.3V TO 5V	1.6A	1.9A
V _{IN} = V _{PWR}	1.4A	1.4A

ライン・レギュレーション(V_{IN} = 5V, I_{OUT} = 1A) = 0.017%/V
ロード・レギュレーション(V_{PWR} = 12V, V_{IN} = 5V) = -0.23%/A

関連製品

製品番号	説明	注釈
LT3581	3.3A (I _{SW})、42V、2.5MHz、高効率昇圧DC/DCコンバータ	V _{IN} : 2.5V～22V, V _{OUT(MAX)} = 42V, I _Q = 1.9mA, I _{SD} = < 1μA, 4mm×3mm DFN-14, MSOP-16E
LT3580	2A (I _{SW})、42V、2.5MHz、高効率昇圧DC/DCコンバータ	V _{IN} : 2.5V～32V, V _{OUT(MAX)} = 42V, I _Q = 1mA, I _{SD} = < 1μA, 3mm×3mm DFN-8, MSOP-8E
LT3479	3A (I _{SW})、40V、3.5MHz、高効率昇圧DC/DCコンバータ	V _{IN} : 2.5V～24V, V _{OUT(MAX)} = 40V, I _Q = 5mA, I _{SD} = < 1μA, 4mm×3mm DFN-14, TSSOP-16E

35791fa

42

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F
TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LT3579

LT 0514 REV A • PRINTED IN JAPAN

LINEAR
TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2010