

1.2A出力1個と600mA出力2個を備え、 リファレンス電圧を個別に設定可能な トリプル降圧レギュレータ

特長

- 3つの独立した電流モード降圧DC/DCレギュレータ (1.2Aおよび2×600mA)
- 1本のピンで設定可能なV_{FB}サーボ電圧: (25mVステップで)800mVから425mVまで
- V_{FB} = "H"にして各600mA降圧レギュレータをスレープにすることにより、さらに高電流の動作を実現
- パルス・スキップ動作またはBurst Mode[®]動作
- プログラム可能なスイッチング周波数 (1MHz~3MHz) または固定2.25MHz
- 同期可能:1.2MHz~3MHz
- V_{IN}範囲:2.5V~5.5V
- 全レギュレータが内部補償される
- PGOOD出力フラグ
- 消費電流<100μA (全レギュレータがBurst Mode動作の場合)
- シャットダウン電流がゼロ
- 過熱保護および短絡保護
- 小型3mm×3mm、3mm×4mm 20ピンQFNパッケージ および熱特性が改善されたTSSOP FE-16パッケージ

概要

LTC[®]3569は、3つのモノリシック同期整流式降圧DC/DCコンバータを内蔵しています。このデバイスは中電力アプリケーションを対象としており、2.5V~5.5Vの入力電圧範囲で動作します。動作周波数は1MHz~3MHzの範囲で調整可能なので、小型、低コストのコンデンサおよびインダクタを使用できます。ENピンを最大15回切り換え、800mVのFBリファレンス電圧をサイクルごとに25mVずつ下げることにより、3つの出力電圧を個別に設定できます。第1の降圧レギュレータは最大1200mAの負荷電流を供給します。他の2つの降圧レギュレータは、それぞれ600mAを供給します。

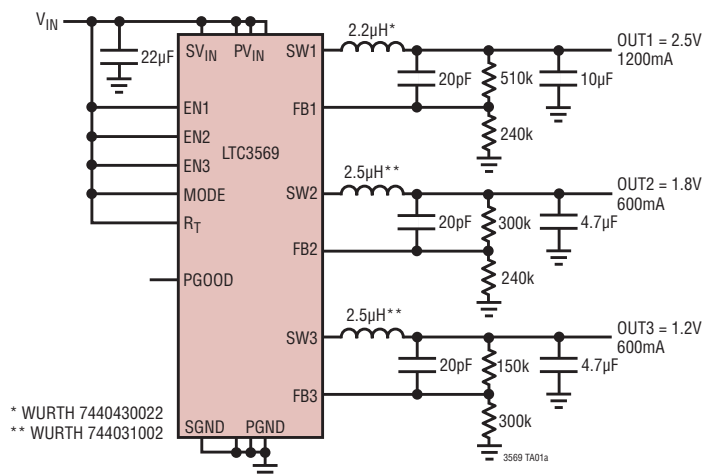
2つの600mA降圧レギュレータは、スレープ・パワー段として動作させ、別の内部降圧レギュレータとの並列動作により、さらに大きな負荷電流を供給するよう構成することもできます。並列で動作する場合、スレープ出力段、ディスクリット外付け部品は共有され、合計した出力電流が得られます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテックノロジー社の登録商標です。ThinSOTはリアテックノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。5481178、6127815、6304066、6498466、6580258、6611131、7170195を含む米国特許により保護されています。

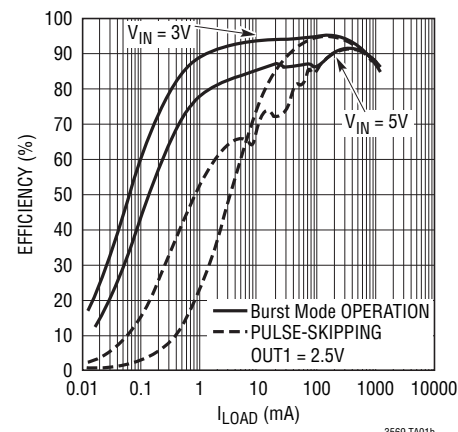
アプリケーション

- 複数の電源レールを備えた携帯アプリケーション
- 汎用降圧DC/DCコンバータ
- Dynamic Voltage Scalingアプリケーション

標準的応用例



効率と負荷電流

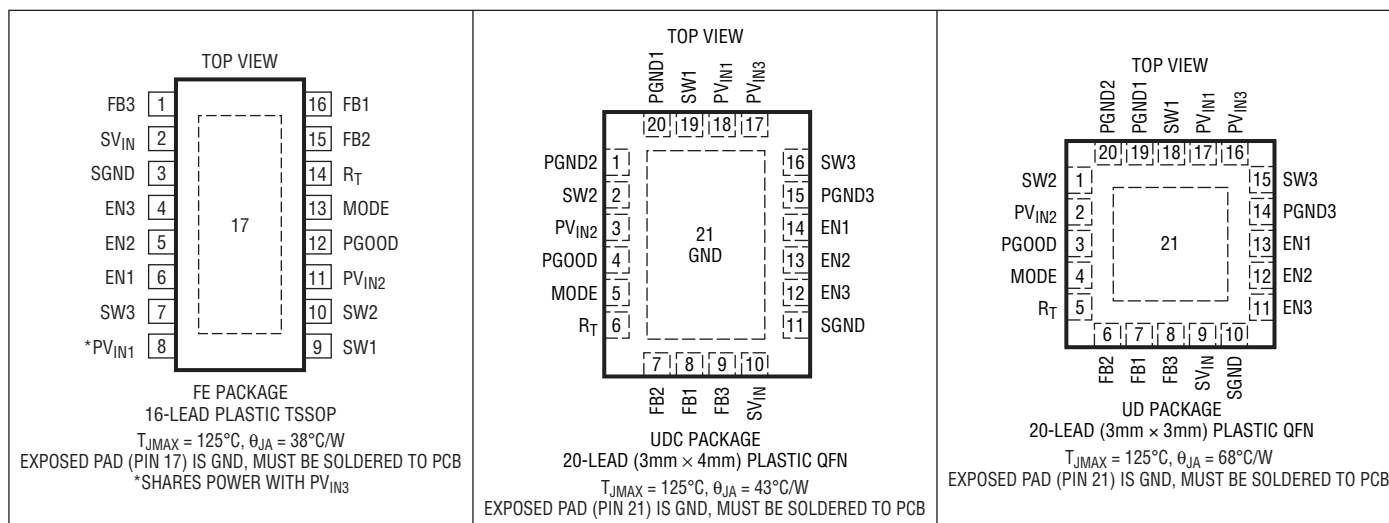


LTC3569

絶対最大定格 (Note 1, 6)

SV _{IN} の電圧	-0.3V~6V(7V過渡)	PGOODの電流	±1mA
PV _{INx} の電圧	SV _{IN} -0.3V~SV _{IN} +0.3V	動作接合部温度範囲 (Note 6, 7)	-40°C~125°C
EN _x , MODE, PGOOD, SW _x , FB _x	-0.3V~SV _{IN} +0.3V	保存温度範囲	-65°C~125°C
R _T の電圧	-0.3V~6V	ピーク・リフロー温度	260°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC3569EUD#PBF	LTC3569EUD#TRPBF	LDQF	20-Lead (3mm × 3mm) Plastic QFN	-40°C to 125°C
LTC3569IUD#PBF	LTC3569IUD#TRPBF	LDQF	20-Lead (3mm × 3mm) Plastic QFN	-40°C to 125°C
LTC3569EUDC#PBF	LTC3569EUDC#TRPBF	LFYW	20-Lead (3mm × 4mm) Plastic QFN	-40°C to 125°C
LTC3569IUDC#PBF	LTC3569IUDC#TRPBF	LFYW	20-Lead (3mm × 4mm) Plastic QFN	-40°C to 125°C
LTC3569EFE#PBF	LTC3569EFE#TRPBF	3569FE	16-Lead Plastic TSSOP	-40°C to 125°C
LTC3569IFE#PBF	LTC3569IFE#TRPBF	3569FE	16-Lead Plastic TSSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 3.6\text{V}$ 。(Note 2、7)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SV_{IN}	Input Supply Voltage		●	2.5		5.5	V
I_{VIN}	Input Current Pulse-Skipping Mode	$EN1 = SV_{IN}$, $EN2, EN3 = \text{MODE} = 0\text{V}$, $I_{OUT1} = 0\text{A}$, $FB1 = 0.9\text{V}$ (Note 3)			230	365	μA
	Input Current Burst Mode Operation	$EN1 = \text{MODE} = SV_{IN}$, $EN2, EN3 = 0\text{V}$, $I_{OUT1} = 0\text{A}$, $FB1 = 0.9\text{V}$ (Note 3)			47	82	μA
I_{QX}	Additional Input Current per Buck, Pulse Skipping	$\text{MODE} = 0\text{V}$, $I_{OUTX} = 0\text{A}$, $FBx = 0.9\text{V}$ (Note 3)			140	225	μA
	Additional Input Current per Buck, Burst Mode Operation	$\text{MODE} = SV_{IN}$, $I_{OUTX} = 0\text{A}$, $FBx = 0.9\text{V}$ (Note 3)			22	36	μA
I_{QSHDN}	Quiescent Current in Shutdown Mode	$EN1, EN2, EN3 = 0\text{V}$ $V_{SW1} = V_{SW2} = V_{SW3} = 0\text{V}$			0.1	1	μA
I_{PK1}	Peak Inductor Current SW1			1.8	2.0	2.5	A
I_{PK2}, I_{PK3}	Peak Inductor Current SW2, SW3			0.780	1.0	1.3	A
$V_{FBX(\text{MAX})}$	Maximum Feedback Voltage		●	0.784	0.8	0.816	V
$V_{FBX(\text{STEP})}$	Feedback Reference Step Size	Each Toggle on ENx			25		mV
$V_{FBX(\text{MIN})}$	Minimum Feedback Voltage	ENx Toggle 15 Times	●	0.405	0.425	0.44	V
V_{PROGFBX}	Feedback Programming Range			0.425		0.8	V
I_{FBX}	Feedback Pin Input Current	$V_{\text{FB}} = 0.8\text{V}$	●			± 0.2	μA
I_{LKSWX}	Switch Pin Leakage Current	$V_{\text{SWX}} = 1.8\text{V}$, $V_{\text{ENX}} = SV_{IN}$, $V_{\text{FBX}} = 0.9\text{V}$				± 1	μA
D_X	Maximum Duty Cycle	$FBx = 0\text{V}$		100			%
R_{P1}	$R_{\text{DS(on)}}$ of PSW for SW1	$I_{\text{SW1}} = 100\text{mA}$ (Note 5)			195		$\text{m}\Omega$
R_{N1}	$R_{\text{DS(on)}}$ of NSW for SW1	$I_{\text{SW1}} = -100\text{mA}$ (Note 5)			180		$\text{m}\Omega$
R_{P2}, R_{P3}	$R_{\text{DS(on)}}$ of PSW for SW2, SW3	$I_{\text{SW2}}, I_{\text{SW3}} = 100\text{mA}$ (Note 5)			265		$\text{m}\Omega$
R_{N2}, R_{N3}	$R_{\text{DS(on)}}$ of NSW for SW2, SW3	$I_{\text{SW2}}, I_{\text{SW3}} = -100\text{mA}$ (Note 5)			250		$\text{m}\Omega$
RSW_X_PD	SWx Pull-Down in Shutdown	$ENx = 0\text{V}$, $V_{\text{SWX}} = 1.2\text{V}$, ($FBx < SV_{IN}$)			2.3		$\text{k}\Omega$
$\Delta V_{\text{LINEREG}}$	Reference Voltage Line Regulation	$SV_{IN} = 2.5\text{V}$ to 5.5V			0.04	0.2	%/V
$\Delta V_{\text{LOADREG}}$	Output Voltage Load Regulation	Pulse-Skipping Mode (Note 4)			0.5		%
t_{SS}	Soft-Start Reference Ramp Rate				0.75		V/ms
t_{EN}	Enable Turn-On Delay	From Last ENx Rise to Begin of Soft-Start Ramp			125	240	μs
t_{OFF}	Enable Turn-Off Delay	From ENx Fall to Shutdown			170	330	μs
t_{PW}	Enable Pulse Width			0.06		55	μs
I_{ENX}	Enable Leakage Current	$V_{\text{ENX}} = 3.6\text{V}$			0.02		μA
I_{MODE}	Mode Leakage Current	$V_{\text{MODE}} = 3.6\text{V}$			0.02		μA
V_{IL}	Input Low Voltage	MODE, ENx				0.4	V
V_{IH}	Input High Voltage	MODE, ENx		1.2			V
T_{MODEPW}	Pulse Width Applied to MODE Pin for Synchronizing			100			ns
PGOOD	Power Good Threshold	V_{FBX} Ramping Up			-8		%
		V_{FBX} Ramping Down			-12		%
T_{PGOOD}	PGOOD Delay	Turn-On			8		μs
		Turn-Off			2		μs

電気的特性

●は全動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 3.6\text{V}$ 。(Note 2, 7)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
R_{PGOOD}	PGOOD Pull-Down On-Resistance	$V_{FBX} < 0.4\text{V}$		380	525	Ω	
UVLO	Undervoltage Lockout		●		2.5	V	
f_{OSC}	Fixed Oscillator Frequency	$V_{RT} = SV_{IN}$	●	1.9	2.25	2.8	MHz
$f_{CLK(MAX)}$	Maximum Programmable Oscillator Frequency	$R_T = 100\text{k}$	●	3.0			MHz
$f_{CLK(MIN)}$	Minimum Programmable Oscillator Frequency	$R_T = 453\text{k}$	●		1.0		MHz
f_{SYNC}	Sync Frequency	$V_{RT} = SV_{IN}$			3		MHz
		$R_T = 453\text{k}$		1.2			MHz

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: ピンに流れ込む電流はプラス、ピンから流れ出す電流はマイナスである。全ての電圧はSGNDを基準にしている。

Note 3: 動作時消費電流はスイッチング周波数で供給される内部ゲート電荷により増加する。

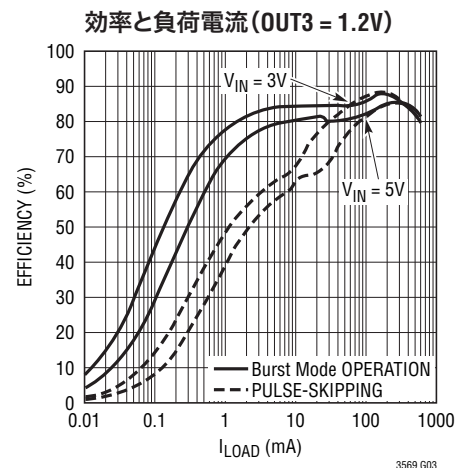
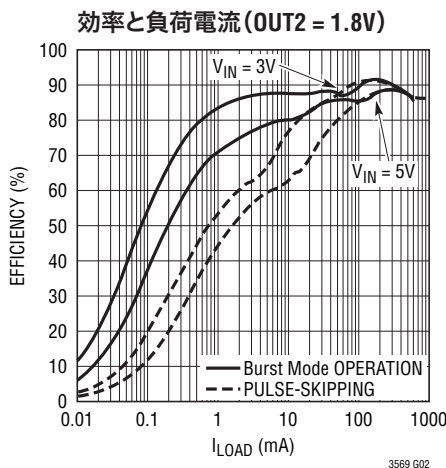
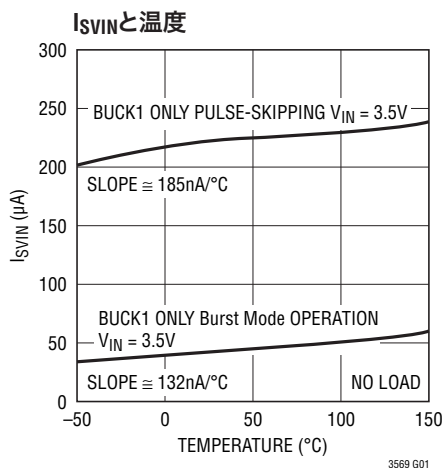
Note 4: 仕様は設計によって保証されており、製造時に全数テストは行われない。

Note 5: スイッチのオン抵抗はウェハ・レベルの測定によって検証されている。

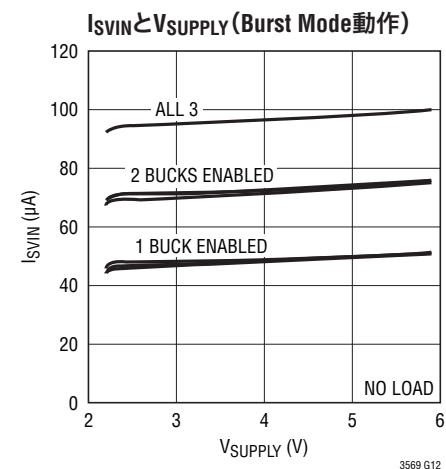
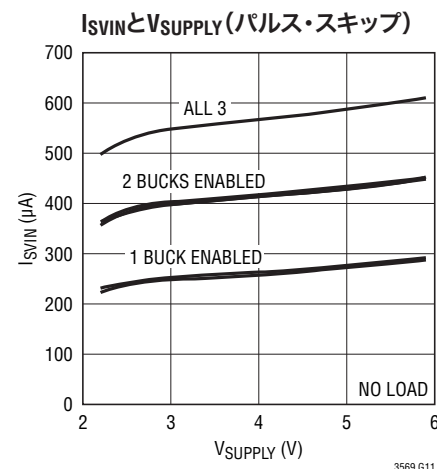
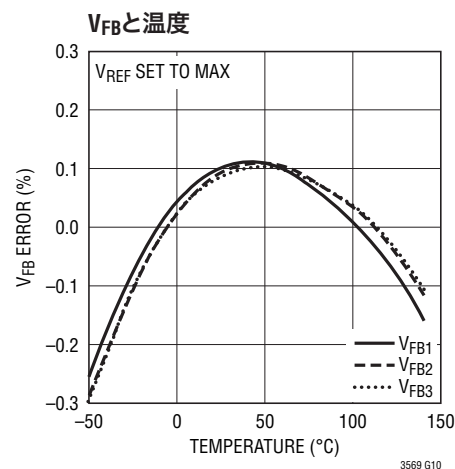
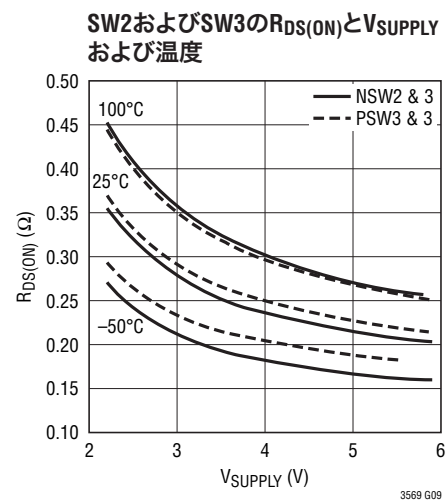
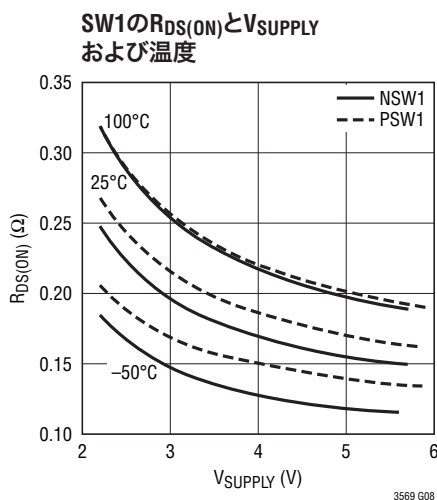
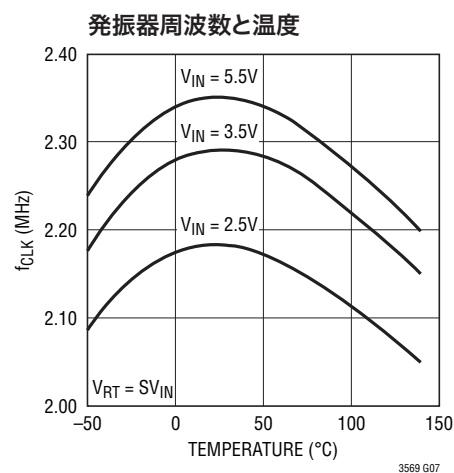
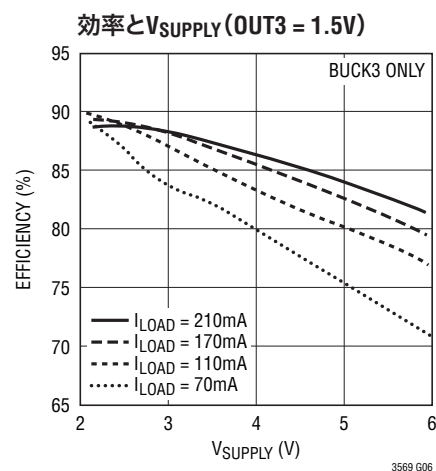
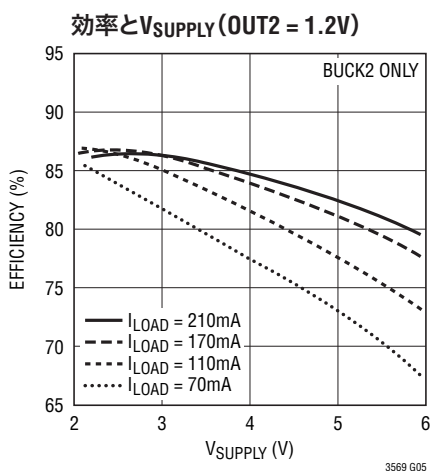
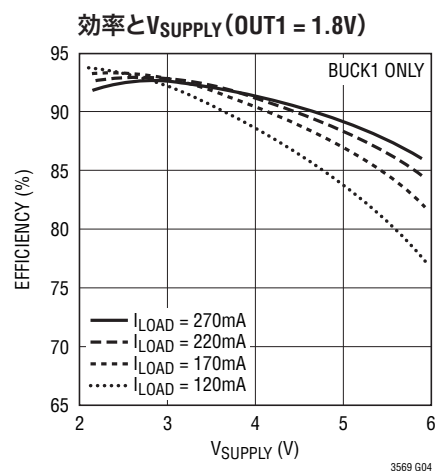
Note 6: このデバイスには短時間の過負荷状態の間デバイスを保護するための過温度保護機能が備わっている。過温度保護機能がアクティブのとき接合部温度は 125°C を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 7: LTC3569は T_J か T_A にほぼ等しいパルス負荷条件でテストされる。LTC3569Eは $0^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で規定性能に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTC3569Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作接合部温度範囲で性能仕様に適合することが保証されている。

標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

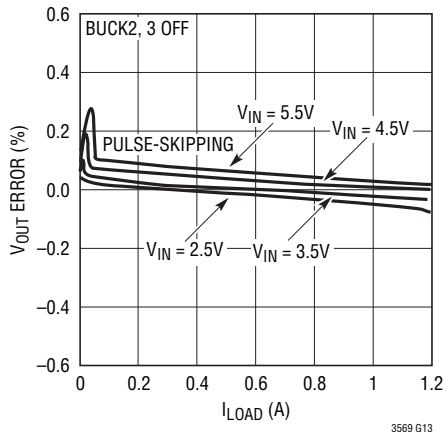


標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

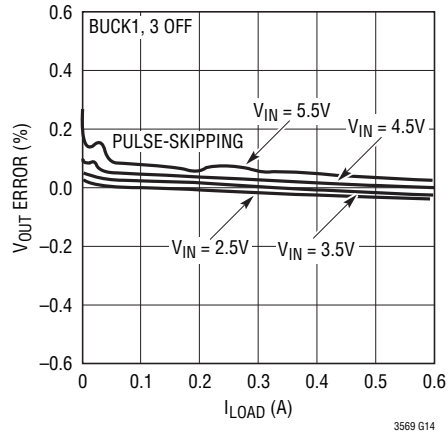


標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

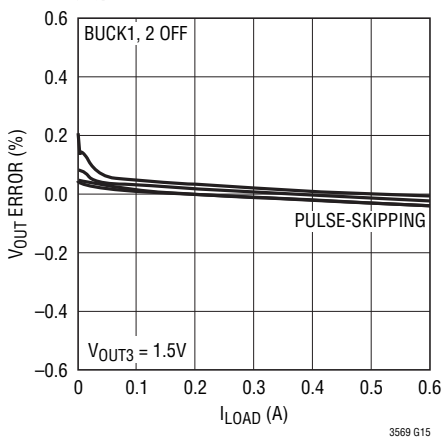
降圧レギュレータ1の
負荷レギュレーション



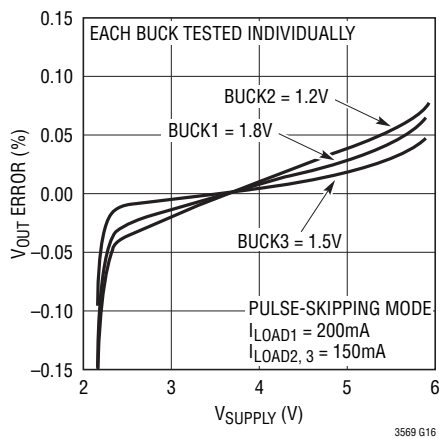
降圧レギュレータ2の
負荷レギュレーション



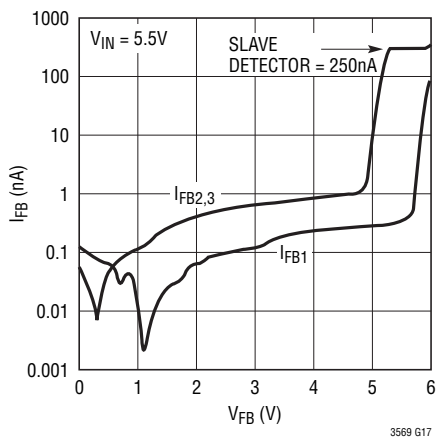
降圧レギュレータ3の
負荷レギュレーション



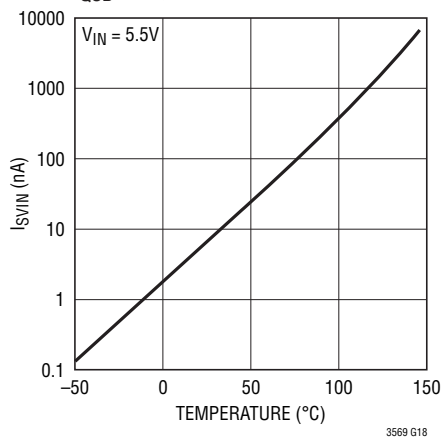
ラインレギュレーション



FBピンのリーク電流

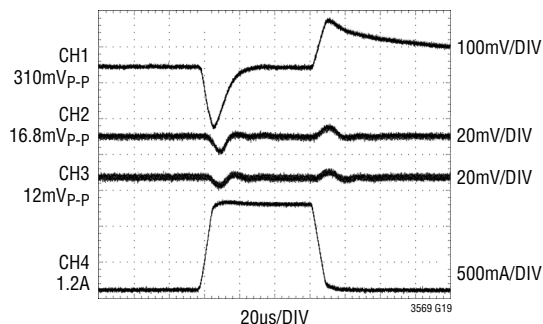


IqSDと温度

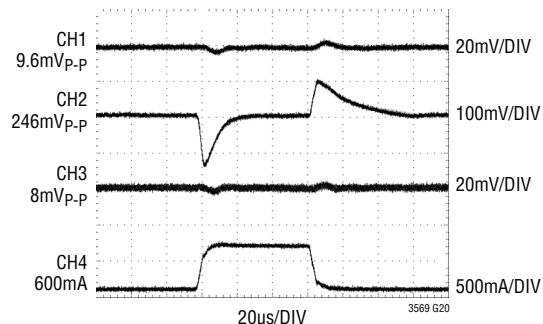


標準的性能特性 注記がない限り $T_A = 25^\circ\text{C}$ 。

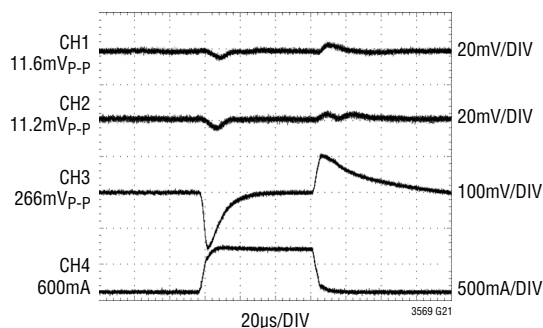
負荷ステップ・クロストーク、パルス・スキップ、 $V_{IN} = 3.6\text{V}$ 、 $\text{CH1} = V_{OUT1}$ 、 $\text{CH2} = V_{OUT2}$ 、 $\text{CH3} = V_{OUT3}$ 、 $\text{CH4} = I_{LOAD1}$



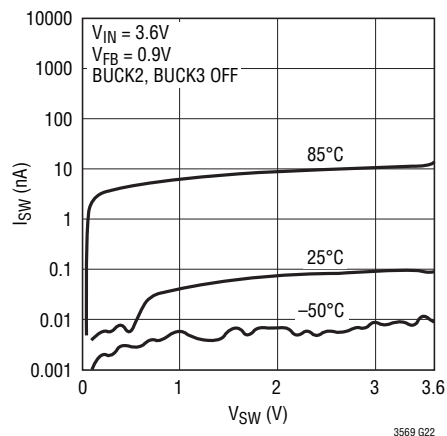
負荷ステップ・クロストーク、パルス・スキップ、 $V_{IN} = 3.6\text{V}$ 、 $\text{CH1} = V_{OUT1}$ 、 $\text{CH2} = V_{OUT2}$ 、 $\text{CH3} = V_{OUT3}$ 、 $\text{CH4} = I_{LOAD2}$



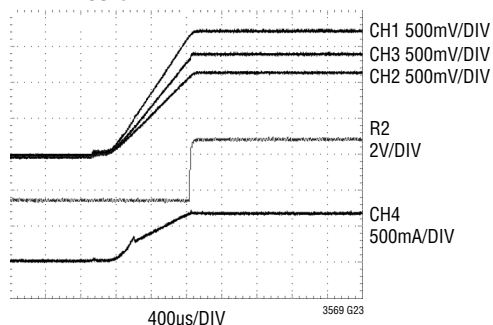
負荷ステップ・クロストーク、パルス・スキップ、 $V_{IN} = 3.6\text{V}$ 、 $\text{CH1} = V_{OUT1}$ 、 $\text{CH2} = V_{OUT2}$ 、 $\text{CH3} = V_{OUT3}$ 、 $\text{CH4} = I_{LOAD3}$



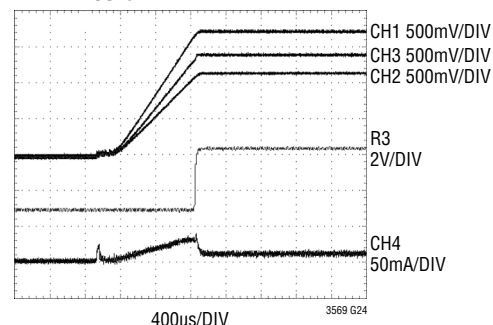
I_{SW} リーク電流と V_{SUPPLY} (降圧レギュレータ1)



重負荷でのソフトスタート、PS、 $V_{IN} = 3.6\text{V}$ 、 $\text{CH1} = V_{OUT1}$ 、 $\text{CH2} = V_{OUT2}$ 、 $\text{CH3} = V_{OUT3}$ 、 $\text{CH4} = I_{IN}$ 、 $\text{R2} = \text{PGOOD}$



軽負荷でのソフトスタート、PS、 $V_{IN} = 3.6\text{V}$ 、 $\text{CH1} = V_{OUT1}$ 、 $\text{CH2} = V_{OUT2}$ 、 $\text{CH3} = V_{OUT3}$ 、 $\text{CH4} = I_{IN}$ 、 $\text{R3} = \text{PGOOD}$



ピン機能

EN1: 降圧レギュレータ1のイネーブル・ピン。最大15回トグルしてリファレンス帰還レベルを800mVから425mVまでプログラムします。

EN2: 降圧レギュレータ2のイネーブル・ピン。最大15回トグルしてリファレンス帰還レベルを800mVから425mVまでプログラムします。

EN3: 降圧レギュレータ3のイネーブル・ピン。最大15回トグルしてリファレンス帰還レベルを800mVから425mVまでプログラムします。

FB1: 降圧レギュレータ1の出力両端の外部抵抗分割器からの帰還電圧を受け取ります。このピンの公称電圧はEN1ピンによって800mVから425mVまでプログラムされます。

FB2: 降圧レギュレータ2の出力両端の外部抵抗分割器からの帰還電圧を受け取ります。このピンの公称電圧はEN2ピンによって800mVから425mVまでプログラムされます。SV_{IN}に引き上げると、降圧レギュレータ2はスレーブ・モードになり、降圧1に追従します。

FB3: 降圧レギュレータ3の出力両端の外部抵抗分割器からの帰還電圧を受け取ります。このピンの公称電圧はEN3ピンによって800mVから425mVまでプログラムされます。SV_{IN}に引き上げると、降圧レギュレータ3はスレーブ・モードになり、降圧レギュレータ2に追従します。

GND (露出パッド): 露出パッドは、TSSOPパッケージの定格熱性能と電氣的接続を与えるため、PCBのグラウンドに接続する必要があります。

MODE: 組合せモードの選択と発振器の同期のためのピン。このピンはデバイスの動作モードを制御します。SV_{IN}に接続すると、Burst Mode動作が選択されます。SGNDに接続すると、パルス・スキップ・モードが選択されます。内部クロック周波数はこのピンに接続された外部発振器に同期します。外部クロックに同期させるとき、高低のパルス幅が少なくとも100nsのロジック・レベル信号を使ってこのピンをドライブします。外部クロックに同期しているときはパルス・スキップ・モードが自動的に選択されます。

PGND1: 降圧レギュレータ1の主電源グラウンド・ピン。降圧レギュレータ1の出力コンデンサの(-)端子およびC_{IN1}の(-)端子に接続します。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。

PGND2: 降圧レギュレータ2の主電源グラウンド・ピン。降圧レギュレータ2の出力コンデンサの(-)端子およびC_{IN2}の(-)端

子に接続します。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。

PGND3: 降圧レギュレータ3の主電源グラウンド・ピン。降圧レギュレータ3の出力コンデンサの(-)端子およびC_{IN3}の(-)端子に接続します。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。

PGOOD: パワーグッド・ピン。このオープン・ドレイン出力は、イネーブルされた出力がレギュレーション電圧の8%以内に上昇するとリリースされます。複数の出力がイネーブルされているとき、PGOODは各内部PGOODの論理AND結合です。

PVIN1: 降圧レギュレータ1の主電源ピン。低ESRの4.7μFコンデンサC_{IN1}を使ってPGND1にデカップリングします。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。

PVIN2: 降圧レギュレータ2の主電源ピン。低ESRの4.7μFコンデンサC_{IN2}を使ってPGND2にデカップリングします。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。

PVIN3: 降圧レギュレータ3の主電源ピン。低ESRの4.7μFコンデンサC_{IN3}を使ってPGND3にデカップリングします。電源ピンを共有している場合、デカップリング・コンデンサは総和となります。16ピンプラスチックTSSOP FEパッケージでは、PVIN1とPVIN3は、ピン8を共有します。

RT: タイミング抵抗ピン。このピンからグラウンドに抵抗を接続して自走発振器周波数をプログラムします。固定2.25MHz動作周波数を得るにはSV_{IN}に接続します。

SGND: 主グラウンド・ピン。SV_{IN}にデカップリングします。

SVIN: 主電源ピン。低ESRの1μFコンデンサを使ってSGNDにデカップリングします。

SW1: 降圧レギュレータ1のスイッチ。降圧レギュレータ1のインダクタに接続します。このピンはPVIN1からPGND1まで振幅します。

SW2: 降圧レギュレータ2のスイッチ。降圧レギュレータ2のインダクタに接続します。このピンはPVIN2からPGND2まで振幅します。

SW3: 降圧レギュレータ3のスイッチ。降圧3のインダクタに接続します。このピンはPVIN3からPGND3まで振幅します。

ブロック図

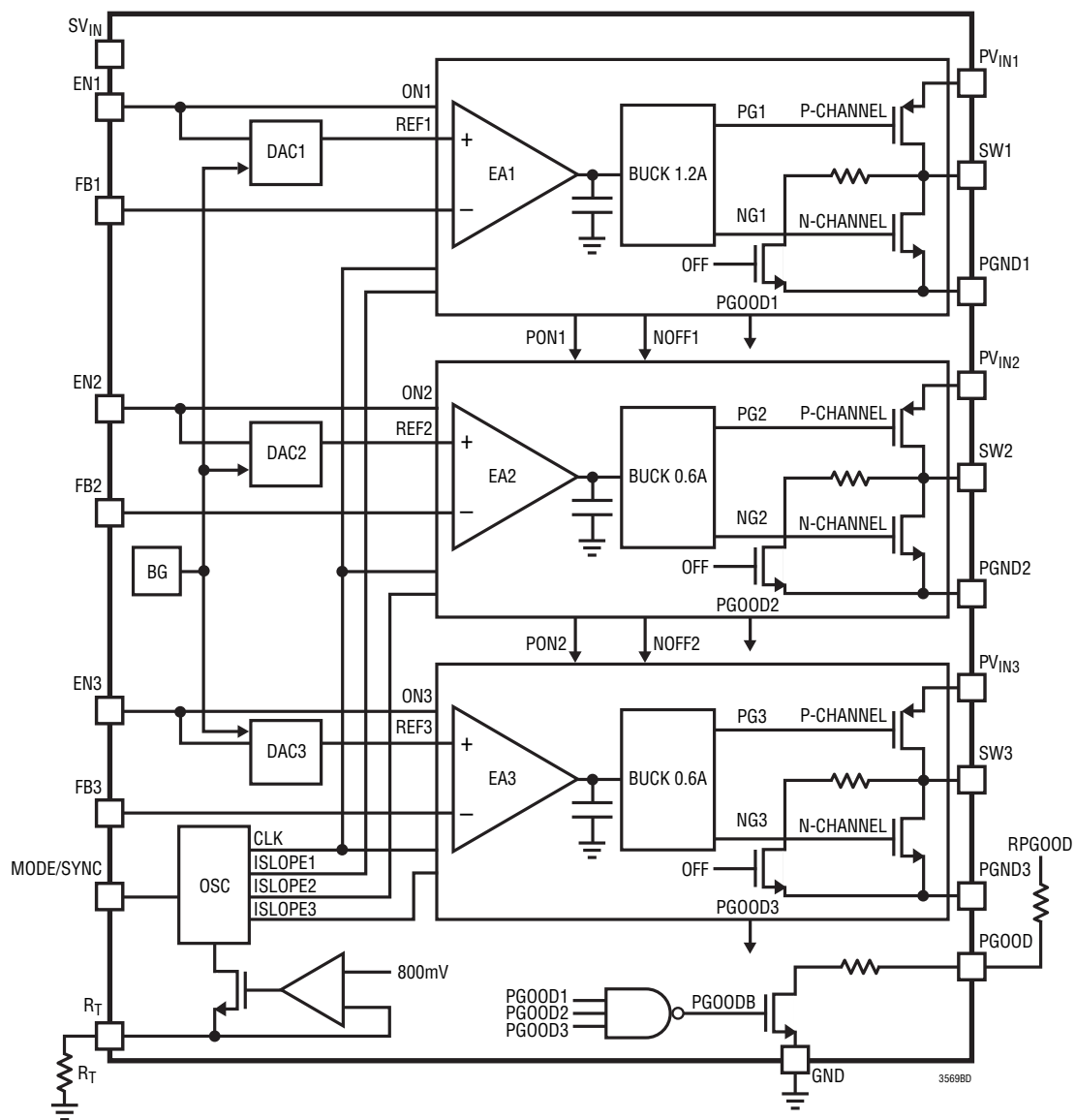


図1. 詳細ブロック図

動作

はじめに

LTC3569は3つの固定周波数、電流モード降圧DC/DCレギュレータを内蔵しています。Pチャンネル・スイッチと同期整流器(Nチャンネル)スイッチの両方が各降圧レギュレータに内蔵されています。動作周波数は R_T 抵抗の値によって決めるか、または R_T ピンを SV_{IN} ピンに接続して2.25MHzに固定するか、またはMODEピンに接続した外部発振器に同期させます。ユーザーはパルス・スキップまたはBurst Mode動作を選択して、出力リップルと効率をトレードオフします。リファレンス・レベルはそれぞれ独立にプログラム可能なので、LTC3569は様々なアプリケーションに適しています。

LTC3569は異なった電力レベル(1個の1.2A降圧レギュレータおよび2個の600mA降圧レギュレータ)を提供します。これら3個の降圧レギュレータは、多様な高電流動作のために異なった並列構成に設定することができます。FB2を SV_{IN} に接続することにより、降圧レギュレータ2の電力段を降圧レギュレータ1のスレーブとして構成することができます。FB3ピンを SV_{IN} に接続することにより、降圧レギュレータ3の電力段を降圧レギュレータ2のスレーブに構成することができます。スレーブ電力段をイネーブルするには、それぞれのENピンを“H”に引き上げます。ただし、マスタがディスエーブルされると、スレーブ電力段は高インピーダンスになります。

各降圧レギュレータは、それらの入力電圧がそれらの出力電圧の非常に近くまで低下するとき100%デューティ・サイクル動作(低損失モード)をサポートします。スイッチング・レギュレータには起動時の突入電流を制限するソフトスタートおよび短絡電流保護も再開されます。

メイン制御ループ

通常動作時、トップ・パワースイッチ(PチャンネルMOSFET)がクロック・サイクルの始点でオンします。Pチャンネル電流はインダクタの充電に伴ってランプアップします。ピーク・インダクタ電流は内部で補償された誤差アンプの出力(I_{TH})によって制御されます。電流コンパレータ(PCOMP)は、 I_{TH} レベルからスロープ補償ランプのオフセットを差し引いたレベルにインダクタ電流が達すると、Pチャンネルをオフし、Nチャンネル同期整流器をオンします。インダクタに蓄えられたエネルギーがボトム・スイッチ(Nチャンネル)を通して(インダクタ電流がゼロに近づくまで、または次のクロック・サイクルが始まるまで)負荷に流れ続けます。

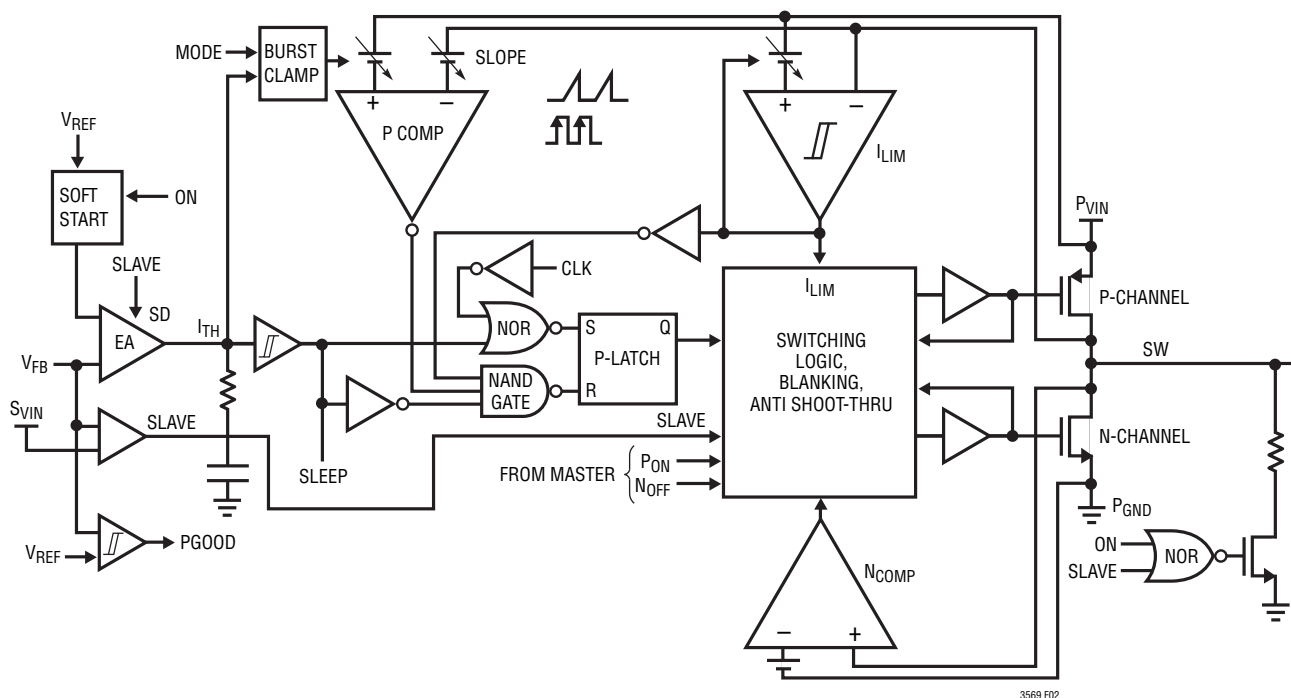


図2. 降圧レギュレータのブロック図

動作

インダクタ電流がゼロに近づくと、Nコンパレータ (NCOMP) が信号を出してNチャンネル・スイッチをオフするので、出力コンデンサは放電しません。クロックの立上りエッジが生じると、Pチャンネル・スイッチがオンしてサイクルが繰り返されます。

ピーク・インダクタ電流は誤差アンプ (EA) によって制御され、スロープ補償によって影響を受けます。誤差アンプはFBピンの電圧をプログラムされた内部リファレンス (REF) と比較します。負荷電流が増加するとFBの電圧が減少します。FBの電圧がリファレンス電圧より下に下がると誤差アンプの出力が上昇して、平均インダクタ電流が新しい負荷電流に一致するまで、ピーク・インダクタ電流を増加させます。インダクタ電流が負荷電流に等しくなると、デューティ・サイクルは V_{OUT}/V_{IN} に等しい値に安定化します。

低電流動作

軽負荷では、FB電圧がリファレンス電圧より上に上昇することがあります。こうなると、誤差アンプが制御ループに信号を出してスリープ状態に移行し、Pチャンネルが直ちにオフします。次いでインダクタ電流がNチャンネル・スイッチを通過して放電し、インダクタ電流がゼロに近づくとSWが高インピーダンスになり、出力コンデンサが負荷に電力を供給します。負荷が出力コンデンサを放電すると帰還電圧が低下し、誤差アンプが降圧レギュレータを覚醒させ、クロック・サイクルがたった今開始されたかのようにメイン制御ループを再起動します。このスリープ・サイクルは、パワーデバイスのゲート電荷損失によって支配されるスイッチング損失を最小に抑えるのに役立ちます。低電流でLTC3569の動作を制御するのに、Burst Mode動作とパルス・スキップ・モードの2つの動作モードを利用することができます。

低出力電流での効率を最適化するにはBurst Mode動作を選択します。Burst Mode動作では、Pチャンネル・スイッチがインダクタ電流を I_{TH} によって決まる値と比較する前に、インダクタ電流は固定された電流に達します。このバースト・クランプは、出力電圧を安定化電圧より上に上昇させ、スリープ・サイクルを強制的に長くします。これは、軽負荷でのスイッチング損失と平均消費電流を大幅に減らしますが、代わりにリップル電圧が高くなります。

パルス・スキップ・モードは軽負荷で出力電圧リップルを下げることが意図しています。この場合、ピークPチャンネル電流が誤差アンプの出力によって決まる値と比較されます。次いで、Pチャンネルはオフし、Nチャンネル・スイッチは次のサイクルが開始されるかまたはNチャンネル・コンパレータ (NCOMP) がNチャンネル・スイッチをオフするまでオンします。NCOMPがトリップすると、SWノードが高インピーダンスになり、降圧レギュレータは不連続に動作します。パルス・スキップ・モードでは、LTC3569は非常に低い電流まで固定周波数でスイッチングを継続し、ついにはパルスをスキップし始めます。LTC3569はパルス・スキップ・モードでは軽負荷電流でもアクティブなままなので、出力電圧リップルと電磁干渉 (EMI) に関しては良い結果が得られますが、代わりに効率が低下します。

ドロップアウト動作

入力電源電圧が出力電圧に向かって低下すると、デューティ・サイクルが自動的に100%に増加しますが、これがドロップアウト状態です。ドロップアウトではPチャンネル・スイッチが連続的にオンし、このときの出力電圧は、入力電圧から内部Pチャンネル・スイッチとインダクタの電圧降下を差し引いた電圧に等しくなります。

低電源電圧動作

LTC3569は低電圧ロックアウト回路を内蔵しており、この回路は入力電圧が2.5Vより下に下がるとデバイスをシャットダウンして不安定な動作を防ぎます。UVLO機能はリファレンス電圧DACをリセットしません。(「リファレンスのプログラミング」を参照。)

スレーブ電力段

2個の600mAレギュレータの一方のFBピンを SV_{IN} に接続すると、そのレギュレータの制御回路はディスエーブルされ、そのレギュレータのスイッチ・ピンはマスタ・レギュレータ (1番目の600mAレギュレータ (レギュレータ2) または1.2Aレギュレータ (レギュレータ1) のどちらか) に追従するように構成設定されます。このようにして、2個のレギュレータの電力段は連携し (たとえば、両者のスイッチ・ピンを一緒に単一のインダクタに短絡させて)、高い電流レベルをサポートします。これにより、電力レベルの3つの順列組合せが可能です (1.2A、600mAおよび

動作

び600mAの3つの独立したレギュレータ。それぞれ1.2Aの2つの独立したレギュレータで、レギュレータ3はレギュレータ2へのスレープ・モードに置かれ、レギュレータ1は独立して動作する。または、1つの1.8Aレギュレータと2番目の600mAレギュレータで、レギュレータ2はレギュレータ1へのスレープ・モードに置かれ、レギュレータ3は独立している。

レギュレータ2がスレープとして動作するとき、EN2ピンとFB2ピンをSV_{IN}に引き上げてスレープ電力段をイネーブルします。同様に、レギュレータ3がスレープとして動作するとき、EN3ピンとFB3ピンをSV_{IN}に引き上げてスレープ電力段をイネーブルします。スレープ・デバイスのENピンを“L”に引き下げると、スレープ電力段はディスエーブルされ、そのSWピンは高インピーダンスになります。

シャットダウンとソフトスタート

EN_xピンをグランドに引き下げ、t_{OFF}遅延時間が経過するのを待った後、メイン制御ループがシャットダウンします。シャットダウン時、スレープ・モードでないと、PGNDへの2k抵抗が出力コンデンサを放電します。3つのレギュレータが全てオフすると、LTC3569は低消費電力シャットダウンに入り、全ての機能がディスエーブルされ、消費電流は1μA未満に下がります。

降圧レギュレータのどれかが最初にオンするとき、またはサーマル・シャットダウンに続いて、ソフトスタートがイネーブルされます。ソフトスタートはプログラムされた内部リファレンスを約0.75V/msのレートでランプさせます。ソフトスタートの間は出力電圧は内部リファレンス電圧のランプに追従します。ソフトスタートの間、出力電圧がプログラムされたレギュレーション電圧に近づいていることをPGOODフラグが表示するまで、LTC3569はパルス・スキップ・モードに強制されます。PGOODフラグがトリップすると、MODEピンが“H”であればレギュレータはBurstModeで動作し、そうでなければ、LTC3569はパルス・スキップ・モードで動作し続けます。

熱保護

ダイの接合部温度が150°Cを超えると、サーマル・シャットダウン回路がLTC3569内の全ての機能をディスエーブルし、SWノードは2kプルダウンによって“L”に引き下げられます。ダイ温度が125°Cより下に下がった後、LTC3569はプログラムされたリファレンスDACを変更することなく再スタートしますが、ソフトスタートはサーマル・シャットダウンを抜け出ると開始されません。

PGOODピン

PGOODピンはオープン・ドレイン出力で、イネーブルされた全てのレギュレータの出力電圧が上昇してそれらのプログラムされたレベルの92%を超えると表示します。3つの降圧レギュレータはヒステリシスのあるそれぞれ別個のPGOODコンパレータを備えています。PGOODフラグはイネーブルされたレギュレータの出力電圧の1つがプログラムされたレベルの88%より下に下がると“L”に下がります。出力電圧の2μs未満の過渡的低落はブランクされ、PGOODピンに伝えられません。PGOODピンのオープン・ドレイン・ドライバは、PGOODがSV_{IN}より上の電圧に引き上げられるとディスエーブルされません。

リファレンスのプログラミング

各レギュレータのフルスケール・リファレンス電圧は0.8Vです。リファレンスはそれぞれのENピンを15回トグルすることにより、800mVから425mVまで、-25mVステップでプログラムすることができます。これは図3に示されています。ENピンは最小60nsのパルス幅を必要としますが、トグル・カウンタはENピンが約125μs (t_{EN}) “H”に留まるとタイムアウトするので、パルス幅は55μsを超えてはいけません。t_{EN}のタイムアウト後、カウンタの状態はラッチされ、リファレンス電圧DACに送られ、カウンタはフルスケールにリセットします。ENピンが再度トグルを開始すると、カウンタは立下りエッジごとにデクリメントします。ENピンが15回以上トグルすると、カウンタは最低のDACリファレンス・レベルに固定されたまま留まります。DACをフルスケールに再度プログラムするには、ENピンを170μs (t_{OFF})の間“L”に保ち、降圧レギュレータをオフし、次いでENを1回“H”に引き上げます。次いで、V_{REF}がフルスケールの値にランプアップするにつれ、降圧レギュレータはソフトスタートを開始します。

シャットダウンを強制せずにDACを再度プログラムすると、ソフトスタートのランプは始動せず、リファレンスは新しい値にステップします。プログラム可能な出力電圧のアプリケーションで異なったリファレンス・レベルの間で切り替えるとき、シャットダウンとソフトスタートによる移行をそのアプリケーションが許容できない場合、フルスケール0.8Vのリファレンスの使用は避けてください。

動作

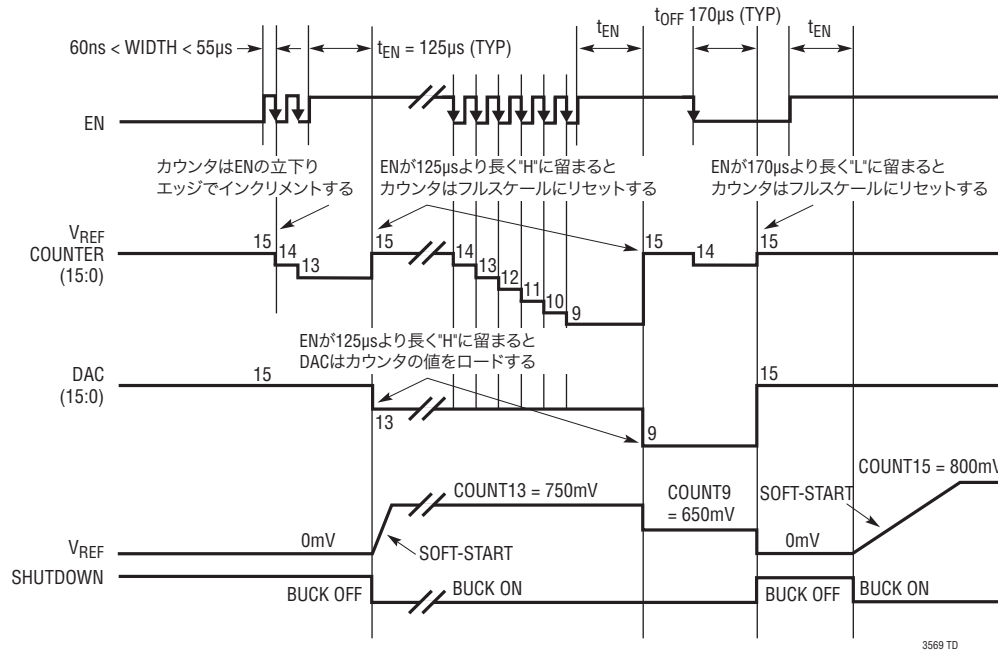


図3. VREFとENxのタイミング図

アプリケーション情報

動作周波数

動作周波数の選択は効率と部品サイズ間のトレードオフです。動作周波数を高くすると、小さい値のインダクタとコンデンサを使うことができます。低い周波数で動作させると内部ゲート電荷による損失が減り、効率が改善されますが、出力リップル電圧を低く抑えるには、インダクタンスや容量の値を大きくする必要があります。

LTC3569の動作周波数 f_{CLK} は、 R_T ピンとグランド間に接続した外部抵抗によって決定されます。抵抗の値が発振器内部の内蔵タイミング・コンデンサを充放電するランプ電流を設定します。発振器周波数と R_T の関係は次式を使って計算します。

$$R_T = (5.1855 \cdot 10^{11}) \cdot (f_{CLK})^{-1.027}$$

または、図4のグラフに従って選択することができます。

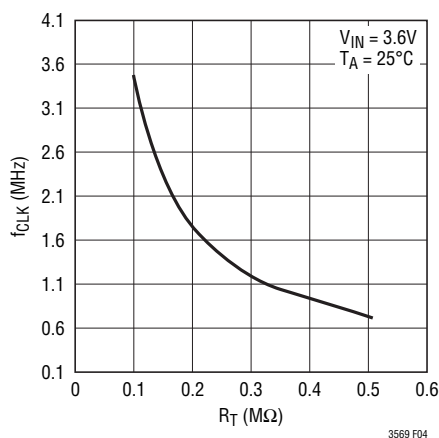


図4. f_{CLK} と R_T

最小周波数は R_T の抵抗値が大きいため、リークとノイズ・カップリングによって制限されます。

R_T ピンが SV_{IN} に接続されていると、発振周波数は2.25MHzに固定されます。

余分な容量とノイズ(たとえば、SWピンからの)は R_T ピンから遠ざけます。 R_T ピンのトレースの下のGNDプレーンを取り去り、 R_T ピンのPCBトレースをSWピンから離して配線することを推奨します。

最小オン時間とデューティ・サイクル

利用可能な最大動作周波数は最小オン時間と必要なデューティ・サイクルによって制限されます。降圧レギュレータでは、デューティ・サイクル(DC)は入力電圧に対する出力の比です。つまり $DC = V_{OUT}/V_{IN} = t_{ON}/(t_{OFF} + t_{ON})$ です。低いデューティ・サイクルでは、SWノードは全クロック周期の小部分でだけ“H”になります。この時間がLTC3569内部のゲート・ドライブ回路とコンパレータの速度に近づくにつれ、ダイナミック・ループ応答が影響を受けます。最小オン時間の問題を避けるため、最小デューティ・サイクルのパルス幅が80ns以上に保たれるように動作周波数を下げることが推奨されます。したがって、最小オン時間より短いSWパルス幅をデューティ・サイクルが要求しないように最大動作周波数を選択します。最大クロック周波数(f_{CLKMAX})は、内部固定周波数クロック、または R_T ピンのタイミング抵抗、またはMODEピンに与えられる同期クロックのどれかから選択します。最小オン時間の要件は次式に従うことにより満たされます。

$$f_{CLKMAX} = (V_{OUT}/V_{IN(MAX)})/t_{MIN-ON}$$

たとえば、 V_{OUT} が0.8V、 V_{IN} の範囲が最大5.5Vであれば、最大クロック周波数は1.8MHzを超えないように制限されます。

モードの選択と周波数の同期

MODEピンは多目的ピンで、モード選択機能と周波数同期機能を備えています。このピンを SV_{IN} に接続するとBurst Mode動作がイネーブルされ、最高の低電流効率が得られますが、出力電圧リップルが大きくなってしまいます。このピンをグランドに接続するとパルス・スキップ動作が選択され、出力の電圧リップルと電流リップルは最小になりますが、低電流での効率が低くなります。

クロック・ソースをMODEピンに接続してLTC3569を外部クロック信号に同期させます。スロープ補償は内部発振器から得られるので、適切なスロープ補償を保証するため、与えられる外部クロック周波数より20%低く内部発振器周波数が設定されるように R_T ピンの抵抗を選択します。同期の間、モードはパルス・スキップに設定されます。

MODEピンに与えられる外部クロック・ソースには、少なくとも約100nsの高低のパルス幅が必要です。

アプリケーション情報

出力電圧の設定

LTC3569は各帰還ピンに独立した内部リファレンス電圧を発生します。これらのリファレンス電圧は、対応するENピンをトグルすることにより、-25mV刻みで0.8Vから0.425Vまでプログラムされます。出力電圧は次式に従って抵抗分割器によって設定されます(抵抗の名称については図9を参照)。

$$V_{OUT1} = V_{REF1}(1+R1/R2),$$

ここで、 V_{REF1} はEN1ピンをトグルしてプログラムします。

$$V_{OUT2} = V_{REF2}(1+R3/R4),$$

ここで、 V_{REF2} はEN2ピンをトグルしてプログラムします。

$$V_{OUT3} = V_{REF3}(1+R5/R6),$$

ここで、 V_{REF3} はEN3ピンをトグルしてプログラムします。

これらの抵抗を流れる電流を小さく(<5 μ A)抑えると効率が向上しますが、この電流を小さくしすぎると、浮遊容量がノイズの問題を発生させ、誤差アンプのループの位相マージンが減少するおそれがあります。

周波数応答を改善するには、20pF程度のフィードフォワード・コンデンサ(C_F)を上側の帰還抵抗(R1、R3、R5)の両端に使用します。各FBラインはインダクタやSWラインなどのノイズ源から離して配線するように注意してください。グランド・プレーンをFBのPCB配線の下から取り去って、これらのピンのGNDピンへの浮遊容量を制限します。

インダクタの選択

インダクタは動作周波数には影響しませんが、インダクタの値はリップル電流に直接影響します。インダクタ・リップル電流 ΔI_L は次式で示すようにインダクタンスが高いほど減少し、 V_{IN} または V_{OUT} が高いほど増加します。

$$\Delta I_L = V_{OUT}/(f_{CLK} \cdot L) \cdot (1-V_{OUT}/V_{IN})$$

大きな ΔI_L の値を許容すれば低インダクタンスを使用できますが、出力電圧リップルが高くなり、コア損失が大きくなり、出力電流能力が低下します。

リップル電流を設定するための妥当な出発点は、 $\Delta I_L = 0.3 \cdot I_{OUT(MAX)}$ です。ここで、 $I_{OUT(MAX)}$ は最大負荷電流です。最大入力電圧で最大リップル電流 ΔI_L が発生します。リップル電流が規定された最大値を超えないようにするには、次式に従ってインダクタの値を選択します。

$$L = V_{OUT}/(f_{CLK} \cdot \Delta I_L) \cdot (1-V_{OUT}/V_{IN(MAX)})$$

インダクタ値はBurst Mode動作にも影響を与えます。ピーク・インダクタ電流がバースト・クランプによって設定されたレベルより下に下がると、低電流動作への遷移が開始されます。インダクタンス値が小さいとリップル電流が大きくなるので、この移行がより低い負荷電流で起きようになります。このため、低電流動作範囲の上の部分での効率が低下します。Burst Mode動作では、インダクタンス値が小さくなるとバースト周波数が増加し、効率が低下します。

DC電流定格が最大負荷電流の少なくとも1.5倍あるインダクタを選択して、インダクタのコアが通常動作時に飽和しないようにします。出力に短絡状態が生じる可能性があれば、レギュレータの規定最大ピーク電流を扱える定格のインダクタを選択します。効率を最大にするため、DC抵抗の低いインダクタを選択します。インダクタ内の電力損失は I^2R 損失によるものだからです。ここで、 I^2 は平均出力電流の2乗、 R はインダクタのESRです。

表1. 高さの低いインダクタ

VENDOR/ PART NUMBER	VALUE (μ H)	IDC (APPROX.)	RDC (Ω)	HEIGHT (mm)
Würth				
7440430022	2.2	2.50	0.023	2.80
744031002	2.5	1.45	0.050	1.65
MuRata				
LQH55PN1R2	1.2	2.60	0.021	1.85
LQH55PN2R2	2.2	2.10	0.031	1.85
Toko, DEV518C				
1124BS-1R8N	1.8	2.70	0.047	1.80
1124BS-2R4M	2.4	2.30	0.054	1.80
EPCOS				
B824691152M000	1.5	1.70	0.046	1.20
B824691221M000	2.2	1.55	0.065	1.20

アプリケーション情報

入力/出力コンデンサの選択

入力電源ピンとともにスイッチング・レギュレータの出力には低等価直列抵抗 (ESR) セラミック・コンデンサを使います。X5RとX7Rのセラミック・コンデンサは他のセラミック・タイプに比べて広い電圧範囲と温度範囲で容量を維持するので、X5RまたはX7Rのタイプだけを使用することを推奨します。

良好な過渡応答と安定性を得るには、入力と出力のコンデンサは動作温度範囲とバイアス電圧範囲にわたって少なくとも定格容量の50%を維持する必要があります。コンデンサのデータシートをチェックし、コンデンサを選択する際バイアス電圧と温度のデレーティングを必ず考慮に入れます。

連続モードでは、入力電源電流は、デューティ・サイクルが V_{OUT}/V_{IN} の方形波になります。入力コンデンサの最大リップル電流はおよそ次のとおりです。

$$C_{IN} \text{に要求される } I_{RMS} \approx I_{OUT(MAX)} (V_{OUT}(V_{IN}-V_{OUT}))^{1/2}/V_{IN}$$

この式の最大値は約 $I_{RMS} = I_{OUT(MAX)}/2$ です。

出力の短絡状態では、入力コンデンサのリップル電流はおおよそ次のようになります。

$$C_{IN} \text{に要求される } I_{RMS} \approx I_{PK} / \sqrt{3}$$

したがって、出力短絡時のリップル電流は通常動作の場合より約2.5倍大きくなります。入力コンデンサの選択では、リップル電流による自己発熱がコンデンサ・メーカーの規定値を超えないように注意します。

2つの要素が出力コンデンサの選択に影響します。1つは負荷電圧の垂下 (V_{DROOP}) であり、もう1つはリップル電圧に対する出力コンデンサのESRの影響です。

負荷電流ステップ (ΔI_{OUT}) に対して負荷電圧が垂下すると、インダクタ電流が負荷ステップ電流レベルまで充電するまで、出力コンデンサが一般に2~3クロック・サイクルの間出力電圧を支えます。垂下を V_{DROOP} 以下に保つのに必要な出力コンデンサの値の妥当な推定値は次式で与えられます。

$$C_{OUT} \approx 2.5 \cdot \Delta I_{OUT} / (f_{CLK} \cdot V_{DROOP})$$

出力コンデンサの選択に影響を与える2番目の要素は、インダクタ・リップル電流によって生じる出力電圧リップルに対する出力コンデンサのESRの影響です。電圧リップル (ΔV_{OUT}) の振幅は次式で求められます。

$$\Delta V_{OUT} \approx \Delta I_L (ESR + 1 / (8 \cdot f_{CLK} \cdot C_{OUT}))$$

ここで、 ΔI_L はインダクタのリップル電流、ESRは出力コンデンサの等価直列抵抗です。セラミック・コンデンサを使うと、この電圧リップルは通常無視できます。

表2. コンデンサ

VENDOR/PART NUMBER	VALUE (μF)
Murata: GRM21BR71A106KE51	10
Murata: 06036D475KAT	4.7
TDK: C1608X5R0J106M	10
C1608X7R1C105K	1

プリント回路基板のレイアウトに関する検討事項

LTC3569のPCBレイアウトをデザインする際に考慮に入れるべき3つの主な検討事項があります。最初の検討事項は、FBピンや R_T ピンのトレースに結合したり、放射電磁干渉 (EMI) を引き起こすスイッチング・ノイズに関するものです。インダクタや入力デカップリング・コンデンサをできるだけLTC3569に近づけて配置することにより、ノイズが緩和されます。さらに、LTC3569の高周波スイッチング・ノードのトレースの直下に連続したグランド・プレーンを注意深く配置するとEMIが緩和されます。高周波渦電流はグランド・プレーンのループに沿って流れるからです。電流リターン・ループの面積が大きいほど、放射されるEMIが大きくなります。入力デカップリング・コンデンサを対応する $PV_{IN}/PGND$ ピンに近づけて配置すると、グランド・リターンの面積 (したがって、インダクタンス) が直接減少します。また、内部グランド・プレーンに達する多数のビアをパッケージの接地された裏面の直下に配置します。グランド・プレーンはPCBの2番目の層に置いて寄生インダクタンスを最小に抑えます。

アプリケーション情報

2番目の検討事項はFBピンとRTピンからGNDへのトレースの浮遊容量です。これらを考慮して、これらのトレースの下のグラウンド・プレーンをカットします。ただし、グラウンド・プレーンがカットされた全ての箇所には切断部分を横切ってデカップリング・コンデンサを追加し、高周波グラウンド・リターン電流が流れる経路を与えます。

最後に、3番目の検討事項は、スレーブ電力段を使って動作しているときのSWノードとインダクタの間の浮遊インピーダンスです。スレーブSWからメインSWまでのトレースをできるだけ短くして、スレーブ・パワーデバイスの浮遊インダクタンスを最小に抑えることが重要です。この要件は、インダクタ電流のスレーブ・パワーデバイスの分担がマスタの分担を超えないようにし、スレーブ・デバイスの電流密度を制御された状態に保つためです。インダクタはマスタSWピンの近くに配置して浮遊インピーダンスを最小に抑え、マスタがインダクタ電流を制御できるようにします。

熱に関する検討事項

大半のアプリケーションで、LTC3569は効率が高いので大きな発熱はありません。ただし、周囲温度が高く、(ドロップアウトの場合のように)低い電源電圧、高いデューティ・サイクルでLTC3569が動作するアプリケーションでは、発熱がデバイスの最大接合部温度を超えることがあります。接合部温度が約150°Cに達すると、LTC3569はオフし、2kプルダウン抵抗が全てのSWノードに接続されます。

LTC3569が最大接合部温度を超えないようにするには、熱解析を行う必要があります。熱解析の目的は、電力損失によりデバイスが最大接合部温度を超えるかどうかを判断することです。温度上昇は次のとおりです。

$$t_{RISE} = P_D \cdot \theta_{JA}$$

ここで、 P_D はレギュレータによる電力損失、 θ_{JA} はダイの接合部から周囲温度への熱抵抗です。

接合部温度 T_J は次式で与えられます。

$$T_J = t_{RISE} + T_A$$

ここで、 T_A は周囲温度です。

一例として、入力電圧が2.7Vでドロップアウト状態のLTC3569について考えます。降圧レギュレータ1、2および3の負荷電流はそれぞれ1000mA、500mAおよび500mA、周囲温度は85°Cとします。「標準的性能特性」から、降圧レギュレータ1の $R_{DS(ON)}$ は0.190Ω、降圧レギュレータ2と降圧レギュレータ3の $R_{DS(ON)}$ は0.265Ωです。したがって、LTC3569による電力損失は次のとおりです。

$$\begin{aligned} P_D &= I_1^2 R_{DS(ON)1} + I_2^2 R_{DS(ON)2} + I_3^2 R_{DS(ON)3} \\ &= 190\text{mV} + 66.25\text{mW} + 66.25\text{mW} \\ &= 322.5\text{mW} \end{aligned}$$

周囲温度が85°Cでの接合部温度は次のとおりです。

$$T_J = 322.5\text{mW} \cdot 68^\circ\text{C/W} + 85^\circ\text{C} = 106.9^\circ\text{C}$$

この接合部温度は125°Cの絶対最大接合部温度より下です。

設計例1: リチウムイオン・バッテリーから

2.5V、1.8Vおよび1.2V

設計例として、リチウムイオン・バッテリーを電源に使った携帯用アプリケーションにLTC3569を使う場合を考えます。バッテリーは2.9V~4.2Vの SV_{IN} を供給します。負荷は2.5V、1.8Vおよび1.2Vを必要とし、電流要件はアクティブなときそれぞれ最大800mA、400mAおよび400mAです。2.5Vレールの最初の負荷にはスタンバイの要件はありませんが、負荷2と負荷3はスタンバイでそれぞれ1mAの電流を必要とします。負荷のうち2つが低電流動作を必要とするので、Burst Mode動作を選択します。 $V_{IN(MAX)}$ が4.2V、 $V_{OUT(MIN)} = 1.2\text{V}$ なので、最小オン時間の要件に基づいて最大クロック周波数は3.57MHzです。基板レイアウトを簡単にするため、固定2.25MHz内部周波数を選択します。

アプリケーション情報

インダクタの選択

最大 SV_{IN} で30%のリプル電流になるようにインダクタ値を計算します。

$$L1 = 2.5V / (2.25MHz \cdot 240mA) \cdot (1 - 2.5V / 4.2V) = 1.9\mu H$$

$$L2 = 1.8V / (2.25MHz \cdot 120mA) \cdot (1 - 1.8V / 4.2V) = 3.8\mu H$$

$$L3 = 1.2V / (2.25MHz \cdot 120mA) \cdot (1 - 1.2V / 4.2V) = 3.1\mu H$$

メーカーの最も近い値を選択すると、 $L1 = 2.2\mu H$ 、 $L2 = L3 = 3.3\mu H$ となります。これらの値により最大リプル電流は以下ようになります。

$$\Delta I_{L1} = 2.5V / (2.25MHz \cdot 2.2\mu H) \cdot (1 - 2.5V / 4.2V) = 204mA$$

$$\Delta I_{L2} = 1.8V / (2.25MHz \cdot 3.3\mu H) \cdot (1 - 1.8V / 4.2V) = 139mA$$

$$\Delta I_{L3} = 1.2V / (2.25MHz \cdot 3.3\mu H) \cdot (1 - 1.2V / 4.2V) = 115mA$$

出力コンデンサの選択

出力コンデンサの値は最大負荷電流ステップに対する5%の負荷垂下に基づいて計算します。出力の垂下は通常最初のサイクルの直線的な低下の約2.5倍であり、次式に基づいて推算されます。

$$C_{OUT} = 2.5 \cdot I_{OUT(MAX)} / (f_{CLK} \cdot V_{DROOP})$$

出力コンデンサの値は以下のように計算されます。

$$C_{OUT1} = 2.5 \cdot 800mA / (2.25MHz \cdot 125mV) = 7.1\mu F$$

$$C_{OUT2} = 2.5 \cdot 400mA / (2.25MHz \cdot 90mV) = 4.9\mu F$$

$$C_{OUT3} = 2.5 \cdot 400mA / (2.25MHz \cdot 60mV) = 7.4\mu F$$

最も近い標準値を選択すると、 $C_{OUT1} = 10\mu F$ 、 $C_{OUT2} = 4.7\mu F$ および $C_{OUT3} = 10\mu F$ となります。

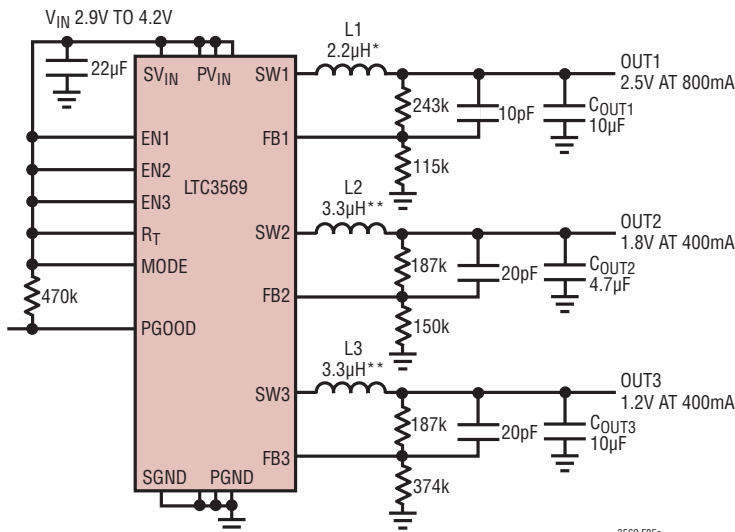
リチウムイオン・バッテリーの出力インピーダンスは十分低いので、 $22\mu F$ の入力コンデンサを選択します。

出力電圧の設定

ENピンをトグルしないと、LTC3569は各帰還ピンに $0.8V$ のリファレンス電圧を発生します。出力電圧は抵抗分割器によって次のように設定されます。

$$V_{OUT} = 0.8 \cdot (1 + R1/R2)$$

図5の抵抗は最も近い1%標準抵抗値として選択されています。周波数応答を改善するため、 $10pF$ と $20pF$ のフィードフォワード・コンデンサが使われています。



* WURTH 7447745022
** WURTH 7447745033

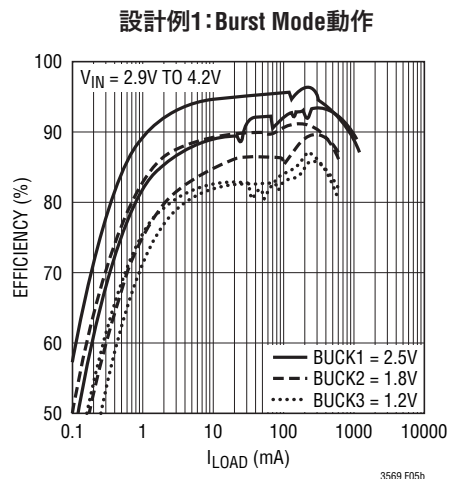


図5. トリプル降圧DC/DCレギュレータ: 800mA、400mA、400mA

アプリケーション情報

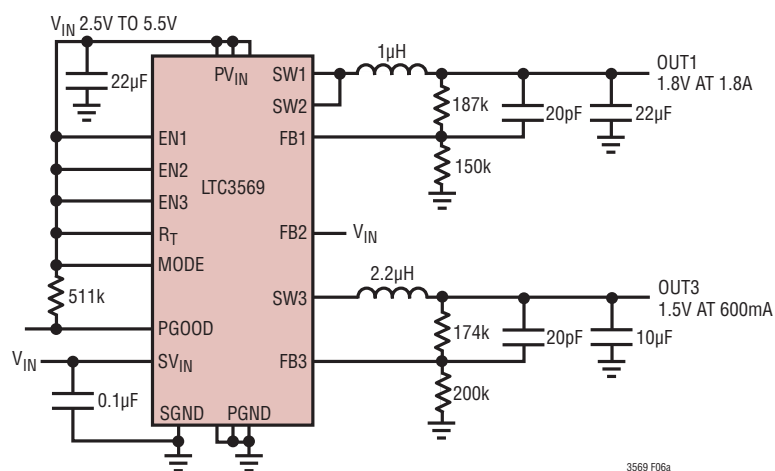
設計例2: デュアル降圧レギュレータ、
1.8V/1.8Aおよび1.5V/600mA

この例では、1.8Vと1.5Vの2つの固定電圧を汎用電源から全動作範囲(2.5V~5.5V)にわたって供給するようにLTC3569を構成設定します。負荷要件はスタンバイ・モードの1mA未満から1.8V電源の1.8Aおよび1.5V電源の600mAまでの範囲です。

2.25MHzの固定内部クロック周波数は最小オン時間の要件を満たします。低いスタンバイ電流レベルで高い効率を得るため、Burst Mode動作を選択します。最大 SV_{IN} で30%のリプル電流になるようにインダクタ値を計算します。

$$L1 = 1.8V / (2.25MHz \cdot 540mA) \cdot (1 - 1.8V / 5.5V) = 1.0\mu H$$

$$L2 = 1.5V / (2.25MHz \cdot 180mA) \cdot (1 - 1.5V / 5.5V) = 2.2\mu H$$



出力コンデンサの値を計算します。

$$C_{OUT1} = 2.5 \cdot 1800mA / (2.25MHz \cdot 90mV) = 22\mu F$$

$$C_{OUT2} = 2.5 \cdot 600mA / (2.25MHz \cdot 75mV) = 8.9\mu F$$

1.2Aの最大リプル電流をサポートするため、22µFの入力コンデンサを選択します。追加の0.1µFの低ESRコンデンサを SV_{IN} とSGNDの間に接続します。

図6に示されている抵抗値は、0.8Vのフルスケール・リファレンス電圧を使って正しい出力電圧を得るため、最も近い標準1%抵抗として選択されています。20pFフィードフォワード・コンデンサは上側の帰還抵抗の両端に配置されます。

設計例2: 降圧レギュレータ1に1.8Aの負荷ステップ、
降圧レギュレータ2はスレープ、Burst Mode動作

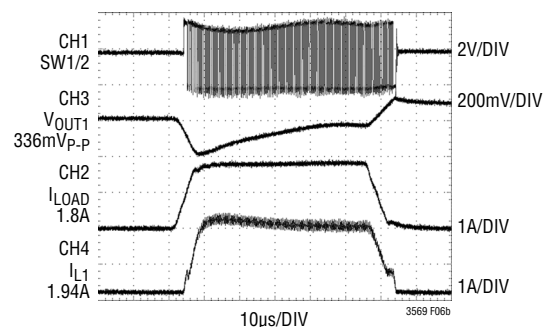


図6. デュアル降圧DC/DCレギュレータ: 1.8V/1800mAおよび1.5V/600mA

アプリケーション情報

設計例3: プログラム可能なデュアル降圧レギュレータ

この例では、2.5V～5.5Vの安定化されていない電源で動作する2個の降圧レギュレータを検討します。これらは、スタンバイ時の1.2Vからアクティブ状態の1.8Vにステップ状に移行する必要のある2個の独立にプログラム可能な電源を発生する必要があります。最大負荷電流はアクティブ状態で1.2A、スタンバイで1mAです。さらに、このアプリケーションでは出力の短絡の可能性が予想され、そのような状況でもダメージなしで動作する必要があります。

降圧レギュレータ1を1番目のレギュレータに選択し、2番目のレギュレータに必要な電流レベルを得るため、FB3をV_{IN}に引き上げて、降圧レギュレータ3を降圧レギュレータ2に並列接続されたスレブ電力段として構成設定します。Burst Mode動作を選択して、スタンバイ動作で高効率を達成します。内部2.25MHzクロック周波数は最小オン時間の要件を満たすので、それを選択します。次に、2つのリファレンス電圧を選択し、

アクティブ電圧とスタンバイ電圧の比(1.8V/1.2V = 1.5)に合わせます。0.75Vと0.5Vのリファレンス・レベルはこの比に適合します。標準1%抵抗から正しい帰還比を得るため、図7に示されている抵抗を選択します。最大S_{VIN}で30%のリプル電流になるようにインダクタ値を計算します。

$$L = 1.8V / (2.25MHz \cdot 360mA) \cdot (1 - 1.8V/5.5V) = 1.5\mu H.$$

出力コンデンサの値は、最大負荷電流ステップで5%の電圧垂下を得るのに最も近い標準値として選択します。

$$C_{OUT} = 2.5 \cdot 1200mA / (2.25MHz \cdot 90mV) \approx 15\mu F.$$

ESRが50mΩ以下の出力コンデンサを選択して、出力電圧リップルを30mV以下にします。最後に、両方の出力がGNDに短絡したときのワーストケースの短絡リップル電流(2 I_{PK}/√3 ≈ 2.5A)に対して定格が規定された入力コンデンサを選択します。

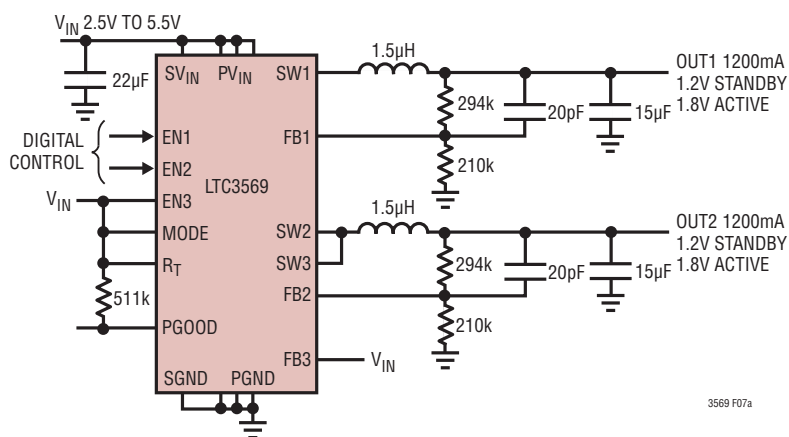
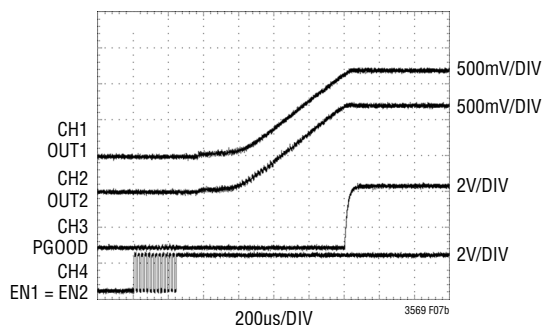


図7. プログラム可能なデュアル降圧DC/DCレギュレータ: 1200mA, 1200mA

設計例3: ソフトスタートからスタンバイ (1.2V)



アプリケーション情報

設計例4: プログラム可能なデュアル降圧レギュレータ

この例では、2.5V～5.5Vの安定化されていない電源で動作する2個の降圧レギュレータを検討します。これらは、スタンバイ時の1.2Vからアクティブ状態の1.6Vにステップ状に移行する必要のある2個の独立にプログラム可能な電源を発生する必要があります。最大負荷電流はアクティブ状態で0.8A、スタンバイで1mAです。さらに、アクティブとスタンバイの間を切り替わるとき、負荷電圧が垂下しないようにします。

降圧レギュレータ1を1番目のレギュレータに選択し、2番目のレギュレータに必要な電流レベルを得るため、FB3を V_{IN} に引き上げて、降圧レギュレータ3を降圧レギュレータ2に並列接続されたスレープ電力段として構成設定します。Burst Mode動作を選択して、スタンバイ動作で高効率を達成します。内部2.25MHzクロック周波数は最小オン時間の要件を満たすので、それを選択します。次に、2つのリファレンス電圧を選択し、アクティブ電圧とスタンバイ電圧の比($1.6V/1.2V = 1.3333$)に合わせます。この比に一致する3つのリファレンスの値の比があります。0.8Vと0.6V、0.7Vと0.525V、0.6Vと0.45Vです。負荷は

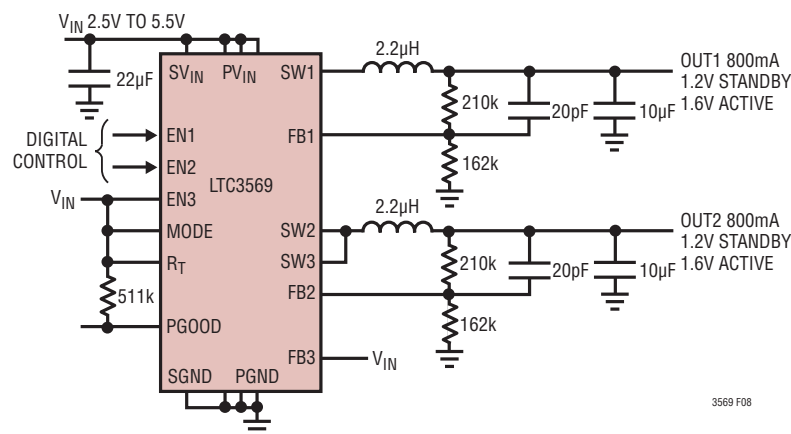
スタンバイからアクティブに切り替わるとき電圧垂下を許容できないので、0.7Vと0.525Vのリファレンスを選択して出力電圧比に合わせます。この比では降圧レギュレータをシャットダウンする必要がありません。フルスケール0.8Vリファレンス・レベルを選択していたら降圧レギュレータをシャットダウンする必要があったでしょう。標準1%抵抗から最も近い帰還比を得るため、図8に示されている抵抗を選択します。最大 SV_{IN} で30%のリプル電流になるようにインダクタ値を計算します。

$$L = 1.6V / (2.25MHz \cdot 240mA) \cdot (1 - 1.6V/5.5V) \approx 2.2\mu H.$$

出力コンデンサの値は、最大負荷電流ステップで5%の電圧垂下を得るのに最も近い標準値として選択されています。

$$C_{OUT} = 2.5 \cdot 800mA / (2.25MHz \cdot 90mV) \approx 10\mu F.$$

ESRが50mΩ以下の出力コンデンサを選択して、出力電圧リップルを30mV以下にします。最後に、両方の出力がGNDに短絡したときのワーストケースの短絡リップル電流($2 I_{PK} / \sqrt{3} \approx 2.5A$)に対して定格が規定された入力コンデンサを選択します。



設計例4: デュアル1A降圧レギュレータ
 $V_{OUT} = 1.6V$, Burst Mode動作

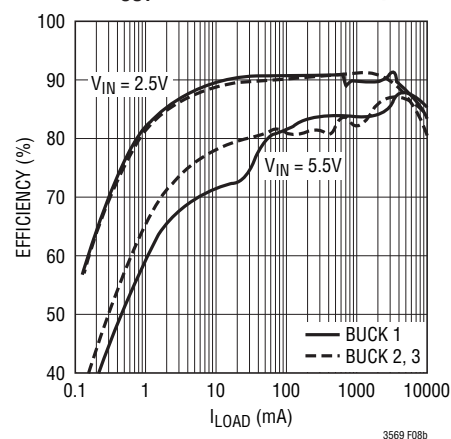
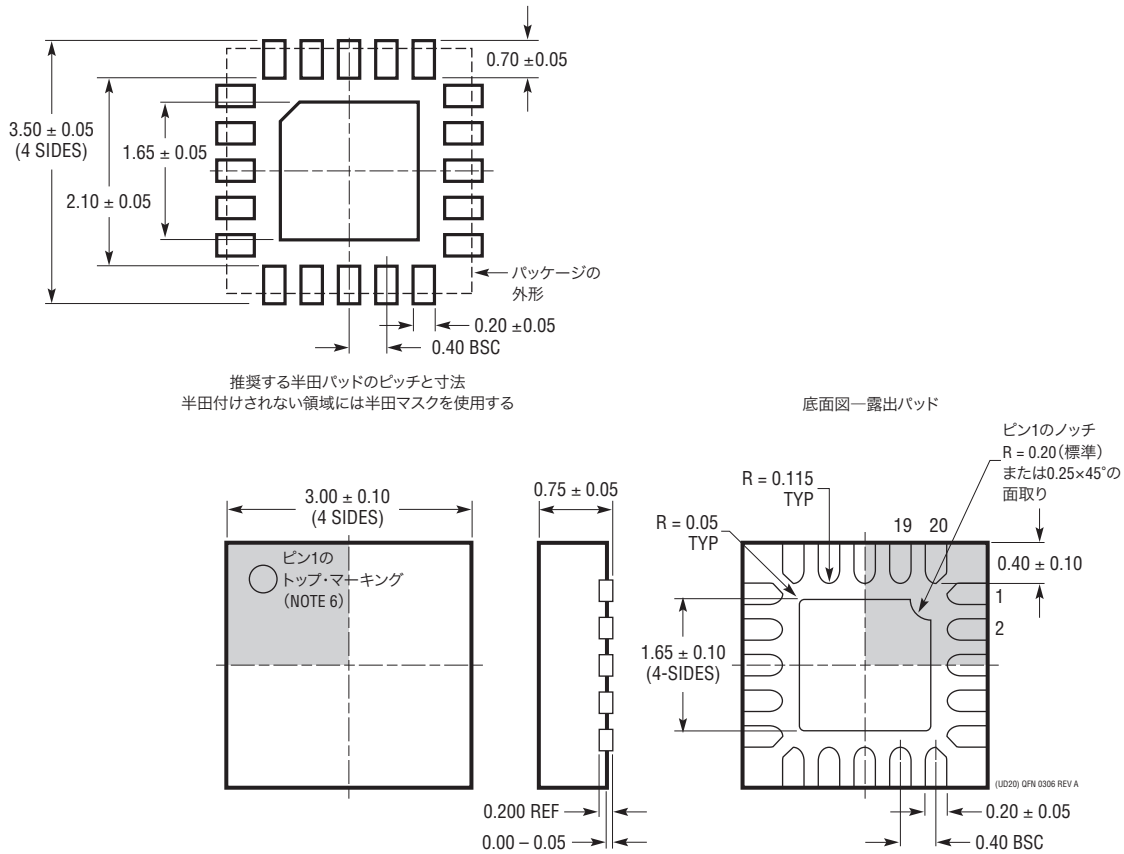


図8. プログラム可能なデュアル降圧DC/DCレギュレータ

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

UD Package 20-Lead Plastic QFN (3mm × 3mm) (Reference LTC DWG # 05-08-1720 Rev A)



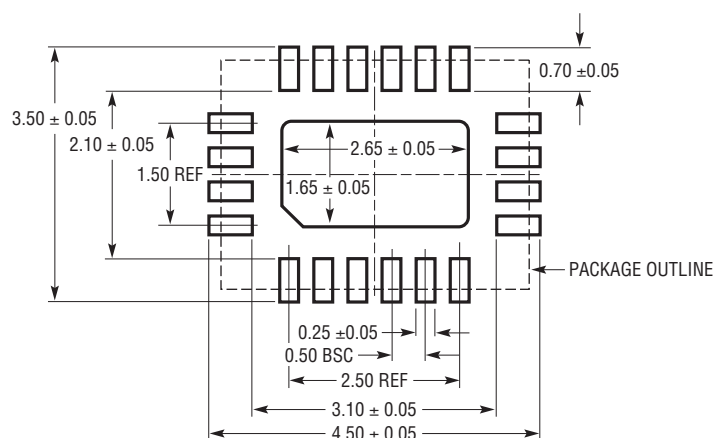
NOTE:

- 図はJEDECのパッケージ外形ではない
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

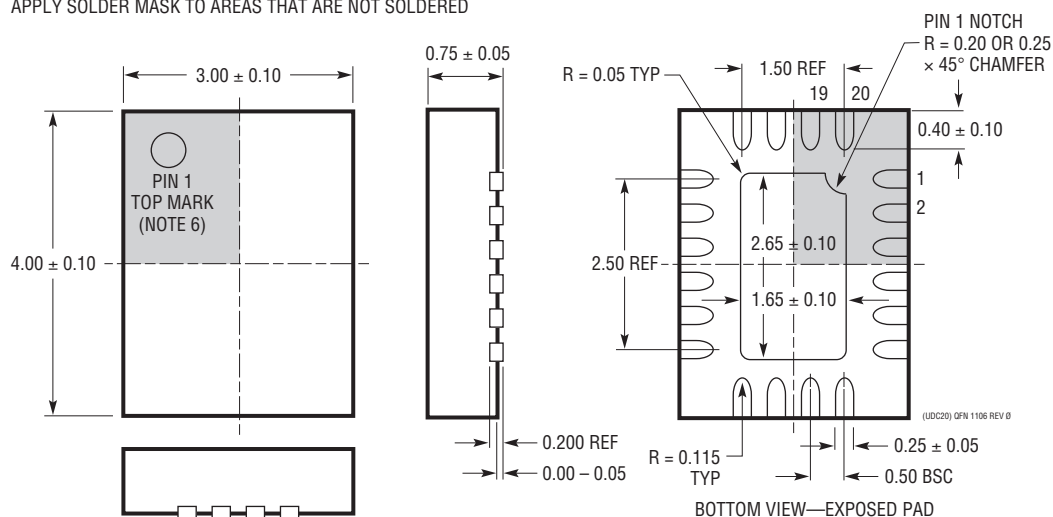
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

UDC Package
20-Lead Plastic QFN (3mm × 4mm)
 (Reference LTC DWG # 05-08-1742 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



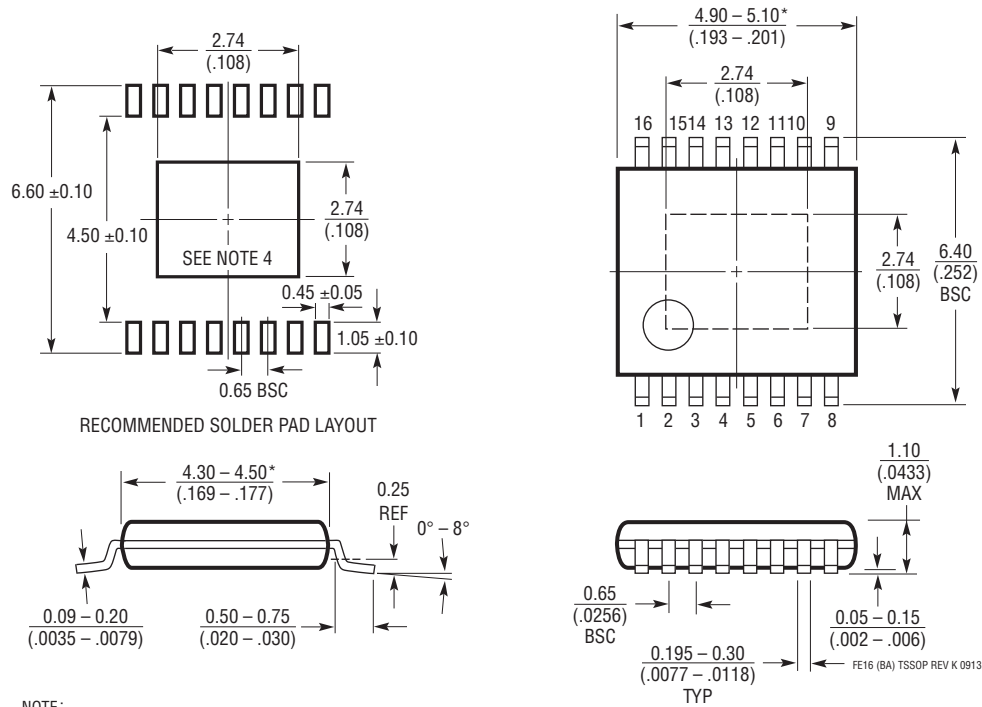
NOTE:

1. 図はJEDECのパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

FE Package
16-Lead Plastic TSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1663 Rev K)
Exposed Pad Variation BA



NOTE:

1. 標準寸法: ミリメートル
 2. 寸法は $\frac{\text{ミリメートル}}{\text{(インチ)}}$
 3. 図は実寸とは異なる
 4. 露出パッド接着のための推奨最小PCBメタルサイズ
- *寸法にはモールドのバリを含まない。
 モールドのバリは各サイドで0.150mm(0.006")を超えないこと

改訂履歴 (改訂履歴はRev Dから開始)

Rev	日付	概要	ページ番号
D	1/11	UDCパッケージを追加、データシート全体に反映。	1~26
E	4/14	「絶対最大定格」にPGOODの電流の仕様を追加。	2
		FEパッケージのピン配置を明確化。	2
		FEパッケージのPV _{IN3} のため、「ピン機能」明確化。	8

標準的応用例

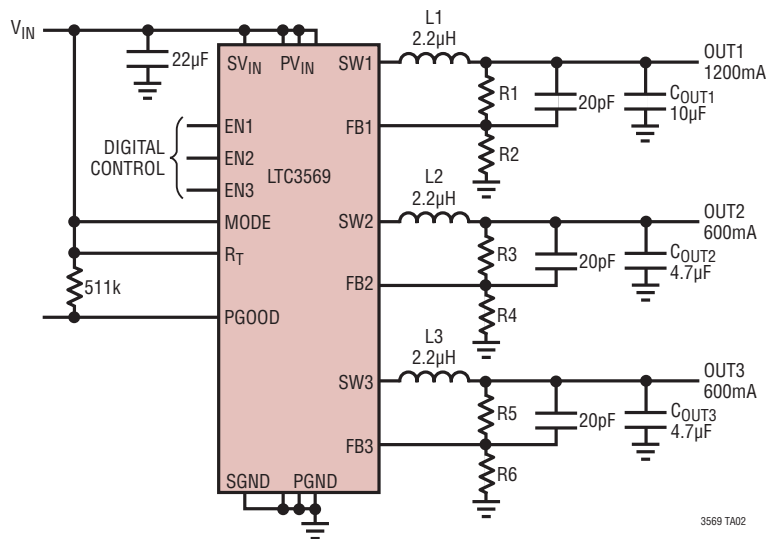


図9. プログラム可能なトリプル降圧DC/DCレギュレータ

関連製品

製品番号	説明	注釈
LTC3406A/ LTC3406AB	600mA、1.5MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.6V、IQ = 20µA、ISD < 1µA、ThinSOT™パッケージ
LTC3407A/ LTC3407A-2	デュアル600mA/600mA、 1.5MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.6V、IQ = 40µA、ISD < 1µA、MS10E、3mm×3mm DFN-10パッケージ
LTC3411A	1.25A、4MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.8V、IQ = 60µA、ISD < 1µA、MS10、3mm×3mm DFN-10パッケージ
LTC3412A	2.5A、4MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.8V、IQ = 60µA、ISD < 1µA、4mm×4mm QFN-16、TSSOP-16Eパッケージ
LTC3417A-2	デュアル1.5A/1A、 4MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.3V~5.5V、VOUT(MIN) = 0.8V、IQ = 125µA、ISD < 1µA、TSSOP-16E、3mm×5mm DFN-16パッケージ
LTC3419/LTC3419-1	デュアル600mA/600mA、 2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.6V、IQ = 35µA、ISD < 1µA、MS10、3mm×3mm DFN-10パッケージ
LTC3544/LTC3544B	クワッド100mA/200mA/200mA/300mA、 2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.3V~5.5V、VOUT(MIN) = 0.8V、IQ = 70µA、ISD < 1µA、3mm×3mm QFN-16パッケージ
LTC3545/LTC3545-1	トリプル800mA × 3、 2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.3V~5.5V、VOUT(MIN) = 0.6V、IQ = 58µA、ISD < 1µA、3mm×3mm QFN-16パッケージ
LTC3547/LTC3547B	デュアル300mA、 2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.6V、IQ = 40µA、ISD < 1µA、DFN-8パッケージ
LTC3548/LTC3548-1/ LTC3548-2	デュアル400mA/800mA IOUT、 2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.6V、IQ = 40µA、ISD < 1µA、MS10E、3mm×3mm DFN-10パッケージ
LTC3561	1.25A、4MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.5V~5.5V、VOUT(MIN) = 0.8V、IQ = 240µA、ISD < 1µA、3mm×3mm DFN-8パッケージ
LTC3562	クワッド、I ² Cインタフェース、600mA/600mA/400mA/ 400mA、2.25MHz同期整流式降圧DC/DCコンバータ	効率:95%、VIN:2.9V~5.5V、VOUT(MIN) = 0.425V、IQ = 100µA、ISD < 1µA、3mm×3mm QFN-20パッケージ